



K60子系列数据表

支持以下内容：

MK60DN256ZVLQ10,
MK60DX256ZVLQ10,
MK60DN512ZVLQ10,
MK60DN256ZVMD10,
MK60DX256ZVMD10,
MK60DN512ZVMD10

特征

•操作特性

- 电压范围：1.71至3.6 V
- 闪存写入电压范围：1.71至3.6 V
- 温度范围（环境温度）：-40至105°C

•性能

- 带DSP的高达100 MHz ARM Cortex-M4内核
每个指令提供1.25 Dhrystone MIPS
兆赫

•存储器和存储器接口

- 非易失性存储器上最多512 KB程序闪存，
FlexMemory设备
- 最多256 KB程序闪存
FlexMemory设备
- FlexMemory设备上最多256 KB的FlexNVM
- FlexMemory设备上的4 KB FlexRAM
- 高达128 KB的RAM
- 串行编程接口（EzPort）
- FlexBus外部总线接口

•时钟

- 3至32 MHz晶体振荡器
- 32 kHz晶体振荡器
- 多用途时钟发生器

•系统外设

- 10种低功耗模式提供功率优化
根据应用要求
- 带多主机的存储器保护单元
保护
- 16通道DMA控制器，最多支持64个
请求来源
- 外部看门狗监视器
- 软件看门狗
- 低泄漏唤醒单元

•安全和完整性模块

- 硬件CRC模块支持快速循环
冗余检查
- 硬件随机数发生器
- 支持DES，3DES，AES，
MD5，SHA-1和SHA-256算法
- 每芯片128位唯一标识（ID）编号

•人机接口

- 低功耗硬件触摸传感器接口（TSI）
- 通用输入/输出

•模拟模块

- 两个16位SAR ADC
- 可编程增益放大器（PGA）（最高64位）
集成到每个ADC中
- 两个12位DAC
- 三个模拟比较器（CMP），包含一个6位
DAC和可编程参考输入
- 电压参考

•定时器

- 可编程延迟模块
- 八通道电机控制/通用/PWM
计时器
- 两个2通道正交解码器/通用
计时器
- IEEE 1588定时器
- 定期中断定时器
- 16位低功耗计时器
- 载波调制发射机
- 实时时钟



飞思卡尔保留尽可能改变细节规格的权利
要求改进其产品的设计。

•通信接口

- 具有MII和RMII接口的以太网控制器，支持外部PHY和硬件IEEE 1588功能
- 具有片上收发器的USB全速/低速On-the-Go控制器
- 两个控制器局域网（CAN）模块
- 三个SPI模块
- 两个I2C模块
- 六个UART模块
- 安全数字主机控制器（SDHC）
- I2S模块



目录

1订购部件.....	5	5.4.2 热属性.....	22
1.1确定有效的可指定部分.....	5	6外围设备操作要求和行为.....	23
2零件标识.....	5	6.1核心模块.....	23
2.1说明.....	5	6.1.1 调试跟踪时序规范.....	23
2.2格式.....	5	6.1.2 JTAG电子.....	24
2.3领域.....	5	6.2系统模块.....	27
2.4例子.....	6	6.3时钟模块.....	27
3术语和准则.....	6	6.3.1 MCG规格.....	27
3.1定义：操作要求.....	6	6.3.2 振荡器电气规格.....	29
3.2定义：操作行为.....	7	6.3.3 32kHz振荡器电气特性.....	31
3.3定义：属性.....	7	6.4存储器和存储器接口.....	32
3.4定义：评级.....	8	6.4.1 闪存（FTFL）电气规格.....	32
3.5超过评级的结果.....	8	6.4.2 EzPort切换规格.....	37
3.6评级与经营之间的关系		6.4.3 Flexbus交换规格.....	38
要求.....	8	6.5安全和完整性模块.....	41
3.7评级和操作要求准则.....	9	6.6模拟.....	41
3.8定义：典型值.....	9	6.6.1 ADC电气规格.....	41
3.9典型值条件.....	10	6.6.2 CMP和6位DAC电气规格.....	49
4等级.....	10	6.6.3 12位DAC电气特性.....	52
4.1热处理额定值.....	11	6.6.4 电压参考电气规格.....	55
4.2湿度处理额定值.....	11	6.7定时器.....	56
4.3 ESD处理额定值.....	11	6.8通信接口.....	56
4.4电压和电流工作额定值.....	11	6.8.1 以太网交换规范.....	56
5一般.....	12	6.8.2 USB电气规格.....	58
5.1交流电特性.....	12	6.8.3 USB DCD电气规格.....	58
5.2不可切换电气规格.....	12	6.8.4 USB VREG电气规格.....	59
5.2.1 电压和电流操作要求.....	13	6.8.5 CAN开关规格.....	59
5.2.2 LVD和POR运行要求.....	14	6.8.6 DSPI开关规格（有限电压	
5.2.3 电压和电流操作行为.....	14	范围）.....	60
5.2.4 电源模式转换操作行为.....	15	6.8.7 DSPI开关规格（全电压	
5.2.5 功耗操作行为.....	16	范围）.....	61
5.2.6 EMC辐射运行行为.....	19	6.8.8 I2C开关规格.....	63
5.2.7 考虑辐射发射设计.....	20	6.8.9 UART切换规格.....	63
5.2.8 电容属性.....	20	6.8.10 SDHC规格.....	63
5.3切换规格.....	20	6.8.11 I2S切换规格.....	64
5.3.1 设备时钟规格.....	20	6.9人机界面（HMI）.....	66
5.3.2 一般开关规格.....	21	6.9.1 TSI电气规格.....	66
5.4热规格.....	21	7尺寸.....	67
5.4.1 热工作要求.....	21	7.1获取包装尺寸.....	67

8引脚.....	68	8.2 K60引脚.....	74
8.1 K60信号复用和引脚分配.....	68	9修订历史.....	76



1 订购部件

1.1 确定有效的可订购部分

网上提供有效的可订购零件编号.确定可订购部分
此设备的号码, 请访问<http://www.freescale.com>并执行部件号码
搜索以下设备编号: PK60和MK60.

2 零件识别

2.1 说明

芯片的部件号具有标识特定部件的字段.你可以使用
这些字段的值来确定您收到的特定部分.

2.2 格式

此设备的部件号具有以下格式:

QK ## AM FFF RT PP CC N

2.3 领域

此表列出了部件号中每个字段的可能值 (不是所有组合
有效):

领域	描述	值
Q	资格状态	•M =完全合格的一般市场流量 •P =资格预审
k##	Kinetis家族	•K60
一个	关键属性	•D = Cortex-M4 w / DSP •F = Cortex-M4 w / DSP和FPU
中号	闪存类型	•N =仅限程序闪光 •X =程序闪存和FlexMemory

表格在下一页继续...

领域	描述	值
FFF	程序闪存大小	•32 = 32 KB •64 = 64 KB •128 = 128 KB •256 = 256 KB •512 = 512 KB •1M0 = 1 MB
[R	硅修订	•Z = 初始 •(空白) = 主 •A = 主版本后的修订版
Ĥ	温度范围 (°C)	•V = -40至105 •C = -40至85
PP	包标识符	•FM = 32 QFN (5毫米x 5毫米) •FT = 48 QFN (7毫米x 7毫米) •LF = 48 LQFP (7毫米x 7毫米) •EX = 64 LQFN (9 mm x 9 mm) •LH = 64 LQFP (10 mm x 10 mm) •LK = 80 LQFP (12 mm x 12 mm) •MB = 81 MAPBGA (8毫米x 8毫米) •LL = 100 LQFP (14毫米x 14毫米) •MC = 121 MAPBGA (8毫米x 8毫米) •LQ = 144 LQFP (20毫米x 20毫米) •MD = 144 MAPBGA (13毫米x 13毫米) •MF = 196 MAPBGA (15毫米x 15毫米) •MJ = 256 MAPBGA (17毫米x 17毫米)
CC	最大CPU频率 (MHz)	•5 = 50 MHz •7 = 72 MHz •10 = 100 MHz •12 = 120 MHz •15 = 150 MHz
ñ	包装类型	•R = 磁带和卷轴 •(空白) = 纸盒

www.wlxml.com

2.4 示例

这是一个示例零件编号：

MK60DN512ZVMD10

3 术语和准则

3.1 定义：操作要求

操作要求是技术规范的指定值或值范围
在操作过程中必须保证的特性，以避免不正确的操作
可能会缩短芯片的使用寿命。

3.1.1 例子

这是一个操作要求的例子，你必须满足这个要求
伴随的经营行为得到保证：

符号	描述	阈.	最大.	单元
V _{DD}	1.0 V核心供应 电压	0.9	1.1	V

3.2 定义：操作行为

操作行为是技术数据的指定值或范围
如果您符合操作要求，则可在运行期间保证其特性
和任何其他指定的条件。

3.2.1 例子

这是一个操作行为的例子，如果你遇到了这个问题，这个例子是有保证的
伴随操作要求：

符号	描述	阈.	最大.	单元
我 WP	数字I / O弱上拉/ 下拉电流	10	130	μA

3.3 定义：属性

属性是一个技术特性的指定值或值范围
无论您是否满足操作要求，都有保证。

3.3.1 例子

这是一个属性的例子：

符号	描述	阈.	最大.	单元
CIN_D	输入电容： 数字引脚	-	7	pF的

3.4 定义：评级

评级是技术特征的最小值或最大值，如果超过，可能会导致芯片永久失效：

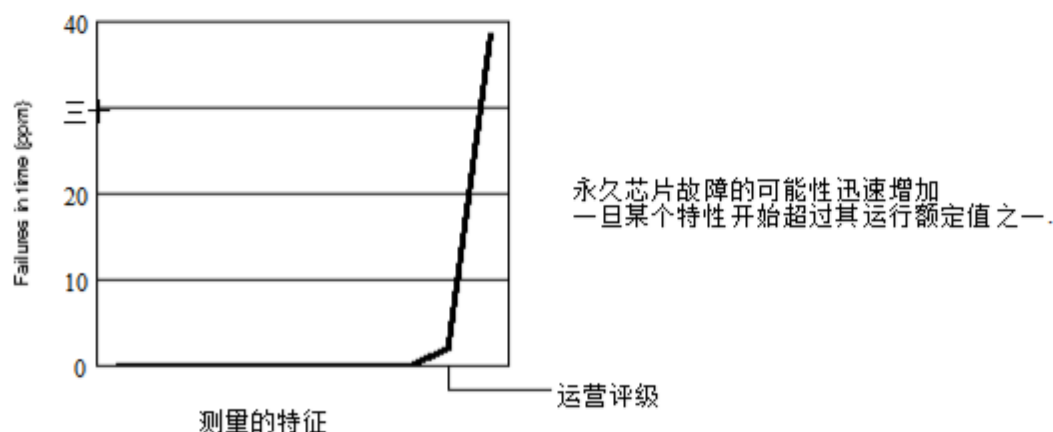
- 在芯片运行过程中，额定值适用。
- 处理额定值适用于芯片未通电时。

3.4.1 例子

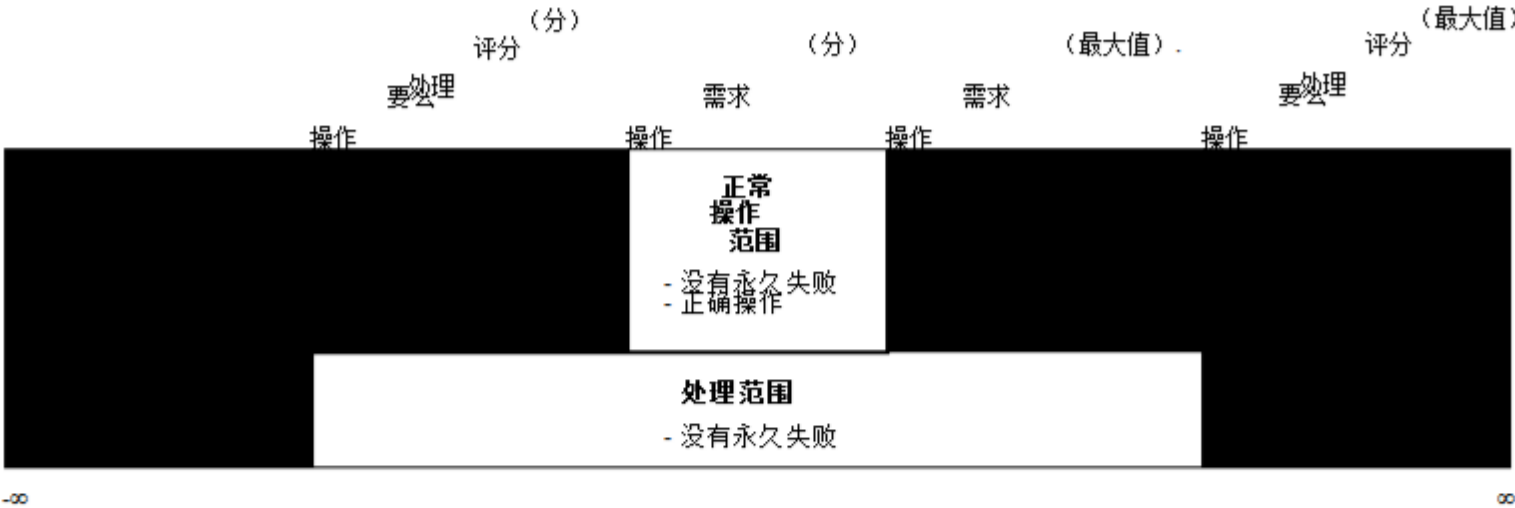
这是一个运营评级的例子：

符号	描述	阈.	最大.	单元
V _{DD}	1.0 V核心供应 电压	-0.3	1.2	V

3.5 超出评级的结果



3.6 评级和操作要求之间的关系



3.7 评级和操作要求准则

遵循这些指导方针以评级和操作要求：

- 切勿超过任何芯片的额定值。
- 在正常操作期间，请勿超过芯片的任何操作要求。
- 如果在正常情况下以外的时间必须超过操作要求操作（例如，在电源排序过程中），限制持续时间至多可能。

3.8 定义：典型值

一个典型的值是一个技术特性的特定值：

- 位于操作行为规定的值范围内
 - 鉴于典型的制造工艺，代表了这一特点
- 在操作过程中，当您符合典型值条件或其他指定条件时条件

典型值是按设计指南提供的，既没有测试也没有保证。

3.8.1 例1

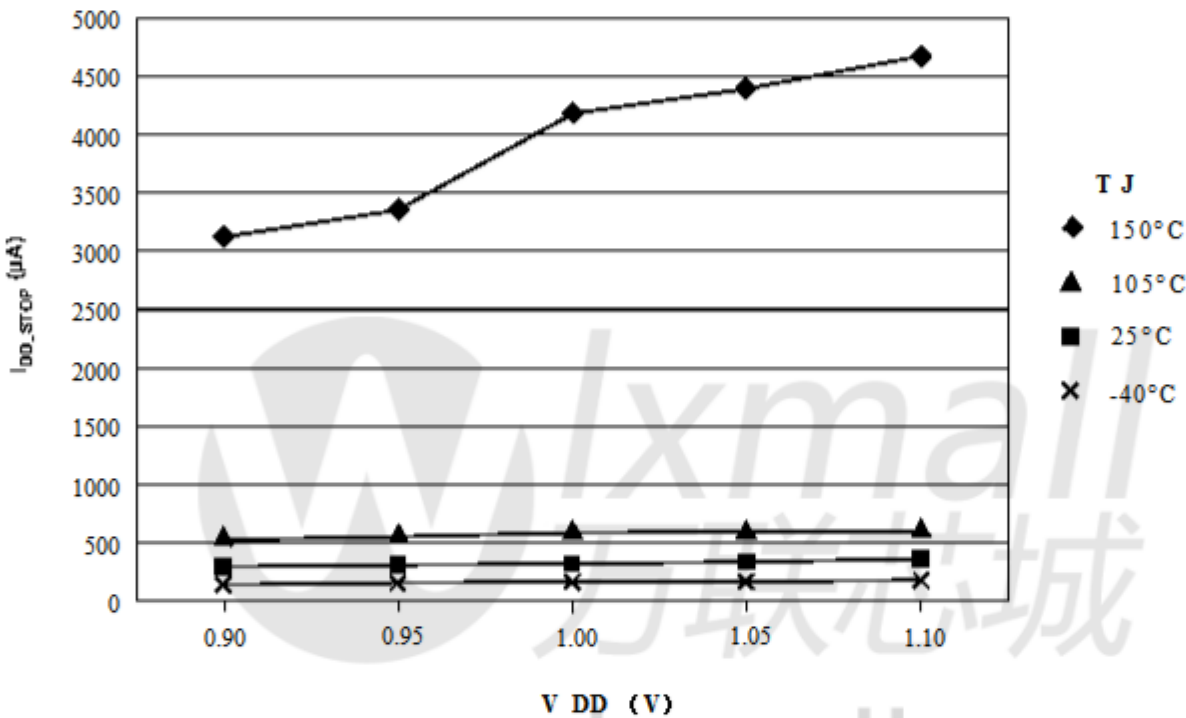
这是一个包含典型值的操作行为示例：

评级

符号	描述	闭.	典型.	最大.	单元
我 WP	数字I / O较弱 上拉/下拉 当前	10	70	130	μA

3.8.2例2

这是一个图表的例子，显示了各种电压和电压的典型值
温度条件：



3.9典型值条件

典型值假定您满足以下条件（或其他条件）
指定）：

符号	描述	值	单元
T A.	环境温度	25	C
V DD	3.3 V电源电压	3.3	V

4等级

4.1 热处理额定值

符号	描述	最小.	最大.	单元	笔记
T STG	储存温度	-55	150	C	1
T SDR	焊料温度, 无铅	-	260	C	2
	焊料温度, 含铅	-	245		

- 1.根据JEDEC标准JESD22-A103, 高温储存寿命确定.
- 2.根据IPC / JEDEC标准J-STD-020, 非气密性水分/回流敏感性分类
固态表面贴装器件.

4.2 湿度处理额定值

符号	描述	最小.	最大.	单元	笔记
MSL	湿度敏感度等级	-	3	-	1

- 1.根据IPC / JEDEC标准J-STD-020, 非气密性水分/回流敏感性分类
固态表面贴装器件.

4.3 ESD处理额定值

符号	描述	最小.	最大.	单元	笔记
V HBM	静电放电电压, 人体模型	-2000	+2000	V	1
V CDM	静电放电电压, 带电器件模型	-500	+500	V	2
我拉	环境温度为105°C时闭锁电流	-100	+100	嘛	

- 1.根据JEDEC标准JESD22-A114, 静电放电 (ESD) 灵敏度测试人体
型号 (HBM) .
- 2.根据JEDEC标准JESD22-C101, 现场诱导带电器件模型试验方法测定
微电子元件的耐静电放电阈值.

4.4 电压和电流工作额定值

符号	描述	最小.	最大.	单元
V DD	数字电源电压	-0.3	3.8	V
我 DD	数字电源电流	-	185	嘛
V DIO	数字输入电压 (RESET, EXTAL和XTAL除外)	-0.3	5.5	V

表格在下一页继续...

符号	描述	最小	最大	单元
V _{AIO}	Analog1, $\overline{\text{RESET}}$, EXTAL和XTAL输入电压	-0.3	V _{DD} + 0.3	V
I _D	瞬时最大电流单引脚限制（适用于所有端口引脚）	-25	25	mA
V _{DDA}	模拟电源电压	V _{DD} - 0.3	V _{DD} + 0.3	V
V _{USB_DP}	USB_DP输入电压	-0.3	3.63	V
V _{USB_DM}	USB_DM输入电压	-0.3	3.63	V
V _{REGIN}	USB稳压器输入	-0.3	6	V
V _{BAT}	RTC电池电源电压	-0.3	3.8	V

1. 模拟引脚被定义为没有关联的通用I/O端口功能的引脚。

5 一般

5.1 交流电特性

除非另有规定，否则传播延迟从50%到50%点，上升和下降时间在20%和80%点测量，如图所示下图。

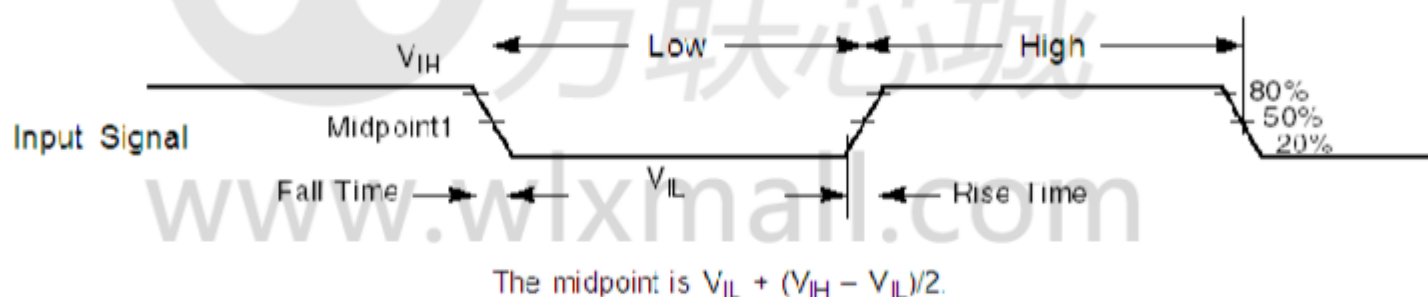


图1.输入信号测量参考

所有数字I/O开关特性都假设：

1. 输出引脚

- $C_L = 30\text{pF}$ 负载，
- 配置为快速压摆率（PORTx_PCRn[SRE] = 0），并且
- 配置为高驱动强度（PORTx_PCRn[DSE] = 1）

2. 输入引脚

- 禁用其被动过滤器（PORTx_PCRn[PFE] = 0）

5.2 不可开关电气规格

5.2.1 电压和电流操作要求

表1. 电压和电流操作要求

符号	描述	最小	最大	单元	笔记
V _{DD}	电源电压	1.71	3.6	V	
V _{DDA}	模拟电源电压	1.71	3.6	V	
V _{DD} - V _{DDA}	V _{DD} - 至V _{DDA} 差分电压	-0.1	0.1	V	
V _{SS} - V _{SSA}	V _{SS} - 至V _{SSA} 差分电压	-0.1	0.1	V	
V _{BAT}	RTC电池电源电压	1.71	3.6	V	
V _{IH}	输入高电压 • 2.7 V ≤ V _{DD} ≤ 3.6 V • 1.7 V ≤ V _{DD} ≤ 2.7 V	0.7 × V _{DD}	-	V	
		0.75 × V _{DD}	-	V	
V _{IL}	输入低电压 • 2.7 V ≤ V _{DD} ≤ 3.6 V • 1.7 V ≤ V _{DD} ≤ 2.7 V	-	0.35 × V _{DD}	V	
		-	0.3 × V _{DD}	V	
V _{HYS}	输入滞后	0.06 × V _{DD}	-	V	
我 ICDIO	数字引脚负直流注入电流 - 单引脚 • V _{IN} < V _{SS} - 0.3V	-5	-	嘛	1
我是 ICAIO	模拟2, EXTAL和XTAL引脚直流注入电流 - 单针 • V _{IN} < V _{SS} - 0.3V (负电流注入) • V _{IN} > V _{DD} + 0.3V (正向电流注入)	-5	-	嘛	3
		-	+5		
我 ICcont	连续引脚直流注入电流 - 区域限制, 包括负注入电流的总和或总和 16个连续引脚的正向注入电流 • 负电流注入 • 正向电流注入	-25 -	- +25	嘛	
V _{RAM}	保留RAM所需的 V _{DD} 电压	1.2	-	V	
V _{RFVBAT}	V _{BAT} 电压需要保留VBAT寄存器文件	V _{POR_VBAT}	-	V	

- 所有5 V容差数字I/O引脚都通过ESD保护二极管内部钳位到V_{SS}. 没有二极管连接到V_{DD}. 如果观察到V_{IN}大于V_{DIO_MIN} (= V_{SS} - 0.3V), 则不需要提供限流电阻上的电阻. 如果这个限制不能被遵守, 那么需要一个限流电阻. 负直流注入限流电阻的计算公式为 $R = (V_{DIO_MIN} - V_{IN}) / |I_{IC}|$.
- 模拟引脚被定义为没有关联的通用I/O端口功能的引脚.
- 所有模拟引脚通过ESD保护二极管内部钳位到V_{SS}和V_{DD}. 如果V_{IN}大于V_{AIO_MIN} (= V_{SS} - 0.3V) 并且V_{IN}小于V_{AIO_MAX} (= V_{DD} + 0.3V) 时, 则不需要提供限流电阻上的电阻. 如果不能遵守这些限制, 则需要一个限流电阻. 负DC注入限流电阻的计算公式为 $R = (V_{AIO_MIN} - V_{IN}) / |I_{IC}|$. 正注入限流电阻是计算为 $R = (V_{IN} - V_{AIO_MAX}) / |I_{IC}|$. 选择这两个计算电阻中较大的一个.

5.2.2 LVD和POR的操作要求

表2. V_{DD} 电源LVD和POR的工作要求

符号	描述	阈.	典型.	最大.	单元	笔记
V POR	下降VDD POR检测电压	0.8	1.1	1.5	V	
V LVDH	降低低电压检测阈值 - 高范围 (LVDV = 01)	2.48	2.56	2.64	V	
V LVW1H	低电压警告阈值 - 高范围 •1级下降 (LVWV = 00)	2.62	2.70	2.78	V	1
V LVW2H	•2级下降 (LVWV = 01)	2.72	2.80	2.88	V	
V LVW3H	•3级下降 (LVWV = 10)	2.82	2.90	2.98	V	
V LVW4H	•4级下降 (LVWV = 11)	2.92	3.00	3.08	V	
V HYSH	低电压抑制复位/恢复滞后 - 高范围	-	±80	-	毫伏	
V LVDL	降低低电压检测阈值 - 低范围 (LVDV = 00)	1.54	1.60	1.66	V	
V LVW1L	低电压警告阈值 - 低里程 •1级下降 (LVWV = 00)	1.74	1.80	1.86	V	1
V LVW2L	•2级下降 (LVWV = 01)	1.84	1.90	1.96	V	
V LVW3L	•3级下降 (LVWV = 10)	1.94	2.00	2.06	V	
V LVW4L	•4级下降 (LVWV = 11)	2.04	2.10	2.16	V	
V HYSL	低电压抑制复位/恢复滞后 - 低里程	-	±60	-	毫伏	
V BG	带隙电压参考	0.97	1.00	1.03	V	
t LPO	内部低功耗振荡器周期 - 工厂修剪	900	1000	1100	微秒	

1. 上升阈值是下降阈值+滞后电压

表3. VBAT功率操作要求

符号	描述	阈.	典型.	最大.	单元	笔记
V POR_VBAT	下降VBAT电源POR检测电压	0.8	1.1	1.5	V	

5.2.3 电压和电流操作行为

表4. 电压和电流操作行为

符号	描述	最小	最大	单元	笔记
V OH	输出高电压 - 高驱动强度 • $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $I_{OH} = -9\text{ mA}$ • $1.71\text{ V} \leq V_{DD} \leq 2.7\text{ V}$, $I_{OH} = -3\text{ mA}$	$V_{DD} - 0.5$	-	V	
		$V_{DD} - 0.5$	-	V	
	输出高电压 - 低驱动强度 • $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $I_{OH} = -2\text{ mA}$ • $1.71\text{ V} \leq V_{DD} \leq 2.7\text{ V}$, $I_{OH} = -0.6\text{ mA}$	$V_{DD} - 0.5$	-	V	
		$V_{DD} - 0.5$	-	V	
我 OHT	输出所有端口的高电流总数	-	100	嘛	
V OL	输出低电压 - 高驱动强度 • $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $I_{OL} = 9\text{ mA}$ • $1.71\text{ V} \leq V_{DD} \leq 2.7\text{ V}$, $I_{OL} = 3\text{ mA}$	-	0.5	V	
		-	0.5	V	
	输出低电压 - 低驱动强度 • $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $I_{OL} = 2\text{ mA}$ • $1.71\text{ V} \leq V_{DD} \leq 2.7\text{ V}$, $I_{OL} = 0.6\text{ mA}$	-	0.5	V	
		-	0.5	V	
我 OLT	输出所有端口的低电流总数	-	100	嘛	
我 IN	输入全部温度的漏电流 (每个引脚) 范围	-	1	μA	1
我 IN	在 25°C 时输入漏电流 (每个引脚)	-	0.025	μA	1
我 OZ	Hi-Z (关闭状态) 泄漏电流 (每个引脚)	-	1	μA	
R PU	内部上拉电阻	20	50	千欧	2
R PD	内部下拉电阻	20	50	千欧	3

1. 在 $V_{DD} = 3.6\text{ V}$ 下测量

2. 在 V_{DD} 电源电压 = $V_{DD\text{ min}}$ 和 $V_{\text{input}} = V_{SS}$ 下测量

3. 在 V_{DD} 电源电压 = $V_{DD\text{ min}}$ 和 $V_{\text{input}} = V_{DD}$ 下测量

5.2.4 电源模式转换操作行为

除 t_{POR} 和 $V_{LLSx} \rightarrow \text{RUN}$ 恢复时间 外的所有规格 如下表所示
假设这个时钟配置:

- CPU 和系统时钟 = 100 MHz
- 总线时钟 = 50 MHz
- FlexBus 时钟 = 50 MHz
- 闪存时钟 = 25 MHz

表5.功耗模式转换操作行为

符号	描述	闕.	最大.	单元	笔记
t POR	在POR事件之后，从点V _{DD} 开始的时间里达到执行第一条指令时的1.71 V. 在整个芯片的工作温度范围内.	-	300	微秒	1
	•VLLS1→RUN	-	112	微秒	
	•VLLS2→RUN	-	74	微秒	
	•VLLS3→RUN	-	73	微秒	
	•LLS→RUN	-	5.9	微秒	
	•VLPS→RUN	-	5.8	微秒	
	•STOP→RUN	-	4.2	微秒	

1.正常启动 (FTFL_OPT [LPBOOT] = 1)

5.2.5 功耗操作行为

表6.功耗操作行为

符号	描述	闕.	典型.	最大.	单元	笔记
我是 DD_	模拟电源电流	-	-	看注释	嘛	1
我 DD_RUN	运行模式电流 - 所有外设时钟禁用，代码从闪存执行	-	45	70	嘛	2
	•@ 1.8V	-	47	72	嘛	
	•@ 3.0V	-			嘛	
我 DD_RUN	运行模式电流 - 所有外设时钟启用，代码从闪存执行	-	61	85	嘛	3, 4
	•@ 1.8V	-	63	71	嘛	
	•@ 3.0V	-	72	87	嘛	
	•@ 25°C	-				
	•@ 125°C	-				
我 DD_WAIT	3.0 V等待模式高频电流 - 全部外设时钟被禁用	-	35	-	嘛	2
我 DD_WAIT	等待模式降低3.0 V的频率电流 - 禁用所有外设时钟	-	15	-	嘛	五
I DD_VLPR	3.0 V时的极低功率运行模式电流 - 全部外设时钟被禁用	-	N/A	-	嘛	6

表格在下一页继续...

表6.功耗操作行为 (续)

符号	描述	闕.	典型.	最大.	单元	笔记
I DD_VLPR	3.0 V时的极低功率运行模式电流 - 全部 外设时钟已启用	-	N/A	-	嘛	7
I DD_VLPW	极低功耗3.0 V等待模式电流 - 全部 外设时钟被禁用	-	N/A	-	嘛	8
I DD_STOP	3.0 V时的停止模式电流 •@ -40至25°C •@ 70°C •@ 105°C	- - -	0.59 2.26 5.94	1.4 7.9 19.2	嘛 嘛 嘛	
我 DD_VLPS	3.0 V时的极低功耗停止模式电流 •@ -40至25°C •@ 70°C •@ 105°C	- - -	93 520 1350	435 2000 4000	μA μA μA	
我 DD_LLS	3.0 V时的低漏电停止模式电流 •@ -40至25°C •@ 70°C •@ 105°C	- - -	4.8 28 126	20 68 270	μA μA μA	9
I DD_VLLS3	3.0 V时极低漏电停止模式3电流 •@ -40至25°C •@ 70°C •@ 105°C	- - -	3.1 17 82	8.9 35 148	μA μA μA	9
I DD_VLLS2	3.0 V时的极低漏电停止模式2电流 •@ -40至25°C •@ 70°C •@ 105°C	- - -	2.2 7.1 41	5.4 12.5 125	μA μA μA	
I DD_VLLS1	3.0 V时的极低漏电停止模式1电流 •@ -40至25°C •@ 70°C •@ 105°C	- - -	2.1 6.2 三十	7.6 13.5 46	μA μA μA	
I DD_VBAT	平均电流与RTC和32kHz禁用在 3.0 V •@ -40至25°C •@ 70°C •@ 105°C	- - -	0.33 0.60 1.97	0.39 0.78 2.9	μA μA μA	

表格在下一页继续...

表6.功耗操作行为 (续)

符号	描述	闲.	典型.	最大.	单元	笔记
I _{DD_VBAT}	CPU未访问时的平均电流 RTC寄存器					10
	•@ 1.8V					
	•@ -40至25°C	-	0.71	0.81	μA	
	•@ 70°C	-	1.01	1.3	μA	
	•@ 105°C	-	2.82	4.3	μA	
	•@ 3.0V					
	•@ -40至25°C	-	0.84	0.94	μA	
	•@ 70°C	-	1.17	1.5	μA	
	•@ 105°C	-	3.16	4.6	μA	

1. 模拟电源电流是设备上每个模拟模块的有效或禁用电流的总和. 看到每个模块的电源电流规格.
2. 100MHz内核和系统时钟, 50MHz总线和FlexBus时钟以及25MHz闪存时钟. MCG配置为FEI模式. 所有外设时钟都被禁用.
3. 100MHz内核和系统时钟, 50MHz总线和FlexBus时钟以及25MHz闪存时钟. MCG配置为FEI模式. 所有外设时钟已启用.
4. 最大值是在CPU执行DSP指令时测量的.
5. 25MHz内核和系统时钟, 25MHz总线时钟以及12.5MHz FlexBus和闪存时钟. MCG配置为FEI模式.
6. 2MHz内核, 系统, FlexBus, 总线时钟和1MHz闪存时钟. MCG配置为BLPE模式. 所有外设时钟禁用. 代码从闪存执行.
7. 2 MHz内核, 系统, FlexBus, 总线时钟和1MHz闪存时钟. MCG配置为BLPE模式. 所有外设时钟启用但外围设备未处于活动状态. 代码从闪存执行.
8. 2 MHz内核, 系统, FlexBus, 总线时钟和1MHz闪存时钟. MCG配置为BLPE模式. 所有外设时钟禁用.
9. 数据反映具有128 KB RAM的设备. 对于具有64 KB RAM的设备, 功耗降低2μA.
10. 包含32kHz振荡器电流和RTC操作.

5.2.5.1图: 典型的IDD_RUN操作行为

以下数据是在这些条件下测得的:

- 用于50 MHz和更低频率的FBG模式的MCG. MCG在FEE模式下更大超过50 MHz的频率
- 禁用USB稳压器
- 没有GPIO切换
- 在启用缓存的情况下从闪存执行代码
- 对于ALLOFF曲线, 除FTFL外, 所有外设时钟均被禁用

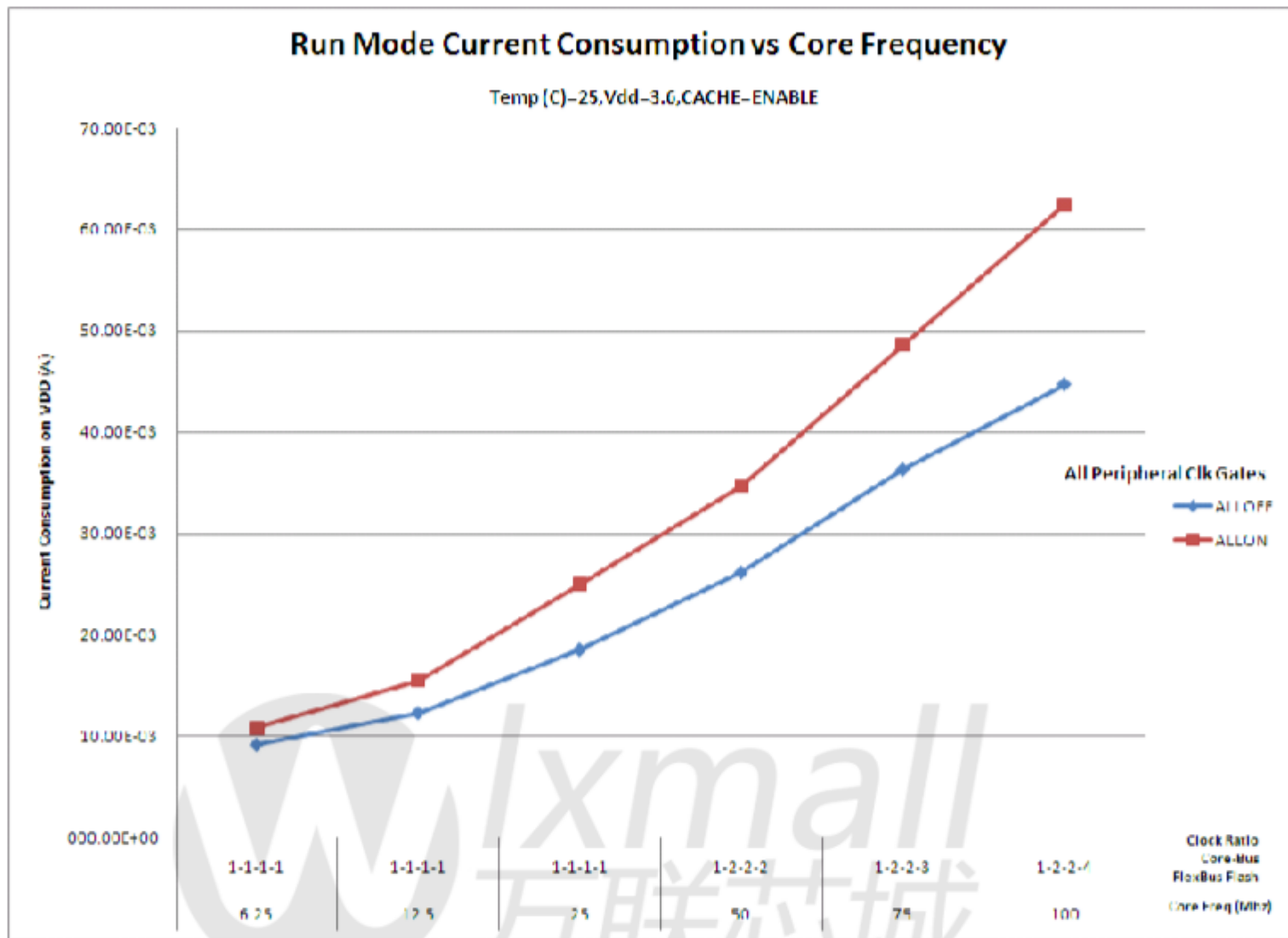


图2.运行模式电源电流与核心频率

5.2.6 EMC辐射运行行为

表7. 144LQFP的EMC辐射运行状况

符号	描述	频率 频带 (MHz)	典型	单元	笔记
V RE1	辐射发射电压, 频段1	0.15-50	23	平dBμV	1, 2
V RE2	辐射发射电压, 频段2	50-150	27	平dBμV	
V RE3	辐射发射电压, 频段3	150-500	28	平dBμV	
V RE4	辐射发射电压, 频段4	500-1000	14	平dBμV	
V RE_IEC	IEC水平	0.15-1000	k	-	2, 3

1. 根据IEC标准 61967-1, 集成电路 - 电磁辐射测量, 150

kHz至1 GHz第1部分: 通用条件和定义以及IEC标准 61967-2, 集成电路 - 测量

电磁辐射, 150 kHz至1 GHz第2部分: 辐射发射测量 - TEM电池和宽带
TEM细胞法. 在微控制器运行基本应用程序代码时进行了测量. 报道
排放水平是最大测量排放量的值, 取整于下一个整数
测量每个频率范围内的方向.

一般

2. $V_{DD} = 3.3V$, $T_A = 25^{\circ}C$, $f_{OSC} = 12MHz$ (晶体), $f_{SYS} = 96MHz$, $f_{BUS} = 48MHz$

3. 根据IEC标准61967-2附录D, 辐射发射测量 - TEM单元和宽带
TEM细胞法

5.2.7 考虑辐射发射的设计

查找应用笔记, 提供有关设计系统的指导以尽量减少辐射干扰:

1. 转到<http://www.freescale.com>.
2. 执行关键字搜索“EMC设计”.

5.2.8 电容属性

表8. 电容属性

符号	描述	闭.	最大.	单元
C IN_A	输入电容: 模拟引脚	-	7	pF的
C IN_D	输入电容: 数字引脚	-	7	pF的

5.3 切换规格

5.3.1 设备时钟规格

表9. 器件时钟规范

符号	描述	闭.	最大.	单元	笔记
正常运行模式					
f SYS	系统和核心时钟	-	100	兆赫	
f SYS_USB	全速USB输入时的系统和内核时钟 手术	20	-	兆赫	
f ENET	系统和核心时钟在以太网运行时 •10 Mbps •100 Mbps	五 50	-	兆赫	
f BUS	公交车时钟	-	50	兆赫	
FB_CLK	FlexBus时钟	-	50	兆赫	
f FLASH	闪光时钟	-	25	兆赫	
f LPTMR	LPTMR时钟	-	25	兆赫	

5.3.2 通用交换规范

这些通用规范适用于为GPIO，UART配置的所有信号，CAN，CMT，IEEE 1588定时器和I2C信号。

表10.通用交换规范

符号	描述	最小	最大	单元	笔记
	GPIO引脚中断脉冲宽度（数字毛刺滤波器禁用） - 同步路径	1.5	-	公交车时钟周期	1
	GPIO引脚中断脉冲宽度（数字毛刺滤波器禁用，模拟滤波器启用） - 异步路径	100	-	NS	2
	GPIO引脚中断脉冲宽度（数字毛刺滤波器禁用，模拟滤波器禁用） - 异步路径	16	-	NS	2
	外部复位脉冲宽度（数字毛刺滤波器禁用）	100	-	NS	2
	模式选择（EZP_CS）复位后的保持时间的无效	2	-	公交车时钟周期	
	港口上升和下降时间（高驱动力） - 禁用 $1.71 \leq V_{DD} \leq 2.7V$ - 12 $2.7 \leq V_{DD} \leq 3.6V$ - 6 - 打开启用 $1.71 \leq V_{DD} \leq 2.7V$ - 36 $2.7 \leq V_{DD} \leq 3.6V$ - 24			NS NS NS NS	3
	港口上升和下降时间（低驱动力） - 禁用 $1.71 \leq V_{DD} \leq 2.7V$ - 12 $2.7 \leq V_{DD} \leq 3.6V$ - 6 - 打开启用 $1.71 \leq V_{DD} \leq 2.7V$ - 36 $2.7 \leq V_{DD} \leq 3.6V$ - 24			NS NS NS NS	4

1. 必须满足更高的同步和异步时序。

这是保证被识别的最短脉冲。

3. 75pF负载

4. 15pF负载

5.4 热规格

5.4.1 热工作要求

表11.热工作要求

符号	描述	闭.	最大.	单元
T J	模具结温	-40	125	C
T A.	环境温度	-40	105	C

5.4.2 热属性

板类型	符号	描述	144 LQFP	144 MAPBGA	单元	笔记
单层 (1S)	R0JA	热 抵抗性, 交界处 环境 (自然 对流)	45	48	°C / W	1
四层 (2S2P)	R0JA	热 抵抗性, 交界处 环境 (自然 对流)	36	29	°C / W	1
单层 (1S)	R0JMA	热 抵抗性, 交界处 环境 (200英尺/秒) 分钟.空中速度)	36	38	°C / W	1
四层 (2S2P)	R0JMA	热 抵抗性, 交界处 环境 (200英尺/秒) 分钟.空中速度)	三十	25	°C / W	1
-	R0JB	热 抵抗性, 交界处 板	24	16	°C / W	2
-	R0JC	热 抵抗性, 结合到案件	9	9	°C / W	3
-	ΨJT	热 描述 参数, 交界处 包顶部 外面的中心 (自然 对流)	2	2	°C / W	4

1. 根据JEDEC标准 JESD51-2, Integrated Circuits Thermal Test Method Environmental测定
条件 - 自然对流 (静止空气) 或 EIA / JEDEC 标准 JESD51-6, 集成电路热测试方法
环境条件 - 强制对流 (移动空气)。

- 2. 根据JEDEC标准JESD51-8“集成电路热测试方法环境”确定条件结对板。
- 3. 根据MIL-STD 883，测试方法标准Microcircuits的方法1012.1和冷板用于外壳温度的温度.该值包括界面材料的热阻在包装的顶部和冷板之间。
- 4. 根据JEDEC标准JESD51-2，Integrated Circuits Thermal Test Method Environmental测定条件 - 自然对流（静止空气）。

6外设操作要求和行为

6.1核心模块

6.1.1调试跟踪时序规范

表12.调试跟踪操作行为

符号	描述	闭.	最大.	单元
T _{cyc}	时钟周期	频率依赖		兆赫
T _{wl}	低脉冲宽度	2	-	NS
T _{wh}	高脉冲宽度	2	-	NS
T _r	时钟和数据上升时间	-	3	NS
T _f	时钟和数据下降时间	-	3	NS
T _s	数据设置	3	-	NS
T _h	数据保持	2	-	NS

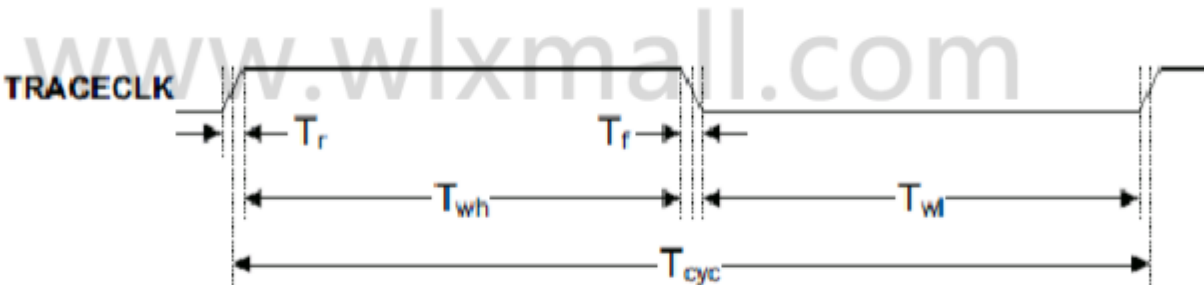


图3. TRACE_CLKOUT规范

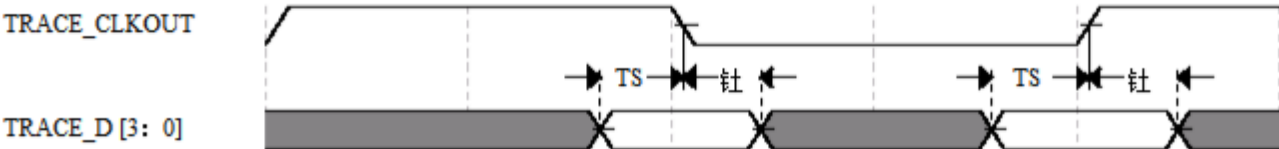


图4.跟踪数据规格

6.1.2 JTAG 电子器件

表13. JTAG限制电压范围电气

符号	描述	阈.	最大.	单元
	工作电压	2.7	3.6	V
J1	TCLK的操作频率 •边界扫描 •JTAG和CJTAG •串行线调试	0 0 0	10 25 50	兆赫
J2	TCLK周期	1 / J1	-	NS
J3	TCLK时钟脉冲宽度 •边界扫描 •JTAG和CJTAG •串行线调试	50 20 10	- - -	NS NS NS
J4	TCLK上升和下降时间	-	3	NS
J5	边界扫描输入数据建立时间到TCLK上升	20	-	NS
J6	边界扫描输入数据在TCLK上升后保持时间	0	-	NS
J7	TCLK低到边界扫描输出数据有效	-	25	NS
J8	TCLK低到边界扫描输出高阻态	-	25	NS
J9	TMS, TDI输入数据建立时间到TCLK上升	8	-	NS
J10	TMS, TDI输入数据在TCLK上升后保持时间	1	-	NS
J11	TCLK低到TDO数据有效	-	17	NS
J12	TCLK低至TDO高阻态	-	17	NS
J13	TRST声明时间	100	-	NS
J14	TRST建立时间（否定）为TCLK高	8	-	NS

表14. JTAG全电压范围电气

符号	描述	阈.	最大.	单元
	工作电压	1.71	3.6	V
J1	TCLK的操作频率 •边界扫描 •JTAG和CJTAG •串行线调试	0 0 0	10 20 40	兆赫
J2	TCLK周期	1 / J1	-	NS

表格在下一页继续...

表14. JTAG全电压范围电气 (续)

符号	描述	闭.	最大.	单元
J3	TCLK时钟脉冲宽度			
	•边界扫描	50	-	NS
	•JTAG和CJTAG	25	-	NS
	•串行线调试	12.5	-	NS
J4	TCLK上升和下降时间	-	3	NS
J5	边界扫描输入数据建立时间到TCLK上升	20	-	NS
J6	边界扫描输入数据在TCLK上升后保持时间	0	-	NS
J7	TCLK低到边界扫描输出数据有效	-	25	NS
J8	TCLK低到边界扫描输出高阻态	-	25	NS
J9	TMS, TDI输入数据建立时间到TCLK上升	8	-	NS
J10	TMS, TDI输入数据在TCLK上升后保持时间	1.4	-	NS
J11	TCLK低到TDO数据有效	-	22.1	NS
J12	TCLK低至TDO高阻态	-	22.1	NS
J13	TRST声明时间	100	-	NS
J14	TRST建立时间 (否定) 为TCLK高	8	-	NS

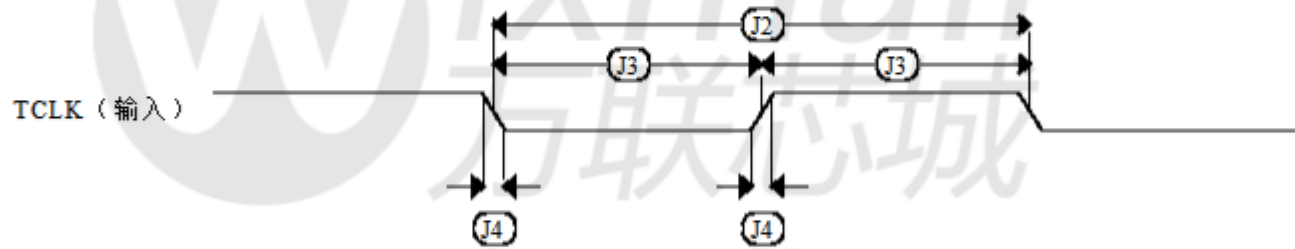


图5.测试时钟输入时序

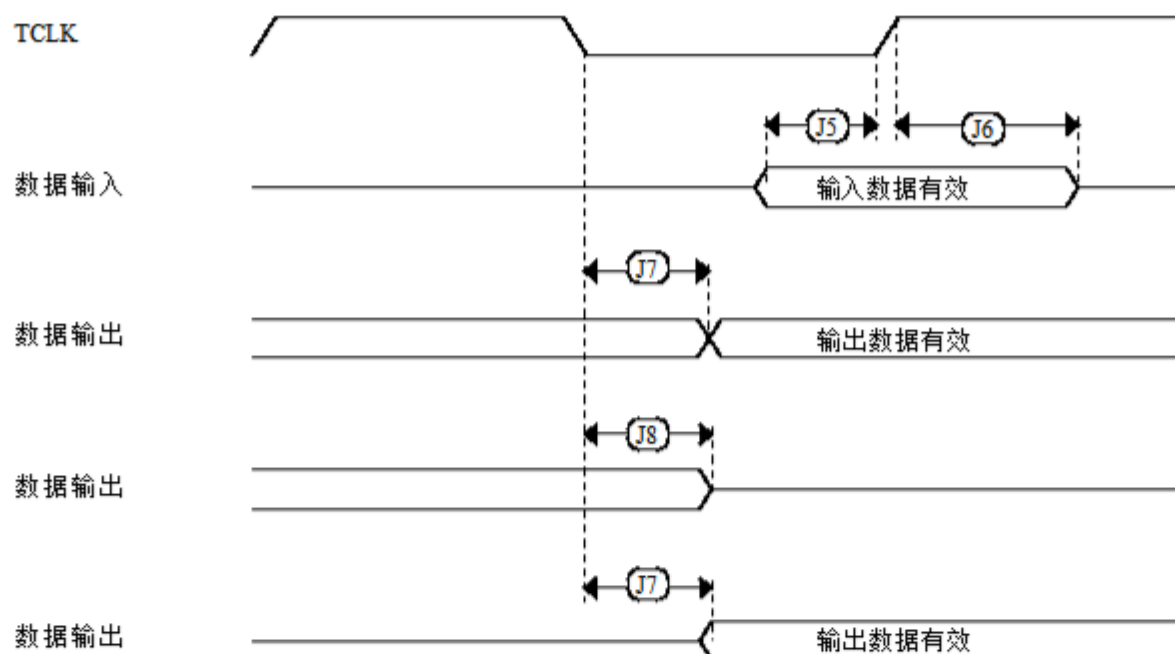


图6.边界扫描（JTAG）时序

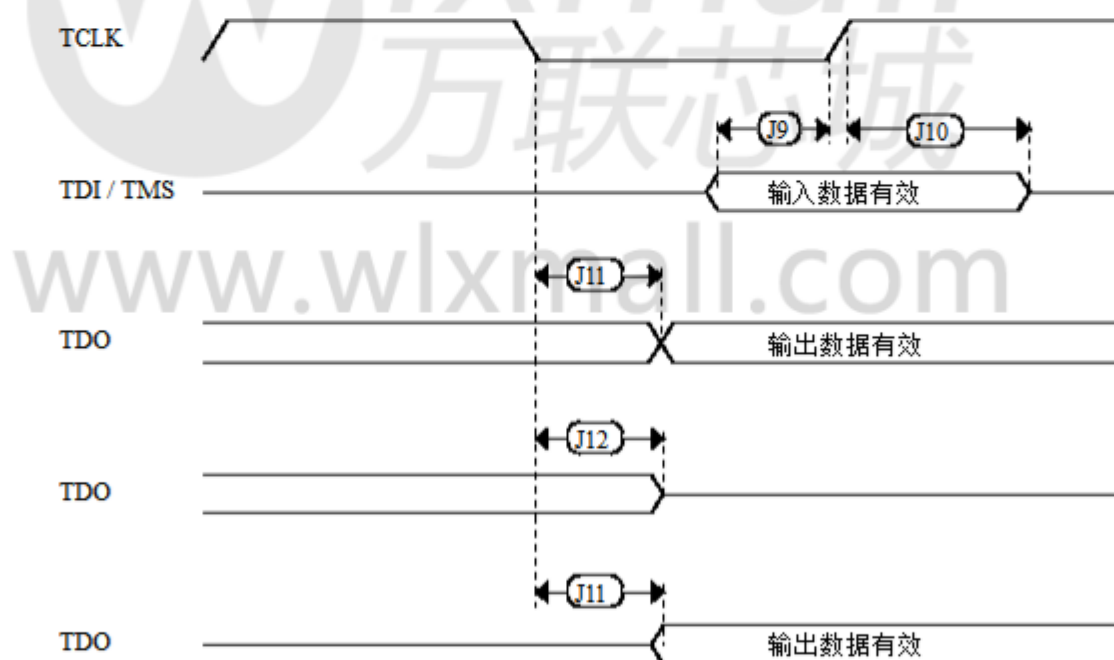


图7.测试访问端口时序

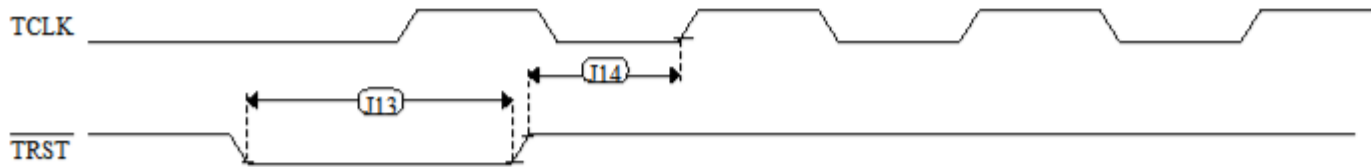


图8. TRST时序

6.2 系统模块

该设备的系统模块没有规定。

6.3 时钟模块

6.3.1 MCG规范

表15. MCG规格

符号	描述	阈.	典型.	最大.	单元	笔记
fints_ft	内部参考频率（慢时钟） - 工厂调整在标称VDD和25°C	-	32.768	-	千赫	
fints_t	内部参考频率（慢时钟） - 用户修剪	31.25	-	38.2	千赫	
我输入	内部参考（慢时钟）电流	-	20	-	μA	
Δfdco_res_t	调整 平均DCO输出的分辨率 固定电压和温度下的频率 - 使用SCTRIM和SCFTRIM	-	±0.3	±0.6	% f dco	1
Δfdco_t	修整后的平均DCO输出的总偏差 频率超过固定电压和温度 范围为0-70°C	-	±4.5	-	% f dco	1
fintf_ft	内部参考频率（快速时钟） - 工厂调整在标称VDD和25°C	-	4	-	兆赫	
fintf_t	内部参考频率（快速时钟） - 用户在标称VDD和25°C时修整	3	-	五	兆赫	
我 intf	内部参考（快速时钟）电流	-	25	-	μA	
floc_low	外部时钟最小频率丢失 - 范围= 00	$(3/5) \times fints_t$	-	-	千赫	
floc_high	外部时钟最小频率丢失 - 范围= 01,10或11	$(16/5) \times fints_t$	-	-	千赫	

表格在下一页继续...

表15. MCG规格（续）

符号	描述		范围	典型	最大	单元	笔记
FLL							
f fl_ref	FLL参考频率范围		31.25	-	39.0625	千赫	
f dco	DCO输出 频率范围	低范围 (DRS = 00) 640×f fl_ref	20	20.97	25	兆赫	2, 3
		中档 (DRS = 01) 1280×f fl_ref	40	41.94	50	兆赫	
		中高频范围 (DRS = 10) 1920×f fl_ref	60	62.91	75	兆赫	
		高范围 (DRS = 11) 2560×f fl_ref	80	83.89	100	兆赫	
f dco_t_DMX 2	DCO输出 频率	低范围 (DRS = 00) 732×f fl_ref	-	23.99	-	兆赫	4, 5
		中档 (DRS = 01) 1464×f fl_ref	-	47.97	-	兆赫	
		中高频范围 (DRS = 10) 2197×f fl_ref	-	71.99	-	兆赫	
		高范围 (DRS = 11) 2929×f fl_ref	-	95.98	-	兆赫	
J cyc_fl	FLL周期抖动 • VCO = 48 MHz • VCO = 98 MHz		- -	180 150	- -	PS	
t fl_acquire	FLL目标频率采集时间		-	-	1	女士	6
PLL							
f vco	VCO工作频率		48.0	-	100	兆赫	
我会	PLL工作电流 •PLL @ 96 MHz (fosc_hi_1 = 8 MHz, fpll_ref = 2 MHz, VDIV乘数 = 48)		-	1060	-	μA	7
我会	PLL工作电流 •PLL @ 48 MHz (fosc_hi_1 = 8 MHz, fpll_ref = 2 MHz, VDIV乘数 = 24)		-	600	-	μA	7
f pll_ref	PLL参考频率范围		2.0	-	4	兆赫	
J cyc_pll	PLL周期抖动 (RMS) •f vco = 48 MHz •f vco = 100 MHz		- -	120 50	- -	PS PS	8

表格在下一页继续...

表15. MCG规格（续）

符号	描述	阈.	典型.	最大.	单元	笔记
J acc_pll	PLL累积抖动超过1 μ s (RMS)					8
	•f vco = 48 MHz	-	1350	-	PS	
	•f vco = 100 MHz	-	600	-	PS	
D 锁	锁定输入频率容差	± 1.49	-	± 2.98	%	
D unl	锁定出口频率容差	± 4.47	-	± 5.97	%	
t pll_lock	锁定检测器检测时间	-	-	150 $\times 10^{-6}$ + 1075 (1 / f pll_ref)	小号	9

- 1.该参数是通过将内部参考（慢时钟）用作FLL（FEI时钟）的参考来测量的模式）。
- 2.这些典型值列出了使用工厂微调DMX32 = 0的慢速内部参考时钟（FEI）。
- 3.由此产生的系统时钟频率不应超过其最大规定值。DCO频率偏差 Δf_{dco_t} 过电压和温度应该被考虑。
- 4.列出的这些典型值是使用工厂微调DMX32 = 1的慢内部参考时钟（FEI）。
- 5.产生的时钟频率不得超过器件的最大指定时钟频率。
- 6.本规范适用于任何时候FLL参考源或参考分频器改变，修正值改变，DMX32位更改，DRS位更改或FLL禁用（BLPE，BLPI）更改为启用FLL（FEI，FEE，FBE，FBI）。如果使用晶体/谐振器作为参考，则此规范假定它已在运行。
- 7.排除在PLL工作时也消耗功率的任何振荡器电流。
- 8.该规范是使用飞思卡尔开发的PCB获得的。PLL抖动取决于噪声特性每个PCB和结果都会有所不同。
- 9.本规范适用于PLL VCO分频器或参考分频器发生改变或PLL发生改变时禁用（BLPE，BLPI）启用PLL（PBE，PEE）。如果晶体/谐振器被用作参考，则该规范假定它已经在运行。

6.3.2振荡器电气规格

本节介绍模块的电气特性。

6.3.2.1振荡器直流电气规格

表16.振荡器直流电气规格

符号	描述	阈.	典型.	最大.	单元	笔记
V DD	电源电压	1.71	-	3.6	V	
我 DDOSC	电源电流 - 低功耗模式（HGO = 0）					1
	•32 kHz	-	500	-	nA的	
	•4 MHz	-	200	-	μ A	
	•8 MHz（范围= 01）	-	300	-	μ A	
	•16 MHz	-	950	-	μ A	
	•24 MHz	-	1.2	-	嘛	
	•32 MHz	-	1.5	-	嘛	

表格在下一页继续...

表16.振荡器直流电气规格（续）

符号	描述	负.	典型.	最大.	单元	笔记
我 DDOSC	电源电流 - 高增益模式 (HGO = 1)					1
	•32 kHz	-	25	-	μA	
	•4 MHz	-	400	-	μA	
	•8 MHz (范围= 01)	-	500	-	μA	
	•16 MHz	-	2.5	-	嘛	
	•24 MHz	-	3	-	嘛	
	•32 MHz	-	4	-	嘛	
Cx	EXTAL负载电容	-	-	-		2, 3
Cy	XTAL负载电容	-	-	-		2, 3
RF	反馈电阻 - 低频, 低功耗模式 (HGO = 0)	-	-	-	MΩ	2, 4
	反馈电阻 - 低频, 高增益模式 (HGO = 1)	-	10	-	MΩ	
	反馈电阻 - 高频, 低功耗模式 (HGO = 0)	-	-	-	MΩ	
	反馈电阻 - 高频率, 高增益模式 (HGO = 1)	-	1	-	MΩ	
RS	串联电阻 - 低频, 低功耗模式 (HGO = 0)	-	-	-	千欧	
	串联电阻 - 低频, 高增益模式 (HGO = 1)	-	200	-	千欧	
	串联电阻 - 高频, 低功耗模式 (HGO = 0)	-	-	-	千欧	
	串联电阻 - 高频率, 高增益模式 (HGO = 1)	-	0	-	千欧	
Vpp5	振荡峰 - 峰振幅 (振荡器模式) - 低频, 低功耗模式 (HGO = 0)	-	0.6	-	V	
	振荡峰 - 峰振幅 (振荡器模式) - 低频率, 高增益模式 (HGO = 1)	-	V DD	-	V	
	振荡峰 - 峰振幅 (振荡器模式) - 高频率, 低功耗模式 (HGO = 0)	-	0.6	-	V	
	振荡峰 - 峰振幅 (振荡器模式) - 高频率, 高增益模式 (HGO = 1)	-	V DD	-	V	

1. V DD = 3.3V, 温度 = 25°C

2. 查看晶体或谐振器制造商的建议

3. Cx, Cy 可以通过使用集成电容器或通过使用外部元件来提供.

4. 选择低功耗模式时, RF 已集成, 不得连接到外部.

5. EXTAL和XTAL引脚只能连接到所需的振荡器组件，并且不能连接到任何其他设备。

6.3.2.2 振荡器频率规格

表17. 振荡器频率规格

符号	描述	阈.	典型.	最大.	单元	笔记
f _{osc_lo}	振荡器晶体或谐振器频率 - 低频率模式 (MCG_C2 [RANGE] = 00)	32	-	40	千赫	
f _{osc_hi_1}	振荡器晶体或谐振器频率 - 高频率模式 (低频范围) (MCG_C2 [范围] = 01)	3	-	8	兆赫	
f _{osc_hi_2}	振荡器晶体或谐振器频率 - 高频率模式 (高频范围) (MCG_C2 [范围] = 1x)	8	-	32	兆赫	
f _{ec_extal}	输入时钟频率 (外部时钟模式)	-	-	50	兆赫	1, 2
t _{dc_extal}	输入时钟占空比 (外部时钟模式)	40	50	60	%	
t _{cst}	晶体启动时间 - 32 kHz低频, 低功耗模式 (HGO = 0)	-	750	-	女士	3, 4
	晶体启动时间 - 32 kHz低频, 高增益模式 (HGO = 1)	-	250	-	女士	
	晶体启动时间 - 8 MHz高频率 (MCG_C2 [RANGE] = 01), 低功耗模式 (HGO = 0)	-	0.6	-	女士	
	晶体启动时间 - 8 MHz高频率 (MCG_C2 [RANGE] = 01), 高增益模式 (HGO = 1)	-	1	-	女士	

1. 当外部时钟被用作FLL或PLL的参考时，其他频率限制可能适用。
2. 当从FBE切换到FEI模式时，限制输入时钟的频率，以便在通过FRDIV进行分频时，保持在DCO输入时钟频率的范围内。
3. 必须遵循正确的印刷电路板布局程序才能达到规格要求。
4. 晶振启动时间定义为使能振荡器和MCG_S寄存器中的OSCINIT位之间的时间被设置。

6.3.3 32kHz振荡器电气特性

本节介绍模块的电气特性。

6.3.3.1 32kHz振荡器直流电规范

表18. 32kHz振荡器直流电气规格

符号	描述	阈.	典型.	最大.	单元
V _{BAT}	电源电压	1.71	-	3.6	V
R _F	内部反馈电阻	-	100	-	MΩ

表格在下一页继续...

表18. 32kHz振荡器直流电气规格（续）

符号	描述	阀.	典型.	最大.	单元
C 段	EXTAL32和XTAL32的寄生电容	-	五	7	pF的
C 负载	内部负载电容（可编程）	-	15	-	pF的
V _{pp1}	振荡峰 - 峰振幅	-	0.6	-	V

1. EXTAL32和XTAL32引脚只能连接到所需的振荡器组件，且不能连接到任何其他设备。

6.3.3.2 32kHz振荡器频率规格

表19. 32kHz振荡器频率规格

符号	描述	阀.	典型.	最大.	单元	笔记
f _{osc_lo}	振荡器晶体	-	32.768	-	千赫	
开始	水晶启动时间	-	1000	-	女士	1

1. 必须遵循正确的印刷电路板布局程序才能达到规格要求。

6.4 存储器和存储器接口

6.4.1 闪光灯（FTFL）电气规格

本节介绍FTFL模块的电气特性。

6.4.1.1 闪存时序规范 - 编程和擦除

以下规格表示内部充电泵的使用时间活动并且不包括命令开销。

表20. NVM编程/擦除时序规范

符号	描述	阀.	典型.	最大.	单元	笔记
t _{hvpgrm4}	长字程序高电压时间	-	7.5	18	微秒	
t _{hversscr}	扇区擦除高电压时间	-	13	113	女士	1
t _{hversblk256}	擦除阻止256 KB的高电压时间	-	416	3616	女士	1

1. 基于期末生命周期预期的最大时间。

6.4.1.2 闪存时序规范 - 命令

表21. 闪存命令时序规范

符号	描述	阅.	典型.	最大.	单元	笔记
t rd1blk256k	读取1s阻止执行时间 •256 KB程序/数据闪存	-	-	1.7	女士	
t rd1sec2k	读取1s部分执行时间（闪存扇区）	-	-	60	微秒	1
t pgmchk	程序检查执行时间	-	-	45	微秒	1
t rrsrc	阅读资源执行时间	-	-	三十	微秒	1
t pgm4	编程长字执行时间	-	65	145	微秒	
trsrslk256k	擦除闪存块执行时间 •256 KB程序/数据闪存	-	435	3700	女士	2
trsrsrc	擦除闪存扇区执行时间	-	14	114	女士	2
t pgmsec512	程序部分执行时间 •512 B闪光灯	-	2.4	-	女士	
t pgmsec1k	•1 KB闪存	-	4.7	-	女士	
t pgmsec2k	•2 KB闪存	-	9.3	-	女士	
t rd1all	全部读取阻止执行时间	-	-	1.8	女士	
t rdonce	读取一次执行时间	-	-	25	微秒	1
t pgmonce	程序一次执行时间	-	65	-	微秒	
全部	擦除所有块的执行时间	-	870	7400	女士	2
t vykey	验证后门访问密钥执行时间	-	-	三十	微秒	1
t swapx01	交换控制执行时间 •控制代码0x01	-	200	-	微秒	
t swapx02	•控制代码0x02	-	70	150	微秒	
t swapx04	•控制代码0x04	-	70	150	微秒	
t swapx08	•控制代码0x08	-	-	三十	微秒	
t pgmpart256k	用于EEPROM执行时间的程序分区 •256 KB FlexNVM	-	450	-	女士	
t setramff	设置FlexRAM功能执行时间： •控制代码0xFF	-	70	-	微秒	
t setram32k	•32 KB EEPROM备份	-	0.8	1.2	女士	
t setram256k	•256 KB EEPROM备份	-	4.5	5.5	女士	
字节写入FlexRAM用于EEPROM操作						
字节写入擦除的FlexRAM位置执行时间		-	175	260	微秒	3

表格在下一页继续...

表21.闪存命令时序规范（续）

符号	描述	闕.	典型.	最大.	单元	笔记
t eewr8b32k	字节写入FlexRAM执行时间: •32 KB EEPROM备份	-	385	1800	微秒	
t eewr8b64k	•64 KB EEPROM备份	-	475	2000	微秒	
t eewr8b128k	•128 KB EEPROM备份	-	650	2400	微秒	
t eewr8b256k	•256 KB EEPROM备份	-	1000	3200	微秒	
将字写入FlexRAM以进行EEPROM操作						
tEewr16bers	将字写入擦除的FlexRAM位置 执行时间处理时间	-	175	260	微秒	
t eewr16b32k	字写入FlexRAM执行时间: •32 KB EEPROM备份	-	385	1800	微秒	
t eewr16b64k	•64 KB EEPROM备份	-	475	2000	微秒	
t eewr16b128k	•128 KB EEPROM备份	-	650	2400	微秒	
t eewr16b256k	•256 KB EEPROM备份	-	1000	3200	微秒	
Longword - 向FlexRAM写入EEPROM操作						
长字 - 写入擦除的FlexRAM位置 执行时间处理时间		-	360	540	微秒	
t eewr32b32k	长字 - 写入FlexRAM执行时间: •32 KB EEPROM备份	-	630	2050	微秒	
t eewr32b64k	•64 KB EEPROM备份	-	810	2250	微秒	
t eewr32b128k	•128 KB EEPROM备份	-	1200	2675	微秒	
t eewr32b256k	•256 KB EEPROM备份	-	1900	3500	微秒	

- 1.假设25MHz的闪存时钟频率。
- 2.基于循环寿命终止期望的擦除参数的最大时间。
- 3.对于擦除的FlexRAM位置的字节写入，必须擦除包含字节的对齐字。

6.4.1.3 闪存（FTFL）电流和功率规格

表22.闪存（FTFL）电流和功率规格

符号	描述	典型.	单元
我 DD_PGM	程序闪存中的最坏情况编程电流	10	嘛

6.4.1.4 可靠性规范

表23. NVM可靠性规格

符号	描述	闕.	Typ.1	最大.	单元	笔记
程序闪存						
t nvmretp10k	高达10 K周期后的数据保留	五	50	-	年份	2

表格在下一页继续...

表23. NVM可靠性规格（续）

符号	描述	阅.	Typ.1	最大.	单元	笔记
t nvmretp1k	高达1 K周期后的数据保留	10	100	-	年份	2
t nvmretp100	最多100次循环后的数据保留	15	100	-	年份	2
n nvmcycp	骑自行车的耐力	10 K	35 K	-	周期	3
数据闪存						
t nvmret10k	高达10 K周期后的数据保留	五	50	-	年份	2
t nvmret1k	高达1 K周期后的数据保留	10	100	-	年份	2
t nvmret100	多达100个周期后的数据保留	15	100	-	年份	2
n nvmcycd	骑自行车的耐力	10 K	35 K	-	周期	3
FlexRAM作为EEPROM						
t nvmretee100	数据保持高达100%的写入耐久性	五	50	-	年份	2
t nvmretee10	数据保留率高达写入耐力的10%	10	100	-	年份	2
t nvmretee1	数据保留率高达写入耐力的1%	15	100	-	年份	2
n nvmwree16	写耐力 •EEPROM备份到FlexRAM比率= 16	35 K	175 K	-	写	4
n nvmwree128	•EEPROM备份到FlexRAM比率= 128	315 K	1.6米	-	写	
n nvmwree512	•EEPROM备份到FlexRAM比率= 512	1.27 M	6.4 M	-	写	
n nvmwree4k	•EEPROM备份到FlexRAM比率= 4096	10米	50公尺	-	写	
n nvmwree32k	•EEPROM备份到FlexRAM比率= 32,768	80米	400米	-	写	

- 1.典型的数据保留值基于在高温下加速测量的响应并降低到恒定值
25°C的使用情况.工程公告EB618不适用于此技术.
- 2.数据保留基于 $T_{javg} = 55^{\circ}\text{C}$ (应用程序使用期限内的温度曲线).
- 3.循环耐力表示在 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ 时的编程/擦除周期数.
- 4.写耐久性表示在 $-40^{\circ}\text{C} \leq T_j \leq 125^{\circ}\text{C}$ 受循环影响的情况下, 每个FlexRAM位置的写入次数
FlexNVM的耐用性 (与数据闪存相同的值) 以及每个子系统分配的EEPROM备份.最小和典型值假定所有字节写入FlexRAM.

6.4.1.5将耐久性写入EEPROM的FlexRAM

当FlexNVM分区代码未设置为全数据闪存时, EEPROM数据集的大小可以设置为几个非零值中的任何一个.

未使用通过FlexNVM分区代码分配给数据闪存的字节被使用FTFL为EEPROM数据获得有效的耐用性增加.内置EEPROM记录管理系统提高了可编程/擦除周期的数量.通过将EEPROM数据循环通过更大的设备, 在设备磨损之前达到EEPROM NVM存储空间.

虽然FlexNVM的不同分区可用，但意图是一个单一的FlexNVM分区代码和EEPROM数据集大小的选择在整个过程中都会使用给定应用程序的整个生命周期。EEPROM耐久性方程和图形如下所示假定只有一种配置被使用。

$$\text{Writes_subsystem} = \frac{\text{EEPROM} - 2 \times \text{EEESPLIT} \times \text{EEESIZE}}{\text{EEESPLIT} \times \text{EEESIZE}} \times \text{写入效率} \times n \quad \text{nvmcycd}$$

哪里

- Writes_subsystem - 每个FlexRAM位置写入的最小数量
子系统（每个子系统可以有不同的耐力）
- EEPROM - 基于DEPART为每个EEPROM子系统分配FlexNVM;
用程序分区命令输入
- EEESPLIT - 子系统的FlexRAM拆分因子;随程序一起输入
分区命令
- EEESIZE - 基于DEPART分配的FlexRAM;输入程序分区
命令
- Write_efficiency -
 - 对于FlexRAM的8位写入，为0.25
 - 对于FlexRAM的16位或32位写操作，为0.50

n nvmcycd - 数据闪存循环耐力

www.wlxmall.com

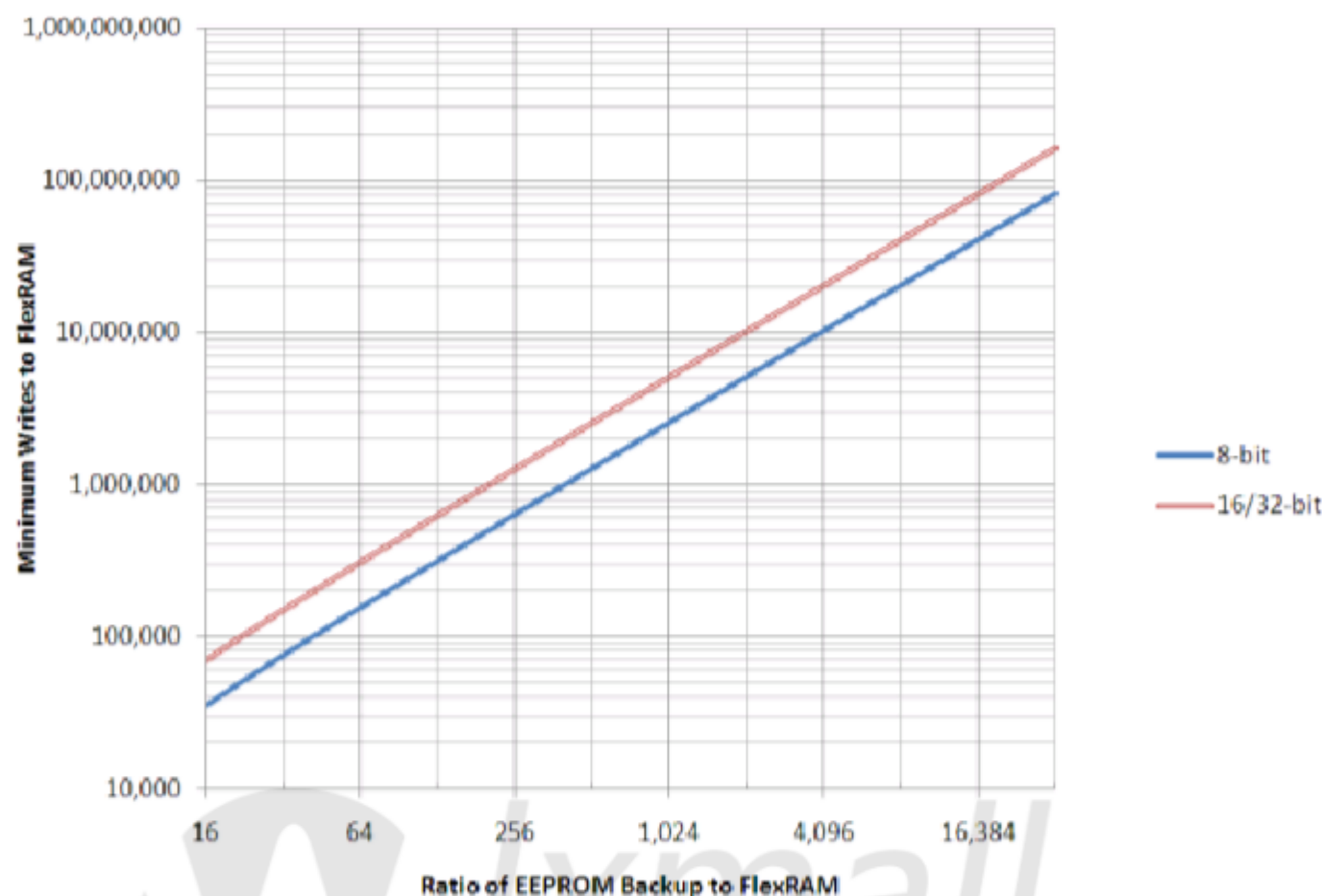


图9. EEPROM备份写入到FlexRAM

6.4.2 EzPort交换规范

表24. EzPort交换规范

民	描述	闭.	最大.	单元
	工作电压	1.71	3.6	V
EP1	EZP_CK操作频率（所有命令除外读）	-	$f_{SYS} / 2$	兆赫
EP1A	EZP_CK操作频率（READ命令）	-	$f_{SYS} / 8$	兆赫
EP2	EZP_CS否定到下一个EZP_CS断言	$2 \times t_{EZP_CK}$	-	NS
EP3	EZP_CS输入有效至EZP_CK高（设置）	五	-	NS
EP4	EZP_CK高到EZP_CS输入无效（保持）	五	-	NS
EP5	EZP_D输入有效至EZP_CK高（设置）	2	-	NS
EP6	EZP_CK高到EZP_D输入无效（保持）	五	-	NS
EP7	EZP_CK低到EZP_Q输出有效	-	16	NS
EP8	EZP_CK低到EZP_Q输出无效（保持）	0	-	NS
EP9	EZP_CS否定为EZP_Q三态	-	12	NS

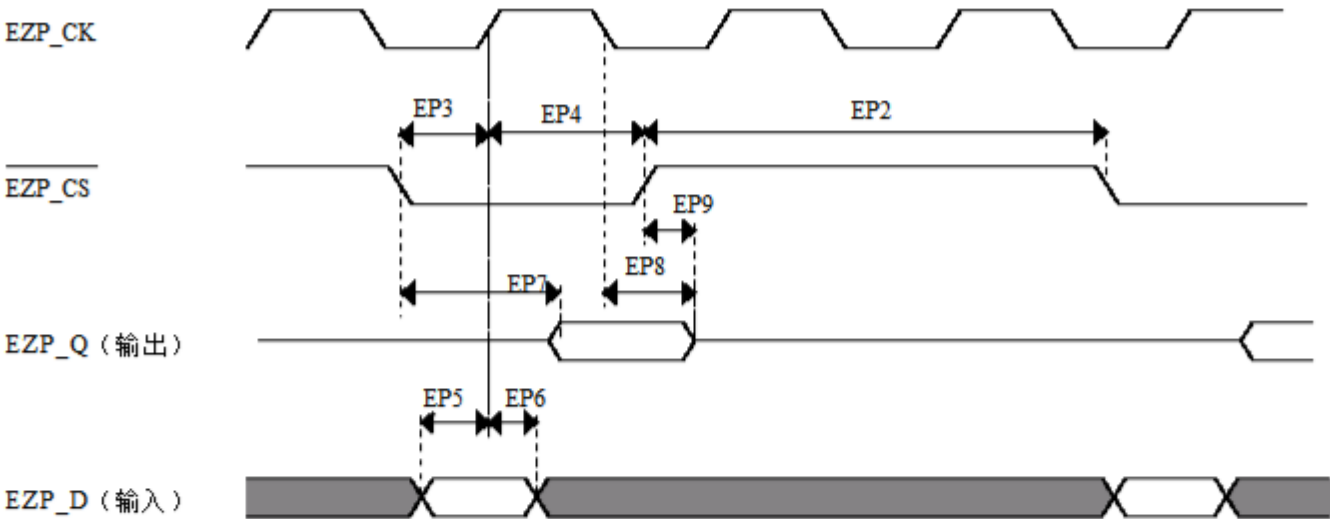


图10. EzPort时序图

6.4.3 Flexbus交换规范

所有处理器总线时序都是同步的;输入建立/保持和输出延迟在中给出
尊重参考时钟FB_CLK的上升沿.FB_CLK频率可能是
与内部系统总线频率或该频率的整数分频器相同.

以下时序编号表示数据何时锁存或驱动到外部
总线，相对于Flexbus输出时钟（FB_CLK）.所有其他的时间关系可以
源自这些值.

表25. Flexbus限制电压量程切换规格

民	描述	阅.	最大.	单元	笔记
	工作电压	2.7	3.6	V	
	操作频率	-	FB_CLK	兆赫	
FB1	时钟周期	20	-	NS	
FB2	地址，数据和控制输出有效	-	11.5	NS	1
FB3	地址，数据和控制输出保持	0.5	-	NS	1
FB4	数据和FB_TA输入设置	8.5	-	NS	2
FB5	数据和FB_TA输入保持	0.5	-	NS	2

1. 规范适用于所有FB_AD [31: 0], FB_BE / BWEn, FB_CSn, FB_OE, FB_R / W, FB_TBST, FB_TSIz [1: 0], FB_ALE, 和FB_TS.

2. 规范适用于所有FB_AD [31: 0]和FB_TA.

表26. Flexbus全电压范围切换规格

民	描述	阈.	最大.	单元	笔记
	工作电压	1.71	3.6	V	
	操作频率	-	FB_CLK	兆赫	
FB1	时钟周期	1 / FB_CLK	-	NS	
FB2	地址，数据和控制输出有效	-	13.5	NS	1
FB3	地址，数据和控制输出保持	0	-	NS	1
FB4	数据和FB_TA输入设置	13.7	-	NS	2
FB5	数据和FB_TA输入保持	0.5	-	NS	2

1. 规范适用于所有FB_AD [31: 0]，FB_BE / BWE_n，FB_CS_n，FB_OE，FB_R / W，FB_TBST，FB_TSI_Z [1: 0]，FB_ALE，和FB_TS.

2. 规范适用于所有FB_AD [31: 0]和FB_TA.



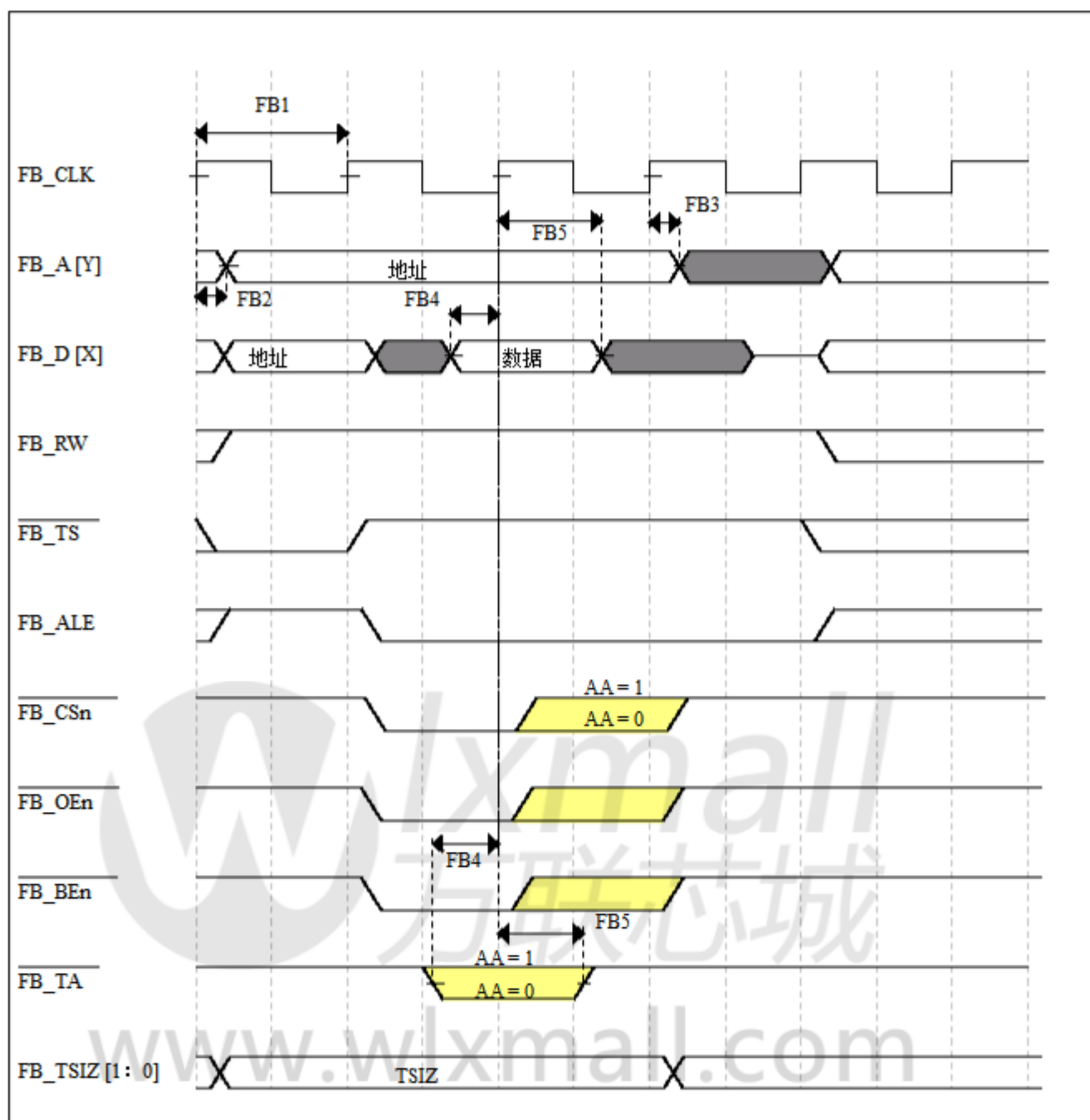


图11. FlexBus读取时序图

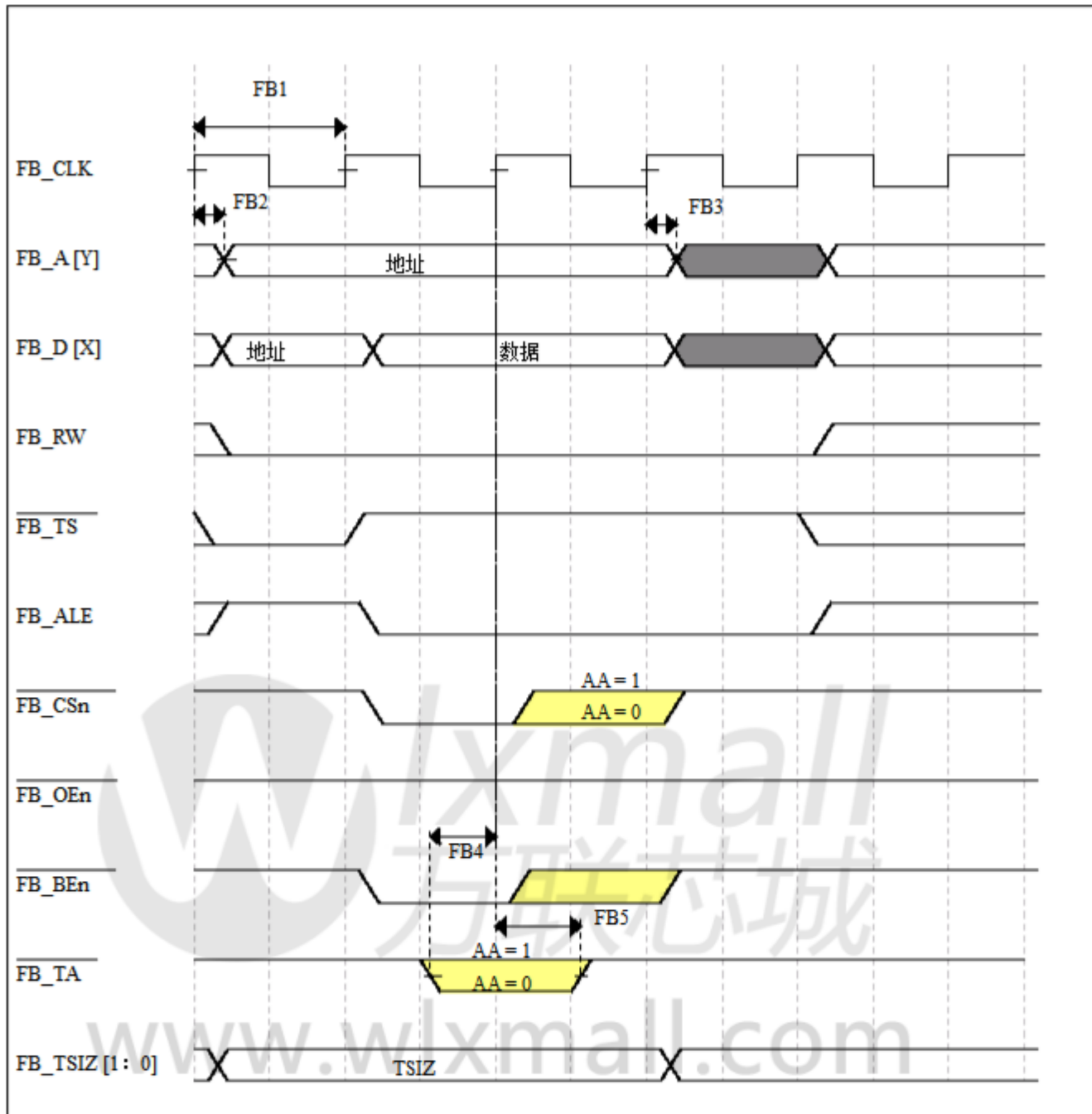


图12. FlexBus写时序图

6.5 安全和完整性模块

对于设备的安全性和完整性模块没有规定。

6.6 模拟

6.6.1 ADC电气规格

表27和表28中列出的16位精度规格可以通过差分引脚ADCx_DP0, ADCx_DM0, ADCx_DP1, ADCx_DM1, ADCx_DP3和ADCx_DM3.

ADCx_DP2和ADCx_DM2 ADC输入连接到PGA输出端不直接设备引脚.表29和表29中定义了这些引脚的精度规格表30.

所有其他ADC通道均符合13位差分/ 12位单端精度规格.

6.6.1.1 16位ADC工作条件

表27. 16位ADC工作条件

符号	描述	条件	阈.	Typ.1	最大.	单元	笔记
V _{DDA}	电源电压	绝对	1.71	-	3.6	V	
ΔV _{DDA}	电源电压	Delta到V _{DD} (V _{DD} - V _{DDA})	-100	0	+100	毫伏	2
ΔV _{SSA}	接地电压	增量到V _{SS} (V _{SS} - V _{SSA})	-100	0	+100	毫伏	2
V _{REFH}	ADC参考电压高		1.13	V _{DDA}	V _{DDA}	V	
V _{REFL}	参考电压低		V _{SSA}	V _{SSA}	V _{SSA}	V	
V _{ADIN}	输入电压		V _{REFL}	-	V _{REFH}	V	
C _{ADIN}	输入电容	•16位模式 •8/10/12位模式	- -	8 4	10 五	pF的	
R _{ADIN}	输入电阻		-	2	五	千欧	
R _{AS}	模拟来源抵抗性	13/12位模式 f _{ADCK} <4MHz	- -	- -	五	千欧	3
f _{ADCK}	ADC转换时钟频率	≤13位模式	1.0	-	18.0	兆赫	4
f _{ADCK}	ADC转换时钟频率	16位模式	2.0	-	12.0	兆赫	4

表格在下一页继续...

表27. 16位ADC工作条件（续）

符号	描述	条件	阈.	Typ.1	最大.	单元	笔记
C 率	ADC转换率	≤13位模式 没有ADC硬件平均 连续 启用转换， 随后的转换时间	20.000	-	818.330	KSPS	五
C 率	ADC转换率	16位模式 没有ADC硬件平均 连续 启用转换， 随后的转换时间	37.037	-	461.467	KSPS	五

1. 除非另有说明，典型值假定 $V_{DDA} = 3.0\text{ V}$ ，温度 = 25°C ， $f_{ADCK} = 1.0\text{ MHz}$. 典型值是仅供参考，未在生产中进行测试.
2. 直流电位差.
3. 这个电阻是MCU的外部. 模拟源电阻应尽可能低以实现最好的结果. 本数据表中的结果来自具有 $<8\Omega$ 模拟源电阻的系统. R_{AS}/C_{AS} 时间常数应保持在 $<1\text{ ns}$.
4. 要使用最大ADC转换时钟频率，应设置ADHSC位并清除ADLPC位.
5. 有关转换率计算的指导和示例，请下载ADC计算器工具：http://cache.freescall.com/files/soft_dev_tools/软件/app_software/转换器/ADC_CALCULATOR_CN.zip?FPSP=1

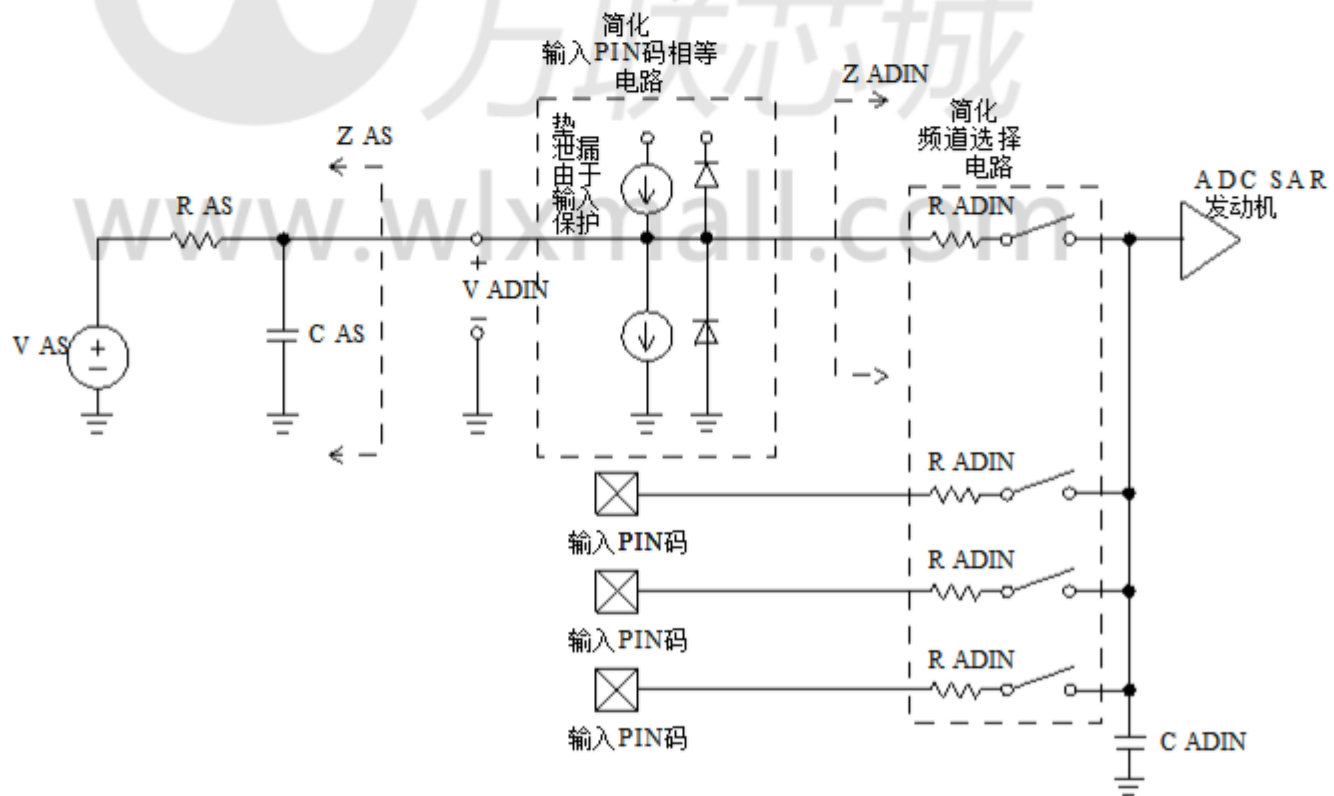


图13. ADC输入阻抗等值图

6.6.1.2 16位ADC电气特性

表28. 16位ADC特性 (V_{REFH} = V_{DDA}, V_{REFL} = V_{SSA})

符号	描述	条件1	阈.	Typ.2	最大.	单元	笔记
我 DDA_ADC 供应电流			0.215	-	1.7	嘛	3
f _{ADACK}	ADC 异步 时钟源	•ADLPC = 1, ADHSC = 0 •ADLPC = 1, ADHSC = 1 •ADLPC = 0, ADHSC = 0 •ADLPC = 0, ADHSC = 1	1.2 3.0 2.4 4.4	2.4 4 5.2 6.2	3.9 7.3 6.1 9.5	兆赫 兆赫 兆赫 兆赫	t _{ADACK} = 1 / f _{ADACK}
	采样时间	有关采样时间, 请参见参考手册一章					
TUE	未调整总数 错误	•12位模式 •<12位模式	-	±4	±6.8	LSB4	五
			-	±1.4	±2.1		
DNL	差分非线性 线性	•12位模式 •<12位模式	-	±0.7	-1.1到 +1.9	LSB4	五
			-	±0.2	-0.3至0.5		
INL	积分非 - 线性	•12位模式 •<12位模式	-	±1.0	-2.7到 +1.9	LSB4	五
			-	±0.5	-0.7到 +0.5		
E _{FS}	满里程错误	•12位模式 •<12位模式	-	-4	-5.4	LSB4	V _{ADIN} = V _{DDA}
			-	-1.4	-1.8		五
E _Q	量化 错误	•16位模式 •≤13位模式	-	-1到0	-	LSB4	
			-	-	±0.5		
ENOB	有效数字 的位	16位差分模式 •Avg = 32 •Avg = 4 16位单端模式 •Avg = 32 •Avg = 4	12.8 11.9	14.5 13.8	- -	位 位	6
SINAD	信号与噪声 加上失真	参见ENOB	6.02×ENOB + 1.76			Db	
THD	总谐波 失真	16位差分模式 •Avg = 32 16位单端模式 •Avg = 32	-	-94	-	Db	7
			-	-85	-	Db	

表格在下一页继续...

表28. 16位ADC特性 ($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$) (续)

符号	描述	条件1	阈.	Typ.2	最大.	单元	笔记
SFDR	虚假自由动态范围	16位差分模式 •Avg = 32	82	95	-	Db	7
		16位单端模式 •Avg = 32	78	90	-	Db	
E IL	输入泄漏错误		我在 $\times RAS$			毫伏	我在 = 泄漏当前 (请参阅MCU的电压和当前操作评级)
	温度传感器坡	-40°C至105°C	-	1.715	-	毫伏/°C	
V TEMP25	温度传感器电压	25°C下	-	719	-	毫伏	

- 所有准确度数字都假定ADC用 $V_{REFH} = V_{DDA}$ 进行校准
- 除非另有说明, 典型值假定 $V_{DDA} = 3.0V$, 温度 = 25°C, $f_{ADCK} = 2.0MHz$. 典型值是仅供参考, 未在生产中进行测试.
- ADC电源电流取决于ADC转换时钟速度, 转换速率和ADLPC位 (低功耗). 为了实现最低功耗操作, 应设置ADLPC位, 使用1MHz ADC转换时钟清零HSC位速度.
- $1LSB = (V_{REFH} - V_{REFL}) / 2N$
- ADC转换时钟 < 16MHz, 最大硬件平均 (AVGE = %1, AVGS = %11)
- 输入数据为100 Hz正弦波. ADC转换时钟 < 12MHz.
- 输入数据是1 kHz正弦波. ADC转换时钟 < 12MHz.

Typical ADC 16-bit Differential ENOB vs ADC Clock
100Hz, 90% FS Sine Input

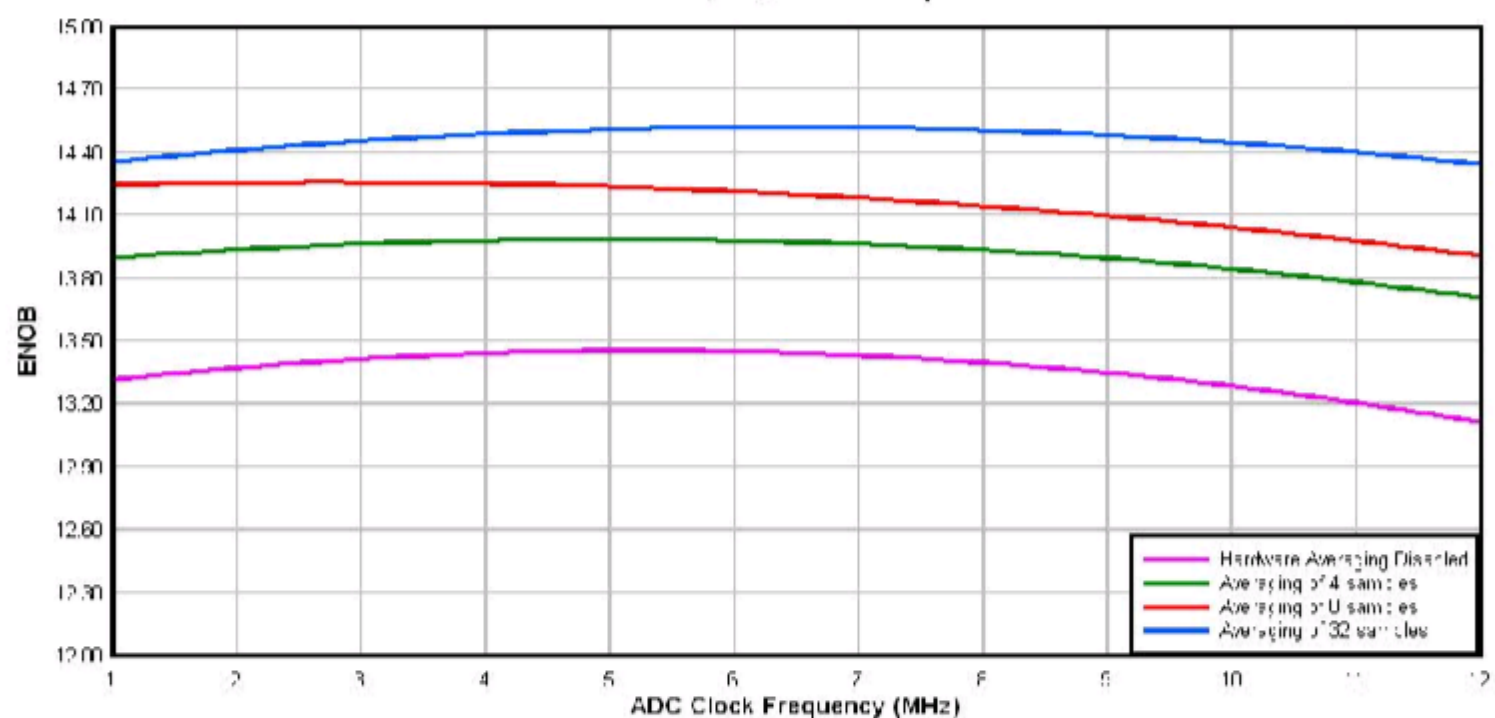


图14. 16位差分模式的典型ENOB与ADC_CLK

Typical ADC 16-bit Single-Ended ENOB vs ADC Clock
100Hz, 90% FS Sine Input

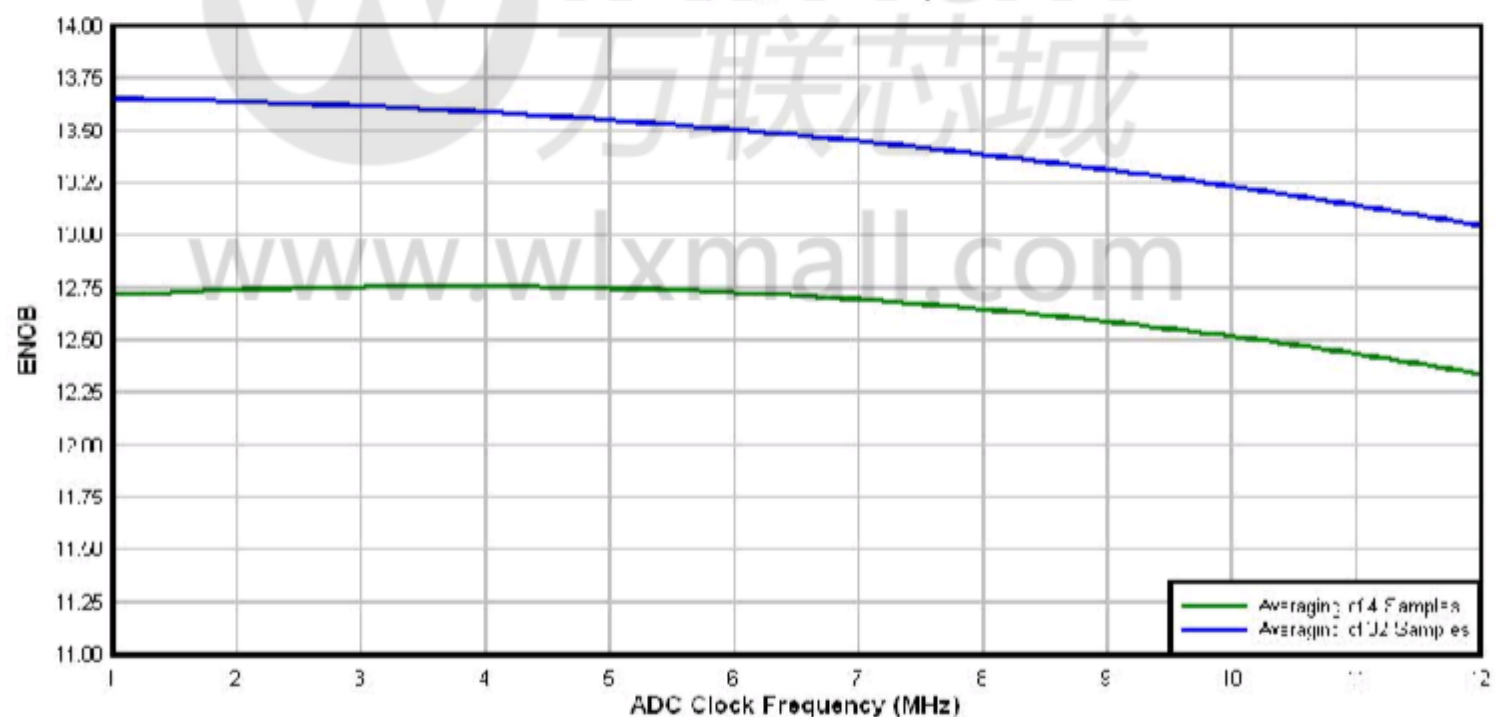


图15. 16位单端模式的典型ENOB与ADC_CLK

6.6.1.3 具有PGA工作条件的16位ADC

表29.具有PGA工作条件的16位ADC

符号	描述	条件	阈.	Typ.1	最大.	单元	笔记
V DDA	电源电压	绝对	1.71	-	3.6	V	
V REFPGA	PGA参考电压		V_{REF_OUT}	V_{REF_OUT}	V_{REF_OUT}	V	2, 3
V ADIN	输入电压		V SSA	-	V DDA	V	
V CM	输入通用模式范围		V SSA	-	V DDA	V	
R PGAD	差分输入阻抗	增益 = 1,2,4,8	-	128	-	千欧	IN +到IN-4
		增益 = 16,32	-	64	-		
		增益 = 64	-	32	-		
R AS	模拟来源抵抗性		-	100	-	Ω	五
T S	ADC采样时间		1.25	-	-	微秒	6
C 率	ADC转换率	≤13位模式 没有ADC硬件平均 连续已启用转换 外设时钟= 50兆赫	18.484	-	450	KSPS	7
		16位模式 没有ADC硬件平均 连续已启用转换 外设时钟= 50兆赫	37.037	-	250	KSPS	8

1. 除非另有说明，典型值假定V DDA = 3.0 V，温度= 25°C，f ADCK = 6 MHz. 典型值是仅供参考，未在生产中进行测试。
2. ADC必须配置为使用内部参考电压（VREF_OUT）
3. PGA参考内部连接到VREF_OUT引脚. 如果用户希望用其他电压驱动VREF_OUT比VREF模块的输出，VREF模块必须被禁用。
4. 对于单端配置，驱动输入的输入阻抗为R PGAD/2
5. MCU外部的模拟源电阻（R AS）应尽可能最小. R AS 增加 导致下降在PGA获得而不影响其他表现. 这不依赖于ADC时钟频率。
6. 最小采样时间取决于输入信号频率和ADC工作模式. 最少1.25 μ s
在16位差分模式下，应允许时间为F in = 4 kHz. 推荐的ADC设置为：ADLSMP = 1，ADLSTS = 2 at 8 MHz ADC时钟。
7. ADC时钟= 18 MHz，ADLSMP = 1，ADLST = 00，ADHSC = 1
8. ADC时钟= 12 MHz，ADLSMP = 1，ADLST = 01，ADHSC = 1

6.6.1.4 具有PGA特性的16位ADC

表30.具有PGA特性的16位ADC

符号	描述	条件	阈.	Typ.1	最大.	单元	笔记
我 DDA_PG	电源电流	低电里 (ADC_PGA[PGALPb] = 0)	-	420	644	μA	2
我 DC_PGA	输入直流电流		$\frac{2}{R_{PGAD}} \left(\frac{(V_{REFPGA} \times 0.583) - V_{CM}}{(Gain+1)} \right)$			一个	3
		增益 = 1, V REFPGA = 1.2V, V CM = 0.5V	-	1.54	-	μA	
		增益 = 64, V REFPGA = 1.2V, V CM = 0.1V	-	0.57	-	μA	
G	Gain4	•PGAG = 0 •PGAG = 1 •PGAG = 2 •PGAG = 3 •PGAG = 4 •PGAG = 5 •PGAG = 6	0.95 1.9 3.8 7.6 15.2 30.0 58.8	1 2 4 8 16 31.6 63.3	1.05 2.1 4.2 8.4 16.6 33.2 67.8		R AS <100Ω
BW	输入信号 带宽	•16位模式 •<16位模式	- -	- -	4 40	千赫 千赫	
PSRR	电源 拒绝率	增益=1	-	-84	-	D b	V DDA = 3V ±100mV的, f VDDA = 50Hz, 60赫兹
CMRR	共同模式 拒绝率	•增益 = 1 •增益 = 64	- -	-84 -85	- -	D b D b	V CM = 500mVpp, f VCM = 50Hz, 100Hz的
V OFS	输入偏移量 电压		-	0.2	-	毫伏	输出偏移量 = V OFS * (增益+1)
T GSW	增益切换 安定时间		-	-	10	微秒	五
E IL	输入泄漏 错误	所有模式	我在 ×R AS			毫伏	I In =泄漏 当前 (请参阅 MCU的电压 和当前 操作 评级)
V PP, DIFF	最大 差分输入 信号摆动		$\left(\frac{(\min(V_X V_{DDA} - V_X) - 0.2) \times 4}{Gain} \right)$ 其中 V X = V REFPGA × 0.583			V	6

表格在下一页继续...

表30.具有PGA特性的16位ADC（续）

符号	描述	条件	阈.	Typ.1	最大.	单元	笔记
SNR	信号与噪声比	•增益 = 1	80	90	-	D b	16位 微分 模式, 平均= 32
		•增益 = 64	52	66	-	D b	
THD	总谐波失真	•增益 = 1	85	100	-	D b	16位 微分 模式, 平均= 32, $f_{in} = 100\text{Hz}$
		•增益 = 64	49	95	-	D b	
SFDR	虚假自由动态范围	•增益 = 1	85	105	-	D b	16位 微分 模式, 平均= 32, $f_{in} = 100\text{Hz}$
		•增益 = 64	53	88	-	D b	
ENOB	有效数字的位	•增益 = 1, 平均值 = 4	11.6	13.4	-	位	16位 微分 模式, $f_{in} = 100\text{Hz}$
		•增益 = 64, 平均值 = 4	7.2	9.6	-	位	
		•增益 = 1, 平均值 = 32	12.8	14.5	-	位	
		•增益 = 2, 平均值 = 32	11.0	14.3	-	位	
		•增益 = 4, 平均值 = 32	7.9	13.8	-	位	
		•增益 = 8, 平均值 = 32	7.3	13.1	-	位	
		•增益 = 16, 平均值 = 32	6.8	12.5	-	位	
		•增益 = 32, 平均值 = 32	6.8	11.5	-	位	
		•增益 = 64, 平均值 = 32	7.5	10.6	-	位	
SINAD	信号与噪声加上失真比	参见ENOB	$6.02 \times \text{ENOB} + 1.76$			D b	

1. 除非另有说明，典型值假定 $V_{DDA} = 3.0\text{V}$ ，温度 = 25°C ， $f_{ADCK} = 6\text{MHz}$ 。
2. 此电流是一个PGA模块加法器，此外还有ADC转换电流。
3. $IN+$ 和 $IN-$ 之间，PGA从输入端子吸取直流电流。直流电流的强度很强输入共模电压（ V_{CM} ）和PGA增益的函数。
4. 增益 = 2 PGAG
5. 更改PGA增益设置后，应忽略至少2个ADC + PGA转换。
6. 限制输入信号摆幅，以使PGA在工作期间不饱和。输入信号的摆动取决于PGA参考电压和增益设置。

6.6.2 CMP和6位DAC电气规范

表31.比较器和6位DAC电气规格

符号	描述	阈.	典型.	最大.	单元
V_{DD}	电源电压	1.71	-	3.6	V
I_{DDHS}	电源电流，高速模式（ $EN = 1$ ， $PMODE = 1$ ）	-	-	200	μA

表格在下一页继续...

表31.比较器和6位DAC电气规格（续）

符号	描述	阈.	典型.	最大.	单元
我 DDLS	电源电流，低速模式（EN = 1，PMODE = 0）	-	-	20	μA
V AIN	模拟输入电压	V SS - 0.3	-	V DD	V
V AIO	模拟输入失调电压	-	-	20	毫伏
VH	模拟比较器滞后1	-	五	-	毫伏
	•CR0 [HYSTCTR] = 00	-	10	-	毫伏
	•CR0 [HYSTCTR] = 01	-	20	-	毫伏
	•CR0 [HYSTCTR] = 11	-	三十	-	毫伏
V CMPOh	输出高	V DD - 0.5	-	-	V
V CMP0l	输出低	-	-	0.5	V
t DHS	传播延迟，高速模式（EN = 1，PMODE = 1）	20	50	200	NS
t DLS	传播延迟，低速模式（EN = 1，PMODE = 0）	120	250	600	NS
	模拟比较器初始化延迟2	-	-	40	微秒
我 DAC6b	6位DAC电流加法器（启用）	-	7	-	μA
INL	6位DAC积分非线性	-0.5	-	0.5	LSB 3
DNL	6位DAC差分非线性	-0.3	-	0.3	LSB

1.典型的迟滞是在输入电压范围限制为0.6V DD -0.6V的情况下测得的。

2.比较器初始化延迟定义为软件写入以改变控制输入之间的时间（写入DACEN，VRSEL，PSEL，MSEL，VOSEL）和比较器输出稳定在一个稳定的水平。

3. 1 LSB = V 参考 / 64

www.wlxml.com

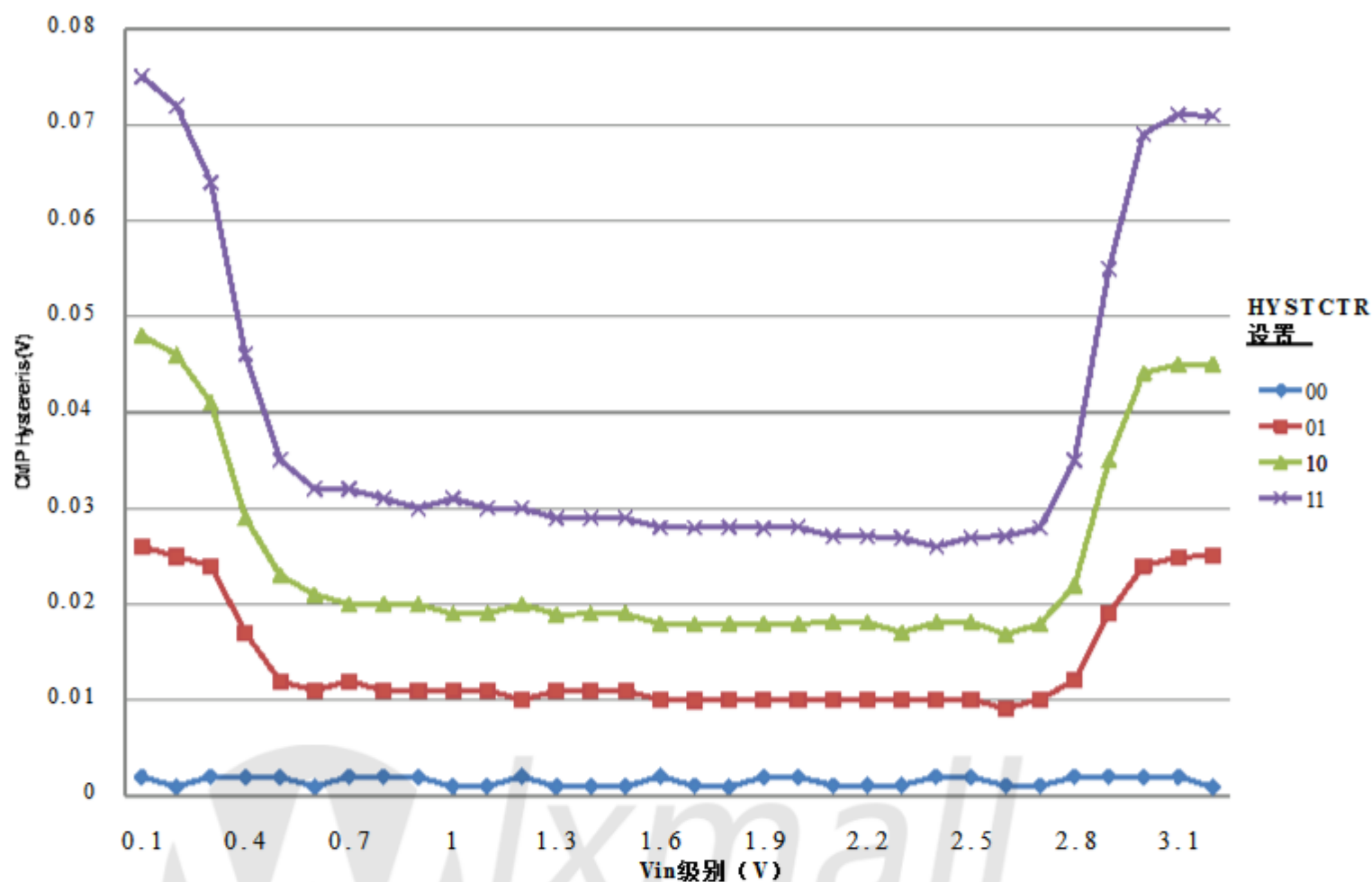


图16.典型的迟滞与Vin电平 (VDD = 3.3V, PMODE = 0)

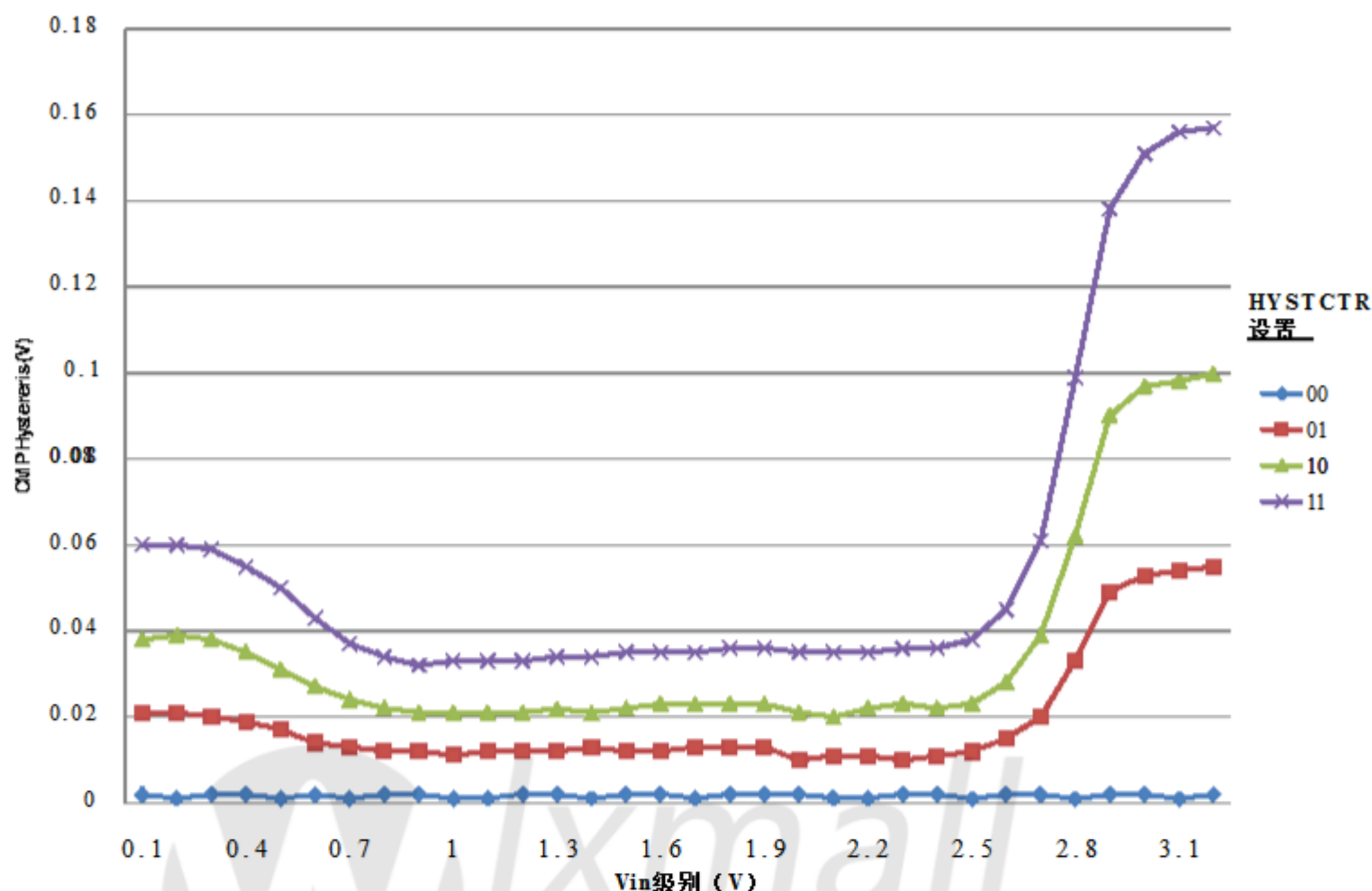


图17.典型的迟滞与Vin电平 (VDD = 3.3V, PMODE = 1)

6.6.3 12位DAC电气特性

6.6.3.1 12位DAC的操作要求

表32. 12位DAC工作要求

符号	应描述	最小	最大	单元	笔记
V _{DDA}	电源电压	1.71	3.6	V	
V _{DACR}	参考电压	1.13	3.6	V	1
T _A	温度	-40	105	°C	
C _L	输出负载电容	-	100	pF	2
I _L	输出负载电流	-	1	mA	

1. 可以选择DAC参考电压为VDDA或VREF模块的电压输出 (VREF_OUT)

2. 一个小负载电容 (47 pF) 可以改善DAC的带宽性能

6.6.3.2 12位DAC工作行为

表33. 12位DAC工作行为

符号说明		闭.	典型.	最大.	单元	笔记
我 DDA_DAP	电源电流 - 低功耗模式	-	-	150	μA	
我 DDA_DAP 生命值	电源电流 - 高速模式	-	-	700	μA	
t DACLP	满量程建立时间 (0x080至0xF7F) - 低功耗模式	-	100	200	微秒	1
t DACHP	满量程建立时间 (0x080至0xF7F) - 高功率模式	-	15	三十	微秒	1
t CCDACL	代码到代码建立时间 (0xBF8到0xC08) - 低功耗模式和高速模式	-	0.7	1	微秒	1
V dacoutl	DAC输出电压范围低 - 高 - 速度模式, 空载, DAC设置为0x000	-	-	100	毫伏	
V dacouth	DAC输出电压范围高 - 速度模式, 空载, DAC设置为0xFFF	V DACR -100	-	V DACR	毫伏	
INL	积分非线性误差 - 高速模式	-	-	± 8	LSB	2
DNL	差分非线性误差 - V DACR > 2 V	-	-	± 1	LSB	3
DNL	差分非线性误差 - V DACR = VREF_OUT	-	-	± 1	LSB	4
V OFFSET	偏移错误	-	± 0.4	± 0.8	%FSR	五
E G	增益错误	-	± 0.1	± 0.6	%FSR	五
PSRR	电源抑制比, V DDA $\geq 2.4\text{ V}$	60	-	90	D b	
T CO	温度系数偏移电压	-	3.7	-	$\mu\text{V}/^\circ\text{C}$	6
T GE	温度系数增益误差	-	0.000421	-	%FSR / $^\circ\text{C}$	
罗普	输出电阻负载 = 3k Ω	-	-	250	Ω	
SR	转换率-80h→F7Fh→80h •高功率 (SP HP) •低功耗 (SP LP)	1.2 0.05	1.7 0.12	- -	V / μs 的	
CT	频道引导串扰	-	-	-80	D b	
BW	3dB带宽 •高功率 (SP HP) •低功耗 (SP LP)	550 40	- -	- -	千赫	

 1. 稳定在 ± 1 LSB内

2. INL的测量值为0 + 100mV至V DACR -100 mV

3. DNL的测量值为0 + 100 mV至V DACR -100 mV

4. 当 V DDA > 2.4V时, 测量DNL为0 + 100mV至V DACR -100 mV

5. 由V SS + 100 mV至V DACR -100 mV的最佳拟合曲线计算

6. $VDDA = 3.0V$ ， $VDDA$ 参考选择集（ $DACx_CO: DACRFS = 1$ ），高功耗模式（ $DACx_CO: LPEN = 0$ ）， DAC 集到0x800，温度范围从-40C到105C

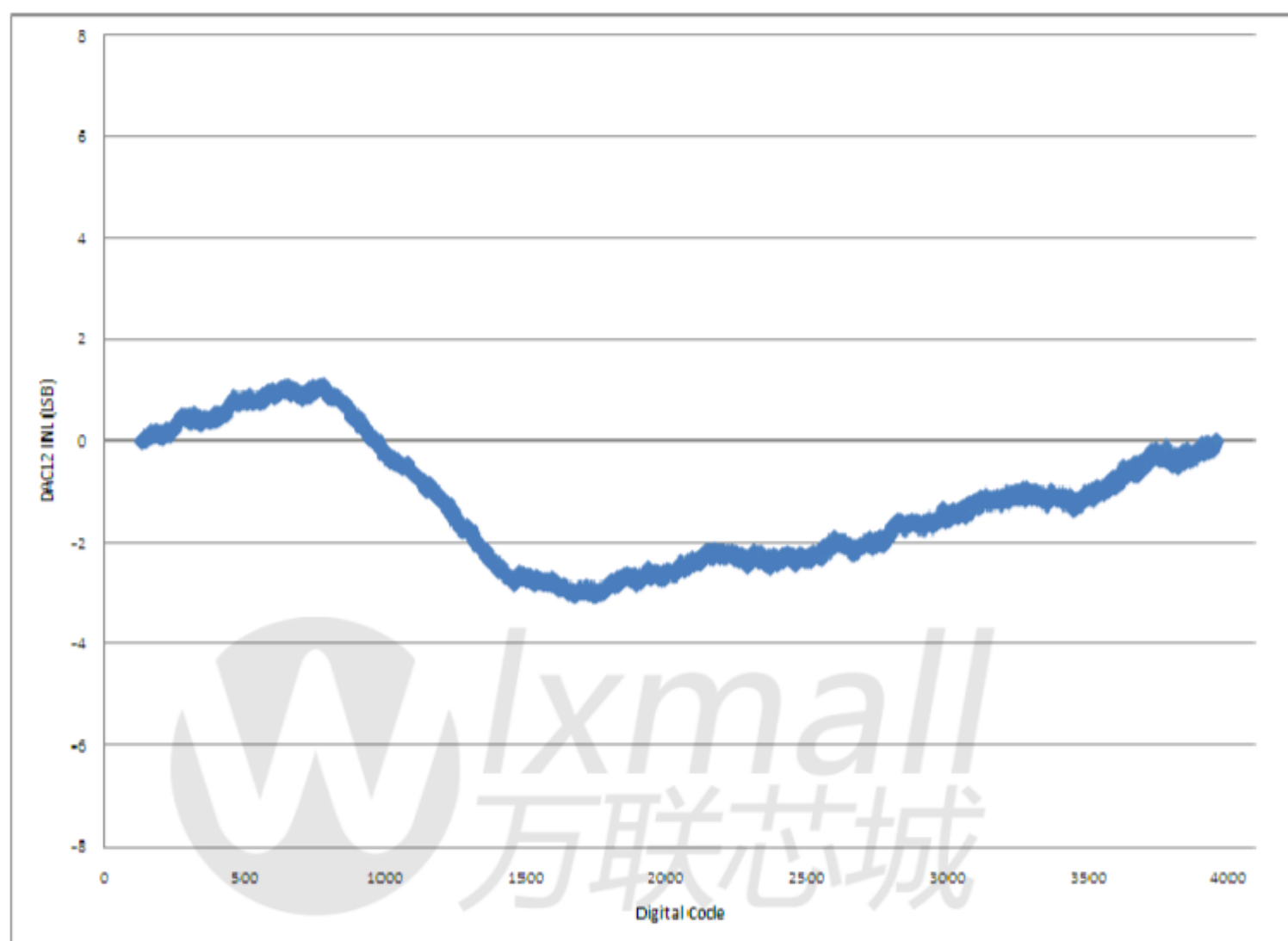


图18.典型INL错误与数字代码的关系

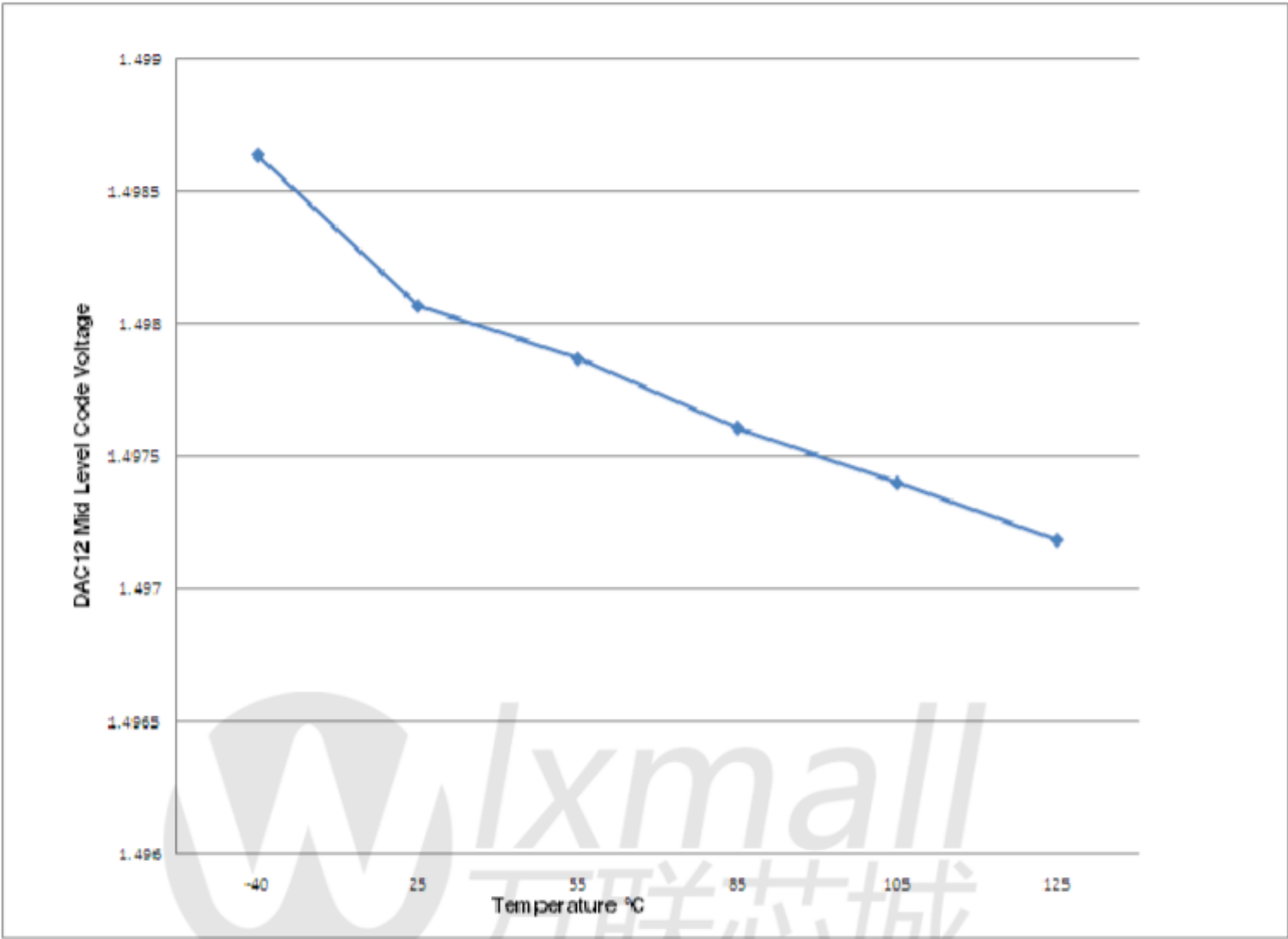


图19.半尺度偏移与温度的关系

6.6.4电压参考电气规格

表34. VREF全范围操作要求

符号	描述	阈.	最大.	单元	笔记
V DDA	电源电压	1.71	3.6	V	
T A.	温度	-40	105	C	
C L	输出负载电容	100		nF的	1

1. 如果VREF_OUT功能用于内部或外部， C L 必须连接到VREF_OUT 参考.

表35. VREF全范围操作行为

符号	描述	阈.	典型.	最大.	单元	笔记
V _{out}	电压参考输出, 工厂调整在标称V _{DDA} 和温度= 25°C	1.1965	1.2	1.2027	V	
V _{out}	电压参考输出 - 出厂配平	1.1584	-	1.2376	V	
V _步	电压参考调整步骤	-	0.5	-	毫伏	
V _{tdrift}	温度漂移 (整个V _{max} - V _{min} 温度范围)	-	-	80	毫伏	
我 _{bg}	仅带隙 (MODE_LV = 00) 电流	-	-	80	μA	
我 _{tr}	紧调缓冲器 (MODE_LV = 10) 电流	-	-	1.1	嘛	
ΔV _{LOAD}	负载调整 (MODE_LV = 10) • 电流 = + 1.0 mA • 电流 = - 1.0 mA	- -	2 五	- -	毫伏	1
T _{stup}	缓冲区启动时间	-	-	100	微秒	
V _{vdift}	电压漂移 (整个电压范围内的V _{max} - V _{min}) 范围) (MODE_LV = 10, REGEN = 1)	-	2	-	毫伏	

1. 负载调整电压是VREF_OUT电压与无负载之间的差异与定义负载的电压之间的差值

表36. VREF有限范围的操作要求

符号	描述	阈.	最大.	单元	笔记
T _A	温度	0	50	C	

表37. VREF有限范围的操作行为

符号	描述	阈.	最大.	单元	笔记
V _{out}	带工厂微调的电压基准输出	1.173	1.225	V	

6.7 定时器

请参阅常规切换规格.

6.8 通信接口

6.8.1 以太网交换规范

以下时序规格在芯片I/O引脚上定义，并且必须进行转换适当地达到物理接口的时序规格/限制。

6.8.1.1 MII信号切换规范

以下时序规格符合一系列MII类型接口的要求收发器设备。

表38. MII信号切换规格

符号	描述	最小	最大	单元
-	RXCLK频率	-	25	兆赫
MII1	RXCLK脉冲宽度高	35%	65%	RXCLK 期
MII2	RXCLK脉冲宽度低	35%	65%	RXCLK 期
MII3	RXD [3: 0], RXDV, RXER到RXCLK设置	五	-	NS
MII4	RXCLK到RXD [3: 0], RXDV, RXER保持	五	-	NS
-	TXCLK频率	-	25	兆赫
MII5	TXCLK脉冲宽度高	35%	65%	TXCLK 期
MII6	TXCLK脉冲宽度较低	35%	65%	TXCLK 期
MII7	TXCLK至TXD [3: 0], TXEN, TXER无效	2	-	NS
MII8	TXCLK至TXD [3: 0], TXEN, TXER有效	-	25	NS

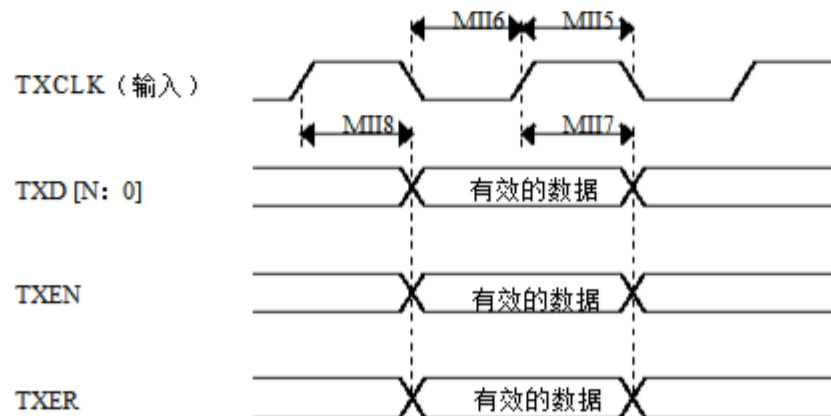


图20. MII发送信号时序图

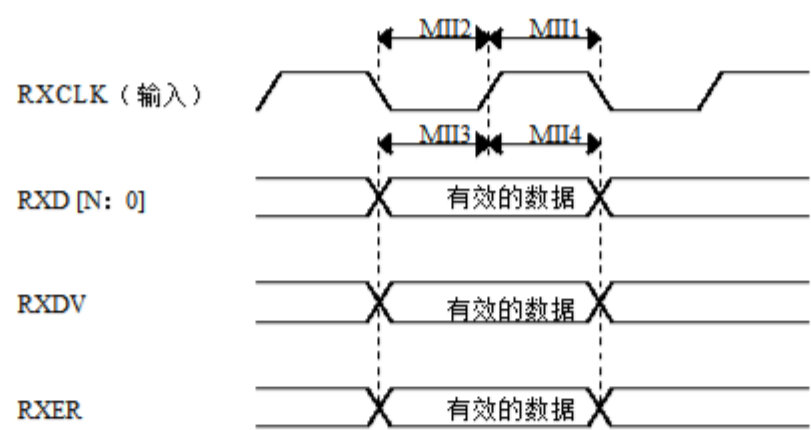


图21. MII接收信号时序图

6.8.1.2 RMII信号切换规范

以下时序规范满足一系列RMII风格接口的要求收发器设备.

表39. RMII信号切换规范

民	描述	闭.	最大.	单元
-	EXTAL频率 (RMII输入时钟RMII_CLK)	-	50	兆赫
RMII1	RMII_CLK脉冲宽度高	35%	65%	RMII_CLK期
RMII2	RMII_CLK脉冲宽度较低	35%	65%	RMII_CLK期
RMII3	RXD [1: 0], CRS_DV, RXER到RMII_CLK设置	4	-	NS
RMII4	RMII_CLK到RXD [1: 0], CRS_DV, RXER保持	2	-	NS
RMII7	RMII_CLK到TXD [1: 0], TXEN无效	4	-	NS
RMII8	RMII_CLK到TXD [1: 0], TXEN有效	-	15	NS

6.8.2 USB电气规格

USB On-the-Go模块的USB电子设备符合标准由通用串行总线实施者论坛记录.为最新的标准, 请访问<http://www.usb.org>.

6.8.3 USB DCD电气规格

表40. USB DCD电气规格

符号	描述	阈.	典型.	最大.	单元
V DP_SRC	USB_DP电源电压 (最高250 μ A)	0.5	-	0.7	V
V LGC	逻辑高电平的阈值电压	0.8	-	2.0	V
我 DP_SRC	USB_DP源电流	7	10	13	μ A
我 DM_SINK	USB_DM灌电流	50	100	150	μ A
R DM_DWN	数据引脚触点检测的D-下拉电阻	14.25	-	24.8	千欧
V DAT_REF	数据检测电压	0.25	0.33	0.4	V

6.8.4 USB VREG电气规格

表41. USB VREG电气规格

符号	描述	阈.	Typ.1	最大.	单元	笔记
VREGIN	输入电源电压	2.7	-	5.5	V	
我 DDon	静态电流 - 运行模式, 负载电流等于零, 输入电源 (VREGIN) > 3.6 V	-	120	186	μ A	
我 DDstby	静态电流 - 待机模式, 负载电流等于零	-	1.27	三十	μ A	
我 DDoff	静态电流 - 关断模式 • VREGIN = 5.0 V, 温度 = 25°C • 在工作电压和温度范围内	- -	650 -	- 4	nA的 μ A	
我 LOADrun	最大负载电流 - 运行模式	-	-	120	嘛	
我 LOADstby	最大负载电流 - 待机模式	-	-	1	嘛	
V Reg33out	稳压器输出电压 - 输入电源 (VREGIN) > 3.6 V • 运行模式 • 待机模式	3 2.1	3.3 2.8	3.6 3.6	V V	
V Reg33out	稳压器输出电压 - 输入电源 (VREGIN) < 3.6 V, 直通模式	2.1	-	3.6	V	2
C OUT	外部输出电容	1.76	2.2	8.16	μ F	
ESR	外部输出电容器等效串联 抵抗性	1	-	100	毫欧	
我是 LIM	短路电流	-	290	-	嘛	

1. 除非另有说明, 否则典型值假定 VREGIN = 5.0 V, 温度 = 25°C.
 2. 以直通模式工作: 调节器输出电压等于输入电压减去与 I 负载成比例的下降。

6.8.5 CAN开关规格

请参阅常规切换规格.

6.8.6 DSPI开关规格（有限电压范围）

DMA串行外设接口（DSPI）提供一个同步串行总线主从操作.许多传输属性都是可编程的.表格下面为经典SPI时序模式提供DSPI时序特性.参考有关修改的传输格式的信息，请参阅参考手册的DSPI章节用于与较慢的外围设备进行通信.

表42.主模式DSPI时序（有限的电压范围）

民	描述	阅.	最大.	单元	笔记
	工作电压	2.7	3.6	V	
	操作频率	-	25	兆赫	
DS1	DSPI_SCK输出周期时间	2 xt BUS	-	NS	
DS2	DSPI_SCK输出高/低时间	(t SCK / 2) - 2 (t SCK / 2) + 2	-	NS	
DS3	DSPI_PCSn有效到DSPI_SCK延迟	(t BUS x 2) / 2	-	NS	1
DS4	DSPI_SCK到DSPI_PC Sn无效延迟	(t BUS x 2) / 2	-	NS	2
DS5	DSPI_SCK到DSPI_SOUT有效	-	8.5	NS	
DS6	DSPI_SCK到DSPI_SOUT无效	-2	-	NS	
DS7	DSPI_SIN到DSPI_SCK输入设置	15	-	NS	
DS8	DSPI_SCK到DSPI_SIN输入保持	0	-	NS	

- 1.延迟可在SPIx_CTARn [PSSCK]和SPIx_CTARn [CSSCK]中编程.
2.延迟可在SPIx_CTARn [PASC]和SPIx_CTARn [ASC]中编程.

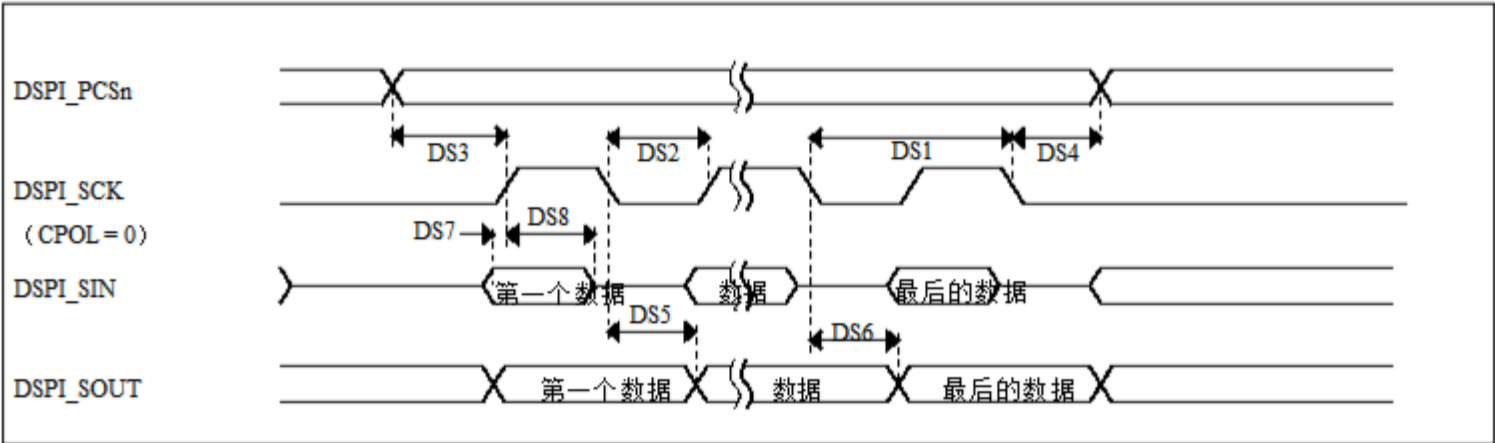


图22. DSPI经典的SPI时序 - 主模式

表43.从模式DSPI时序（有限电压范围）

民	描述	阈.	最大.	单元
	工作电压	2.7	3.6	V
	操作频率		12.5	兆赫
DS9	DSPI_SCK输入周期时间	4 xt BUS	-	NS
DS10	DSPI_SCK输入高/低电平时间	$(t_{SCK}/2) - 2$	$(t_{SCK}/2) + 2$	NS
DS11	DSPI_SCK到DSPI_SOUT有效	-	10	NS
DS12	DSPI_SCK到DSPI_SOUT无效	0	-	NS
DS13	DSPI_SS到DSPI_SCK输入设置	2	-	NS </td
DS14	DSPI_SCK到DSPI_SIN输入保持	7	-	NS
DS15	DSPI_SS激活到DSPI_SOUT驱动	-	14	NS </td
DS16	DSPI_SS对DSPI_SOUT不起作用而不起作用	-	14	NS

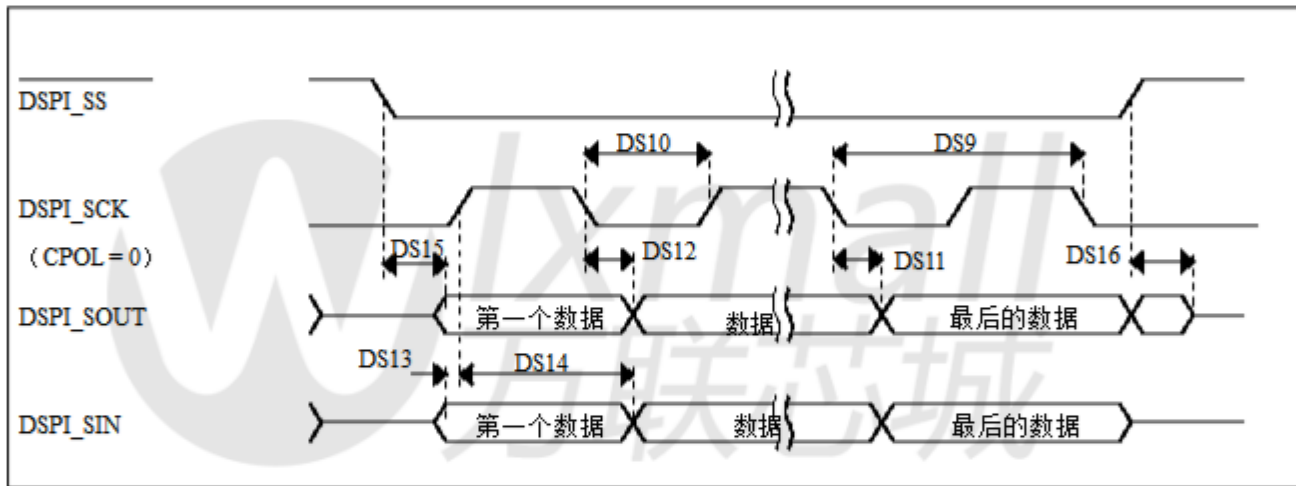


图23. DSPI经典的SPI时序 - 从模式

6.8.7 DSPI开关规格（全电压范围）

DMA串行外设接口（DSPI）提供一个同步串行总线主从操作.许多传输属性都是可编程的.表格下面为经典的SPI时序模式提供了DSPI时序特性.参考有关修改的传输格式的信息，请参阅参考手册的DSPI章节用于与较慢的外围设备进行通信.

表44.主模式DSPI时序（全电压范围）

民	描述	阈.	最大.	单元	笔记
	工作电压	1.71	3.6	V	1
	操作频率	-	12.5	兆赫	

表格在下一页继续...

表44.主模式DSPI时序（全电压范围）（续）

民	描述	闭.	最大.	单元	笔记
DS1	DSPI_SCK输出周期时间	$4 \times t_{BUS}$	-	NS	
DS2	DSPI_SCK输出高/低时间	$(t_{SCK}/2) - 4$	$(t_{SCK}/2) + 4$	NS	
DS3	DSPI_PCSn有效到DSPI_SCK延迟	$(t_{BUS} \times 2) / 4$	-	NS	2
DS4	DSPI_SCK到DSPI_PCSn无效延迟	$(t_{BUS} \times 2) / 4$	-	NS	3
DS5	DSPI_SCK到DSPI_SOUT有效	-	10	NS	
DS6	DSPI_SCK到DSPI_SOUT无效	-4.5	-	NS	
DS7	DSPI_SIN到DSPI_SCK输入设置	20.5	-	NS	
DS8	DSPI_SCK到DSPI_SIN输入保持	0	-	NS	

- 1. DSPI模块可以在处理器的整个工作电压下工作，但可以在全电压下工作范围的最大操作频率降低。
- 2. 延迟可在SPIx_CTARn [PSSCK]和SPIx_CTARn [CSSCK]中编程。
- 3. 延迟可在SPIx_CTARn [PASC]和SPIx_CTARn [ASC]中编程。

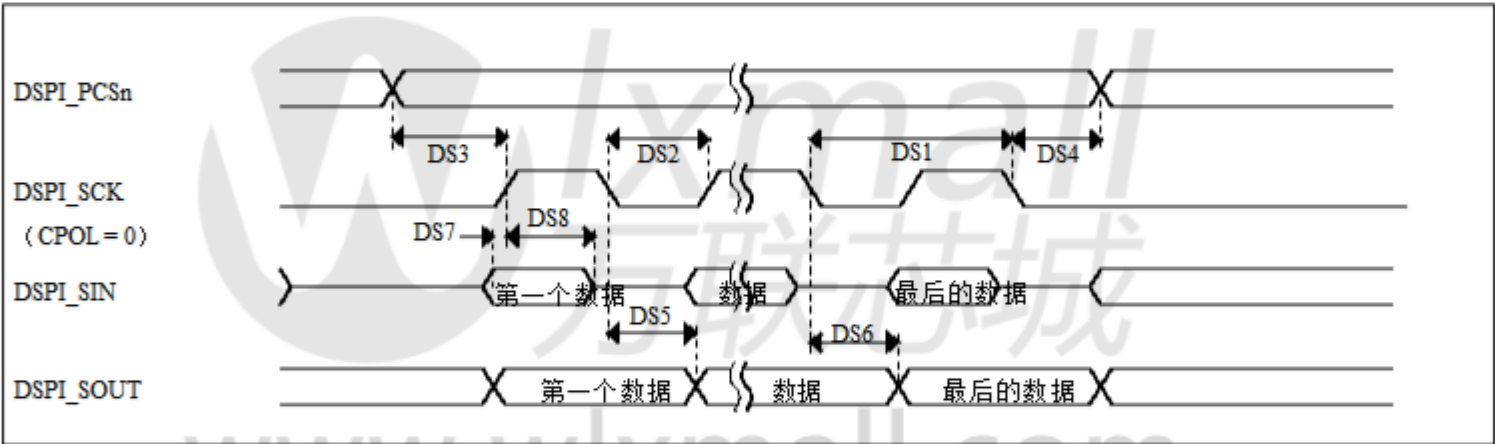


图24. DSPI经典SPI时序 - 主模式

表45.从模式DSPI时序（全电压范围）

民	描述	闭.	最大.	单元
	工作电压	1.71	3.6	V
	操作频率	-	6.25	兆赫
DS9	DSPI_SCK输入周期时间	$8 \times t_{BUS}$	-	NS
DS10	DSPI_SCK输入高/低电平时间	$(t_{SCK}/2) - 4$	$(t_{SCK}/2) + 4$	NS
DS11	DSPI_SCK到DSPI_SOUT有效	-	20	NS
DS12	DSPI_SCK到DSPI_SOUT无效	0	-	NS
DS13	DSPI_SIN到DSPI_SCK输入设置	2	-	NS
DS14	DSPI_SCK到DSPI_SIN输入保持	7	-	NS
DS15	DSPI_SS激活到DSPI_SOUT驱动	-	19	NS

表格在下一页继续...

表45.从模式DSPI时序（全电压范围）（续）

民	描述	闭.	最大.	单元
DS16	DSPI_SS对DSPI_SOUT不起作用而不起作用	-	19	NS

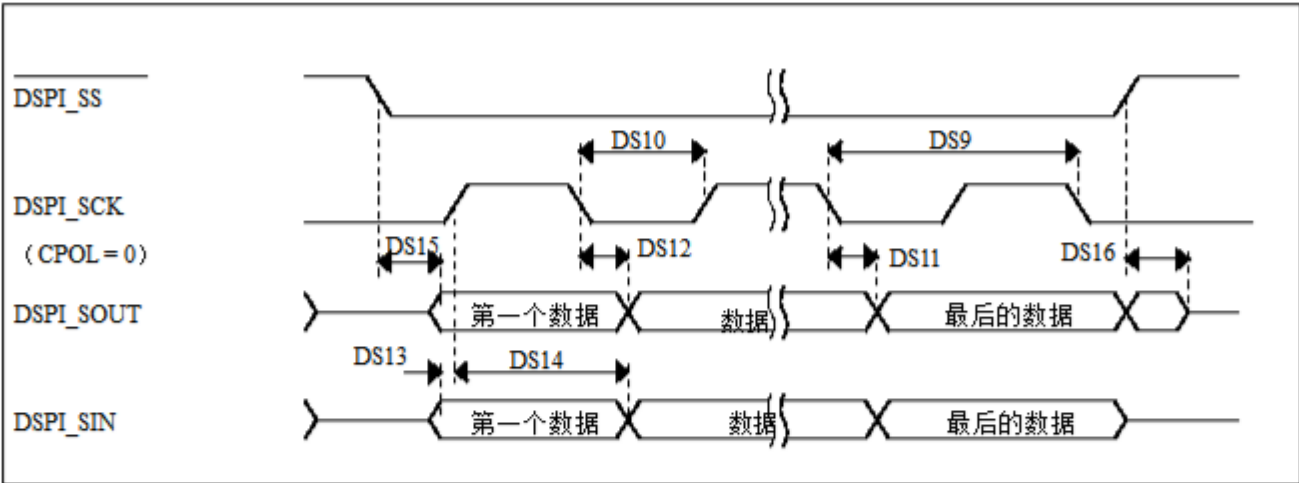


图25. DSPI经典的SPI时序 - 从模式

6.8.8 I2C交换规范

请参阅常规切换规格.

6.8.9 UART切换规范

请参阅常规切换规格.

6.8.10 SDHC规格

以下时序规格在芯片I / O引脚上定义，并且必须进行转换适当地达到物理接口的时序规格/限制.

表46. SDHC切换规格

民	符号	描述	闭.	最大.	单元
		工作电压	2.7	3.6	V
		卡输入时钟			

表格在下一页继续...

表46. SDHC切换规格
(继续)

民	符号	描述	闭.	最大.	单元
SD1	FPP	时钟频率（低速）	0	400	千赫
	FPP	时钟频率（SD SDIO全速）	0	25	兆赫
	FPP	时钟频率（MMC全速）	0	20	兆赫
	f OD	时钟频率（识别模式）	0	400	千赫
SD2	t WL	时钟低时间	7	-	NS
SD3	吨 WH	时钟高时间	7	-	NS
SD4	t TLH	时钟上升时间	-	3	NS
SD5	THL	时钟下降时间	-	3	NS
SDHC输出/卡输入SDHC_CMD，SDHC_DAT（参考SDHC_CLK）					
SD6	t OD	SDHC输出延迟（输出有效）	-5	6.5	NS
SDHC输入/卡输入SDHC_CMD，SDHC_DAT（参考SDHC_CLK）					
SD7	t ISU	SDHC输入设置时间	五	-	NS
SD8	t IH	SDHC输入保持时间	0	-	NS

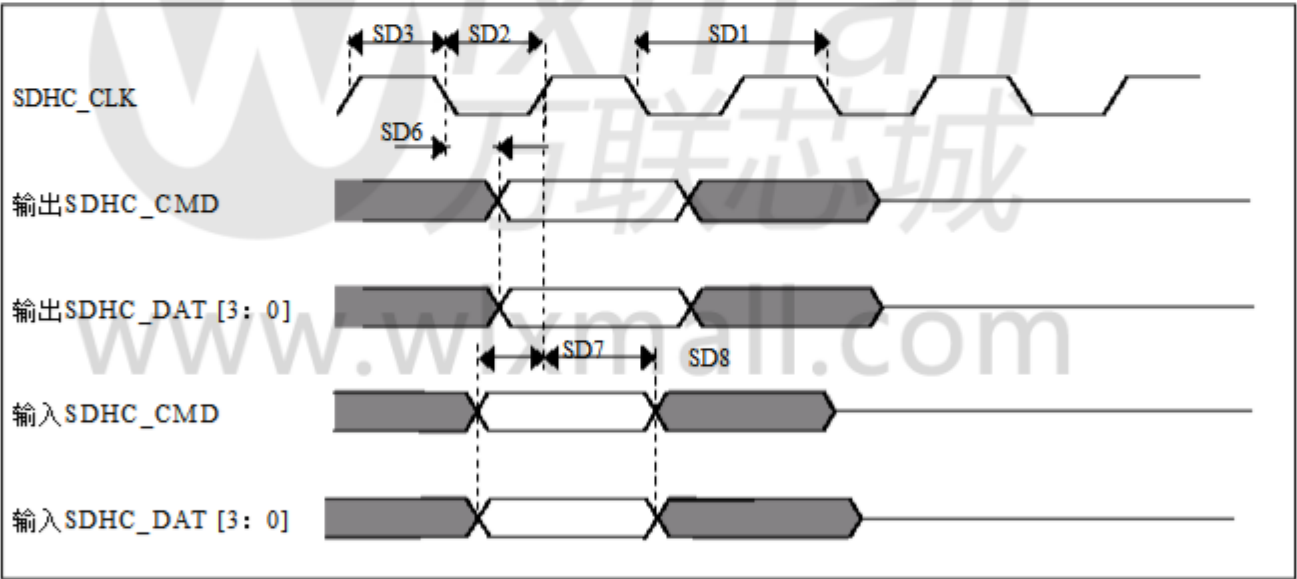


图26. SDHC时序

6.8.11 I2S交换规范

本部分提供 主设备（时钟驱动）和从设备中I2S的交流时序模式（时钟输入）.所有时序均为非反相串行时钟极性（TCR [TSCKP] = 0，RCR [RSCKP] = 0）和非反转帧同步（TCR [TFSI] = 0，

RCR [RFSI] = 0) .如果时钟和/或帧同步的极性已被反转, 则全部通过反转时钟信号 (I2S_BCLK) 和/或帧同步, 时序仍然有效 (I2S_FS) 如下图所示.

表47. I2S主模式时序

民	描述	闭.	最大.	单元
	工作电压	2.7	3.6	V
S1	I2S_MCLK周期时间	2 xt SYS		NS
S2	I2S_MCLK脉冲宽度高/低	45%	55%	MCLK期间
S3	I2S_BCLK周期时间	5 xt SYS	-	NS
S4	I2S_BCLK脉冲宽度高/低	45%	55%	BCLK时期
S5	I2S_BCLK到I2S_FS输出有效	-	15	NS
S6	I2S_BCLK至I2S_FS输出无效	-2.5	-	NS
S7	I2S_BCLK到I2S_TXD有效	-	15	NS
S8	I2S_BCLK到I2S_TXD无效	-3	-	NS
S9	I2S_RXD / I2S_FS输入在I2S_BCLK之前设置	20	-	NS
S10	I2S_RXD / I2S_FS输入在I2S_BCLK后保持	0	-	NS

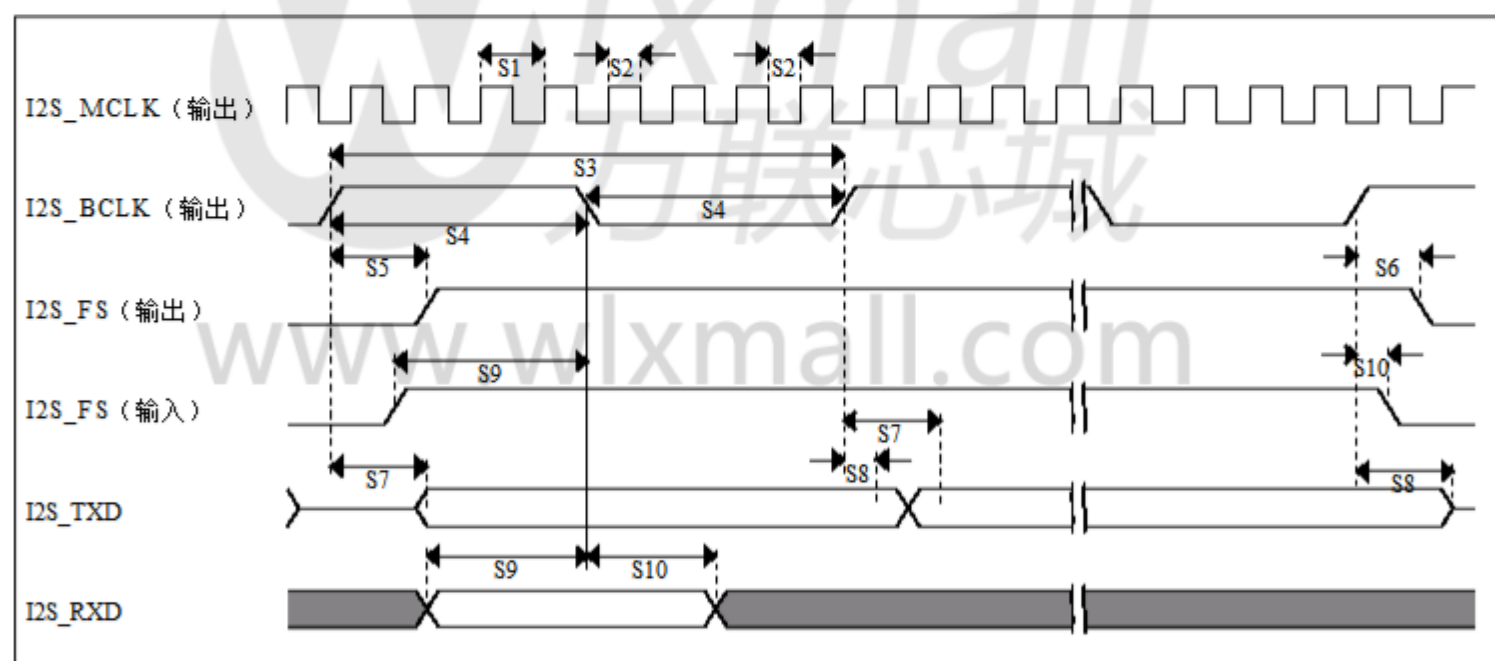


图27. I2S时序 - 主模式

表48. I2S从属模式时序

民	描述	闭.	最大.	单元
	工作电压	2.7	3.6	V
S11	I2S_BCLK周期时间 (输入)	8 xt SYS	-	NS

表格在下一页继续...

表48. I2S从属模式时序（续）

民	描述	闭.	最大.	单元
S12	I2S_BCLK脉冲宽度高/低（输入）	45%	55%	MCLK期间
S13	在I2S_BCLK之前设置 I2S_FS输入	10	-	NS
S14	在I2S_BCLK后I2S_FS输入保持	3	-	NS
S15	I2S_BCLK至I2S_TXD / I2S_FS输出有效	-	20	NS
S16	I2S_BCLK至I2S_TXD / I2S_FS输出无效	0	-	NS
S17	在I2S_BCLK之前设置 I2S_RXD	10	-	NS
S18	I2S_BCLK后保持I2S_RXD	2	-	NS

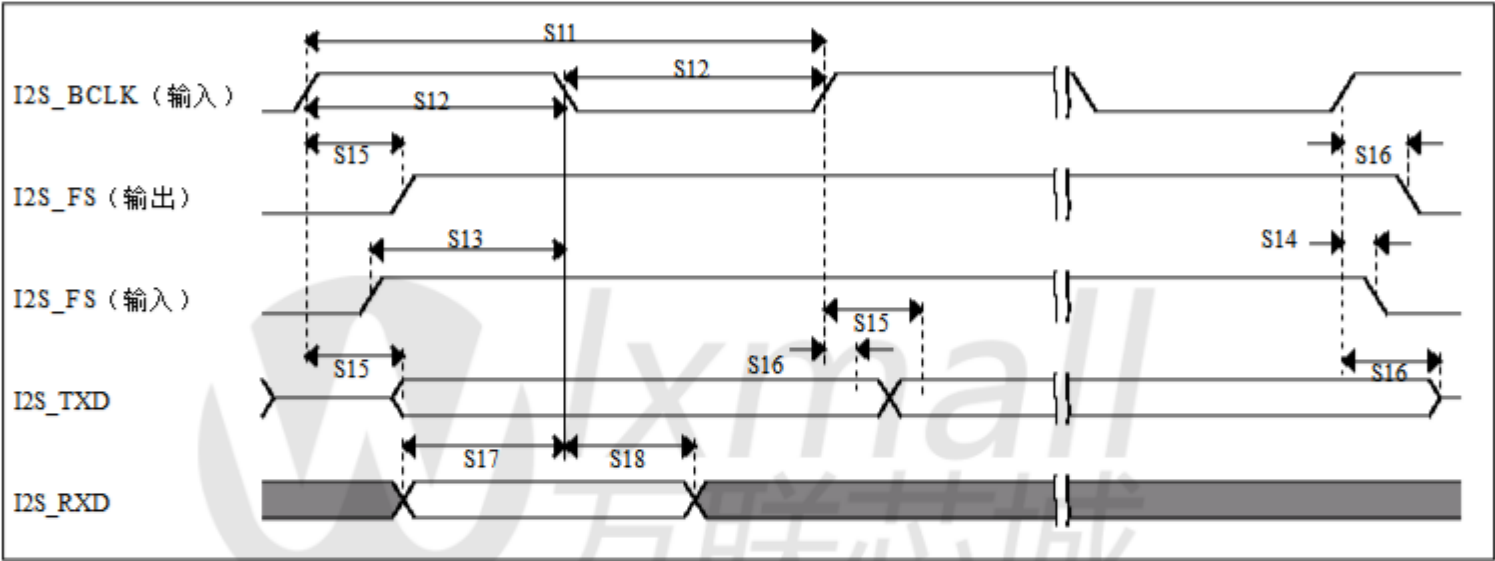


图28. I2S时序 - 从模式

6.9 人机界面（HMI）

6.9.1 TSI电气规格

表49. TSI电气规格

符号	描述	闭.	典型.	最大.	单元	笔记
V DDTSI	工作电压	1.71	-	3.6	V	
C ELE	目标电极电容范围	1	20	500	pF的	1
f REFmax	参考振荡器频率	-	5.5	12.7	兆赫	2
f ELEmax	电极振荡器频率	-	0.5	4	兆赫	3
C REF	内部参考电容	0.5	1	1.2	pF的	
V DELTA	振荡器增量电压	100	600	760	毫伏	4

表格在下一页继续...

表49. TSI电气规格 (续)

符号	描述	阈.	典型.	最大.	单元	笔记
我 参考	参考振荡器电流源基极电流 •1 μ A设置 (REFCHRG = 0) •32 μ A设置 (REFCHRG = 31)	- -	1.133 36	1.5 50	μ A	3, 5
我 ELE	电极振荡器电流源基极电流 •1 μ A设置 (EXTCHRG = 0) •32 μ A设置 (EXTCHRG = 31)	- -	1.133 36	1.5 50	μ A	3, 6
Pres5	电极电容测量精度	-	8.3333	38400	%	7
Pres20	电极电容测量精度	-	8.3333	38400	%	8
Pres100	电极电容测量精度	-	8.3333	38400	%	9
MaxSens	最大灵敏度	0.003	12.5	-	FF /计数	10
RES	解析度	-	-	16	位	
T Con20	响应时间 @ 20 pF	8	15	25	微秒	11
我 TSI_RUN	电流在运行模式下添加	-	55	-	μ A	
我 TSI_LP	低功耗模式电流加法器	-	1.3	2.5	μ A	12

- TSI模块在此范围之外的电容值下工作.但是,最佳性能不能保证.
- CAPTRM = 7, DELVOL = 7, 固定的外部电容为20 pF.
- CAPTRM = 0, DELVOL = 2, 固定的外部电容为20 pF.
- CAPTRM = 0, EXTCHRG = 9, 固定外部电容为20 pF.
- 可编程电流源值是通过将SCANC [REFCHRG]值和基极电流相乘而生成的.
- 可编程电流源值是通过将SCANC [EXTCHRG]值和基极电流相乘而生成的.
- 用5pF电极测量, 参考振荡器频率为10MHz, PS = 128, NSCN = 8; I_{ext} = 16.
- 用20pF电极测量, 参考振荡器频率为10MHz, PS = 128, NSCN = 2; I_{ext} = 16.
- 用20pF电极测量, 参考振荡器频率为10MHz, PS = 16, NSCN = 3; I_{ext} = 16.
- 灵敏度定义TSI模块的单个计数发生变化时的最小电容变化, 它等于 (C_{ref} * 我 分机) / (我 参考 * PS * NSCN). 灵敏度取决于使用的配置. 列出的典型值基于以下内容
配置: I_{ext} = 5 μ A, EXTCHRG = 4, PS = 128, NSCN = 2, I_{ref} = 16 μ A, REFCHRG = 15, C_{ref} = 1.0pF. 该最小灵敏度描述可以通过单次计数测量的最小可能电容 (这是最好的灵敏度, 但被描述为最小值, 因为它是最小的数字). 最小灵敏度参数是基于的
在以下配置中: I_{ext} = 1 μ A, EXTCHRG = 0, PS = 128, NSCN = 32, I_{ref} = 32 μ A, REFCHRG = 31, C_{ref} = 0.5 pF的
- 完成一次完整的电极测量. 灵敏度分辨率为0.0133 pF, PS = 0, NSCN = 0,1 DELVOL = 2, EXTCHRG = 15.
- 选择 (1kHz) CAPTRM = 7, DELVOL = 2, REFCHRG = 0, EXTCHRG = 4, PS = 7, NSCN = 0F, LPSCNITV = F, LPO 固定的外部电容为20 pF. 数据以平均7个周期窗口捕获.

7尺寸

7.1获取包装尺寸

包装尺寸在包装图纸中提供.

要查找包装图，请访问<http://www.freescale.com>并执行关键字搜索图纸的文件编号：

如果你想要这个包的绘图	然后使用这个文件号码
144引脚LQFP	98ASS23177W
144引脚MAPBGA	98ASA00222D

8 引脚

8.1 K60信号复用和引脚分配

下表显示了每个引脚上可用的信号及其位置
本文档支持的设备上的引脚.端口控制模块负责
用于选择每个引脚上可用的ALT功能.

144 LQFP	144 地图 BGA	引脚名称	默认	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
-	L5	保留保留保留										
-	M5	NC	NC	NC								
-	A10	NC	NC	NC								
-	B10	NC	NC	NC								
-	C10	NC	NC	NC								
1	D3	PTE0	ADC1_SE4 一个	ADC1_SE4 一个	PTE0	SPI1_PC\$1	UART1_TX	SDHC0_D1	I2C1_SDA			
2	D2	PTE1	ADC1_SE5 一个	ADC1_SE5 一个	PTE1	SPI1_SOUT	UART1_RX	SDHC0_D0	I2C1_SCL			
3	D1	PTE2	ADC1_SE6 一个	ADC1_SE6 一个	PTE2	SPI1_SCK	UART1_CTS_B	SDHC0_DCLK				
4	E4	PTE3	ADC1_SE7 一个	ADC1_SE7 一个	PTE3	SPI1_SIN	UART1_RTS_B	SDHC0_CMD				
五	E5	VDD	VDD	VDD								
6	F6	VSS	VSS	VSS								
7	E3	PTE4	禁用		PTE4	SPI1_PC\$0	UART3_TX	SDHC0_D3				
8	E2	PTE5	禁用		PTE5	SPI1_PC\$2	UART3_RX	SDHC0_D2				
9	E1	PTE6	禁用		PTE6	SPI1_PC\$3	UART3_CTS_B	Q2S0_MCLK	I2S0_CLKIN			
10	F4	PTE7	禁用		PTE7		UART3_RTS_B	I2S0_RXD				
11	F3	PTE8	禁用		PTE8		UART5_TX	I2S0_RX_F 小号				
12	F2	PTE9	禁用		PTE9		UART5_RX	I2S0_RX_B CLK				

144 LQFP	144 地图 BGA	引脚名称	默认	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
13	F1	PTE10	禁用		PTE10		UART5_CTS_B	I2S0_TXD				
14	G4	PTE11	禁用		PTE11		UART5_RTS_B	I2S0_TX_F 小号				
15	G3	PTE12	禁用		PTE12			I2S0_TX_B CLK				
16	E6	VDD	VDD	VDD								
17	F7	VSS	VSS	VSS								
18	H3	VSS	VSS	VSS								
19	H1	USB0_DP	USB0_DP	USB0_DP								
20	H2	USB0_DM	USB0_DM	USB0_DM								
21	G1	VOUT33	VOUT33	VOUT33								
22	G2	VREGIN	VREGIN	VREGIN								
23	J1	ADC0_DP1	ADC0_DP1	ADC0_DP1								
24	J2	ADC0_DM1	ADC0_DM1	ADC0_DM1								
25	K1	ADC1_DP1	ADC1_DP1	ADC1_DP1								
26	K2	ADC1_DM1	ADC1_DM1	ADC1_DM1								
27	L1	PGA0_DP / ADC0_DP0 / ADC1_DP3	PGA0_DP / ADC0_DP0 / ADC1_DP3	PGA0_DP / ADC0_DP0 / ADC1_DP3								
28	L2	PGA0_DM / ADC0_DM0 / ADC1_DM3	PGA0_DM / ADC0_DM0 / ADC1_DM3	PGA0_DM / ADC0_DM0 / ADC1_DM3								
29	M1	PGA1_DP / ADC1_DP0 / ADC0_DP3	PGA1_DP / ADC1_DP0 / ADC0_DP3	PGA1_DP / ADC1_DP0 / ADC0_DP3								
三十	M2	PGA1_DM / ADC1_DM0 / ADC0_DM3	PGA1_DM / ADC1_DM0 / ADC0_DM3	PGA1_DM / ADC1_DM0 / ADC0_DM3								
31	H5	VDDA	VDDA	VDDA								
32	G5	VREFH	VREFH	VREFH								
33	G6	VREFL	VREFL	VREFL								
34	H6	VSSA	VSSA	VSSA								
35	K3	ADC1_SE1 6 / CMP2_IN2 / ADC0_SE2 2	ADC1_SE1 6 / CMP2_IN2 / ADC0_SE2 2	ADC1_SE1 6 / CMP2_IN2 / ADC0_SE2 2								
36	J3	ADC0_SE1 6 / CMP1_IN2 / ADC0_SE2 1	ADC0_SE1 6 / CMP1_IN2 / ADC0_SE2 1	ADC0_SE1 6 / CMP1_IN2 / ADC0_SE2 1								
37	M3	VREF_OUT / CMP1_IN5 / CMP0_IN5	VREF_OUT / CMP1_IN5 / CMP0_IN5	VREF_OUT / CMP1_IN5 / CMP0_IN5								

引脚

144 LQFP	144 地图 BGA	引脚名称	默认	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
		ADC1_SE18	ADC1_SE18	ADC1_SE18								
38	L3	DAC0_OUT / CMP1_IN3 / ADC0_SE23	DAC0_OUT / CMP1_IN3 / ADC0_SE23	DAC0_OUT / CMP1_IN3 / ADC0_SE23								
39	L4	DAC1_OUT / CMP2_IN3 / ADC1_SE23	DAC1_OUT / CMP2_IN3 / ADC1_SE23	DAC1_OUT / CMP2_IN3 / ADC1_SE23								
40	M7	XTAL32	XTAL32	XTAL32								
41	M6	EXTAL32	EXTAL32	EXTAL32								
42	L6	VBAT	VBAT	VBAT								
43	-	VDD	VDD	VDD								
44	-	VSS	VSS	VSS								
45	M4	PTE24	ADC0_SE17	ADC0_SE17	PTE24	CAN1_TX	UART4_TX			EWM_OUT_b		
46	K5	PTE25	ADC0_SE18	ADC0_SE18	PTE25	CAN1_RX	UART4_RX			EWM_IN		
47	K4	PTE26	禁用		PTE26		UART4_CTENET_1588 S_B _CLKIN			RTC_CLKOUT USB_CLKIN		
48	J4	PTE27	禁用		PTE27		UART4_RT S_B					
49	H4	PTE28	禁用		PTE28							
50	J5	PTA0	JTAG_TCLK / SWD_CLK / EZP_CLK	TSIO_CH1	PTA0	UART0_CTS_B	FTM0_CH5				JTAG_TCLK / SWD_CLK	EZP_CLK
51	J6	PTA1	JTAG_TDI / EZP_DI	TSIO_CH2	PTA1	UART0_RX	FTM0_CH6				JTAG_TDI	EZP_DI
52	K6	PTA2	JTAG_TDO / TRACE_SWO / EZP_DO	TSIO_CH3	PTA2	UART0_TX	FTM0_CH7				JTAG_TDO / EZP_DO	TRACE_SWO
53	K7	PTA3	JTAG_TMS / SWD_DIO	TSIO_CH4	PTA3	UART0_RTS_B	FTM0_CH0				JTAG_TMS / SWD_DIO	
54	L7	PTA4	NMI_b / EZP_CS_b	TSIO_CH5	PTA4		FTM0_CH1				NMI_b	EZP_CS_b
55	M8	PTA5	禁用		PTA5		FTM0_CH2 RMII0_RX R / MII0_RXER	COMP2_OUT	I2S0_CLK	EXTAG_TRST		
56	E7	VDD	VDD	VDD								
57	G7	VSS	VSS	VSS								
58	J7	PTA6	禁用		PTA6		FTM0_CH3				TRACE_CLKOUT	
59	J8	PTA7	ADC0_SE10	ADC0_SE10	PTA7		FTM0_CH4				TRACE_D3	

144 LQFP	144 地图 BGA	引脚名称	默认	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
60	K8	PTA8	ADC0_SE11	ADC0_SE11	PTA8		FTM1_CH0			FTM1_QD_TRACE_D2 PHA		
61	L8	PTA9	禁用		PTA9		FTM1_CH1 MII0_RXD3			FTM1_QD_TRACE_D1 PHB		
62	M9	PTA10	禁用		PTA10		FTM2_CH0 MII0_RXD2			FTM2_QD_TRACE_D0 PHA		
63	L9	PTA11	禁用		PTA11		FTM2_CH1 MII0_RXCL k			FTM2_QD_ PHB		
64	K9	PTA12	CMP2_IN0	CMP2_IN0	PTA12	CAN0_TX	FTM1_CH0 RMII0_RXD 1 / MII0_RXD1			I2S0_TXD	FTM1_QD_ PHA	
65	J9	PTA13	CMP2_IN1	CMP2_IN1	PTA13	CAN0_RX	FTM1_CH1 RMII0_RXD 0 / MII0_RXD0			I2S0_TX_F 小号	FTM1_QD_ PHB	
66	L10	PTA14	禁用		PTA14	SPI0_PC50	UART0_TX RMII0_CRS _DV / MII0_RXDV			I2S0_TX_B CLK		
67	L11	PTA15	禁用		PTA15	SPI0_SCK	UART0_RX RMII0_TXE N / MII0_TXEN			I2S0_RXD		
68	K10	PTA16	禁用		PTA16	SPI0_SOUT	UART0_RMII0_TXD S_B 0 / MII0_TXD0			I2S0_RX_F 小号		
69	K11	PTA17	ADC1_SE17	ADC1_SE17	PTA17	SPI0_SIN	UART0_RTS_B 1 / MII0_TXD1			I2S0_MCLK I2S0_CLKIN		
70	E8	VDD	VDD	VDD								
71	G8	VSS	VSS	VSS								
72	M12	PTA18	EXTAL	EXTAL	PTA18		FTM0_FLT2 FTM_CLKIN 0					
73	M11	PTA19	XTAL	XTAL	PTA19		FTM1_FLT0 FTM_CLKIN 1			LPT0_ALT1		
74	L12	RESET_b	RESET_B	RESET_B								
75	K12	PTA24	禁用		PTA24			MII0_TXD2		FB_A29		
76	J12	PTA25	禁用		PTA25			MII0_TXCL k		FB_A28		
77	J11	PTA26	禁用		PTA26			MII0_TXD3		FB_A27		
78	J10	PTA27	禁用		PTA27			MII0_CRS		FB_A26		
79	H12	PTA28	禁用		PTA28			MII0_TXER		FB_A25		
80	H11	PTA29	禁用		PTA29			MII0_COL		FB_A24		
81	H10	PTB0	/ ADC0_SE8/ ADC1_SE8/ TSI0_CH0	/ ADC0_SE8/ ADC1_SE8/ TSI0_CH0	PTB0	I2C0_SCL	FTM1_CH0 RMII0_MDI O / MII0_MDIO			FTM1_QD_ PHA		
82	H9	PTB1	/ ADC0_SE9/ ADC1_SE9/ TSI0_CH6	/ ADC0_SE9/ ADC1_SE9/ TSI0_CH6	PTB1	I2C0_SDA	FTM1_CH1 RMII0_MDC / MII0_MDC			FTM1_QD_ PHB		

引脚

144 LQFP	144 地图 BGA	引脚名称	默认	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
83	G12	PTB2	/	/	PTB2	I2C0_SCL	UART0_RTS_B	ENET0_1588_TMR0		FTM0_FLT3		
84	G11	PTB3	/	/	PTB3	I2C0_SDA	UART0_CTS_B	ENET0_1588_TMR1		FTM0_FLT0		
85	G10	PTB4	/	/	PTB4			ENET0_1588_TMR2		FTM1_FLT0		
86	G9	PTB5	/	/	PTB5			ENET0_1588_TMR3		FTM2_FLT0		
87	F12	PTB6	/	/	PTB6				FB_AD23			
88	F11	PTB7	/	/	PTB7				FB_AD22			
89	F10	PTB8			PTB8		UART3_RTS_B		FB_AD21			
90	F9	PTB9			PTB9	SPI1_PCS1	UART3_CTS_B		FB_AD20			
91	E12	PTB10	/	/	PTB10	SPI1_PCS0	UART3_RX		FB_AD19	FTM0_FLT1		
92	E11	PTB11	/	/	PTB11	SPI1_SCK	UART3_TX		FB_AD18	FTM0_FLT2		
93	H7	VSS	VSS	VSS								
94	F5	VDD	VDD	VDD								
95	E10	PTB16	/	/	PTB16	SPI1_SOUT	UART0_RX		FB_AD17	EWM_IN		
96	E9	PTB17	/	/	PTB17	SPI1_SIN	UART0_TX		FB_AD16	EWM_OUT_b		
97	D12	PTB18	/	/	PTB18	ICAN0_TX	FTM2_CH0	I2S0_TX_CLK	FB_AD15	FTM2_QD_PHA		
98	D11	PTB19	/	/	PTB19	ICAN0_RX	FTM2_CH1	I2S0_TX小号	FB_OE_b	FTM2_QD_PHB		
99	D10	PTB20			PTB20	SPI2_PCS0			FB_AD31	CMP0_OUT		
100	D9	PTB21			PTB21	SPI2_SCK			FB_AD30	CMP1_OUT		
101	C12	PTB22			PTB22	SPI2_SOUT			FB_AD29	CMP2_OUT		
102	C11	PTB23			PTB23	SPI2_SIN	SPI0_PCS5		FB_AD28			
103	B12	PTC0	/	/	PTC0	SPI0_PCS4	PDB0_EXTRG	TS0_TXD	FB_AD14			
104	B11	PTC1	/	/	PTC1	SPI0_PCS3	UART1_S_B	FTM0_CH0	FB_AD13			

144 LQFP	144 地图 BGA	引脚名称	默认	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
			5 / TSI0_CH14	5 / TSI0_CH14								
105	A12	PTC2	/ ADC0_SE4 b / CMP1_IN0 / TSI0_CH15	/ ADC0_SE4 b / CMP1_IN0 / TSI0_CH15	PTC2	SPI0_PCS2	UART1_5_B	FTM0_CH1	FB_AD12			
106	A11	PTC3	/ CMP1_IN1 /	CMP1_IN1	PTC3	SPI0_PCS1	UART1_RX	FTM0_CH2	FB_CLKOUT			
107	H8	VSS	VSS	VSS								
108	-	VDD	VDD	VDD								
109	A9	PTC4			PTC4	SPI0_PCS0	UART1_TX	FTM0_CH3	FB_ADMR1_OUT			
110	D8	PTC5			PTC5	SPI0_SCK		LPT0_ALT2	FB_AD10	CMP0_OUT		
111	C8	PTC6	/ CMP0_IN0 /	CMP0_IN0	PTC6	SPI0_SOUT	PDB0_EXT RG		FB_AD9			
112	B8	PTC7	/ CMP0_IN1 /	CMP0_IN1	PTC7	SPI0_SIN			FB_AD8			
113	A8	PTC8	/ ADC1_SE4 b / CMP0_IN2	/ ADC1_SE4 b / CMP0_IN2	PTC8		I2S0_MCLK	I2S0_CLKIN	FB_AD7			
114	D7	PTC9	/ ADC1_SE5 b / CMP0_IN3	/ ADC1_SE5 b / CMP0_IN3	PTC9			I2S0_RX_CLK	FB_AD6	FTM2_FLT0		
115	C7	PTC10	/ ADC1_SE6 b / CMP0_IN4	/ ADC1_SE6 b / CMP0_IN4	PTC10	I2C1_SCL		I2S0_RX_F 小号	FB_AD5			
116	B7	PTC11	/ ADC1_SE7 b	/ ADC1_SE7 b	PTC11	I2C1_SDA		I2S0_RXD	FB_RW_b			
117	A7	PTC12			PTC12		UART4_RTS_B		FB_AD27			
118	D6	PTC13			PTC13		UART4_CTS_B		FB_AD26			
119	C6	PTC14			PTC14		UART4_RX		FB_AD25			
120	B6	PTC15			PTC15		UART4_TX		FB_AD24			
121	-	VSS	VSS	VSS								
122	-	VDD	VDD	VDD								
123	A6	PTC16			PTC16	CAN1_RX	UART3_RX	ENET0_8_TMR0	FB8CS5_b / FB_TSI21 / FB_BE23_1 6_BLS15_8 _b			
124	D5	PTC17			PTC17	CAN1_TX	UART3_TX	ENET0_8_TMR1	FB8CS4_b / FB_TSI20 / FB_BE31_2 4_BLS7_0 _b			

144	144	引脚名称	默认	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7	EzPort
LQFP	地图	BGA										
125	C5	PTC18			PTC18		UART3_RTS_B	ENET0_158_TMR2	FB_TBST_b / FB_CS2_b / FB_BE15_8_BLS23_16_b			
126	B5	PTC19			PTC19		UART3_CTS_B	ENET0_158_TMR3	FB_CS3_b / FB_BE7_0_BLS31_24_b	FB_TA_b		
127	A5	PTD0			PTD0	SPI0_PCS0	UART2_RTS_B		FB_ALE / FB_CS1_b / FB_TS_b			
128	D4	PTD1	/ ADC0_SE5_b	/ ADC0_SE5_b	PTD1	SPI0_SCK	UART2_CTS_B		FB_CS0_b			
129	C4	PTD2			PTD2	SPI0_SOUT	UART2_RX		FB_AD4			
130	B4	PTD3			PTD3	SPI0_SIN	UART2_TX		FB_AD3			
131	A4	PTD4			PTD4	SPI0_PCS1	UART0_RTS_B	FTM0_CH4	FB_AD2	FEWM_IN		
132	A3	PTD5	/ ADC0_SE6_b	/ ADC0_SE6_b	PTD5	SPI0_PCS2	UART0_CTS_B	FTM0_CH5	FB_AD1	FEWM_OUT_b		
133	A2	PTD6	/ ADC0_SE7_b	/ ADC0_SE7_b	PTD6	SPI0_PCS3	UART0_RX	FTM0_CH6	FB_AD0	FTM0_FLT0		
134	M10	VSS	VSS	VSS								
135	F8	VDD	VDD	VDD								
136	A1	PTD7			PTD7	CMT_IRO	UART0_TX	FTM0_CH7		FTM0_FLT1		
137	C9	PTD8	禁用		PTD8	I2C0_SCL	UART5_RX			FB_A16		
138	B9	PTD9	禁用		PTD9	I2C0_SDA	UART5_TX			FB_A17		
139	B3	PTD10	禁用		PTD10		UART5_RTS_B			FB_A18		
140	B2	PTD11	禁用		PTD11	SPI2_PCS0	UART5_CTS_B	SDHC0_CLK 亲属		FB_A19		
141	B1	PTD12	禁用		PTD12	SPI2_SCK		SDHC0_D4		FB_A20		
142	C3	PTD13	禁用		PTD13	SPI2_SOUT		SDHC0_D5		FB_A21		
143	C2	PTD14	禁用		PTD14	SPI2_SIN		SDHC0_D6		FB_A22		
144	C1	PTD15	禁用		PTD15	SPI2_PCS1		SDHC0_D7		FB_A23		

8.2 K60 引脚

下图显示了本文件支持的器件的引脚图。

许多信号可能被复用到一个引脚上。确定什么信号可以在哪个引脚上使用，请参阅上一节。

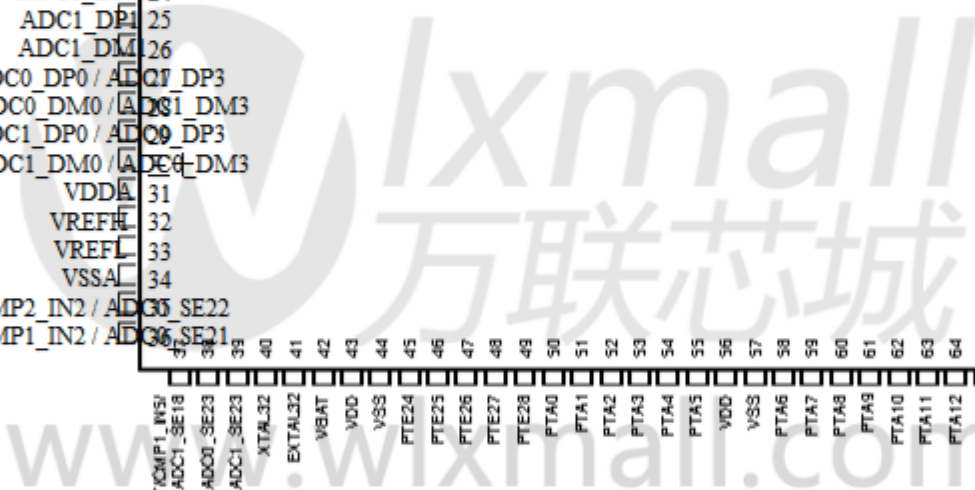


图29. K60 144 LQFP引脚图

	1	2	3	4	五	6	7	8	9	10	11	12	
一个	PTD7	PTD6	PTD5	PTD4	PTD0	PTC16	PTC12	PTC8	PTC4	NC	PTC3	PTC2	一个
Z	PTD12	PTD11	PTD10	PTD3	PTC19	PTC15	PTC11	PTC7	PTD9	NC	PTC1	PTC0	Z
C	PTD15	PTD14	PTD13	PTD2	PTC18	PTC14	PTC10	PTC6	PTD8	NC	PTB23	PTB22	C
d	PTE2	PTE1	PTE0	PTD1	PTC17	PTC13	PTC9	PTC5	PTB21	PTB20	PTB19	PTB18	d
Ė	PTE6	PTE5	PTE4	PTE3	VDD	VDD	VDD	VDD	PTB17	PTB16	PTB11	PTB10	Ė
F	PTE10	PTE9	PTE8	PTE7	VDD	VSS	VSS	VDD	PTB9	PTB8	PTB7	PTB6	F
G	VOUT33	VREGIN	PTE12	PTE11	VREFH	VREFL	VSS	VSS	PTB5	PTB4	PTB3	PTB2	G
H	USB0_DP	USB0_DM	VSS	PTE28	VDDA	VSSA	VSS	VSS	PTB1	PTB0	PTA29	PTA28	H
j	ADC0_DP	ADC0_DM	ADC0_SE16 / COMP1_IN2 / PTE27		PTA0	PTA1	PTA6	PTA7	PTA13	PTA27	PTA26	PTA25	j
k	ADC1_DP	ADC1_DM	ADC1_SE16 / COMP2_IN2 / PTE26		PTE25	PTA2	PTA3	PTA8	PTA12	PTA16	PTA17	PTA24	k
大号	PGA0_DP	PGA0_DM	DAC0_OUT / COMP1_IN3 / PTE23		RESERVED	VBAT	PTA4	PTA9	PTA11	PTA14	PTA15	RESET_B	大号
中号	PGA1_DP	PGA1_DM	VREF_OUT / COMP0_IN3 / PTE24		NC	EXTAL32	XTAL32	PTA5	PTA10	VSS	PTA19	PTA18	中号
	1	2	3	4	五	6	7	8	9	10	11	12	

图30. K60 144 MAPBGA引脚图

9 修订历史记录

下表提供了此文档的修订历史记录。

表50. 修订历史

版本号	日期	重大变化
1	11/2010	初始公开修订

表格在下一页继续...

表50.修订历史记录 (续)

版本号	日期	重大变化
2	3/2011	许多更新始终
3	3/2011	添加了之前修订中无意中删除的部分
4	3/2011	在“电压和电流操作要求”表格中 重写了I IC脚注。 在“外设操作要求和行为”部分添加了段落。 在“JTAG电气”部分增加了“JTAG全电压范围电气”表。
五	6/2011	•每个新零件号码方案更改了支持的零件号码 •在“电压和电流工作要求”中更改了直流注入电流规格表 •在“Voltage”中更改了输入泄漏电流和内部上拉/下拉电阻规格和当前操作行为“表 •根据“电源”中的温度范围分割低功率停止模式电流规格消费经营行为“表 •在“功耗操作行为”表中 更改了典型的I DD_VBAT 规范 •将ENET和LPTMR时钟规格添加到“设备时钟规格”表中 •在“通用开关规格”中更改了最小外部复位脉冲宽度表 •在“MCG规格”表中更改了PLL工作电流 •在“MCG规格”表中增加了对PLL周期抖动的脚注 •在“振荡器直流电气规格”表中更改了电源电流 •在“振荡器频率规格”表格中更改了晶振启动时间 •在“EzPort切换规格”表中更改了工作电压 •更改了“FlexBus交换规范”表的标题并添加了输出有效和持有规格 •增加了“FlexBus全范围交换规格”表 •在“16位ADC特性”表中更改了ADC异步时钟源规范 •“具有PGA特性的16位ADC”表中更改了增益规格 •为“具有PGA特性的16位ADC”表增加了典型的输入直流电流 •改变了“带PGA的16位ADC中的输入失调电压和ENOB注释字段”特征“表 •更改了“比较器和6位DAC中的模拟比较器初始化延迟”电气规格“ •更改了代码到代码建立时间，DAC输出电压范围低和温度“12位DAC工作行为”表中的系数偏移电压 •在“VREF全范围工作模式下改变温度漂移和负载调整”行为“表 •在“USB VREG电气规格”表中更改了稳压器输出电压 •更改了“USB VREG电气规格”表中的I LIM说明和规格 •在“DSPI时序”表中更改了DSPI_SCK周期时间规格 •在“从模式DSPI定时（低速模式）”表中更改了DSPI_SS规格 •将“DSPI_SCK”更改为“DSPI_SOUT有效规格”从机模式DSPI时序（高速模式）速度模式“表 •更改了参考振荡器电流源基极电流规格， “TSI电气规格”表中的电源电流加法器页脚

表格在下一页继续...

表50.修订历史记录 (续)

版本号	日期	重大变化
6	9/2011	- 增加了交流电气规格. - 始终用硅数据替代TBD. - 在“电源模式转换操作行为”表中，删除了输入时间. - 更新了“EMC辐射运行行为”，以消除SAE等级增加了144LQFP的数据. - 在“EzPort切换规格”表和“EzPort时序图”中阐明了“EP7”. - 增加了“16位差分 and 16位单端模式的ENOB与ADC_CLK”人物. - 在“功耗操作行为”部分 更新了IDD_RUN 编号. - 澄清了“图：典型的IDD_RUN操作行为”部分并更新了“运行”模式电源电流与核心频率 - 所有外设时钟禁用“数字. - 在“电压参考电气规格”部分，更新了CL，Vtdrift和Vvdrift值. - In 'USB electrical specifications' section, updated VDP_SRC, IDDrty, and VReg33out 值.



如何到达我们:

主页:

www.freescale.com

Web支持:

<http://www.freescale.com/support>

美国/欧洲或地区未列出:

飞思卡尔半导体

技术信息中心, EL516

2100 East Elliot Road

Tempe, Arizona 85284

+ 1-800-521-6274或+ 1-480-768-2130

www.freescale.com/support

欧洲, 中东和非洲:

飞思卡尔Halbleiter Deutschland GmbH

技术信息中心

Schatzbogen 7

81829德国慕尼黑

+44 1296 380 456 (英文)

+46 8 52200080 (英文)

+49 89 92103 559 (德语)

+33 1 69 35 48 48 (法语)

www.freescale.com/support

日本:

飞思卡尔半导体日本公司

司令部

ARCO Tower 15F

目黑区下目黑1-8-1,

东京153-0064

日本

0120 191014或+81 3 5437 9125

support.japan@freescale.com

亚太:

飞思卡尔半导体中国公司

交换大楼23F

建国路118号

朝阳区

北京100022

中国

+86 10 5879 8000

support.asia@freescale.com

仅供参考文献:

飞思卡尔半导体文献分发中心

1-800-441-2447或+ 1-303-675-2140

传真: + 1-303-675-2150

LDCForFreescaleSemiconductor@hibbertgroup.com

本文档中的信息仅用于启用系统和软件
实施者使用飞思卡尔半导体产品.没有明示或暗示
版权许可授予以下设计或制造任何集成电路或
集成电路基于本文档中的信息.

飞思卡尔半导体保留更改权利,恕不另行通知
这里的产品.飞思卡尔半导体不做任何保证, 陈述或者
保证其产品适用于任何特定用途, 也不会
飞思卡尔半导体承担因应用或使用任何责任引起的任何责任
产品或电路, 特别是不承担任何责任, 包括但不限于
间接或偶然的损害.可能提供的“典型”参数

飞思卡尔半导体的数据表和/或规格可能会有所不同, 但确实有所不同
应用程序和实际性能可能随时间而变化.所有的操作参数,
包括“典型”, 必须由客户对每个客户应用程序进行验证
技术专家.飞思卡尔半导体不会根据其专利传送任何许可证
权利和他人的权利.飞思卡尔半导体产品没有设计,
预期或授权使用用于外科植入物的系统中的组件
进入身体或旨在支持或维持生命或其他应用程序, 或其他任何应用程序
飞思卡尔半导体产品故障可能造成的一种应用

可能发生人身伤害或死亡的情况.买方应购买或使用
飞思卡尔半导体的产品适用于任何此类意外或未经授权的应用,
买方应赔偿飞思卡尔半导体及其高级职员, 员工, 子公司,
分支机构和分销商对所有索赔, 成本, 损害和费用.无害
合理的律师费用直接或间接引起任何人身伤害索赔
或与此类意外或未经授权使用相关的死亡, 即使此类索赔指称
飞思卡尔半导体在设计或制造方面疏忽了
那个部分.

飞思卡尔产品的符合RoHS和/或无铅版本具有功能和
电气特性作为非RoHS投诉和/或非无铅对应物.

欲了解更多信息, 请访问<http://www.freescale.com>或联系您的飞思卡尔
销售代表.

有关飞思卡尔环境产品计划的信息, 请转到

<http://www.freescale.com/epp>.

飞思卡尔™和飞思卡尔徽标是飞思卡尔半导体公司的商标.
所有其他产品或服务名称均为其各自所有者的财产.

©2010-2011飞思卡尔半导体公司

