

W9864G6KH



1M 4 BANKS 16 BITS SDRAM

目录-

1.	一般说明.....	3
2.	特征	3
3.	订单信息	3
4.	引脚配置.....	4
5.	密码说明.....	5
6.	框图.....	6
7.	功能说明.....	7
7.1	加电和初始化.....	7
7.2	编程模式寄存器设置命令.....	7
7.3	银行激活指令.....	7
7.4	读取和写入访问模式.....	7
7.5	突发读命令.....	8
7.6	突击指挥.....	8
7.7	阅读中断阅读.....	8
7.8	读写中断.....	8
7.9	写入中断书写.....	8
7.10	写入中断阅读.....	8
7.11	爆破停止指令.....	9
7.12	顺序模式寻址顺序.....	9
7.13	交错模式的寻址顺序.....	9
7.14	自动预充电指令.....	10
7.15	预充电指令.....	10
7.16	自刷新命令.....	10
7.17	掉电模式.....	11
7.18	无操作命令.....	11
7.19	取消选择命令.....	11
7.20	时钟挂起模式.....	11
8.	操作模式	12
9.	电气特性	13
9.1	绝对最大额定值	13
9.2	推荐直流工作条件.....	13
9.3	电容.....	13

出版发行日期: 2013年11月12日



9.4	直流特性.....	14
9.5	交流特性及工作条件.....	15
10.	时序波形.....	17
10.1	命令输入时序.....	17
10.2	阅读时间.....	18
10.3	输入/输出数据的控制时序.....	19
10.4	模式寄存器设置循环.....	20
11.	操作时序示例.....	21
11.1	交错银行阅读 (突发长度= 4, CAS延迟= 3)	21
11.2	交叉行读取 (突发长度= 4, CAS延迟= 3, 自动预充电)	22
11.3	交错银行阅读 (突发长度= 8, CAS延迟= 3)	23
11.4	交叉行读取 (突发长度= 8, CAS延迟= 3, 自动预充电)	24
11.5	交错行写 (突发长度= 8)	25
11.6	交错式写入 (突发长度= 8, 自动预充电)	26
11.7	页面模式读取 (突发长度= 4, CAS延迟= 3)	27
11.8	页面模式读/写 (突发长度= 8, CAS延迟= 3)	28
11.9	自动预充电读数 (突发长度= 4, CAS延迟= 3)	29
11.10	自动预充电写 (突发长度= 4)	30
11.11	自动刷新周期.....	31
11.12	自刷新周期.....	32
11.13	胸部读取和单次写入 (突发长度= 4, CAS延迟= 3)	33
11.14	掉电模式.....	34
11.15	自动预充电时间 (写周期)	35
11.16	自动预充电定时 (读周期)	36
11.17	读写周期的时序图.....	37
11.18	写入读周期的时序图.....	37
11.19	突发停止周期的时序图 (突发停止命令)	38
11.20	突发停止周期时序图 (预充电指令)	38
11.21	CKE / DQM输入时序 (写周期)	39
11.22	CKE / DQM输入时序 (读周期)	40
12.	包装规格.....	41
13.	修订记录	42



1. 一般说明

W9864G6KH是一种高速同步动态随机存取存储器 (SDRAM)，组织为 1M字 4个银行 16位。W9864G6KH提供高达200M字的数据带宽

第二.对于不同的应用，W9864G6KH分为以下转速等级：-5，-6，-6I和-7。-5部分可以运行高达200MHz / CL3。-6和-6I部分可以运行高达166MHz / CL3 (-6I工业级，保证支持-40°C~85°C)。-7部分可以运行高达143MHz / CL3并且 $t_{RP} = 18ns$ 。

访问SDRAM是突发定向的.连续的内存位置可以在一个页面中当通过ACTIVE选择存储体和行时，以1，2，4，8或全页的突发长度访问命令.列地址由SDRAM内部计数器自动生成操作.随机列读取也可以通过在每个时钟周期提供其地址。

多银行性质使得内部银行之间的交互隐藏预充电时间具有可编程模式寄存器，系统可以改变突发长度，延迟周期，交错或连续突发以最大化其性能。W9864G6KH是高内存的理想选择性能应用。

2. 特征

对于-5，-6和-6I等级电源，3.3V±0.3V

对于-7速等级电源，2.7V~3.6V

1,048,576字 4个银行 16位组织

自刷新电流：标准和低功耗

CAS延迟：2&3

突发长度：1，2，4，8和全页

顺序和交错突发

由LDQM，UDQM控制的字节数据

自动预充电和控制预充电

突发读，单写操作

4K刷新周期/ 64mS

接口：LVTTTL

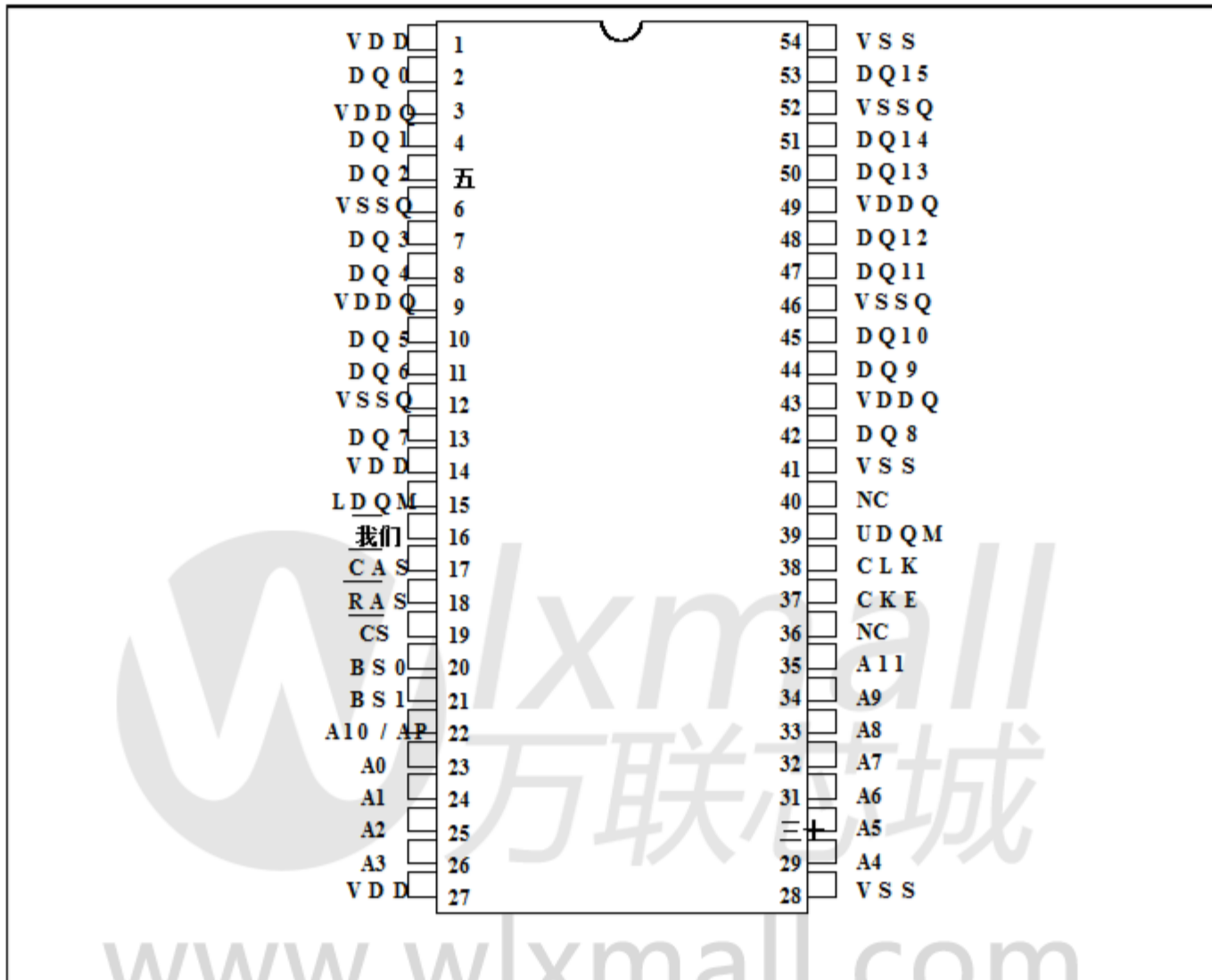
封装在TSOP II 54针，400密耳使用无铅符合RoHS的材料

3. 订单信息

零件号	速度	自我修复 电流 (最大)	操作 温度
W9864G6KH-5	为200MHz / CL3	2 mA	0°C~70°C
W9864G6KH-6	166MHz的/ CL3	2 mA	0°C~70°C
W9864G6KH-6I	166MHz的/ CL3	2 mA	-40°C~85°C
W9864G6KH-7	143MHz下/ CL3	2 mA	0°C~70°C



4. 引脚配置





5. PIN说明

PIN NUMBER	PIN NAME	功能	描述
23~26, 22, 29~35	A0~A11	地址	用于行和列地址的多路复用引脚。 行地址: A0~A11. 列地址: A0 - A7. 在预充电命令期间对A10进行采样 确定所有银行是否要预先充电或银行 由BS0, BS1选择.
20, 21	BS0, BS1	银行选择	选择存储体在行地址锁存时间内激活, 或存储体在地址锁存期间读/写.
2, 4, 5, 7, 8, 10, 11, 13, 42, 44, 45, 47, 48, 50, 51, 53	DQ0~DQ15	数据 输入输出	用于数据输出和输入的多路复用引脚.
19	$\overline{CS}$	芯片选择	禁用或启用命令解码器. 什么时候 命令解码器被禁用, 新的命令是 忽略和以前的操作继续.
18	$\overline{RAS}$	行地址 频闪	命令输入. 当在上升沿采样时 时钟 $\overline{RAS}$, $\overline{CAS}$ 和 $\overline{WE}$ 定义了 操作执行.
17	$\overline{CAS}$	柱 地址选通参考 $\overline{RAS}$	——
16	$\overline{WE}$	写启用	参考 $\overline{RAS}$
39, 15	UDQM LDQM	输入输出 面具	输出缓冲器放置在Hi-Z (延迟为2) 当DQM在读取周期采样高时. 在写 循环, 采样DQM高将阻塞写 零延迟操作.
38	CLK	时钟输入	系统时钟用于对上升的输入进行采样 时钟的边缘
37	CKE	时钟使能	CKE控制时钟激活和停用. 当CKE为低电平时, 掉电模式为Suspend 模式或自刷新模式.
1, 14, 27	VDD	功率	DRAM内部的输入缓冲器和逻辑电路的电源.
28, 41, 54	VSS	地面	输入缓冲器和逻辑电路接地 DRAM.
3, 9, 43, 49	VDDQ	I/O电源 缓冲	分离电源与VDD, 提高DQ噪声 免疫.
6, 12, 46, 52	VSSQ	接地I/O 缓冲	分离地面与VSS, 提高DQ噪声 免疫.
36, 40	NC	无连接	无连接.



6. 框图

