

W9812G6KH



2M 4 BANKS 16 BITS SDRAM

目录

1.	一般说明	3
2.	特征	3
3.	订单信息	3
4.	引脚配置	4
5.	密码说明	5
6.	框图	6
7.	功能说明	7
7.1	加电和初始化	7
7.2	编程模式寄存器	
7.3	银行激活指令	7
7.4	读取和写入访问模式	7
7.5	突发读命令	8
7.6	突发写命令	8
7.7	阅读中断阅读	8
7.8	读写中断	8
7.9	写入中断书写	8
7.10	写入中断阅读	8
7.11	爆破停止指令	9
7.12	顺序模式寻址顺序	9
7.13	交错模式的寻址顺序	9
7.14	自动预充电指令	10
7.15	预充电指令	10
7.16	自刷新命令	10
7.17	掉电模式	11
7.18	无操作命令	11
7.19	取消选择命令	11
7.20	时钟挂起模式	11
8.	操作模式	12
9.	电气特性	13
9.1	绝对最大额定值	13
9.2	推荐直流工作条件	13

出版发行日期: 2014年4月18日

修订: A02



9.3	电容	14
9.4	直流特性	14
9.5	交流特性及工作条件	15
时序波形		17
10.1	命令输入时序	17
10.2	阅读时间	18
10.3	输入/输出数据的控制时序	19
10.4	模式寄存器设置循环	20
11. 运行时序示例		21
11.1	交错银行阅读 (突发长度=4, CAS延迟=3)	21
11.2	交叉行读取 (突发长度=4, CAS延迟=3, 自动预充电)	22
11.3	交错银行阅读 (突发长度=8, CAS延迟=3)	23
11.4	交叉行读取 (突发长度=8, CAS延迟=3, 自动预充电)	24
11.5	交错行写 (突发长度=8)	25
11.6	交错式写入 (突发长度=8, 自动预充电)	26
11.7	页面模式读取 (突发长度=4, CAS延迟=3)	27
11.8	页面模式读/写 (突发长度=8, CAS延迟=3)	28
11.9	自动预充电读数 (突发长度=4, CAS延迟=3)	29
11.10	自动预充电写入 (突发长度=4)	30
11.11	自动刷新周期	31
11.12	自刷新周期	32
11.13	突发读和单写 (突发长度=4, CAS延迟=3)	33
11.14	掉电模式	34
11.15	自动预充电定时 (读周期)	35
11.16	自动预充电时间 (写周期)	36
11.17	读写周期的时序图	37
11.18	写入读周期的时序图	37
11.19	突发停止周期的时序图 (突发停止命令)	38
11.20	突发停止周期时序图 (预充电指令)	38
11.21	CKE / DQM输入时序 (写周期)	39
11.22	CKE / DQM输入时序 (读周期)	40
12. 包装规格		41
13. 修订历史		42



1. 一般说明

W9812G6KH是一种高速同步动态随机存取存储器 (SDRAM)，组织为 2M字 4个银行 16位。W9812G6KH提供高达200M字的数据带宽秒 (-5)。为完全符合个人电脑行业标准，W9812G6KH进行了排序进入以下速度等级：-5，-6，-6I和-75。-5级部件符合200MHz / CL3规范。-6 / -6I等级部件符合166MHz / CL3规格 (-6I工业级) 保证-40°C $\leq T_A \leq 85^\circ\text{C}$ 。-75级零件符合133MHz / CL3规格。

访问SDRAM是突发定向的。连续的内存位置可以在一个页面中当通过ACTIVE选择存储体和行时，以1，2，4，8或全页的突发长度访问命令。列地址由SDRAM内部计数器自动生成。操作。随机列读取也可以通过在每个时钟周期提供其地址。该多银行性质使得内部银行之间的交错可以隐藏预充电时间。

通过具有可编程模式寄存器，系统可以改变突发长度，延迟周期，交错或连续突发以最大化其性能。W9812G6KH是主内存的理想选择高性能应用。

2. 特征

3.3V±0.3V电源

高达200 MHz的时钟频率

2,097,152字 4个银行 16位组织

自刷新模式

CAS延迟：2和3

突发长度：1，2，4，8和全页

突发读，单写模式

由LDQM，UDQM控制的字节数据

掉电模式

自动预充电和控制预充电

4K刷新周期/ 64 mS

接口：LVTTTL

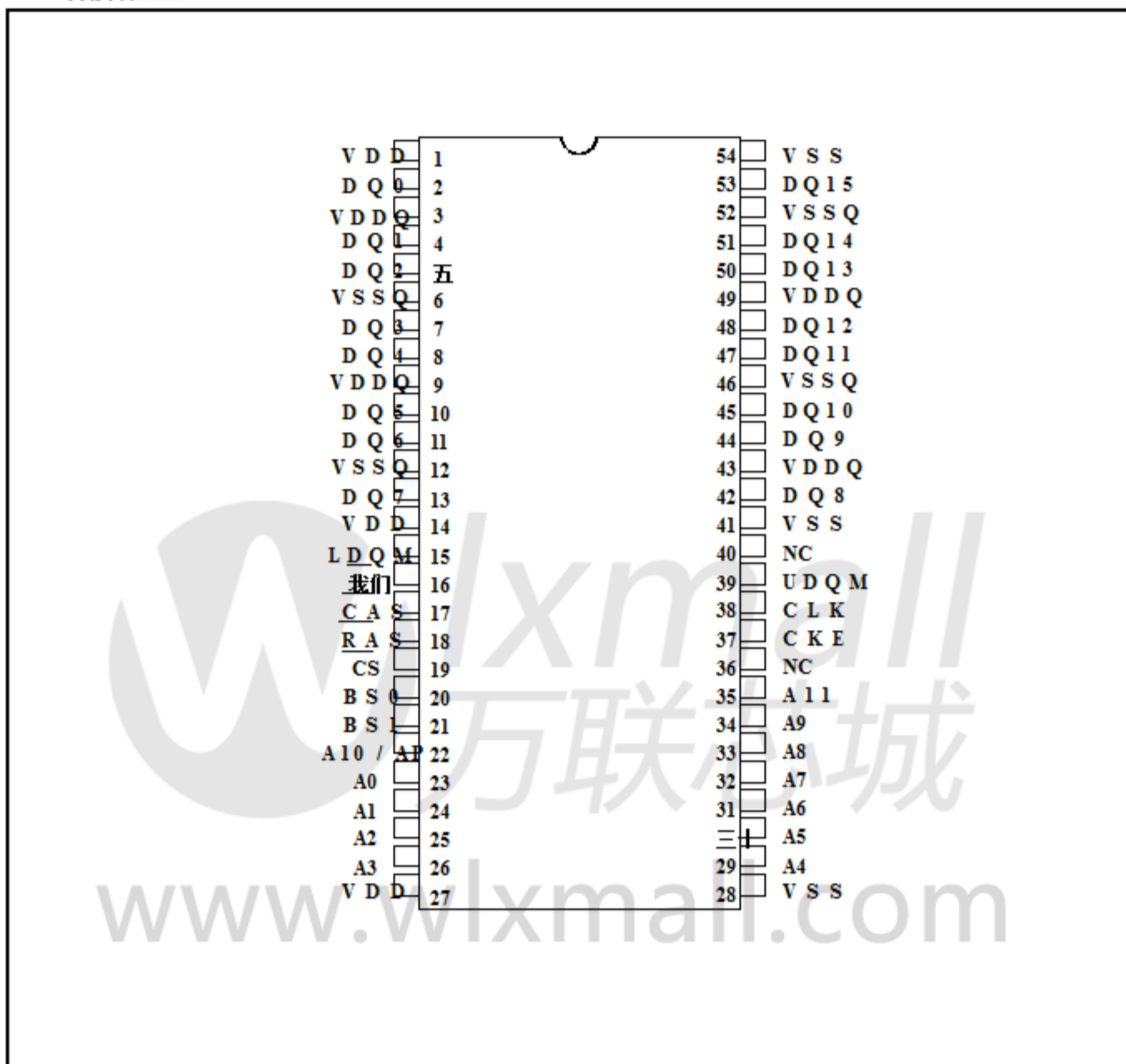
采用TSOP II 54针，400密耳，采用符合RoHS标准的无铅材料

3. 订单信息

零件号	速度等级	自我修复 电流 (MAX)	操作 温度
W9812G6KH-5	为200MHz / CL3	2 毫安	0°C~70°C
W9812G6KH-6	166MHz的/ CL3	2 毫安	0°C~70°C
W9812G6KH-6I	166MHz的/ CL3	2 毫安	-40°C~85°C
W9812G6KH-75	133MHz的/ CL3	2 毫安	0°C~70°C



4. 引脚配置



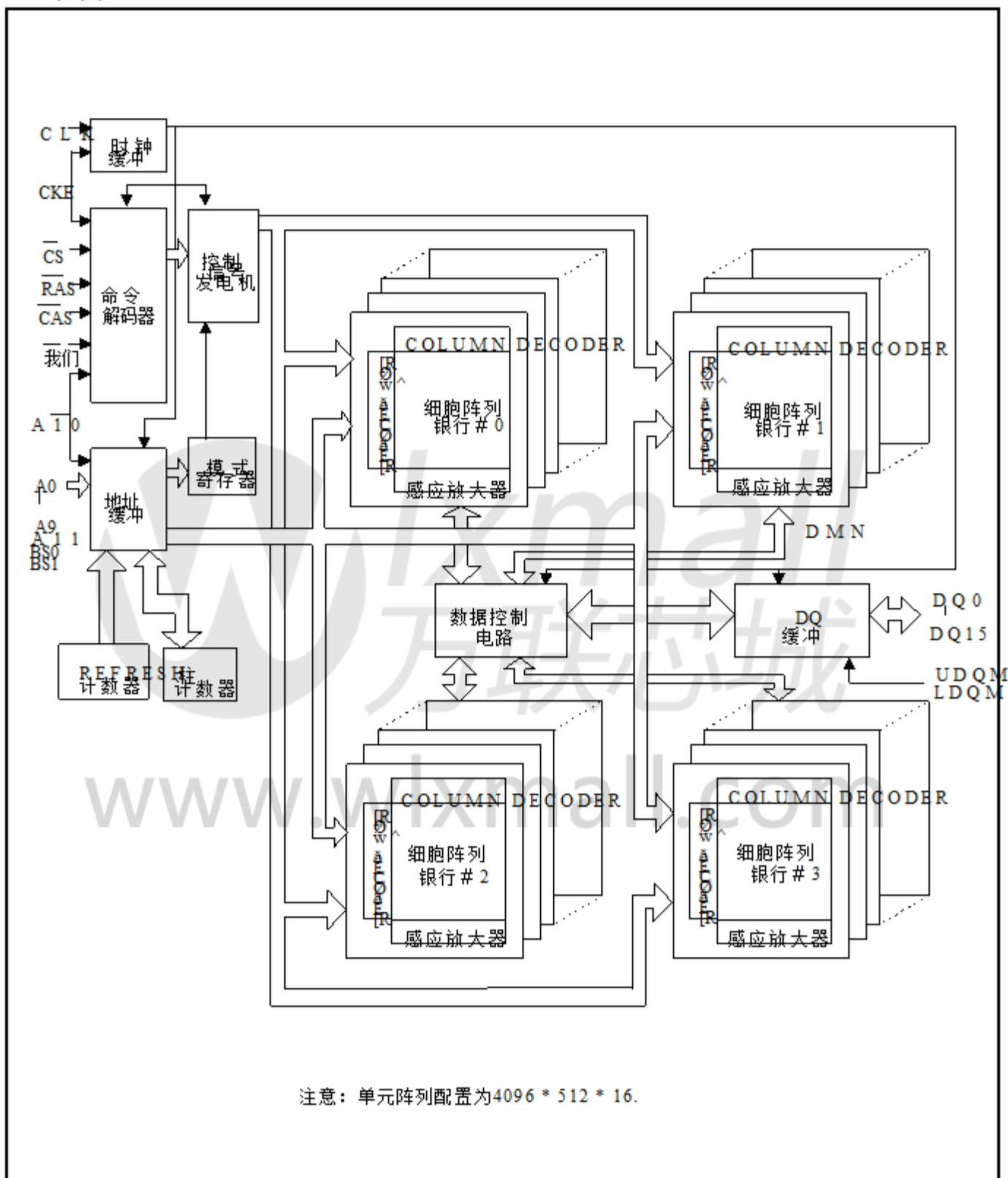


5. PIN说明

PIN NUMBER	PIN NAME	功能	描述
23 $\bar{A}26$, 22, 29 $\bar{A}35$	A0 $\bar{A}11$	地址	用于行和列地址的多路复用引脚。 行地址: A0 $\bar{A}11$. 栏地址: A0 $\bar{A}8$.
20, 21	BS0, BS1	银行选择	选择存储体在行地址锁存时间内激活, 或存储体在地址锁存期间读/写.
2, 4, 5, 7, 8, 10, 11, 13, 42, 44, 45, 47, 48, 50, 51, 53	DQ0 $\bar{A}$ DQ15	数据输入/ 产里	用于数据输出和输入的多路复用引脚.
19	$\overline{CS}$	芯片选择	禁用或启用命令解码器. 什么时候命令解码器被禁用, 新的命令是忽略和以前的操作继续.
18	$\overline{RAS}$	行地址 频闪	命令输入. 当在上升沿采样时钟, $\overline{RAS}$, $\overline{CAS}$ 和 $\overline{WE}$ 定义了操作执行.
17	$\overline{CAS}$	列地址 频闪	参考 $\overline{RAS}$
16	$\overline{WE}$	写启用	参考 $\overline{RAS}$
39, 15	LDQM, UDQM	输入输出 面具	输出缓冲器放置在Hi-Z (延迟为2) 当DQM在读取周期采样高时. 在写循环, 采样DQM高将阻塞写零延迟操作.
38	CLK	时钟输入	用于在上升沿采样输入的系统时钟的时钟.
37	CKE	时钟使能	CKE控制时钟激活和停用. 当CKE为低电平时, 掉电模式, 挂起模式或自刷新模式.
1, 14, 27	V DD	电源 (+3.3V)	DRAM内部的输入缓冲器和逻辑电路的电源.
28, 41, 54	V SS	地面	DRAM内部的输入缓冲器和逻辑电路接地.
3, 9, 43, 49	V DDQ	电源 (+3.3V) 用于I/O缓冲区	分离电源与V DD, 用于输出缓冲区改善噪音
6, 12, 46, 52	V SSQ	接地I/O 缓冲	分离地与V SS, 用于输出缓冲区改善噪音
36, 40	NC	无连接	无连接.



6. 框图





7. 功能说明

7.1 加电和初始化

模式寄存器的默认上电状态未指定. 以下电源和需要遵循初始化顺序来保证设备被预处理到每个用户具体需求.

在上电期间, 所有 V_{DD} 和 V_{DDQ} 引脚必须同时上升到指定的电压. 当输入信号保持在“NOP”状态. 上电电压不得超过 $V_{DD} + 0.3V$.

任何输入引脚或 V_{DD} 电源. 上电后, 需要 $200\mu S$ 的初始暂停.

通过使用预充电命令的所有银行的预充电. 防止 DQ 总线上的数据争用.

在上电期间, 要求 DQM 和 CKE 引脚在初始暂停期间保持高电平.

一旦所有银行都被预先充电, 必须发出模式寄存器设置命令以进行初始化.

模式寄存器. 在之前或之后还需要另外 8 个自动刷新周期 (CBR).

编程模式寄存器以确保正确的后续操作.

7.2 编程模式寄存器

初始上电后, 必须发出模式寄存器设置命令才能使设备正常工作.

所有银行必须处于预充电状态, CKE 必须在模式之前至少一个周期.

可以发出注册集命令. 模式寄存器设置命令由低电平激活.

信号 RAS , CAS , CS 和 WE 在时钟的上升沿. 地址输入数据.

在此循环期间定义要设置的参数, 如模式寄存器操作表中所示. 一个.

可以在模式寄存器设置命令之后发出等于 t_{RSC} 的延迟的新命令.

已经过去了. 请参考模式寄存器设置周期和操作表的下一页.

7.3 银行激活命令

在执行任何读或写操作之前, 必须应用 **Bank Activate** 命令.

操作类似 RAS 在 EDO DRAM 中激活. 银行何时启动延迟.

当第一个读或写操作开始时, 应用命令不能小于 RAS .

到 CAS 延迟时间 (t_{RCD}). 一旦银行被激活, 它必须在另一家银行前进行预收费.

激活命令可以发给同一个银行. 连续的最小时间间隔.

$Bank$ 对同一个存储区的激活命令由设备的 RAS 周期时间决定 (t_{RC}).

交叉银行激活命令 (银行 A 到银行 B 和副本) 之间的最小时间间隔.

银行延迟时间 (t_{RRD}). 每个银行可以持有的最大时间是.

指定为 t_{RAS} (最大).

7.4 读取和写入访问模式

银行被激活后, 可以遵循读写周期. 这是通过设置来实现的.

RAS 高和 CAS 低在时钟上升沿, 最小 t_{RCD} 延迟. WE 引脚电压电平.

定义访问周期是读操作 (WE 高) 还是写操作 (WE 为低). 该.

地址输入确定起始列地址.

读取或写入激活银行中的另一行需要银行预充电和 a.

发行新的“银行激活”命令. 当多个银行被激活时, 交叉银行.

读或写操作是可能的. 通过使用编程的突发长度和交替的.

多个银行之间的访问和预充电操作, 无缝数据访问操作之间.

可以实现许多不同的页面. 读或写命令也可以发给同一个银行.

或在每个时钟周期的活动组之间.



7.5 突发读命令

通过应用逻辑低电平来启动突发读命令

$\overline{\text{CS}}$ 和 $\overline{\text{CAS}}$ 持有

$\overline{\text{RAS}}$ 和 $\overline{\text{WE}}$ 在时钟的上升沿高.地址输入确定起始列

地址为突发.模式寄存器设置突发类型(顺序或交错)和突发

在模式寄存器设置周期期间的长度(1, 2, 4, 8, 全页).表2和3在下一页

说明交错模式和顺序模式的地址序列.

7.6 突发写命令

突发写命令通过应用逻辑低电平来启动

$\overline{\text{CS}}$, $\overline{\text{CAS}}$ 和 $\overline{\text{WE}}$

保持 $\overline{\text{RAS}}$ 在时钟的上升沿高.地址输入确定起始列

地址.必须在相同时钟周期的DQ引脚上应用第一个突发写周期的数据

写命令被发出.其余的数据输入必须随后提供

上升时钟边沿,直到突发长度完成.在突发完成后提供给DQ引脚的数据

将被忽略.

7.7 读取中断

突发读取可能被另一个读命令中断.当前一个脉冲串中断时,

剩余的地址被全部的突发长度的新读取地址覆盖.数据

从第一个Read命令继续出现在输出上,直到CAS Latency从

中断Read命令就满足了.

7.8 读写中断

要使用写命令中断突发读取, DQM可能需要放置DQ(输出)

驱动器),以避免DQ总线上的数据争用.如果读命令会

发出写入操作的第一和第二个时钟周期的数据,需要DQM来确保

DQ是三态的.此后,写命令将控制DQ总线和DQM

不再需要屏蔽.

7.9 写入中断写入

突发写入可能在完成另一个写命令之前中断.当...的时候

先前的突发中断,剩余的地址被新的地址和数据覆盖

将被写入设备,直到满足编程的突发长度.

7.10 写入被读取中断

读命令将在与读取相同的时钟周期中中断突发写操作

命令被激活. DQs必须至少在一个周期之前处于高阻抗状态

输出上出现新的读取数据,以避免数据争用.读命令时

激活,突发写入周期的任何残留数据将被忽略.



7.11 突发停止命令

可以使用突发停止命令来终止现有的突发操作，但是将银行打开用于将来的读或写命令到活动库的同一页，如果突发长度为全页。在其他突发长度操作中使用突发停止命令是非法的。爆裂停止

命令由具有定义 $\overline{RAS}$ 和 $\overline{CAS}$ 高， $\overline{CS}$ 和 $\overline{WE}$ 在上升的高点时钟。数据 DQ 在等于 $\overline{CAS}$ 延迟的延迟后进入高阻抗状态在 **Burst Stop** 中断的突发读取周期中。

7.12 顺序模式的寻址顺序

通过从输入的列地址增加地址来执行列访问装置。干扰地址由突发长度变化，如表2所示。

表2 序列模式的地址序列

数据	访问地址	突发长度
数据0	$\bar{n}$	BL = 2 (干扰地址为 A0)
数据1	$n + 1$	
数据2	$n + 2$	BL = 4 (干扰地址为 A0 和 A1)
数据3	$n + 3$	
数据4	$n + 4$	BL = 8 (干扰地址为 A0, A1 和 A2)
数据5	$n + 5$	
数据6	$n + 6$	
数据7	$n + 7$	

7.13 交织模式寻址顺序

在输入列地址中启动列访问，并通过反转地址位来执行按照表3所示的顺序。

表3 交织模式的地址序列

数据	访问地址	突发长度
数据0	A8 A7 A6 A5 A4 A3 A2 A1 A0	BL = 2
数据1	A8 A7 A6 A5 A4 A3 A2 A1 $\overline{A0}$	
数据2	A8 A7 A6 A5 A4 A3 A2 $\overline{A1}$ A0	BL = 4
数据3	A8 A7 A6 A5 A4 A3 A2 $\overline{A1}$ $\overline{A0}$	
数据4	A8 A7 A6 A5 A4 A3 $\overline{A2}$ A1 A0	BL = 8
数据5	A8 A7 A6 A5 A4 A3 $\overline{A2}$ A1 $\overline{A0}$	
数据6	A8 A7 A6 A5 A4 A3 $\overline{A2}$ $\overline{A1}$ A0	
数据7	A8 A7 A6 A5 A4 A3 $\overline{A2}$ $\overline{A1}$ $\overline{A0}$	



7.14 自动预充电命令

当发出读或写命令时，如果A10置为高电平，则自动预充电功能为进入。在自动预充电期间，读命令将正常执行，除了所有突发读取周期完成之前，活动银行将自动开始预充电。不管突发长度如何，它将在计划结束之前开始一定数量的时钟爆发周期。时钟数由CAS延迟确定。

具有自动预充电的读或写命令在整个脉冲串之前不能中断操作完成。因此，禁止使用读，写或预充电命令。具有自动预充电的读或写周期。一旦预充电操作开始，银行就不能重新激活，直到预充电时间（ t_{RP} ）满足为止。发出Auto-charge命令。如果突发设置为全页长度，则为非法。如果写命令发出时A10为高，则写启动自动播放功能。SDRAM自动进入预充电操作2。从最后一个突发写周期的时钟延迟。该延迟被称为写 t_{WR} 。银行正在经历直到 t_{WR} 和 t_{RP} 得到满足才能自动预充电。这被称为 t_{DAL} ，数据输入到活动延迟（ $t_{DAL} = t_{WR} + t_{RP}$ ）。当使用自动预充电命令时，Bank激活命令和内部预充电操作的开始必须满足 $t_{RAS}(\min)$ 。

7.15 预充电命令

预充电命令用于预充电或关闭已激活的存储区。该预充电命令 $\overline{CS}$ ， $\overline{RAS}$ 和 $\overline{WE}$ 均较低， $\overline{CAS}$ 较高。时钟的边缘预充电命令可用于单独或全部对每个银行进行预充电。银行同时进行。三个地址位A10，BS0和BS1用于定义哪个存储区在发出命令时进行预充电。预充电命令发出后，预充电必须重新启动存储区，才能执行新的读取或写入访问。之间的延迟预充电命令和激活命令必须大于或等于预充电时间（ t_{RP} ）。

7.16 自刷新命令

自刷新命令由定义 $\overline{CS}$ ， $\overline{RAS}$ ， $\overline{CAS}$ 和 $\overline{CKE}$ 与 $\overline{WE}$ 保持低位。高在时钟的上升沿。在发布自刷新命令之前，所有存储区必须空闲。一旦注册了该命令， $\overline{CKE}$ 必须保持低电平，以保持设备处于自刷新模式。当SDRAM进入自刷新模式时，除 $\overline{CKE}$ 外，所有外部控制信号都是禁用。在自刷新操作期间，内部禁止时钟以节省电量。设备会退出自刷新操作后， $\overline{CKE}$ 返回高电平。任何后续命令都可以发出 t_{XSR} 从自刷新命令结束。

如果在正常操作期间，自动刷新周期以突发（相对于均匀）发出分配），在进入之前应完成4,096个自动重新循环的突发。刚刚退出自刷新模式。



7.17 掉电模式

通过保持CKE为低电平启动掉电模式.除CKE外的所有接收机电路都是封闭以减少电力.掉电模式不执行任何刷新操作,因此该器件不能保持在掉电模式下比“刷新”周期(t_{REF})更长设备.

通过使CKE为高电平来退出掉电模式.当CKE变高时,无操作根据 t_{CK} ,下一个上升时钟沿需要指令.需要输入缓冲区使CKE保持高电平等于 $t_{CKS}(\min) + t_{CK}(\min)$.

7.18 无操作命令

在SDRAM处于空闲或等待状态的情况下,应使用无操作命令防止SDRAM在操作之间注册任何不需要的命令.没有操作

命令已注册 $\overline{CS}$ 在RAS, CAS和WE都处于高位,处于高位时钟.无操作命令不会终止仍在执行的以前的操作作为突发读或写周期.

7.19 取消选择命令

取消选择命令执行与无操作命令相同的功能.取消

命令发生时 $\overline{CS}$ 带来高昂, RAS, CAS和WE信号变成不了问津.

7.20 时钟挂起模式

在正常访问模式下,CKE必须保持高电平以使时钟能够正常工作.当CKE注册低时而至少有一个存储体处于活动状态,则输入时钟挂起模式.时钟挂起模式停用内部时钟并暂停当前正在执行的任何计时操作.

在CKE低的注册和SDRAM的时间之间有一个时钟延迟操作暂停.在Clock Suspend模式下,SDRAM忽略任何新的命令发行.将CKE设置为高电平,退出时钟挂起模式.有一个时钟周期延迟从CKE返回到时钟暂停模式退出时.



8. 操作模式

执行完全同步操作以在CLK的正边沿锁存命令。

表1显示了操作命令的真值表。

表1真值表（注（1），（2））

命令	设备 州	CKEn-1	CKEn	DQM	BS0,	A10	A0 HA9 A11	CS	RAS	CAS	我们
银行活跃	闲	H	X	X	v	v	v	大号	大号	H	H
银行预付款	任何	H	X	X	v	大号	X	大号	大号	H	大号
预充全部	任何	H	X	X	X	H	X	大号	大号	H	大号
写	活性（3）	H	X	X	v	大号	v	大号	H	大号	大号
用自动预充电写	活性（3）	H	X	X	v	H	v	大号	H	大号	大号
读	活性（3）	H	X	X	v	大号	v	大号	H	大号	H
用自动预充电读取	活性（3）	H	X	X	v	H	v	大号	H	大号	H
模式寄存器集	闲	H	X	X	v	v	v	大号	大号	大号	大号
没有操作	任何	H	X	X	X	X	X	大号	H	H	H
爆裂停止	活性（4）	H	X	X	X	X	X	大号	H	H	大号
设备取消选择	任何	H	X	X	X	X	X	H	X	X	X
自动刷新	闲	H	H	X	X	X	X	大号	大号	大号	H
自刷新条目	闲	H	大号	X	X	X	X	大号	大号	大号	H
自刷新退出	闲	大号	H	X	X	X	X	H	X	X	X
	(SR)	大号	H	X	X	X	X	大号	H	H	X
时钟暂停模式输入	活性	H	大号	X	X	X	X	X	X	X	X
掉电模式输入	闲	H	大号	X	X	X	X	H	X	X	X
	活性（5）	H	大号	X	X	X	X	大号	H	H	X
时钟挂起模式退出	活性	大号	H	X	X	X	X	X	X	X	X
关机模式退出	任何	大号	H	X	X	X	X	H	X	X	X
	(掉电)	大号	H	X	X	X	X	大号	H	H	X
数据写/输出使能	活性	H	X	大号	X	X	X	X	X	X	X
数据写/输出禁止	活性	H	X	H	X	X	X	X	X	X	X

笔记：

（1）v =有效 x =不在乎 L =低电平 H =高电平

（2）当提供命令时，CKEn信号为输入电平。

CKEn-1信号是在发出命令之前一个时钟周期的输入电平。

（3）这些是由BS0指定的银行状态，BS1信号。

（4）器件状态为全页脉冲串操作。

（5）无法在突发周期中输入掉电模式。

当该命令在突发周期中置位时，器件状态为时钟挂起模式。



9. 电气特性

9.1 绝对最大额定值

参数	符号	评分	单元	笔记
任何引脚上相对于V _{SS} 的电压	V _{IN} , V _{OUT}	-0.5~V _{DD} +0.5 (≤最大4.6V)	V	1
V _{DD} /V _{DDQ} 电压相对于V _{SS} 的电压	V _{DD} , V _{DDQ}	-0.5~4.6	V	1
工作温度为-5 / -6 / -75	T _{OPR}	0~70	C	1
工作温度为-61	T _{OPR}	-40~85	C	1
储存温度	T _{STG}	-55~150	C	1
焊接温度 (10s)	T _{SOLDER}	260	C	1
功耗	P _D	1	W [^]	1
短路输出电流	我 输了	50	嘛	1

注意：

1. 暴露于绝对最大额定值以外的条件下，可能会对其寿命和可靠性产生不利影响
装置

9.2 推荐直流工作条件

参数	符号	MIN.	TYP.	MAX.	单元	笔记
电源电压	V _{DD}	3.0	3.3	3.6	V	
I/O缓冲器电源电压	V _{DDQ}	3.0	3.3	3.6	V	
输入高电压	V _{IH}	2.0	-	V _{DD} +0.3	V	1
输入低电压	V _{IL}	-0.3	-	0.8	V	2
输出逻辑高电压	V _{OH}	2.4	-	-	V	I _{OH} = -2mA
输出逻辑低电压	V _{OL}	-	-	0.4	V	I _{OL} = 2mA
输入漏电流	我 (L)	-5	-	五	μA	3
输出漏电流	I _O (L)	-5	-	五	μA	4

笔记：

1. V_{IH} (最大) = V_{DD}/V_{DDQ} + 1.5V 脉冲宽度 ≤ 5 nS.
2. V_{IL} (最小) = V_{SS}/V_{SSQ} - 1.5V 脉冲宽度 ≤ 5 nS.
3. 任何输入 0V ≤ V_{IN} ≤ V_{DDQ}.
输入漏电流包括具有三态输出的所有双向缓冲器的Hi-Z输出泄漏.
4. 输出禁用, 0V ≤ V_{OUT} ≤ V_{DDQ}.



9.3 电容

($V_{DD} = 3.3V \pm 0.3V$, $f = 1MHz$, $T_A = 25^\circ C$)

参数	SYM.	MIN.	MAX.	单元
输入电容 (A0至A11, BS0, BS1, $\overline{CS}$, $\overline{RAS}$, $\overline{CAS}$, $\overline{WE}$, DQM, CKE)	C 我	-	3.8	PF
输入电容 (CLK)	C CLK	-	3.5	PF
输入/输出电容 (DQ0 $\overline{HDQ15}$)	C IO	-	6.5	PF

注意：这些参数是周期性采样，未经100%测试。

9.4 直流特性

($V_{DD} = 3.3V \pm 0.3V$, $T_A = 0 \sim 70^\circ C$, -5/-6/-75, $T_A = -40 \sim 85^\circ C$, -61)

参数		SYM.	-5 MAX.	-6 / -61 MAX.	-75 MAX.	单元	笔记
工作电流 $t_{CK} = \min$, $t_{RC} = \min$ 主动预充电命令 骑自行车没有突发动作	1银行业务	我 DD1	55	50	45	嘛	3
待机电流 $t_{CK} = \min$, $\overline{CS} = V_{IH}$ $V_{IH}/L = V_{IH}$ (最小) / V_{IL} (最大)	CKE = V_{IH}	我 DD2	25	20	20		3
银行：无效状态	CKE = V_{IL} (掉电模式)	我 DD2P	2	2	2		3
待机电流 CLK = $V_{IC5} = V_{IH}$ $V_{IH}/L = V_{IH}$ (最小) / V_{IL} (最大)	CKE = V_{IH}	我 DD2S	12	12	12		
银行：无效状态	CKE = V_{IL} (掉电模式)	我 DD2PS	2	2	2		
无工作电流 $t_{CK} = \min$, $\overline{CS} = V_{IH}$ (min)	CKE = V_{IH}	我 DD3	40	35	三十		
银行：活跃状态 (4银行)	CKE = V_{IL} (掉电模式)	我 DD3P	12	12	12		
突发工作电流 $t_{CK} = \min$ 读/写命令循环		我 DD4	80	75	70		3, 4
自动刷新电流 $t_{CK} = \min$ 自动刷新命令循环		我 DD5	70	65	60	嘛	3
自刷新电流 自刷新模式 CKE = 0.2V		我 DD6	2	2	2		



9.5 交流特性及工作条件

(VDD = 3.3V±0.3V, T A = 0~70℃为-5/-6/-75, T A = -40~85℃为-6I)

参数	SYM.	-5		-6 / -6I		-75		单元	笔记
		MIN	MAX.	MIN.	MAX.	MIN	MAX.		
参考/活动到参考/主动命令期	t RC	55		60		65		纳秒	
有效预充指挥期	t RAS	40	100000	42	100000	45	100000		
有效读/写命令延迟时间	t RCD	15		15		20			
读/写 (a) 读/写 (b) 指挥期	t CCD	1		1		1		t CK	
预充电到主动指挥期	t RP	15		15		20		纳秒	
活动 (a) 到活动 (b) 命令周期	t RRD	2		2		2		t CK	
写恢复时间	CL * = 2	t WR	2	2	2	2		t CK	
	CL * = 3		2	2	2	2			
CLK周期时间	CL * = 2	t CK	10	1000	7.5	1000	10	1000	
	CL * = 3		五	1000	6	1000	7.5	1000	
CLK高电平宽度	t CH	2		2		2.5			8
CLK低电平宽度	t CL	2		2		2.5			8
从CLK的访问时间	CL * = 2	t AC		6		6	6		9
	CL * = 3			4.5		五	5.4		
输出数据保持时间	t OH	3		3		3			9
输出数据高阻抗时间	CL * = 2	t HZ		6		6	6		7
	CL * = 3			4.5		五	5.4		
输出数据低阻抗时间	t LZ	0		0		0			9
掉电模式进入时间	t SB	0	五	0	6	0	7.5	纳秒	
CLK (上升和下降) 的转换时间	t T		1		1		1		
数据输入设置时间	t DS	1.5		1.5		1.5			8
数据保持时间	t DH	0.8		0.8		0.8			8
地址设置时间	t AS	1.5		1.5		1.5			8
地址保持时间	t AH	0.8		0.8		0.8			8
CKE设置时间	t CKS	1.5		1.5		1.5			8
CKE保持时间	t CKH	0.8		0.8		0.8			8
命令设置时间	t CMS	1.5		1.5		1.5			8
命令保持时间	t CMH	0.8		0.8		0.8			8
刷新时间 (4K刷新周期)	t REF		64		64		64	女士	
模式寄存器设置周期时间	t RSC	2		2		2		t CK	
退出自刷新到ACTIVE命令	t XSR	70		72		75		纳秒	

* CL = CAS延迟

**笔记：**

操作超过 “绝对最大额定值”可能会导致设备永久性损坏。

所有电压参考 V_{SS} 。

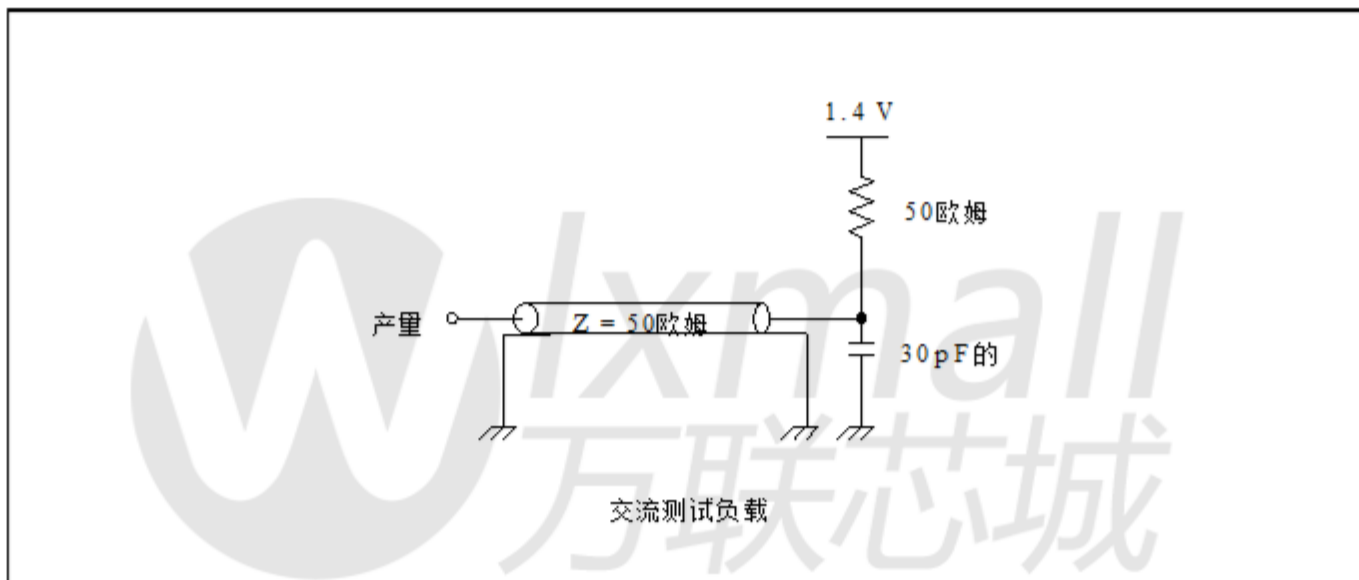
这些参数取决于循环速率，列出的值以循环速率测量

t_{CK} 和 t_{RC} 的最小值。

这些参数取决于输出负载条件.指定的值与
输出打开。

5. 上电顺序在“功能说明”部分进一步描述。

交流测试负载图。



t_{HZ} 定义了输出达到开路状态且未参考的时间
输出电平。

8. 假设输入上升和下降时间 (t_T) = 1nS.

如果 t_r & t_f 长于 1nS，则应考虑瞬时时间补偿，

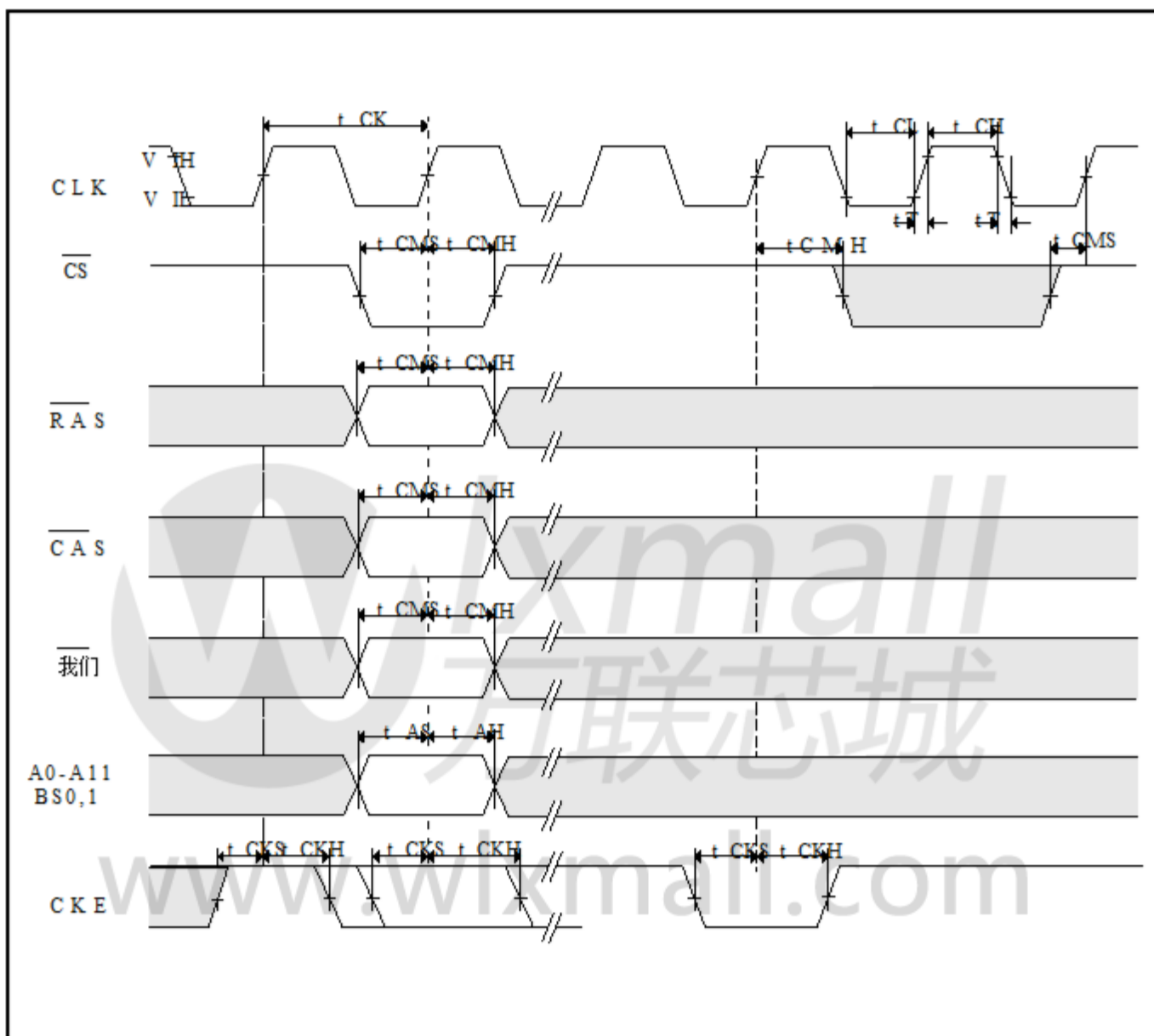
即， $[(t_r + t_f) / 2 - 1] \text{ nS}$ 应添加到参数中

9. 如果时钟上升时间 (t_T) 大于 1nS，则应将 $(t_T / 2 - 0.5) \text{ nS}$ 添加到参数中。



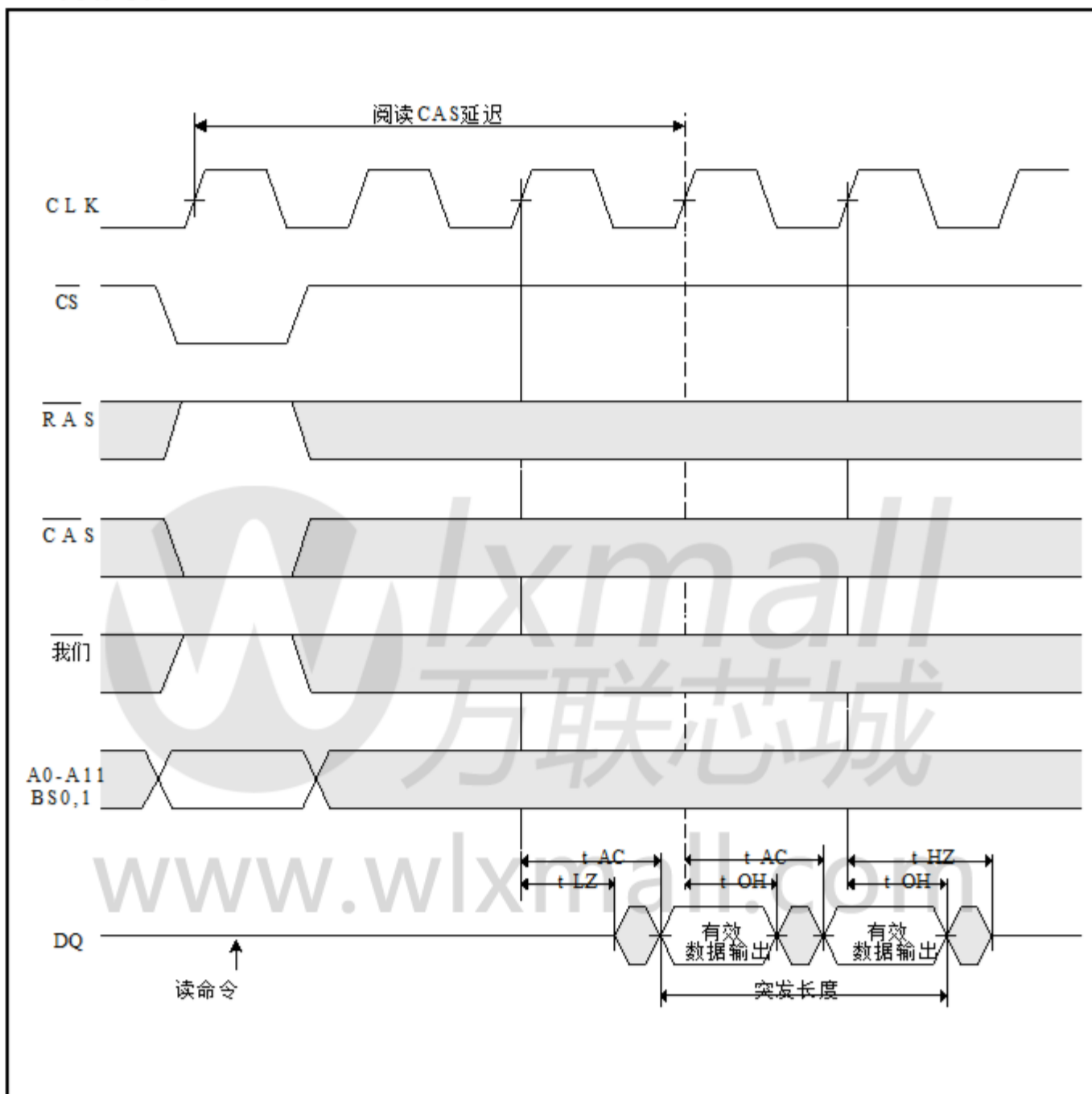
时序波形

10.1 命令输入时序



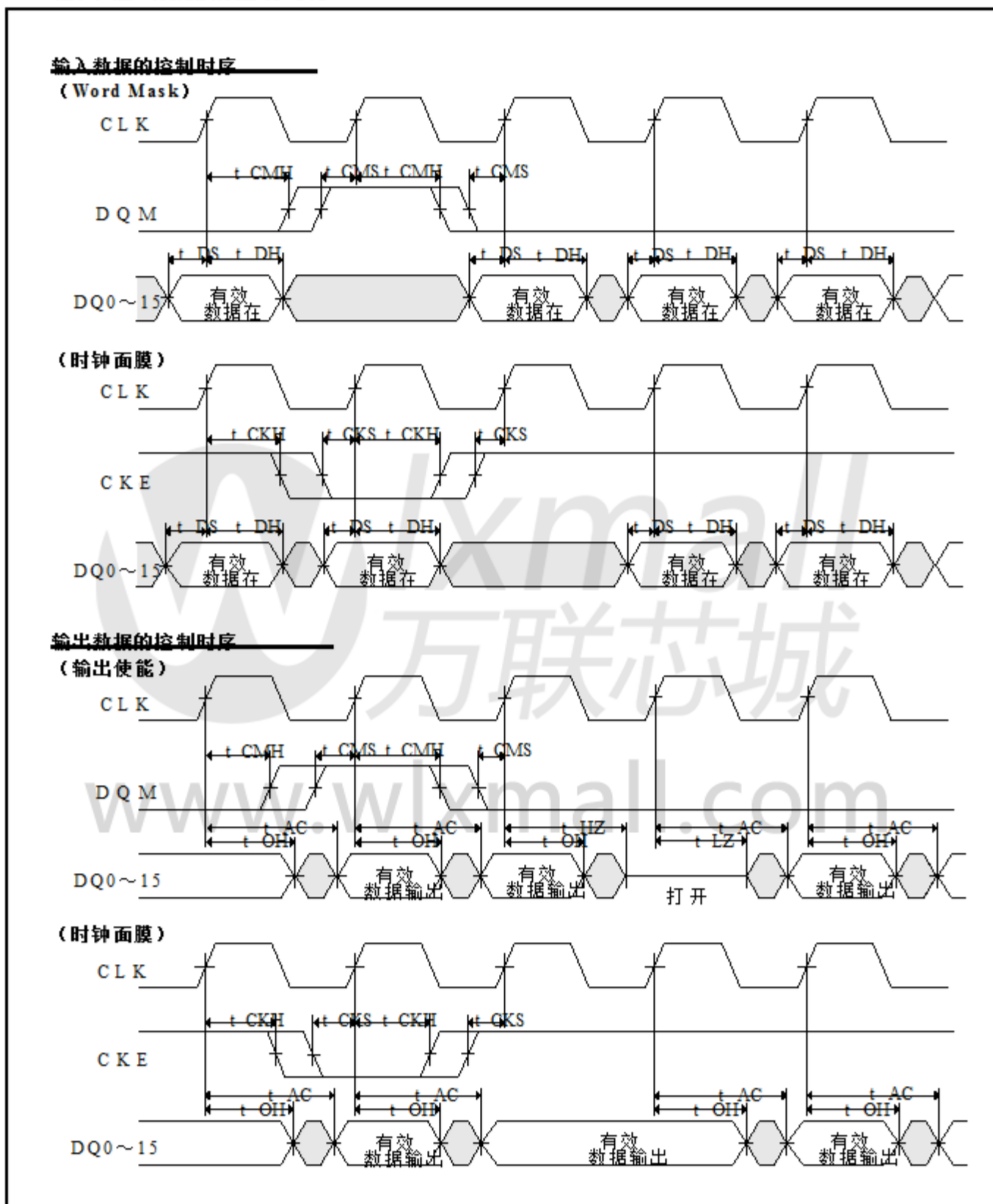


10.2 阅读时间



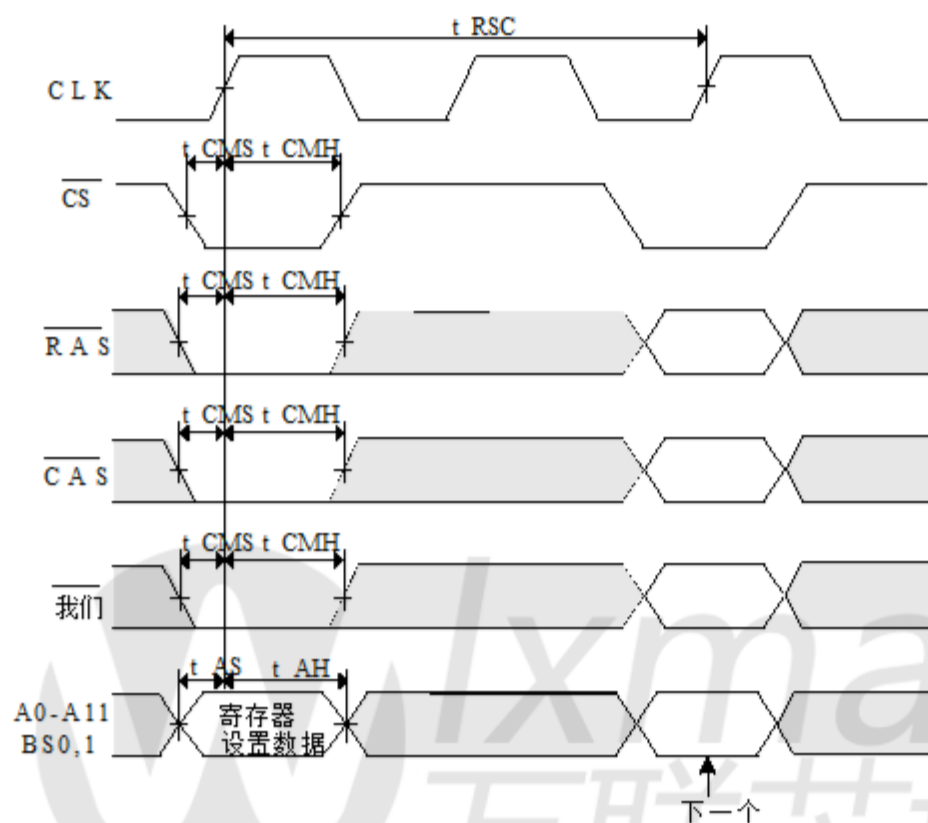


10.3 输入/输出数据的控制时序





10.4 模式寄存器设置周期



A0	突发长度	
A1		
A2		
A3	寻址模式	
A4	CAS延迟	
A5		
A6		
A7	"0"	(测试模式)
A8	"0"	保留的
A9	写模式	
A10	"0"	保留的
A11	"0"	
BS0	"0"	
BS1	"0"	

命令			突发长度	
A2	A0	A0	顺序	交错
0	0	0	1	1
0	0	1	2	2
0	0	0	4	4
0	0	1	8	8
1	0	0	保留的	保留的
1	0	1		
1	0	0		
1	0	1	全页	

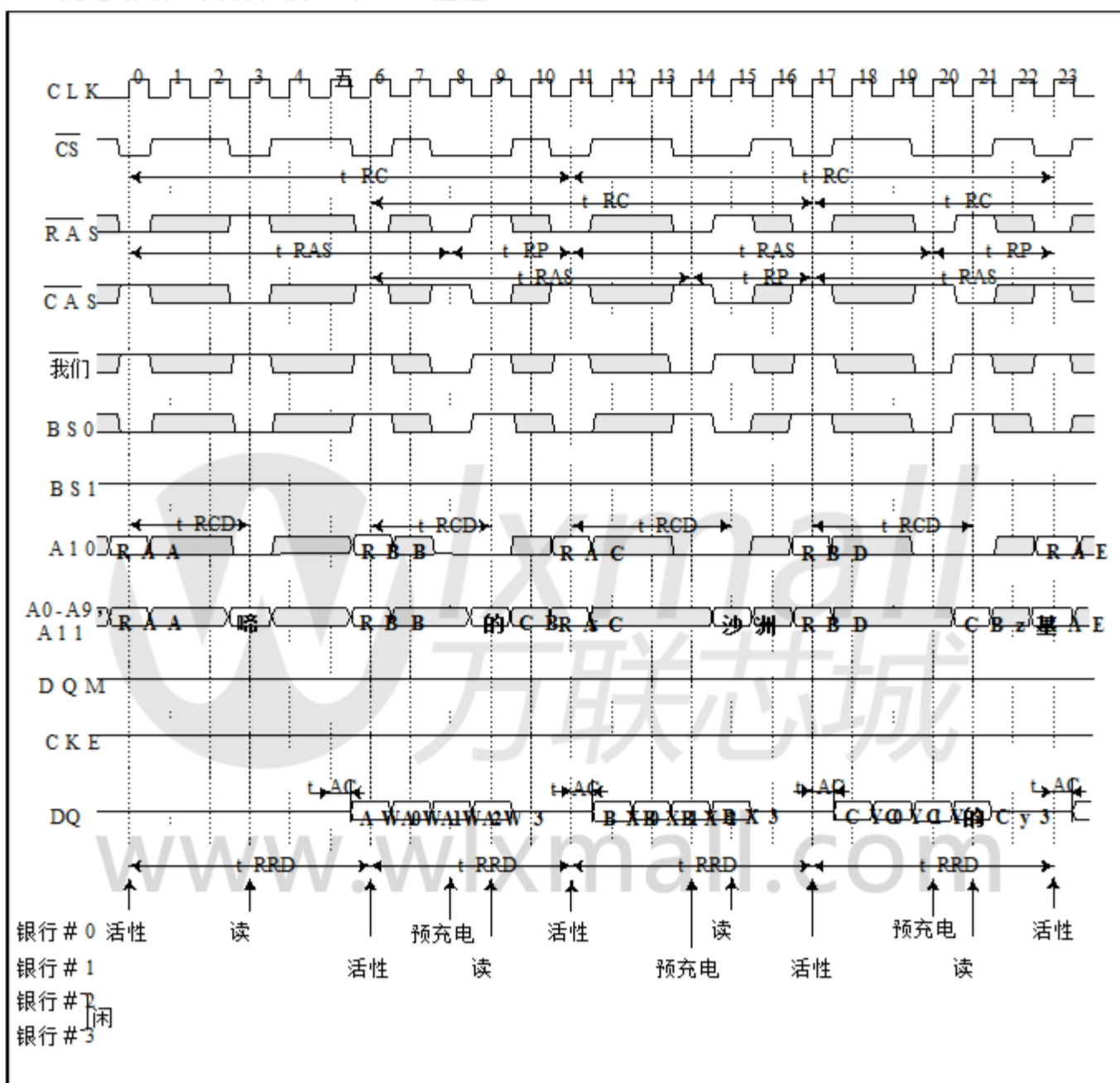
A8			寻址模式	
0			顺序	
1			交错	

A6 A5 A4			CAS延迟	
0	0	0	保留的	
0	0	1	保留的	
0	0	0	2	
0	0	1	3	
1	0	0	保留的	

A9			单写模式	
0			突发读和突发写	
1			突发读和单写	

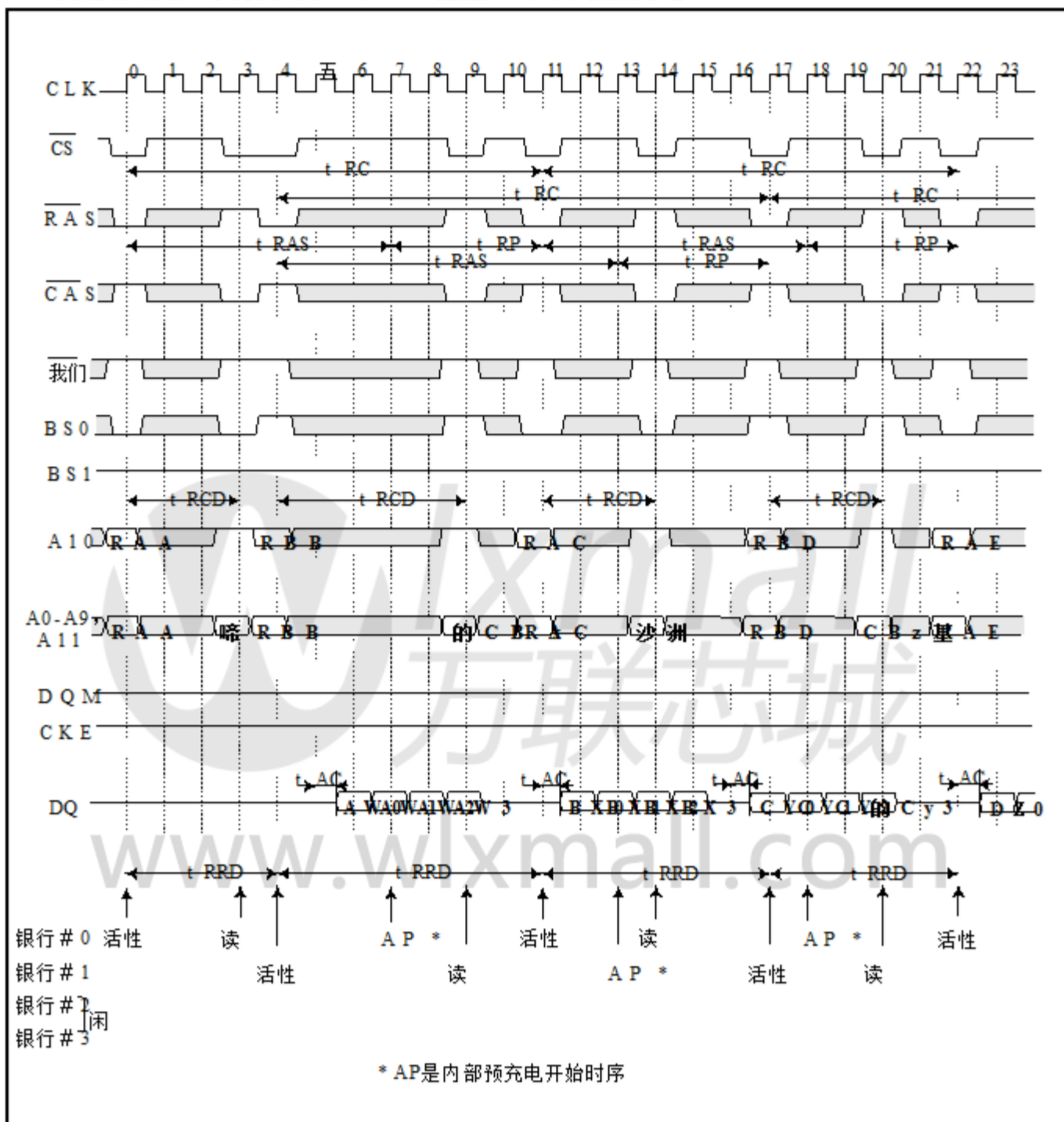
*“保留”在MRS循环期间应保持“0”。

11.1 交错读取（突发长度=4，CAS延迟=3）



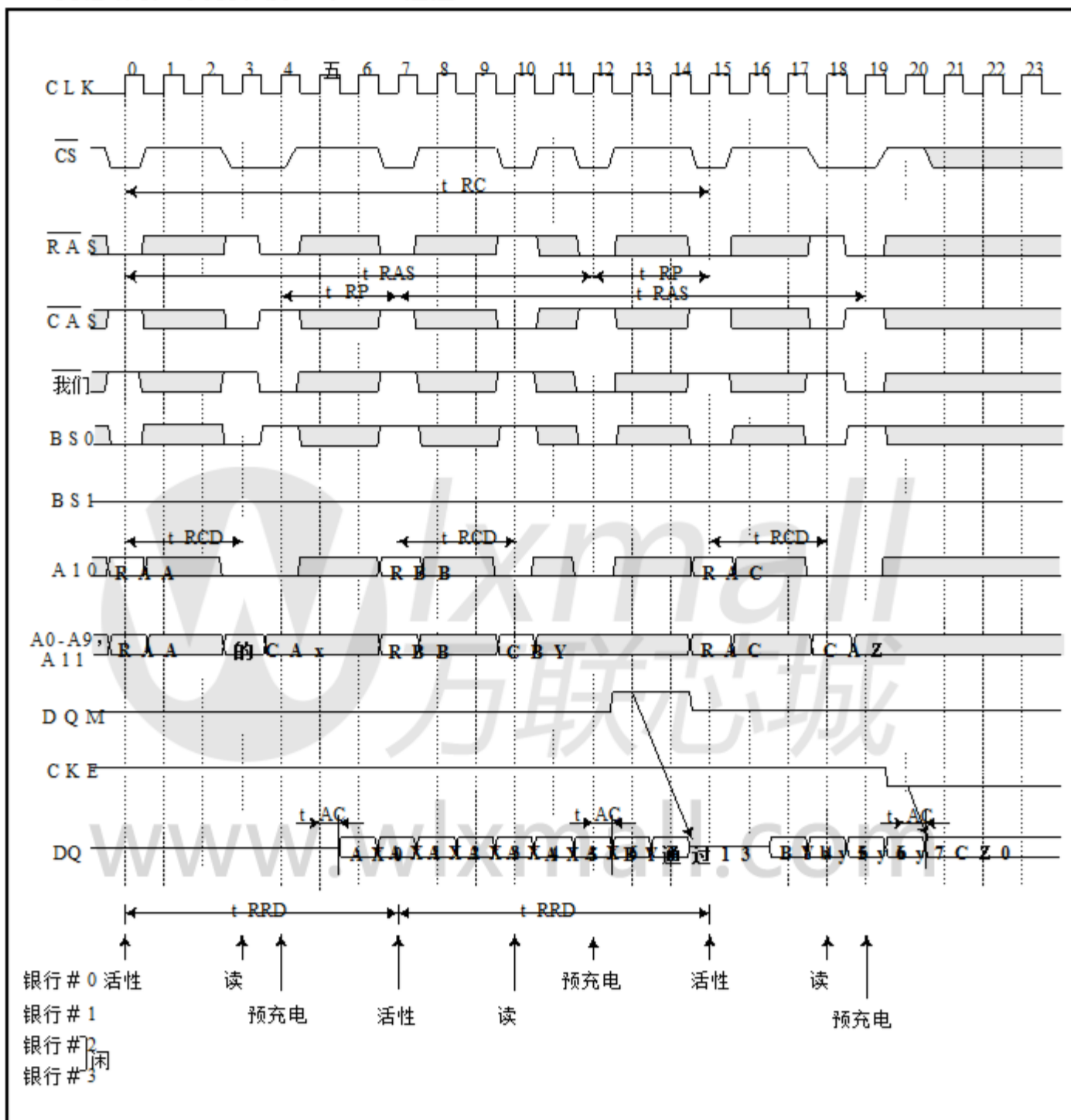


11.2 交错行读取（突发长度=4，CAS延迟=3，自动预充电）



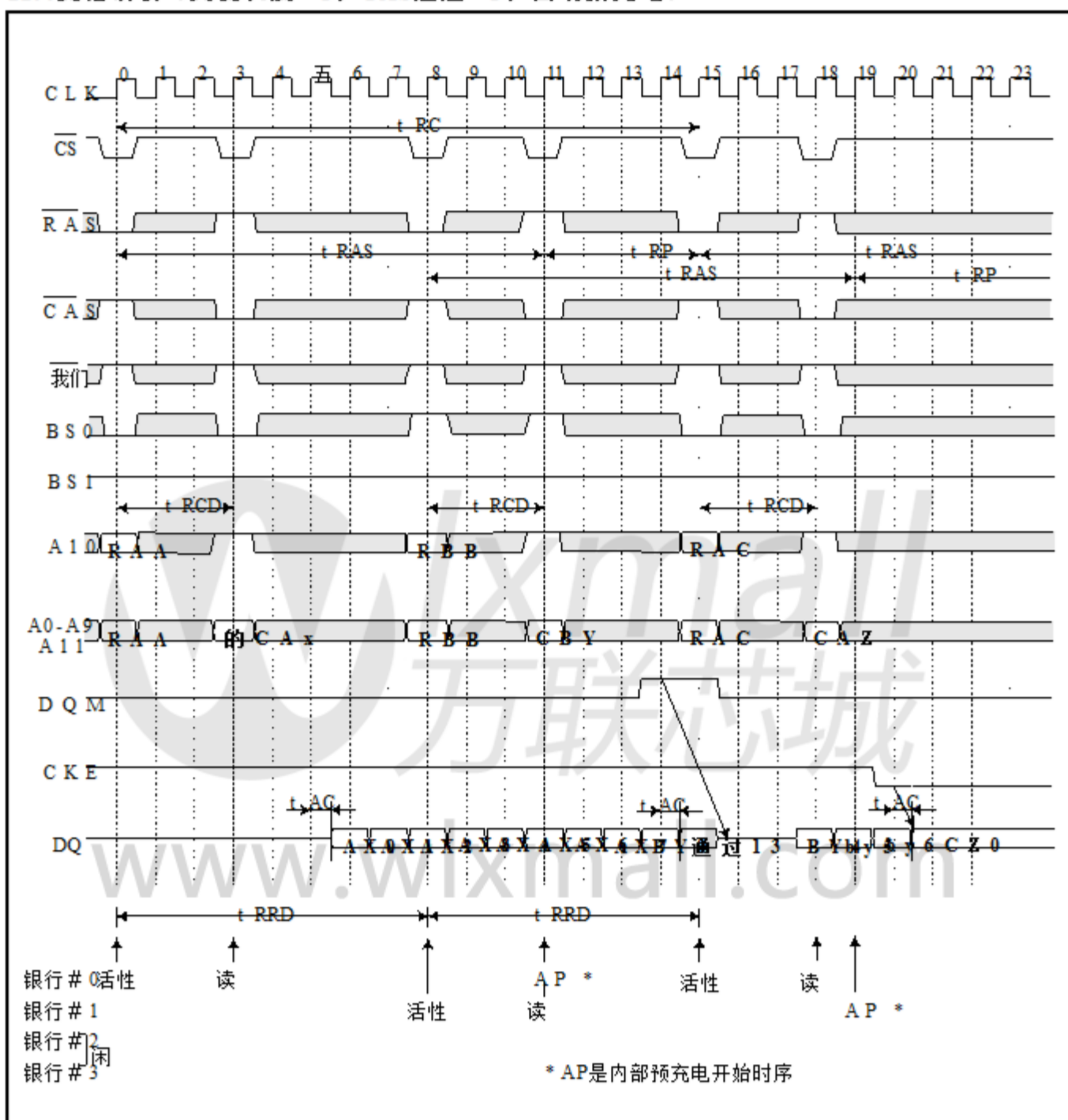


11.3 交错读取（突发长度= 8，CAS延迟= 3）



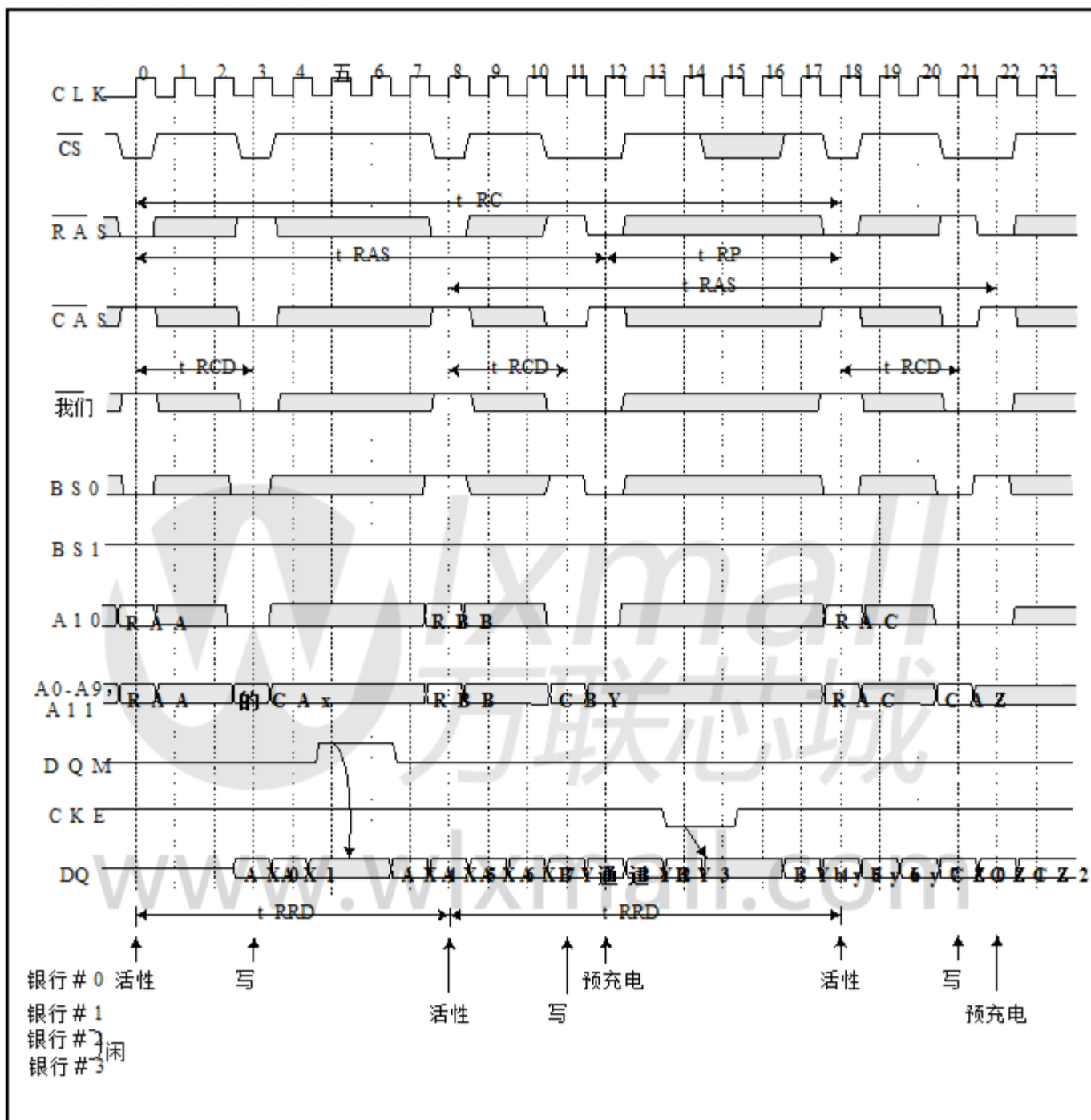


11.4 交错读取（突发长度= 8，CAS延迟= 3，自动预充电）



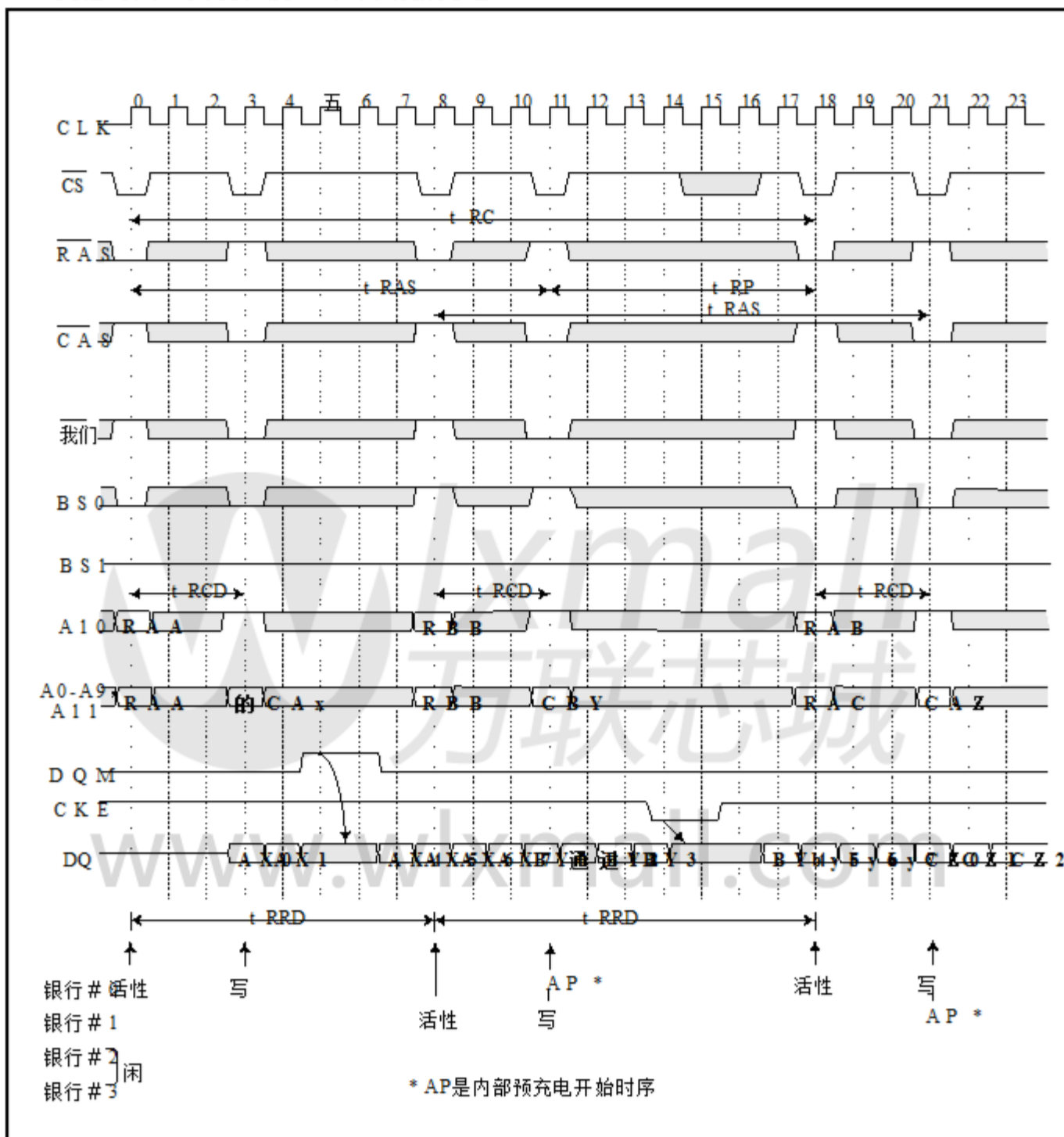


11.5 交错式写入 (突发长度=8)



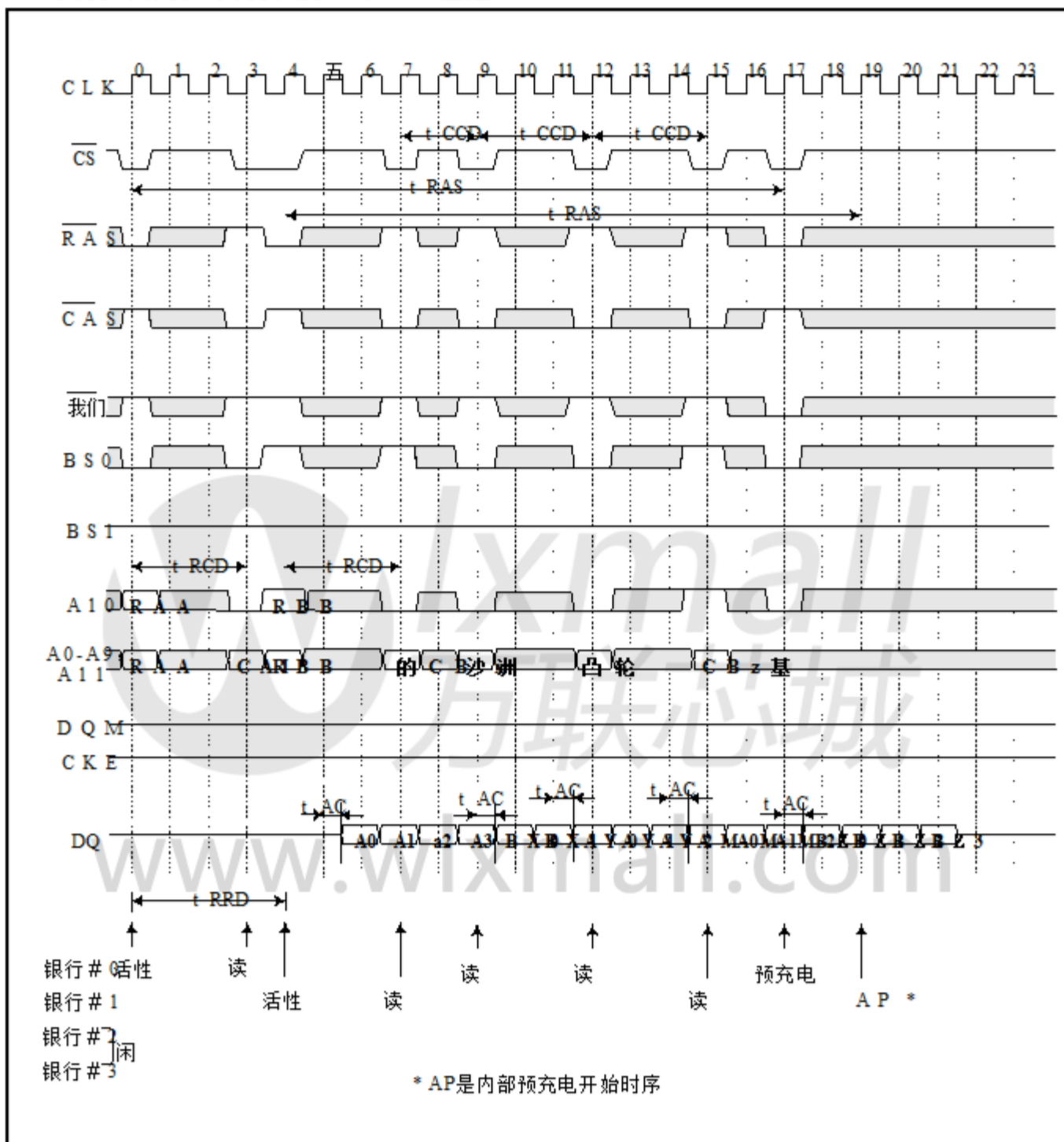


11.6 交错写入（突发长度= 8，自动预充电）



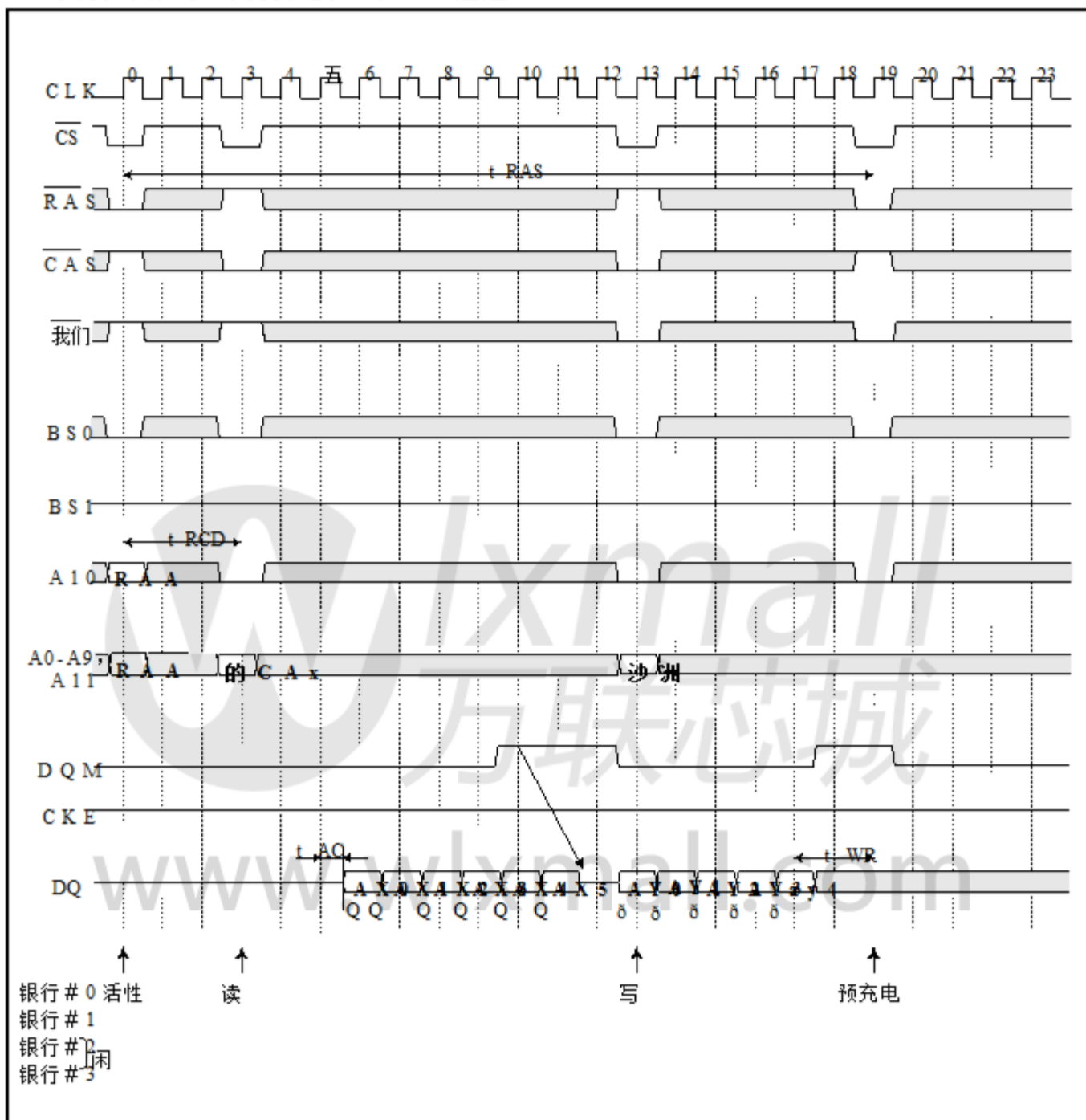


11.7 页模式读取（突发长度=4，CAS延迟=3）



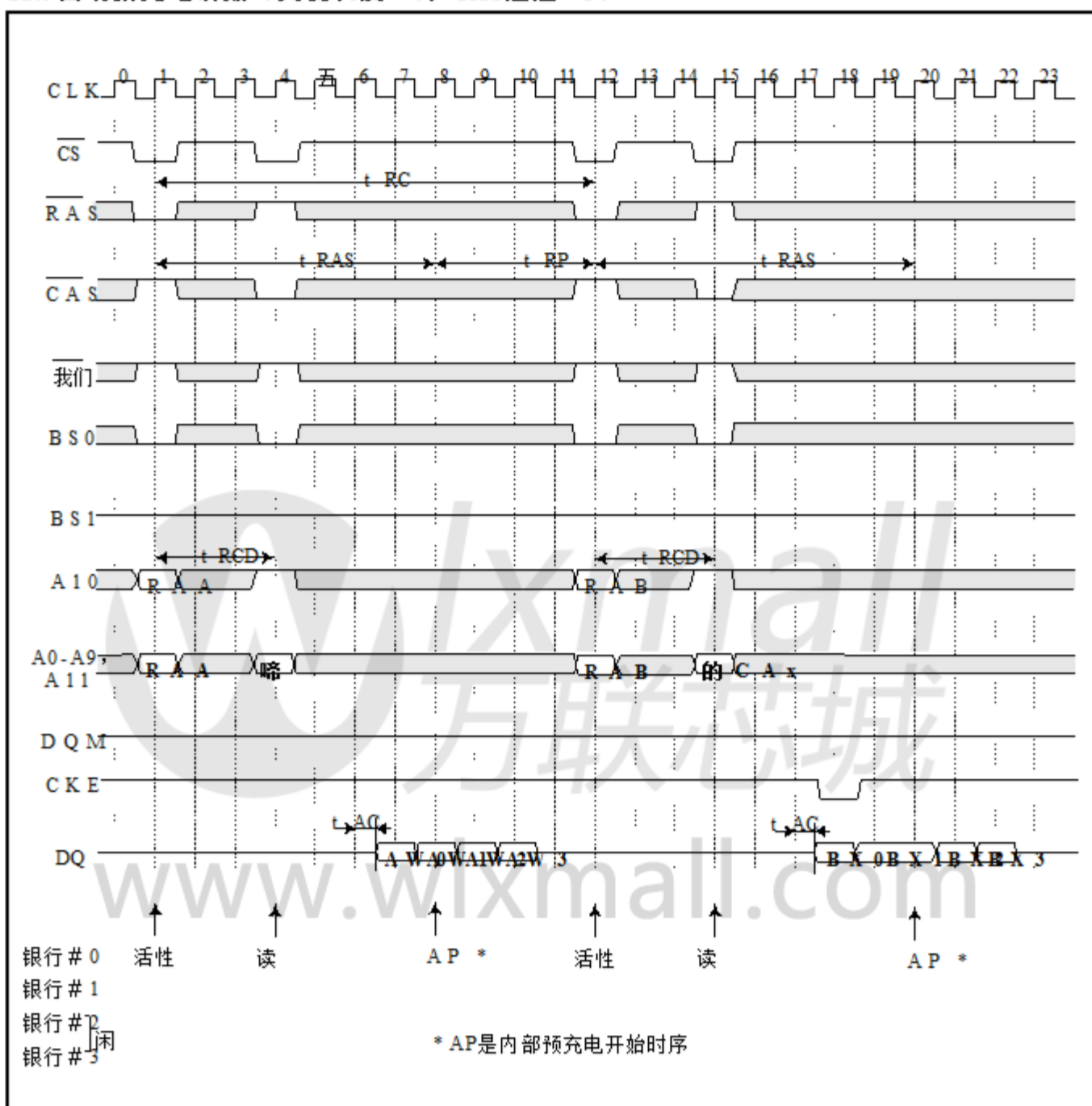


11.8 页模式读/写 (突发长度=8, CAS延迟=3)



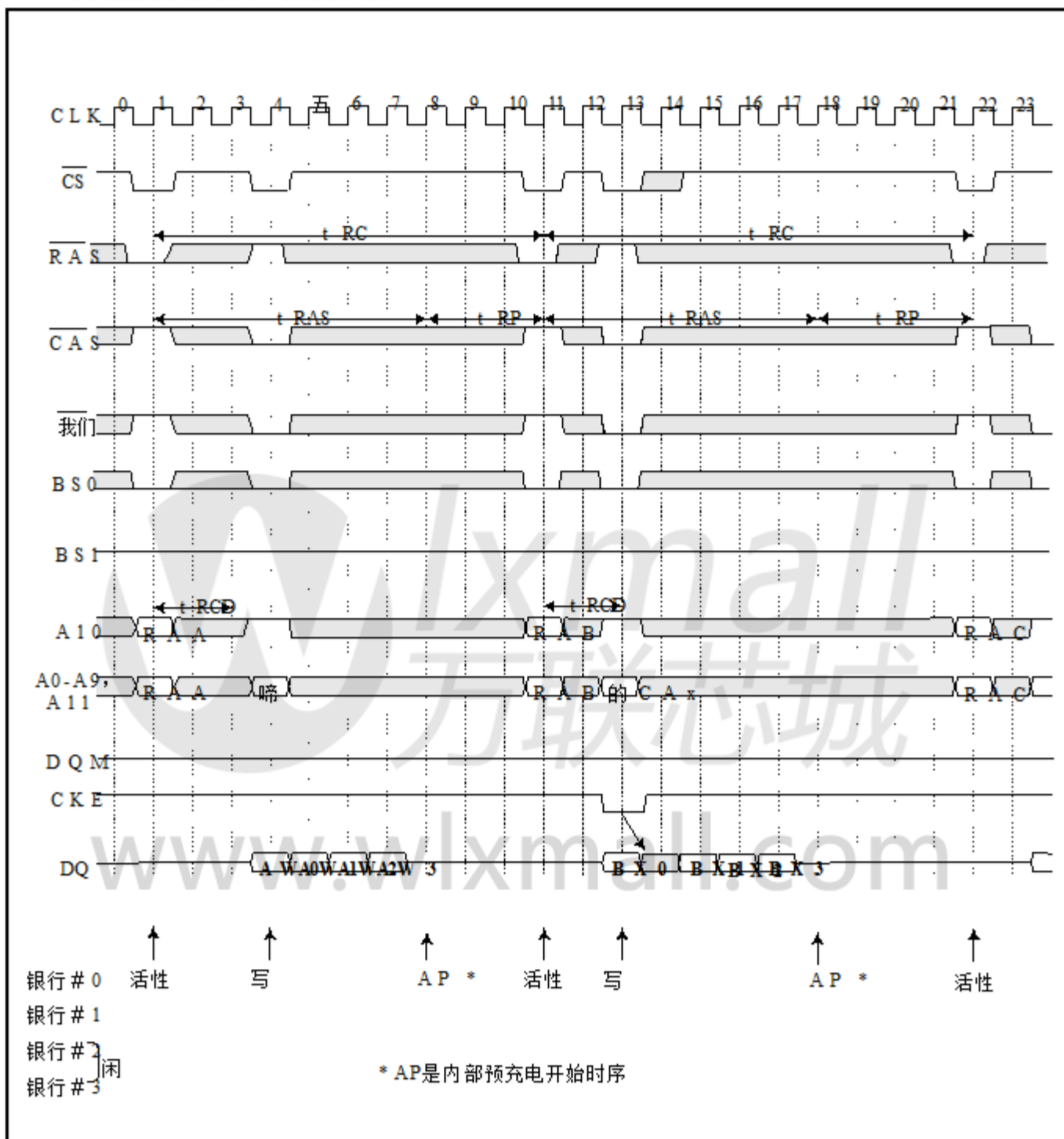


11.9 自动预充电读数 (突发长度=4, CAS延迟=3)



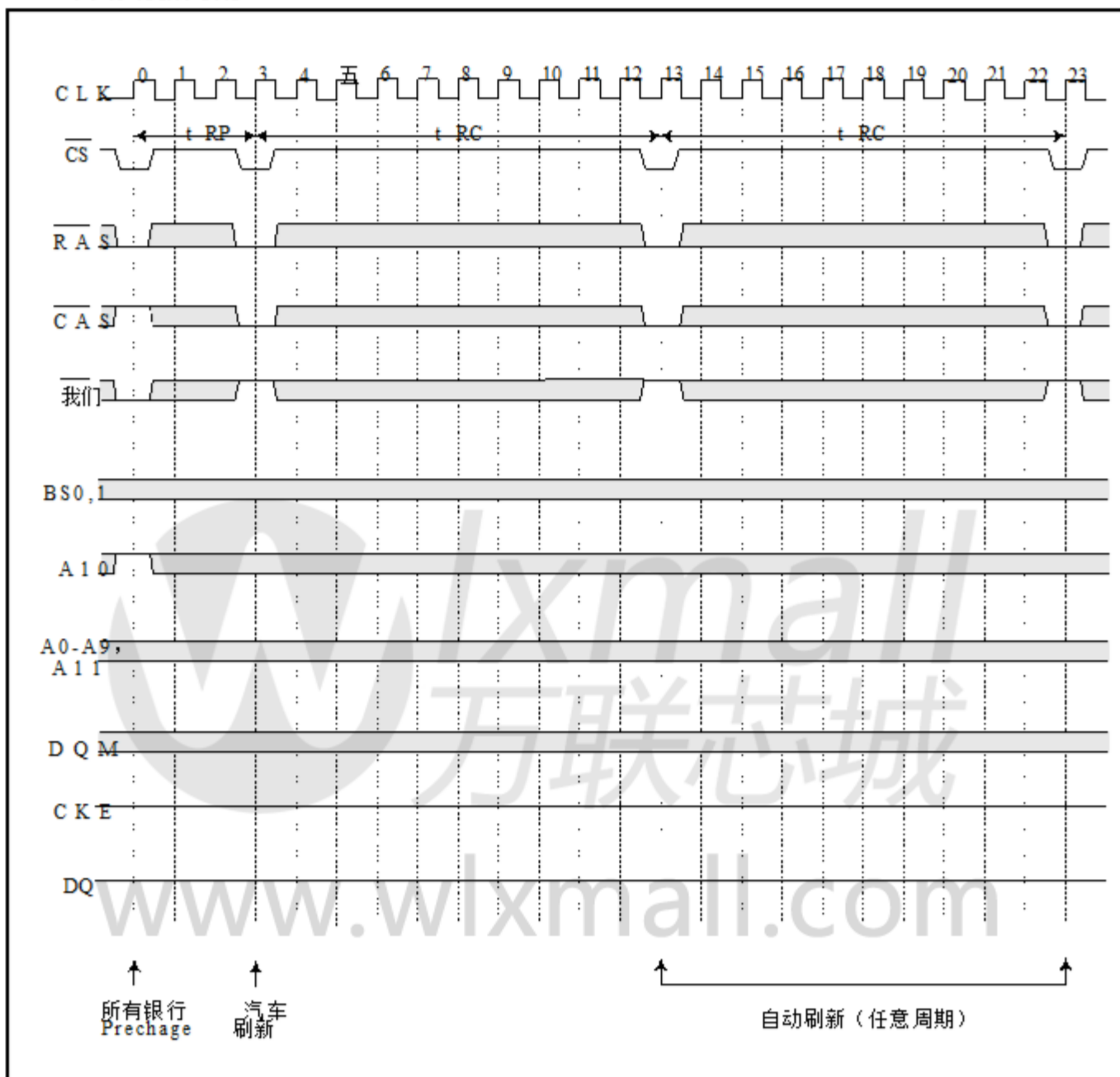


11.10 自动预充电写入（突发长度=4）



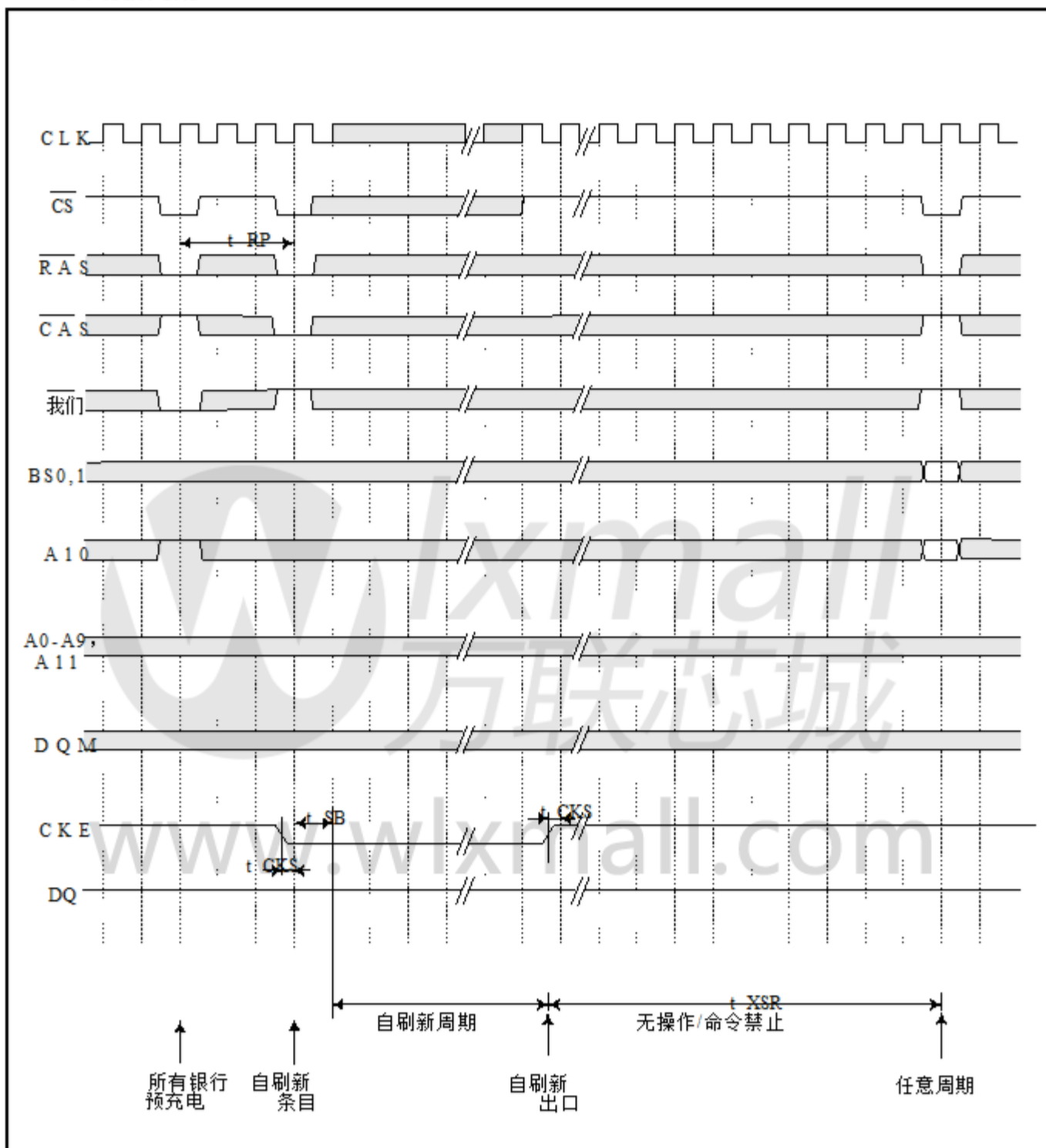


11.11 自动刷新周期



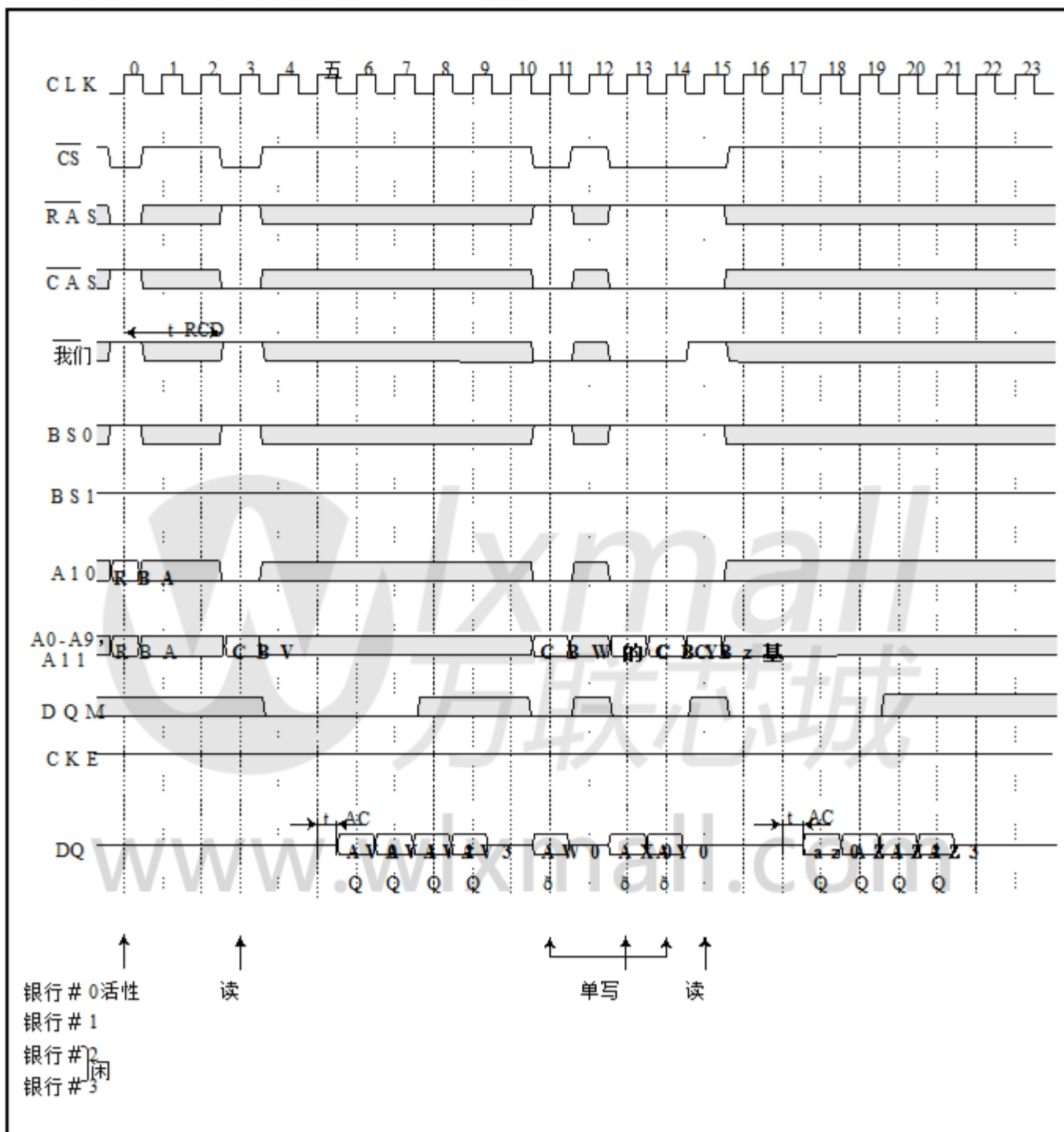


11.12 自刷新周期



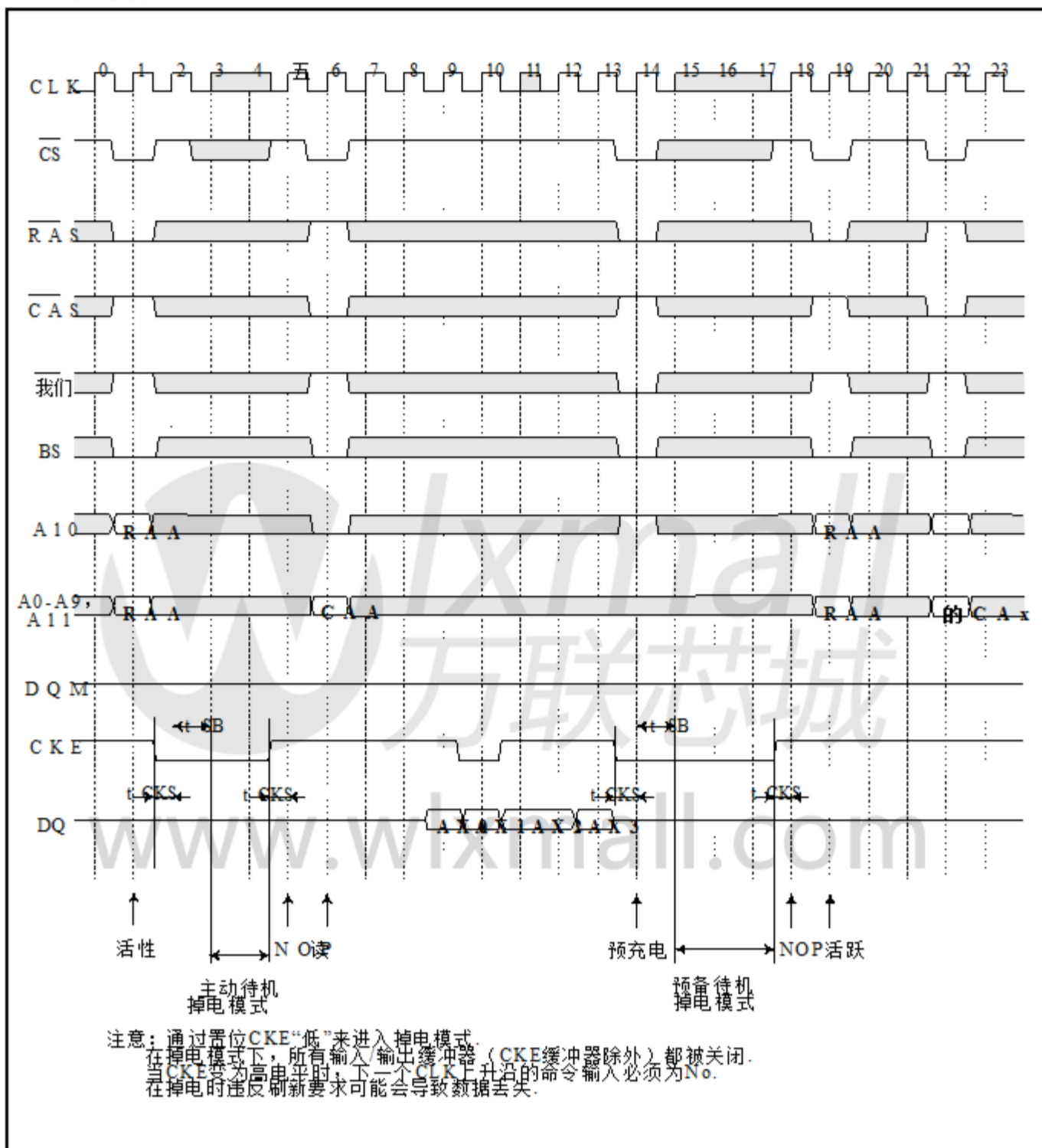


11.13 突发读和单写 (突发长度=4, CAS延迟=3)



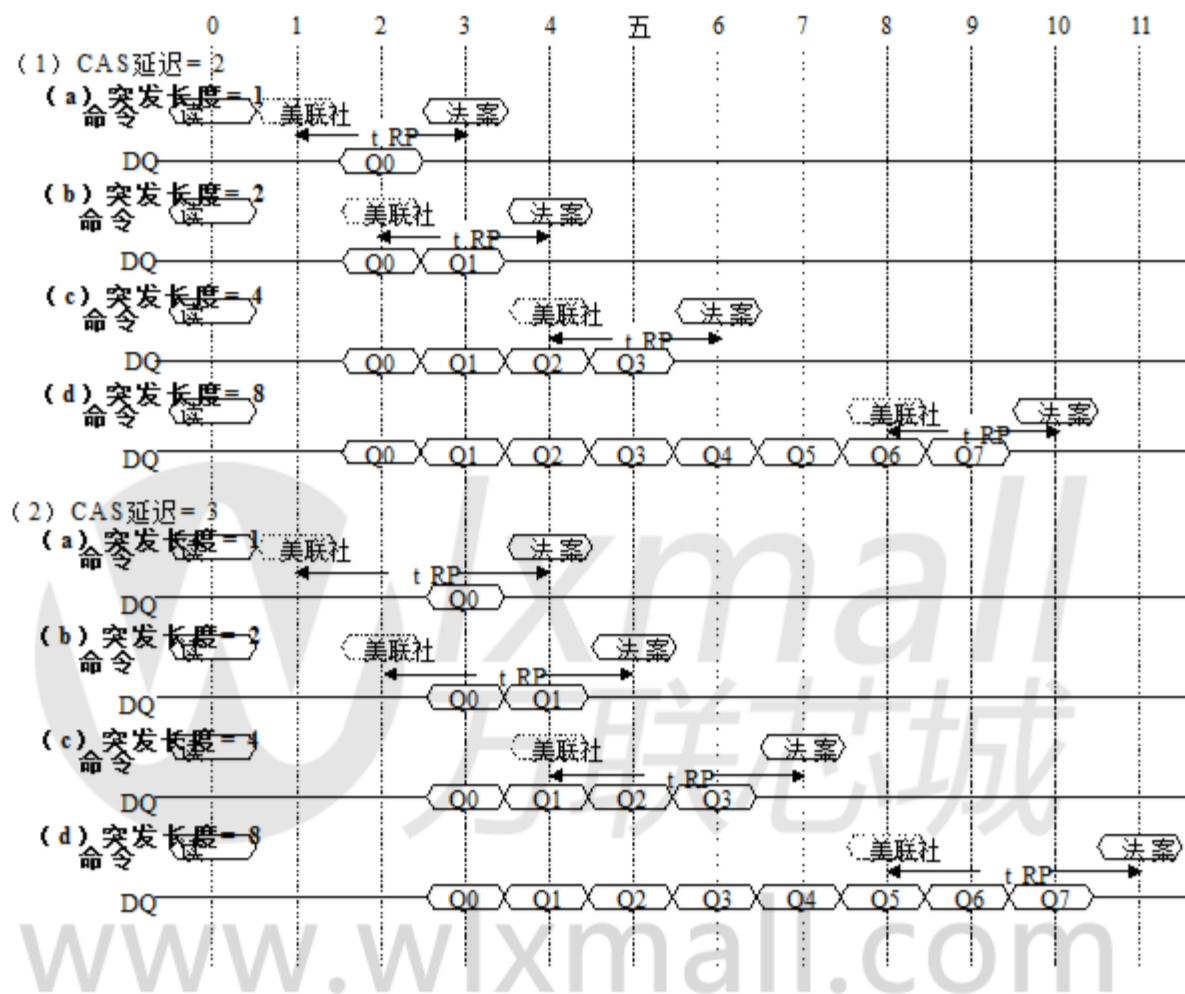


11.14 掉电模式

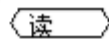




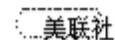
11.15 自动预充电时序（读周期）



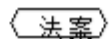
注意)



表示Read with Auto precharge命令。



代表内部预充电的开始。

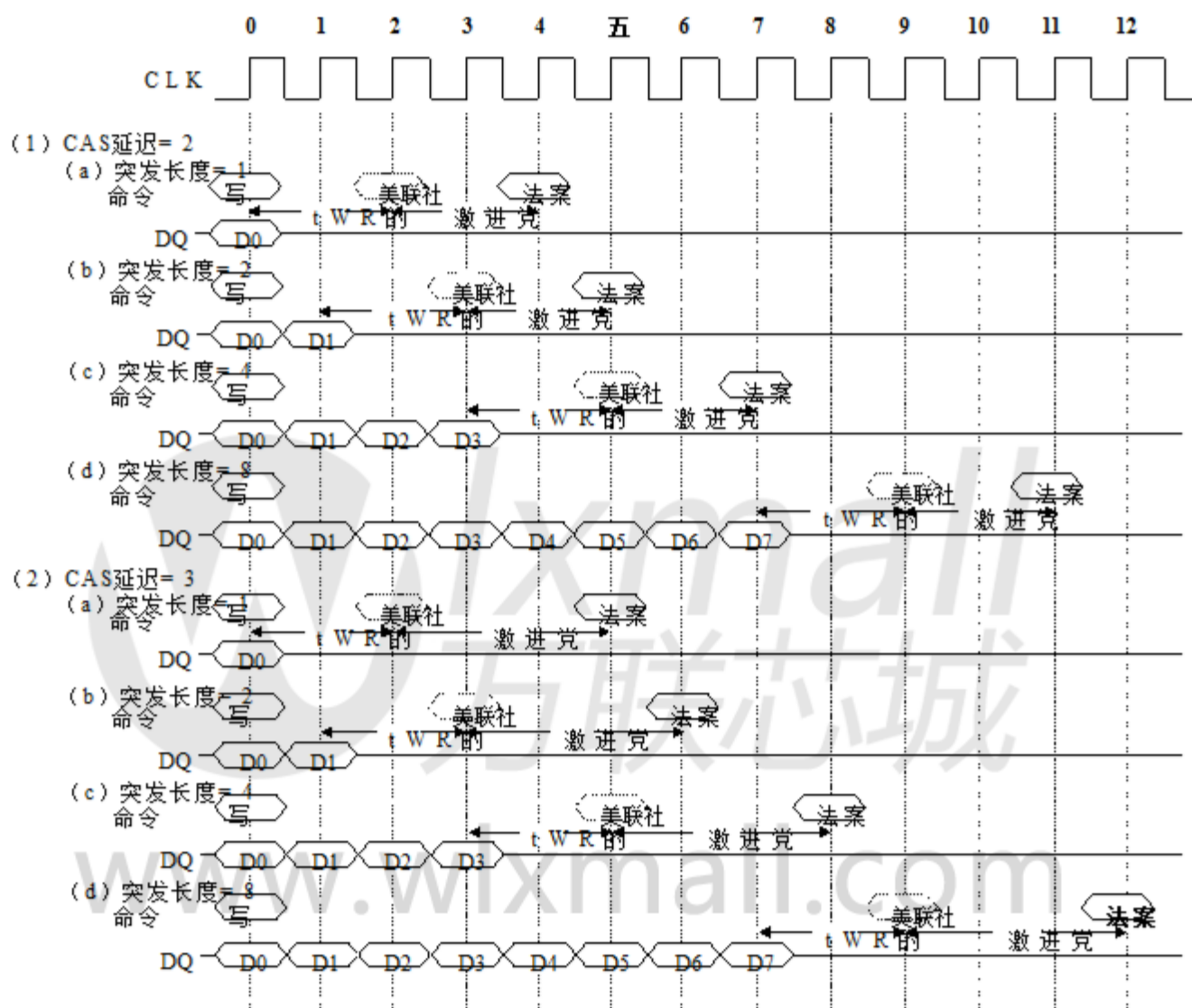


代表Bank Activate命令。

当自动预充电命令被置位时，从Bank Activate命令到的周期
内部预制的开始必须至少为t_{RP}（R A S分钟）。



11.16 自动预充电时序（写周期）



注意)

写 表示使用自动预充电命令。

美联社 代表了内部预分配的开始。

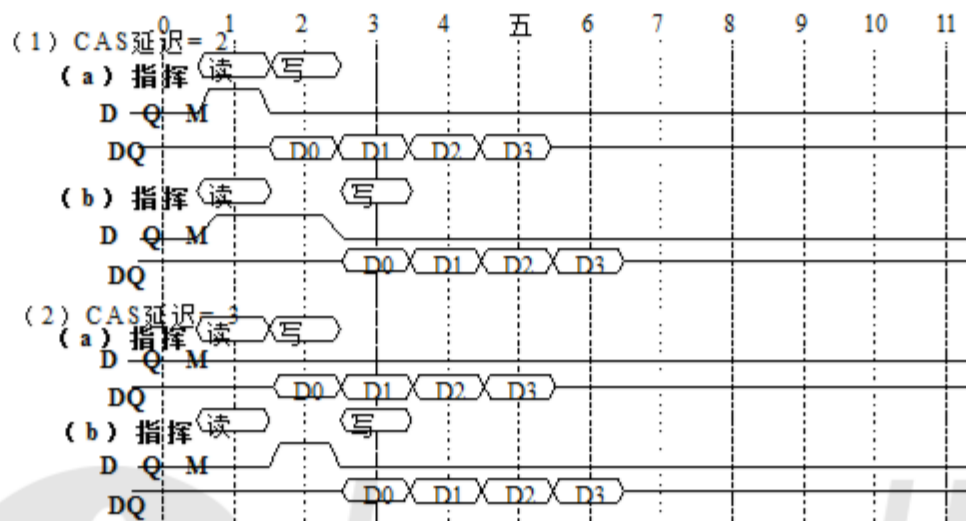
法案 表示Bank Active命令。

当/ auto预充电命令有效时, Bank激活时间
开始间歇式加注的命令必须至少为tRAS (min)。



11.17 读写周期的时序图

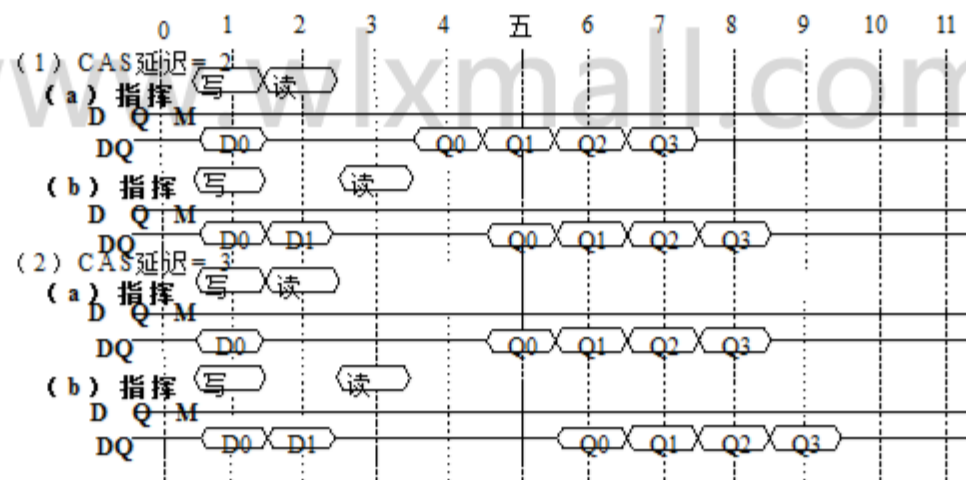
在突发长度 = 4 的情况下



注意：输出数据必须被DQM屏蔽以避免I/O冲突

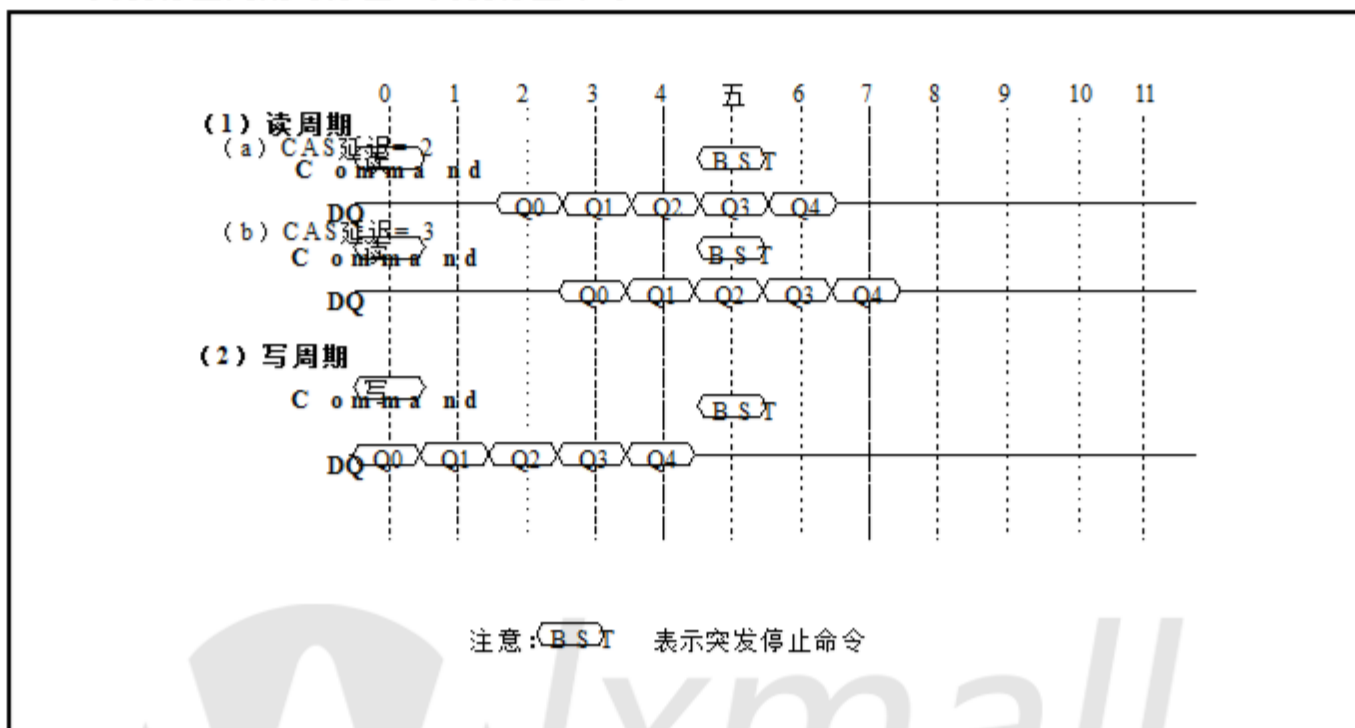
11.18 写入读周期的时序图

在c中，c的长度= 4

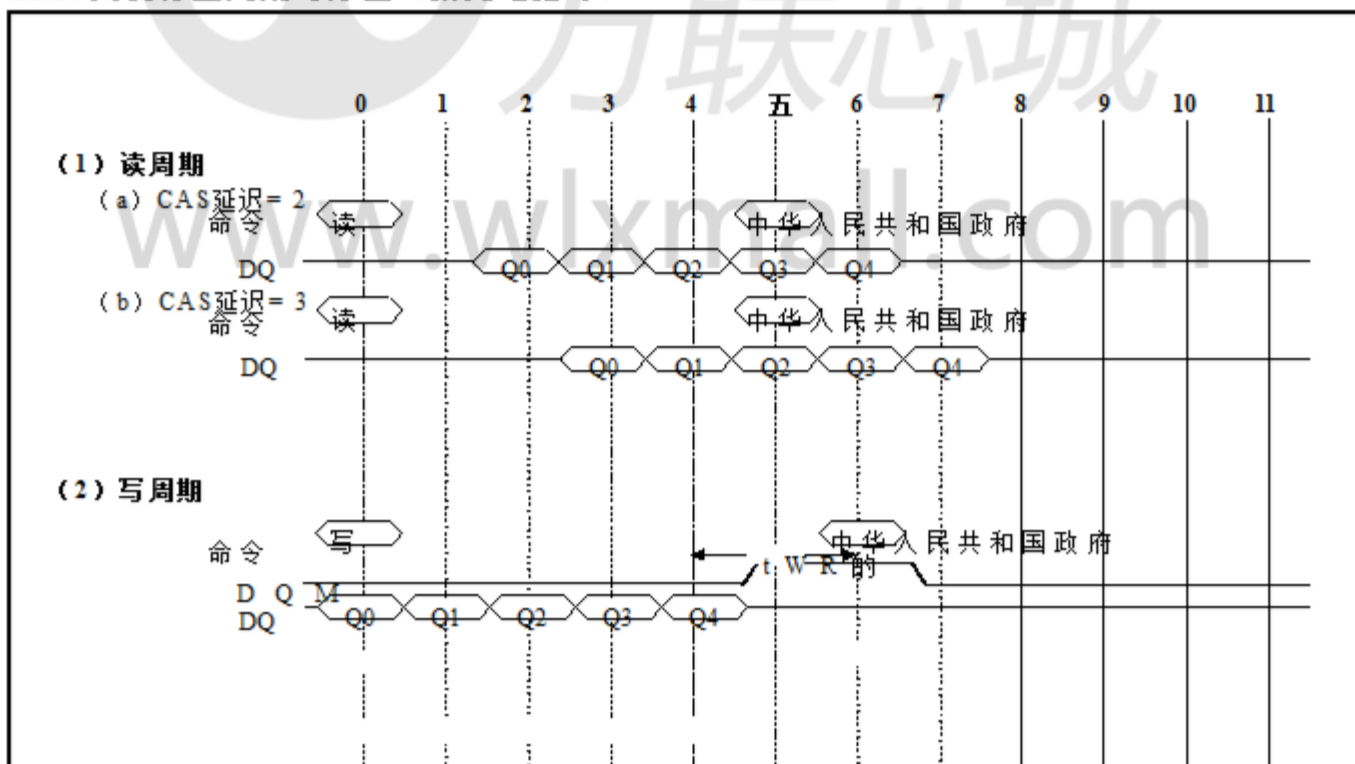




11.19 突发停止周期时序图（突发停止命令）

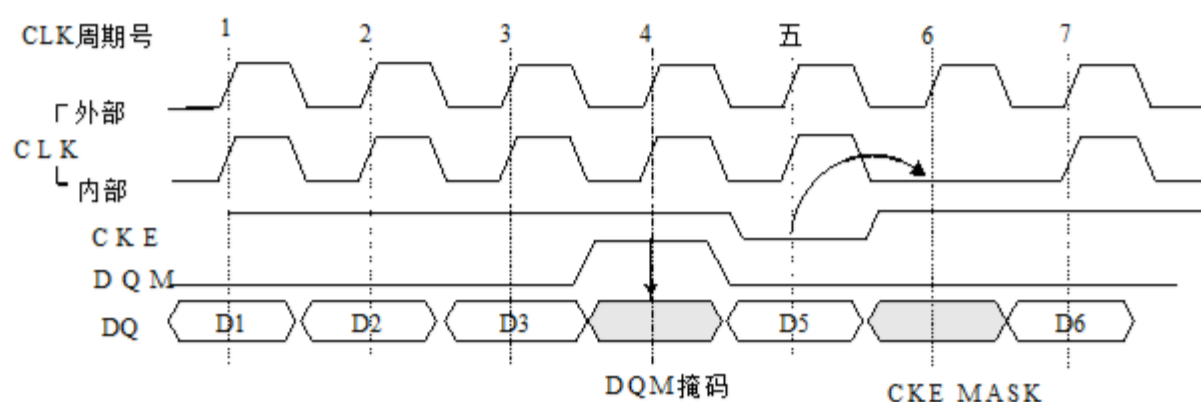


11.20 突发停止周期时序图（预充电指令）

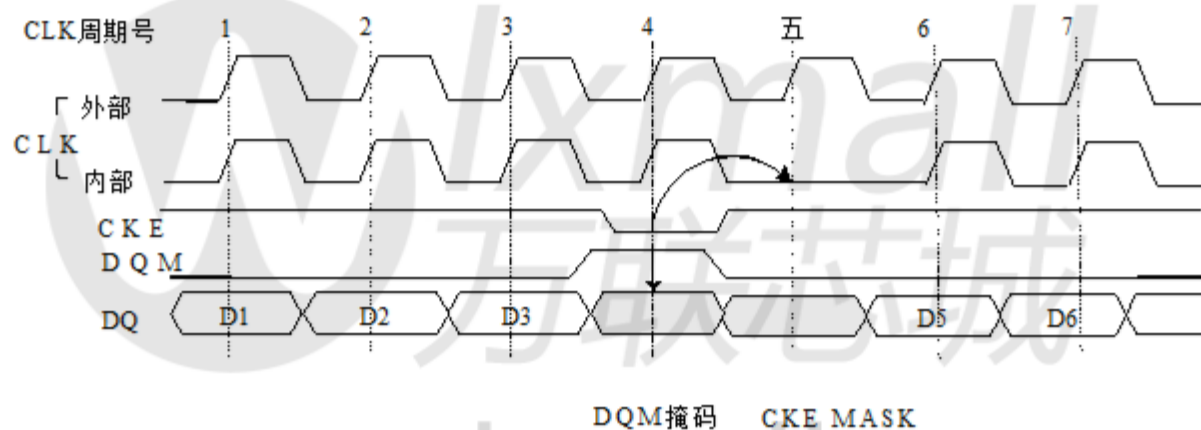




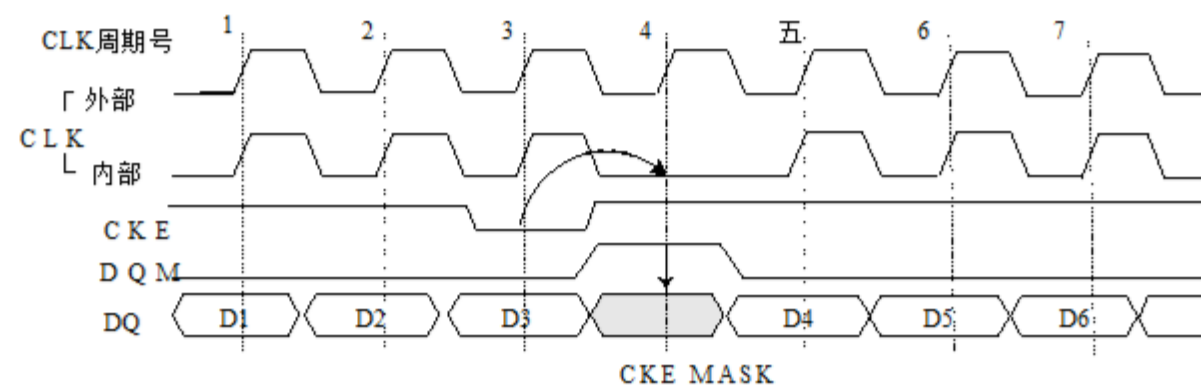
11.21 CKE / DQM输入时序（写周期）



(1)



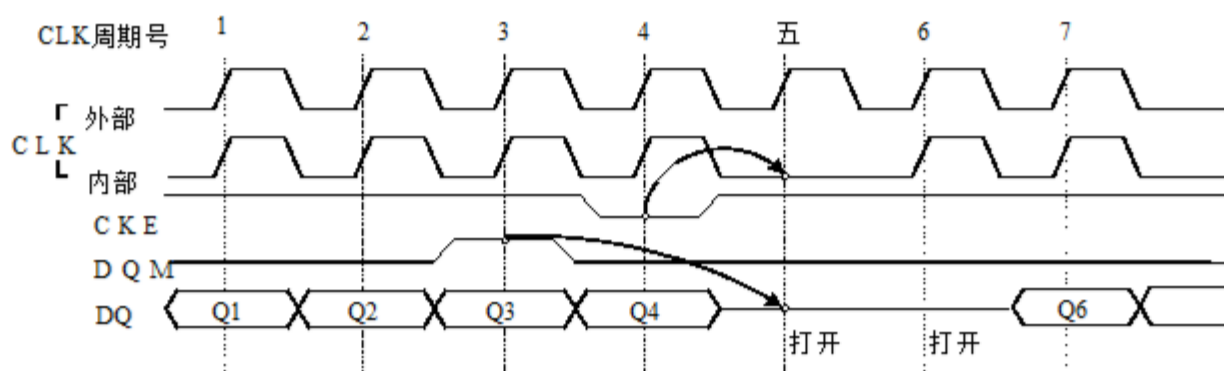
(2)



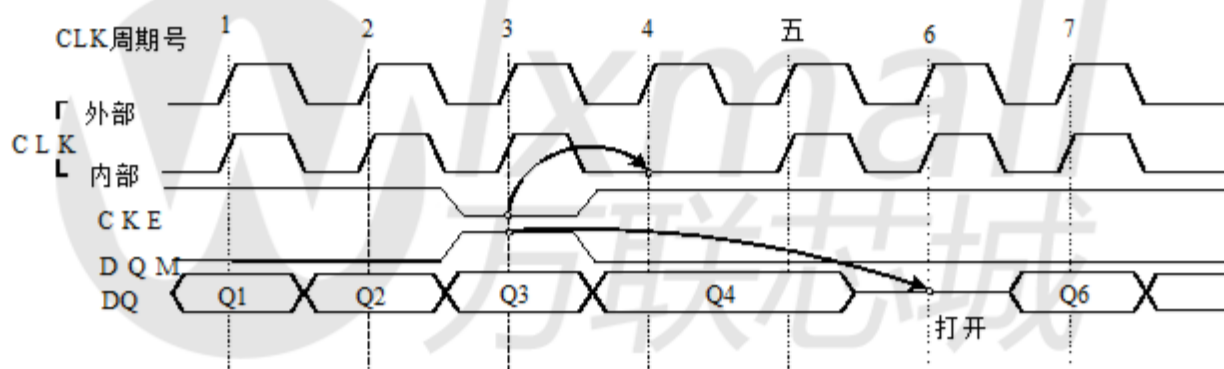
(3)



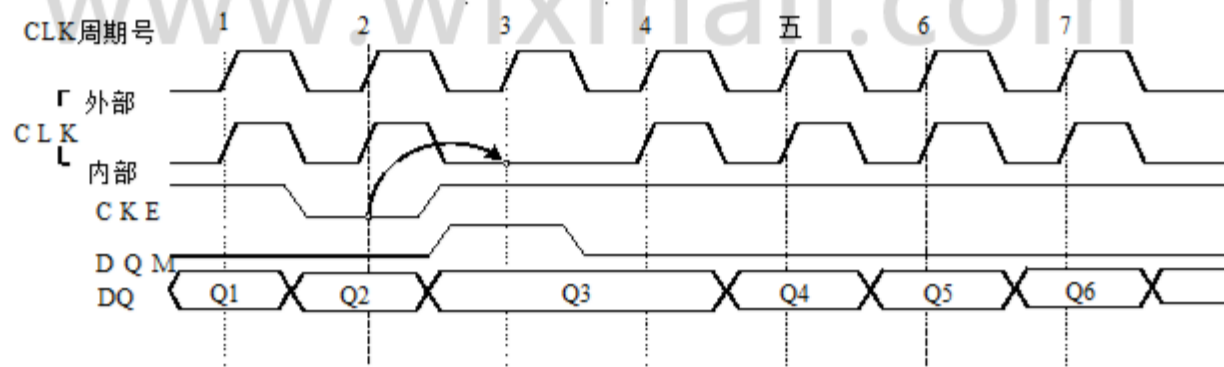
11.22 CKE / DQM输入时序（读周期）



(1)



(2)



(3)



13. 修订历史

版	日期	页	描述
A01	2014年2月7日	所有	初步正式数据表
A02	2014年4月18日	3, 4, 13~15	去除了-6A和-6K汽车级

重要的提醒

华邦产品不是设计，预定，授权或保证用作组件
用于手术植入的系统或设备，原子能控制
仪表，飞机或宇宙飞船仪表，运输工具，交通信号灯
仪器，燃烧控制仪器或其他旨在支持或应用的应用程序
维持生命.此外，华邦产品不适用于出现故障的应用
华邦产品可能导致或导致人身伤害，死亡或
可能会发生严重财产或环境损害.

使用或销售这些产品的华邦客户在这些应用程序中使用
自己承担风险，并同意对由此造成的任何损害赔偿完全赔偿华邦
使用或销售.

*Please note that all data and specifications are subject to change without notice.
All the trademarks of products and companies mentioned in this datasheet belong to their respective owners.*

出版发行日期: 2014年4月18日

修订: A02