

LAN8720A / LAN8720Ai

小尺寸RMII 10/100以太网 具有HP Auto-MDIX支持的收发器



产品特点

数据表

强调

- 单芯片以太网物理层收发器 (PHY)
- 全面的flexPWR[®] 技术
 - 灵活的电源管理架构
 - LVC MOS可变I/O电压范围: + 1.6V至+ 3.6V
 - 集成1.2V稳压器
- HP Auto-MDIX支持
- 微型24引脚QFN无铅RoHS兼容包装 (4 x 4 x 0.85mm高度)

目标应用

- 机顶盒
- 网络打印机和服务器
- 测试仪器
- 局域网在主板上
- 嵌入式电信应用
- 视频录制/播放系统
- 电缆调制解调器/路由器
- DSL调制解调器/路由器
- 数字录像机
- IP和视频电话
- 无线接入点
- 数字电视
- 数字媒体适配器/服务器
- 游戏控制台
- POE应用 (参考SMSC应用笔记17.18)

主要优点

- 高性能10/100以太网收发器
 - 符合IEEE 802.3 / 802.3u (快速以太网)
 - 符合ISO 802-3 / IEEE 802.3 (10BASE-T)
 - 环回模式
 - 自动协商
 - 自动极性检测和校正
 - 链路状态改变唤醒检测
 - 供应商特定的注册功能
 - 支持减少引脚数RMII接口
- 电源和I/O
 - 各种低功耗模式
 - 集成加电复位电路
 - 两个状态LED输出
 - 每个EIA / JESD的闭锁性能超过150mA 78, 二级
 - 可以与单个3.3V电源一起使用
- 附加功能
 - 能够使用低成本25Mhz晶体来减少BOM
- 打包
 - 24引脚QFN (4x4 mm) 无铅符合RoHS标准与RMII包
- 环境的
 - 扩展的商业温度范围 (0°C至+ 85°C)
 - 工业温度范围版本可用 (-40°C至+ 85°C)

具有HP Auto-MDIX支持的小尺寸RMII 10/100以太网收发器

数据表

订单号码:

LAN8720A-CP-TR, 用于24引脚QFN无铅RoHS兼容封装 (0至+ 85°C温度)

LAN8720Ai-CP-TR用于24引脚QFN无铅RoHS兼容封装 (-40至+ 85°C温度)

卷尺寸为4,000.

本产品符合IEC61249-2-21的卤素最大浓度值

有关RoHS合规性和环境信息, 请访问www.smcs.com/rohs

请联系您的SMSC销售代表以获取与此产品相关的其他文档
如应用笔记, 异常表和设计指南.



版权所有©2012 SMSC或其子公司. 版权所有.

包含与SMSC产品有关的电路图和其他信息作为说明典型应用的手段. 因此, 完整的信息足以
施工目的不一定输出. 虽然信息已经过检查并被认为是准确的, 但对于不准确的信息不承担任何责任. SMSC
保留随时更改规格和产品说明的权利, 恕不另行通知. 请联系您当地的SMSC销售办事处以获取最新规格
放置您的产品订单之前, 提供这些信息并未向所述半导体设备的购买者传达任何专利下的任何许可证
SMSC或其他人的权利或其他知识产权. 所有销售都明确以您最近同意的条款和条件为条件.
版本的SMSC标准销售条款日期在您的订单日期之前 (“销售条款协议”). 该产品可能包含设计缺陷或错误
称为异常, 可能导致产品功能偏离公布的规格. 异常表可根据要求提供. SMSC产品不是
设计, 预期, 授权或保证用于任何生命支持或其他应用中. 产品故障可能导致或导致人身伤害或严重财产
损坏. 未经SMSC的官员事先书面批准以及进一步的测试和/或修改, 任何和所有此类用途将完全面临客户的风险. 副本
本文件或其他SMSC文献以及销售条款协议可通过访问SMSC网站<http://www.smcs.com>获取. SMSC是已注册的
Standard Microsystems Corporation (“SMSC”) 的商标. 产品名称和公司名称是其各自所有者的商标.
Microchip的名称和徽标以及Microchip徽标是Microchip Technology Incorporated在美国和其他国家或地区的注册商标.
SMSC放弃并排除任何和所有的保证, 包括但不限于任何和所有默示的适销性保证,
特定用途的适用性, 所有权以及不侵权等. 行为以及由任何课程引起的任何和所有担保
外理或使用贸易. 在任何情况下, SMSC不对任何直接的, 间接的, 特殊的, 惩罚性的或后果性的
损害; 或者数据丢失, 利润, 赔偿或收入减少; 无论是基于合同的行动方式;
侵权; SMSC或其他人的疏忽; 严格的责任; 违反保证; 或其他; 不管购买者是否得到任何补救措施
无法达到其基本目的, 无论SMSC是否被告知此类损害的可能性.

目录

第1章	介绍	7
1.1	一般条款和约定.....	7
1.2	一般描述.....	7
第2章	引脚说明和配置	9
2.1	Pin分配.....	15
2.2	缓冲区类型.....	16
第3章	功能说明	17
3.1	收发器.....	17
3.1.1	100BASE-TX发送.....	17
3.1.2	100BASE-TX接收.....	20
3.1.3	10BASE-T发送.....	22
3.1.4	10BASE-T接收.....	23
3.2	自动协商.....	23
3.2.1	并行检测.....	25
3.2.2	重新启动自动协商.....	25
3.2.3	禁用自动协商.....	25
3.2.4	一半与全双工.....	25
3.3	HP Auto-MDIX支持.....	26
3.4	MAC接口.....	27
3.4.1	RMII.....	27
3.5	串行管理接口 (SMI).....	28
3.6	中断管理.....	29
3.6.1	初级中断系统.....	29
3.6.2	备用中断系统.....	三十
3.7	配置肩带.....	31
3.7.1	PHYAD [0]: PHY地址配置.....	31
3.7.2	MODE [2: 0]: 模式配置.....	31
3.7.3	REGOFF: 内部+1.2V稳压器配置.....	32
3.7.4	nINTSEL: nINT / REFCLKO配置.....	33
3.8	杂项功能.....	37
3.8.1	LED.....	37
3.8.2	可变电电压I / O.....	38
3.8.3	掉电模式.....	38
3.8.4	隔离模式.....	39
3.8.5	重置.....	39
3.8.6	载体感.....	39
3.8.7	链接完整性测试.....	40
3.8.8	环回操作.....	40
3.9	应用图.....	41
3.9.1	简化的系统级应用程序图.....	42
3.9.2	电源图 (1.2V由内部稳压器提供).....	43
3.9.3	电源图 (1.2V由外部源提供).....	44
3.9.4	双绞线接口图 (单电源).....	45
3.9.5	双绞线接口图 (双电源).....	46
第4章	注册说明	47
4.1	注册命名法.....	47
4.2	控制和状态寄存器.....	48
4.2.1	基本控制寄存器.....	49

数据表

4.2.2	基本状态寄存器	50
4.2.3	PHY标识符1寄存器	51
4.2.4	PHY标识符2寄存器	52
4.2.5	自动谈判广告注册	53
4.2.6	自动协商链接合作伙伴能力注册	54
4.2.7	自动协商扩展寄存器	55
4.2.8	模式控制/状态寄存器	56
4.2.9	特殊模式注册	57
4.2.10	符号错误计数寄存器	58
4.2.11	特殊控制/状态指示寄存器	59
4.2.12	中断源标志寄存器	60
4.2.13	中断屏蔽寄存器	61
4.2.14	PHY特殊控制/状态寄存器	62
<hr/>		
第5章	操作特性	63
5.1	绝对最大额定值*	63
5.2	运行条件**	64
5.3	能量消耗	64
5.3.1	REF_CLK在模式中	64
5.3.2	REF_CLK输出模式	65
5.4	DC规格	66
5.5	交流规格	68
5.5.1	等效测试负载	68
5.5.2	电源时序	69
5.5.3	开机nRST和配置带时序	70
5.5.4	RMII接口时序	71
5.5.5	SMI时间	73
5.6	时钟电路	74
<hr/>		
第6章	包装大纲	75
<hr/>		
第7章	数据表修订历史	78

图的列表

图1.1系统框图	8
图1.2体系结构概述	8
图2.1 24-QFN引脚分配 (TOP VIEW)	9
图3.1 100BASE-TX发送数据路径	17
图3.2 100BASE-TX接收数据路径	20
图3.3接收数据与特定MII信号之间的关系	21
图3.4直接电缆连接与交叉电缆连接	26
图3.5 MDIO时序和帧结构 - 读周期	28
图3.6 MDIO时序和帧结构 - 写周期	28
图3.7外部50MHz时钟源REF_CLK	34
图3.8从25MHz晶体采样REF_CLK	35
图3.9从外部25MHz源获取REF_CLK	36
图3.10 LED1 / REGOFF极性配置	37
图3.11 LED2 / nINTSEL极性配置	38
图3.12近端环回框图	40
图3.13远端环回框图	41
图3.14连接器环回框图	41
图3.15简化的系统级应用程序图	42
图3.16电源图 (1.2V由内部稳压器提供)	43
图3.17电源图 (1.2V由外部电源提供)	44
图3.18双绞线接口图 (单电源)	45
图3.19双绞线接口图 (双电源)	46
图5.1输出等效测试负载	68
图5.2电源序列时序	69
图5.3开机nRST和配置时序	70
图5.4 RMII时序 (REF_CLK输出模式)	71
图5.5 RMII时序 (REF_CLK输入模式)	72
图5.6 SMI时序	73

www.wlxmall.com

数据表

表的列表

表2.1 RMII信号.....	10
表2.2 LED引脚.....	11
表2.3串行管理接口(SMI)引脚.....	12
表2.4以太网引脚.....	12
表2.5其他引脚.....	13
表2.6模拟参考引脚.....	14
表2.7电源引脚.....	14
表2.8 24-QFN封装引脚分配.....	15
表2.9缓冲区类型.....	16
表3.1 4B / 5B代码表.....	18
表3.2中断管理表.....	29
表3.3备用中断系统管理表.....	三十
表3.4 MODE [2: 0]总线.....	32
表3.5模式位的引脚名称.....	32
表3.6 nINTSEL配置.....	33
表4.1寄存器位类型.....	47
表4.2 SMI寄存器映射.....	48
表5.1器件只有电流消耗和功耗(REF_CLK In模式).....	64
表5.2器件只有电流消耗和功耗(REF_CLK输出模式).....	65
表5.3非可变I/O缓冲区特性.....	66
表5.4可变I/O缓冲区特性.....	67
表5.5 100BASE-TX收发器特性.....	67
表5.6 10BASE-T收发器特性.....	68
表5.7电源序列计时值.....	69
表5.8上电nRST和配置带时序值.....	70
表5.9 RMII时序值(REF_CLK输出模式).....	71
表5.10 RMII时序值(REF_CLK输入模式).....	72
表5.11 RMII CLKIN(REF_CLK)时序值.....	73
表5.12 SMI时序值.....	73
表5.13晶体规格.....	74
表7.1客户修订历史记录.....	78

第1章介绍

1.1 一般条款和约定

以下是本文档中使用的一般术语列表：

字节	8位
FIFO	先进先出缓冲区;常用于弹性缓冲
苹果电脑	媒体访问控制器
RMII TM	减少媒体独立接口 TM
N/A	不适用
X	表示逻辑状态为“不关心”或未定义。
RESERVED	指保留位字段或地址。除非另有注意到，写保留位必须始终为零。除非另有说明，否则值不是读保留位时保证。除非另有注意，不要读取或写入保留地址。
SMI	串行管理界面

1.2 一般描述

LAN8720A / LAN8720Ai是一款低功耗10BASE-T / 100BASE-TX物理层 (PHY) 收发器。具有符合IEEE 802.3-2005标准的可变I / O电压。

LAN8720A / LAN8720Ai支持通过标准RMII与以太网MAC进行通信接口。它包含一个全双工10-BASE-T / 100BASE-TX收发器，并支持10Mbps (10BASE-T) 和100Mbps (100BASE-TX) 操作。LAN8720A / LAN8720Ai实现自动检测，协商自动确定最佳速度和双工操作模式。生命值。Auto-MDIX支持允许使用直接连接或交叉LAN电缆。

LAN8720A / LAN8720Ai支持兼容IEEE 802.3-2005和供应商特定的寄存器功能。但是，操作不需要访问寄存器。初始配置可能是按照第3.7节“配置带” (第31页) 中所述通过配置引脚选择。可以使用寄存器可选配置选项来进一步定义该功能收发器。

根据IEEE 802.3-2005标准，所有数字接口引脚都可以耐受3.6V。该设备可以配置为使用集成的3.3V至1.2V线性稳压器在单个3.3V电源上运行。该线性稳压器可以选择禁用，允许使用高效率的外部稳压器降低系统功耗。

LAN8720A / LAN8720Ai具有扩展的商业和工业温度范围版本。一个典型的系统应用程序如图1.1所示。

数据表

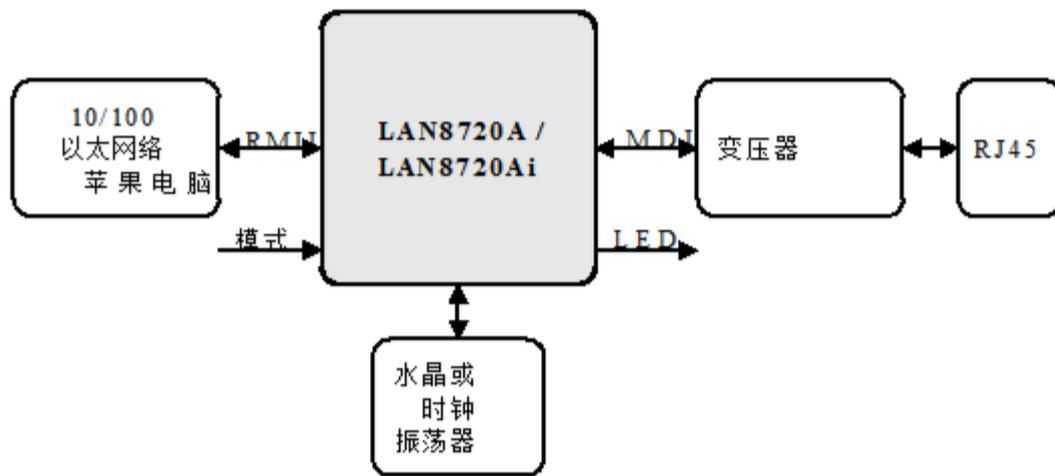


图1.1系统框图

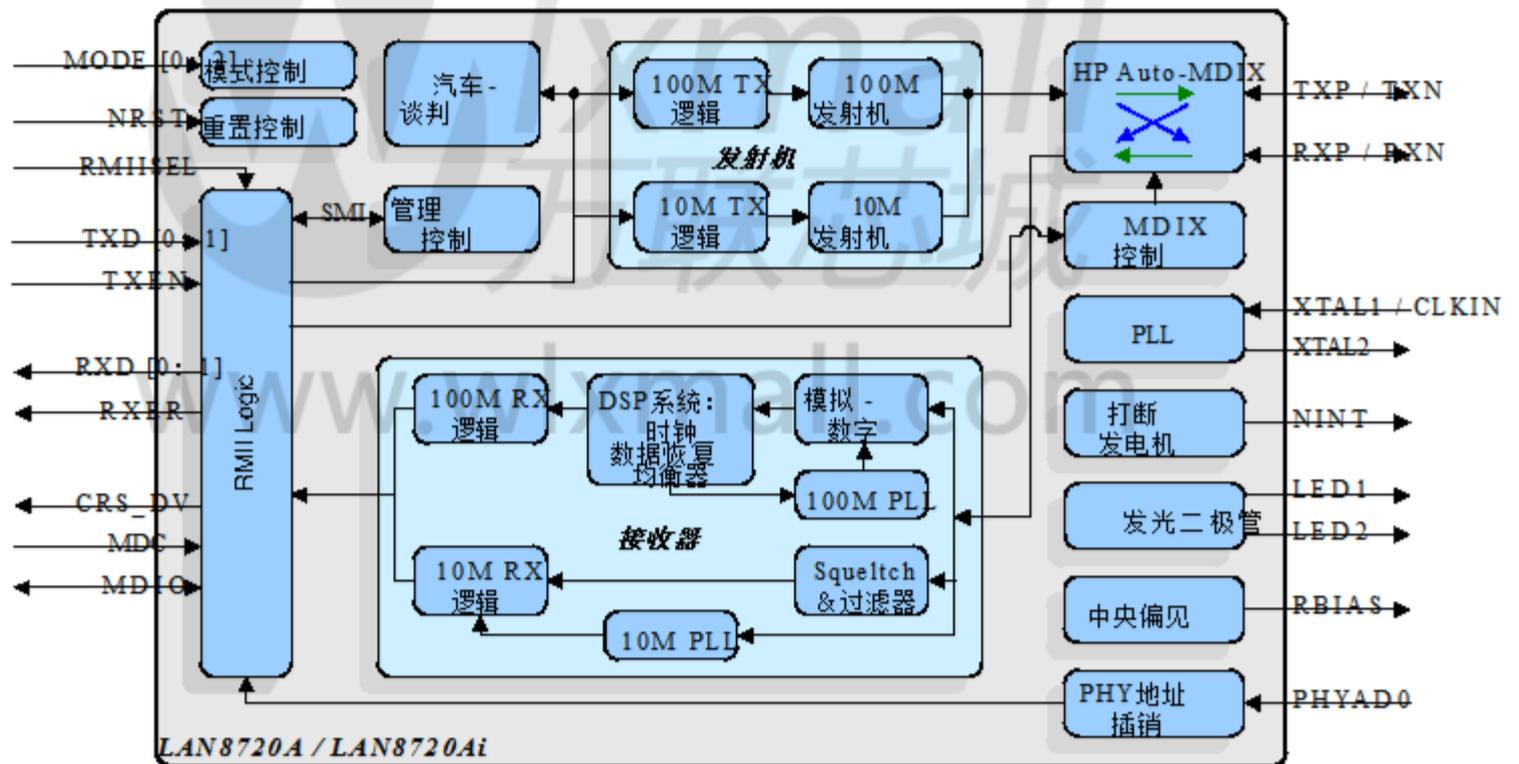
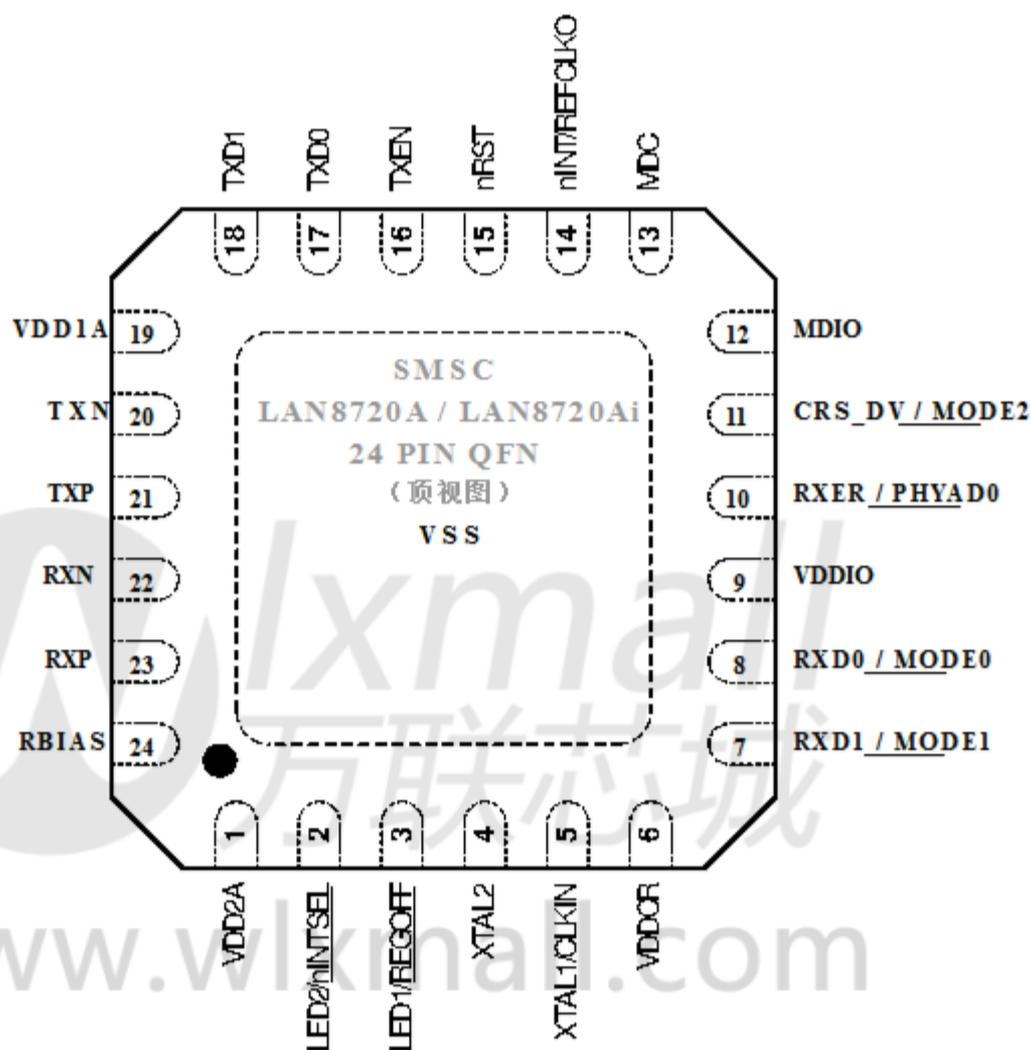


图1.2体系结构概述

第2章 引脚说明和配置



注：封装底部的裸露焊盘（VSS）必须接地

图2.1 24-QFN引脚分配（TOP VIEW）

注意：在信号名称开头使用小写字母“n”时，表示该信号低活跃。例如，nRST表示复位信号低电平有效。

注意：每个信号的缓冲器类型在BUFFER TYPE列中指示。描述缓冲区类型在2.2节中提供。

数据表

表2.1 RMII信号

NUM PINS	名称	符号	缓冲类型	描述
1	发送数据0	TXD0	VIS	MAC使用数据传输到收发器这个信号。
1	发送数据1	TXD1	VIS	MAC使用数据传输到收发器这个信号。
1	发送启用	TXEN	VIS (PD)	表示存在有效的传输数据在TXD [1: 0]上。
1	接收数据0	RXD0	VO8	由发送的2个数据位的第0位收发器在接收路径上。
	PHY 操作模式0 组态 背带	<u>MODE0</u>	VIS (PU)	结合MODE1和MODE2，这一点配置带设置默认的PHY模式。 有关更多信息，请参阅注释2.1配置肩带。 注意： 请参考第3.7.2节“MODE [2: 0]: 模式配置”（第31页）额外细节。
1	接收数据1	RXD1	VO8	2发送的2个数据位的第1位收发器在接收路径上。
	PHY 操作模式1 组态 背带	<u>MODE1</u>	VIS (PU)	结合MODE0和MODE2，这一点配置带设置默认的PHY模式。 有关更多信息，请参阅注释2.1配置肩带。 注意： 请参考第3.7.2节“MODE [2: 0]: 模式配置”（第31页）额外细节。
1	接收错误	RXER	VO8	该信号被断言以指示错误在当前框架中的某处被检测到从收发器转移。
	PHY 地址0 组态 背带	<u>PHYAD0</u>	VIS (PD)	这个配置带设置收发器SMI地址。 有关更多信息，请参阅注释2.1配置肩带。 注意： 请参考第3.7.1节“PHYAD [0]: PHY 地址配置”（第31页）附加信息。

表2.1 RMII信号 (续)

NUM PINS	名称	符号	缓冲类型	描述
1	载体感 /接收 数据有效	CRS_DV	V O 8	该信号被断言以指示接收媒体是非空闲的.当10BASE-T数据包是收到时, CRS_DV被置位,但RXD [1: 0]为直到SFD字节 (10101011) 为止接收. 注意: 根据RMII标准, 传输的数据不会循环回接收数据引脚处于10BASE-T半双工模式.
	PHY 操作 模式2 组态 背带	<u>MODE2</u>	VIS (PU)	结合MODE0和MODE1, 这个配置带设置默认的PHY模式. 有关更多信息, 请参阅注释2.1配置肩带. 注意: 请参考第3.7.2节“MODE [2: 0]: 模式配置” (第31页) 额外细节.

注 2.1 在上电复位和系统复位时, 配置绑定值被锁存. 组态带子由带下划线的符号名称标识. 充当配置的信号当连接到负载时, 绑带必须用外部电阻增强. 参考有关其他信息, 请参见第31页上的第3.7节“配置肩带”.

表2.2 LED引脚

NUM PINS	名称	符号	缓冲类型	描述
1	LED 1	LED1	O 1 2	链接活动LED指示. 该引脚被驱动当检测到有效链接并闪烁时激活当检测到活动时. 注意: 请参阅第3.8.1节“LED指示灯”第37页了解更多LED信息.
	稳压器关闭 组态 背带	<u>REGOFF</u>	IS (PD)	此配置绑带用于禁用内部1.2V稳压器. 当监管机构禁用, 外部1.2V必须提供给VDDCR. 当REGOFF被拉高到VDD2A时一个外部电阻器, 内部稳压器禁用. 当REGOFF浮动或拉低时, 内部稳压器已启用 (默认). 有关更多信息, 请参阅注释2.2配置肩带. 注意: 请参阅第3.7.3节“REGOFF: 内部+ 1.2V稳压器配置” 有关更多详细信息, 请参阅第32

数据表

表2.2 LED引脚（续）

NUM PINS	名称	符号	缓冲类型	描述
	LED 2	LED2	O 12	链接速度LED指示.该引脚被驱动当运行速度为100Mbps时有效.它在运行速度为10Mbps时无效或在线路隔离期间. 注意: 请参阅第3.8.1节“LED指示灯”第37页了解更多LED信息.
1	NINT / REFCLKO 功能选择组态背带	<u>nINTSEL</u>	IS (PU)	这个配置表带选择的模式 nINT / REFCLKO 引脚. 当 nINTSEL 浮置或拉至 VDD2A 时, nINT 被选定用于操作 nINT / REFCLKO 引脚 (默认). 当 nINTSEL 拉低至 VSS 时, REFCLKO 被选定用于操作 nINT / REFCLKO 引脚. 有关更多信息, 请参阅注释 2.2 配置肩带. 注意: 请参阅第 3.8.1.2 节“nINTSEL 和 LED2 极性选择”开启第 37 页了解更多信息.

注 2.2 在上电复位和系统复位时, 配置绑定值被锁存. 组态带子由带下划线的符号名称标识. 充当配置的信号当连接到负载时, 绑带必须用外部电阻增强. 参考有关其他信息, 请参见第 31 页上的第 3.7 节“配置肩带”.

表2.3 串行管理接口 (SMI) 引脚

NUM PINS	名称	符号	缓冲类型	描述
1	SMI数据输入/输出	MDIO	VIS / VOD8	串行管理接口数据输入/输出
1	SMI时钟	MDC	VIS	串行管理接口时钟

表2.4 以太网引脚

NUM PINS	名称	符号	缓冲类型	描述
1	以太网 TX / RX 正通道 1	TXP	AIO	发送/接收正通道 1
1	以太网 TX / RX 负通道 1	TXN	AIO	发送/接收负通道 1

表2.4以太网引脚（续）

NUM PINS	名称	符号	缓冲类型	描述
1	以太网网络 TX / RX 正 频道2	RXP	AIO	发送/接收正通道2
1	以太网网络 TX / RX 负 频道2	RXN	AIO	发送/接收负通道2

表2.5其他引脚

NUM PINS	名称	符号	缓冲类型	描述
1	外部 水晶 输入	XTAL1	ICLK	外部晶体输入
	外部 时钟输入	CLKIN	ICLK	单端时钟振荡器输入。 注意： 使用单端时钟时 振荡器，XTAL2应该留下 悬空。
1	外部 水晶 产里	XTAL2	OCLK	外部晶体输出
1	外部 重启	NRST	VIS (PU)	系统重置。该信号低电平有效。
1	打断 产里	NINT	VODS (PU)	低电平有效中断输出。放置一个外部 电阻上拉至VDDIO。 注意： 请参阅第3.6节“中断” 管理”（第29页）以获取更多信息 有关设备中断的详细信息。 注意： 请参阅第3.8.1.2节“nINTSEL和 LED2极性选择”（第37页） 关于nINTSEL的细节。_____ 配置表带用于确定 这个引脚的功能。
	参考 时钟输出	REFCLKO	VOS	这个可选的50MHz时钟输出源自于 25MHz的晶体振荡器。REFCLKO是 可通过nINTSEL配置带进行选择。 注意： 请参见第3.7.4.2节“REF_CLK输出 模式”（第34页）了解更多详情。 注意： 请参阅第3.8.1.2节“nINTSEL和 LED2极性选择”（第37页） 关于nINTSEL的细节。_____ 配置表带用于确定 这个引脚的功能。

数据表

表2.6模拟参考引脚

NUM PINS	名称	符号	缓冲类型	描述
1	外部1%偏置电阻输入	RBIAS	AI	该引脚需要连接一个12.1k欧姆（1%）电阻接地。 请参阅LAN8720A / LAN8720Ai参考连接信息的原理图。 注意： 标称电压为1.2V，电阻器会消耗大约1mW的功率。

表2.7电源引脚

NUM PINS	名称	符号	缓冲类型	描述
1	+ 1.6V至+ 3.6V 可变I/O 功率	VDDIO	P	+ 1.6V至+ 3.6V可变I/O电源 请参阅LAN8720A / LAN8720Ai参考连接信息的原理图。
1	+ 1.2V数字 核心力量 供应	VDDCR	P	由片上稳压器提供，除非配置为通过稳压器关闭模式 REGOFF 配置表带。 请参阅LAN8720A / LAN8720Ai参考连接信息的原理图。 注意： 1uF和470pF去耦电容应平行于地面使用这个引脚。
1	+ 3.3V 通道1 模拟端口 功率	VDD1A	P	通道1的+ 3.3V模拟端口电源 请参阅LAN8720A / LAN8720Ai参考连接信息的原理图。
1	+ 3.3V 通道2 模拟端口 功率	VDD2A	P	+ 3.3V模拟端口电源连接到通道2和内部调节器。 请参阅LAN8720A / LAN8720Ai参考连接信息的原理图。
1	地面	VSS	P	共同点。这个暴露的垫必须是通过阵列连接到地平面。

2.1 Pin分配

表2.8 24-QFN封装引脚分配

PIN号码	PIN名称	PIN号码	PIN名称
1	VDD2A	13	MDC
2	LED2 / $\overline{\text{INTSEL}}$	14	NINT / REFCLKO
3	LED1 / REGOFF	15	NRST
4	XTAL2	16	TXEN
五	XTAL1 / CLKIN	17	TXD0
6	VDDCR	18	TXD1
7	RXD1 / MODE1	19	VDD1A
8	RXD0 / MODE0	20	TXN
9	VDDIO	21	TXP
10	RXER / PHYAD0	22	RXN
11	CRS_DV / MODE2	23	RXP
12	MDIO	24	RBIAS

数据表

2.2 缓冲区类型

表2.9缓冲区类型

缓冲器类型	描述
IS	施密特触发输入
O12	输出具有12mA灌电流和12mA电源
VIS	可变电电压施密特触发输入
VO8	具有8mA灌电流和8mA电流源的可变电电压输出
VOD8	具有8mA接收器的可变电电压漏极开路输出
PU	50uA（典型值）内部上拉.除非引脚说明中另有说明，否则内部上拉电阻ups始终处于启用状态. 注意： 内部上拉电阻可防止未连接的输入浮空.不要依赖内部电阻器驱动器件外部的信号.连接到负载时必须拉高，必须加一个外部电阻.
PD	50uA（典型）内部下拉.除非在引脚说明中另有说明，否则为内部下拉总是启用. 注意： 内部下拉电阻可防止未连接的输入浮空.不要依赖通过内部电阻来驱动器件外部的信号.当连接到一个负载必须拉低，必须增加一个外部电阻.
AI	模拟输入
AIO	模拟双向
ICLK	晶体振荡器输入引脚
OCLK	晶体振荡器输出引脚
P	电源引脚

注意： 数字信号不容许5V.请参阅第5.1节“绝对最大额定值*”第63页了解更多缓冲区信息.

注2.3 接收器和源功能取决于VDDIO电压.请参阅第5.1节，“绝对最大额定值*”（第63页）以获取更多信息.

第3章 功能描述

本章提供各种设备功能的功能描述.这些功能已经分为以下部分:

- 收发器
- 自动协商
- HP Auto-MDIX支持
- MAC接口
- 串行管理接口 (SMI)
- 中断管理
- 配置肩带
- 杂项功能
- 应用图

3.1 收发器

3.1.1 100BASE-TX发送

100BASE-TX传输数据路径如图3.1所示.每个主要区块都在解释以下小节.

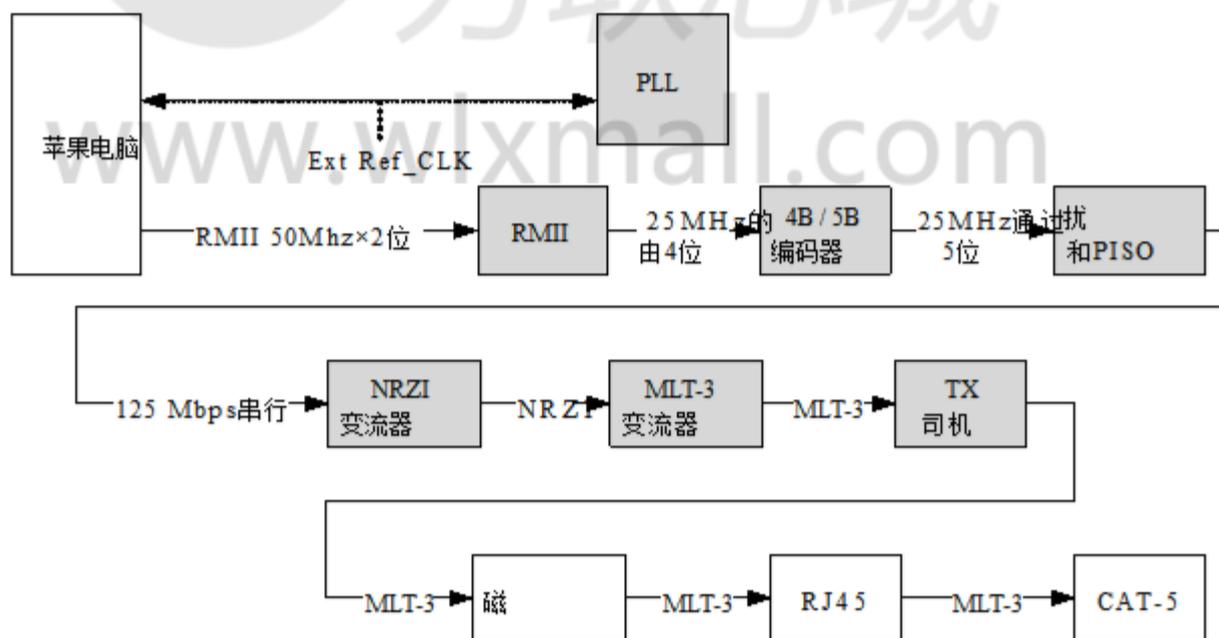


图3.1 100BASE-TX发送数据路径

3.1.1.1 100BASE-TX通过RMII接口传输数据

MAC控制器将发送数据驱动到TXD总线上,并置位TXEN以指示有效数据.收发器的RMII模块在REF_CLK的上升沿锁存数据.数据在2位宽50MHz数据的形式.

数据表

3.1.1.2 4B / 5B编码

发送数据从RMII块传送到4B / 5B编码器.该块对来自的数据进行编码.根据表3.1将4位半字节变为5位符号 (称为“代码组”).每个4位数据 - 半字节映射到32个可能的代码组中的16个.剩余的16个代码组用于控制信息或无效.

前16个代码组由它们相应数据半字节的十六进制值引用, 0到F.其余的代码组在两边给出了带有斜杠的字母标识.对于例如, IDLE代码组为/ I /, 发送错误代码组为/ H /等.

表3.1 4B / 5B代码表

码组	SYM	接收器解释			发射机解释		
11110	0	0	0000	数据	0	0000	数据
01001	1	1	0001		1	0001	
10100	2	2	0010		2	0010	
10101	3	3	0011		3	0011	
01010	4	4	0100		4	0100	
01011	五	五	0101		五	0101	
01110	6	6	0110		6	0110	
01111	7	7	0111		7	0111	
10010	8	8	1000		8	1000	
10011	9	9	1001		9	1001	
10110	一个	一个	1010		一个	1010	
10111	乙	乙	1011		乙	1011	
11010	C	C	1100		C	1100	
11011	d	d	1101		d	1101	
11100	Ē	Ē	1110		Ē	1110	
11101	F	F	1111		F	1111	
11111	一世	闲					在/ T / R之后发送, 直到TXEN
11000	j	SSD的第一个半字节, 翻译成“0101”在IDLE之后, 否则RXER					发送上升TXEN
10001	k	SSD的第二个哨书, 翻译成继J之后的“0101”, 否则RXER					发送上升TXEN
01101	İ	ESD的第一个小点, 会导致断言的CRS, 如果后面跟着/ R /, 否则断言RXER					发送下降TXEN
00111	[R	引起ESD的第二个哨. 如果跟随/ T /, 否则取消断言CRS. RXER的断言					发送下降TXEN
00100	H	发送错误符号					发送上升TXER
00110	V	如果在RXDV期间无效, RXER					无效

表3.1 4B / 5B代码表 (续)

码组	SYM	接收器解释	发射机解释
11001	V	如果在RXDV期间无效, RXER	无效
00000	V	如果在RXDV期间无效, RXER	无效
00001	V	如果在RXDV期间无效, RXER	无效
00010	V	如果在RXDV期间无效, RXER	无效
00011	V	如果在RXDV期间无效, RXER	无效
00101	V	如果在RXDV期间无效, RXER	无效
01000	V	如果在RXDV期间无效, RXER	无效
01100	V	如果在RXDV期间无效, RXER	无效
10000	V	如果在RXDV期间无效, RXER	无效

3.1.1.3 扰

重复的数据模式(尤其是IDLE代码组)可以具有较大的功率谱密度窄带峰值.对数据进行加扰有助于消除这些峰值并传播信号功率在整个信道带宽上更均匀. FCC要求这种统一的频谱密度以防止物理布线辐射过重的EMI.

加扰器的种子从收发器地址PHYAD生成, 确保输入多收发器应用, 如中继器或交换机, 每个收发器都有自己的扰频器序列.

加扰器还执行数据的并行输入串行输出转换(PISO).

3.1.1.4 NRZI和MLT-3编码

加扰器模块将5位宽的并行数据传递给NRZI转换器, 它变成a串行125MHz NRZI数据流. NRZI编码为MLT-3. MLT-3是一个三级代码, 其中a逻辑电平的改变表示码位“1”, 并且逻辑输出保持在相同的电平代表一个码位“0”.

3.1.1.5 100M传输驱动器

然后将MLT3数据传送到模拟发射器, 它驱动差分MLT-3信号通过1:1比例的隔离变压器将TXP和TXN输出到双绞线介质. 10BASE-T和100BASE-TX信号通过同一个变压器, 以便使用普通的“磁性元件”用于两者. 变送器进入100ΩCAT-5电缆的阻抗. 电缆终端和阻抗匹配需要外部元件.

3.1.1.6 100M锁相环(PLL)

100M PLL锁定在参考时钟上并生成用于驱动125 MHz的125MHz时钟逻辑和100BASE-TX发射器.

数据表

3.1.2 100BASE-TX接收

100BASE-TX接收数据路径如图3.2所示.每个主要区块都在解释以下小节.

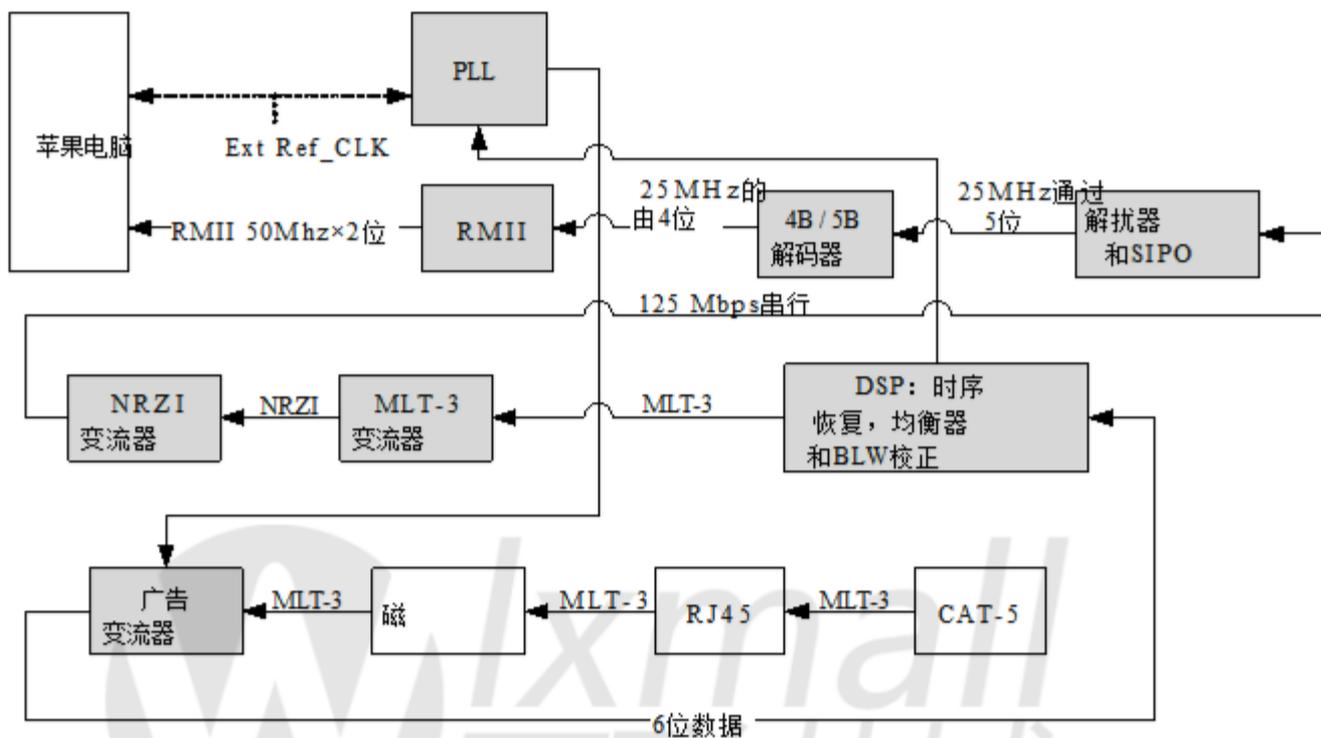


图3.2 100BASE-TX接收数据路径

3.1.2.1 100M接收输入

电缆中的MLT-3通过1: 1的比率馈入收发器（在输入RXP和RXN上）变压器. ADC以125M采样/秒的速率采样输入差分信号. 使用64级量化器, 它会生成6个数字位来表示每个采样. DSP调整根据观察到的信号电平增加ADC的增益, 使ADC的整个动态范围可以使用.

3.1.2.2 均衡器, 基线漫游校正和时钟和数据恢复

来自ADC的6位送入DSP模块. DSP部分的均衡器进行补偿对于由磁性元件, 连接器组成的物理通道引起的相位和幅度失真, 和CAT-5电缆. 均衡器可以恢复1米之间任何质量良好的CAT-5电缆的信号和150米.

如果信号的直流成分是低频成分低于低频成分隔离变压器的极点, 那么变压器的下垂特性就会变成将导致接收到的信号产生显著的基线漂移 (BLW). 为了防止腐败收到的数据, 收发器校正BLW并可以接收ANSI X3.263-1995 FDDI TP-PMD定义的“杀手包”, 没有误码.

100M PLL产生125MHz时钟的多个相位. 由定时控制的多路复用器DSP的单位, 选择最佳相位来采样数据. 这用作收到的恢复时钟. 该时钟用于从接收信号中提取串行数据.

3.1.2.3 NRZI和MLT-3解码

DSP产生MLT-3恢复的电平，送到MLT-3转换器。那么MLT-3是转换为NRZI数据流。

3.1.2.4 解扰

解扰器对发射机中的扰码器执行相反的功能并执行串行并行输出（SIPO）数据转换。

在接收IDLE（/I/）符号期间，解扰器将其解扰器密钥同步到传入流。一旦达到同步，解扰器锁定该键并能够解读传入的数据。

解扰器中的特殊逻辑通过搜索确保与远程收发器同步4000字节（40us）窗口内的IDLE符号。该窗口确保了最大的数据包大小可以在不受干扰的情况下接收IEEE153.3标准允许的1514字节。如果没有IDLE-在此时间段内检测到符号，接收操作中止，解扰器重新启动同步过程。

3.1.2.5 对准

然后通过识别/J/K/流开始将解扰信号对准到5位码组分隔符（SSD）对在数据包的开头。一旦码字对齐被确定，它就被存储并被利用，直到帧的下一个开始。

3.1.2.6 5B / 4B解码

根据4B / 5B表将5位代码组转换为4位数据半字节。该翻译后的数据显示在RXD [1: 0]信号线上。SSD，/J/K/被翻译为“0101 0101”作为MAC前导码的前两个半字节。接收SSD会导致收发器断言接收数据有效信号，表明有效数据在RXD总线上可用。连续有效的代码组被转换为数据半字节。接收流结束分隔符（ESD）组成/T/R/符号或至少两个/I/符号使收发器取消断言载波检测并接收数据有效信号。

注意：这些符号不会被翻译成数据。

3.1.2.7 接收数据有效信号

接收数据有效信号（RXDV）指示正在恢复和解码的半字节在与RXCLK同步的RXD [1: 0]输出上呈现。RXDV在/J/K/分隔符已经被识别，并且RXD被对齐以便边界咬合。它一直保持活跃，/T/R/分隔符被识别或链接测试指示失败或SIGDET变为false。

当翻译/J/K/的第一个半字节准备好通过媒体传送时，RXDV被断言独立接口（MII模式）。

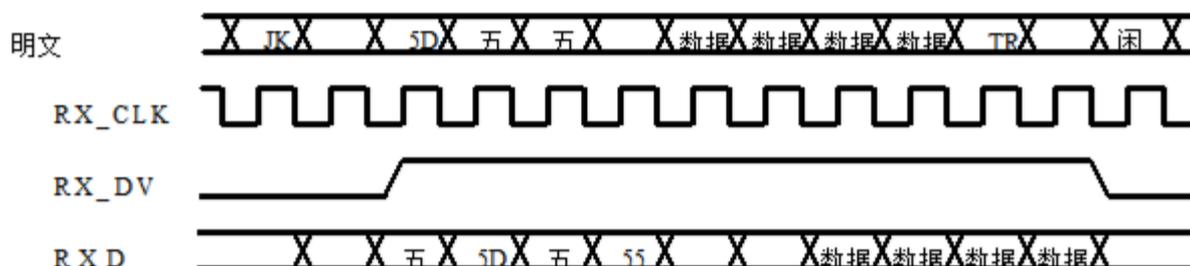


图3.3接收数据与特定MII信号之间的关系

数据表

3.1.2.8 接收器错误

在一帧中，意外的代码组被认为是接收错误。预期的代码组是数据集（0到F）和T/R/（ESD）符号。发生接收错误时，RXER信号被置位，任意数据被驱动到RXD [1: 0]线。应该检测到错误在解码J/K/分隔符的过程中（错误的SSD错误），RXER被置位为真，并且the value '1110' is driven onto the RXD[1:0] lines. Note that the Valid Data signal is not yet asserted. 发生错误的SSD错误时。

3.1.2.9 100M通过RMII接口接收数据

2位数据半字节被发送到RMII块。这些数据半字节在时钟控制器处于50MHz的速率。控制器在XTAL1 / CLKIN（REF_CLK）的上升沿采样数据。至确保符合建立和保持要求，半字节从收发器中移出在XTAL1 / CLKIN（REF_CLK）的下降沿。

3.1.3 10BASE-T发送

要传输的数据来自MAC层控制器。10BASE-T发射器接收4位数据以2.5MHz的速率从MII中微调，并将它们转换为10Mbps的串行数据流。数据流然后被曼彻斯特编码并被发送到模拟发射器，该发射器将信号驱动到该模拟发射器双绞线通过外部磁性元件。

10M变送器使用以下模块：

- MII（数字）
- TX 10M（数字）
- 10M发射机（模拟）
- 10M PLL（模拟）

3.1.3.1 通过RMII接口传输10M数据

MAC控制器将发送数据驱动到TXD总线上。TXD [1: 0]将同步转换关于REF_CLK。当TXEN有效时，TXD [1: 0]被接受以供发送设备。当TXEN被取消断言时，TXD [1: 0]应为“00”以指示空闲。TXD [1: 0]的值不是当TXEN解除置位时，“00”被保留用于带外信令（待定义）。其他值比TXD [1: 0]上的“00”高，而TXEN解除置位时，器件应该忽略它。TXD [1: 0]应提供TXEN置位时每个REF_CLK周期的有效数据。

为了符合传统的10BASE-T MAC / 控制器，在半双工模式下收发器会循环在接收路径上备份传输的数据。自从这之后，这并不会混淆MAC / Controller COL信号在这段时间内没有声明。收发器还支持SQE（心跳）信号。

3.1.3.2 曼彻斯特编码

4位宽的数据被发送到10M TX模块。半字节转换为10Mbps串行NRZI数据流。10M PLL锁定到外部时钟或内部振荡器并产生20MHz时钟。这用于曼彻斯特编码NRZ数据流。当没有数据传输时（TXEN为低电平），10M TX模块输出正常链路脉冲（NLP）以保持通信远程链接伙伴。

3.1.3.3 10M传输驱动器

曼彻斯特编码的数据被发送到模拟发射器，在此之前它被整形和滤波作为跨越TXP和TXN输出的差分信号被驱出。

3.1.4 10BASE-T接收

10BASE-T接收器通过磁性元件从电缆获得曼彻斯特编码的模拟信号。它从信号中恢复接收时钟并使用该时钟恢复NRZI数据流。这个10M串行数据被转换为4位数据半字节，并通过MII以一定速率传递给控制器2.5MHz。

这个10M接收器使用以下模块：

- 滤波器 and SQUELCH (模拟)
- 10M PLL (模拟)
- RX 10M (数字)
- MII (数字)

3.1.4.1 10M接收输入和静噪

来自电缆的曼彻斯特信号以1:1的比率输入收发器（在输入RXP和RXN上）磁性元件。它首先经过滤波以减少任何带外噪声。然后它通过SQUELCH电路。SQUELCH是一组通常拒绝差分的幅度和时间比较器。电压水平低于300mV，并检测并识别高于585mV的差分电压。

3.1.4.2 曼彻斯特解码

SQUELCH的输出进入10M RX模块，在那里它被验证为曼彻斯特编码数据。信号的极性也被检查。如果极性颠倒（本地RXP连接到远程伙伴的RXN，反之亦然），则识别并纠正该情况。反过来条件由特殊控制/状态指示寄存器的XPOL位指示。10M PLL锁定在接收到的曼彻斯特信号上，从中产生20MHz的旋塞。使用这个时钟，曼彻斯特编码数据被提取并转换为10MHz的NRZI数据流。它是然后从串行转换为4位宽的并行数据。

10M RX模块还可检测有效的10Base-T IDLE信号 - 正常链路脉冲（NLP） - 以进行维护链接。

3.1.4.3 10M通过RMII接口接收数据

2位数据半字节被发送到RMII块。这些数据半字节在上升沿有效RMII REF_CLK。

3.1.4.4 Jabber检测

Jabber是一个站点传输一段时间超过最大值的条件允许的数据包长度，通常是由于故障条件导致保持TXEN输入很长一段时间。特殊逻辑用于检测Jabber状态并中止传输到线路在45ms内。一旦TXEN解除置位，逻辑复位Jabber状态。

如第50页上的第4.2.2节“基本状态寄存器”所示，Jabber检测位指示a爆炸情况被检测到。

3.2 自动协商

自动协商功能的目的是自动将收发器配置为基于其链接伙伴的能力的最佳链接参数。自动协商是一种机制用于在两个链接伙伴之间交换配置信息并自动选择双方都支持最高性能的操作模式。自动协商完全定义在IEEE 802.3规范的第28条。

一旦自动协商完成，有关解决的链接的信息可以传回给控制器通过串行管理接口（SMI）。谈判过程的结果是

数据表

反映在PHY特殊控制/状态寄存器的速度指示位中，以及自动谈判链接合作伙伴能力注册。自动协商协议是纯粹的物理层活动并且独立于MAC控制器而收益。

收发器的广告功能存储在自动协商通告中

寄存器。收发器通告的默认值由用户定义的片上信号决定选项。

以下块在自动协商会话期间被激活：

- 自动协商（数字）
- 100M ADC（模拟）
- 100M PLL（模拟）
- 100M均衡器 / BLW /时钟恢复（DSP）
- 10M SQUELCH（模拟）
- 10M PLL（模拟）
- 10M发射机（模拟）

启用后，自动协商将由发生下列其中一个事件启动：

- 硬件重置
- 软件重置
- 掉电复位
- 关闭状态

设置基本控制寄存器的重启自动协商位

在检测到其中一个事件时，收发器通过发送突发脉冲来开始自动协商快速链路脉冲（FLP），它是来自10M发射机的链路脉冲的突发。他们被塑造成正常链路脉冲，可以通过未损坏的CAT-3或CAT-5电缆。快速链接脉冲突发由多达33个脉冲组成。总是存在的17个奇数脉冲构成FLP爆裂。可能存在或不存在的16个偶数脉冲包含数据字传输。数据脉冲的存在表示“1”，而不存在表示“0”。

由FLP突发传输的数据被称为“链接代码字”。这些在IEEE中完全定义802.3第28节。总之，收发器在其选择器字段（第一个）中通告了802.3兼容性链接代码字的5位。它根据Auto中设置的位来宣传自己的技术能力谈判广告登记。

技术能力有4种可能的匹配。按优先顺序排列如下：

- 100M全双工（最高优先级）
- 100M半双工
- 10M全双工
- 10M半双工（最低优先级）

如果广播收发器的全部功能（100M，全双工），并且链接伙伴是能够达到10M和100M，那么自动协商选择100M作为最高性能模式。如果链路伙伴能够使用半双工和全双工模式，然后自动协商选择全双工模式性能最高的操作。

一旦能力匹配被确定，链接代码字就会与确认一起重复位集。此时链接代码字的主要内容有任何不同都会导致自动协商重启。如果未收到所有需要的FLP突发，自动协商也将重新开始。

在收发器自动协商期间通告的功能最初由

逻辑电平在复位完成后锁存在MODE [2: 0]配置带上。这些配置带子也可用于在启动时禁用自动协商。请参考第3.7.2节“MODE [2: 0]模式配置”（第31页）以获取更多信息。

写自动协商通告寄存器的第8到第5位允许软件控制收发器通告的功能。编写自动谈判广告注册不会自动重新启动自动协商。基本控制的重新启动自动协商位注册必须新的能力被宣传之前设置。自动协商也可以被禁用通过软件清除基本控制寄存器的自动协商使能位。

注意：设备不支持“下一页”功能。

3.2.1 并行检测

如果LAN8720A / LAN8720Ai连接到缺乏自动协商能力的设备（即没有FLP被检测到），它能够基于100M MLT-3符号或者基于100M的MLT-3符号来确定链路的速度10M正常链路脉冲。在这种情况下，链路按照IEEE标准推定为半双工。这种能力被称为“并行检测”。该功能可确保与传统链路的互操作性伙伴。如果通过并行检测形成链路，则链路的链路伙伴自动协商能够位自动协商扩展寄存器被清除以指示链接伙伴不能自动执行自动协商，谈判。控制器可以通过管理界面访问这些信息。如果出现故障在并行检测期间发生链路伙伴自动协商能力的并行检测故障位已设置。

自动协商链接合作伙伴能力注册用于存储链接合作伙伴能力信息在接收的FLP中被编码。如果链接伙伴不能自动协商，则自动协商谈判链接合作伙伴能力注册是在完成并行检测后更新以反映的速度能力的链接伙伴。

3.2.2 重新启动自动协商

通过设置基本的重启自动协商位，随时可以重新启动自动协商控制寄存器。如果链接随时中断，自动协商也会重新启动。一个断开的链接是信号丢失造成的。这可能是由于电缆断裂或由于电缆中断造成的信号由链路伙伴传输。自动协商继续尝试确定新的链接配置。

如果管理实体通过设置重新启动自动协商位重新启动自动协商基本控制寄存器，LAN8720A / LAN8720Ai将通过停止所有发送/接收来响应操作。一旦break_link_timer在自动协商状态机中完成（大约1200ms），自动协商将重新开始。在这种情况下，链接伙伴也会有由于缺少接收信号而丢弃链路，因此它也会恢复自动协商。

3.2.3 禁用自动协商

可以通过设置基本控制的自动协商使能位来禁止自动协商注册为零。该设备将强制其操作速度反映基本信息控制寄存器（速度选择位和双工模式位）。这些位应该被忽略，协商已启用。

3.2.4 一半与全双工

半双工操作依赖于CSMA / CD（载波侦听多路访问/冲突检测）协议来处理网络流量和冲突。在这种模式下，载波侦听信号CRS响应发送和接收活动。如果收发器正在传输时收到数据，则会发生冲突结果。

在全双工模式下，收发器能够同时发送和接收数据。在这种模式下，CRS只回应接收活动。CSMA / CD协议不适用和冲突检测被禁用。

数据表

3.3 HP Auto-MDIX支持

HP Auto-MDIX有助于使用CAT-3 (10BASE-T) 或CAT-5 (100BASE-T) 介质UTP互连电缆，而不考虑接口布线方案.如果用户直接插入连接LAN电缆或交叉连接电缆，如图3.4所示，该设备的Auto-MDIX收发器能够将TXP / TXN和RXP / RXN引脚配置为正确的收发器操作.

器件的内部逻辑检测连接器件的TX和RX引脚.自RX以来和TX线对可以互换，需要考虑特殊的PCB设计考虑因素Auto-MDIX设计的对称磁性和终止.

Auto-MDIX功能可通过特殊控制/状态中的AMDIXCTRL位禁止适应症登记.

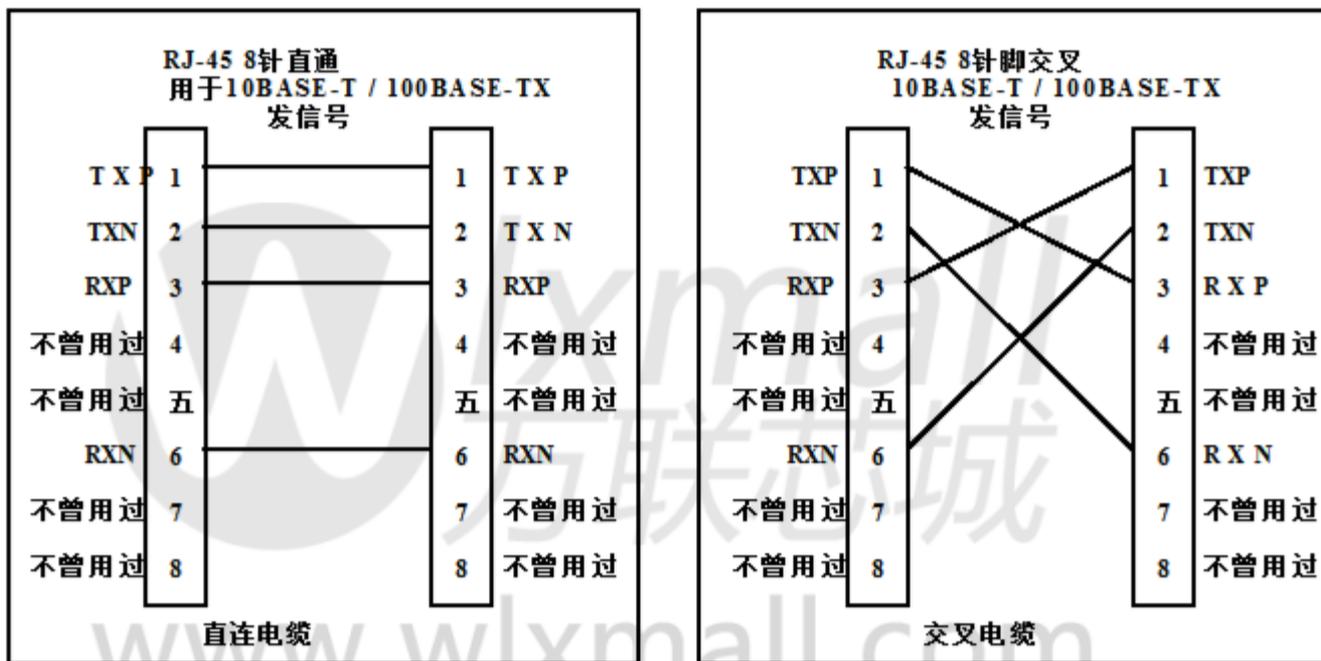


图3.4直接电缆连接与交叉电缆连接

3.4 MAC接口

3.4.1 RMII

该器件支持旨在使用的低引脚数Reduced Media Independent Interface (RMII)以太网收发器和交换机ASIC之间。在IEEE 802.3下，MII由16个引脚组成。数据和控制被定义。在装有許多MAC或收发器接口的设备中，例如开关，随着端口数量的增加，引脚数量可能会增加很多成本。RMII减少了这一点引脚数量，同时保留与MII相同的管理接口（MDIO / MDC）。

RMII接口具有以下特征：

- 它能够支持10Mbps和100Mbps的数据速率
- 单个时钟参考用于发送和接收
- 它提供独立的2位（二位）宽发送和接收数据路径
- 它采用LVCMOS信号电平，与通用数字CMOS ASIC工艺兼容

RMII包含以下接口信号（1个可选）：

- 传输数据 - TXD [1: 0]
- 传输频闪 - TXEN
- 接收数据 - RXD [1: 0]
- 接收错误 - RXER（可选）
- 载波侦听 - CRS_DV
- 参考时钟 - （RMII参考通常将此信号定义为REF_CLK）

3.4.1.1 CRS_DV - 载波侦听/接收数据有效

当接收介质非空闲时，CRS_DV由设备断言。CRS_DV被声明由于与操作模式相关的标准而异步检测载波。在10BASE-T模式时，或者在100BASE-X模式下，当10位中有2个非连续零时检测到该载体被认为是被检测到的。

载波的丢失应导致CRS_DV与REF_CLK的周期同步，否则将失效。将半字节的第一个二进制位呈现到RXD [1: 0]上（即CRS_DV仅在半字节边界）。如果器件在初始化后的RXD [1: 0]上有附加位。对CRS_DV解除置位，那么器件应在REF_CLK的周期中声明CRS_DV，每个半字节的第二个di-bit和在REF_CLK的周期上取消置位CRS_DV，其呈现第一个二位半字节。结果是，从半字节边界开始，CRS_DV以100Mbps的速率在25 MHz处切换模式，当CRS在RXDV之前结束时，即10Mbps模式下为2.5 MHz（即，FIFO仍然具有位当载波事件结束时传输）。因此，MAC可以准确地恢复RXDV和CRS。

在假载波事件期间，CRS_DV应在载波活动期间保持有效。数据一旦CRS_DV有效，RXD [1: 0]被认为有效。但是，自从CRS_DV的断言与REF_CLK是异步的，RXD [1: 0]上的数据应为“00”，直到正确的接收信号解码发生。

3.4.1.2 参考时钟（REF_CLK）

RMII REF_CLK是一个连续时钟，为CRS_DV，RXD [1: 0]，TXEN，TXD [1: 0]和RXER。该器件使用REF_CLK作为网络时钟，因此无缓冲在发送数据路径上是必需的。但是，在接收数据路径上，接收器恢复来自输入数据流的时钟，并且该设备使用弹性缓冲来适应恢复时钟和本地REF_CLK之间的差异。

数据表

3.5 串行管理接口 (SMI)

串行管理接口用于控制设备并获取其状态.这个接口支持802.3标准第22章所要求的寄存器0至6, 以及“vendor-特定的”寄存器16至31由规范允许.不支持的寄存器(例如7到15)将会被读作十六进制“FFFF”.器件寄存器在第4章“寄存器描述”中详细介绍第47页.

在系统级别, SMI提供2个信号: MDIO和MDC. MDC信号是非周期性时钟由车站管理控制器(SMC)提供. MDIO是一个双向数据SMI输入/输出从控制器SMC接收串行数据(命令)并发送串行数据(状态)的信号SMC. MDC边缘之间的最短时间为160 ns.没有最长的时间边缘之间.最小周期时间(两次连续上升或连续两次之间的时间下降沿)为400 ns.这些适度的时间要求使得这个接口很容易被驱动微控制器的I/O端口.

MDIO线上的数据在MDC的上升沿锁存.帧结构和时间的数据如图3.5和图3.6所示. MDIO信号的时序关系为在第73页的第5.5.5节“SMI计时”中进一步描述.

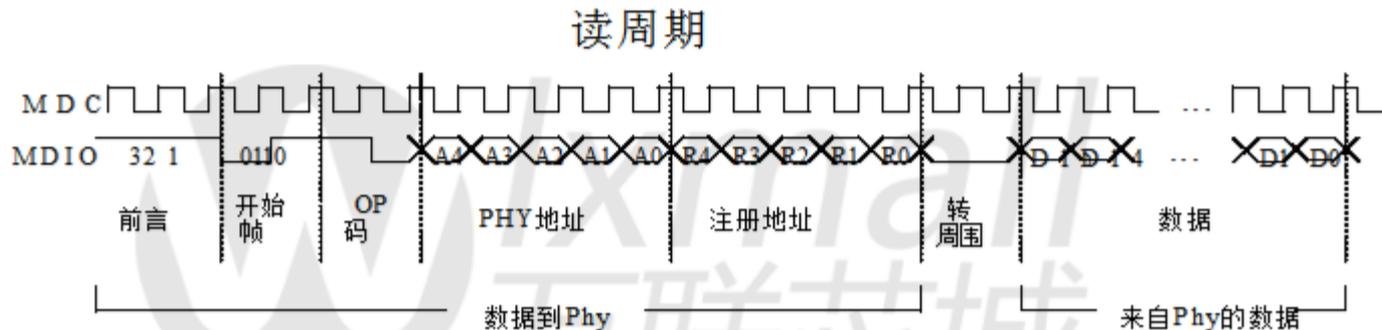


图3.5 MDIO时序和帧结构 - 读周期

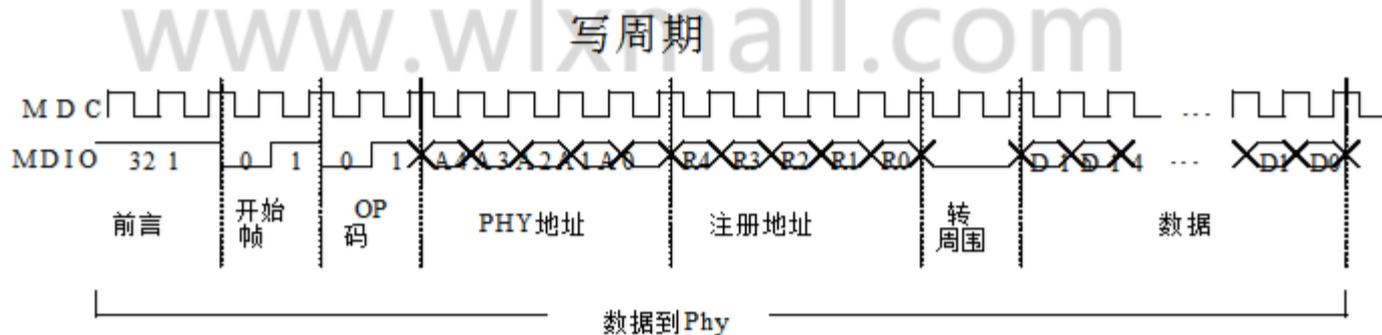


图3.6 MDIO时序和帧结构 - 写周期

3.6 中断管理

设备管理接口支持不属于IEEE 802.3的中断功能规范.这个中断能力在中断上产生一个低电平有效的异步中断信号.每当由中断屏蔽寄存器设置检测到特定事件时输出nINT.

该器件的中断系统提供两种模式,一种主要中断模式和一种备用模式.中断模式.当相应的掩码位置位时,两个系统都会将nINT引脚置为低电平.这些模式只有在如何解除nINT中断输出时才有所不同.这些模式详见以下小节.

注:上电或硬复位后,主中断模式是默认中断模式.该备用中断模式需要在上电或硬重置后进行设置.

3.6.1 初级中断系统

主中断系统是默认中断模式(模式控制/状态的ALTINT位)寄存器是“0”).上电或硬复位后总是选择主中断系统.在这种模式下,设置一个中断,在中断屏蔽寄存器中设置相应的屏蔽位(见表3.2).然后,当断言nINT的事件为真时,nINT输出将被声明.当相应的时候事件去确认nINT是否为真,那么nINT将被取消断言.

表3.2中断管理表

面具	中断源 旗		中断源		事件到 ASSERT nINT	事件到 DE-ASSERT nINT
30.7	29.7	ENERGYON	17.1	ENERGYON	崛起17.1 (注3.1)	下降17.1或 阅读寄存器29
30.6	29.6	自动协商 完成	1.5	自动协商 完成	上升1.5	下降1.5或 阅读寄存器29
30.5	29.5	远程故障 检测	1.4	远程故障	崛起1.4	下降1.4,或 读寄存器1或 阅读寄存器29
30.4	29.4	链接关闭	1.2	链接状态	下跌1.2	读寄存器1或 阅读寄存器29
30.3	29.3	自动协商 LP确认	5.14	确认	上升5.14	下降5.14或 读寄存器29
30.2	29.2	并行检测 故障	6.4	平行 检测故障	崛起6.4	下降6.4或 读取寄存器6,或 阅读寄存器29 要么 重新自动协商或 链接下来
30.1	29.1	自动协商 已收到页面	6.1	已收到页面	崛起6.1	6.1或者下降 读取寄存器6,或 阅读寄存器29 重新自动协商,或 链接关闭.

注3.1 如果在ENERGYON为高电平时屏蔽位已使能且nINT已被取消置位,在ENERGYON变为低电平后,nINT将维持256 ms,大约一秒钟.电缆已拔出.为了防止意外断言nINT,ENERGYON中断屏蔽应始终作为ENERGYON中断服务的一部分进行清除常规.