

## 4-Mbit (512 K×8/256 K×16) nvSRAM

### 特征

- 20 ns, 25 ns和45 ns访问时间
- 内部组织为512 K×8 (CY14B104LA) 或256 K×16 (CY14B104NA)
- 只需很小的电力就可以在断电时关闭自动存储电容器
- 存储到由发起的QuantumTrap非易失性元素软件, 器件引脚或自动存储关断
- 通过软件或上电启动对SRAM进行回读
- 无限的读取, 写入和调用周期
- 100万个STORE周期到QuantumTrap
- 20年的数据保留
- 单个3 V +20°C, -10°C操作
- 工业温度

### ■ 软件包

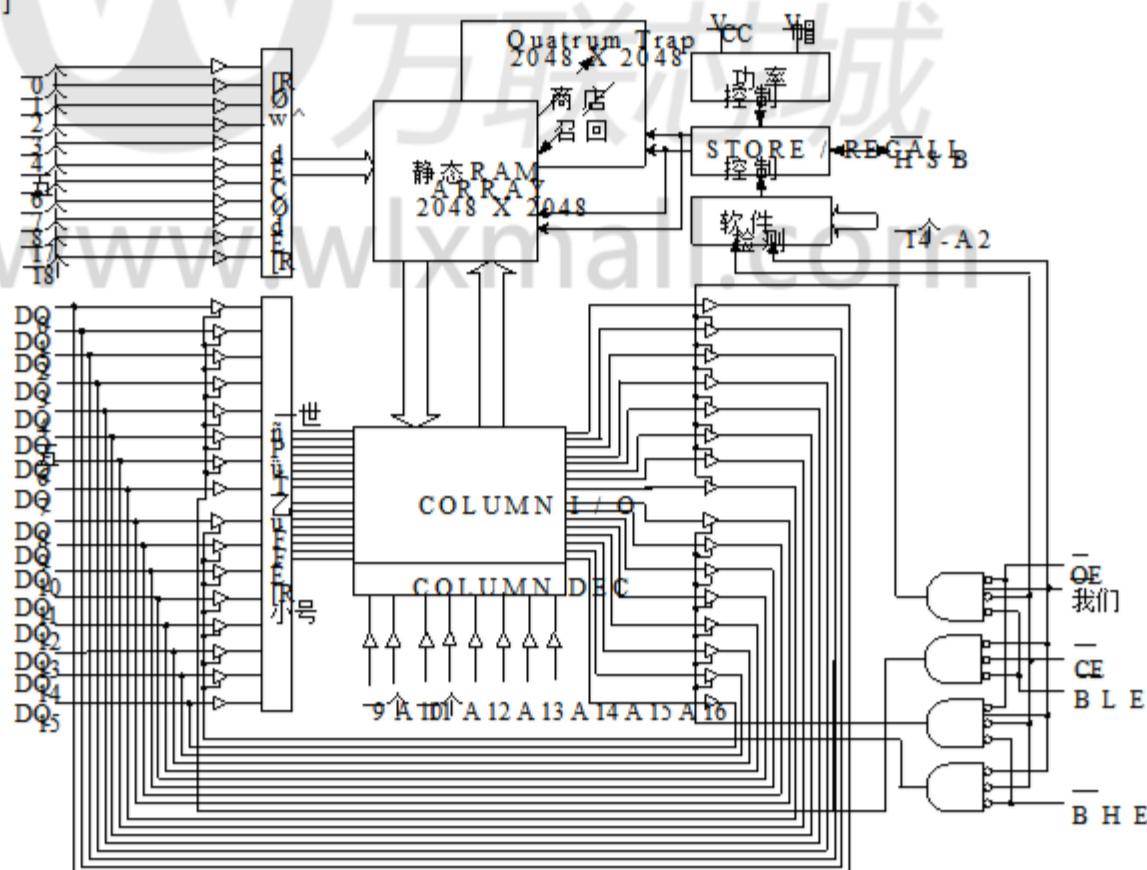
- 44/54引脚薄型小型封装 (TSOP) II型
- 48 球细距球栅阵列 (FBGA)

### ■ 无铅和限制有害物质 (RoHS) 兼容

### 功能说明

赛普拉斯CY14B104LA / CY14B104NA是一款快速静态RAM (SRAM), 每个存储器单元中具有非易失性元件. 该内存被组织为每个8位或256 K的512 K字节. 每个16位的字. 嵌入式非易失性元素纳入QuantumTrap技术, 生产世界各地最可靠的非易失性存储器. SRAM提供无限的读取和写入周期, 同时提供独立的非易失性数据驻留在高度可靠的QuantumTrap单元中. 数据传输从SRAM到非易失性元件 (STORE操作) 在断电时自动发生. 上电, 数据恢复到SRAM (RECALL操作) 来自非易失性存储器. STORE和RECALL操作也可以在软件控制下进行.

逻辑框图[1, 2, 3]

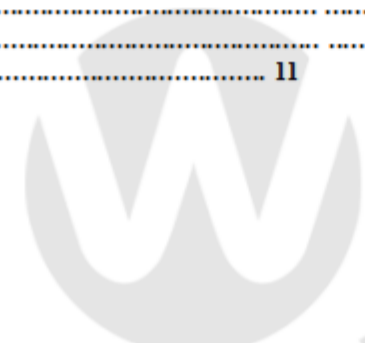


### 笔记

1. 地址A 0 -A 18 用于×8配置, 地址A 0 -A 17 用于×16配置.
2. 对于×8配置的数据DQ 0 -DQ 7 和对于×16配置的数据DQ 0 -DQ 15.
3. BLE和BHE仅适用于×16配置.

## 内容

|                       |    |                            |    |
|-----------------------|----|----------------------------|----|
| <b>Pinouts</b> .....  | 3  | <b>切换波形</b> .....          | 11 |
| <b>引脚定义</b> .....     | 4  | <b>自动存储/启动RECALL</b> ..... | 14 |
| <b>设备操作</b> .....     | 5  | <b>切换波形 -</b>              |    |
| SRAM读取 .....          | 5  | <b>自动存储/启动RECALL</b> ..... | 14 |
| SRAM写入 .....          | 5  | <b>软件控制存储/回读周期</b> .....   | 15 |
| 自动存储操作 .....          | 5  | <b>切换波形 -</b>              |    |
| 硬件商店操作 .....          | 5  | <b>软件控制存储/回读周期</b> .....   | 15 |
| 硬件RECALL (加电) .....   | 6  | <b>硬件存储周期</b> .....        | 16 |
| 软件商店 .....            | 6  | <b>切换波形 - 硬件存储周期</b> ..... | 16 |
| 软件RECALL .....        | 6  | <b>SRAM操作真值表</b> .....     | 17 |
| 防止自动存储 .....          | 7  | <b>订购信息</b> .....          | 18 |
| 数据保护 .....            | 7  | 订购代码定义 .....               | 19 |
| <b>最大额定值</b> .....    | 8  | <b>封装图</b> .....           | 20 |
| <b>工作范围</b> .....     | 8  | <b>首字母缩略词</b> .....        | 23 |
| <b>直流电气特性</b> .....   | 8  | <b>文件公约</b> .....          | 23 |
| <b>数据保存和耐用性</b> ..... | 9  | 计量单位 .....                 | 23 |
| <b>电容</b> .....       | 9  | <b>文档历史页</b> .....         | 24 |
| <b>热阻</b> .....       | 9  | <b>销售, 解决方案和法律信息</b> ..... | 26 |
| <b>交流试验负荷</b> .....   | 10 | 全球销售和設計支持 .....            | 26 |
| <b>交流测试条件</b> .....   | 10 | 产品 .....                   | 26 |
| <b>交流开关特性</b> .....   | 11 | PSoC解决方案 .....             | 26 |

 **Wlxmall**  
万联芯城  
www.wlxmall.com

## 插脚引线

图1. 48球FBGA引脚

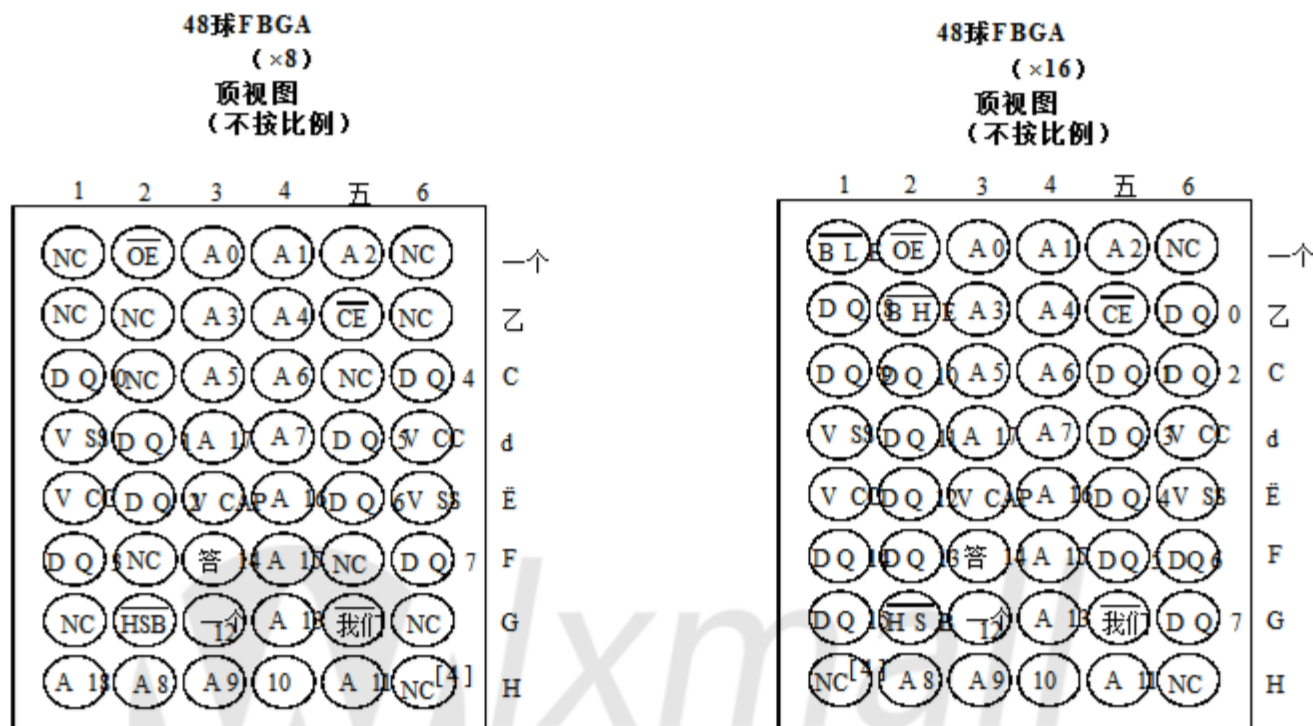
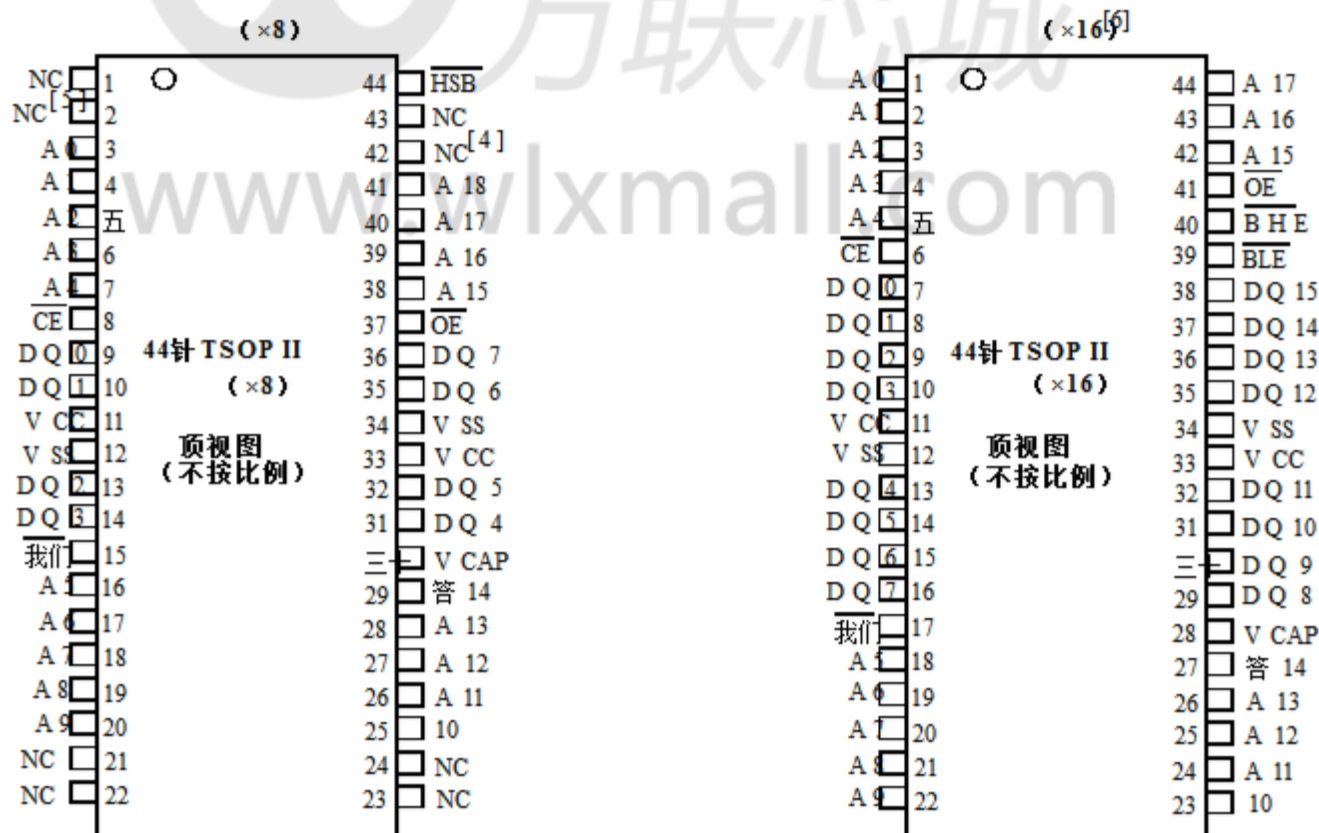


图2. 44引脚TSOP II引脚

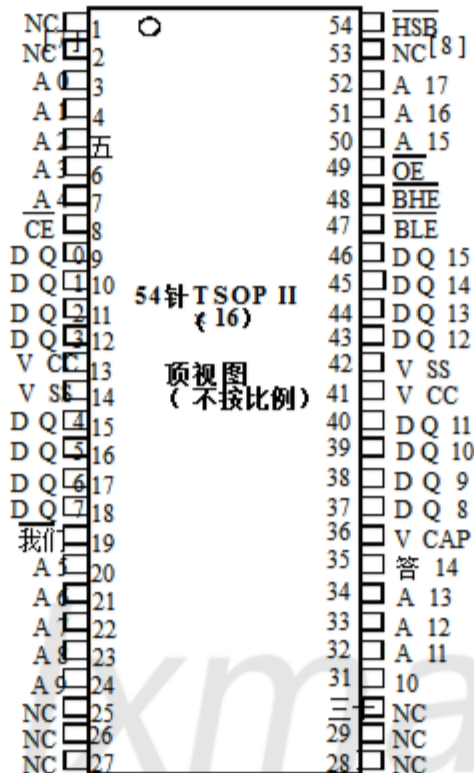


### 笔记

4. 地址扩展为8-Mbit. NC引脚未连接到芯片.
5. 地址扩展为16-Mbit. NC引脚未连接到芯片.
6. HSB引脚不适用于44引脚TSOP II (×16) 封装.

引脚 (续)

图3.引脚图 - 54引脚 TSOP II 引脚



## 引脚定义

| 引脚名称         | I / O 类型  | 描述                                                                                                                                                                  |
|--------------|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| A 0 - A 18   | 输入        | 地址输入. 用于为×8配置选择nvSRAM的524,288个字节之一.                                                                                                                                 |
| A 0 - A 17   |           | 地址输入. 用于为×16配置选择nvSRAM的262,144个字中的一个.                                                                                                                               |
| DQ 0 - DQ 7  | 输入/输出×8配置 | 的双向数据I / O线. 根据操作作用作输入或输出线.                                                                                                                                         |
| DQ 0 - DQ 15 |           | 用于×16配置的双向数据I / O线. 用作输入或输出线路取决于操作.                                                                                                                                 |
| 我们           | 输入        | 写使能输入, 低电平有效. 当选择LOW时, I / O引脚上的数据被写入特定的地址位置.                                                                                                                       |
| CE           | 输入        | 芯片使能输入, 低电平有效. LOW时, 选择芯片. HIGH时, 取消选择芯片.                                                                                                                           |
| OE           | 输入        | 输出使能, 低电平有效. 低电平有效OE输入在读取期间启用数据输出缓冲器周期. I / O引脚处于断开OE HIGH的状态.                                                                                                      |
| BHE          | 输入        | 字节高电平使能, 低电平有效. 控制DQ 15 - DQ 8.                                                                                                                                     |
| BLE          | 输入        | 字节低电平使能, 低电平有效. 控制DQ 7 - DQ 0.                                                                                                                                      |
| V SS         | 地面        | 设备接地. 必须连接到系统的地面.                                                                                                                                                   |
| V CC         | 电源设备的电    | 源输入.                                                                                                                                                                |
| HSB [9]      | 输入/输出硬件   | 存储繁忙 (HSB). 低电平时, 此输出表明正在进行硬件存储. 在芯片外部拉低时, 它会启动非易失性存储操作. 每个硬件之后和软件存储操作, HSB 在标准输出高电平 短时间 (t <sub>HHHD</sub> ) 内 被驱动为 高电平 电流, 然后一个微弱的内部上拉电阻使该引脚保持高电平 (外部上拉电阻连接 可选的). |
| V CAP        | 电源自动存储电   | 容. 在断电期间为nvSRAM提供电源以将数据从SRAM存储到非易失性元素.                                                                                                                              |
| NC           | 没有连接没有    | 连接. 该引脚没有连接到芯片.                                                                                                                                                     |

## 笔记

- 地址扩展为16-Mbit. NC引脚未连接到芯片.
- 地址扩展为8-Mbit. NC引脚未连接到芯片.
- HSB引脚不适用于44引脚 TSOP II (×16) 封装.

## 设备操作

**CY14B104LA / CY14B104NA nvSRAM**由两部分组成: 功能组件配对在同一个物理单元中. 他们是 **SRAM** 存储单元和非易失性 **QuantumTrap** 单元. 该 **SRAM** 存储单元作为标准的快速静态 **RAM** 工作. 数据在 **SRAM** 中传输到非易失性单元 (**STORE** 操作), 或从非易失性单元到 **SRAM** (**RECALL** 操作). 使用这种独特的架构, 所有单元格都是并行存储和调用. 在 **STORE** 和 **RECALL** 期间操作时, **SRAM** 的读写操作被禁止. 该 **CY14B104LA / CY14B104NA** 支持无限次读写. 类似于典型的 **SRAM**. 另外, 它提供了无限的 **RECALL** 来自非易失性单元的操作和多达 1 百万个 **STORE** 操作. 请参阅用于 **SRAM** 操作的真值表. 有关读取和写入模式的完整说明, 请参阅第 17 页.

### SRAM 读取

**CY14B104LA / CY14B104NA** 在执行读周期时执行 **CE** 和 **OE** 是低电平, **WE** 和 **HSB** 是高电平. 地址在引脚 **A 0-18** 或 **A 0-17** 上指定. 的是 524,288 中的哪一个数据字节或 262,144 个 16 位的字被访问. 字节使 (**BHE**, **BLE**) 确定启用哪些字节. 输出, 在 16 位字的情况下. 当读取由启动时地址转换, 输出在延迟  $t_{AA}$  后有效 (读取周期 1). 如果读取由 **CE** 或 **OE** 启动, 则输出在  $t_{ACE}$  或  $t_{DOE}$  时有效, 以较晚者为准 (读取周期 2). 该数据输出重复响应地址内的变化.  $t_{AA}$  访问时间, 无需任何控制转换. 输入引脚. 这个保持有效, 直到另一个地址改变或直到 **CE** 或 **OE** 变为高电平, 或 **WE** 或 **HSB** 变为低电平.

### SRAM 写入

当 **CE** 和 **WE** 为低电平和 **HSB** 时执行写周期. 高. 地址输入在进入之前必须稳定. 写周期, 并且必须保持稳定, 直到 **CE** 或 **WE** 变为高电平为止. 周期结束. 通用 **I/O** 引脚 **DQ 0-15** 上的数据. 如果数据有效 ( $t_{SD}$  时间), 则写入存储器. **WE** 控制写入结束或 **CE** 结束之前. 受控写入. 字节使能输入 (**BHE**, **BLE**) 决定. 在 16 位字的情况下写入哪些字节. 这是推荐, 在整个写入周期内 **OE** 保持高电平状态. 避免通用 **I/O** 线上的数据总线争用. 如果 **OE** 保持低电平, 内部电路在 **WE** 走后关闭输出缓冲器  $t_{HZWE}$  低.

### 自动存储操作

**CY14B104LA / CY14B104NA** 将数据存储到 **nvSRAM**. 使用以下三种存储操作之一: 硬件 **STB** 由 **HSB** 激活; 软件商店被激活. 地址序列; 设备关机时自动存储. 该自动存储操作是 **QuantumTrap** 的一项独特功能. 技术 和 是 启用 通过 默认 上 该 **CY14B104LA / CY14B104NA**.

在正常操作期间, 器件从 **V<sub>CC</sub>** 吸收电流. 至给连接到 **V<sub>CAP</sub>** 引脚的电容充电. 这存储. 芯片使用电荷执行单个存储操作. 如果 **V<sub>CC</sub>** 引脚上的电压下降到 **V<sub>SWITCH</sub>** 以下, 则该部件

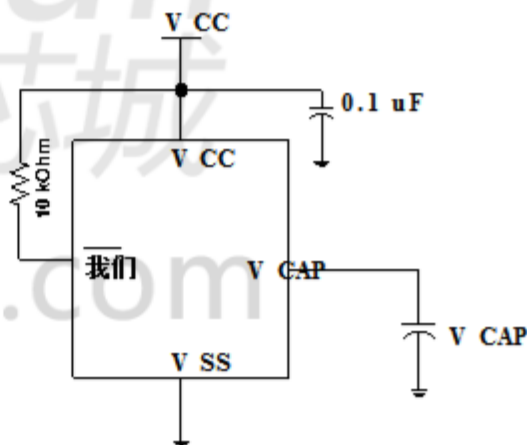
自动将 **V<sub>CAP</sub>** 引脚与 **V<sub>CC</sub>** 断开. 一家商店. 通过 **V<sub>CAP</sub>** 电容提供的电源启动操作.

注意如果电容没有连接到 **V<sub>CAP</sub>** 引脚, 自动存储必须使用预防中指定的软顺序禁用. 自动存储 (第 7 页). 如果自动存储未启用, 则启用电容在 **V<sub>CAP</sub>** 引脚上, 器件尝试自动存储. 没有足够的费用来完成商店. 这个破坏存储在 **nvSRAM** 中的数据.

图 4 显示了存储电容的正确连接 (**V<sub>CAP</sub>**) 用于自动存储操作. 请参阅 DC 电气. 第 8 页上的特性适用于 **V<sub>CAP</sub>** 的尺寸. 电压打开 **V<sub>CAP</sub>** 引脚. 由芯片上的稳压器驱动至 **V<sub>CC</sub>**. 拉起来. 应该放置在 **WE** 上以保持它在上电期间不活动. 这个只有当 **WE** 信号在三态期间, 上拉才有效. 充电. 许多 **MPU** 在启动时使其控制三态. 这个应在使用上拉时进行验证. 当 **nvSRAM** **RECALL** 开机后, **MPU** 必须处于活动状态或状态. **WE** 在 **MPU** 退出复位之前一直处于非活动状态.

减少不必要的非易失性存储, 自动存储和除非至少有一个硬件存储操作被忽略. 写操作自最近的 **STORE** 或 **RECALL** 循环. 执行软件启动的 **STORE** 周期. 不管写操作是否发生. 该 **HSB** 信号由系统监测以检测是否存在自动存储周期正在进行中.

图 4. 自动存储模式



### 硬件存储操作

**CY14B104LA / CY14B104NA** 提供 **HSB [10]** 引脚. 控制并确认存储操作. **HSB** 引脚. 用于请求硬件存储周期. 当 **HSB** 引脚. 被驱动为低电平, **CY14B104LA / CY14B104NA** 有条件  $t_{DELAY}$  后启动 **STORE** 操作. 一个实际的存储周期. 只有在自上次以来写入 **SRAM** 的情况下才开始. 存储或回叫周期. **HSB** 引脚也可以作为开路. 漏极驱动器 (内部 100 k $\Omega$  弱上拉电阻). 最终被驱动为低电平以指示 **STORE** 时的繁忙状态. (以任何方式发起) 正在进行中.

注每个硬件和软件存储操作 **HSB** 之后. 在标准输出高电平时短时间 ( $t_{HHHD}$ ) 被驱动为高电平. 电流, 然后通过内部 100 k $\Omega$  保持高电平. 拉起来. 电阻.

### 注意

10. **HSB** 引脚不适用于 44 引脚 **TSOP II (x16)** 封装.

在HSB驱动时正在进行的SRAM写入操作  
LOW以任何方式给定时间 ( $t_{\text{DELAY}}$ ) 以前完成  
存储操作启动。但是, 任何SRAM写入  
HSB变为低电平后请求的周期被禁止, 直到HSB  
返回高。如果写锁存器未设置, HSB不被驱动  
LOW由CY14B104LA / CY14B104NA提供。但任何SRAM读取  
写入周期被禁止, 直到MPU返回高电平状态  
或其他外部来源。

在任何STORE操作期间, 无论它是如何启动的,  
CY14B104LA / CY14B104NA继续驱动HSB引脚  
LOW, 只有在STORE完成时才会释放它。上  
完成存储操作, nvSRAM存储器  
在HSB引脚返回高电平后, 访问被禁止  $t_{\text{LZHSB}}$  时间。  
如果不使用HSB, 请保持HSB不连接。

#### 硬件回读 (上电)

中 充电 要么后 任何 低 功率 条件  
( $V_{\text{CC}} < V_{\text{SWITCH}}$ ), 内部RECALL请求被锁存。什么时候  
 $V_{\text{CC}}$ 再次超过 $V_{\text{SWITCH}}$ , 即RECALL循环  
会自动启动并 完成HRECALL。中  
这次HSB引脚被HSB驱动器和全部驱动为低电平  
读取和写入nvSRAM被禁止。

#### 软件商店

数据从SRAM传输到非易失性存储器  
通过 一个 软件 地址 序列。  
启动CY14B104LA / CY14B104NA软件存储循环  
通过从六个执行顺序的CE或OE控制的读取周期  
具体地址位置按照确切的顺序。在STORE期间  
首先执行循环擦除先前的非易失性数据,  
接着是一个非易失性元素的程序。之后  
存储周期启动, 进一步的输入和输出被禁用  
直到周期结束。

因为使用了来自特定地址的读取序列  
对于STORE的启动, 重要的是没有其他的读或写  
访问会干扰序列, 或者序列被中止  
并没有STORE或RECALL发生。

要启动软件存储周期, 请阅读以下内容  
必须执行序列。

表1. 模式选择

| CE | 我们 | OE | BHE, BLE [1] | A15-A0 [12]                                              | 模式                                                      | I/O                                          | 功率     |
|----|----|----|--------------|----------------------------------------------------------|---------------------------------------------------------|----------------------------------------------|--------|
| H  | X  | X  | X            | X                                                        | 未选中的                                                    | 输出高Z。                                        | 支持     |
| 大号 | H  | 大号 | 大号           | X                                                        | 读SRAM                                                   | 输出数据                                         | 活性     |
| 大号 | 大号 | X  | 大号           | X                                                        | 写入SRAM                                                  | 输入数据                                         | 活性     |
| 大号 | H  | 大号 | X            | 0x4E38<br>0xB1C7<br>0x83E0<br>0x7C1F<br>0x703F<br>0x8B45 | 读SRAM<br>读SRAM<br>读SRAM<br>读SRAM<br>读SRAM<br>自动存储<br>禁用 | 输出数据<br>输出数据<br>输出数据<br>输出数据<br>输出数据<br>输出数据 | 活动[13] |

#### 笔记

11. BHE和BLE仅适用于 $\times 16$ 配置。
12. 虽然CY14B104LA上有19条地址线 (CY14B104NA的18条地址线), 但只有13条地址线 (A14-A2) 用于控制软件模式。  
其余的地址线不在乎。
13. 六个连续的地址位置必须按列出的顺序。在所有六个周期内, 我们必须处于高电平状态才能启用非易失性周期。

1. 读地址0x4E38有效READ
2. 读取地址0xB1C7有效的READ
3. 读地址0x83E0有效READ
4. 读取地址0x7C1F有效的读取
5. 读取地址0x703F有效的READ
6. 读地址0x8FC0启动存储周期

软件序列可以使用CE控制读取进行计时  
或OE控制的读取, 对于所有六个READ, WE保持高电平  
序列。在序列中输入第六个地址后,  
存储周期开始并且芯片被禁止。HSB是  
驱动为低。 $t_{\text{STORE}}$ 周期时间完成后, SRAM即为  
再次激活读取和写入操作。

#### 软件回收

数据从非易失性存储器传输到SRAM  
由一个软件地址序列。软件RECALL循环是  
以类似的方式以一系列读操作启动  
到软件商店启动。要启动RECALL循环, 必须  
执行以下CE或OE控制读取序列  
必须执行操作。

1. 读地址0x4E38有效READ
2. 读取地址0xB1C7有效的READ
3. 读地址0x83E0有效READ
4. 读取地址0x7C1F有效的读取
5. 读取地址0x703F有效的READ
6. 读取地址0x4C63启动RECALL循环

在内部, RECALL是一个两步过程。首先是SRAM数据  
被清除。然后, 将非易失性信息传输到  
SRAM单元。 $t_{\text{RECALL}}$ 循环时间过后, SRAM再次出现  
准备好读写操作。RECALL操作  
不会更改非易失性元素中的数据。

表1.模式选择 (续)

| CE | 我们 | OE | BHE, BLE [1] | A15-A0 [12]                                              | 模式                                                      | I/O                                           | 功率           |
|----|----|----|--------------|----------------------------------------------------------|---------------------------------------------------------|-----------------------------------------------|--------------|
| 大号 | H  | 大号 | X            | 0x4E38<br>0xB1C7<br>0x83E0<br>0x7C1F<br>0x703F<br>0x4B46 | 读SRAM<br>读SRAM<br>读SRAM<br>读SRAM<br>读SRAM<br>自动存储<br>启用 | 输出数据<br>输出数据<br>输出数据<br>输出数据<br>输出数据<br>输出数据  | 活动[14]       |
| 大号 | H  | 大号 | X            | 0x4E38<br>0xB1C7<br>0x83E0<br>0x7C1F<br>0x703F<br>0x8FC0 | 读SRAM<br>读SRAM<br>读SRAM<br>读SRAM<br>读SRAM<br>非易失性<br>商店 | 输出数据<br>输出数据<br>输出数据<br>输出数据<br>输出数据<br>输出高Z. | 主动I CC2 [14] |
| 大号 | H  | 大号 | X            | 0x4E38<br>0xB1C7<br>0x83E0<br>0x7C1F<br>0x703F<br>0x4C63 | 读SRAM<br>读SRAM<br>读SRAM<br>读SRAM<br>读SRAM<br>非易失性<br>召回 | 输出数据<br>输出数据<br>输出数据<br>输出数据<br>输出数据<br>输出高Z. | 活动[14]       |

#### 防止自动存储

自动存储功能通过启动自动存储被禁用禁用序列.执行一系列读取操作以类似于软件STORE启动的方式进行.启动AutoStore禁用序列, CE的以下序列或OE控制的读取操作必须执行:

- 1.读地址0x4E38有效READ
- 2.读取地址0xB1C7有效的READ
- 3.读地址0x83E0有效READ
- 4.读取地址0x7C1F有效的读取
- 5.读取地址0x703F有效的READ
- 6.读地址0x8B45自动存储禁用

AutoStore通过启动自动存储启用重新启用序列.一系列的读操作在a中执行类似于软件RECALL启动的方式.启动

AutoStore启用序列, 以下序列为CE或OE必须执行受控读取操作:

- 1.读地址0x4E38有效READ
- 2.读取地址0xB1C7有效的READ
- 3.读地址0x83E0有效READ
- 4.读取地址0x7C1F有效的读取
- 5.读取地址0x703F有效的READ
- 6.读取地址0x4B46自动存储启用

如果AutoStore功能被禁用或重新启用, 则手册必须发布存储操作(硬件或软件)以保存自动存储状态通过后续的关机周期.该部分来自启用了AutoStore的工厂写入所有单元格的0x00.

#### 数据保护

CY14B104LA / CY14B104NA保护数据免受腐败

在低电压条件下通过禁止所有外部启动

存储和写入操作.低电压状态是

检测 什么时候  $V_{CC} < V_{SWITCH}$ . 如果 该

CY14B104LA / CY14B104NA处于写入模式(CE和WE

在上电时, 在RECALL或STORE后写入

禁止直到在 LZHSB (HSB输出) 后使能SRAM

活性).这可以防止上电期间无意写入

或布朗状态.

#### 注意

14.连续六个地址位置必须按列出的顺序排列.在所有六个周期内, 我们必须处于高电平状态才能启用非易失性周期.

## 最大额定值

超过最大额定值可能会影响本产品的使用寿命  
设备. 这些用户指南未经测试.

储存温度..... - 65 C到+150 C

最大累计存储时间

在150 C环境温度..... 1000小时

在85 C环境温度20年

最高结温..... 150 C

V<sub>CC</sub>上的电源电压 相对于V<sub>SS</sub>..... -0.5 V至4.1 V

施加到输出的电压

在高Z状态..... -0.5 V至V<sub>CC</sub> + 0.5 V

输入电压..... -0.5 V至V<sub>CC</sub> + 0.5 V

瞬态电压 (<20 ns) 开启

任何引脚接地电位..... -2.0 V至V<sub>CC</sub> + 2.0 V

封装功耗

能力 (T<sub>A</sub> = 25°C)..... 1.0 W

表面安装铅焊接

温度 (3秒)..... + 260 C

直流输出电流 (每次1个输出, 持续1秒)..... 15 mA

静电放电电压

(按照MIL-STD-883, 方法3015)..... > 2001V

锁定电流..... > 200 mA

## 工作范围

| 范围 | 环境温度        | V <sub>CC</sub> |
|----|-------------|-----------------|
| 产业 | -40 C至+85°C | 2.7 V至3.6 V     |

## 直流电气特性

在操作范围内

| 参数                   | 描述                                                                                                                                                                      | 测试条件                                                                                                                                   | 敏                     | 典型[15] | 马克斯                   | 单元          |
|----------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------|-----------------------|--------|-----------------------|-------------|
| V <sub>CC</sub>      | 电源                                                                                                                                                                      |                                                                                                                                        | 2.7                   | 3.0    | 3.6                   | V           |
| 我 <sub>CC1</sub>     | 平均V <sub>CC</sub> 电流                                                                                                                                                    | t <sub>RC</sub> = 20ns<br>t <sub>RC</sub> = 25ns<br>t <sub>RC</sub> = 45ns<br>没有输出负载的情况<br>(I <sub>OUT</sub> = 0 mA)                   | -                     |        | 70<br>70<br>52        | 嘛<br>嘛<br>嘛 |
| 我 <sub>CC2</sub>     | 平均V <sub>CC</sub> 电流<br>商店                                                                                                                                              | 所有输入不关心, V <sub>CC</sub> = 最大<br>持续时间t <sub>STORE</sub> 的平均电流                                                                          | -                     |        | 10                    | 嘛           |
| 我 <sub>CC3</sub>     | 平均V <sub>CC</sub> 电流at<br>t <sub>RC</sub> = 200 ns, V <sub>CC</sub> (典型值), 25°C                                                                                         | 所有输入以CMOS电平循环.<br>没有输出负载的情况<br>(I <sub>OUT</sub> = 0 mA).                                                                              | -3.5                  |        | -                     | 嘛           |
| 我 <sub>CC4</sub>     | 期间的平均V <sub>CAP</sub> 电流<br>自动存储周期                                                                                                                                      | 所有输入不关心. 平均电流为<br>持续时间t <sub>商店</sub>                                                                                                  | -5                    |        |                       | 嘛           |
| 我 <sub>SB</sub>      | V <sub>CC</sub> 待机电流                                                                                                                                                    | CE > (V <sub>CC</sub> - 0.2 V).<br>V <sub>IN</sub> < 0.2 V或> (V <sub>CC</sub> - 0.2 V).<br>非易失性后的待机电流水平<br>周期完成.<br>输入是静态的. f = 0 MHz. | -5                    |        |                       | 嘛           |
| 我 <sub>IX</sub> [16] | 输入漏电流 (除外)<br>HSB)                                                                                                                                                      | V <sub>CC</sub> = Max, V <sub>SS</sub> ≤ V <sub>IN</sub> ≤ V <sub>CC</sub>                                                             | -1                    | -      | +1                    | ≈ A         |
|                      | 输入漏电流 (用于HSB) V <sub>CC</sub> = 最大值, V <sub>SS</sub> < V <sub>IN</sub> < V <sub>CC</sub>                                                                                |                                                                                                                                        | -100                  | -      | +1                    | ≈ A         |
| 我 <sub>OZ</sub>      | 关态输出泄漏电流 V <sub>CC</sub> = 最大, V <sub>SS</sub> < V <sub>OUT</sub> < V <sub>CC</sub> ,<br>CE或OE > V <sub>IH</sub> 或<br>BHE / BLE ≥ V <sub>IH</sub> 或WE ≤ V <sub>IL</sub> |                                                                                                                                        | -1                    | -      | +1                    | ≈ A         |
| V <sub>IH</sub>      | 输入高电压                                                                                                                                                                   |                                                                                                                                        | 2.0                   | -      | V <sub>CC</sub> + 0.5 | V           |
| V <sub>IL</sub>      | 输入低电压                                                                                                                                                                   |                                                                                                                                        | V <sub>SS</sub> - 0.5 | -      | 0.8                   | V           |
| V <sub>OH</sub>      | 输出高电压                                                                                                                                                                   | I <sub>OUT</sub> = -2 mA                                                                                                               | 2.4                   | -      | -                     | V           |
| V <sub>OL</sub>      | 输出低电压                                                                                                                                                                   | I <sub>OUT</sub> = 4 mA                                                                                                                | -                     | -      | 0.4                   | V           |

## 笔记

15. 典型值为25°C, V<sub>CC</sub> = V<sub>CC</sub> (典型值). 未经100%测试.

16. 当高电平驱动器和低电平驱动器均被禁用时, HSB引脚的I<sub>OUT</sub> = -2μA, V<sub>OH</sub>为2.4 V. 当它们启用时, 标准V<sub>OH</sub>和V<sub>OL</sub>有效. 这个参数为特征值, 但未经测试.

## 直流电气特性 (续)

在操作范围内

| 参数                        | 描述                                   | 测试条件                                      | 敏  | 典型 [15] | 马克斯             | 单元 |
|---------------------------|--------------------------------------|-------------------------------------------|----|---------|-----------------|----|
| V <sub>CAP</sub> [17]     | 存储电容                                 | 在 V <sub>CAP</sub> 引脚和 V <sub>SS</sub> 之间 | 61 | 68      | 180             | ≈F |
| V <sub>VCAP</sub> [18,19] | 在 V <sub>CAP</sub> 上驱动的最大电压<br>由设备引脚 | V <sub>CC</sub> = 最大                      | -  | -       | V <sub>CC</sub> | V  |

## 数据保留和耐力

在操作范围内

| 参数    | 描述       | 敏    | 单元 |
|-------|----------|------|----|
| 数据 R  | 数据保留     | 20   | 年份 |
| N V C | 非易失性存储操作 | 1000 | k  |

## 电容

| 参数 [19]          | 描述                       | 测试条件                                                                      | 马克斯    | 单元   |
|------------------|--------------------------|---------------------------------------------------------------------------|--------|------|
| C <sub>IN</sub>  | 输入电容 (除 BHE, BLE 和 HSB)  | T <sub>A</sub> = 25°C, f = 1 MHz, V <sub>CC</sub> = V <sub>CC</sub> (典型值) | 7 pF   | 的    |
|                  | 输入电容 (用于 BHE, BLE 和 HSB) |                                                                           | 为 8 pF | F    |
| C <sub>OUT</sub> | 输出电容 (HSB 除外)            |                                                                           | 7      | pF 的 |
|                  | 输出电容 (用于 HSB)            |                                                                           | 8      | pF 的 |

## 热阻

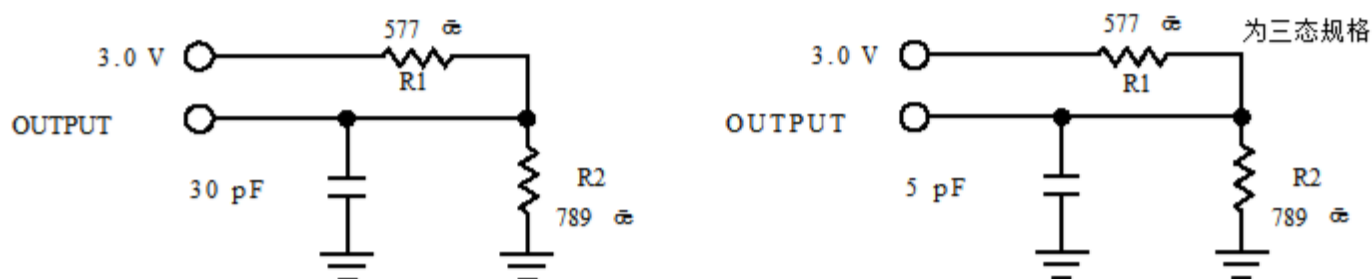
| 参数 [19]                     | 描述        | 测试条件                                                      | 48 引脚 FBGA | 44 引脚 TSOP II | 54 引脚 TSOP II | 单元  |
|-----------------------------|-----------|-----------------------------------------------------------|------------|---------------|---------------|-----|
| <sup>5</sup> J <sub>A</sub> | 热阻 (结到环境) | 测试条件如下<br>标准测试方法和<br>测量程序<br>热阻抗, 英寸<br>根据<br>EIA/JESD51. | 46.09      | 43.3          | 42.03         | C/W |
| <sup>5</sup> J <sub>C</sub> | 热阻 (结到案件) |                                                           | 7.84       | 5.56          | 6.08          | C/W |

## 笔记

17. 最小 V<sub>CAP</sub> 值确保有足够的电压用来完成成功的自动存储操作. 最大 V<sub>CAP</sub> 值确保电容器开启. 在上电回读周期内, V<sub>CAP</sub> 被充电到最小电压, 以便立即断电周期可以完成成功的自动存储. 所以呢, 总是建议在指定的最小和最大限制内使用电容. 有关 V<sub>CAP</sub> 选项的更多详细信息, 请参阅应用笔记 AN43593.
18. 选择 V<sub>CAP</sub> 电容时, V<sub>CAP</sub> 引脚上的最大电压 (V<sub>VCAP</sub>) 用于指导. 运行时 V<sub>CAP</sub> 电容的额定电压温度范围应该高于 V<sub>VCAP</sub> 电压.
19. 这些参数由设计保证, 未经测试.

## 交流测试负载

图5. AC测试负载



## 交流测试条件

输入脉冲电平..... 0 V至3 V  
 输入上升和下降时间 (10% -90%) .....  $\ll 3$  ns  
 输入和输出时序参考电平..... 1.5 V

 **Wlxmall**  
 万联芯城  
[www.wlxmall.com](http://www.wlxmall.com)

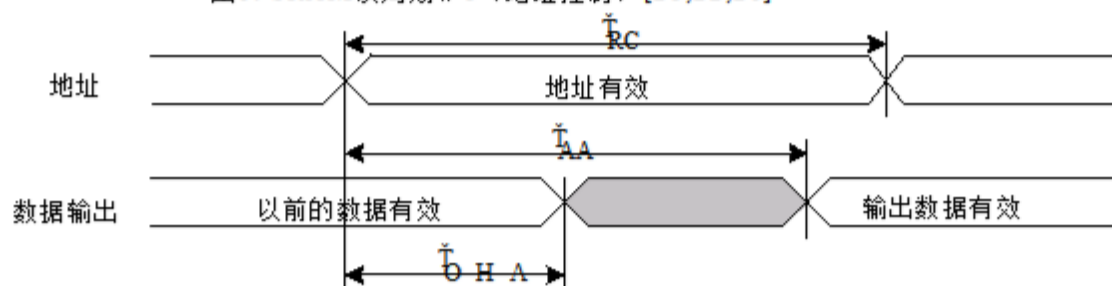
## 交流开关特性

在操作范围内

| 参数[20]            |       | 描述          | 20 ns |     | 25纳秒 |     | 45纳秒 |     | 单元 |
|-------------------|-------|-------------|-------|-----|------|-----|------|-----|----|
| 柏参数               | 替代参数  |             | 敏     | 马克斯 | 敏    | 马克斯 | 敏    | 马克斯 |    |
| SRAM读周期           |       |             |       |     |      |     |      |     |    |
| ACE               | ACS   | 芯片启用访问时间    | -     | 20  | -    | 25  | -    | 45  | NS |
| t RC [21]         | t RC  | 读取周期时间      | 20    | -   | 25   | -   | 45   | -   | NS |
| t AA [22]         | t AA  | 地址访问时间      | -     | 20  | -    | 25  | -    | 45  | NS |
| t DOE             | OE    | 输出使能到数据有效   | -     | 10  | -    | 12  | -    | 20  | NS |
| t OHA [22]        | t OH  | 地址更改后输出保持   | 3-3-3 |     |      |     |      | -   | NS |
| t LZCE [23,24]    | t LZ  | 芯片使能输出激活    | 3-3-3 |     |      |     |      | -   | NS |
| t HZCE [23,24]    | t HZ  | 芯片禁用输出无效    | -     | 8   | -    | 10  | -    | 15  | NS |
| t LZOE [23,24]    | t OLZ | 输出使能输出激活    | 0-0-0 |     |      |     |      | -   | NS |
| t HZOE [23,24]    | t OHZ | 输出禁用输出无效    | -     | 8   | -    | 10  | -    | 15  | NS |
| t PU [23]         | 吨 PA  | 芯片使电源处于活动状态 | 0-0-0 |     |      |     |      | -   | NS |
| t PD [23]         | t PS  | 芯片禁用以待机     | -     | 20  | -    | 25  | -    | 45  | NS |
| t DBE             | -     | 字节启用数据有效    | -     | 10  | -    | 12  | -    | 20  | NS |
| t LZBE [23]       | -     | 字节使能输出激活    | 0-0-0 |     |      |     |      | -   | NS |
| t HZBE [23]       | -     | 字节禁用输出无效    | -     | 8   | -    | 10  | -    | 15  | NS |
| SRAM写周期           |       |             |       |     |      |     |      |     |    |
| t WC              | t WC  | 写周期时间       | 20    | -   | 25   | -   | 45   | -   | NS |
| PWE               | t WP  | 写入脉冲宽度      | 15    | -   | 20   | -   | 三十   | -   | NS |
| t SCE             | 吨 CW  | 芯片使写入结束     | 15    | -   | 20   | -   | 三十   | -   | NS |
| t SD              | t DW  | 数据设置结束写入    | 8     | -   | 10   | -   | 15   | -   | NS |
| t HD              | 卫生署   | 写入结束后保持数据   | 0-0-0 |     |      |     |      | -   | NS |
| t AW              | t AW  | 地址设置结束写入    | 15    | -   | 20   | -   | 三十   | -   | NS |
| t SA              | t AS  | 地址设置开始写入    | 0-0-0 |     |      |     |      | -   | NS |
| 哈                 | 吨 WR  | 写入结束后地址保持   | 0-0-0 |     |      |     |      | -   | NS |
| t HZWE [23,24,25] | t WZ  | 写使能输出禁用     | -     | 8   | -    | 10  | -    | 15  | NS |
| t LZWE [23,24]    | 吨     | 写入结束后输出有效   | 3-3-3 |     |      |     |      | -   | NS |
| 吨 BW              | -     | 字节启用写入结束    | 15    | -   | 20   | -   | 三十   | -   | NS |

## 切换波形

图6. SRAM读周期 #1 (地址控制) [21,22,26]



### 笔记

20. 测试条件假定信号转换时间小于或等于 3 ns, 定时参考电平为  $V_{CC}/2$ , 输入脉冲电平为 0 至  $V_{CC}$  (典型值), 并且输出负载为指定值  $I_{OL}/I_{OH}$  和负载电容, 如第 10 页的图 5 所示。
21. 在 SRAM 读取周期期间, WE 必须为高电平。
22. 器件连续选择 CE, OE 和 BHE / BLE 低。
23. 这些参数由设计保证但未经过测试。
24. 从静态输出电压测量  $\pm 200$  mV。
25. 如果 CE 变为低电平时 WE 为低电平, 则输出保持高阻状态。
26. 在读取和写入周期期间, HSB 必须保持高电平。

切换波形 (续)

图7. SRAM读取周期# 2 (CE和OE控制) [27,28,29]

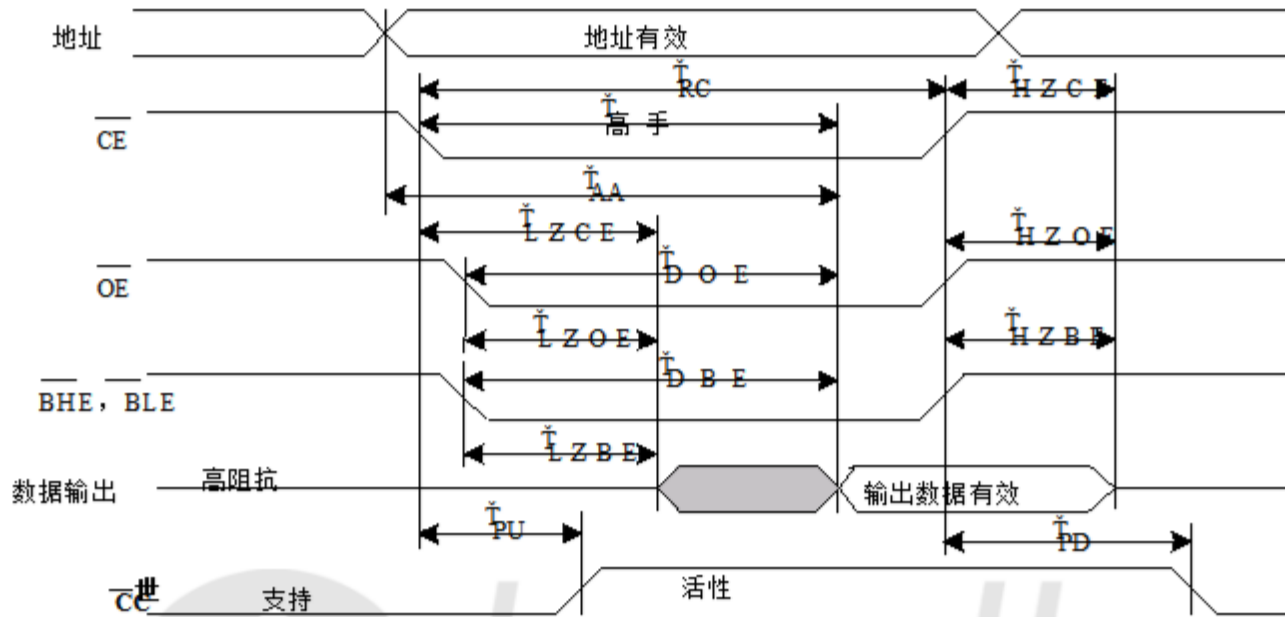
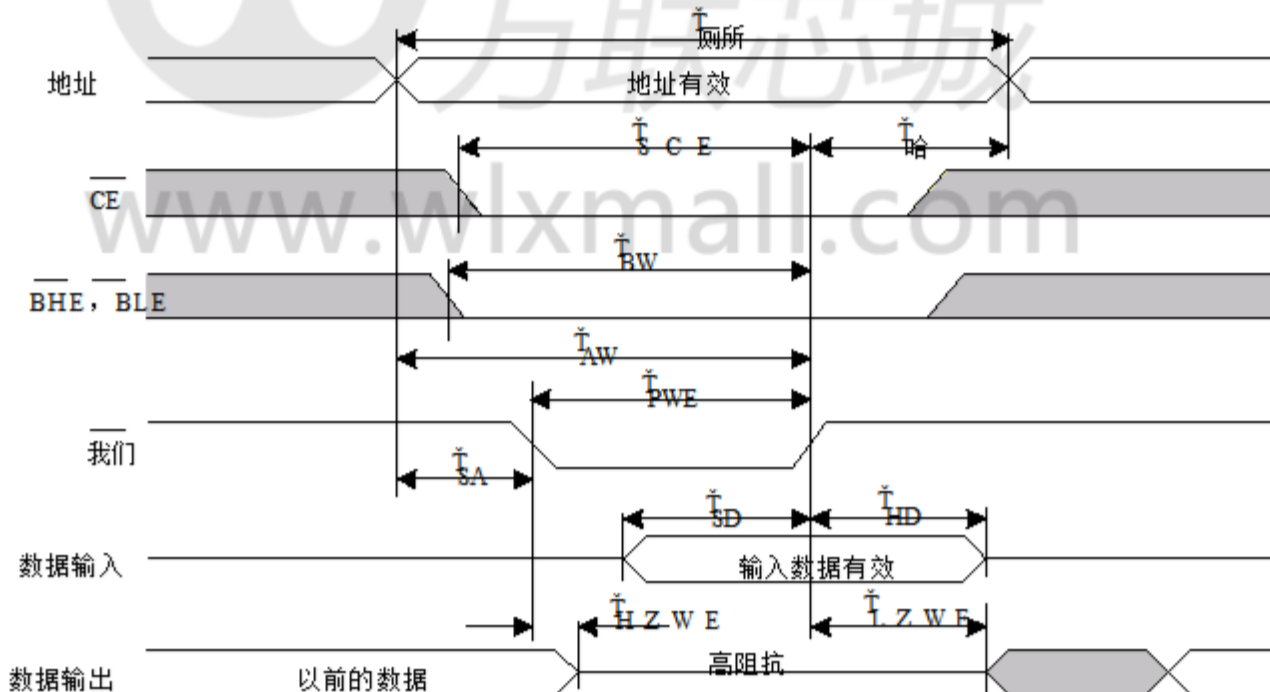


图8. SRAM写周期# 1 (WE控制) [27,29,30,31]



#### 笔记

27. BHE和BLE仅适用于×16配置。
28. 在SRAM读取周期期间，我们必须为高电平。
29. 读写周期期间，HSB必须保持高电平。
30. 如果CE变为低电平时WE为低电平，则输出保持高阻状态。
31. 在地址转换期间，CE或WE必须> VIH。

切换波形 (续)

图9. SRAM写周期 # 2 (CE控制) [32, 33, 34, 35]

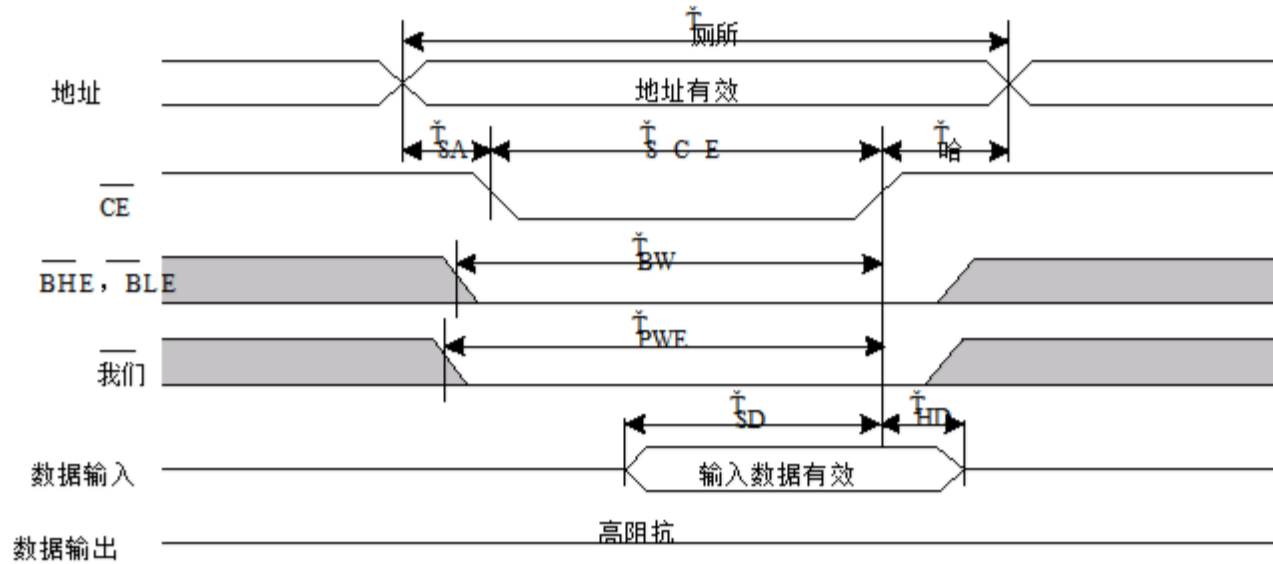
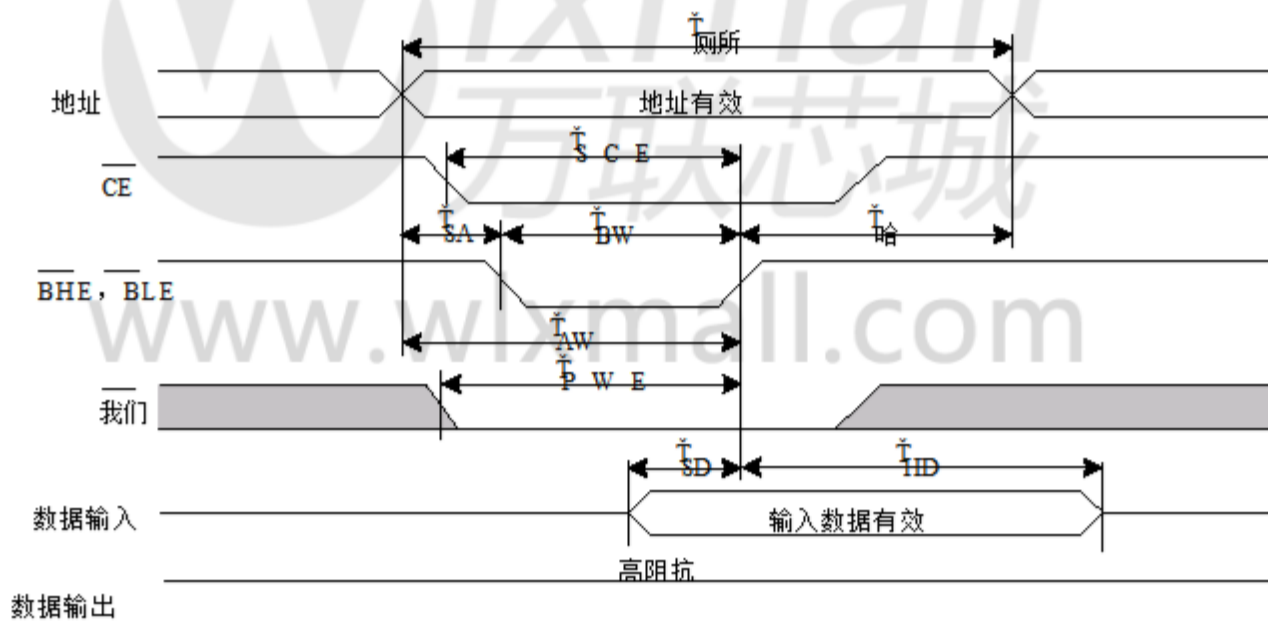


图10. SRAM写周期 # 3 (BHE和BLE控制) [32,33,34,35]



**笔记**

- 32. BHE和BLE仅适用于×16配置。
- 33. 如果CE变为低电平时WE为低电平，则输出保持高阻状态。
- 34. 在读取和写入周期期间，HSB必须保持高电平。
- 35. 在地址转换期间，CE或WE必须  $> V_{IH}$ 。

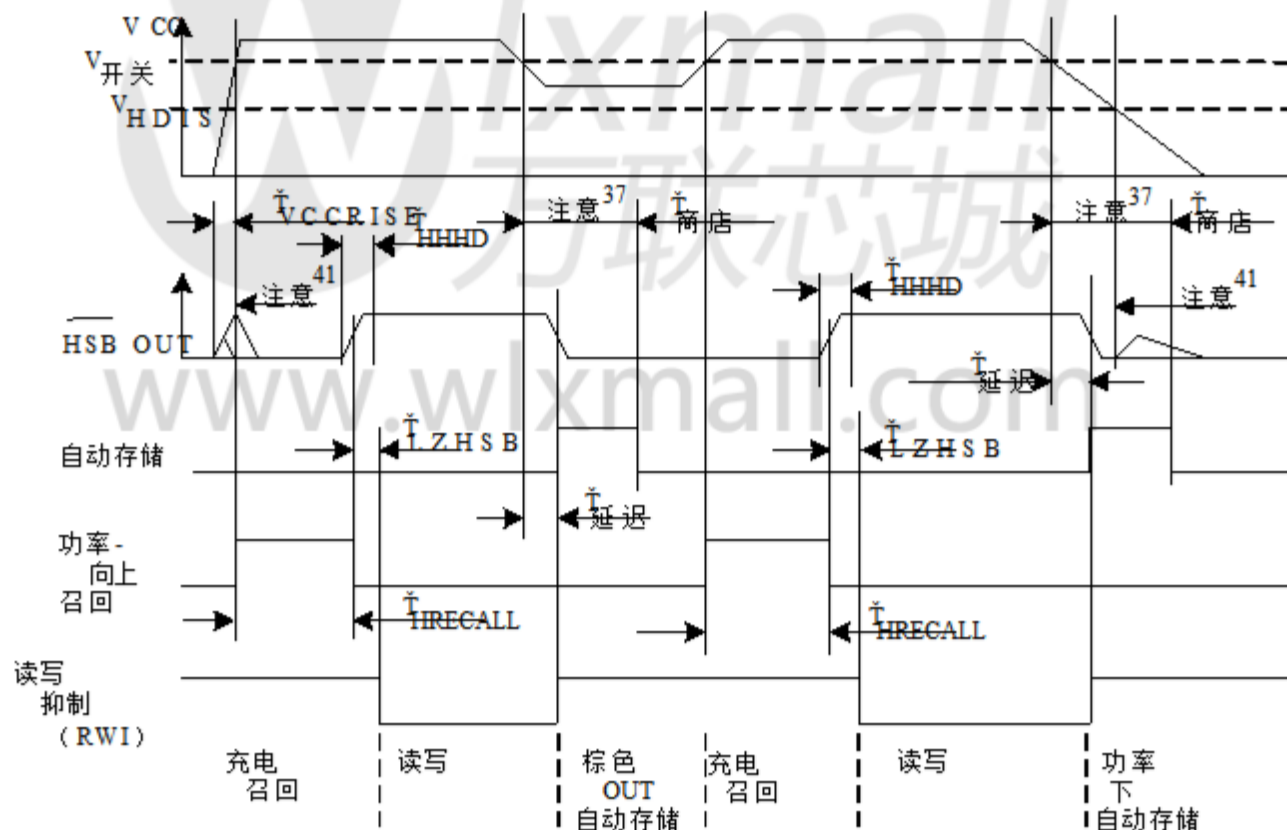
## 自动存储/加电回读

在操作范围内

| 参数             | 描述                 | 20 ns       |      | 25 纳秒 |       | 45 纳秒 |       | 单元 |
|----------------|--------------------|-------------|------|-------|-------|-------|-------|----|
|                |                    | 敏           | 马克斯  | 敏     | 马克斯   | 敏     | 马克斯   |    |
| t HRECALL [36] | 上电RECALL持续时间       | -           | 20   | -     | 20    | -     | 20    | 女士 |
| t STORE [37]   | 存储周期               | -           | 8    | -     | 8     | -     | 8     | 女士 |
| t DELAY [38]   | 允许完成SRAM的时间<br>写周期 | - 2 0 - 2 5 |      |       |       | - 2 5 |       | NS |
| V SWITCH       | 低电压触发电平            | -           | 2.65 | -     | 2.65  | -     | 2.65  | V  |
| t VCCRISE [39] | V CC 上升时间          | 1 5 0       | -    | 150   | -     | 150   | -     | ns |
| V HDIS [39]    | HSB输出禁用电压          | -           | 1.9  | -     | 1.9   | -     | 1.9   | V  |
| t LZHSB [39]   | HSB输出活动时间          | -           | 五    | -     | 五     | -     | 五     | ns |
| t HHHD [39]    | HSB高活跃时间           | -           | 500  | -     | 5 0 0 | -     | 5 0 0 | NS |

## 切换波形 - 自动存储/加电回叫

图11.自动存储或启动RECALL [40]



### 笔记

36. t 从 V CC 上升到 V SWITCH 以上时开始 HRECALL.
37. 如果自上一个非易失性周期以来没有发生 SRAM 写入, 则不会发生自动存储或硬件存储.
38. 在硬件 STORE 和自动存储启动时, 持续在 t DELAY 时间内启用 SRAM 写入操作.
39. 这些参数由设计保证但未经过测试.
40. 在 STORE, RECALL 和 V CC 低于 V SWITCH 期间, 读取和写入周期被忽略.
41. 在上电和掉电期间, 当 HSB 引脚通过外部电阻上拉时, HSB 会产生毛刺.

## 软件控制的存储/回读周期

在操作范围内

| 参数 [42, 43]  | 描述          | 20 ns   |      | 25 纳秒 |     | 45 纳秒 |     | 单元 |
|--------------|-------------|---------|------|-------|-----|-------|-----|----|
|              |             | 敏       | 马克斯  | 敏     | 马克斯 | 敏     | 马克斯 |    |
| $t_{RC}$     | 存储/调用启动周期时间 | 20      | -    | 25    | -   | 45    | -   | NS |
| $t_{SA}$     | 地址设置时间      | 0       | -    | 0     | -   | 0     | -   | NS |
| $t_{CW}$     | 时钟脉冲宽度      | 15 - 20 | 30 - |       |     |       |     | NS |
| $t_{H}$      | 地址保持时间      | 0       | -    | 0     | -   | 0     | -   | NS |
| $t_{RECALL}$ | RECALL 持续时间 | -       | 200  | -     | 200 | -     | 200 | ns |

## 开关波形 - 软件控制存储/回读周期

图12. CE和OE控制软件存储/回读周期[43]

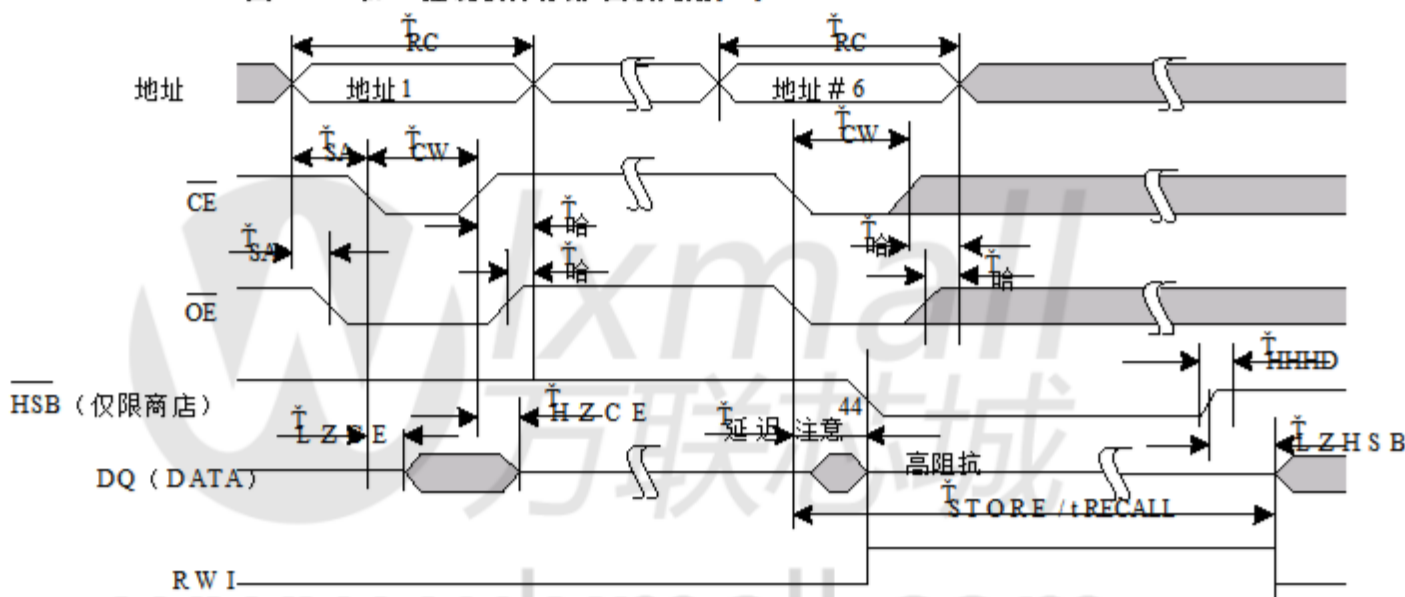
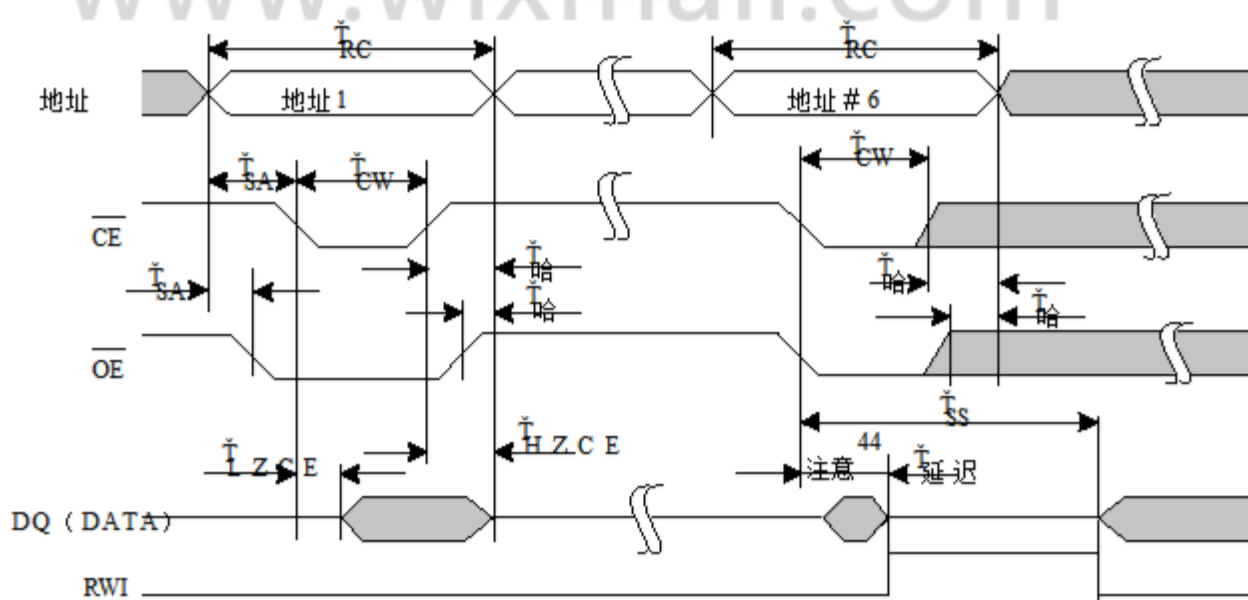


图13. 自动存储启用/禁用循环[43]



### 笔记

42. 软件序列采用CE控制或OE控制读取进行计时。  
 43. 必须按照第6页的表1中列出的顺序读取六个连续地址。在所有六个连续周期中，WE必须为高电平。  
 44. 由于在 $t_{DELAY}$ 时间输出被禁止，第六次读取时的DQ输出数据可能无效。

## 硬件存储周期

在操作范围内

| 参数           | 描述                  | 20 ns |     | 25纳秒 |     | 45纳秒 |     | 单元 |
|--------------|---------------------|-------|-----|------|-----|------|-----|----|
|              |                     | 敏     | 马克斯 | 敏    | 马克斯 | 敏    | 马克斯 |    |
| t DHSB       | 当写锁存未设置时, HSB输出活动时间 | -     | 20  | -    | 25  | -    | 25  | NS |
| t PHSB       | 硬件存储脉冲宽度            | 15    | -   | 15   | -   | 15   | -   | NS |
| t SS [45,46] | 软序列处理时间             | -     | 100 | -    | 100 | -    | 100 | ns |

## 开关波形 - 硬件存储周期

图14.硬件存储周期[47]

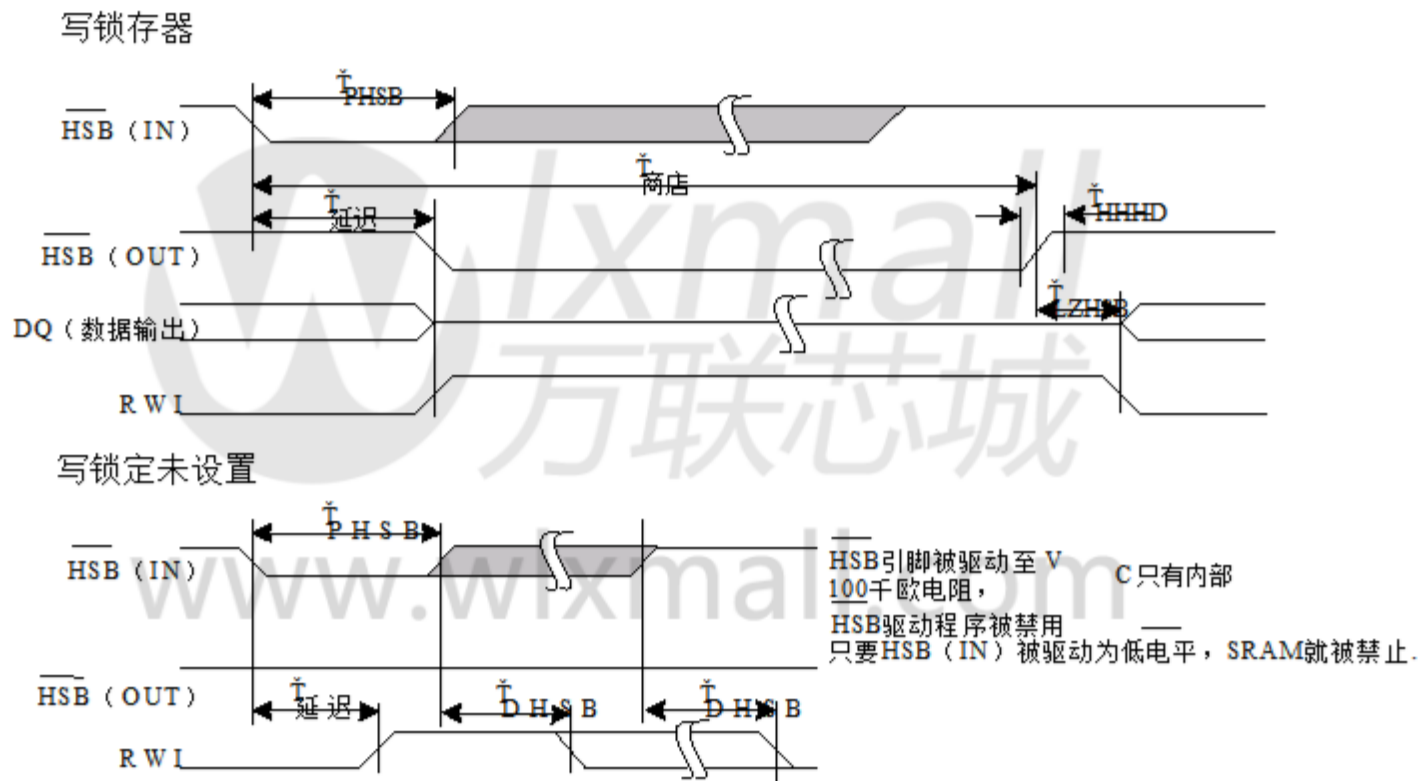
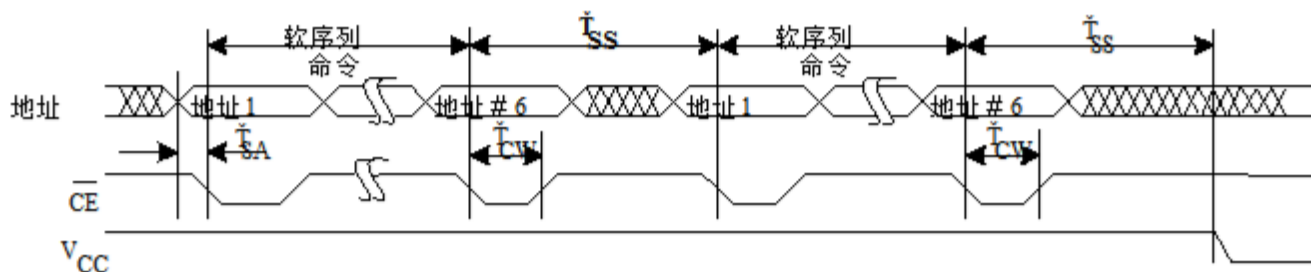


图15.软序列处理[45, 46]



### 笔记

45. 这是对软序列命令采取行动所花费的时间。V<sub>CC</sub> 电源必须保持高电平以有效注册命令。  
46. STORE和RECALL等命令会锁定I/O直到操作完成, 这会进一步增加此时间。看具体的命令。  
47. 如果自上一个非易失性周期以来未执行SRAM写操作, 则不会发生自动存储或硬件存储。

## SRAM操作的真值表

对于SRAM操作，HSB应保持高电平。

表2.×8配置的真值表

| CE | 我们 | OE | 输入/输出[48]          | 模式    | 功率 |
|----|----|----|--------------------|-------|----|
| H  | X  | X  | 高Z                 | 取消/掉电 | 支持 |
| 大号 | H  | 大号 | 数据输出 (DQ 0-DQ 7) ; | 读     | 活性 |
| 大号 | H  | H  | 高Z                 | 输出禁用  | 活性 |
| 大号 | 大号 | X  | (DQ 0-DQ 7) 中的数据;  | 写     | 活性 |

表3.×16配置的真值表

| CE | 我们 | OE  | BHE [49] | BLE [49] | 输入/输出[48]                             | 模式    | 功率 |
|----|----|-----|----------|----------|---------------------------------------|-------|----|
| H  | X  | X   | X        | X        | 高Z                                    | 取消/掉电 | 支持 |
| 大号 | X  | X   | H        | H        | 高Z                                    | 输出禁用  | 活性 |
| 大号 | H  | LLL |          |          | 数据输出 (DQ 0-DQ 15)                     | 读     | 活性 |
| 大号 | H  | 大号  | H        | 大号       | 数据输出 (DQ 0-DQ 7) ;<br>DQ 8-DQ 15 高Z   | 读     | 活性 |
| 大号 | H  | 大号  | 大号       | H        | 数据输出 (DQ 8-DQ 15) ;<br>高Z中的 DQ 0-DQ 7 | 读     | 活性 |
| 大号 | H  | H   | 大号       | 大号       | 高Z                                    | 输出禁用  | 活性 |
| 大号 | H  | H   | H        | 大号       | 高Z                                    | 输出禁用  | 活性 |
| 大号 | H  | H   | 大号       | H        | 高Z                                    | 输出禁用  | 活性 |
| 二  |    | X   | 大号       | 大号       | (DQ 0-DQ 15) 中的数据                     | 写     | 活性 |
| 二  |    | X   | H        | 大号       | (DQ 0-DQ 7) 中的数据;<br>DQ 8-DQ 15 高Z    | 写     | 活性 |
| 二  |    | X   | 大号       | H        | (DQ 8-DQ 15) 中的数据;<br>高Z中的 DQ 0-DQ 7  | 写     | 活性 |

### 笔记

48. 用于×8配置的数据DQ 0-DQ 7和用于×16配置的数据DQ 0-DQ 15。

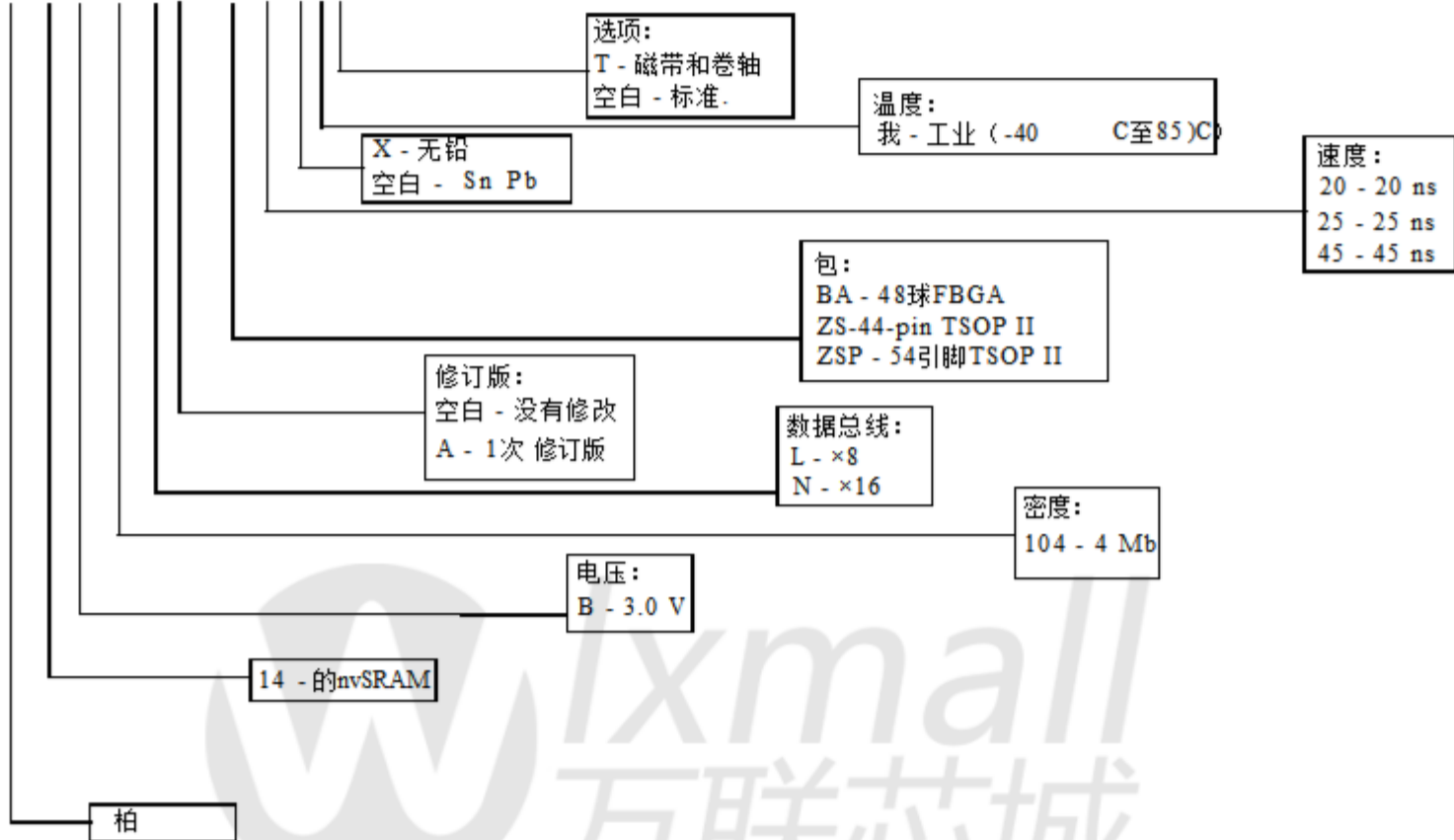
49. BHE和BLE仅适用于×16配置。

**订购信息**

| 速度<br>(NS) | 订购代码                | 包图       | 包装类型        | 操作<br>范围 |
|------------|---------------------|----------|-------------|----------|
| 20         | CY14B104LA-ZS20XIT  | 51-85087 | 44针 TSOP II | 产业       |
|            | CY14B104LA-ZS20XI   | 51-85087 | 44针 TSOP II |          |
|            | CY14B104NA-ZS20XIT  | 51-85087 | 44针 TSOP II |          |
|            | CY14B104NA-ZS20XI   | 51-85087 | 44针 TSOP II |          |
|            | CY14B104NA-BA20XIT  | 51-85128 | 48球 FBGA    |          |
|            | CY14B104NA-BA20XI   | 51-85128 | 48球 FBGA    |          |
| 25         | CY14B104LA-ZS25XIT  | 51-85087 | 44针 TSOP II |          |
|            | CY14B104LA-ZS25XI   | 51-85087 | 44针 TSOP II |          |
|            | CY14B104LA-BA25XIT  | 51-85128 | 48球 FBGA    |          |
|            | CY14B104LA-BA25XI   | 51-85128 | 48球 FBGA    |          |
|            | CY14B104NA-ZS25XIT  | 51-85087 | 44针 TSOP II |          |
|            | CY14B104NA-ZS25XI   | 51-85087 | 44针 TSOP II |          |
|            | CY14B104NA-BA25XIT  | 51-85128 | 48球 FBGA    |          |
|            | CY14B104NA-BA25XI   | 51-85128 | 48球 FBGA    |          |
|            | CY14B104NA-BA25I    | 51-85128 | 48球 FBGA    |          |
|            | CY14B104NA-BA25IT   | 51-85128 | 48球 FBGA    |          |
|            | CY14B104NA-ZSP25XIT | 51-85160 | 54针 TSOP II |          |
|            | CY14B104NA-ZSP25XI  | 51-85160 | 54针 TSOP II |          |
| 45         | CY14B104LA-ZS45XIT  | 51-85087 | 44针 TSOP II |          |
|            | CY14B104LA-ZS45XI   | 51-85087 | 44针 TSOP II |          |
|            | CY14B104LA-BA45XIT  | 51-85128 | 48球 FBGA    |          |
|            | CY14B104LA-BA45XI   | 51-85128 | 48球 FBGA    |          |
|            | CY14B104NA-ZS45XIT  | 51-85087 | 44针 TSOP II |          |
|            | CY14B104NA-ZS45XI   | 51-85087 | 44针 TSOP II |          |
|            | CY14B104NA-BA45XIT  | 51-85128 | 48球 FBGA    |          |
|            | CY14B104NA-BA45XI   | 51-85128 | 48球 FBGA    |          |
|            | CY14B104NA-ZSP45XIT | 51-85160 | 54针 TSOP II |          |
|            | CY14B104NA-ZSP45XI  | 51-85160 | 54针 TSOP II |          |

**订购代码定义**

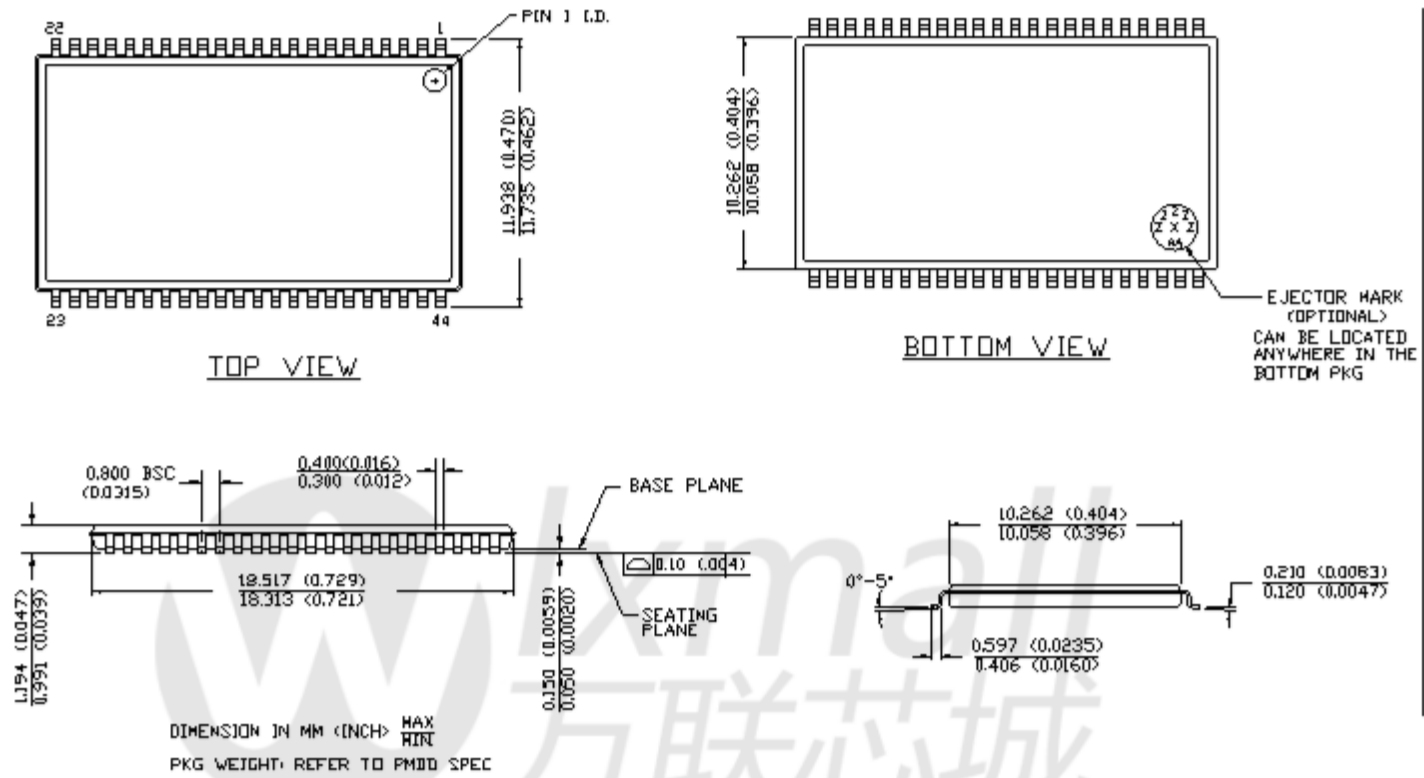
**CY 14 B 104 LA - ZS 20 XIT**



*Wlxmall*  
万联芯城  
www.wlxmall.com

# 封装图

图16. 44引脚TSOP II封装外形，51-85087

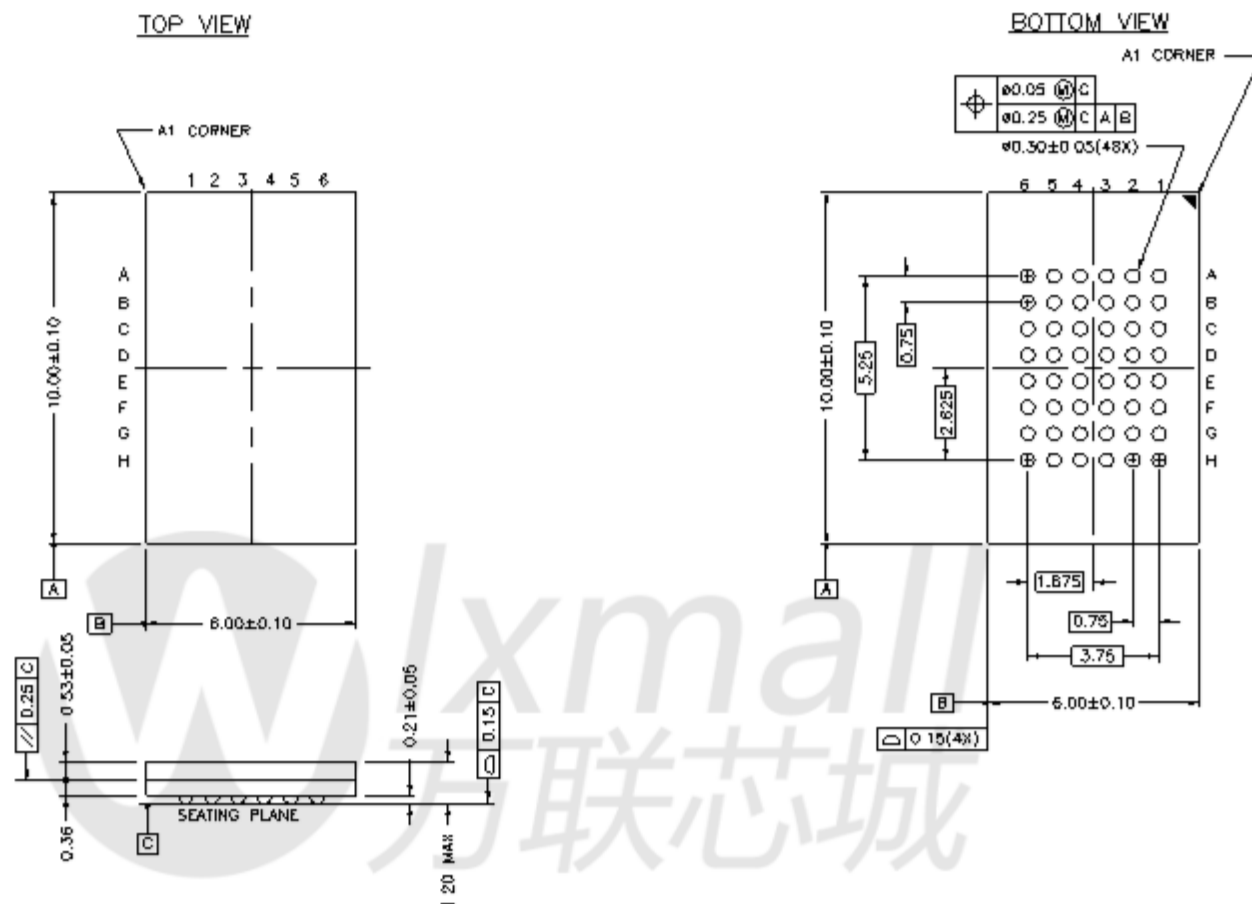


51-85087 \* E

www.wlxmall.com

封装图 (续)

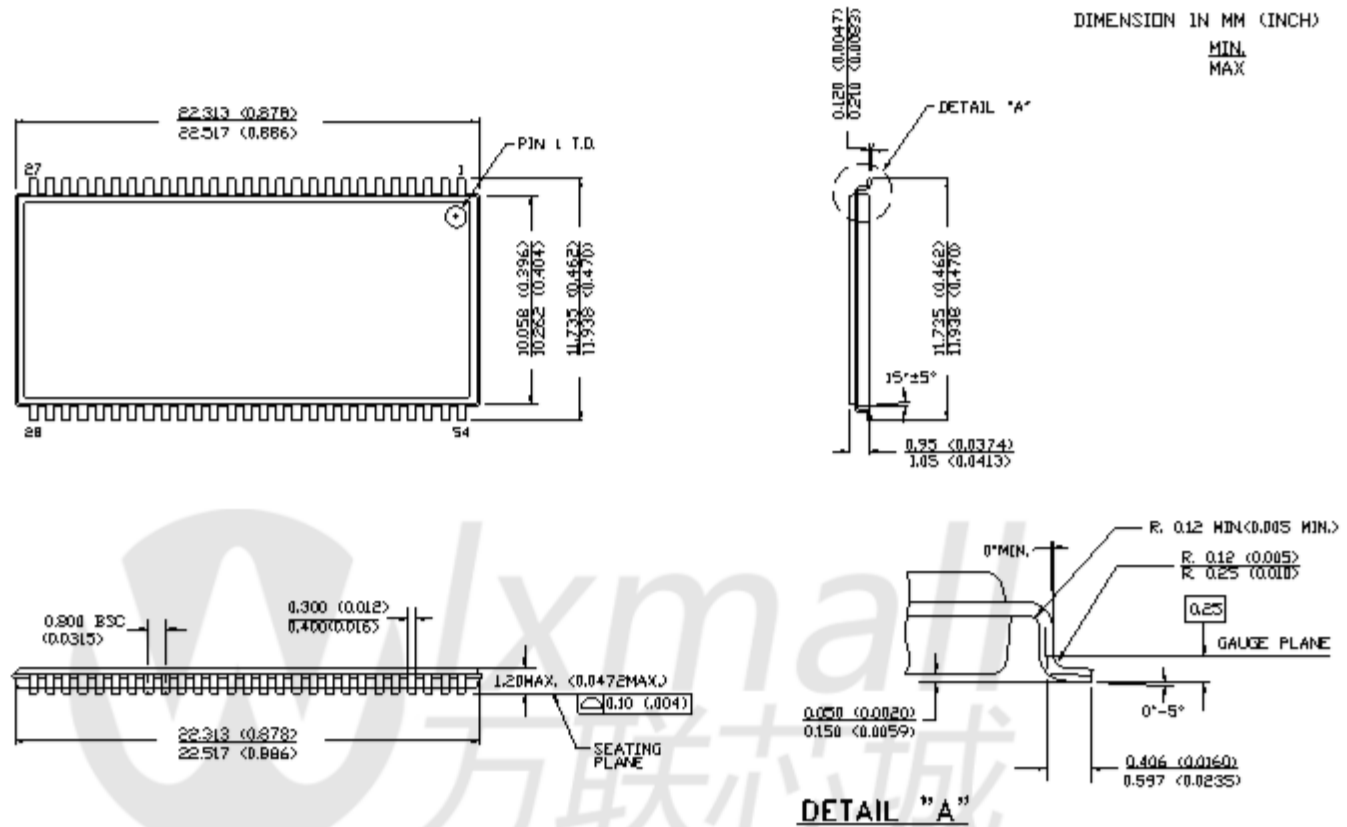
图17. 48球FBGA (6×10×1.2 mm) 封装外形, 51-85128



51-85128 \* F

封装图 (续)

图18. 54引脚TSOP II (22.4×11.84×1.0 mm) 封装外形, 51-85160



51-85160 \* D

www.wlxml.com

## 缩略语

| 缩写      | 描述            |
|---------|---------------|
| BHE     | 字节高启用         |
| BLE     | 字节低电平使能       |
| CE      | 芯片启用          |
| CMOS    | 互补金属氧化物半导体    |
| EIA     | 电子行业联盟        |
| FBGA    | 细间距球栅阵列       |
| HSB     | 硬件商店繁忙        |
| I/O     | 输入输出          |
| 的nvSRAM | 非易失性静态随机存取存储器 |
| OE      | 输出使能          |
| RoHS指令  | 限制有害物质        |
| RWI     | 读写禁止          |
| SRAM    | 静态随机存取存储器     |
| TSOP    | 薄小外形包装        |
| 我们      | 写使能           |

## 文件惯例

### 计量单位

| 符号             | 测量单位 |
|----------------|------|
| C              | 摄氏度  |
| 赫兹             | 赫兹   |
| 千赫             | 千赫   |
| k $\Omega$     | 千欧姆  |
| 兆赫             | 兆赫   |
| $\mu$ A        | 微安   |
| $\mu$ F        | 微法   |
| $\mu$ s        | 微秒   |
| 嘛              | 毫安   |
| 女士             | 毫秒   |
| NS             | 纳秒   |
| $\Omega$       | 欧姆   |
| %              | 百分   |
| pF的            | 皮法   |
| 秒              | 第二   |
| V              | 伏特   |
| w <sup>^</sup> | 瓦    |

www.wlxml.com

## 文档历史页面

| 文档标题: CY14B104LA / CY14B104NA, 4-Mbit (512 K×8/256 K×16) nvSRAM<br>文件号: 001-49918 |         |             |            |                                                                                                                                                                                                                            |
|-----------------------------------------------------------------------------------|---------|-------------|------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 启示录                                                                               | ECN     | 原稿的更改       | 服从日期       | 变更描述                                                                                                                                                                                                                       |
| **                                                                                | 2606696 | GVCH / PYRS | 11/13/08   | 新的数据表。                                                                                                                                                                                                                     |
| *一个                                                                               | 2672700 | GVCH / PYRS | 03/12/09   | 增加了最佳做法<br>更新订购信息 (新增CY14B104NA-BA25I)。<br>更新交流开关特性 (添加注23并参考相同注意t LZCE, t HZCE, t LZOE 和 t HZOE 参数)。                                                                                                                      |
| *B                                                                                | 2710274 | GVCH / AESA | 09年5月22日   | 将数据表状态从初步移至最终。<br>更新了自动存储操作 (描述 (添加注释))。<br>更新了直流电气特性 (更新了ISB的测试条件参数, 更新注15)。<br>更新了AutoStore / Power-Up RECALL (增加了Note 39并参考了相同的内容在t VCCRIS, t LZHSB 和 t HHHD 参数中注释, 更新V HDIS 的描述参数)。<br>更新的开关波形 - 软件控制的存储/回读周期 (更新图12)。 |
| *C                                                                                | 2738586 | GVCH        | 09年7月15日   | 更新设备操作 (更新硬件存储操作 (描述), 更新的软件商店 (描述))。<br>更新了AutoStore / Power-Up RECALL (描述 DELAY 参数, 更新说明38)。<br>更新的开关波形 - 软件控制的存储/回读周期 (增加了注释44并参考了图12和图13中的相同注释)。                                                                       |
| *d                                                                                | 2758397 | GVCH / AESA | 09/01/09   | 更新的功能 (删除商业温度相关信息)。<br>更新的操作范围 (删除了与商业温度相关的信息)。<br>更新的直流电气特性 (去除商业温度相关信息)。<br>更新订购信息 (更新部件号)。                                                                                                                              |
| *E                                                                                | 2773362 | GVCH        | 10/06/09   | 更新订购信息 (在48球FBGA封装中增加20 ns部件)。                                                                                                                                                                                             |
| *F                                                                                | 2826364 | GVCH / PYRS | 12/11/09   | 更新的功能 (将STORE周期从200K更改为QuantumTrap百万)。                                                                                                                                                                                     |
| *G                                                                                | 2923475 | GVCH / AESA | 04/27/2010 | 新引脚定义 (增加了HSB引脚操作的更清晰度)。<br>更新设备操作 (更新硬件存储操作 (已添加 HSB引脚操作更清晰), 更新了表1 (增加了更多清晰度 BHE / BLE 引脚操作))。<br>更新的开关波形 - 自动存储/加电回读 (HSB引脚在图11中进行操作并更新了注释41)。<br>更新了封装图<br>更新销售, 解决方案和法律信息。                                            |
| *H                                                                                | 3132368 | GVCH        | 01/10/2011 | 新的引脚 (删除了图1中Note 5的引用)。<br>更新的电容 (包括BHE, BLE 和 HSB 引脚的输入电容, 输出电容为HSB引脚)。<br>更新的切换波形 - 自动存储/加电提取 (固定错字图11中的错误)。<br>增加了首字母缩略词和度量单位。                                                                                          |
| *一世                                                                               | 3305495 | GVCH        | 07/07/2011 | 更新了直流电气特性 (添加了注释17并参考了相同内容注意V CAP 参数)。<br>更新交流开关特性 (添加注20并参考相同注意参数)。<br>更新的热阻 (数值)<br>更新了封装图。<br><sup>5</sup> JA 适用于所有软件包)。                                                                                                |

文档历史记录页 (续)

文档标题: CY14B104LA / CY14B104NA, 4-Mbit (512 K×8/256 K×16) nvSRAM  
文件号: 001-49918

| 启示录 | ECN     | 原稿的<br>更改 | 服从<br>日期   | 变更描述                                                                                                 |
|-----|---------|-----------|------------|------------------------------------------------------------------------------------------------------|
| *J  | 3389991 | GVCH      | 2011年9月30日 | 更新的封装图。                                                                                              |
| *K  | 3514367 | GVCH      | 02/01/2012 | 删除了最佳实践。<br>更新订购信息 (新增CY14B104NA-BA25IT)。                                                            |
| *L  | 3643590 | GVCH      | 2012年6月13日 | 更新的直流电气特性 (新增 VCAP 参数及其详细信息, 添加了注释18并参考了V VCAP 参数中的相同注释)。                                            |
| *M  | 3724900 | GVCH      | 09/03/2012 | 新的最大额定值 (更改“环境温度随功率<br>应用于“最高结温”)。<br>更新包装图 (规格51-85087 (从* D到* E的修订版),<br>规格51-85160 (从* C修改为* D))。 |



## 销售，解决方案和法律信息

### 全球销售和设计支持

赛普拉斯拥有遍布全球的办事处，解决方案中心，制造商代表和分销商网络。找办公室请在赛普拉斯地点与我们联系。

### 制品

|         |                                                                          |
|---------|--------------------------------------------------------------------------|
| 汽车      | <a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a> |
| 时钟和缓冲器  | <a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>         |
| 接口      | <a href="http://cypress.com/go/interface">cypress.com/go/interface</a>   |
| 照明和电源控制 | <a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a>   |
|         | <a href="http://cypress.com/go/plc">cypress.com/go/plc</a>               |
| 记忆      | <a href="http://cypress.com/go/memory">cypress.com/go/memory</a>         |
| 光学和图像传感 | <a href="http://cypress.com/go/image">cypress.com/go/image</a>           |
| 的PSoC   | <a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>             |
| 触摸感应    | <a href="http://cypress.com/go/touch">cypress.com/go/touch</a>           |
| USB控制器  | <a href="http://cypress.com/go/USB">cypress.com/go/USB</a>               |
| 无线/射频   | <a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>     |

### PSoC解决方案

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)

PSoC 1 | PSoC 3 | PSoC 5



©赛普拉斯半导体公司，2008-2012。此外包含的信息如有更改，恕不另行通知。赛普拉斯半导体公司不承担任何责任。赛普拉斯产品中包含的电路以外的任何电路，它也不传达或暗示根据专利或其他权利的任何许可。赛普拉斯产品不保证也不打算用于此目的。医疗、生命支持、救生、关键控制或安全应用，除非与赛普拉斯签署了明确的书面协议。此外，赛普拉斯不授权其产品用作生命支持系统中的关键部件，其中可能合理预期故障或故障会对用户造成重大伤害。将赛普拉斯产品纳入生命支持系统应用程序意味着制造商承担所有使用风险，并因此向赛普拉斯赔偿所有费用。

任何源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，受全球专利保护（美国 and 国外）的保护并受其保护，美国版权法和国际条约规定。赛普拉斯特此授予被许可人个人，非独占，不可转让的许可，以复制、使用、修改，创建衍生作品，并编译赛普拉斯源代码和衍生作品，仅用于创建定制软件和/或固件，以支持被许可人产品仅用于与赛普拉斯集成电路接口应用协议的规定。除上述规定外，任何对此源代码的复制，修改，翻译，编译或表示都是禁止的。赛普拉斯的明确书面许可。

免责声明：对于本材料，CYPRESS不作任何明示或暗示的担保，包括但不限于暗示担保。适销性和针对特定用途的适用性。赛普拉斯保留对此处所述材料进行更改的权利，恕不另行通知。赛普拉斯没有承担因应用或使用本文所述任何产品或电路而引起的任何责任。赛普拉斯不授权将其产品用作生命支持系统中的关键组件。故障或故障可能合理预期会对用户造成重大伤害。将赛普拉斯产品纳入生命支持系统应用意味着制造商承担使用此类风险的所有风险，并为此向赛普拉斯赔偿所有费用。

使用可能受限于适用的赛普拉斯软件许可协议并受此限制。