

1 Mbit (128 K×8) 串行SPI nvSRAM

特征

■ 1-Mbit非易失性静态随机存取存储器 (nvSRAM)

□ 内部组织为128 K×8

initiated启动QuantumTrap非易失性元素存储

自动关机 (自动存储) 或用户使用
HSB引脚 (硬件存储) 或SPI指令 (软件
商店)

□ 回调上电时启动的SRAM (上电
RECALL) 或SPI指令 (软件调用)

□ 使用小电容器在断电时自动存储
(CY14B101Q1除外)

■ 高可靠性

□ 无限的读取, 写入和回读周期

向QuantumTrap提供 100万个存储周期

□ 数据保留: 20年

■ 高速串行外设接口 (SPI)

□ 40 MHz时钟频率

□ 支持SPI模式0 (0,0) 和模式3 (1,1)

■ 写保护

using使用写保护 (WP) 引脚进行硬件保护

using使用写入禁止指令进行软件保护

1用于1/4, 1/2或整个阵列的软件块保护

■ 低功耗

□ 单个3 V + 20%, -10% 操作

40 40 MHz工作时的平均有功电流为10 mA

■ 行业标准配置

□ 工业温度

□ CY14B101Q1具有与工业相同的引脚配置
标准的8针NV存储器

□ 8 引脚双扁平无引脚 (DFN) 封装和16引脚小型封装

大纲集成电路 (SOIC) 封装

hazardous限制有害物质 (RoHS)

功能概述

该 柏 CY14B101Q1 / CY14B101Q2 / CY14B101Q3

将1 Mbit nvSRAM与每个非易失性元件结合在一起

具有串行SPI接口的存储器单元.内存是有组织的

作为每个8位的128K字.嵌入式非易失性

元素结合了QuantumTrap技术, 创建了

世界上最可靠的非易失性存储器. SRAM提供

无限的读写周期, 而QuantumTrap单元

提供高度可靠的非易失性数据存储.数据

从SRAM传输到非易失性元件 (STORE

操作) 在断电时自动进行 (除了

CY14B101Q1). 上电时, 数据从SRAM恢复到SRAM

非易失性存储器 (RECALL操作). STORE和

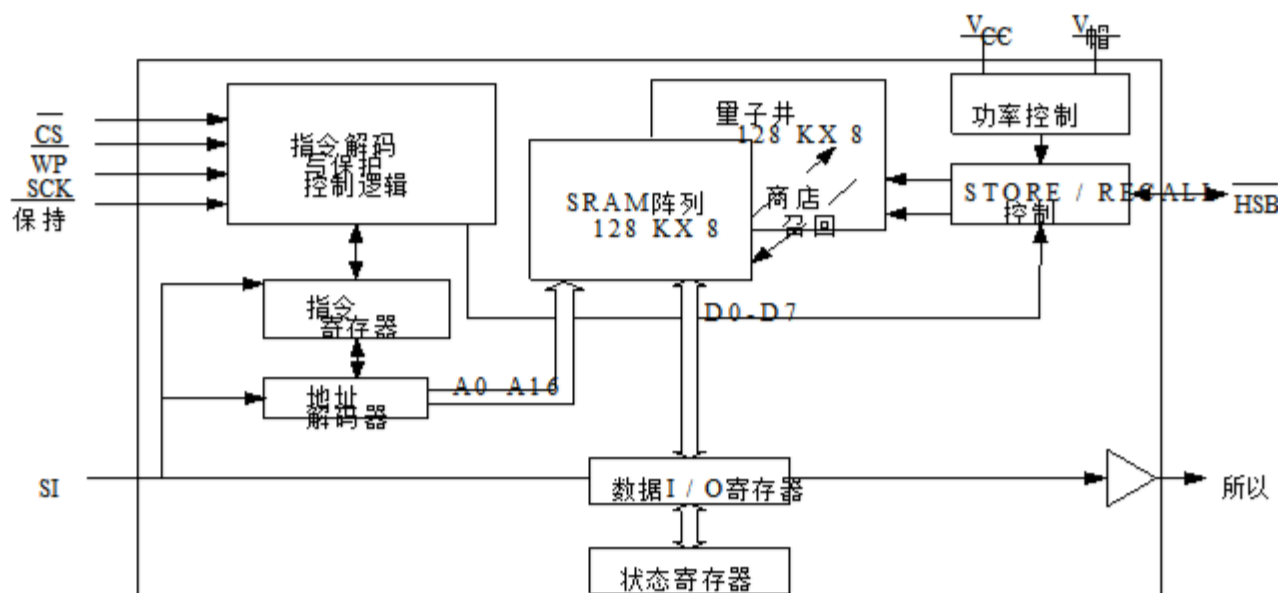
RECALL操作也可以由用户通过SPI发起

指令.

组态

特征	CY14B101Q1	CY14B101Q2	CY14B101Q3
自动存储	没有	是	是
软件商店	是	是	是
硬件商店	没有	没有	是

逻辑框图



内容

Pinouts	3	软件存储 (STORE) 指令	13
引脚定义	4	软件调用 (调用) 指令	14
设备操作	5	自动存储启用 (ASENB) 指令	14
SRAM写入	5	自动存储禁止 (ASDISB) 指令	14
SRAM读取	5	HOLD引脚操作	14
店铺营运	5	最大额定值	15
自动存储操作	6	工作范围	15
软件商店操作	6	直流电气特性	15
硬件存储和HSB引脚操作	6	数据保存和耐用性	16
硬件RECALL (加电)	6	电容	16
软件RECALL	6	热阻	16
禁用和启用自动存储	7	交流测试负载和波形	16
串行外设接口	7	交流测试条件	16
SPI概述	7	交流开关特性	17
SPI模式	8	切换波形	17
SPI工作特性	9	自动存储或加电调用	18
充电	9	软件控制的存储和调用循环	19
上电复位	9	切换波形	19
掉电	9	硬件存储周期	20
有功功率和待机功率模式	9	切换波形	20
SPI功能描述	9	订购信息	21
状态寄存器	10	订购代码定义	21
读取状态寄存器 (RDSR) 指令	10	封装图	22
写状态寄存器 (WRSR) 指令	10	首字母缩略词	24
写保护和块保护	11	文件公约	24
写使能 (WREN) 指令	11	计量单位	24
写入禁止 (WRDI) 指令	11	文档历史页	25
块保护	11	销售, 解决方案和法律信息	27
写保护 (WP) 引脚	12	全球销售和设计支持	27
内存访问	12	产品	27
读取序列 (READ) 指令	12	PSoC解决方案	27
写序列 (WRITE) 指令	12		

插脚引线

图1. 8引脚DFN引脚排列[1, 2, 3]

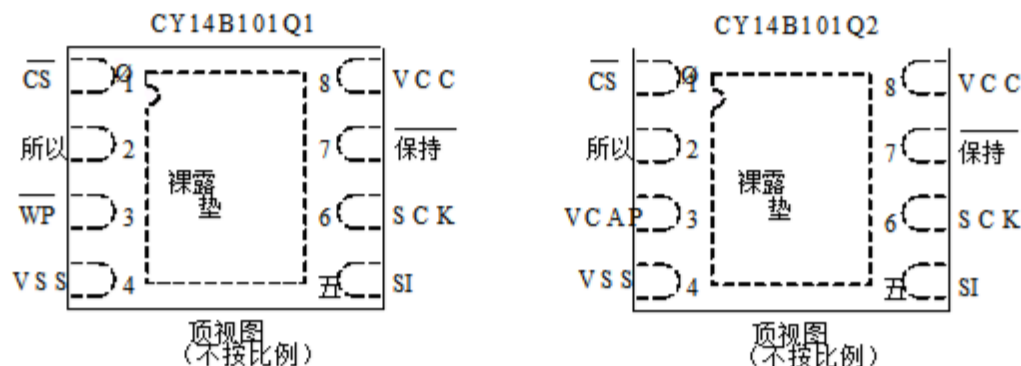


图2. 16引脚SOIC引脚排列



笔记——

1. HSB引脚不适用于8引脚DFN封装。
2. CY14B101Q1器件没有VCAP引脚，不支持自动存储。
3. CY14B101Q2部分没有WP引脚。

引脚定义

引脚名称	I / O 类型	描述
CS	输入	芯片选择. 拉低时激活设备. 高电平驱动此引脚会使器件处于低功耗状态待机模式.
SCK	输入	串行时钟. 运行速度最高可达 f_{SCK} . 串行输入在此上升沿锁存. 时钟. 串行输出在时钟的下降沿被驱动.
SI	输入	串行输入. 用于输入所有 SPI 指令和数据的引脚.
SO	输出	串行输出. 通过 SPI 输出数据的引脚.
WP	输入	写保护. 在 SPI 中实现硬件写保护.
HOLD	输入	HOLD 引脚. 暂停串行操作.
HSB	输入/输出	表示低电平时 nvSRAM 的忙状态. 在每个硬件和软件商店之后. 操作 HSB 在短时间 (t_{HHHD}) 被驱动为高电平, 标准输出高电流, 然后是弱电. 内部上拉电阻使该引脚保持高电平 (可选外部上拉电阻连接). 输入: 通过将该引脚从外部拉低来实现硬件存储.
V _{CAP}	电源 AutoStore	电容. 在断电期间为 nvSRAM 提供电源以存储来自 SRAM 的数据. 非易失性元素. 如果不需要自动存储, 则该引脚必须保持为无连接. 它绝不会是连接到 V _{SS} .
NC	没有连接	没有连接: 该引脚没有连接到芯片.
V _{SS}	电源地	
V _{CC}	电源电源 (2.7 V 至 3.6 V)	
裸露垫	没有连接	8 引脚 DFN 封装底部的裸露焊盘未连接至裸片. 建议将 EXPOSED PAD 连接到 V _{SS} . 散热孔可以用来增加导热性.

Not Recommended for New Designs

设备操作

CY14B101Q1 / CY14B101Q2 / CY14B101Q3是1 Mbit nvSRAM存储器在每个存储单元中具有非易失性元件。一切读写nvSRAM发生在SRAM上，这就给出了nvSRAM处理无限写入的独特能力。记忆。SRAM中的数据由STORE序列保护，它将数据并行传输到非易失性存储器QuantumTrap细胞。使用一个小电容器（V CAP）当上电时自动将SRAM数据存储在非易失性单元中向下提供掉电数据安全性。QuantumTrap以可靠的SONOS技术构建的非易失性元件使nvSRAM成为安全数据存储的理想选择。

1 Mbit存储器阵列的组织结构为128 K字×8位。内存通过标准的SPI接口访问。具有零周期的高达40 MHz的高时钟速度延迟读取和写入周期。该器件支持SPI模式0和3（CPOL，CPHA = 0,0和1，1）并作为SPI从器件运行。该器件使用片选（CS）引脚和通过串行输入（SI），串行输出（SO）和串行时钟（SCK）引脚。

该器件提供硬件和软件写入功能。通过WP引脚和WRDI指令分别进行保护以及块写保护机制（1/4，1/2或全部）阵列。使用状态寄存器中的BP0和BP1引脚。此外，HOLD引脚可用于暂停任何串行通信而不需要重新设置序列顺序。

CY14B101Q1 / CY14B101Q2 / CY14B101Q3使用该标准SPI操作码用于存储器访问。除了一般的SPI它提供了四个特殊的读写指令。指令可以访问四个特定的nvSRAM功能：存储，调用，自动存储禁用（ASDISB）和自动存储启用（ASENB）。

串行（SPI）nvSRAM比串行EEPROM的主要优势是所有读取和写入nvSRAM都在执行。具有零循环延迟的SPI总线速度。因此，没有等待时间。在任何内存访问之后都是必需的。STORE和RECALL操作需要有限的时间来完成所有的记忆。在此期间禁止访问。而STORE或RECALL操作正在进行中，设备处于繁忙状态。由硬件存储忙（HSB）引脚指示。反映在状态寄存器的RDY位上。

该器件有三种不同的引脚配置。使用户能够选择最适合他们的部件应用。表1给出了功能摘要。

表1. 功能摘要

特征	CY14B101Q1	CY14B101Q2	CY14B101Q3
WP	是	没有	是
V CAP	没有	是	是
HSB	没有	没有	是
自动存储	没有	是	是
充电召回	是	是	是
硬件商店	没有	没有	是
软件商店	是	是	是

SRAM写入

所有对nvSRAM的写入都在SRAM上进行，而不是消耗非易失性存储器的任何耐久性周期。这个使用户能够执行无限的写入操作。写周期通过WRITE指令执行。写指令通过nvSRAM的SI引脚发出。由WRITE操作码，三个字节的地址和一个组成数据字节。写入nvSRAM是在SPI总线速度下完成的周期延迟。

该器件允许通过执行突发模式写入SPI。这使连续地址上的写操作成为可能。而不会发布新的WRITE指令。当最后一个地址在突发模式下到达内存时，地址翻转到0x0000并且设备继续写入。

SPI写周期序列在存储器访问中定义SPI协议说明部分。

SRAM读取

读取周期以SPI总线速度执行，数据为在READ指令结束后以零周期延迟读出。执行。READ指令是通过SI引脚发出的。nvSRAM由READ操作码和3个字节组成地址。数据在SO引脚上读出。

该器件允许通过执行突发模式读取SPI。这使得无需读取连续的地址。发出新的READ指令。当最后一个地址在内存突发模式下读取，地址翻转到0x0000并且设备继续读取。

SPI读周期序列在存储器访问中定义SPI协议说明部分。

商店操作

存储操作将数据从SRAM传输到CPU非易失性QuantumTrap单元。设备将数据存储到使用三种存储操作之一的非易失性单元：自动存储，在设备关机时激活。软件商店，由STORE指令激活。和硬件商店，由HSB激活。在存储周期中，擦除先执行先前的非易失性数据，然后执行非易失性元件的程序。存储周期结束后开始，读/写。

CY14B101Q1 / CY14B101Q2 / CY14B101Q3被禁止，直到周期完成。

HSB信号或状态寄存器中的RDY位可以由系统监视以检测STORE或软件RECALL循环正在进行中。nvSRAM的忙碌状态是indicated by HSB being pulled LOW or RDY bit being set to '1'。为了避免不必要的非易失性存储，AutoStore和硬件存储操作将被忽略，除非至少有一个写操作自最近的STORE或RECALL循环。但是，软件启动的STORE周期是无论是否执行写入操作都会执行此操作地点。

自动存储操作

自动存储操作是nvSRAM的一项独特功能。自动将SRAM数据存储在QuantumTrap期间断电。该STORE使用外部电容器(V CAP)，并使设备能够安全地存储数据非易失性存储器，当电源关闭时。

在正常操作期间，器件从V CC吸取电流。至对连接到V CAP引脚的电容器充电。当...的时候在掉电期间，V CC引脚上的电压降至V SWITCH以下，该器件禁止所有内存访问nvSRAM和使用该自动执行条件存储操作来自V CAP电容器的电荷。自动存储操作不是如果自上次以来没有执行写入循环，则启动召回。

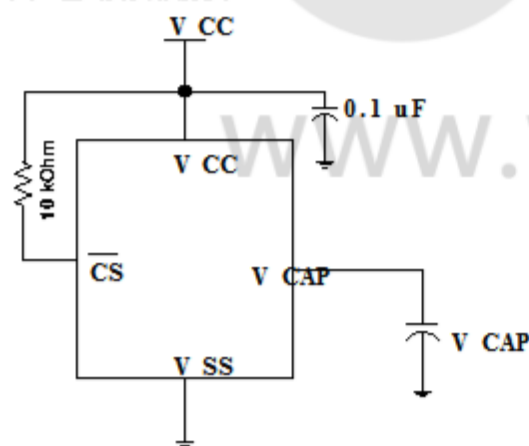
注意如果电容没有连接到V CAP引脚，则自动存储必须通过发出禁用自动存储指令来禁用。在第14页的自动存储禁止(ASDISB)指令中指定。如果自动存储在V CAP引脚上没有电容的情况下使能，则设备在没有充足电量的情况下尝试自动存储操作完成商店。这破坏了存储在数据库中的数据nvSRAM和状态寄存器。为了恢复正常的功能，必须发出WRSR指令来更新非易失性位状态寄存器中的BP0, BP1和WPEN。

图3显示了存储电容的正确连接

(V CAP 对于 自动存储 操作。看到 DC 电动

第15页的特性说明了V CAP的尺寸。说明CY14B101Q1不支持自动存储操作。该用户必须使用SPI执行软件存储操作STORE指令来保护数据。

图3.自动存储模式



软件商店操作

软件STORE使用户能够触发STORE操作。通过一个特殊的SPI指令。存储操作启动。通过执行STORE指令而不管是否写入自上次NV操作以来已执行。

STORE周期需要STORE时间才能完成，在此期间全部完成——内存访问nvSRAM被禁止。RDY位可以轮询状态寄存器或HSB引脚来查找nvSRAM的Ready或Busy状态。t STORE循环时间之后完成时，SRAM再次被激活用于读取和写入操作。

硬件存储和HSB引脚操作

CY14B101Q3中的HSB引脚用于控制和承认存储操作。如果不存在STORE或RECALL进度，此引脚可用于请求硬件存储周期。当HSB引脚被驱动为低电平时，nvSRAM有条件t DELAY持续时间后启动STORE操作。一个实际的存储周期只有在写入SRAM时才会启动。自上次存储或回读周期以来执行。阅读和写入存储器的时间会被禁止t STORE持续时间或长时间因为HSB引脚为低电平。

HSB引脚也可用作开漏驱动器（内部100 k弱上拉电阻），内部驱动为低电平表示a当STORE（通过任何方式启动）处于忙状态时进展。

注意每个硬件和软件存储操作HSB之后在标准输出高电平时短时间(t HHHD)被驱动为高电平电流，然后由内部100 k保持高电平电阻。

注意对于成功的最后一个数据字节STORE，一个硬件存储应该在最后一个数据位之后至少一个时钟周期启动收到D0。

完成STORE操作后，nvSRAM内存。在HSB引脚返回高电平后，访问被禁止t LZHSB时间。如果不使用，HSB引脚必须悬空。

注意CY14B101Q1 / CY14B101Q2没有HSB引脚。RDY位可以探测SPI状态寄存器以确定就绪或nvSRAM的忙状态。

RECALL操作

RECALL操作传输存储在非易失性存储器中的数据QuantumTrap元素到SRAM。RECALL可能是以两种方式启动：硬件RECALL，启动时启动；和软件回调，由SPI RECALL指令启动。

在内部，RECALL是一个两步过程。首先是SRAM数据被清除。接下来，传输非易失性信息进入SRAM单元。所有内存访问都被禁止，而a RECALL循环正在进行中。RECALL操作没有改变非易失性元素中的数据。

硬件回读（上电）

在加电期间，当V CC越过V SWITCH时，一个自动RECALL序列被启动，传送内容非易失性存储器连接到SRAM。数据会在之前已通过STORE存储在非易失性存储器中序列。

加电回读周期需要花费时间完成，在此期间内存访问被禁用。HSB引脚用于检测设备的就绪状态。

软件回收

软件RECALL使用户可以启动一个RECALL操作来恢复非易失性存储器的内容SRAM。软件RECALL通过使用SPI发布RECALL指令。

一个软件RECALL需要t RECALL时间才能完成。所有内存访问nvSRAM的内存都被禁止。该控制器必须为RECALL操作提供足够的延迟在发布任何内存访问指令之前完成。

禁用和启用自动存储

如果应用程序不需要自动存储功能，它可以通过使用ASDISB指令被禁用。如果这样做了，那么在掉电时，nvSRAM不执行存储操作。

AutoStore可以通过使用ASENB指令重新启用。但是，这些操作不是非易失性的，如果用户需要此设置才能在电源循环，存储操作中幸存下来必须在自动存储禁用或启用后执行操作。

说明CY14B101Q2 / CY14B101Q3的自动存储已启用该厂和CY14B101Q1 / CY14B101Q2 / CY14B101Q3来自工厂，所有单元格都写入0x00。在CY14B101Q1，V_{CAP}引脚不存在且自动存储选项为无法使用。自动存储启用和禁用指令CY14B101Q1被忽略。

注意如果禁用自动存储并且不需要V_{CAP}，那么V_{CAP}引脚必须保持开路。V_{CAP}引脚绝对不能连接到地面。上电RECALL操作不能禁用任何情况。

串行外设接口

SPI概述

SPI是具有片选（CS），串行输入的四引脚接口（SI），串行输出（SO）和串行时钟（SCK）引脚。CY14B101Q1 / CY14B101Q2 / CY14B101Q3提供通过SPI接口访问nvSRAM。这个SPI总线设备可以以高达40 MHz的速度运行。

SPI是一个同步串行接口，它使用时钟和数据引脚用于内存访问并支持多个设备数据总线。SPI总线上的器件使用CS引脚激活。

芯片选择，时钟和数据之间的关系是受限制的。由SPI模式。该器件支持SPI模式0和3。这两种模式下，数据都在上升时钟上进入nvSRAM。CS开始后从第一个上升沿开始SCK的边沿活性。

SPI协议由操作码控制。这些操作码指定从总线主站到从站设备的命令。CS激活后，从总线传输的第一个字节是操作码。在操作码之后，任何地址和然后传输数据。CS后必须停用CS。操作完成之前，可以发布一个新的操作码。SPI协议中常用的术语如下：

SPI Master

SPI主设备控制SPI总线上的操作。一个SPI总线可能只有一个主器件有一个或多个从器件。所有的从设备共享相同的SPI总线和总线。主设备可以使用CS引脚选择任何从设备。所有操作必须由主机激活一个从机来启动。器件通过拉低从器件的CS引脚。主人在SI和SO上产生SCK和所有的数据传输。线与此时钟同步。

SPI从机

SPI从器件由主器件通过芯片激活选择线路。从器件将SCK作为SPI的输入。主人和所有的沟通与此同步。时钟。SPI从机不会在SPI总线上启动通信并根据主人的指示行事。

CY14B101Q1 / CY14B101Q2 / CY14B101Q3作为SPI工作从设备，并可能与其他SPI从设备共享SPI总线。

片选（CS）

为了选择任何从设备，主设备需要下拉相应的CS引脚。任何指令都可以发给从设备。从设备仅在CS引脚为低电平时使用。当设备未选中，通过SI引脚的数据被忽略并且串行输出引脚（SO）保持高阻抗状态。

注意新指令必须以CS的下降沿开始。因此，每个有源芯片只能发布一个操作码选择循环。

串行时钟（SCK）

串行时钟由SPI主器件生成。CS去后，通讯与此时钟同步。低。

CY14B101Q1 / CY14B101Q2 / CY14B101Q3启用SPI模式0和3用于数据通信。在这两种模式下，输入在SCK的上升沿由从器件锁存。输出在下降沿发出。因此，第一次上涨SCK边沿表示SPI的第一位（MSB）到达。在SI引脚上的指令。此外，所有的数据输入和输出都是与SCK同步。

数据传输 - SI和SO

SPI数据总线由两条线SI和SO组成，用于串行数据通讯。SI也被称为Master Out Slave In（MOSI），SO被称为主入从出（MISO）。主机通过SI引脚向从机发出指令，而从机通过SO引脚进行响应。多个奴隶设备可以如前所述共享SI和SO线。

最高有效位（MSB）

SPI协议要求传输的第一位是最重要的位（MSB）。这对地址和数据都有效传输。

1 Mbit串行nvSRAM需要3字节地址进行任何读取或写入操作。但是，由于实际地址是唯一的17位，这意味着前7位是ignored by the device. Although these seven bits are 'don't care', 赛普拉斯建议将这些位视为0来启用无缝过渡到更高的内存密度。

串行操作码

在选择CS从LOW变为LOW的情况下，首先选择从设备接收到的字节被视为预期操作的操作码。CY14B101Q1 / CY14B101Q2 / CY14B101Q3使用该标准内存访问的操作码。除了内存访问，它为nvSRAM提供了额外的操作码。具体功能：存储，调用，自动存储启用和自动存储禁用。有关详细信息，请参阅第9页上的表2。

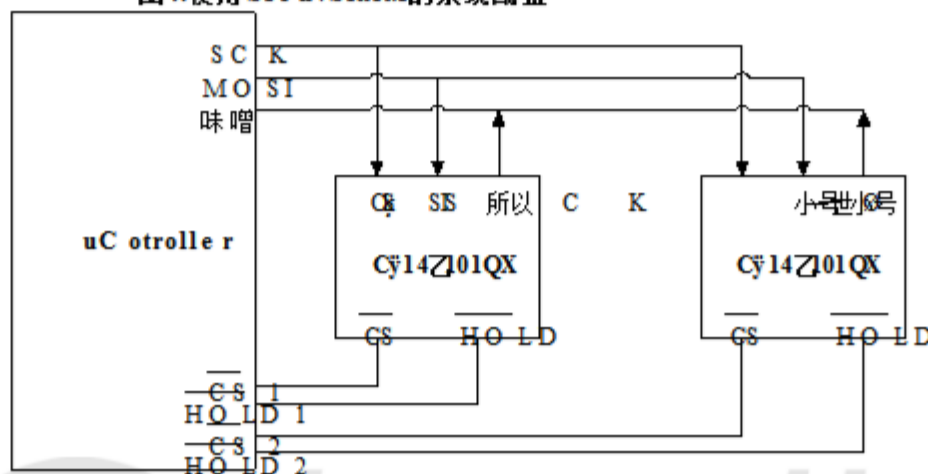
操作码无效

如果收到一个无效的操作码，操作码将被忽略，并且器件将忽略SI引脚上的任何额外的串行数据直到下一个CS的下降沿和SO引脚保持三态。

状态寄存器

CY14B101Q1 / CY14B101Q2 / CY14B101Q3具有8位状态寄存器。状态寄存器中的位用于配置SPI总线。这些位在第10页上的表4中进行了描述。

图4.使用 SPI nvSRAM的系统配置



SPI模式

CY14B101Q1 / CY14B101Q2 / CY14B101Q3可能由a驱动微控制器的SPI外设都运行在其中一个遵循两种模式：

- SPI模式0（CPOL = 0，CPHA = 0）
- SPI模式3（CPOL = 1，CPHA = 1）

对于这两种模式，输入数据在上升沿锁存。CS开始后从第一个上升沿开始SCK的边沿活性。如果时钟从高电平状态（模式3）开始，则第一个考虑在时钟切换之后的上升沿。输出数据在SCK的下降沿可用。

两种SPI模式如图5和图6所示。总线主机处于待机模式时的时钟状态传输数据是：

- 对于模式0，SCK保持为0
- 模式3的SCK保持为1

必须在SPI控制器中设置CPOL和CPHA位。

模式0或模式3。器件从中检测SPI模式。

当设备被选中时，SCK引脚的状态。

CS引脚为低电平。当器件被选中时，如果SCK引脚为低电平，SPI假设模式0，如果SCK引脚为高电平，则工作在SPI模式3。

图5. SPI模式0

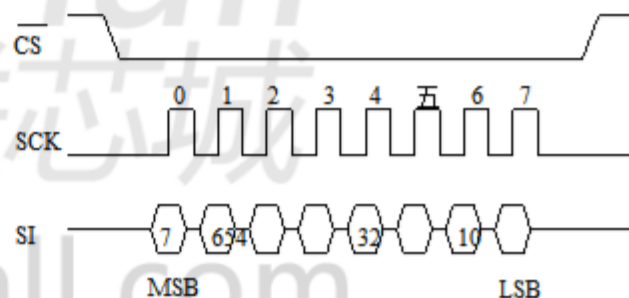
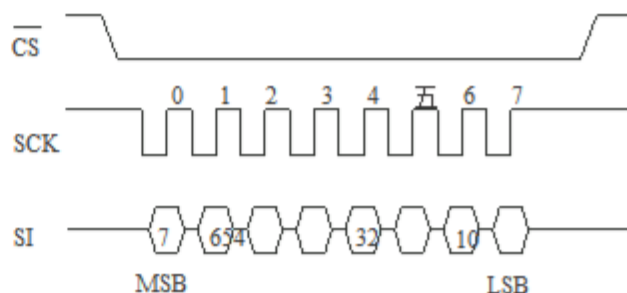


图6. SPI模式3



SPI操作功能

充电

上电被定义为电源供电时的状态。打开并且V_{CC}跨越V_{SWITCH}电压。在这段时间，必须允许CS遵循V_{CC}电压。因此，CS必须通过一个合适的上拉电阻连接到V_{CC}。如一个内置的安全功能，CS是边缘敏感和水平敏感。加电之后，设备不会被选中直到坠落在CS上检测到边缘。这确保CS在高电平之前低电平开始第一个操作。

如前所述，nvSRAM执行加电回读上电后的操作，因此所有内存访问都是加电后t_{FA}持续时间禁用。HSB引脚可以探测后检查nvSRAM的准备状态或繁忙状态充电。

上电复位

包含一个上电复位（POR）电路以防止意外写道。在加电时，设备不会对任何响应直到V_{CC}达到POR门限电压（V_{SWITCH}）。V_{CC}转换POR门限后，器件在内部复位并执行加电回读操作。在加电RECALL期间，所有设备访问都被禁止。POR后器件处于以下状态：

- 取消选择（上电后，CS上需要一个下降沿在任何指令开始之前）。
- 待机电源模式
- 不处于HOLD状态
- 状态寄存器状态：
 - 写使能（WEN）位复位为0。
 - WPEN，BP1，BP0与之前的商店保持不变
 - 无关位4-6被重置为0。

状态寄存器的WPEN，BP1和BP0位是非易失性位，并保持不变存储操作。

在选择并向内存发出指令之前，一个有效的并且必须施加稳定的V_{CC}电压。这个电压必须在指令传输结束之前保持有效。

掉电

在掉电时（V_{CC}持续衰减），当V_{CC}下降时正常工作电压和低于V_{SWITCH}阈值电压，设备会停止响应发送给它的任何指令。如果写周期正在进行并且最后一个数据位D0已经存在在电力下降时收到，允许t_{DELAY}时间到完成写入。之后所有的内存访问禁止并执行条件自动存储操作（如果自从以后没有发生写入，自动存储不会执行最后一次RECALL循环）。此功能可防止无意写入nvSRAM在断电期间发生。

但是，要完全避免无意写入的可能性在断电期间，确保设备被取消选择并且是在待机功耗模式下，CS遵循所施加的电压在V_{CC}上。

有功功率和待机功率模式

当CS为低电平时，器件被选中，并处于激活状态电源模式。该器件消耗I_{CC}电流，如中所述直流电气特性（第15页）。当CS为高电平时，设备被取消选择并且设备进入待机电源模式。如果STORE或RECALL循环未进行。如果一个STORE或RECALL循环正在进行中，设备进入STORE或RECALL循环后的待机电源模式完成。在待机电源模式下，由该电源吸取的电流设备下降到I_{SB}。

SPI功能描述

CY14B101Q1 / CY14B101Q2 / CY14B101Q3使用8位指令寄存器。说明及其操作代码是列在表2中。所有的指令，地址和数据都是先用MSB传输，然后从高电平到低电平CS开始过渡。总共提供了10条SPI指令。访问nvSRAM中的大部分功能。此外，WP，HOLD和HSB引脚提供额外的功能驱动通过硬件。

表2.指令集

指令类别	指令名称	操作码	手术
状态寄存器控制指导 - 蒸发散	鹈	0000 0110	设置写入启用
	WRDI	0000 0100	重置写入启用锁存
	RDSR	0000 0101	阅读状态寄存器
	WRSR	0000 0001	写状态寄存器
SRAM读/写说明	读	0000 0011	从中读取数据内存阵列
	写	0000 0010	将数据写入内存阵列
特别NV说明	商店	0011 1100	软件商店
	召回	0110 0000	软件召回
	ASENB	0101 1001	自动存储启用
	ASDISB	0001 1001	自动存储禁用
保留的	- 保留 -	0001 1110	

SPI指令根据其功能划分以下类型：

- 状态寄存器访问：RDSR和WRSR指令
- 写保护功能：WREN和WRDI指令以及WP引脚和WEN，BP0和BP1位
- SRAM存储器访问：READ和WRITE指令
- nvSRAM特别说明：STORE，RECALL，ASENB，和ASDISB

状态寄存器

表4列出了状态寄存器位。状态寄存器包含一个准备位 (RDY) 和数据保护位 BP1, BP0, WEN 和 WPEN。在 nvSRAM STORE 或软件回读周期中, 可以轮询 RDY 位以检查 Ready 或 Busy 状态正在处理。状态寄存器可以通过 WRSR 指令修改并通过 RDSR 指令读取。但是, 只有 WPEN, 状态寄存器的 BP1 和 BP0 位可以使用 WRSR 指令进行修改。WRSR 指令对 WEN 没有影响和 RDY 位。WEN, BP0, BP1, 第4-6位和 WPEN 位的出厂默认值为 0。

表3. 状态寄存器格式

位7	位6	位5	位4	位3	位2	位1	位0
WPEN (0)	X (0)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEN (0)	RDY

表4. 状态寄存器位定义

位	定义	描述
位0 (RDY)	准备	只读位指示设备执行内存访问的就绪状态。这一点是 set to '1' by the device while a STORE or Software RECALL cycle is in progress.
位1 (WEN)	写入启用	WEN indicates if the device is Write Enabled. This bit defaults to '0' (disabled) on power-up. WEN = '1' --> Write Enabled WEN = '0' --> Write Disabled
位2 (BP0)	Block protect bit '0'	用于块保护。有关详细信息, 请参阅第11页上的表5。
位3 (BP1)	Block protect bit '1'	用于块保护。有关详细信息, 请参阅第11页上的表5。
位4-6	不在乎	Bits are writable and volatile. On power-up, bits are written with '0'.
位7 (WPEN)	写保护使能位用于使能写	保护引脚 (WP) 的功能。有关详细信息, 请参阅第12页上的表6。

读取状态寄存器 (RDSR) 指令

RDSR 指令提供对状态寄存器的访问。该指令用于探测芯片的写使能状态设备或设备的就绪状态。RDY 位由 device to '1' whenever a STORE or Software RECALL cycle is 进行中。块保护和 WPEN 位指示所采用的保护范围。

该指令在 CS 的下降沿之后使用 RDSR 的操作码。

写状态寄存器 (WRSR) 指令

WRSR 指令使用户可以写入状态寄存器。但是, 该指令不能用于修改位0和位1 (RDY 和 WEN)。可以使用 BP0 和 BP1 位选择四个级别的块保护级别之一。此外, WPEN 位 must be set to '1' to enable the use of write protect (WP) pin.

WRSR 指令是写入指令, 需要写入 enabled (WEN bit set to '1') using the WREN instruction before 它被发布。该指令在 CS 的下降沿之后发出使用 WRSR 的操作码, 然后是 8 位数据存储在状态寄存器中。因为只有位 2, 3 和 7 可以由 WRSR 指令修改; 因此, 建议 leave the bits 4-6 as '0' while writing to the Status Register

说明在 CY14B101Q1 / CY14B101Q2 / CY14B101Q3 中, 值写入状态寄存器仅保存到非易失性存储器在 STORE 操作之后。如果自动存储被禁用 (或在使用时 CY14B101Q1), 则必须对状态寄存器进行任何修改通过执行软件存储操作进行保护。

注意 CY14B101Q2 没有 WP 引脚。任何修改状态寄存器的第 7 位对功能没有影响 CY14B101Q2。

图7. 读取状态寄存器 (RDSR) 指令时序

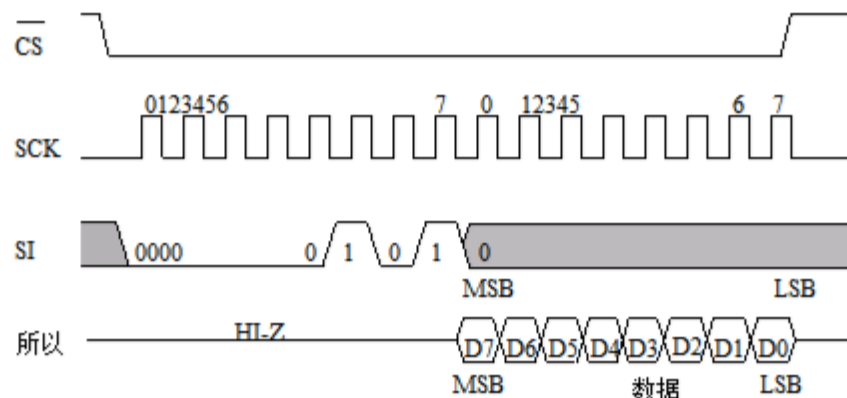
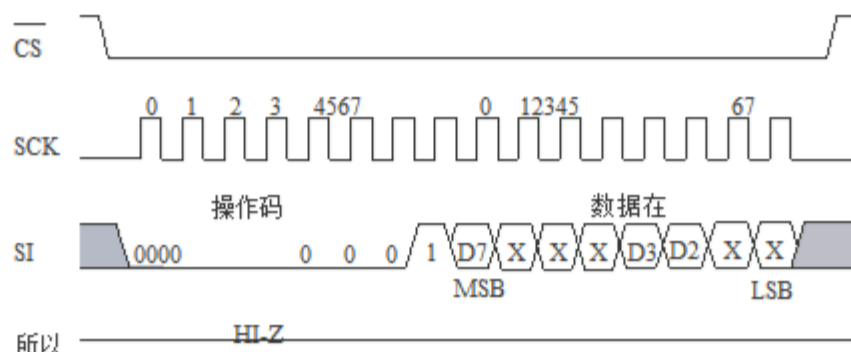


图8.写状态寄存器 (WRSR) 指令时序



写保护和块保护

CY14B101Q1 / CY14B101Q2 / CY14B101Q3 提供了一些功能使用 WRDI 进行软件和硬件写保护指令和 WP。此外，该设备还提供了阻止功能保护机制通过状态的 BP0 和 BP1 引脚寄存器。

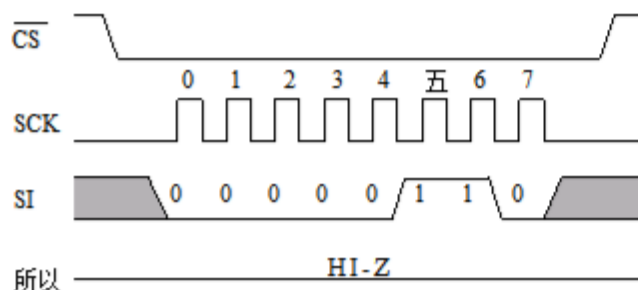
设备的写使能和禁止状态由指示状态寄存器的 WEN 位。写指令 (WRSR 和 WRITE) 和 nvSRAM 特殊指令 (STORE, RECALL, ASEN 和 ASDISB) 需要写入使能 (WEN 位 = 1) 才可以发行。

写使能 (WREN) 指令

上电时，器件始终处于禁止写入状态。该 WRITE, WRSR 或 nvSRAM 特殊指令后必须因此在写入使能指令之前。如果设备 is not write enabled (WEN = '0'), it ignores the write instructions 并在 CS 变为高电平时返回待机状态。一个新的 CS 下降沿需要重新启动串行通信。阳离子。指令在 CS 下降沿之后发出。当使用该指令时，状态寄存器的 WEN 位为 set to '1'. WEN bit defaults to '0' on power-up.

说明完成写指令 (WRSR 或 WRITE) 后，或 nvSRAM 特殊指令 (STORE, RECALL, ASEN 和 ASDISB) 指令中，WEN 位被清除为 0。这是为了完成提供对任何无意写入的保护。因此，WREN 指令必须新的写指令之前使用发行。

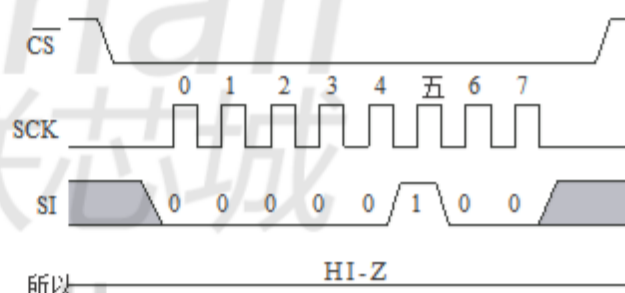
图9. WREN 指令



写禁止 (WRDI) 指令

写入禁止指令通过清除 WEN 来禁止写入位设置为 "0"，以保护设备免受无意写入。该指令在 CS 跟随的下降沿之后发出通过操作码进行 WRDI 指令。WEN 位被清零遵循 WRDI 指令的 CS 的上升沿。

图10. WRDI 指令



块保护

块保护通过使用 BP0 和 BP1 引脚提供状态寄存器。这些位可以使用 WRSR 指令进行设置并使用 RDSR 指令进行探测。nvSRAM 分割分成四个阵列段。四分之一，一半或全部内存段可以被保护。中的任何数据受保护的段是只读的。表 5 显示了函数块保护位。

表5.块写保护位

水平	状态寄存器位		阵列地址受保护
	BP1	BP0	
00		0	没有
1 (1/4)	0	1	0x18000-0x1FFFF
2 (1/2)	1	0	0x10000-0x1FFFF
3 (全部)	1	1	0x00000-0x1FFFF

写保护 (WP) 引脚

写保护引脚 (**WP**) 用于提供硬件写入保护。WP 引脚启用所有正常的读取和写入操作。当保持高。当 WP 引脚被拉低并且 WPEN bit is '1', all write operations to the status register are inhibited. 当硬件写保护功能被阻止时 WPEN bit is '0'. This enables the user to install the device in a 系统的 WP 引脚接地，并仍然写入状态寄存器。

WP 引脚可以与 WPEN 和块保护位一起使用 (BP1 和 BP0) 禁止写入内存。当 WP 引脚为低电平且 WPEN 设置为 1 时，可进行任何修改到状态寄存器被禁用。因此，记忆是通过设置 BP0 和 BP1 位和 WP 引脚禁止保护任何状态寄存器位的修改，提供硬件写保护。

注意当 CS 仍然为低电平时，WP 变为低电平对任何电平都没有影响正在进行对状态寄存器的写入操作。

注意 CY14B101Q2 没有 WP 引脚，因此不提供硬件写保护。

表 6 总结了该设备的所有保护功能。

表 6. 写保护操作

WPEN	WP	文	受保护块	无保护块	状态寄存器
X	X	0	受保护	受保护	受保护
0	X	1	受保护	可写	可写
1	低	1	受保护	可写	受保护
1	高	1	受保护	可写	可写

内存访问

所有内存访问都使用 READ 和 WRITE 完成。STORE 时不能使用这些说明。或 RECALL 循环正在进行中。存储周期正在进行中由状态寄存器的 RDY 位和 HSB 引脚指示。

读取序列 (READ) 指令

在这个设备上的读操作是通过给予在 SI 上的指令并读取 SO 引脚上的输出。下列序列需要遵循一个读操作：在 CS 之后线被拉低以选择一个设备，读操作码是通过 SI 线传输，接着是三个字节

地址。最重要的地址字节包含位 0 中的 A16 和其他一些“不关心”的位。地址位 A15 到 A0 被发送在以下两个地址字节中。在最后一个地址位之后在 SI 引脚上传输数据 (D7-D0) 在特定位置地址在 SCK 下降沿的 SO 线上移出从 D7 开始。最后一个地址后的任何其他 SI 线上的数据位被忽略。

CY14B101Q1 / CY14B101Q2 / CY14B101Q3 允许读取通过 SPI 进行连发，可用于读取连续地址而不发出新的读指令。如果只读取一个字节，则 CS 线必须被驱动为高电平在一个字节的数据出来后。但是，读取顺序可以通过将 CS 线保持为低电平和地址来继续会自动递增并且数据继续移出 SO 引脚。当最后一个数据存储器地址 (0x1FFFF) 时到达，地址翻到 0x0000 和设备继续阅读。

写序列 (WRITE) 指令

此设备上的写操作通过 SI 执行。若要执行写入操作，如果器件禁止写入，那么器件必须先通过 WREN 写入使能 instruction. When the writes are enabled (WEN = '1') WRITE 指令在 CS 的下降沿之后发出。一个写指令构成在 SI 线上传送 WRITE 操作码接着是 3 个字节的地址和数据 (D7-D0) 写出来。最重要的地址字节包含位 A16 0 与其他位“不关心”。地址位 A15 到 A0 是以以下两个地址字节发送。

CY14B101Q1 / CY14B101Q2 / CY14B101Q3 使写入成为可能通过 SPI 进行连发，可用于写入连续地址而不发出新的 WRITE 指令。如果只写入一个字节，则 CS 线必须被驱动为高电平在 D0 (数据的 LSB) 被发送之后。但是，如果有更多的字节要写入，CS 线必须保持低电平且地址为自动递增。SI 线上的以下字节是视为数据字节并写入连续地址。当达到最后一个数据存储器地址 (0x1FFFF) 时，地址翻转到 0x0000 并且设备继续写入。写完成后，WEN 位复位为 0。

注当突发写入达到受保护的块地址时，继续地址增量进入受保护的块，但不会将任何数据写入受保护的内存。如果地址翻转将突发写入未受保护的块，然后恢复写道。如果启动突发写入，则同样的操作是正确的在写保护块内。

图 11. 读指令时序

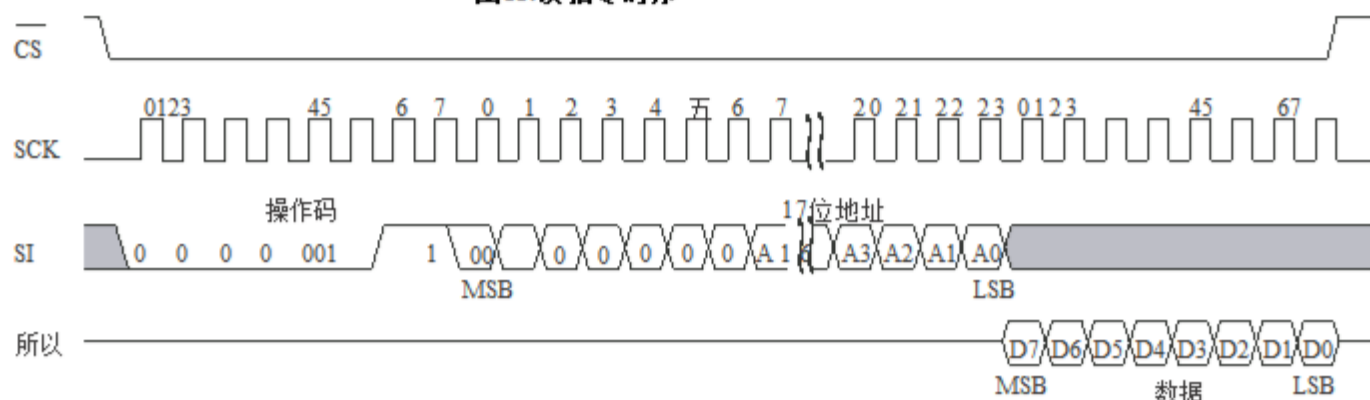


图12.突发模式读取指令时序

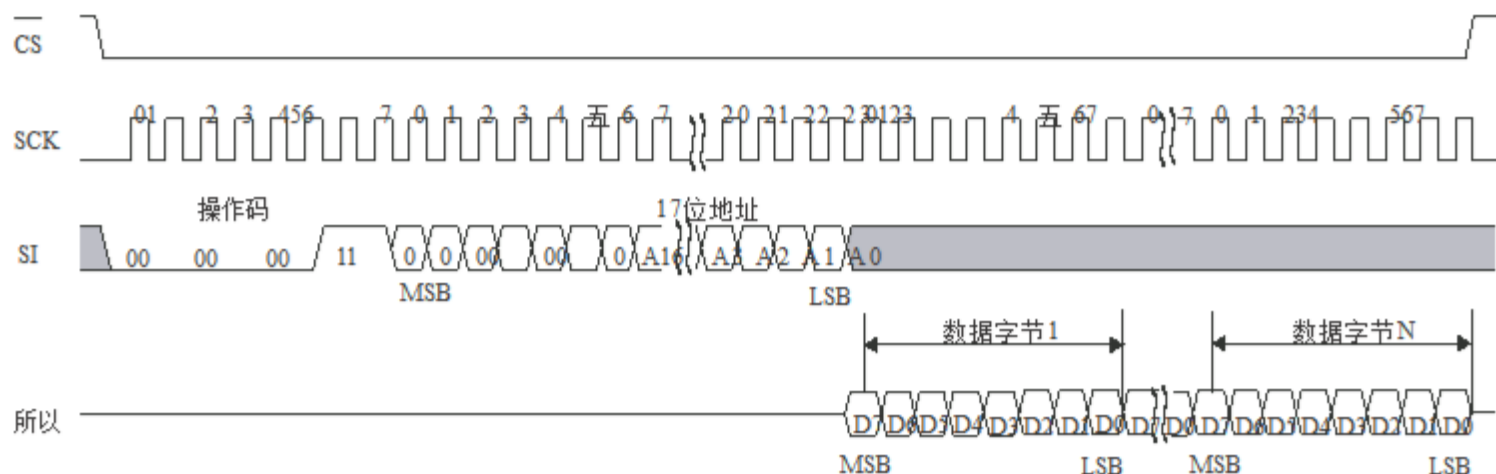


图13.写指令时序

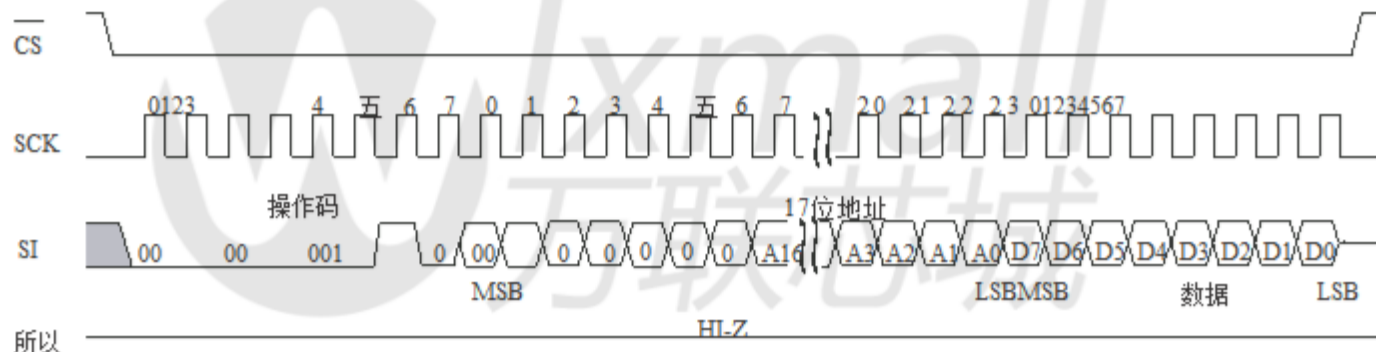
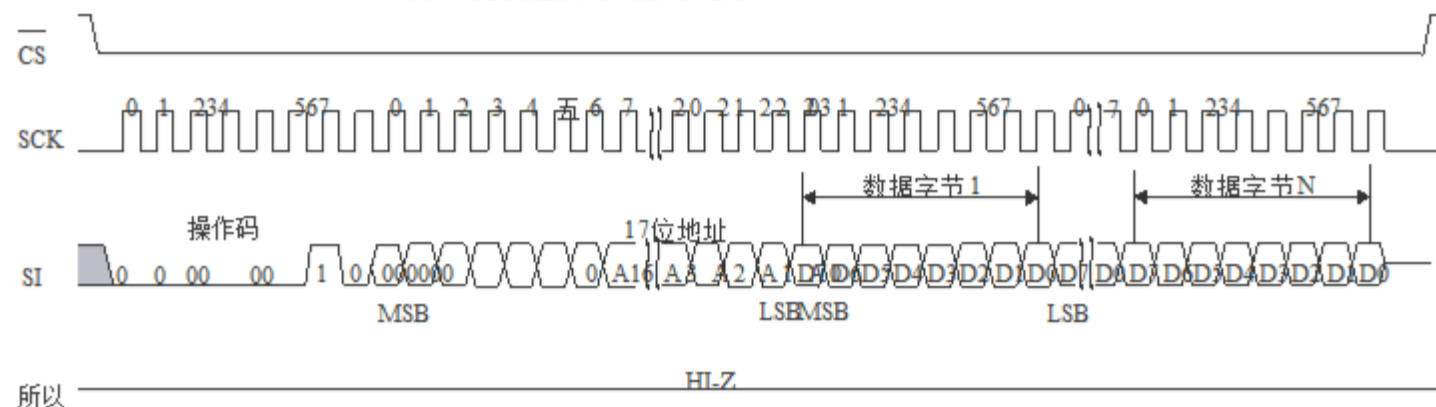


图14.突发模式写入指令时序



nvSRAM特别说明

CY14B101Q1 / CY14B101Q2 / CY14B101Q3 提供特殊说明，可以访问nvSRAM
特定功能：STORE，RECALL，ASDISB和ASENB。
表7列出了这些说明。

软件存储（STORE）指令

当STORE指令被执行时，nvSRAM执行一个软件存储操作.存储操作被执行

表7. nvSRAM特殊指令

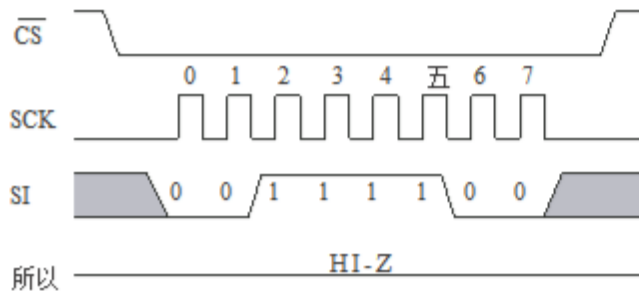
函数名称	操作码	手术
商店	0011 1100	软件商店
召回	0110 0000	软件回收
ASENB	0101 1001	自动存储启用
ASDISB	0001 1001	自动存储禁用

四

无论自上次以来是否发生了写作
STORE或RECALL操作。

要发出此指令，器件必须为写使能（WEN
bit = '1'）。The instruction is performed by transmitting the STORE
在CS下降沿之后的SI引脚上操作代码。温文
在STORE之后CS的上升沿清零
指令。

图15.软件存储操作

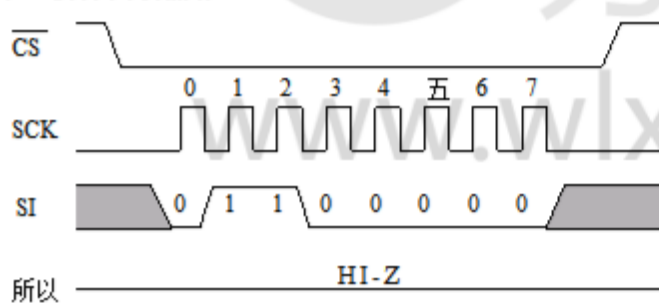


软件RECALL（调用）指令

当RECALL指令执行时，nvSRAM执行一个
软件RECALL操作。发出这个指令，设备
must be write enabled (WEN = '1')。

该指令通过发送RECALL操作码来执行
在CS下降沿之后的SI引脚上。WEN位是
在RECALL后CS上升沿清零
指令。

图16.软件回读操作



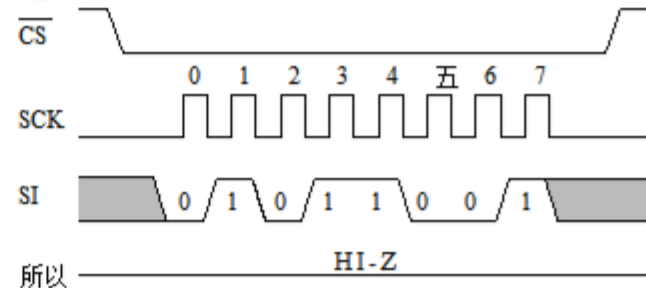
自动存储启用（ASENB）指令

自动存储启用指令 启用自动存储
CY14B101Q1.该设置不是非易失性的，需要
如果需要这个存储序列，则接着存储序列
电源周期。

要发出此指令，器件必须为写使能（WEN
= '1'）。The instruction is performed by transmitting the ASEN B
在CS下降沿之后的SI引脚上操作代码。温文
位在ASENB之后的CS上升沿清零
指令。

注意如果在ASDISB和ASENB指令中执行
CY14B101Q1，软件期间该设备处于忙碌状态
序列处理时间（t_{SS}）。但是，ASDISB和ASENB
由于AutoStore的指令对CY14B101Q1没有影响
内部禁用。

图17.自动存储启用操作

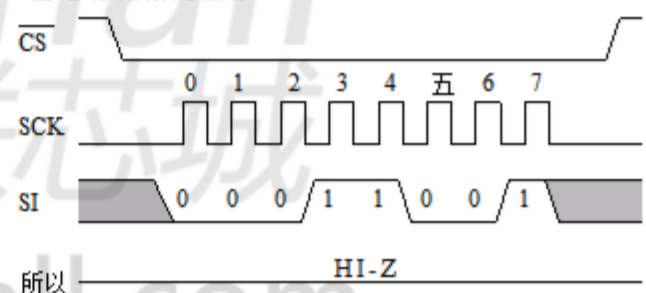


自动存储禁止（ASDISB）指令

在CY14B101Q2 / CY14B101Q3中默认启用自动存储。
ASDISB指令禁用自动存储。这个设置是
不是非易失性的，需要在STORE序列之后进行
如果希望在电源循环中幸存下来。

要发出此指令，器件必须为写使能（WEN
= '1'）。The instruction is performed by transmitting the ASDISB
在CS下降沿之后的SI引脚上操作代码。温文
位在ASDISB之后的CS上升沿清零
指令。

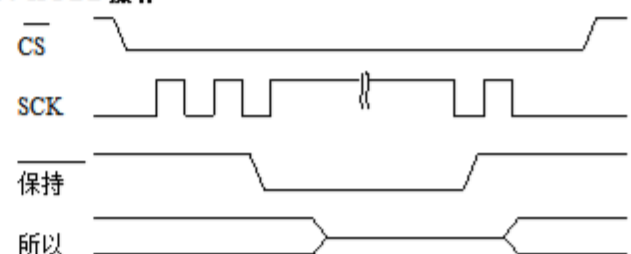
图18.自动存储禁用操作



HOLD引脚操作

HOLD引脚用于暂停串行通信。什么时候
该设备被选中并且串行序列正在进行，HOLD
用于暂停与主设备的串行通信
而不需要重置正在进行的串行序列。暂停，这个
当SCK引脚为低电平时，HOLD引脚必须为低电平。CS
引脚必须与HOLD引脚一起保持低电平以暂停串行
通讯。当设备串行通信时
暂停，输入到SI引脚将被忽略，并且SO引脚处于
高阻抗状态。为了恢复串行通信，
当SCK引脚为低电平时，HOLD引脚必须为高电平
（在HOLD过程中SCK可能会切换）。

图19. HOLD操作



最大额定值

超过最大额定值可能会缩短使用寿命
设备. 这些用户指南未经测试.

储存温度	-65	C到+150	C
最大累计存储时间			
在150 °C环境温度	1000小时		
在85 °C环境温度	20年		
最高结温	150		C
V _{CC} 上的电源电压 相对于V _{SS}	-0.5 V至+4.1 V		
施加到输出的直流电压			
在高Z状态	-0.5 V至V _{CC} +0.5 V		
输入电压	-0.5 V至V _{CC} +0.5 V		

瞬态电压 (<20 ns) 开启			
任何引脚接地电位	-2.0 V至V _{CC} +2.0 V		
封装功耗			
能力 (T _A = 25°C)	1.0 W		
表面贴装引线焊接			
温度 (3秒)	+260		C
直流输出电流 (每次1个输出, 持续1秒)	15 mA		
静电放电电压			
(按照MIL-STD-883, 方法3015)	> 2001 V		
锁定电流	> 200 mA		

工作范围

范围	环境温度	V _{CC}
产业	-40 °C至+85°C	2.7 V至3.6 V

直流电气特性

在操作范围内

参数	描述	测试条件	敏	典型[4]	马克斯	单元
V _{CC}	电源电压		2.7	3.0	3.6	V
我 _{CC1}	平均V _{CC} 电流	在f _{SCK} = 40 MHz. 没有输出负载的情况 (I _{OUT} = 0 mA)	-		10	嘛
我 _{CC2}	平均V _{CC} 电流 商店	所有输入不关心, V _{CC} = 最大. 持续时间t _{STORE} 的平均电流	-		10	嘛
我 _{CC4}	期间的平均V _{CAP} 电流 自动存储周期	所有输入不关心. 平均电流 持续时间t _{STORE}	-5			嘛
我 _{SB}	V _{CC} 待机电流	CS > (V _{CC} - 0.2 V). VIN ≤ 0.2 V或> (V _{CC} - 0.2 V). 非易失性后待机电流水平 周期完成. 输入是静态的. f = 0 MHz.	-5			嘛
我 _{HSB}	输入漏电流 (除外) HSB)	V _{CC} = Max, V _{SS} ≤ VIN ≤ V _{CC}	-1	-	+1	μA
	输入漏电流 (用于HSB) V _{CC} = 最大值, V _{SS} < VIN ≤ V _{CC}		-100	-	+1	μA
我 _{OZ}	关闭状态输出泄漏 当前	V _{CC} = 最大值, V _{SS} < V _{OUT} < V _{CC}	-1	-	+1	μA
V _{IH}	输入高电压		2.0	-	V _{CC} + 0.5	V
V _{IL}	输入低电压		V _{SS} - 0.5	-	0.8	V
V _{OH}	输出高电压	I _{OUT} = -2 mA	2.4	-	-	V
V _{OL}	输出低电压	I _{OUT} = 4 mA	-	-	0.4	V
V _{CAP} [6]	存储电容	在V _{CAP} 引脚和V _{SS} 之间	61	68	180	μF
V _{VCAP} [7,8]	驱动的最大电压 V _{CAP} 引脚由器件	V _{CC} = 最大	-	-	V _{CC}	V

笔记

- 典型值为25°C, V_{CC} = V_{CC} (典型值). 未经100%测试.
- 当高电平驱动器和低电平驱动器均被禁用时, HSB引脚的I_{OUT} = -2μA, V_{OH}为2.4 V. 当它们启用时, 标准V_{OH}和V_{OL}有效. 这个参数为特征值, 但未经测试.
- 最小V_{CAP}值确保有足够的可用电量来完成成功的自动存储操作. 最大V_{CAP}值确保电容器开启. 在上电回读周期内, V_{CAP}被充电到最小电压, 以便立即断电. 周期可以完成成功的自动存储. 所以呢, 总是建议在指定的最小和最大限制内使用电容. 有关V_{CAP}选项的更多详细信息, 请参见应用笔记AN43593.
- 选择V_{CAP}电容时, V_{CAP}引脚上的最大电压 (V_{VCAP}) 用于指导. 运行时V_{CAP}电容的额定电压. 温度范围应该高于V_{VCAP}电压.
- 这些参数由设计保证, 未经测试.

数据保留和耐力

在操作范围内

参数	描述	敏	单元
数据 R	数据保留	20	年份
N V C	非易失性存储操作	1000	k

电容

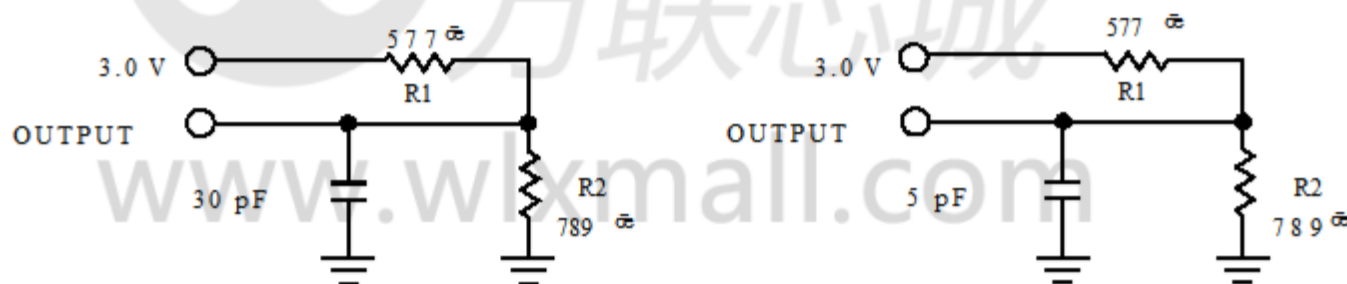
参数[9]	描述	测试条件	马克斯	单元
C IN	输入电容	T A = 25°C, f = 1 MHz, V CC = V CC (典型值)	为 6 . 0 p	F
C OUT	输出引脚电容		为 8 p	

热阻

参数[9]	描述	测试条件	16引脚SOIC	8引脚DFN	单元
θ_{JA}	热阻 (结到环境)	测试条件遵循标准测试 测量方法和程序 热阻抗, 每个EIA / JESD51.	55.17	17.7	C / W
θ_{JC}	热阻 (结到案件)		2.64	18.8	C / W

交流测试负载和波形

图20.交流测试负载和波形



交流测试条件

输入脉冲电平..... 0 V至3 V
输入上升和下降时间 (10% -90%) <3 ns
输入和输出时序参考电平..... 1.5 V

注意

9.这些参数由设计保证, 未经测试.

交流开关特性

超过工作范围[10]

拍参数	Alt键.参数	描述	40 MHz		单元
			敏	马克斯	
f SCK	f SCK	时钟频率, SCK	-	40	兆赫
t CL	t WL	时钟脉冲宽度为低	11	-	NS
t CH	吨 WH	时钟脉冲宽度高	11	-	NS
t CS	t CE	CS高时间	20	-	NS
t CSS	t CES	CS安装时间	10	-	NS
t CSH	t CEH	CS持有时间	10	-	NS
t SD	SU	数据在设置时间	五	-	NS
t HD	t H	数据保持时间	五	-	NS
t HH	t HD	持有时间	五	-	NS
t SH	CD	保持安装时间	五	-	NS
吨 CO	t V	输出有效	-	9	NS
t HH[1]	t HZ	HOLD输出高阻态	-	15	NS
t HL[1]	t LZ	HOLD输出低电平	-	15	NS
t OH	你好	输出保持时间	0	-	NS
t HZCS	t DIS	输出禁用时间	-	25	NS

切换波形

图21.同步数据时序 (模式0)

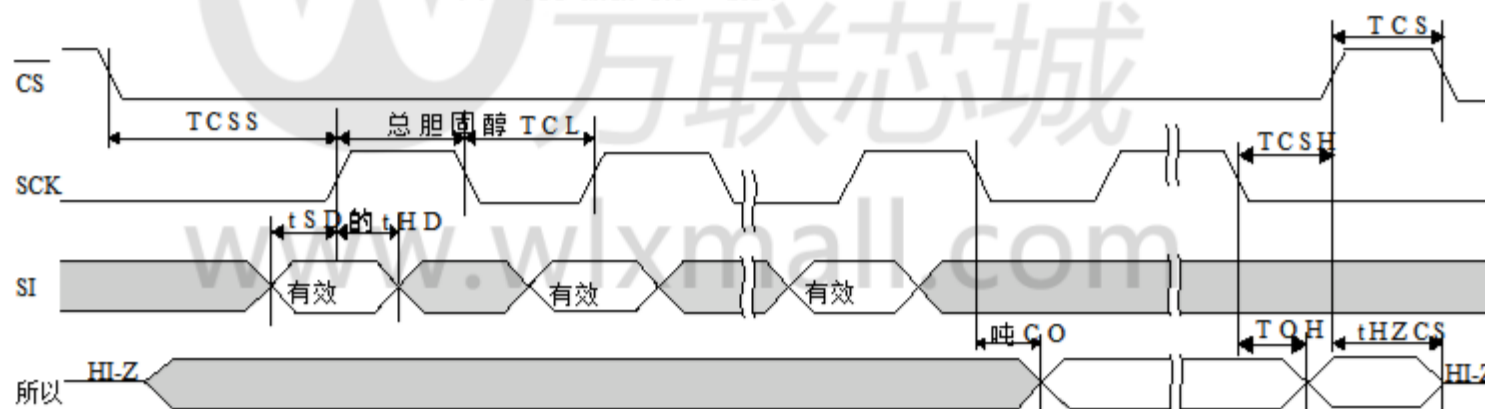
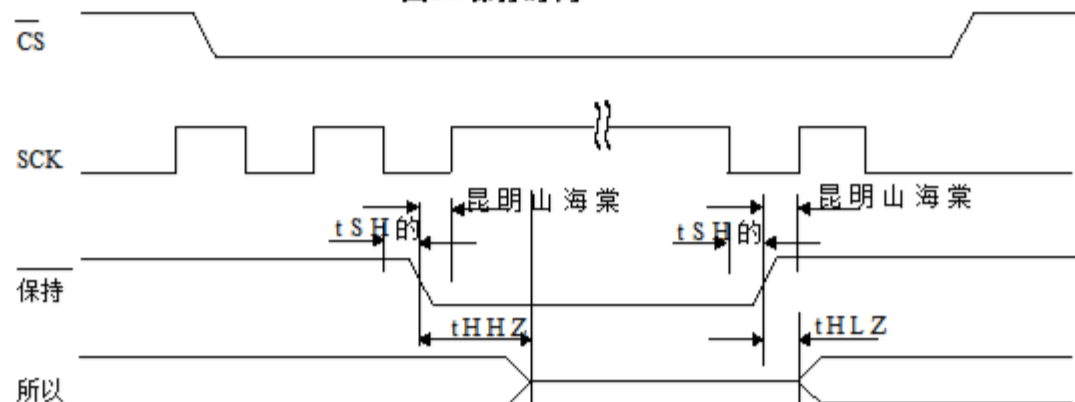


图22.保持时间



笔记

10. 测试条件假定信号转换时间小于或等于3 ns, V_{CC}/2的定时参考电平, 0到V_{CC} (典型值) 的输入脉冲电平 以及指定的输出负载
11. 这些参数由设计保证, 未经测试。

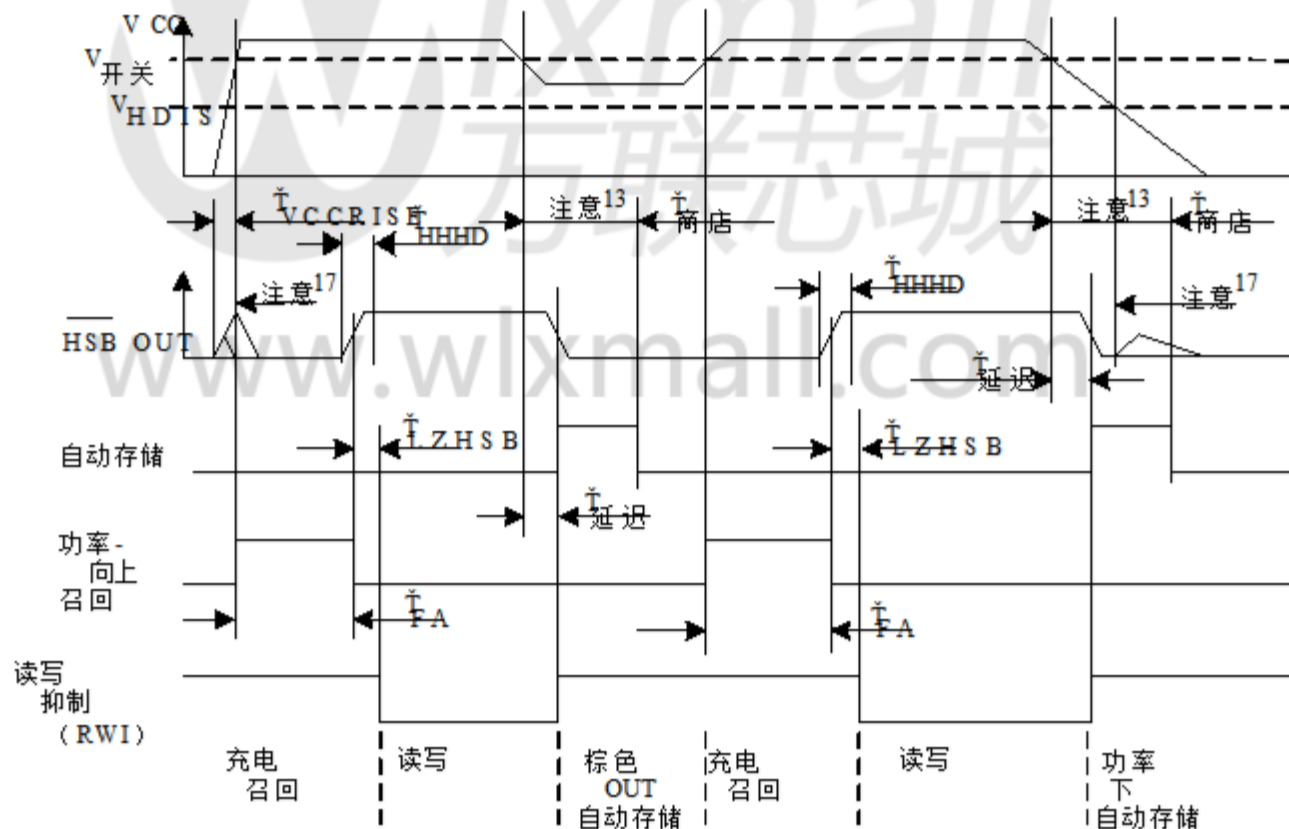
自动存储或加电回叫

在操作范围内

参数	描述	CY14B101Q1 / CY14B101Q2 / CY14B101Q3		单元
		敏	马克斯	
$t_{FA}^{[12]}$	上电RECALL持续时间	-	20	女士
STORE [13]	存储周期	-	8	女士
$t_{延迟}^{[14]}$	允许完成SRAM周期的时间	-	25	NS
V SWITCH	低电压触发电平	-	2.65	V
$t_{VCCRIS}^{[15]}$	V CC 上升时间	150	-	ns
V HDIS[15]	HSB输出禁用电压	-	1.9	V
$t_{LZHSB}^{[15]}$	HSB高电平到nvSRAM有效时间	-	五	ns
$t_{HHHD}^{[15]}$	HSB高活跃时间	-	500	NS

切换波形

图23.自动存储或启动RECALL [16]



笔记

12. t_{FA} 从 VCC 上升到 V_SWITCH 以上时开始。
13. 如果自上次非易失性循环以来未执行 SRAM 写操作，则不会启动自动存储或硬件存储。
14. 在硬件存储，软件存储/调用，自动存储启用/禁用和自动存储启动时，持续启用时间 t_{DELAY} 的 SRAM 操作。
15. 这些参数由设计保证，未经测试。
16. 在 STORE，RECALL 和 VCC 低于 V_SWITCH 期间，读和写周期被忽略。
17. 在上电和掉电期间，当 HSB 引脚通过外部电阻上拉时，HSB 会发生毛刺。

软件控制的存储和调用循环

在操作范围内

参数	描述	CY14B101Q1 / CY14B101Q2 / CY14B101Q3		单元
		敏	马克斯	
t_{RECALL}	RECALL持续时间	-	200	μs
$t_{\text{SS}}[18,19]$	软序列处理时间	-	100	μs

切换波形

图24. 软件存储周期[19]

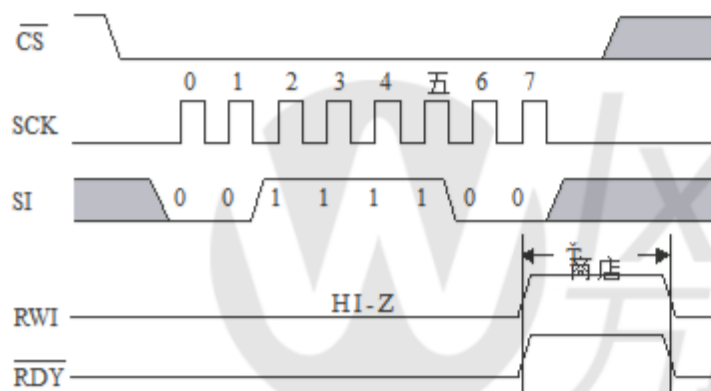


图25. 软件回读周期[19]

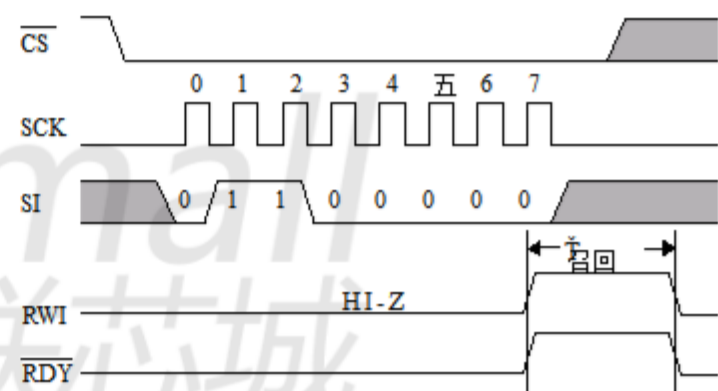


图26. 自动存储启用周期

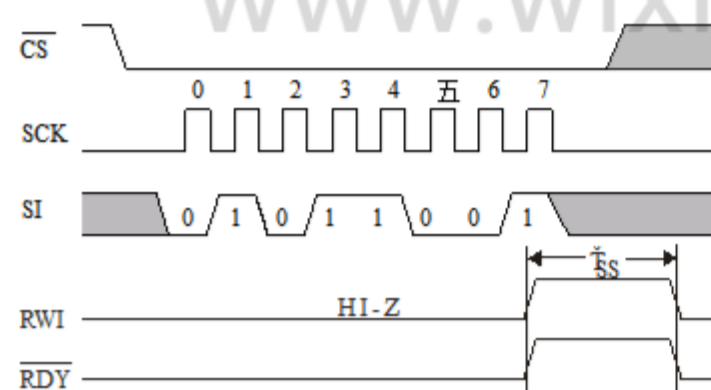
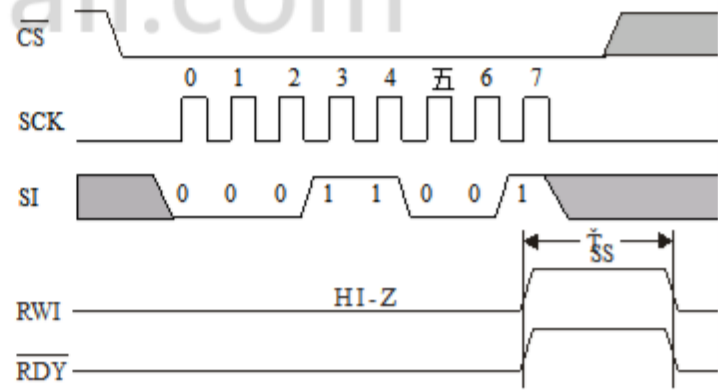


图27. 自动存储禁用周期



笔记

18. 这是对软序列命令采取行动所花费的时间。Vcc电源必须保持高电平以有效地注册命令。
19. STORE和RECALL等命令会锁定I/O直到操作完成，这会进一步增加此时间。看具体的命令。

硬件存储周期

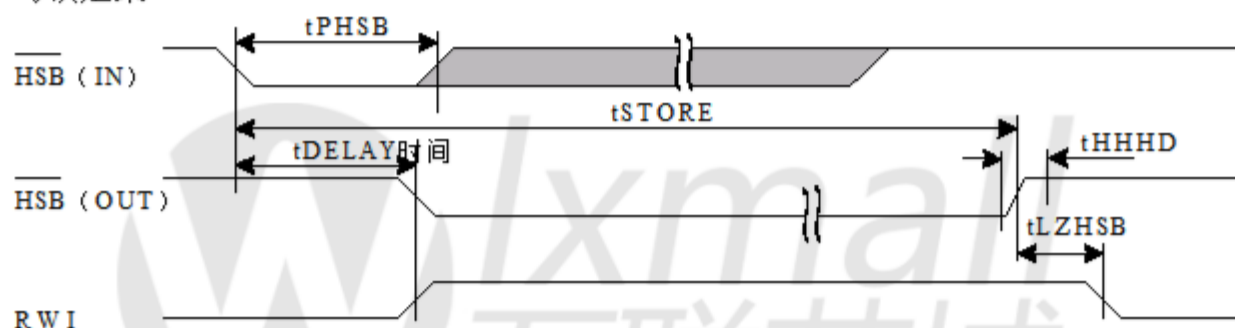
在操作范围内

参数	描述	CY14B101Q3		单元
		敏	马克斯	
t PHSB	硬件存储脉冲宽度	15	-	NS

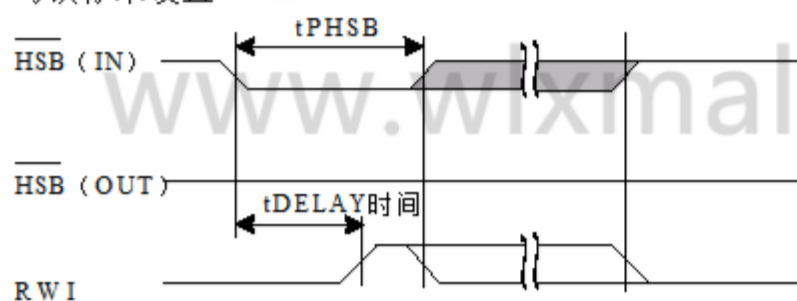
切换波形

图28. 硬件存储周期[20]

写锁定集



写锁存未设置



只有内部HSB引脚驱动为高电平至VCC
100 K 电阻器，HSB驱动器被禁用
只要HSB (IN) 被驱动为低电平，SRAM就被禁止。

注意

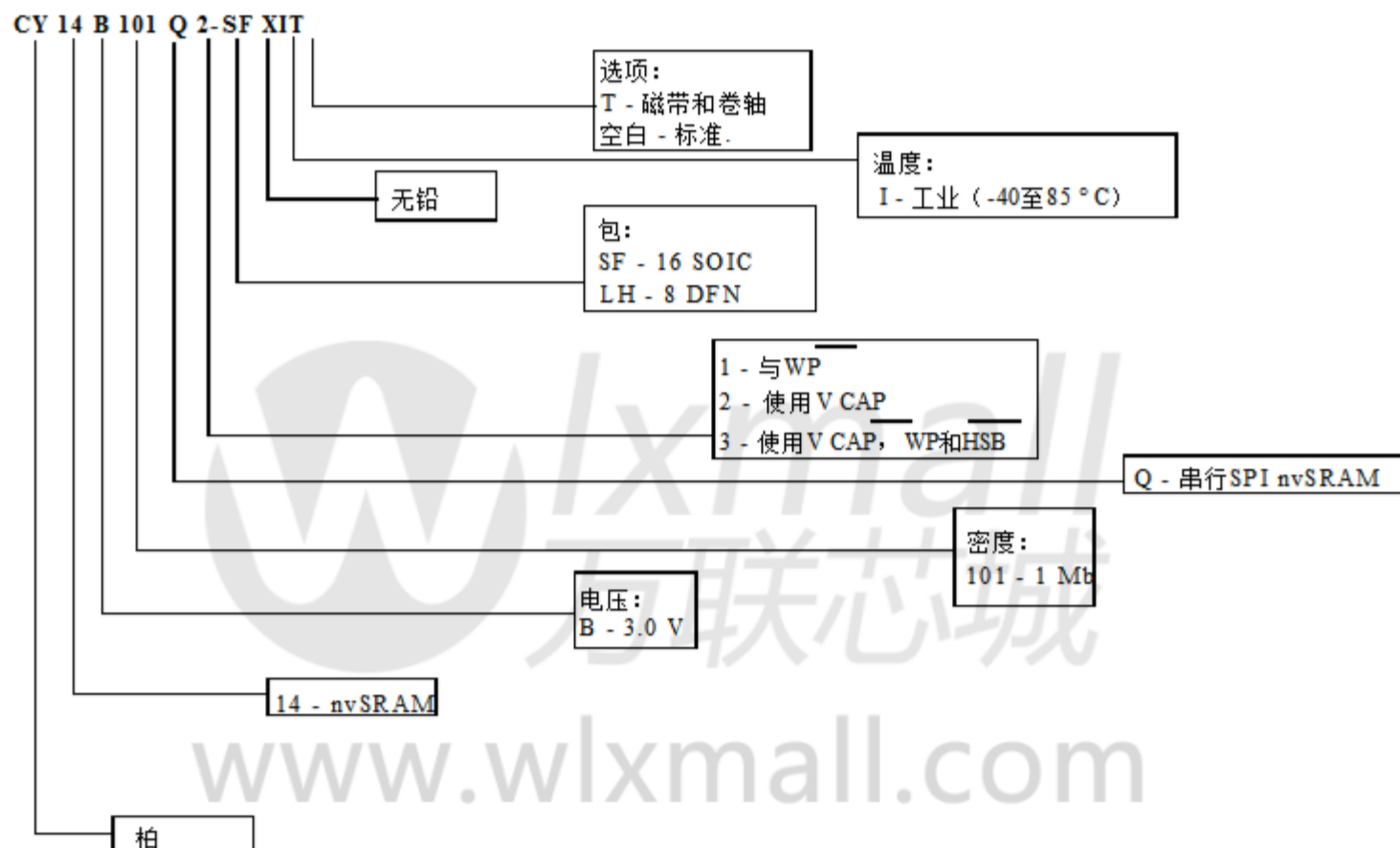
20. 如果自上次非易失性循环以来没有发生SRAM写入，则不会发生自动存储或硬件存储。

订购信息

订购代码	包图	包装类型	工作范围
CY14B101Q2-LHXI	001-50671	8引脚DFN (带V CAP)	产业

以上所有部件都是无铅的。

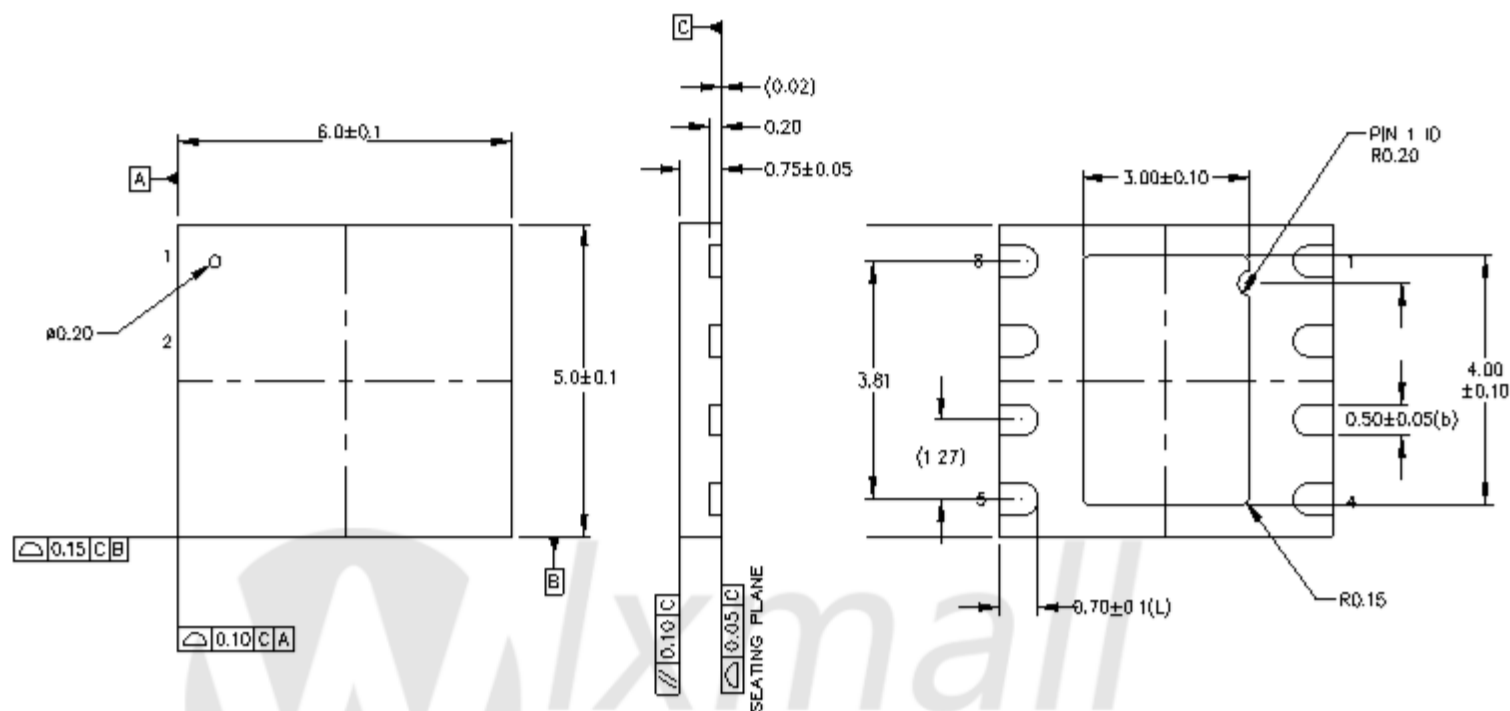
订购代码定义



Not Recommended for New Designs

封装图

图29. 8引脚DFN (5×6×0.85 mm) 封装外形, 001-50671



笔记:

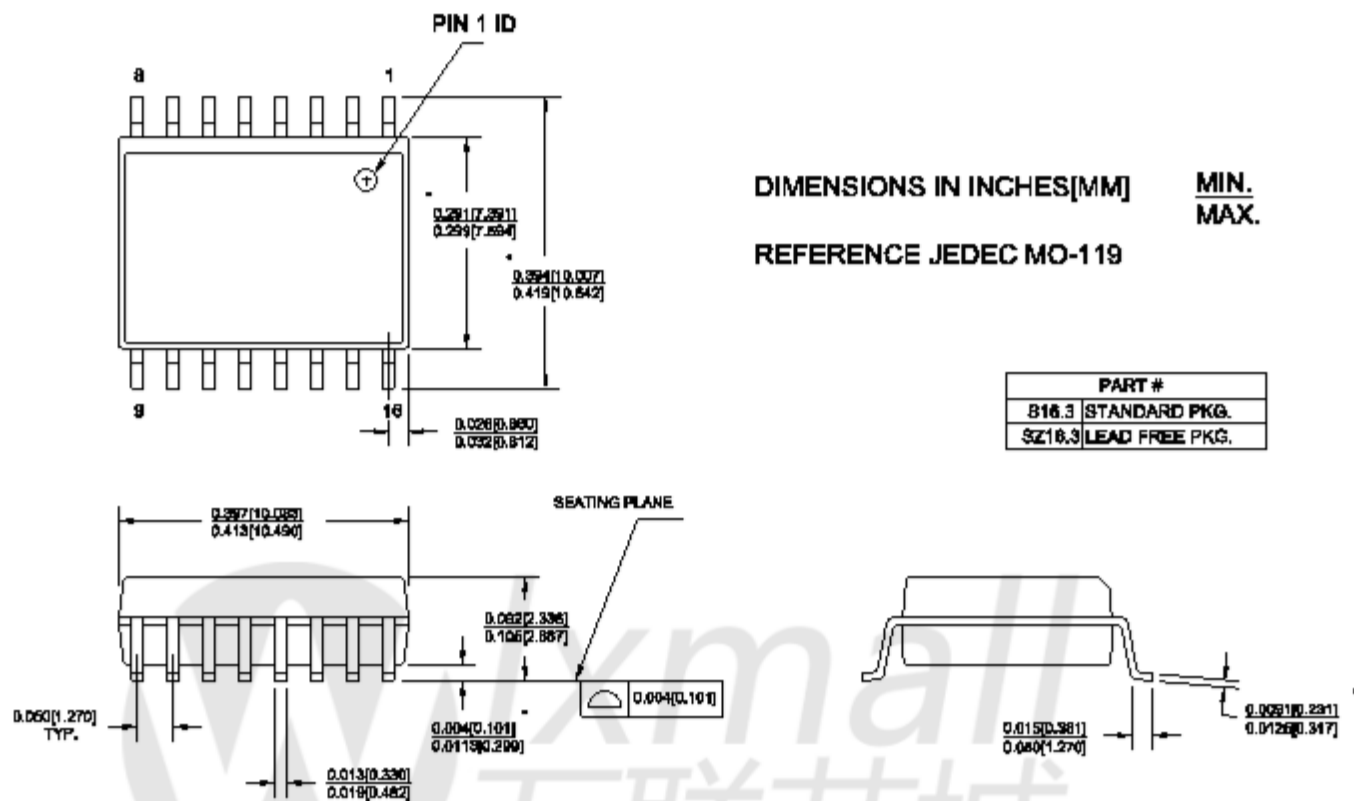
1. 所有尺寸均以毫米为单位
2. 包装重量: 待定
3. 基于REF JEDEC # MO-240除尺寸 (L) 和 (b)

001-50671 * C

Not Recommended for New Designs

封装图 (续)

图30. 16引脚SOIC (0.413×0.299×0.0932英寸) 封装外形, 51-85022



51-85022 * E

www.wlxmall.com

Not Recommended for New Designs

缩略语

缩写	描述
CPHA	时钟相位
CPOL	时钟极性
DFN	双扁平无铅
EEPROM	电可擦除可编程只读记忆
EIA	电子工业联盟
I / O	输入输出
JEDEC	联合电子器件工程委员会
LSB	最低有效位
MSB	最重要的位
的nvSRAM	非易失性静态随机存取存储器
RWI	读写禁止
RoHS指令	限制有害物质
SPI	串行外设接口
SONOS	氧化硅 - 氮化物 - 氧化物半导体
SOIC	小型集成电路
SRAM	静态随机存取存储器

文件惯例

计里单位

符号	测里单位
C	摄氏度
赫兹	赫兹
千赫	千赫
k Ω	千欧姆
兆位	兆位
兆赫	兆赫
μ A	微安
μ F	微法
μ s	微秒
嘛	毫安
女士	毫秒
NS	纳秒
Ω	欧姆
%	百分
pF的	皮法
V	伏特
w [^]	瓦

www.wlxmall.com

Not Recommended for New Designs

文档历史页面

文档标题: CY14B101Q1 / CY14B101Q2 / CY14B101Q3, 1-Mbit (128 K×8) 串行 SPI nvSRAM 文件号码: 001-50091				
启示录	ECN	原稿.的 更改	服从 日期	变更描述
**	2607408	GSIN / GVCH / AESA	08年12月19	新的数据表.
*一个	2654487	GVCH / PYRS	02/04/2009	从预先信息移至预备 将零件号从 CY14B101QxA 更改为 CY14B101Qx 更新了 V CAP 引脚的 引脚说明 更新器件操作和 SPI 外设接口说明 增加了 BP1, BP2 和 WPEN 位的出厂设置值 更新了实时时钟操作说明 将 CC2 从 5mA 改为 10mA
*B	2733293	GVCH / AESA	07/08/2009	更正文档历史记录页面中的拼写错误 (更改描述) 修正脚注 2 和 3 的错字错误 更新了 AutoStore 操作说明 更新了 I CC1 和 I SB 参数的 测试条件 更新了 V HDIS 参数说明
*C	2757348	GVCH	2009年8月28	将数据表状态从初步移至最终 删除了商业温度相关规格 增加了 16-SOIC 和 DFN 封装的热阻值 写入序列 (WRITE) 说明添加注释
*d	2839453	GVCH / PYRS	10年1月6日	QuantumTrap 的存储周期从 200K 改为 100万 更新了图 3 新增内容
*E	2894833	GVCH	03/17/10	从订购信息表中删除非活动零件. 销售, 解决方案和法律信息中的更新链接. 更新了封装图.
*F	2910569	BTK / GVCH	04/12/10	更新图 1 以显示引脚图中的焊盘. 更新了表 1 以提供有关打击垫的信息. 更新关机说明 上电复位: 增加了 4-6 位的状态 表 4: 添加了位 4-6 的定义 更新了图 21, 图 22 和图 23 更新了脚注 11 删除了 t DHSB 参数 更新了图 28
*G	3037045	GVCH	10/09/10	将接地命名约定从 GND 更改为 V SS 更新关机说明 上电复位: 增加了 4-6 位的状态 表 4: 添加了位 4-6 的定义 更新了图 8 更新了 HOLD 引脚操作, 图 19 和图 22 以指示 CS 引脚 必须与 HOLD 引脚一起保持低电平以暂停串行通信 添加了图 26 和图 27 添加了缩略语和度量单位表
*H	3134300	GVCH	11年1月11日	硬件存储和 HSB 引脚操作: 在 HSB 引脚上增加了更多清晰度 手术 更新了 t LZHSB 参数说明
*一世	3320877	GVCH	11年7月19日	增加了脚注 6 和 10.
*j	3493427	GVCH	2012年1月13	更新了封装图. 没有技术更新.

Not Recommended for New Designs

文档历史记录页 (续)

文档标题: CY14B101Q1 / CY14B101Q2 / CY14B101Q3, 1-Mbit (128 K×8) 串行 SPI nvSRAM 文件号码: 001-50091				
启示录	ECN	原稿.的 更改	服从 日期	变更描述
*K	3665165	GVCH	08/03/2012	更新的最大额定值 (更改“环境温度随功率 应用于“最高结温”)。 更新的直流电气特性 (增加了V VCAP 参数及其详细信息, 添加了Note 7并引用了V VCAP 参数中的相同音符 (也参照) V VCAP 参数中的注8)。
L	4010138	GVCH	2013年5月24	更新的封装图: 规格51-85022 - 将修订从 D更改为* E。 添加水印为“不推荐用于新设计”。



Not Recommended for New Designs

销售，解决方案和法律信息

全球销售和设计支持

赛普拉斯拥有遍布全球的办事处，解决方案中心，制造商代表和分销商网络.找办公室
请在赛普拉斯地点与我们联系.

制品

汽车	cypress.com/go/automotive
时钟和缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc
	cypress.com/go/plc
记忆	cypress.com/go/memory
光学和图像传感	cypress.com/go/image
的PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB控制器	cypress.com/go/USB
无线射频	cypress.com/go/wireless

PSoC解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 5



Not Recommended for New Designs

©赛普拉斯半导体公司，2010-2013. 此外包含的信息如有更改，恕不另行通知. 赛普拉斯半导体公司不承担任何责任.
赛普拉斯产品中包含的电路以外的任何电路. 它也不传达或暗示根据专利或其他权利的任何许可. 赛普拉斯产品不保证也不打算用于此目的.
医疗，生命支持，救生，关键控制或安全应用，除非与赛普拉斯签署了明确的书面协议. 此外，赛普拉斯不授权其产品用作
生命支持系统中的关键部件，其中可能合理预期故障或故障会对用户造成重大伤害. 将赛普拉斯产品纳入生命支持系统
应用程序意味着制造商承担所有使用风险，并因此向赛普拉斯赔偿所有费用.

任何源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，受全球专利保护（美国 and 国外）的保护并受其保护，
美国版权法和国际条约规定. 赛普拉斯特此授予被许可人个人，非独占，不可转让的许可，以复制，使用，修改，创建衍生作品，
并编译赛普拉斯源代码和衍生作品，仅用于创建定制软件和/或固件，以支持被许可人产品. 仅用于与赛普拉斯
集成电路按适用协议的规定. 除上述规定外，任何对此源代码的复制，修改，翻译，编译或表示都是禁止的
赛普拉斯的明确书面许可.

免责声明：对于本材料，CYPRESS不作任何明示或暗示的担保，包括但不限于暗示担保.
适用性和针对特定用途的适用性. 赛普拉斯保留对此外所述材料进行更改的权利，恕不另行通知. 赛普拉斯没有
承担因应用或使用本文所述任何产品或电路而引起的任何责任. 赛普拉斯不授权将其产品用作生命支持系统中的关键组件
故障或故障可能合理预期会对用户造成重大伤害. 将赛普拉斯产品纳入生命支持系统应用意味着制造商
承担使用此类风险的所有风险，并为此向赛普拉斯赔偿所有费用.

使用可能受限于适用的赛普拉斯软件许可协议并受此限制.