

4-Mbit (128 K×36) 流通同步SRAM

特征

- 128 K×36个通用I/O
- 3.3 V核心电源 (VDD)
- 2.5 V或3.3 V I/O电源 (VDDQ)
- 快速的时钟到输出时间
 - 8.0 ns (100 MHz版本)
- 提供高性能的2-1-1-1访问速率
- 支持Intel Pentium的用户可选突发计数器
交织或线性突发序列
- 分离处理器和控制器地址选通
- 同步自定时写入
- 异步输出使能
- 采用无铅100引脚TQFP封装
- ZZ睡眠模式选项

功能说明

CY7C1345G是128 K×36同步高速缓存RAM旨在与高速微处理器接口。最小胶合逻辑。从时钟上升的最大访问延迟是8.0 ns (100 MHz版本)。一个2位片上计数器捕获首次地址在一个连发中，并自动递增地址用于其他突发访问。所有同步输入都被门控寄存器由正边沿触发的时钟输入控制 (CLK)。同步输入包括所有地址和所有数据输入，地址流水芯片使能 (CE 1)，深度扩展芯片使能 (CE 2和CE 3)，突发控制输入 (ADSC, ADSP, 和ADV)，写入使能 (BW x和BWE) 以及全局写入 (GW)。异步输入包括输出使能 (OE) 和ZZ引脚。

CY7C1345G支持交错或线性突发序列，由MODE输入引脚选择。HIGH选择一个交错突发序列，而LOW选择线性突发序列。突发访问由处理器启动地址选通 (ADSP) 或高速缓存控制器地址选通 (ADSC) 输入。

地址和芯片使能在上升沿被注册。时钟当任一地址选通处理器 (ADSP) 或地址频闪控制器 (ADSC) 处于活动状态。后续的突发地址由高级引脚 (ADV) 控制在内部生成。

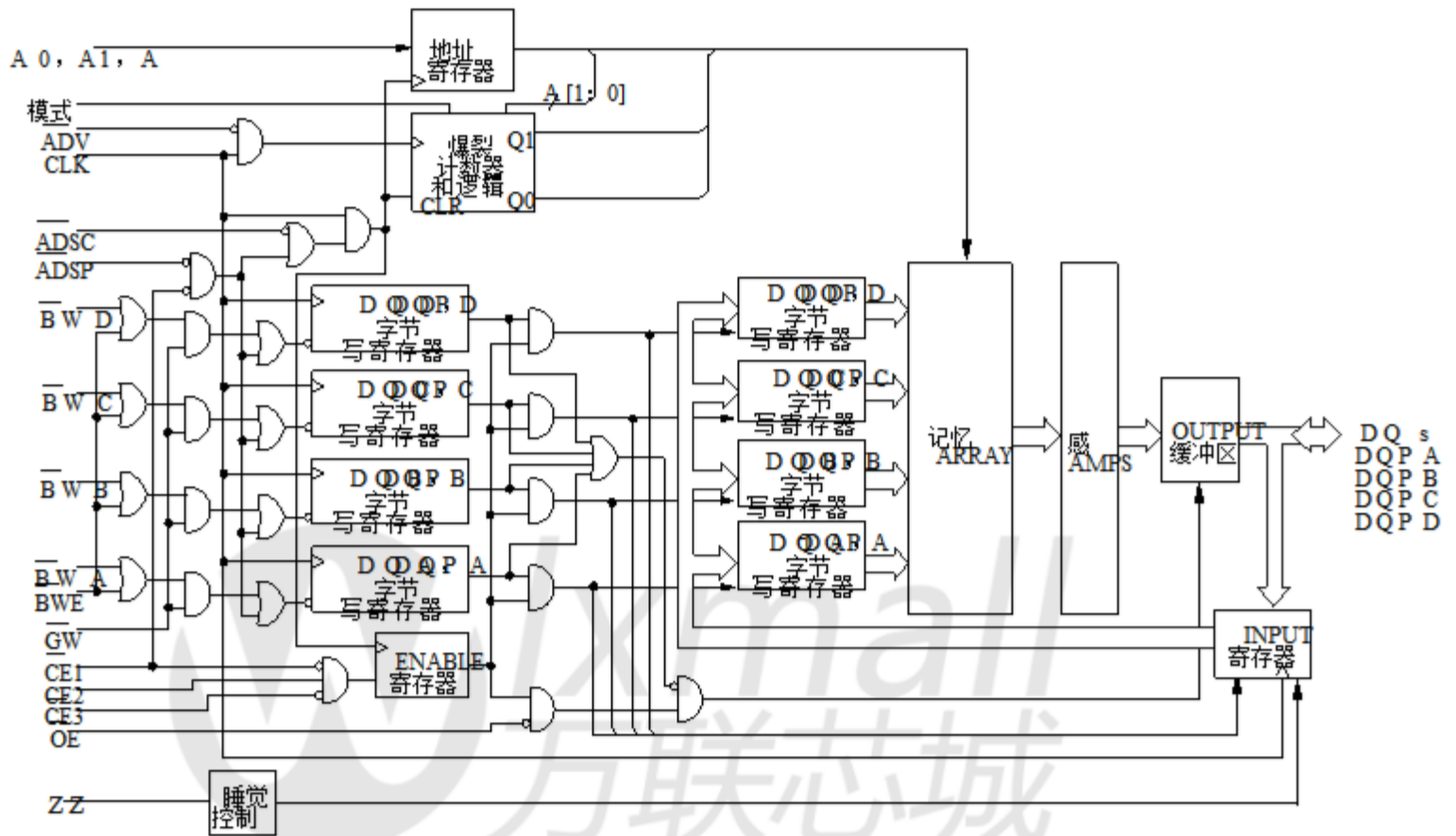
CY7C1345G采用+3.3 V核心电源供电。而所有输出均采用+2.5或+3.3 V电源供电。所有输入和输出是JEDEC标准JESD8-5兼容。

选择指南

描述	100 MHz	单元
最大访问时间	8	NS
最大工作电流	205	嘛
最大待机电流	40	嘛

勘误表：有关芯片勘误表的信息，请参见第21页的“勘误表”。详细信息包括触发条件，受影响的器件和建议的解决方法。

逻辑框图



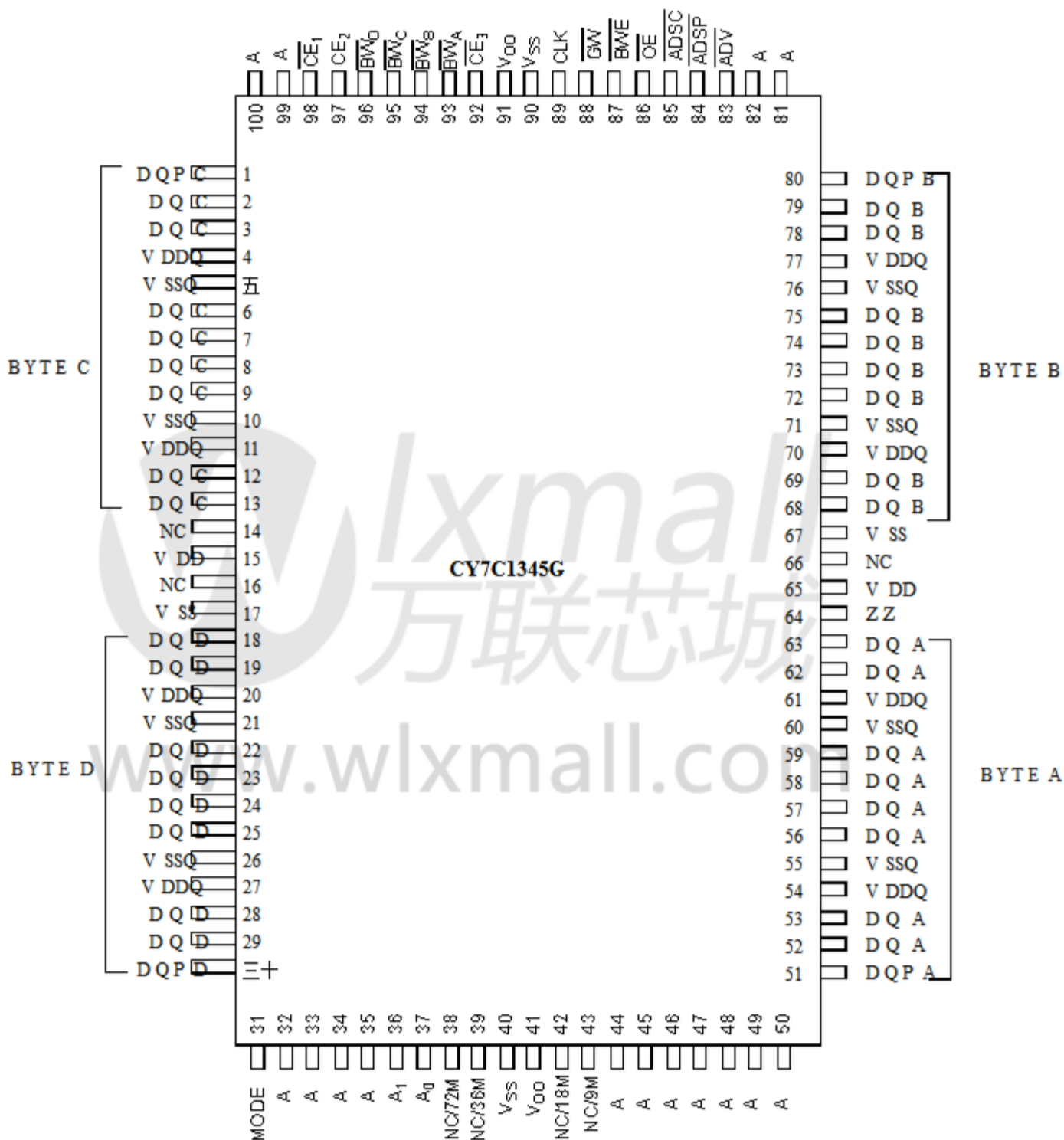
内容

引脚配置	4	开关特性	13
引脚定义	5	时序图	14
功能概述	6	订购信息	18
单次读取访问	6	订购代码定义	18
ADSP发起的单次写访问	6	封装图	19
ADSC启动的单次写入访问	6	首字母缩略词	20
突发序列	7	文件公约	20
睡眠模式	7	计里单位	20
交错突发地址表	7	勘误	21
线性突发地址表	7	受影响的零件编号	21
ZZ模式电气特性	7	产品状态	21
真相表	8	Ram9 Sync / NoBL ZZ Pin发布勘误摘要	21
用于读取或写入的真值表	9	文档历史页	22
最大额定值	10	销售，解决方案和法律信息	24
工作范围	10	全球销售和设计支持	24
中子软错误免疫力	10	产品	24
电气特性	10	PSoC®解决方案	24
电容	11	赛普拉斯开发人员社区	24
热阻	11	技术支持	24
交流测试负载和波形	12		

 **Wlxmall**
万联芯城
www.wlxmall.com

引脚配置

图1. 100引脚TQFP (14×20×1.4 mm) 引脚排列[1]



注意

1. 勘误表: ZZ引脚(引脚64)需要外部连接到地. 有关更多信息, 请参阅第21页上的“勘误表”.

引脚定义

名称	I / O	描述
A0, A1, A2	输入 同步	用于选择128 K地址位置之一的地址输入。在上升沿采样。CLK如果ADSP或ADSC为低电平有效，并且CE1，CE2和CE3采样有效。一个[1:0]喂两个位计数器。
BWA, BWB, BWC, BWD	输入 同步	字节写入选择输入，低电平有效。使用BWE进行字节写入SRAM。取样在CLK的上升沿。
GW	输入 同步	全局写入使能输入，低电平有效。当在CLK的上升沿将全局写入置为低电平时（无论BW[A:D]和BWE上的值如何，所有字节都被写入）。
BWE	输入 同步	字节写使能输入，低电平有效。在CLK的上升沿采样。该信号被置为低电平进行字节写入。
CLK	输入时钟	时钟输入。用于捕获设备的所有同步输入。也用于增加突发。当在突发操作期间ADV被置为低电平时计数器。
CE1	输入 同步	芯片使能1输入，低电平有效。在CLK的上升沿采样。与CE2一起使用和CE3选择或取消选择设备。如果CE1为高电平，ADSP将被忽略。CE1仅在新的外部地址被加载。
CE2	输入 同步	芯片使能2输入，高电平有效。在CLK的上升沿采样。与CE1一起使用和CE3选择或取消选择设备。CE2仅在加载新的外部地址时被采样。
CE3	输入 同步	芯片使能3输入，低电平有效。在CLK的上升沿采样。与CE1一起使用和CE2选择或取消选择设备。CE3仅在加载新的外部地址时才被采样。
OE	输入 异步	输出使能，异步输入，低电平有效。控制IO引脚的方向。当LOW时，IO引脚充当输出。当高电平置位时，IO引脚变为三态，并充当输入数据引脚。OE在读取周期的第一个时钟期间从未选择状态出现时被屏蔽。
ADV	输入 同步	提前输入信号，在CLK的上升沿采样。当被声明时，它会自动递增在一个突发周期中的地址。
ADSP	输入 同步	来自处理器的地址选通，在CLK的上升沿采样，低电平有效。当被声明时LOW，提供给设备的地址被捕获到地址寄存器中。A[1:0]也被加载进入爆破柜台。当ADSP和ADSC都置位时，只有ADSP被识别。ADSP是当CE1被置为高电平时忽略。
ADSC	输入 同步	来自控制器的地址选通，在CLK的上升沿采样，低电平有效。当被声明时LOW，提供给设备的地址被捕获到地址寄存器中。A[1:0]也被加载进入爆破柜台。当ADSP和ADSC都置位时，只有ADSP被识别。
ZZ[2]	输入 异步	ZZ睡眠输入，高电平有效。置位为高电平时，器件处于非时间关键的睡眠状态。条件与数据完整性保留。在正常操作期间，该引脚为低电平或悬空。ZZ引脚有内部下拉。
DQ, DQPA, DQPB, DQPC, DQPD	IO 同步	双向数据IO线。作为输入，它们读入一个片上数据寄存器，由该寄存器触发CLK的上升沿。作为输出，它们传递包含在由指定的内存位置中的数据。在读取周期的前一个时钟上升期间提供的地址。引脚的方向是由OE控制。当OE置为低电平时，引脚用作输出。当高，DQ和DQP[A:D]处于三态状态。
VDD	电源	到设备的核心。
VSS	地面	设备的核心接地。
VDDQ	IO电源 供应	IO电路的电源。
VSSQ	IO地面	IO电路接地。

注意

2. 勘误表：ZZ引脚（引脚64）需要从外部接地。有关更多信息，请参阅第21页上的“勘误表”。

引脚定义 (续)

名称	I / O	描述
模式	输入静态	选择突发顺序. 当连接到GND时选择线性突发序列. 当绑定到V _{DD} 或悬空选择交错突发序列. 这是一个带状引脚, 在设备操作过程中必须保持静态. 模式引脚有一个内部上拉.
NC	-	没有连接. 不内部连接到芯片.
NC / 9M, NC / 18M, NC / 36M, NC / 72M, NC / 144M, NC / 288M, NC / 576M, NC / 1G	-	没有连接. 没有内部连接到芯片. NC / 9M, NC / 18M, NC / 36M, NC / 72M, NC / 144M, NC / 288M, NC / 576M和NC / 1G是地址扩展引脚, 并没有内部连接到芯片.

功能概述

所有同步输入都通过输入寄存器进行控制
时钟的上升沿. 最大访问延迟
时钟上升 (t_{CO}) 为 8.0 ns (100 MHz 器件).

CY7C1345G 支持系统中的二级缓存
线性或交错的突发序列. 交错的
突发顺序支持 Pentium 和 i486™ 处理器. 线性
突发序列适用于使用线性突发的处理器
序列. 突发顺序是用户可选择的并且被确定
通过采样 MODE 输入. 访问通过任一方式启动
处理器地址选通 (ADSP) 或控制器地址
频闪 (ADSC). 通过爆发地址推进
序列由 ADV 输入控制. 一个两位片上包装
周围的突发计数器捕捉突发中的第一个地址
顺序并自动增加剩下的地址
的突发访问.

字节写入操作通过字节写入启用进行限定
(BWE) 和字节写入选择 (BW[A:D]) 输入. 全球写作
启用 (GW) 将覆盖所有字节写入输入并将数据写入所有字节
四个字节. 所有写操作都通过片上同步自我来简化
定时写入电路.

三个同步芯片选择 (CE1, CE2 和 CE3) 和一个
异步输出使能 (OE) 提供轻松的银行
选择和输出三态控制. 如果 CE1 是 ADSP, 则忽略
高.

单读访问

在以下情况下启动单个读访问
在时钟上升时满意:

1. CE1, CE2 和 CE3 全部被激活.
2. ADSP 或 ADSC 置为低电平 (如果访问由启动
ADSC, 写入输入在第一个周期期间无效).

呈现给地址输入的地址被锁存到地址中
地址寄存器和突发计数器或控制逻辑和
呈现给内存核心. 如果 OE 输入置为低电平,
所请求的数据在数据输出处最多可用
在时钟上升后变为 CDV. 如果 CE1 为高电平, ADSP 将被忽略.

ADSP 发起的单次写入访问

满足以下条件时将启动单写访问
满足时钟上升:

1. CE1, CE2 和 CE3 全部被激活
2. ADSP 被置为低电平.

所呈现的地址被加载到地址寄存器中
并在此期间忽略突发输入 (GW, BWE 和 BW_x)
第一个时钟周期. 如果写入输入有效 (请参阅“真相
用于读取或写入的表”, 以了解相应的状态
指示写入) 在下一个时钟上升时, 合适的的数据是
锁存并写入设备. 字节写入是允许的.
在字节写入期间, BWA 控制 DQ A, BWB 控制 DQ B,
BWC 控制 DQ C, BWD 控制 DQ D. 所有 IO 都是三态的
在字节写入期间. 由于这是一个普通的 IO 设备,
异步 OE 输入信号被取消断言并且 IO 是
在将数据提交给 DQs 之前已经三元化. 作为一种安全
在写入周期结束后, 数据线呈三态
检测到, 无论 OE 的状态如何.

单次写访问由 ADSC 启动

当满足以下条件时, 将启动此写访问
满足时钟上升:

1. CE1, CE2 和 CE3 全部被激活.
2. ADSC 被置为低电平.
3. ADSP 被取消置高
4. 写入输入信号 (GW, BWE 和 BW_x) 表示写入
访问. 如果 ADSP 处于低电平有效状态, ADSC 将被忽略.

所呈现的地址被加载到地址寄存器中
和突发计数器或控制逻辑并传递给
内存核心. 提交给 DQ[D:A] 的信息被写入
到指定的地址位置. 字节写入是允许的.
在字节写入期间, BWA 控制 DQ A, BWB 控制 DQ B, BWC
控制 DQ C, 而 BWD 控制 DQ D. 所有 IO 甚至一个字
当检测到写入时, 写入是三态的. 由于这是一个
普通的 IO 设备, 异步 OE 输入信号是
在提交之前被解除了声明并且 IO 被改变了
数据到 DQs. 为了安全起见, 数据线是三态的
在检测到写周期之后, 不管 OE 的状态如何.

突发序列

CY7C1345G提供片内两位环绕突发计数器在SRAM内部. 突发计数器由A[1:0]和遵循线性或交错突发顺序. 突发顺序由MODE输入的状态决定. 模式下为低电平选择线性突发序列. MODE上的HIGH选择一个交错突发顺序. 保持MODE不连接导致设备默认为交错突发序列.

睡眠模式

ZZ输入引脚是异步输入. 声明ZZ地点SRAM处于节能睡眠模式. 两个时钟周期需要进入或退出此睡眠模式. 在这种模式, 数据完整性得到保证. 正在访问时正在等待进入睡眠模式不被认为是有效的, 也不是保证操作的完成. 该设备是在进入睡眠模式之前取消选择. CE, ADSP和在tZZEC后, ADSC必须保持无效状态. ZZ输入返回LOW.

交错突发地址表

(MODE = 浮动或VDD)

第一地址 A1: A0	第二地址 A1: A0	第三地址 A1: A0	第四地址 A1: A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

线性突发地址表

(MODE = GND)

第一地址 A1: A0	第二地址 A1: A0	第三地址 A1: A0	第四地址 A1: A0
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

ZZ模式电气特性

参数	描述	测试条件	敏	马克斯	单元
我 DDZZ	睡眠模式待机电流	ZZ ≥ VDD - 0.2 V	-	40	嘛
t ZSZ	设备操作到ZZ	ZZ ≥ VDD - 0.2V	-	2 t CYC	NS
t ZZREC	ZZ恢复时间	ZZ ≤ 0.2V	2 t CYC	- n s	
t ZZI	ZZ主动睡眠电流	该参数被采样	-	2 t CYC	NS
t RZZI	ZZ无效以退出睡眠电流	该参数被采样	0	-	NS

真相表

部分CY7C1345G的真值表如下. [3, 4, 5, 6, 7]

循环描述	地址使用	CE 1	CE 2	CE 3	ZZ	ADSP	ADSC	ADV	WRITE	OE	CLK				DQ
取消选择的周期, 掉电	没有	H	X	X	大号	X	大号	X	大号	X	X	X	X	L-H	三态
取消选择的周期, 掉电	没有	大号	大号	X	大号	X	大号	大号	X	X	X	X	X	L-H	三态
取消选择的周期, 掉电	没有	大号	X	H	大号	大号	X	X	X	X	X	X	X	L-H	三态
取消选择的周期, 掉电	没有	大号	大号	X	大号	H	大号	X	X	X	X	X	X	L-H	三态
取消选择的周期, 掉电	没有	X	X	X	大号	H	大号	X	X	X	X	X	X	L-H	三态
睡眠模式, 关机	没有	X	X	X	H	X	X	X	X	X	X	X	X	X	三态
读周期, 开始爆发	外部	大号	H	大号	大号	大号	X	X	X	X	大号	L-H			Q
读周期, 开始爆发	外部	大号	H	大号	大号	大号	X	X	X	X	H	L-H	三态		
写周期, 开始爆发	外部	大号	H	大号	大号	H	大号	X	大号	X	大号	L-H			d
读周期, 开始爆发	外部	大号	H	大号	大号	H	大号	X	H	大号	L-H				Q
读周期, 开始爆发	外部	大号	H	大号	大号	H	大号	X	H	H	L-H	三态			
读取周期, 继续突发	下一个	X	X	X	大号	H	H	大号	H	大号	L-H				Q
读取周期, 继续突发	下一个	X	X	X	大号	H	H	大号	H	H	L-H	三态			
读取周期, 继续突发	下一个	H	X	X	大号	X	H	大号	H	大号	L-H				Q
读取周期, 继续突发	下一个	H	X	X	大号	X	H	大号	H	H	L-H	三态			
写周期, 继续突发	下一个	X	X	X	大号	H	H	大号	大号	X	L-H				d
写周期, 继续突发	下一个	H	X	X	大号	X	H	大号	大号	X	L-H				d
读取周期, 暂停突发	当前	X	X	X	大号	H	H	H	H	大号	L-H				Q
读取周期, 暂停突发	当前	X	X	X	大号	H	H	H	H	H	L-H	三态			
读取周期, 暂停突发	当前	H	X	X	大号	X	H	H	H	大号	L-H				Q
读取周期, 暂停突发	当前	H	X	X	大号	X	H	H	H	H	L-H	三态			
写周期, 暂停突发	当前	X	X	X	大号	H	H	大号	X	L-H					d
写周期, 暂停突发	当前	H	X	X	大号	X	H	H	大号	X	L-H				d

笔记

1. X = “无所谓”, H = 逻辑高电平, L = 逻辑低电平.
2. 当任何一个或多个字节写入使能信号 ($\overline{BWA}$, $\overline{BWB}$, $\overline{BWC}$, $\overline{BWD}$) 和 $\overline{BWE} = L$ 或 $\overline{GW} = L$ 时, $\overline{WRITE} = L$.
3. $\overline{BWB}$, $\overline{BWC}$, $\overline{BWD}$, $\overline{BWE}$, $\overline{GW} = H$.
4. DQ引脚由当前周期和OE信号控制. OE是异步的, 不会随时钟采样.
5. 无论 $\overline{GW}$, $\overline{BWE}$ 或 $\overline{BWA}$: DQ的状态如何, ADSP复位时, SRAM总是启动一个读周期. 写入后可能会在后续时钟发生ADSP或ADSC的声明. 因此, OE在写周期开始之前被驱动为高电平, 以使输出处于三态. OE是“无所谓”写周期的其余部分.
6. OE是异步的, 不随时钟上升采样. 它在写周期内部被屏蔽. 在读取周期中, 当OE处于非活动状态时, 所有数据位均为三态. 或当器件被取消选择时, 并且所有数据位在OE处于活动状态 (LOW) 时表现为输出.

用于读取或写入的真值表

部分CY7C1345G读取或写入的真值表如下. [8, 9]

功能	GW	BWE	BWD	BWC	BWB	BWA
读	H	H	X	X	X	X
读	H	大号	HH		HH	
写字节 (A, DQPA)H		大号	H	H	H	大号
写字节 (B, DQPB)H		大号	H	H	大号	H
写入字节 (B, A, DQPA, DQPB)H		大号	H	H	大号	大号
写字节 (C, DQPC)H		大号	H	大号	H	H
写入字节 (C, A, DQPC, DQPA)H		大号	H	大号	H	大号
写入字节 (C, B, DQPC, DQPB)H		大号	H	大号	大号	H
写入字节 (C, B, A, DQPC, DQPB, DQPA)H		大号	H	大号	大号	大号
写字节 (D, DQPD)H		大号	大号	H	H	H
写入字节 (D, A, DQPD, DQPA)H		大号	大号	H	H	大号
写入字节 (D, B, DQPD, DQPB)H		大号	大号	H	大号	H
写入字节 (D, B, A, DQPD, DQPB, DQPA)H		大号	大号	H	大号	大号
写入字节 (D, B, DQPD, DQPB)	H	LLL			H	H
写入字节 (D, B, A, DQPD, DQPC, DQPA)	H	LLL			H	大号
写入字节 (D, C, A, DQPD, DQPB, DQPA)	H	LLL			大号	H
写入所有字节	H	LLL			二	
写入所有字节	大号	X	X	X	X	X

注意

8. X = “无所谓”, H = 逻辑高电平, L = 逻辑低电平.

9. 该表只是字节写入组合的部分列表. BWA 的任何组合 都是有效的. 适当的写入是基于活动字节写入完成的.

最大额定值

超过最大额定值可能会缩短电池寿命
装置. 这些用户指南未经测试.

储存温度 -65°C至+150°C

环境温度与
施加的电源 -55°C至+ 125°C

V DD 相对于GND的电源电压 -0.5 V至+4.6 V

V DDQ 上的电源电压 相对于GND -0.5 V至+ V DD

施加到输出的直流电压
处于三态 -0.5 V至V DDQ +0.5 V

直流输入电压 -0.5 V至V DD +0.5 V

输入电流 (低) 20 mA

静电放电电压
(MIL-STD-883, 方法3015) > 2001 V

锁定电流 > 200 mA

工作范围

范围	周围 温度	V DD	V DDQ
广告	0°C至+70°C	3.3 V -5% / + 10%	2.5 V -5%至 V DD
产业	-40°C至+85°C		

中子软错误抗扰度

参数	描述	测试 条件类型最大*单位			
伦敦南岸大学	合乎逻辑 单个位 冷门	25°C	3 6 1	394	适合 / MB
LMBU	逻辑多 有点翻倒	25°C	0	0.01	适合 / MB
SEL	单一事件 闭锁	85°C	0	0.1	适合 / 开发
*在测试过程中没有发生LMBU或SEL事件. 这一列代表一个统计, 2.95%置信度限制计算. 有关更多详情, 请参阅应用笔记AN54908“加速Neutron SER测试和计算地面故障率”。					

电气特性

在操作范围内

参数 [10,11]	描述	测试条件	敏	马克斯	单元
V DD	电源电压		3.135	3.6	V
V DDQ	IO电源电压		2.375	V DD	V
V OH	输出高电压	对于3.3 V IO, I OH = -4.0 mA	2.4	-	V
		对于2.5 V IO, I OH = -1.0 mA	2.0	-	V
V OL	输出低电压	对于3.3 V, IO, I OL = 8.0 mA	-	0.4	V
		对于2.5 V IO, I OL = 1.0 mA	-	0.4	V
V IH	输入高电压	对于3.3 V IO	2.0	V DD + 0.3V	V
		对于2.5 V IO	1.7	V DD + 0.3V	V
V IL	输入低电压 [10]	对于3.3 V IO	-0.3	0.8	V
		对于2.5 V IO	-0.3	0.7	V
我 X	除ZZ外的输入漏电流 和模式	GND V I V DDQ	5 5		μA
	MODE的输入电流	输入 = V SS	-30	-	μA
		输入 = V DD	-5		μA
	ZZ的输入电流	输入 = V SS	-5	-	μA
		输入 = V DD	-3 0		μA
我 OZ	输出泄漏电流	GND V I V DDQ, 输出禁用	-5	五	μA
我 DD	V DD 工作电源电流	V DD = 最大, I OUT = 0mA, f = f MAX = 1 / t CYC	10 ns周期, 100 MHz	-2 0 5	嘛

笔记

10. 过冲: V IH (AC) < V DD + 1.5 V (脉冲宽度小于 t CYC / 2), 下冲: V IL (AC) > -2 V (脉冲宽度小于 t CYC / 2).
11. T 加电: 假设在200 ms内从0 V到V DD (min) 的线性斜坡. 在此期间V IH < V DD 和V DDQ < V DD.

电气特性 (续)

在操作范围内

参数 [10,11]	描述	测试条件	敏	马克斯	单元
我 SB1	自动CE关断 电流 - TTL输入	Max VDD, 取消选中设备, VIN VIH或VIN VIL, f = fMAX 输入切换	10 ns周期, 100 MHz	- 8 0	嘛
我 SB2	自动CE关断 电流 - CMOS输入	Max VDD, 取消选中设备, VIN VDD - 0.3 V或VIN 0.3 V, f = 0, 输入静态	10 ns周期, 100 MHz	- 4 0	嘛
我 SB3	自动CE关断 电流 - CMOS输入	Max VDD, 取消选中设备, VIN VDDQ - 0.3 V或VIN 0.3 V, f = fMAX, 输入切换	10 ns周期, 100 MHz	- 6 5	嘛
我 SB4	自动CE关断 电流 - TTL输入	Max VDD, 取消选中设备, VIN VDD - 0.3 V或VIN 0.3 V, f = 0, 输入静态	10 ns周期, 100 MHz	- 4 5	嘛

电容

参数 [12]	描述	测试条件	100引脚TQFP 马克斯	单元
C IN	输入电容	T A = 25°C, f = 1MHz, V DD = 3.3V, V DDQ = 3.3V	5 p F	的
C CLK	时钟输入电容		5 p F	的
C IO	输入或输出电容		五	pF的

热阻

参数 [12]	描述	测试条件	100引脚TQFP 包	单元
JA	热阻 (结到环境)	测试条件遵循标准测试方法和 测量热阻抗的程序 EIA/JESD51.	30.32	°C / W
JC	热阻 (结合到案件)		6.85	°C / W

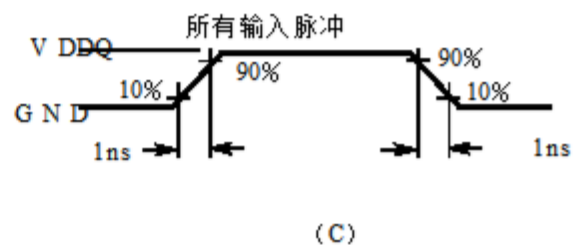
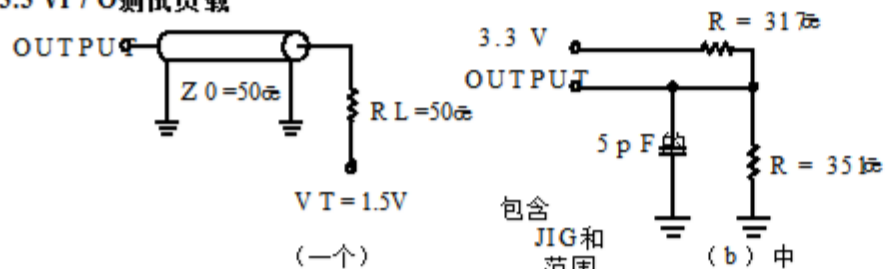
注意

12.最初和经过任何可能影响这些参数的设计或工艺变更后进行测试。

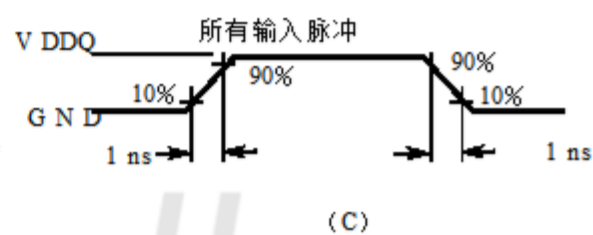
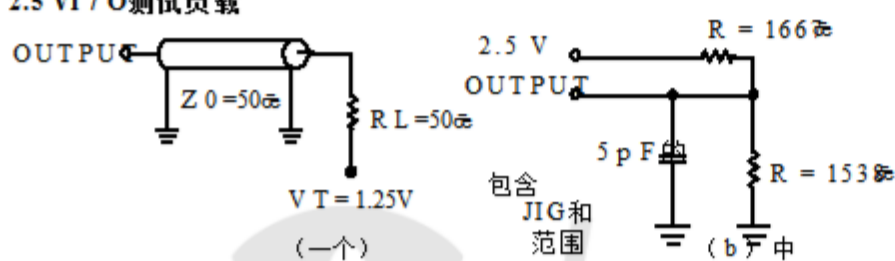
交流测试负载和波形

图2.交流测试负载和波形

3.3 V I/O测试负载



2.5 V I/O测试负载



www.wxmall.com

开关特性

在操作范围内

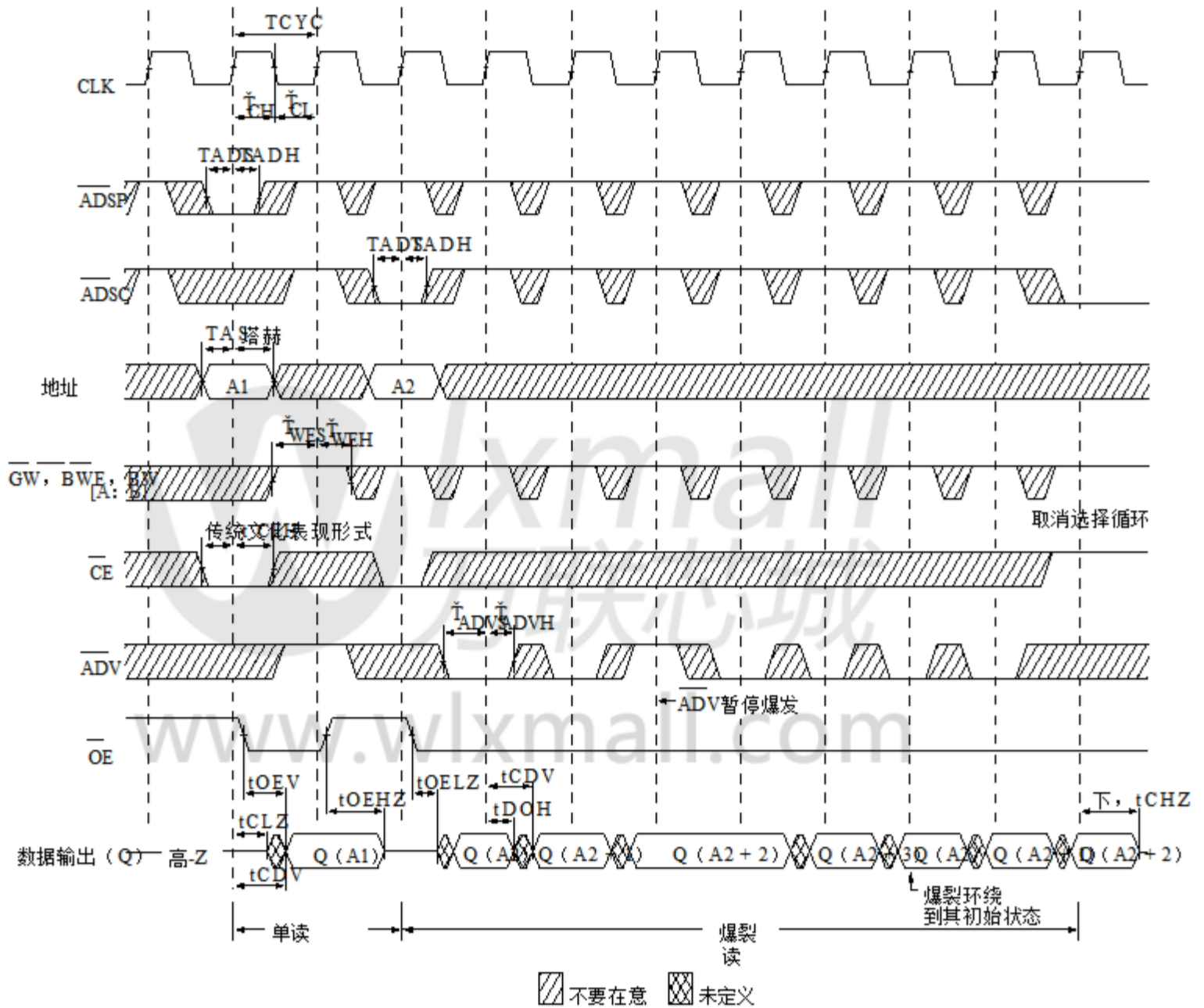
参数 [13,14]	描述	-100		单元
		敏	马克斯	
电力	VDD (典型) 到第一次访问[15]	1-		女士
时钟				
t CYC	时钟周期时间	10	-	NS
t CH	时钟高	4	-	NS
t CL	时钟低	4	-	NS
输出时间				
CDV	数据输出在CLK上升后有效	-	8	NS
t DOH	CLK上升后数据输出保持	2.0	-	NS
t CLZ	时钟到低Z [16,17,18]	0-		NS
t CHZ	时钟到高Z [16,17,18]	-3.5		NS
t OEV	OE LOW输出有效	-	3.5	NS
t OELZ	OE低到输出低Z [16,17,18]	0-		NS
t OEHZ	OE HIGH输出高Z [16,17,18]	-3.5		NS
安装时间				
t AS	地址设置在CLK上升之前	2.0	-	NS
t ADS	ADSP, ADSC在CLK上升之前设置	2.0	-	NS
t ADVS	在CLK上升之前进行ADV设置	2.0	-	NS
t WES	GW, BWE, BW x在CLK上升之前设置	2.0	-	NS
t DS	数据输入在CLK上升前设置	2.0	-	NS
t CES	芯片启用设置	2.0	-	NS
保持时间				
t AH	CLK上升后地址保持	0.5	-	NS
t ADH	ADSP, ADSC在CLK上升后保持	0.5	-	NS
t WEH	GW, BWE, BW x在CLK上升之后保持	0.5	-	NS
ADVH	ADV在CLK上升后保持	0.5	-	NS
卫生署	CLK上升后数据输入保持	0.5	-	NS
t CEH	在CLK上升后芯片使能保持	0.5	-	NS

笔记

13. VDDQ = 3.3 V时定时参考电平为1.5 V, VDDQ = 2.5 V时定时参考电平为1.25 V.
14. 除非另有说明, 第12页图2 (a) 所示的测试条件.
15. 这部分内部有一个稳压器. t POWER是在开始读取或写入操作之前, 需要在VDD (最小值) 以上提供电源的时间.
16. t CHLZ, t CLZ, t OELZ和t OEHZ在第12页的图2 (b) 中所示的交流测试条件下指定. 跃迁的测量值为稳态电压的±200 mV.
17. 在任何电压和温度下, 当共享相同的数据总线时, t OEHZ小于t OELZ且t CHZ小于t CLZ, 以消除SRAM之间的总线竞争. 这些规范并不意味着总线争用条件, 而是反映了在最差用户条件下保证的参数. 器件旨在实现高Z.
18. 这个参数是被采样的, 而不是100%的测试.

时序图

图3.读周期时序 [19]

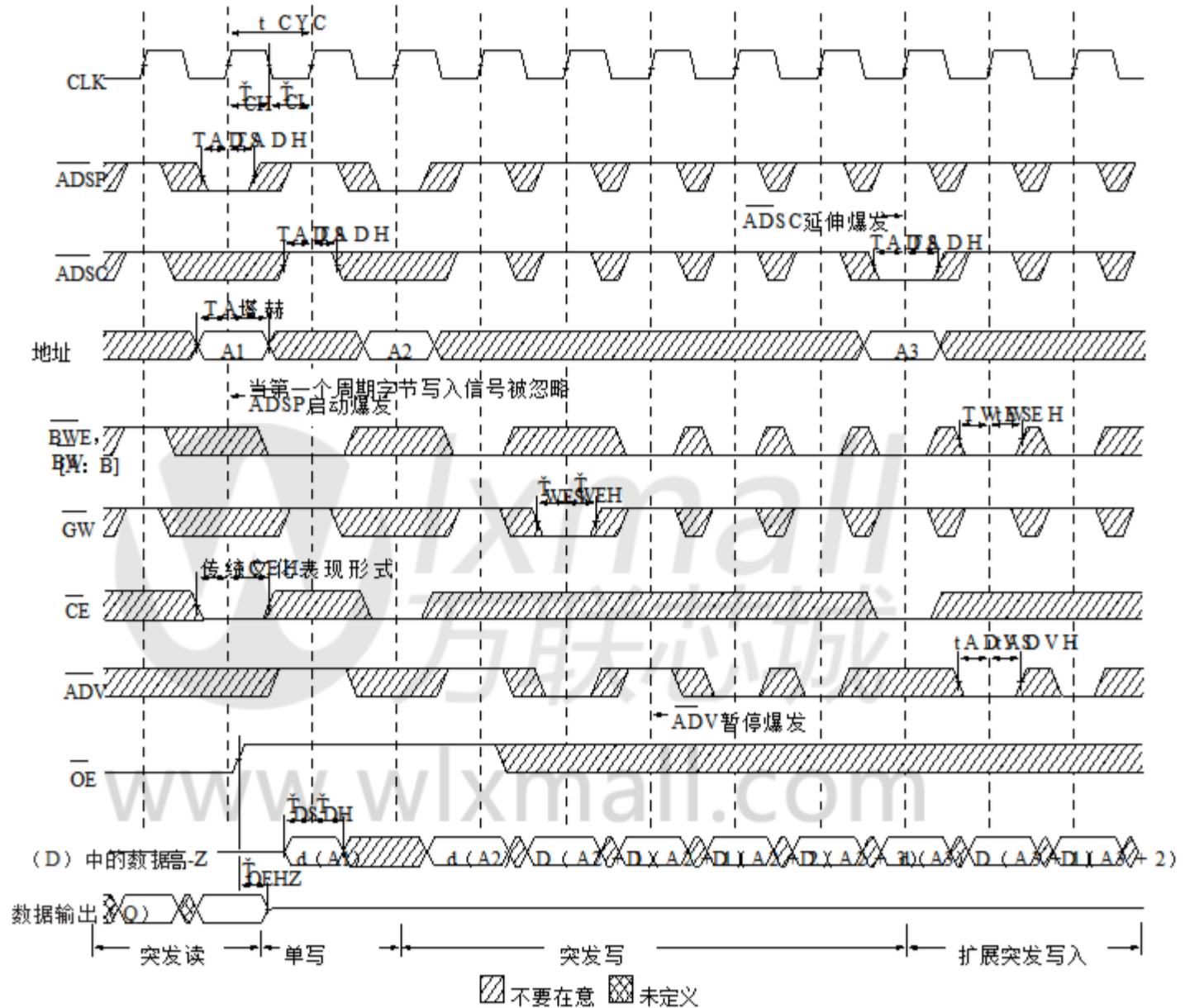


注意

19. 在此图上，当CE为低电平时：CE 1为低电平，CE 2为高电平且CE 3为低电平。当CE为高电平时：CE 1为高电平或CE 2为低电平或CE 3为高电平。

时序图 (续)

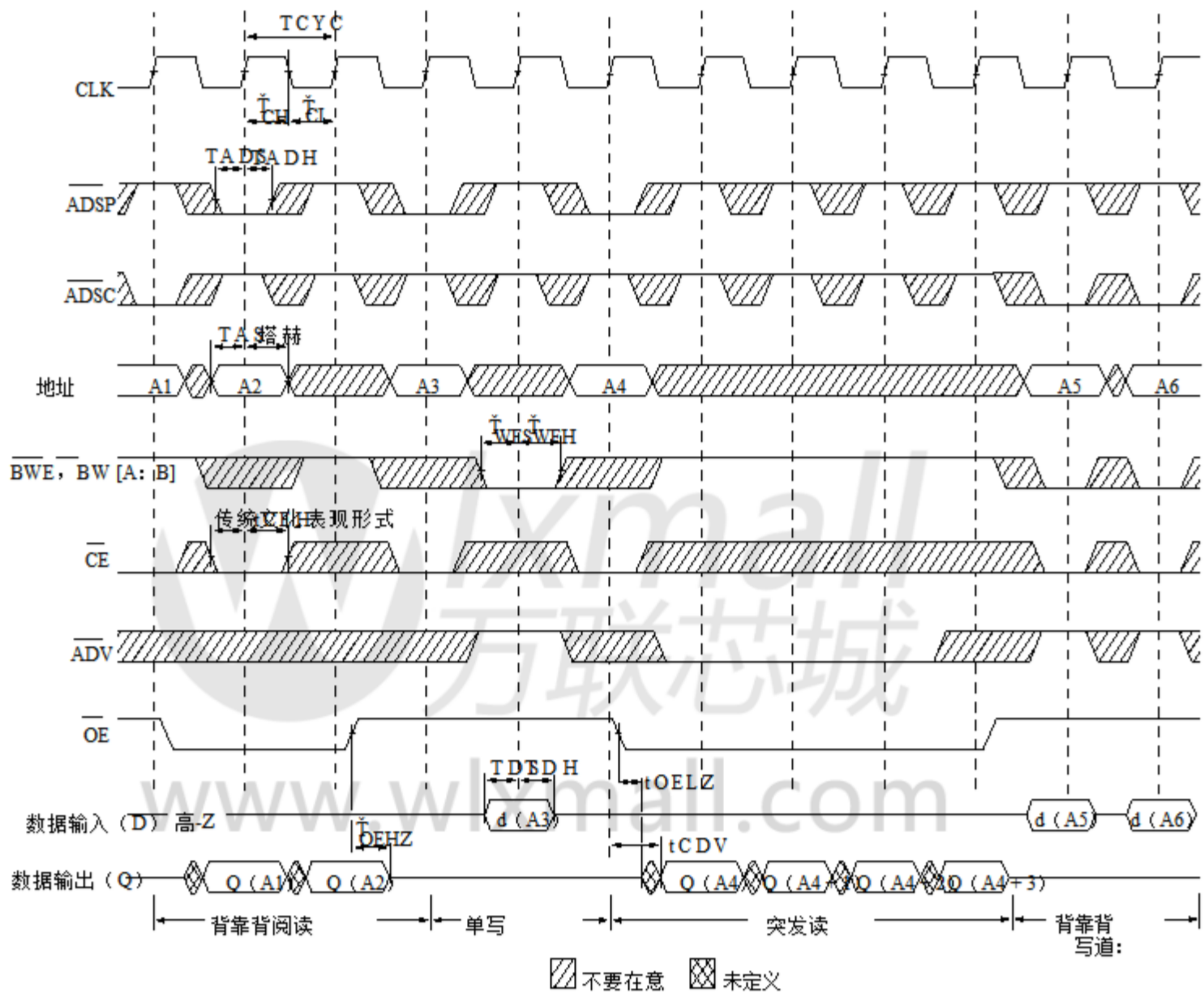
图4.写周期时序[20,21]



笔记

20. 在此图上, 当CE为低电平时: CE1为低电平, CE2为高电平且CE3为低电平. 当CE为高电平时: CE1为高电平或CE2为低电平或CE3为高电平.
 21. 全宽写入可以由GW低电平启动; 或GW高, BWE低和BWx低.

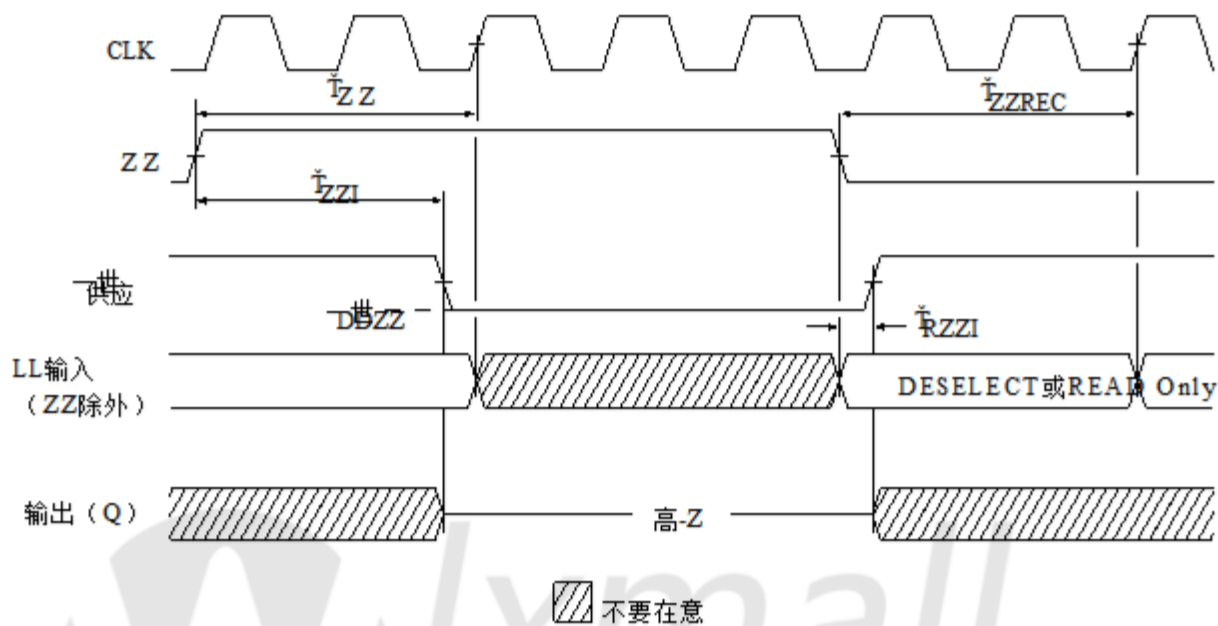
图5.读/写时序[22,23,24]



22. 全宽度写入可以由 $\overline{\text{GW}}$ 低电平启动; 或 $\overline{\text{GW}}$ 高, $\overline{\text{BWE}}$ 低和 $\overline{\text{BW}} \times$ 低。
23. 除非 $\overline{\text{ADSP}}$ 或 $\overline{\text{ADSC}}$ 启动新的读取访问, 否则数据总线 (Q) 在 $\overline{\text{WRITE}}$ 周期后保持高电平。
24. $\overline{\text{GW}}$ 很高。

时序图 (续)

图6. ZZ模式时序 [25,26]



笔记

25. 进入ZZ模式时, 设备必须取消选择. 请参阅第8页上的“真值表”了解所有可能的信号条件以取消选择设备.

26. 退出ZZ睡眠模式时, DQ处于高位Z.

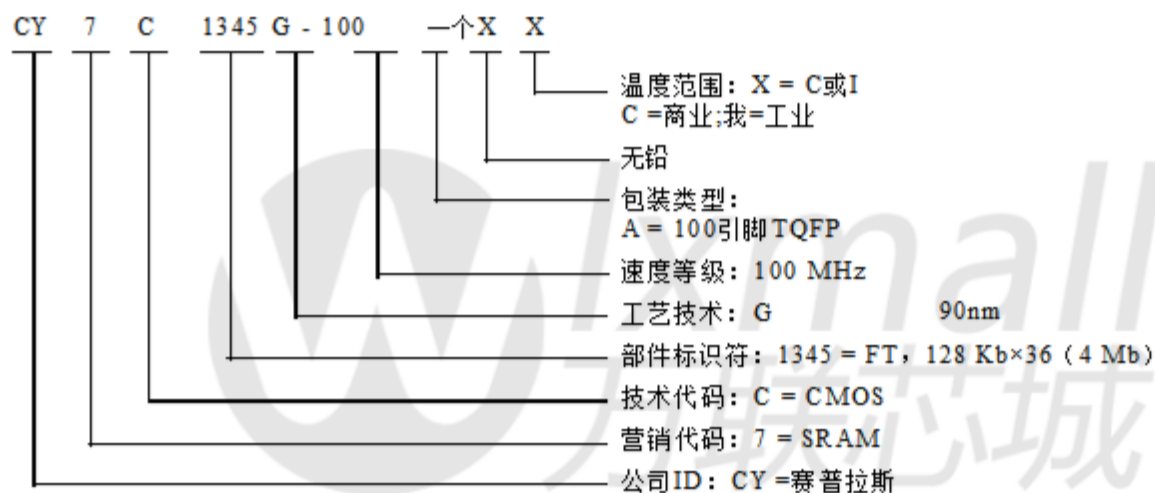
订购信息

下表仅包含当前可用的部分。如果你没有看到你要找的东西，请联系你当地的销售代表。有关更多信息，请访问赛普拉斯网站 www.cypress.com，并参阅产品总结页面 <http://www.cypress.com/products>

赛普拉斯拥有遍布全球的办事处，解决方案中心，制造商代表和分销商网络。找办公室，请访问我们的网站 <http://www.cypress.com/go/datasheet/offices>

速度 (MHz)	订购代码	包图	零件和包装类型	操作范围
100	CY7C1345G-100AXC	51-85050	100引脚TQFP (14×20×1.4 mm) 无铅	广告
	CY7C1345G-100AXI	51-85050	100引脚TQFP (14×20×1.4 mm) 无铅	天时地利人和

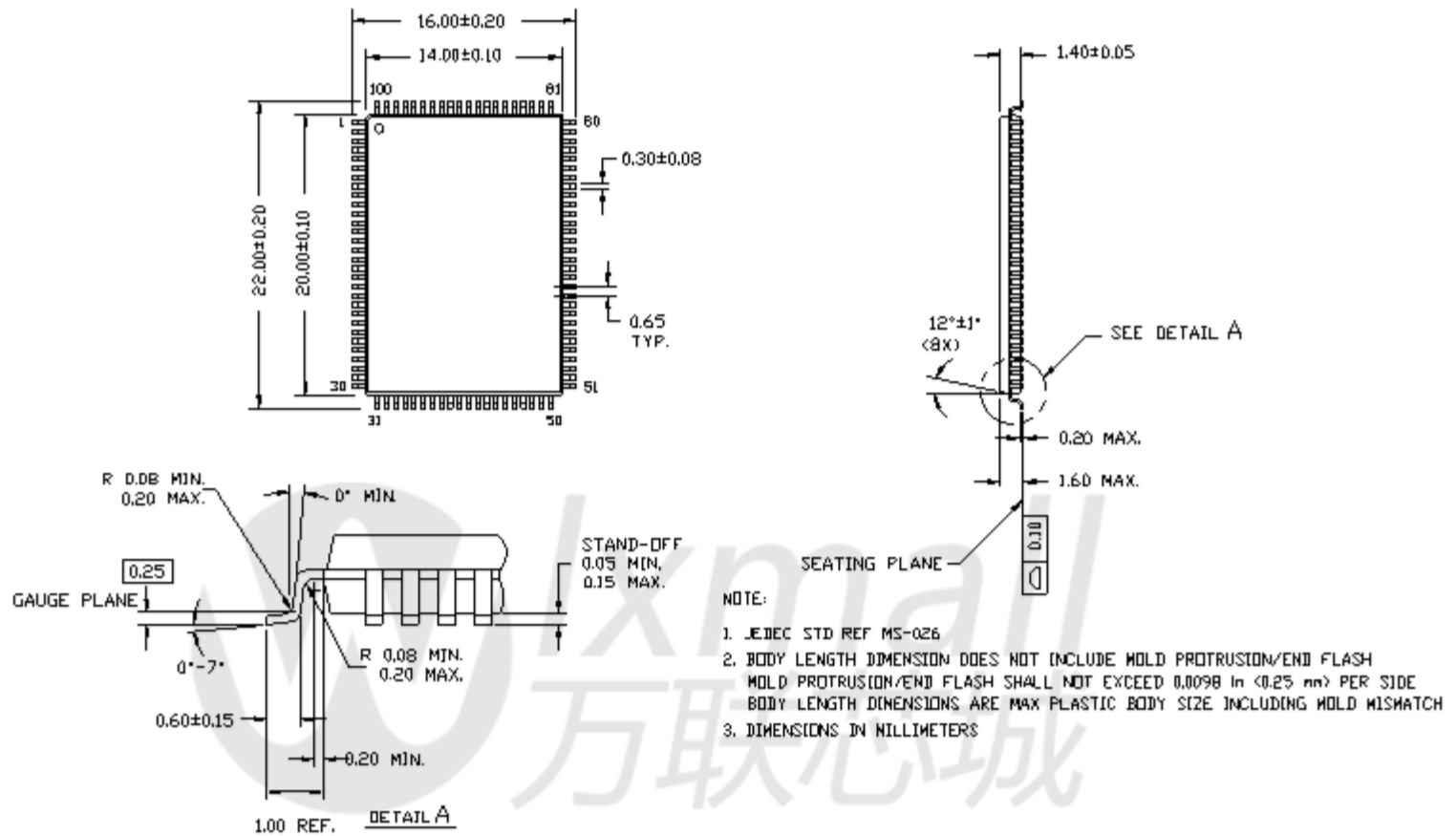
订购代码定义



www.wlxmall.com

封装图

图7. 100引脚TQFP (14×20×1.4 mm) A100RAPackage Outline, 51-85050



www.wlxmall.com

51-85050 * D

缩略语

缩写	描述
CMOS	互补金属氧化物半导体
$\overline{\text{CE}}$	芯片启用
CEN	时钟使能
GW	全球写作
I/O	输入输出
$\overline{\text{OE}}$	输出使能
SRAM	静态随机存取存储器
TQFP	薄四方扁平包装
我们	写使能

文件惯例

计量单位

符号	测量单位
C	摄氏度
兆赫	兆赫
μA	微安
嘛	毫安
毫米	毫米
女士	毫秒
兆赫	兆赫
NS	纳秒
pF的	皮法
V v o l t	
W w a t t	

 **lxmall**
万联芯城
www.wlxmall.com

勘误表

本节介绍Ram9 Sync / NoBL ZZ引脚问题. 详细信息包括触发条件, 受影响的设备, 周围和硅修改适用性. 如果您还有其他问题, 请联系您当地的赛普拉斯销售代表.

受影响的部件号

密度和修正	包装类型	工作范围
4Mb-Ram9同步SRAM: CY7C134 * G	所有软件包	商用/ 产业

产品状态

Ram9 4Mb Sync / NoBL系列中的所有器件都具有合格的产品数量.

Ram9同步/ NoBL ZZ引脚发布勘误摘要

下表定义了适用于可用Ram9 4Mb Sync / NoBL系列器件的勘误表.

项目	问题	描述	设备	修复状态
1.	ZZ Pin	置位为高电平时, ZZ引脚置位设备处于“睡眠”状态并具有数据完整性保存. ZZ引脚目前没有一个内部下拉电阻, 因此不能由用户在外部浮动在正常操作模式下.	4M-Ram9 (90nm)	对于4M Ram9 (90nm) 设备, 没有计划解决这个问题.

1. ZZ引脚问题

- 问题定义
只有当器件在正常模式下运行且ZZ引脚悬空时才会出现问题. SRAM上的ZZ引脚器件没有内部下拉电阻. 系统中的开关噪声可能会导致SRAM识别HIGH在ZZ输入上, 这可能会导致SRAM进入睡眠模式. 这可能会导致错误或不合意的操作SRAM.
- 触发条件
ZZ引脚工作的器件悬空.
- 影响范围
当ZZ引脚悬空时, 器件发送的数据不正确.
- 替代方法
将ZZ引脚外部接地.
- 修复状态
修复了72Mb RAM9同步SRAM和72M RAM9 NoBL SRAMs器件. 固定设备有一个新的修订. 下表列出了受影响的设备和修复后的新修订版.

文档历史页面

文档标题: CY7C1345G, 4-Mbit (128 K×36) 流式同步SRAM
文件号: 38-05517

启示录	ECN	原稿.的 更改	服从 日期	变更描述
**	224365	RKF	请参阅ECN	新的数据表。
*一个	278513	VBL	请参阅ECN	更新的功能（删除66 MHz频率相关信息）。 更新的选择指南（删除66 MHz频率相关信息）。 更新电气特性（删除66 MHz频率相关信息）。 更新开关特性（去掉66 MHz频率相关信息）。 更新的订购信息（更新了部件号（添加了无铅BGA封装），将TQFP封装改为无铅TQFP封装，并补充评论在表格下面的BG无铅封装可用性）。
*B	333626	SYT	请参阅ECN	更新的功能（删除117 MHz频率相关信息）。 更新后的选择指南（删除117 MHz频率相关信息）。 更新了引脚配置（更新了引脚排列中的地址扩展球按照JEDEC标准，用于100引脚TQFP和119引脚BGA封装）。 更新了引脚定义。 更新功能概述（更新ZZ模式电气特性 (Replaced 'Snooze' with 'Sleep')）。 Updated Truth Table (Replaced 'Snooze' with 'Sleep')。 更新了电气特性（更新了V _{OL} 和V _{OH} 的测试条件参数，删除了117 MHz频率相关信息）。 更新的开关特性（删除了117 MHz的频率相关信息）。 更新的热阻（替换为TBD） 各自的值）。 更新的订购信息（通过阴影和非阴影MPNs按照可用性，取消了对BG无铅封装的可用性的评论）。 6JA 和5JC 给他们
*C	418633	RXU	请参阅ECN	从初步状态更改为最终状态。 赛普拉斯半导体公司的地址从“3901 North”更改第一街“改为”198冠军法院“。 更新了电气特性（更改了“除ZZ以外的输入负载电流”和MODE“更改为”除ZZ和MODE以外的输入漏电流“，更新了注11（将测试条件从V _{IH} < V _{DD} 改变为V _{IH} → V _{DD} ））。 更新订购信息（更新部件号，更换包装订购信息表中的包装图名称列）。 替换的封装图。
*d	480124	VKN	请参阅ECN	更新的最大额定值（增加了电源电压的最大额定值在V _{DDQ} 相对于GND）。 更新订购信息（更新部件号）。
*E	1274724	VKN	请参阅ECN	更新时序图（更新图4）。
*F	2756998	VKN	09年8月28日	包括中子软错误免疫。 修改的订购信息（通过包括可用的部件，修改了Ordering信息的免责声明）。
*G	3034798	NJY	09/21/2010新	增订购代码定义。 更新了封装图。 增加了首字母缩略词和度量单位。 小编辑并在新模板中更新。
*H	3353361	PRIT	2011年8月24日	更新新的封装图。

文档历史记录页 (续)

文档标题: CY7C1345G, 4-Mbit (128 K×36) 流通式同步SRAM
文件号: 38-05517

启示录	ECN	原稿.的 更改	服从 日期	变更描述
*一世	3587066	NY / PRIT 05	10/2012	更新功能 (删除133 MHz频率相关信息, 已删除119球BGA封装相关信息). 更新的功能描述 (删除“最佳实践建议, 请参考赛普拉斯应用笔记SRAM系统设计指南”). 更新的选择指南 (删除133 MHz频率相关信息). 更新引脚配置 (删除119球BGA封装相关信息). 更新的功能概述 (删除133 MHz频率相关信息). 更新电气特性 (删除133 MHz频率相关信息). 更新电容 (删除119球BGA封装相关信息). 更新的热阻 (删除119球BGA封装相关信息). 更新的切换特性 (删除133 MHz频率相关信息). 更新封装图 (删除119球BGA封装相关信息).
*j	3753130	PRIT	2012年9月24日	没有技术更新.完成日落审查.
*K	3980577	PRIT	2013年4月24日	添加了勘误表.
*L	4039228	PRIT	06/25/2013	增加了勘误脚注. 在新模板中更新.

销售，解决方案和法律信息

全球销售和设计支持

赛普拉斯拥有遍布全球的办事处，解决方案中心，制造商代表和分销商网络。找办公室
请在赛普拉斯地点与我们联系。

制品

汽车	cypress.com/go/automotive
时钟和缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc
	cypress.com/go/plc
记忆	cypress.com/go/memory
的PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB控制器	cypress.com/go/USB
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区|论坛|博客|视频|训练

技术支持

cypress.com/go/support



©赛普拉斯半导体公司，2004-2013。此外包含的信息如有更改，恕不另行通知。赛普拉斯半导体公司不承担任何责任。
赛普拉斯产品中包含的电路以外的任何电路，它也不传达或暗示根据专利或其他权利的任何许可。赛普拉斯产品不保证也不打算用于此目的。
医疗，生命支持，救生，关键控制或安全应用，除非与赛普拉斯签署了明确的书面协议。此外，赛普拉斯不授权其产品用作
生命支持系统中的关键部件，其中可能合理预期故障或故障会对用户造成重大伤害。将赛普拉斯产品纳入生命支持系统
应用程序意味着制造商承担所有使用风险，并因此向赛普拉斯赔偿所有费用。

任何源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，受全球专利保护（美国和外国）的保护并受其保护，
美国版权法和国际条约规定。赛普拉斯特此授予被许可人个人，非独占，不可转让的许可，以复制，使用，修改，创建衍生作品，
并编译赛普拉斯源代码和衍生作品，仅用于创建定制软件和/或固件，以支持被许可人产品仅用于与赛普拉斯
集成电路按适用协议的規定。除上述規定外，任何对此源代码的复制，修改，翻译，编译或表示都是禁止的
赛普拉斯的明确书面许可。

免责声明：对于本材料，CYPRESS不作任何明示或暗示的担保，包括但不限于暗示担保。
适销性和针对特定用途的适用性。赛普拉斯保留对此处所述材料进行更改的权利，恕不另行通知。赛普拉斯没有
承担因应用或使用本文所述任何产品或电路而引起的任何责任。赛普拉斯不授权将其产品用作生命支持系统中的关键组件
故障或故障可能会对合理预期会对用户造成重大伤害。将赛普拉斯产品纳入生命支持系统应用意味着制造商
承担使用此类风险的所有风险，并为此向赛普拉斯赔偿所有费用。

使用可能受限于适用的赛普拉斯软件许可协议并受此限制。