

36-Mbit QDR® IISRAM 4字 突发体系结构

特征

- 分离独立的读写数据端口
 - 支持并发事务
- 高带宽的333 MHz时钟
- 用于减少地址总线频率的4字突发
- 读取和写入端口上的双倍数据速率 (DDR) 接口
(数据在666 MHz传输) 在333 MHz
- 两个输入时钟 (K和K)，用于精确的DDR时序
 - SRAM 只使用上升沿
- 两个输入时钟用于输出数据 (C和C) 以最小化时钟歪斜和飞行时间不匹配
- 回声时钟 (CQ和CQ) 高速简化数据采集系统
- 单个多路复用地址输入总线锁存地址输入用于读写端口
- 单独的端口选择用于深度扩展
- 同步内部自定时写入
- DOFF时, QDR II的操作时间为1.5周期读取延迟断言高
- 操作与QDR I设备类似, 1个周期的读取延迟时间DOFF被置为低电平
- 提供×8, ×9, ×18和×36配置
- 完整的数据一致性, 提供最新的数据
- 内核VDD = 1.8 V (±0.1 V); I/O VDDQ = 1.4 V至VDD
 - 支持1.5 V和1.8 V I/O电源
- 采用165球FBGA封装 (13×15×1.4 mm)
- 提供无铅和无铅封装
- 变量驱动HSTL输出缓冲区
- JTAG 1149.1兼容测试访问端口
- 锁相环 (PLL), 用于准确的数据放置

选择指南

描述		333 MHz	300 MHz	250 MHz	200 MHz	167 MHz	单元
最大工作频率		333	300	250	200	167	兆赫
最大工作电流	×8	560	520	460	400	360	嘛
	×9	560	520	460	400	360	
	×18	570	540	470	410	370	
	×36	790	730	640	540	480	

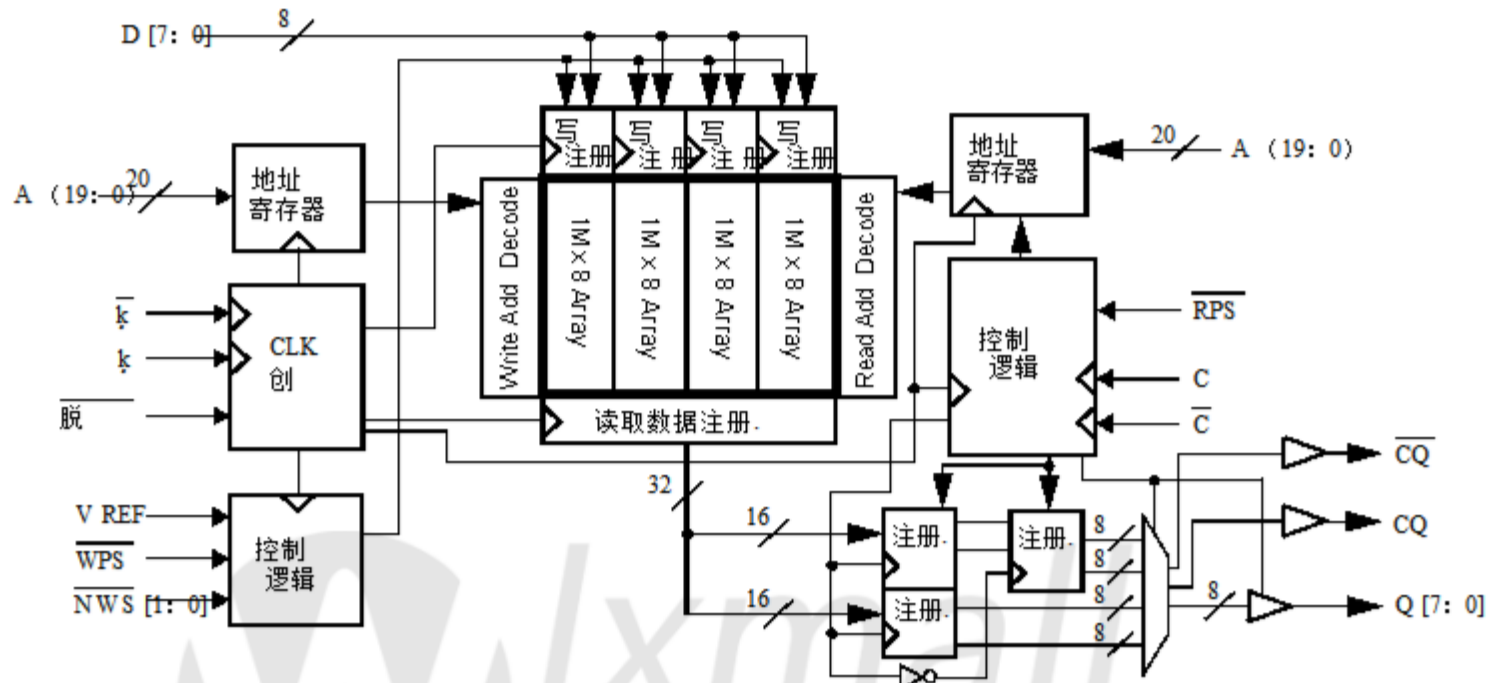
配置

CY7C1411KV18 - 4 M×8
CY7C1426KV18 - 4 M×9
CY7C1413KV18 - 2 M×18
CY7C1415KV18 - 1 M×36

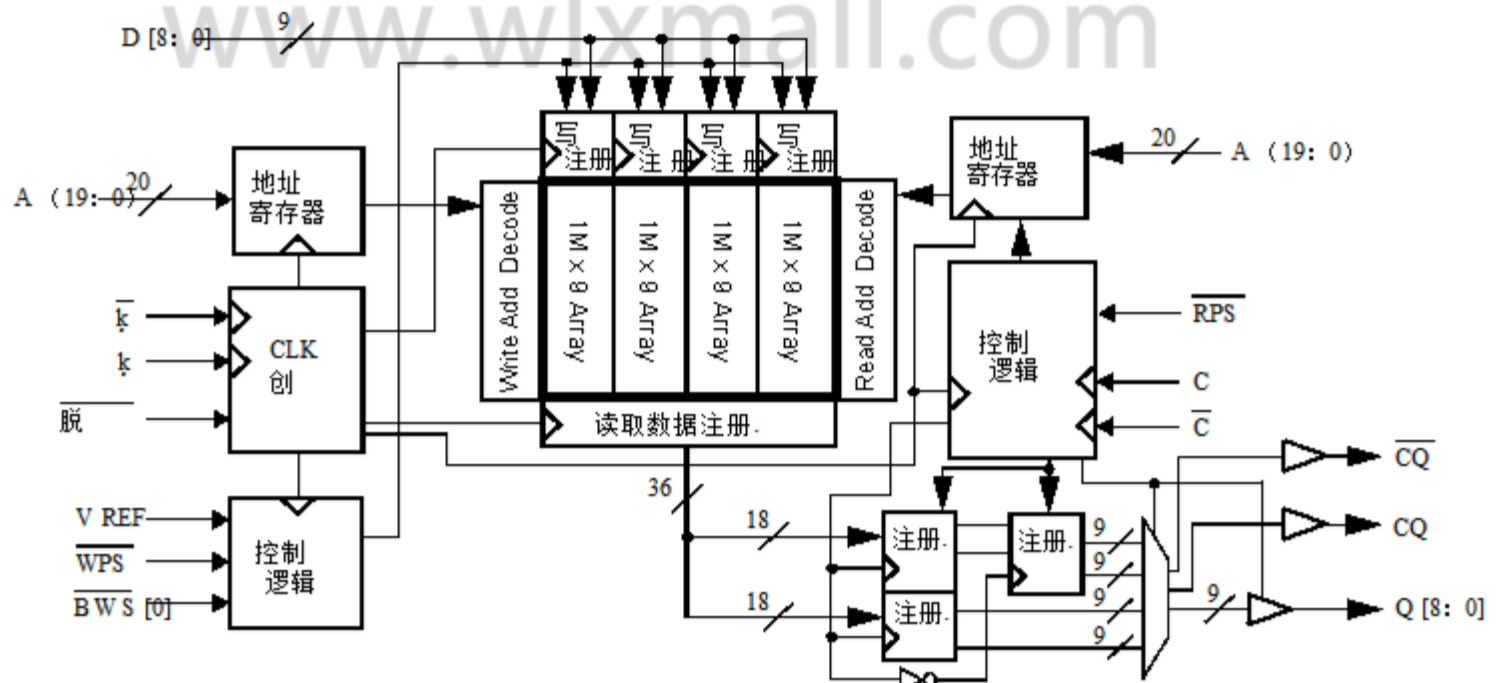
功能说明

CY7C1411KV18, CY7C1426KV18, CY7C1413KV18和CY7C1415KV18是1.8 V同步流水线式SRAM, 配备了QDR II架构. QDR II架构包括两个独立的端口: 读取端口和写入端口进行访问存储器阵列. 读端口有专用的数据输出支持读取操作并且写入端口具有专用数据输入来支持写操作. QDR II架构有单独的数据输入和数据输出完全消除需要“转向”常见的数据总线 I/O设备. 每个端口都可以通过共同的端口访问地址总线. 读写地址的地址是锁存在输入 (K) 时钟的交替上升沿. 访问到QDR II读写端口是独立的. 另一个. 最大化数据吞吐量, 包括读取和写入端口. 配备DDR接口. 每个地址的位置是与四个8位字 (CY7C1411KV18), 9位字相关联 (CY7C1426KV18), 18位字 (CY7C1413KV18) 或36位字 (CY7C1415KV18), 按顺序进入或退出设备. 因为数据可以传入和传出. 器件在每个输入时钟的上升沿 (K和K和C和C), 内存带宽在最大化的同时简化 system design by eliminating bus ‘turnarounds’. 深度扩展是通过端口选择完成的, 使每个端口能够独立运行. 所有同步输入都通过输入寄存器进行控制. K或K输入时钟. 所有数据输出都通过输出寄存器由C或C (或K或K在一个时钟内控制) 域) 输入时钟. 写入是在芯片上进行的同步自定时写入电路.

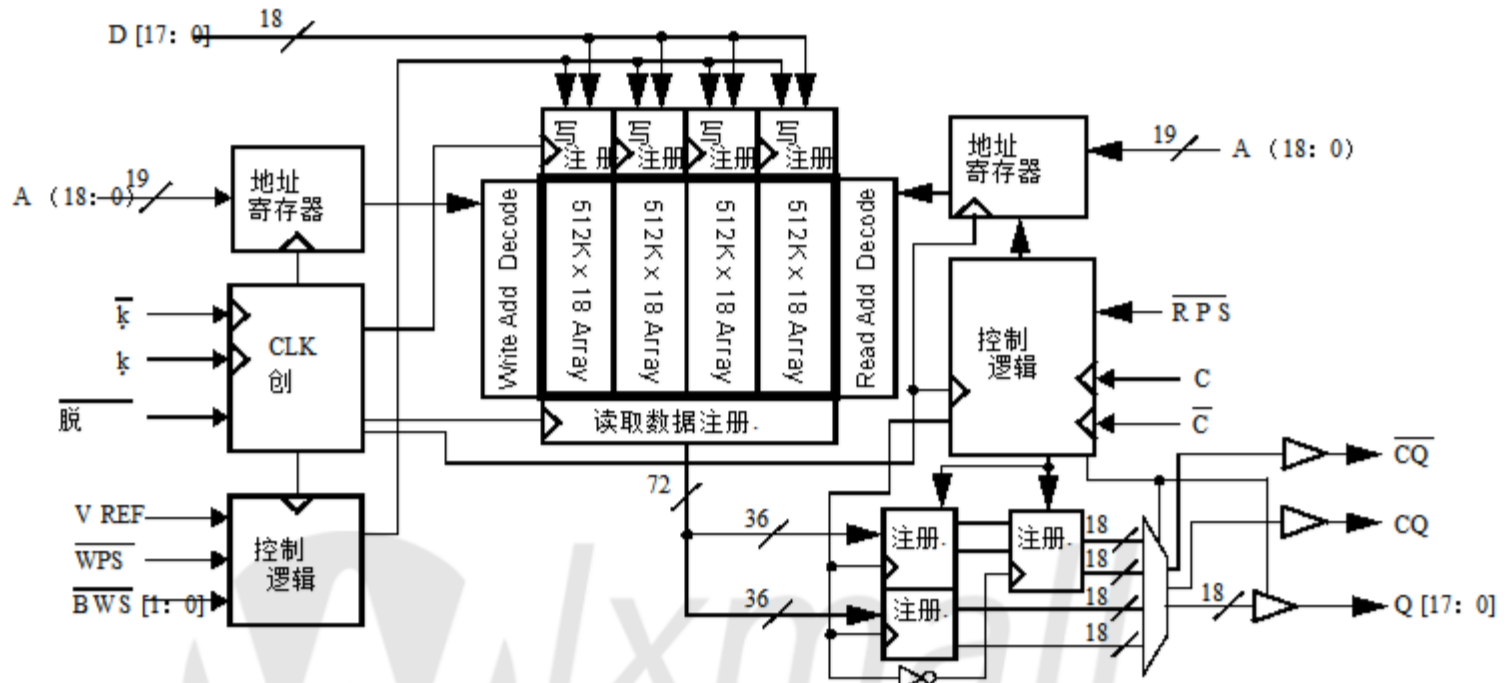
逻辑框图 (CY7C1411KV18)



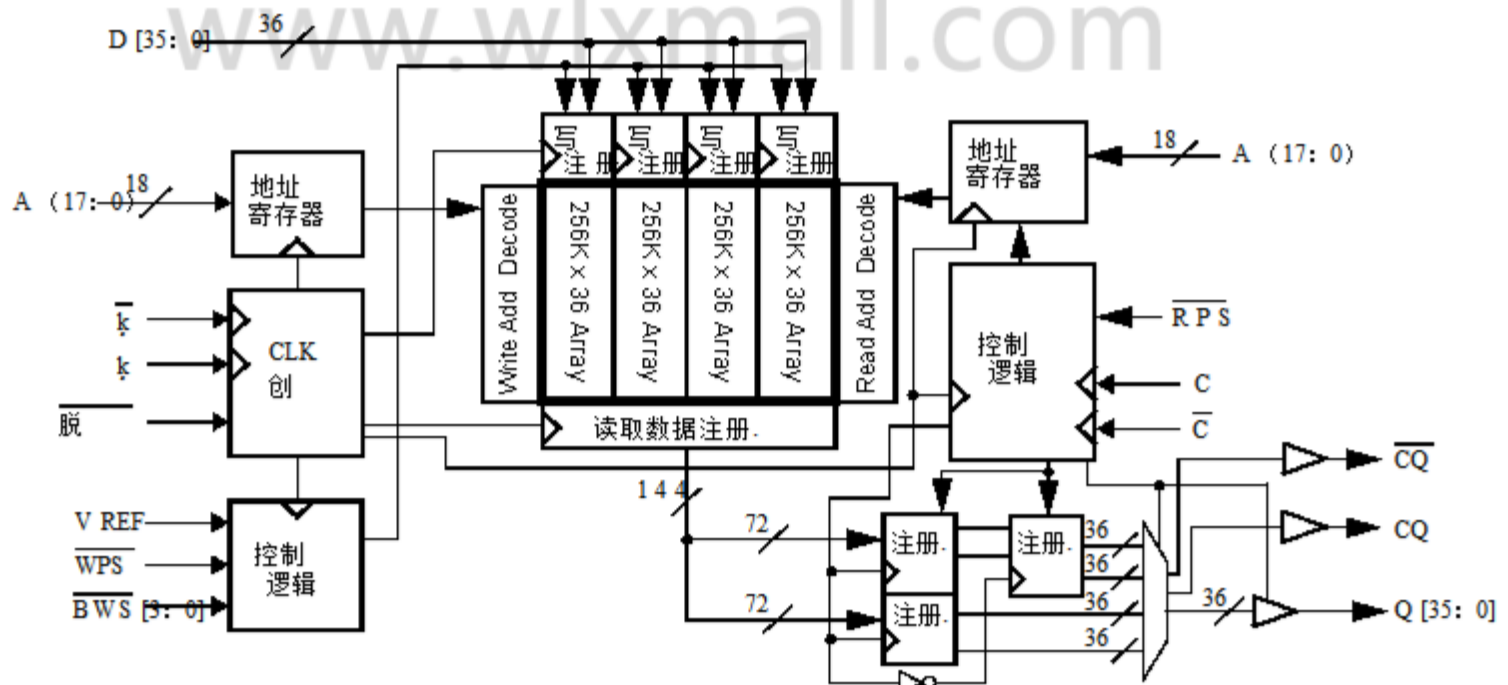
逻辑框图 (CY7C1426KV18)



逻辑框图 (CY7C1413KV18)



逻辑框图 (CY7C1415KV18)



内容

引脚配置 5	TAP交流开关特性 18
165球FBGA (13×15×1.4毫米) 引脚..... 5	TAP时间和测试条件 18
引脚定义 7	识别寄存器定义 19
功能概述 9	扫描寄存器大小 19
阅读操作..... 9	指令代码 19
写操作..... 9	边界扫描顺序 20
字节写入操作..... 9	QDR II SRAM中的上电序列 21
单时钟模式..... 9	加电顺序..... 21
并行交易..... 10	PLL限制..... 21
深度扩展..... 10	最大额定值 22
可编程阻抗..... 10	工作范围 22
回声钟..... 10	中子软错误免疫力 22
PLL..... 10	电气特性 22
应用示例 11	直流电气特性..... 22
真相表 11	交流电气特性..... 24
写周期描述 12	电容 25
写周期描述 12	热阻 25
写周期描述 13	开关特性 26
IEEE 1149.1串行边界扫描 (JTAG) 14	切换波形 28
禁用JTAG功能..... 14	订购信息 29
测试访问端口测试时钟..... 14	订购代码定义..... 29
测试模式选择 (TMS)..... 14	包装图 30
测试数据输入 (TDI)..... 14	首字母缩略词 31
测试数据输出 (TDO)..... 14	文件公约 31
执行TAP重置..... 14	计量单位..... 31
TAP注册..... 14	文档历史页 32
TAP指令集..... 14	销售, 解决方案和法律信息 33
TAP控制器状态图 16	全球销售和设计支持..... 33
TAP控制器框图 17	产品..... 33
TAP电气特性 17	PSoC解决方案..... 33

www.wlxml.com

引脚配置

[1] CY7C1411KV18, CY7C1426KV18, CY7C1413KV18和CY7C1415KV18的引脚配置如下。

165球FBGA (13×15×1.4毫米) 引脚

CY7C1411KV18 (4 M×8)

	1	2	3	4	五	6	7	8	9	10	11
一个	CQ	NC / 72M	一个	W P S	NWS 1	k	NC / 144M	R P S	AA		CQ
乙	NC	NC	NC	一个	NC / 288M	k	NWS 0	A N C		NC	Q3
C	NC	NC	NC	V SS	A N C A			V SS	NC	NC	D3
d	NC	D4	NC	V SS	V SS	V SS	V SS	V SS	NC	NC	NC
E	NC	NC	Q4	V DDQ	V SS	V SS	V SS	V DDQ	NC	D2	Q2
F	NC	NC	NC	V DDQ	V DD	V SS	V DD	V DDQ	NC	NC	NC
G	NC	D5	Q5	V DDQ	V DD	V SS	V DD	V DDQ	NC	NC	NC
H	脱	V REF	V DDQ	V DDQ	V DD	V SS	V DD	V DDQ	V DDQ	V REF	ZQ
j	NC	NC	NC	V DDQ	V DD	V SS	V DD	V DDQ	NC	Q1	D1
k	NC	NC	NC	V DDQ	V DD	V SS	V DD	V DDQ	NC	NC	NC
大号	NC	Q6	D6	V DDQ	V SS	V SS	V SS	V DDQ	NC	NC	Q0
中号	NC	NC	NC	V SS	V SS	V SS	V SS	V SS	NC	NC	D0
n	NC	D7	NC	V SS	AAA			V SS	NC	NC	NC
P	NC	NC	Q7	一个	一个	C	一个	一个	NC	NC	NC
[R	T D O	T C K	AAA			C	AAA			T M S	T D I

CY7C1426KV18 (4 M×9)

	1	2	3	4	五	6	7	8	9	10	11
一个	CQ	NC / 72M	一个	W P S	NC	k	NC / 144M	R P S	AA		CQ
乙	NC	NC	NC	一个	NC / 288M	k	BWS 0	A N C		NC	Q4
C	NC	NC	NC	V SS	A N C A			V SS	NC	NC	D4
d	NC	D5	NC	V SS	V SS	V SS	V SS	V SS	NC	NC	NC
E	NC	NC	Q5	V DDQ	V SS	V SS	V SS	V DDQ	NC	D3	Q3
F	NC	NC	NC	V DDQ	V DD	V SS	V DD	V DDQ	NC	NC	NC
G	NC	D6	Q6	V DDQ	V DD	V SS	V DD	V DDQ	NC	NC	NC
H	脱	V REF	V DDQ	V DDQ	V DD	V SS	V DD	V DDQ	V DDQ	V REF	ZQ
j	NC	NC	NC	V DDQ	V DD	V SS	V DD	V DDQ	NC	Q2	D2
k	NC	NC	NC	V DDQ	V DD	V SS	V DD	V DDQ	NC	NC	NC
大号	NC	Q7	D7	V DDQ	V SS	V SS	V SS	V DDQ	NC	NC	Q1
中号	NC	NC	NC	V SS	V SS	V SS	V SS	V SS	NC	NC	D1
n	NC	D8	NC	V SS	AAA			V SS	NC	NC	NC
P	NC	NC	Q8	一个	一个	C	一个	一个	NC	D0	Q0
[R	T D O	T C K	AAA			C	AAA			T M S	T D I

注意

1. NC / 72M, NC / 144M和NC / 288M未连接到芯片, 可以连接到任何电压电平。

引脚配置 (续)

CY7C1411KV18, CY7C1426KV18, CY7C1413KV18和CY7C1415KV18的引脚配置如下: [1]

165球FBGA (13×15×1.4毫米) 引脚

CY7C1413KV18 (2 M×18)

	1	2	3	4	五	6	7	8	9	10	11
一个	CQ	NC / 144M	一个	W P S	B W S 1	k	NC / 288M	R P S	A N C	/ 72 M	CQ
乙	NC	Q9	D9	一个	NC	k	B W S 0	A N C		NC	Q8
C	NC	NC	D10	V S S	A N C A			V S S	NC	Q7	D8
d	NC	D 1 1	Q 1 0	V S S	V S S	V S S	V S S	V S S	NC	NC	D7
E	NC	NC	Q 1 1	V D D Q	V S S	V S S	V S S	V D D Q	NC	D6	Q6
F	NC	Q12	D 1 2	V D D Q	V D D	V S S	V D D	V D D Q	NC	NC	Q5
G	NC	D 1 3	Q 1 3	V D D Q	V D D	V S S	V D D	V D D Q	NC	NC	D5
H	脱	V REF	V D D Q	V D D Q	V D D	V S S	V D D	V D D Q	V D D Q	V REF	ZQ
j	NC	NC	D14	V D D Q	V D D	V S S	V D D	V D D Q	NC	Q4	D4
k	NC	NC	Q14	V D D Q	V D D	V S S	V D D	V D D Q	NC	D3	Q3
大号	NC	Q15	D 1 5	V D D Q	V S S	V S S	V S S	V D D Q	NC	NC	Q2
中号	NC	NC	D16	V S S	V S S	V S S	V S S	V S S	NC	Q1	D2
n	NC	D 1 7	Q 1 6	V S S	AAA			V S S	NC	NC	D1
P	NC	NC	Q17	一个	一个	C	一个	一个	NC	D0	Q0
[R	T D O	T C K	AAA			C	AAA			T M S	T D I

CY7C1415KV18 (1 M×36)

	1	2	3	4	五	6	7	8	9	10	11
一个	CQ	NC / 288M	NC / 72M	W P S	B W S 2	k	B W S 1	R P S	一个	NC / 144M	CQ
乙	Q27	Q 1 8	D18	一个	B W S 3	K B W S 0		A D 1 7		Q 1 7	Q8
C	D 2 7	Q 2 8	D 1 9	V S S	A N C A			V S S	D16	Q7	D8
d	D 2 8	D 2 0	Q 1 9	V S S	V S S	V S S	V S S	V S S	Q16	D 1 5	D7
E	Q29	D 2 9	Q20	V D D Q	V S S	V S S	V S S	V D D Q	Q15	D6	Q6
F	Q30	Q 2 1	D21	V D D Q	V D D	V S S	V D D	V D D Q	D14	Q 1 4	Q5
G	D 3 0	D 2 2	Q 2 2	V D D Q	V D D	V S S	V D D	V D D Q	Q13	D 1 3	D5
H	脱	V REF	V D D Q	V D D Q	V D D	V S S	V D D	V D D Q	V D D Q	V REF	ZQ
j	D 3 1	Q 3 1	D 2 3	V D D Q	V D D	V S S	V D D	V D D Q	D12	Q4	D4
k	Q32	D 3 2	Q23	V D D Q	V D D	V S S	V D D	V D D Q	Q12	D3	Q3
大号	Q33	Q 2 4	D24	V D D Q	V S S	V S S	V S S	V D D Q	D 1 1	Q 1 1	Q2
中号	D 3 3	Q 3 4	D 2 5	V S S	V S S	V S S	V S S	V S S	D10	Q1	D2
n	D 3 4	D 2 6	Q 2 5	V S S	AAA			V S S	Q10	D9	D1
P	Q35	D 3 5	Q26	一个	一个	C	一个	一个	Q9	D0	Q0
[R	T D O	T C K	AAA			C	AAA			T M S	T D I

引脚定义

引脚名称	I/O	引脚说明
D [x: 0]	输入 - 同步	数据输入信号.在有效写入操作有效时, 在K和K时钟的上升沿采样. CY7C1411KV18 $\overline{HD}$ [7: 0] CY7C1426KV18 $\overline{HD}$ [8: 0] CY7C1413KV18 $\overline{HD}$ [17: 0] CY7C1415KV18 $\overline{HD}$ [35: 0]
$\overline{WPS}$	输入 - 同步	写入端口选择 $\overline{H}$ 低电平有效.在K时钟的上升沿采样.当声明有效时, a 写操作启动.取消确认取消选择写入端口.取消选择写入端口将忽略D [x: 0].
$\overline{NWS}$ 0, $\overline{NWS}$ 1,	输入 - 同步	半字节写入选择0,1 $\overline{H}$ 低电平有效 (仅限CY7C1411KV18).在K和K的上升沿采样K写入操作有效时钟.用于选择在哪个半字节写入设备期间写操作的当前部分. $\overline{NWS}$ 0控制D [3: 0], $\overline{NWS}$ 1控制D [7: 4].所有的半字节写入选择都在与数据相同的边沿进行采样.取消选择半字节写入选择忽略相应的半字节数据, 并且不写入设备.
$\overline{BWS}$ 0, $\overline{BWS}$ 1, $\overline{BWS}$ 2, $\overline{BWS}$ 3	输入 - 同步	字节写入选择0,1,2和3 $\overline{H}$ 低电平有效.在K和K时钟的上升沿采样写操作是活动的.用于选择当前部分期间哪个字节写入设备的写操作.未写入的字节保持不变. CY7C1426KV18- $\overline{BWS}$ 0控制D [8: 0] CY7C1413KV18- $\overline{BWS}$ 0控制D [8: 0], $\overline{BWS}$ 1控制D [17: 9]. CY7C1415KV18- $\overline{BWS}$ 0控制D [8: 0], $\overline{BWS}$ 1控制D [17: 9], $\overline{BWS}$ 2控制D [26:18] 并且 $\overline{BWS}$ 3控制D [35:27]. 所有字节写入选择都在与数据相同的边沿进行采样.取消选择一个字节写入选择忽略数据的相应字节并且不写入设备.
一个	输入 - 同步	地址输入.在主动读写操作期间, 在K时钟的上升沿采样.这些地址输入被复用用于读取和写入操作.在内部, 设备组织为对于CY7C1411KV18, 4M×9 (每个1M×9的4个阵列) 用于CY7C1426KV18, 2 M×18 (每个512 K×18 4个阵列) 用于CY7C1413KV18和1 M×36 (4个阵列) CY7C1415KV18的每个256 K×36).因此, 只需要20个地址输入来访问CY7C1411KV18和CY7C1426KV18的全部存储器阵列, 用于CY7C1413KV18的19个地址输入和18个地址输入CY7C1415KV18.当适当的端口被忽略时, 这些输入被忽略取消.
Q [x: 0]	输出 - 同步	数据输出信号.读操作处于活动状态时, 这些引脚驱动出请求的数据.有效数据在读取操作期间在C和C时钟的上升沿驱动, 或者在读取时在K和K时刻驱动单时钟模式.取消选择读取端口时, Q [x: 0]会自动变为三态. CY7C1411KV18 $\overline{HQ}$ [7: 0] CY7C1426KV18 $\overline{HQ}$ [8: 0] CY7C1413KV18 $\overline{HQ}$ [17: 0] CY7C1415KV18 $\overline{HQ}$ [35: 0]
RPS	输入 - 同步	读端口选择 $\overline{H}$ 低电平有效.在正输入时钟 (K) 的上升沿采样.当激活时, a 读操作启动.取消确认取消选择读取端口.取消选中时, 待处理的访问权限为允许完成并且输出驱动器在下一个上升沿之后自动变为三态C时钟.每个读访问由一个连续四个传输组成.
C	输入时钟	输出数据的正输入时钟. C与C一起使用以从中读出数据设备. C和C可以一起使用来校正电路板上各种设备的飞行时间到控制器.有关更多详细信息, 请参阅第11页的应用示例
$\overline{C}$	输入时钟	输出数据的负输入时钟. C与C一起使用来从中读出数据装置. C和C可以一起用于校正电路板背面各种设备的飞行时间到控制器.有关更多详细信息, 请参阅第11页的应用示例
k	输入时钟	正输入时钟输入. K的上升沿用于捕捉器件的同步输入和在单时钟模式下通过Q [x: 0]驱动数据.所有访问都在K的上升沿启动.
$\overline{k}$	输入时钟	负输入时钟输入. K用于捕捉提供给设备的同步输入, 在单时钟模式下通过Q [x: 0]驱动数据.

引脚定义 (续)

引脚名称	I/O	引脚说明
CQ	回声钟	CQ参考C.这是一个自由运行的时钟，并与输入时钟同步 输出数据 (C) 的QDR II.在单时钟模式下，CQ相对于K生成.时序 回波时钟显示在第26页的开关特性中.
$\overline{\text{CQ}}$	回声钟	CQ参考C.这是一个自由运行的时钟，并与输入时钟同步 输出数据 (C) 的QDR II.在单时钟模式下，CQ相对于K生成.时序 回波时钟显示在第26页的开关特性中.
ZQ	输入	输出阻抗匹配输入.该输入用于将设备输出调整为系统数据 总线阻抗. CQ, CQ和Q [x: 0] 输出阻抗设置为 $0.2 \times RQ$ ，其中RQ是一个电阻 连接在ZQ和地面之间. 或者，该引脚可以直接连接到V DDQ 启用最小阻抗模式.该引脚不能直接连接到GND或左侧 悬空.
脱	输入	PLL关闭 低电平有效.将此引脚连接到地将关闭器件内部的PLL.时间 在PLL关闭操作中与本数据手册中列出的操作不同.对于正常操作，此引脚 通过10K连接到上拉 或更少的上拉电阻.该设备在QDR I模式下运行 当PLL关闭时.在这种模式下，器件可以工作在最高167 MHz的频率 与QDR I时间.
TDO	产里	用于JTAG的TDO.
TCK	输入	JTAG的TCK引脚.
TDI	输入	JTAG的TDI引脚.
TMS	输入	TMS引脚用于JTAG.
NC	N / A	没有连接到死亡.可以绑定到任何电压水平.
NC / 72M	N / A	没有连接到死亡.可以绑定到任何电压水平.
NC / 144M	N / A	没有连接到死亡.可以绑定到任何电压水平.
NC / 288M	N / A	没有连接到死亡.可以绑定到任何电压水平.
V REF	输入 - 参考	参考电压输入.用于设置HSTL输入，输出和AC的参考电平的静态输入 测量点.
V DD	电源	电源输入到设备的核心.
V SS	地面	设备接地.
V DDQ	电源	设备输出的电源输入.

功能概述

该 CY7C1411KV18, CY7C1426KV18, CY7C1413KV18, CY7C1415KV18 是同步流水线突发 SRAM, 带

读端口和写端口. 读端口专用于读取操作和写入端口专用于写入操作. 数据通过写入端口流入 SRAM 并流出. 通过读端口. 这些设备复用地址输入以最小化所需的地址引脚数量. 通过有完全独立的读写端口, QDR II 无需转换数据总线并避免任何操作可能的数据争用, 从而简化系统设计.

每个访问由 4 个 8 位数据传输组成. CY7C1411KV18, 四个 9 位数据传输的情况下. CY7C1426KV18, 四个 18 位数据传输的情况下. CY7C1413KV18 和四个 36 位数据传输的情况下. CY7C1415KV18 在两个时钟周期内.

该器件的读取延迟为一个半周期

当 DOFF 引脚连接高电平时. 当 DOFF 引脚设置为低或连接到 V_{SS}, 那么器件将在 QDR II 模式下运行. 读取一个时钟周期的延迟.

两个端口的访问都是在正输入时钟上升沿 (K). 所有同步输入时序均参考上升沿. 输入时钟的边沿 (K 和 K) 以及所有输出时序参考输出时钟 (C 和 C, 或者 K 和 K 时, 单时钟模式).

所有同步数据输入 (D[x: 0]) 通过输入寄存器. 由输入时钟 (K 和 K) 控制. 所有同步数据输出 (Q[x: 0]) 通过输出寄存器控制. 输出时钟的上升沿 (C 和 C 或 K 和 K 输入时) 单时钟模式).

所有同步控制 (RPS, WPS, BWS[x: 0]) 输入通过由输入上升沿控制的输入寄存器. 时钟 (K 和 K).

以下各节介绍 CY7C1413KV18. 该相同. 基本说明. 应用. 至 CY7C1411KV18, CY7C1426KV18 和 CY7C1415KV18.

阅读操作

CY7C1413KV18 内部组织为四个数组. 512 K×18. 在四个连续的突发中完成访问. 18 位数据字. 读取操作由断言启动. RPS 在正输入时钟 (K) 的上升沿处有效. 该提供给地址输入的地址存储在读取中. 地址寄存器. 在下一个 K 时钟上升之后, 对应的最低位 18 位字的数据被驱动到 Q[17: 0]. 使用 C 作为输出时序参考. 在随后 C 的上升沿, 驱动下一个 18 位数据字到 Q[17: 0] 上. 这个过程一直持续到所有四个 18 位数据字被赶出 Q[17: 0]. 请求的数据是有效的. 距输出时钟的上升沿 0.45 ns (C 或 C, 或 K 或 K 在单时钟模式下). 保持每个内部逻辑必须启用读访问才能完成. 每个读取访问由四个 18 位数据字组成, 需要两个时钟周期完成. 因此, 读取设备不能访问. 在两个连续的 K 时钟上升启动. 内部逻辑的

该设备忽略第二读取请求. 读访问可以在每 K 个时钟上升时启动. 这样做的管道数据流, 使得数据在每个数据传输输出设备. 输出时钟的上升沿 (C 和 C 或 K 和 K 输入时) 单时钟模式).

当读取端口被取消选择时, 首先将 CY7C1413KV18 完成待处理的读取事务. 同步内部电路会在接下来的时间自动使输出三态. 正输出时钟的上升沿 (C). 这使得一个设备之间无缝插入等待的无缝过渡. 国家在深度扩大记忆.

写操作

写入操作通过在 WPS 中激活 WPS 来启动. 正输入时钟的上升沿 (K). 在下面的 K 中. 时钟上升提交给 D[17: 0] 的数据. 被锁存并写入. 提供的 BWS[1: 0] 都是低 18 位写入数据寄存器. 主张积极. 在随后的负面上升的边缘. 输入时钟 (K) 也存储. 呈现给 D[17: 0] 的信息. 写入写入数据寄存器时, 所提供的 BWS[1: 0] 都被断言. 活性. 这个过程继续进行一个循环, 直到四个 18 位字 (总共 72 位) 数据被存储在 SRAM 中. 然后将 72 位数据写入存储器阵列中. 指定位置. 因此, 写访问设备. 不能在两个连续的 K 时钟上升时启动. 内置的设备逻辑忽略第二个写入请求. 写访问可以在每个其他上升沿启动. 正输入时钟 (K). 这样做可以管理数据流. 18 位数据可以传输到设备上. 输入时钟的上升沿 (K 和 K).

取消选择后, 写入端口会忽略所有输入. 等待写入操作完成.

字节写入操作

字节写入操作由 CY7C1413KV18 支持. 一个写入操作按照写入操作中的描述启动. 部分. 写入的字节由 BWS 0 和 BWS 1, 它们用每组 18 位数据字进行采样. 在数据期间声明适当的字节写入选择输入. 写入的一部分锁存正在呈现的数据并将其写入. 进入设备. 在执行期间取消确认字节写入选择输入. 写入的数据部分启用存储在设备中的数据. 该字节保持不变. 此功能用于简化. 读取, 修改或写入字节写入操作.

单时钟模式

CY7C1411KV18 与一个可控制的时钟一起使用. 输入和输出寄存器. 在这种模式下的设备. 只识别控制的一对输入时钟 (K 和 K). 输入和输出寄存器. 这个操作与之相同. 如果设备在 K / K 和 K / K 之间有零偏斜, 则进行操作. C / C 时钟. 所有时序参数在此模式下保持不变. 要使用这种操作模式, 用户必须将 C 和 C 绑定为高电平. 在通电时. 此功能是一个选项, 不可更改. 在设备操作期间.

并发事务

CY7C1413KV18的读写端口工作

彼此独立.每个端口锁存地址
输入在不同的时钟边沿上,用户可以读取或写入任何时钟
位置,而不管其他端口上的交易.如果
读取后写入的端口访问相同的位置
连续的时钟周期,SRAM提供最新的
与指定的地址位置相关的信息.这个
包括从启动的写周期转发数据
前K时钟上升.

读访问和写访问必须安排一个
事务在任何时钟周期启动.如果两个端口都是
选择在相同的K时钟上升,仲裁取决于
以前的SRAM状态.如果两个端口都被取消选中,则
读端口优先.如果在之前发起了阅读
周期,写入端口优先(因为读取操作不能
在连续循环中启动).如果写了一个写在
前一个周期,读取端口优先(作为写入操作
不能在连续循环中启动).因此,断言
两个端口都从取消选择的状态中选择活动状态导致alter-
正在启动读取或写入操作,第一个操作正在启动
访问是一个读取.

深度扩展

CY7C1413KV18具有每个端口的端口选择输入.这个
可以轻松进行深度扩展.两个端口选择都被采样
仅在正输入时钟的上升沿(K).每个端口
选择输入可以取消选择指定的端口.取消选择端口
不会影响其他端口.所有待处理的交易(读和写)
写)在设备被取消选择之前完成.

可编程阻抗

ZQ引脚之间必须连接一个外部电阻RQ
在SRAM和VSS上以允许SRAM调整其输出
驱动器阻抗. RQ的值必须是5×的值
允许的由SRAM驱动的预定线路阻抗

RQ的范围以保证与容差的阻抗匹配
 $\pm 15\%$ 在175之间 Ω 和350 Ω , VDDQ = 1.5 V.
输出阻抗在上电后每1024个周期调整一次
以考虑电源电压和温度的漂移.

回声时钟

QDR II提供了回波时钟以简化数据采集
在高速系统上.两个回声时钟由生成
四年期行动计划. CQ参考C和CQ进行参考
关于C.这些是自由运行的时钟,并且是
与QDR II的输出时钟同步.在单一时钟
模式,针对K生成CQ并生成CQ
相对于K.回波时钟的时间如图所示
开关特性(第26页).

PLL

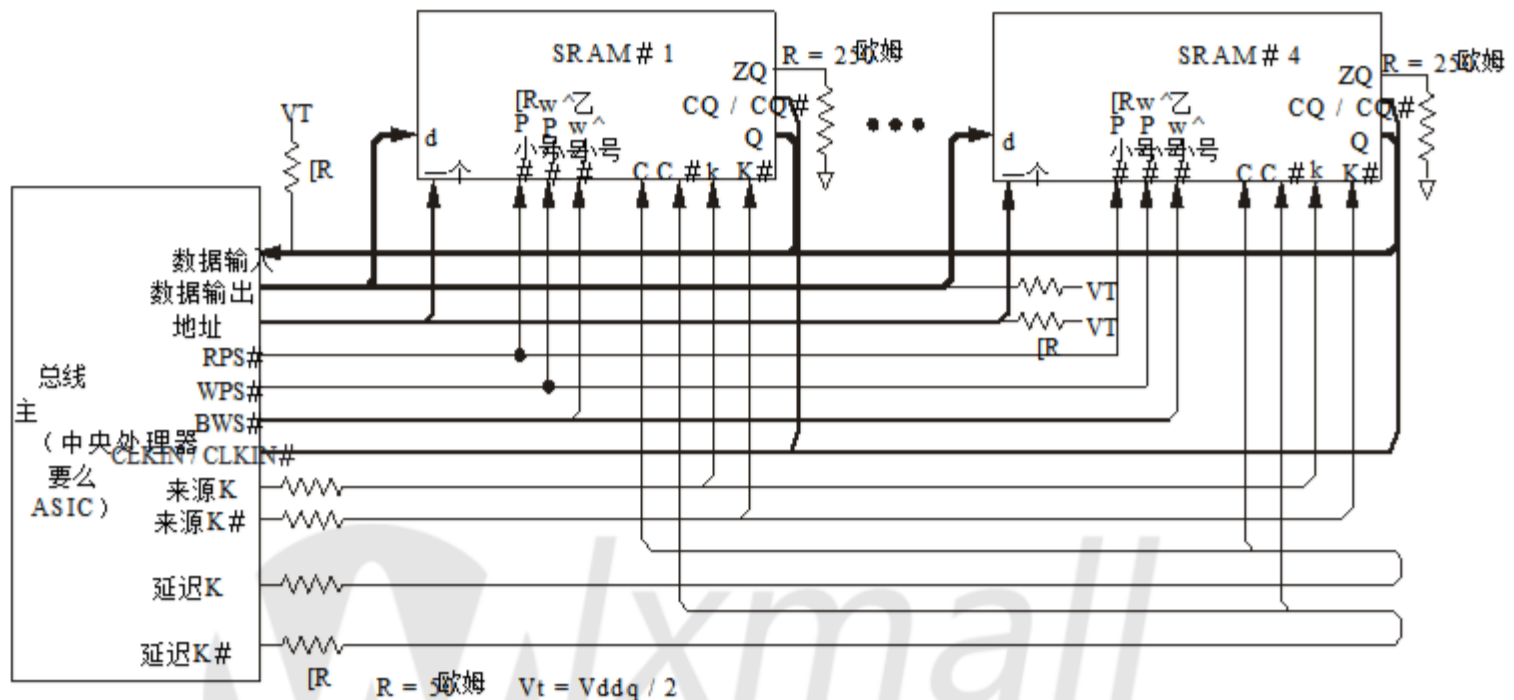
这些芯片使用一个设计为在其间工作的PLL
120 MHz和指定的最大时钟频率.中
加电时,当DOFF被拉高时,PLL被锁定
20 稳定的时钟. PLL也可以通过减速或复位来复位
停止输入时钟K和K至少30 ns.
但是,没有必要重置PLL来锁定
期望的频率. PLL自动锁定20
呈现稳定的时钟.可以通过应用禁用PLL
接地到DOFF引脚.当PLL关闭时,该设备
在QDR I模式下运行(具有一个周期延迟和更长的延迟
访问时间).

after之后

应用示例

图1显示了应用程序中使用的四个QDR II.

图1.应用程序示例



真相表

CY7C1411KV18, CY7C1426KV18, CY7C1413KV18和CY7C1415KV18的真值表如下[2,3,4,5,6,7]

手术	k	RPS	WPS	DQ	DQ	DQ	DQ
写周期: 加载地址在上升 K的边缘;输入写入数据 连续两次K和 K上升沿.	L-H	H [8]	L [9]	D (A) 在K (t在C (t+2) 处D (A+3) 时K (t+2) 处的K (t+1) D (A+2)			
读周期: 加载地址在上升 K的边缘;等一个和一个 半周期;读取数据 连续两次C和C 上升的边缘.	L-H	L [9]	X	Q (A) 在C (t在Q (t+2) × Q (A+3) 处C (t+3) 处的C (t+2) × Q (A+2) 处的Q (A+2)			
NOP: 没有操作	L-H	H	H	D = X Q = 高Z	D = X Q = 高Z	D = X Q = 高Z	D = X Q = 高Z
待机: 时钟停止	停止	X	X	以前的状态	以前的状态	以前的状态	以前的状态

笔记

2. X = "无所谓", H = 逻辑高电平, L = 逻辑低电平, 代表上升沿.
3. 在三态条件下, 器件上电时取消选择输出.
4. "A" 表示交易开始时设备锁存的地址位置. A + 1, A + 2和A + 3表示突发中的地址序列.
5. "t" 表示读/写操作开始的周期. t + 1, t + 2和t + 3是分别在 "t" 时钟周期之后的第一, 第二和第三时钟周期.
6. 数据输入注册在K和K上升沿. 数据输出在C和C上升沿传送, 除了在单时钟模式下时.
7. 确保时钟停止时K = K和C = C = HIGH.这不是必需的, 但通过克服传输线路充电允许最快速的重启.
8. 如果此信号为低电平以启动前一个周期, 则该信号对于此操作变为"无所谓".
9. 该信号在前K时钟上升时为高电平. 不允许在连续的K时钟上升时启动连续的读或写操作. 该设备忽略了第二次读取或写入请求.

写周期描述

CY7C1411KV18和CY7C1413KV18的写周期描述表如下[10,11]

$\overline{\text{BWS}}_0$ NWS ₀	$\overline{\text{BWS}}_1$ NWS ₁	k	$\overline{k}$	注释
大号	大号	L-H	-	在写序列的数据部分 CY7C1411KV18- 两个半字节 (D [7: 0]) 写入设备. CY7C1413KV18- 两个字节 (D [17: 0]) 写入设备.
大号	大号	-	L-H	在写入序列的数据部分期间 CY7C1411KV18- 两个半字节 (D [7: 0]) 写入设备. CY7C1413KV18- 两个字节 (D [17: 0]) 写入设备.
大号	H	L-H	-	在写序列的数据部分 CY7C1411KV18只有低半字节 (D [3: 0]) 写入设备, D [7: 4] 保持不变. CY7C1413KV18只有低字节 (D [8: 0]) 写入器件, D [17: 9] 保持不变.
大号	H	-	L-H	在写入序列的数据部分期间 CY7C1411KV18只有低半字节 (D [3: 0]) 写入设备, D [7: 4] 保持不变. CY7C1413KV18只有低字节 (D [8: 0]) 写入器件, D [17: 9] 保持不变.
H	大号	L-H	-	在写序列的数据部分 CY7C1411KV18只有高半字节 (D [7: 4]) 写入设备, D [3: 0] 保持不变. CY7C1413KV18只有高字节 (D [17: 9]) 写入器件, D [8: 0] 保持不变.
H	大号	-	L-H	在写入序列的数据部分期间 CY7C1411KV18只有高半字节 (D [7: 4]) 写入设备, D [3: 0] 保持不变. CY7C1413KV18只有高字节 (D [17: 9]) 写入器件, D [8: 0] 保持不变.
H	H	L-H	-	在这部分写入操作期间没有数据写入器件.
H	H	-	L-H	在写入操作的这一部分期间没有数据写入器件.

写周期描述

CY7C1426KV18的写周期描述表如下. [10,11]

$\overline{\text{BWS}}_0$	k	$\overline{k}$	
大号	L-H	-	在写序列的数据部分, 单字节 (D [8: 0]) 写入器件.
大号	-	L-H	在写序列的数据部分, 单字节 (D [8: 0]) 写入器件.
H	L-H	-	在这部分写操作期间没有数据写入器件.
H	-	L-H	在这部分写操作期间没有数据写入器件.

笔记

10. X = “无所谓”, H = 逻辑高电平, L = 逻辑低电平.

11. 基于根据写周期描述表启动的写周期, NWS₀, NWS₁, BWS₀, BWS₁, BWS₂和BWS₃可以改变一个写周期的不同部分, 只要达到建立和保持要求.

写周期描述

CY7C1415KV18的写周期描述表如下[12,13]

BWS 0	BWS 1	BWS 2	BWS 3	k	$\bar{k}$	注释
LLLL				L-H	-	在写序列的数据部分期间，全部四个字节（D [35: 0]）被写入装置。
LLLL				-	L-H	在写序列的数据部分期间，写入所有四个字节（D [35: 0]）装置。
大号	H	H	H	L-H	-	在写序列的数据部分期间，只写入低字节（D [8: 0]）进入设备。D [35: 9] 保持不变。
大号	H	H	H	-	L-H	在写序列的数据部分，只写入低字节（D [8: 0]）进入设备。D [35: 9] 保持不变。
H	大号	H	H	L-H	-	在写序列的数据部分期间，只写入字节（D [17: 9]）装置。D [8: 0] 和D [35:18] 保持不变。
H	大号	H	H	-	L-H	在写序列的数据部分期间，只写入字节（D [17: 9]）装置。D [8: 0] 和D [35:18] 保持不变。
H	H	大号	H	L-H	-	在写序列的数据部分，只写入字节（D [26:18]）装置。D [17: 0] 和D [35:27] 保持不变。
H	H	大号	H	-	L-H	在写序列的数据部分期间，只写入字节（D [26:18]）装置。D [17: 0] 和D [35:27] 保持不变。
H	H	H	大号	L-H	-	在写序列的数据部分期间，只写入字节（D [35:27]）装置。D [26: 0] 保持不变。
H	H	H	大号	-	L-H	在写序列的数据部分，只写入字节（D [35:27]）装置。D [26: 0] 保持不变。
HHHH				L-H	-	在这部分写操作期间没有数据写入器件。
HHHH				-	L-H	在这部分写入操作期间，没有数据写入器件。

www.wlxml.com

笔记

12. X = “无所谓”，H = 逻辑高电平，L = 逻辑低电平，上升沿。

13. 基于根据写周期描述表启动的写周期，NWS 0，NWS 1，BWS 0，BWS 1，BWS 2 和BWS 3 可以改变一个写周期的不同部分，只要达到建立和保持要求。

IEEE 1149.1 串行边界扫描 (JTAG)

这些SRAM包含一个串行边界扫描测试访问端口 (TAP) 在FBGA封装中. 这部分完全符合IEEE标准 # 1149.1-2001. TAP使用JEDEC运行标准 1.8 VI / O逻辑电平.

禁用JTAG功能

可以在不使用JTAG的情况下操作SRAM. 特征. 要禁用TAP控制器, TCK必须连接到低电平 (V_{SS}) 以防止设备时钟. TDI和TMS是内部拉起, 可能无法连接. 他们可能会或者通过上拉电阻连接到V_{DD}. TDO必须保持不连接. 通电后, 设备启动在复位状态下, 不会对操作造成干扰设备.

测试访问端口测试时钟

测试时钟仅用于TAP控制器. 所有输入都是捕获在TCK的上升边缘. 所有的输出都来自于TCK的下降沿.

测试模式选择 (TMS)

TMS输入用于给TAP控制器提供命令并在TCK的上升沿进行采样. 这个引脚可能会被留下. 如果不使用TAP则不连接. 销被拉起内部, 导致逻辑高电平.

测试数据输入 (TDI)

TDI引脚用于串行输入信息到寄存器. 它可以连接到任何寄存器的输入. 该TDI和TDO之间的寄存器由指令选择被加载到TAP指令寄存器中. 有关信息加载指令寄存器, 请参阅TAP控制器状态第16页的图表. TDI在内部被拉高并且可以. 如果TAP在应用程序中未使用, 则不连接. TDI是连接到任何寄存器上的最高有效位 (MSB).

测试数据输出 (TDO)

TDO输出引脚用于串行时钟输出数据寄存器. 输出有效, 取决于当前状态TAP状态机 (请参阅第19页的指令代码). 输出在TCK的下降沿改变. TDO是连接到任何寄存器的最低有效位 (LSB).

执行TAP重置

复位是通过强制TMS高电平 (V_{DD}) 上升五TCK的边缘. 该重置不会影响该操作SRAM并且可以在SRAM工作时执行. 在加电后, TAP会在内部重置以确保TDO到来高Z状态.

TAP寄存器

寄存器连接在TDI和TDO引脚之间进行扫描. 数据进出SRAM测试电路. 只有一个注册表. 可以通过指令寄存器一次选择. 数据被串行加载到TCK上升沿的TDI引脚. 数据在TCK的下降沿输出到TDO引脚.

指令寄存器

三位指令被串行加载到指令寄存器. 当它被放置在TDI之间时, 该寄存器被加载和TDO引脚, 如TAP控制器框图所示. 第17页. 上电时, 指令寄存器被加载IDCODE指令. 它也加载了IDCODE. 如果控制器被置于复位状态, 如上所述在前一节中.

当TAP控制器处于Capture-IR状态时, 至少两个有效位用二进制“01”模式加载以允许板级串行测试路径的故障隔离.

旁路寄存器

为了在通过寄存器串行移位数据时节省时间, 有时有利于跳过某些芯片. 旁路寄存器是放置在TDI和之间的单位寄存器TDO引脚. 这使得可以通过SRAM来移动数据. 最小的延迟. 旁路寄存器设置为低电平 (V_{SS}) BYPASS指令被执行.

边界扫描寄存器

边界扫描寄存器连接到所有的输入和SRAM上的输出引脚. 几个无连接 (NC) 引脚也是包含在扫描寄存器中以保留更高密度的引脚设备.

边界扫描寄存器加载了. 的内容. 当TAP控制器处于打开状态时, RAM输入和输出环Capture-DR状态, 然后放置在TDI和TDO之间. 当控制器移动到Shift-DR状态时引脚. 该EXTEST, SAMPLE / PRELOAD和SAMPLE Z指令用于捕获输入和输出环的内容.

第20页的边界扫描顺序显示了顺序. 这些位是连接的. 每个位对应于其中一个凸起在SRAM封装上. 寄存器的MSB连接到TDI, 并且LSB连接到TDO.

识别 (ID) 注册

ID寄存器加载了供应商特定的32位代码. 在IDCODE命令处于Capture-DR状态期间. 加载到指令寄存器中. IDCODE被硬连接到SRAM, 并且可以在TAP控制器处于插入状态时移出Shift-DR状态. 该ID注册有一个供应商代码和其他信息在标识寄存器定义中描述. 第19页.

TAP指令集

三位可能有八种不同的指令. 指令寄存器. 指令中列出了所有组合. 第19页上的代码. 这些指示中的三项列为保留且不得使用. 其他五条指令将在本节中详细介绍.

在Shift-IR期间, 指令被加载到TAP控制器中. 当指令寄存器被放置在TDI和之间的状态TDO. 在这种状态下, 指令通过转换. 指令寄存器通过TDI和TDO引脚. 执行在它移入之后的指令中, TAP控制器必须是进入Update-IR状态.

IDCODE

IDCODE指令将一个供应商特定的32位代码加载到指令寄存器。它也放置指令寄存器在TDI和TDO引脚之间，并将IDCODE移出设备当TAP控制器进入Shift-DR状态时。该IDCODE指令被加载到指令寄存器中加电或每当提供TAP控制器时a测试逻辑复位状态。

样品Z

SAMPLE Z指令连接边界扫描寄存器。当TAP控制器处于a状态时，在TDI和TDO引脚之间Shift-DR状态。SAMPLE Z命令放置输出总线进入高Z状态，直到在下一个命令提供期间更新IR状态。

SAMPLE / PRELOAD

SAMPLE / PRELOAD是1149.1强制性指令。什么时候SAMPLE / PRELOAD指令被加载到指令寄存器，并且TAP控制器位于Capture-DR中状态，捕获输入和输出引脚上数据的快照在边界扫描寄存器中。

TAP控制器时钟只能工作在最高频率20 MHz，而SRAM时钟的运行频率超过一个数量级幅度更快。因为时钟有很大的差异频率，有可能在Capture-DR状态期间，输入或输出经历转换。TAP可能会尝试在转换时捕获信号（亚稳状态）。这样做不会损害设备，但不保证其价值被捕获。可重复的结果可能无法实现。

为了保证边界扫描寄存器捕获正确的信号值，SRAM信号必须稳定足够长的时间以满足TAP控制器的捕捉设置和保持时间（t_{CS}和t_{CH}）。SRAM时钟输入可能未被捕获。如果设计中没有办法停止（或减慢）时钟，那么正确无误在SAMPLE / PRELOAD指令中。如果这是一个问题，那就是仍然有可能捕获所有其他信号，并简单地忽略它在边界扫描寄存器中捕获的CK和CK的值。

数据被捕获后，可以通过移出数据将TAP置于Shift-DR状态。这放置了边界扫描TDI和TDO引脚之间的寄存器。

PRELOAD在锁存的并行处放置一个初始数据模式。在选择之前输出边界扫描寄存器单元。另一个边界扫描测试操作。

SAMPLE和PRELOAD阶段的数据转换可以在需要时同时发生，即数据捕获的数据被移出，预加载的数据可以被移入。

旁路

当BYPASS指令加载到指令寄存器中时并且TAP被置于Shift-DR状态，旁路寄存器为放置在TDI和TDO引脚之间的优点。BYPASS指令是缩短边界扫描路径。当多个设备连接在一块板上时。

EXTEST

EXTEST指令驱动预加载的数据系统输出引脚。这条指令也连接了边界扫描寄存器用于在TDI和TDO之间进行串行访问。TDO处于Shift-DR控制器状态。

EXTEST OUTPUT BUS TRISTATE

IEEE标准1149.1要求TAP控制器能够使输出总线进入三态模式。

边界扫描寄存器的特殊位位于#108位。当这个扫描单元被称为“外部输出总线三态”时在更新DR状态期间锁存到预加载寄存器中TAP控制器，它直接控制输出的状态（Q总线）引脚，当输入EXTEST作为电流时指令。当高电平时，它使输出缓冲器驱动输出总线。低电平时，该位将输出总线置于a位高Z状态。

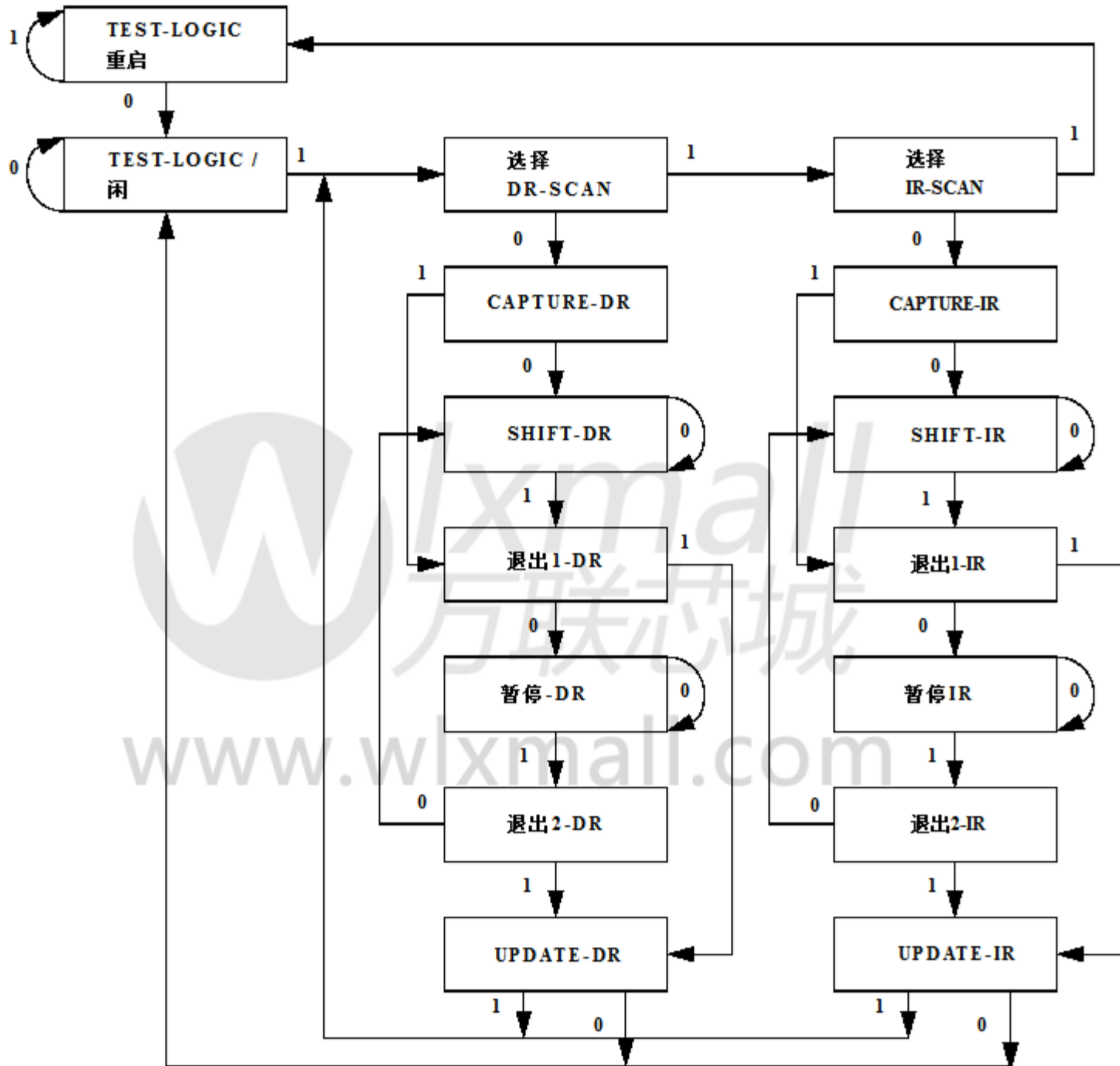
该位通过输入SAMPLE / PRELOAD或EXTEST来设置命令，然后将期望的位移入该单元中Shift-DR状态。在Update-DR期间，将值加载到该值中移位寄存器单元锁存到预加载寄存器中。当...的时候EXTEST指令被输入，该位直接控制输出Q总线引脚。请注意，该位预置为高电平以启用输出。当设备加电时，还有TAP控制器处于测试逻辑重置状态。

保留的

这些说明没有实施，但保留未来的使用。不要使用这些说明。

TAP控制器状态图

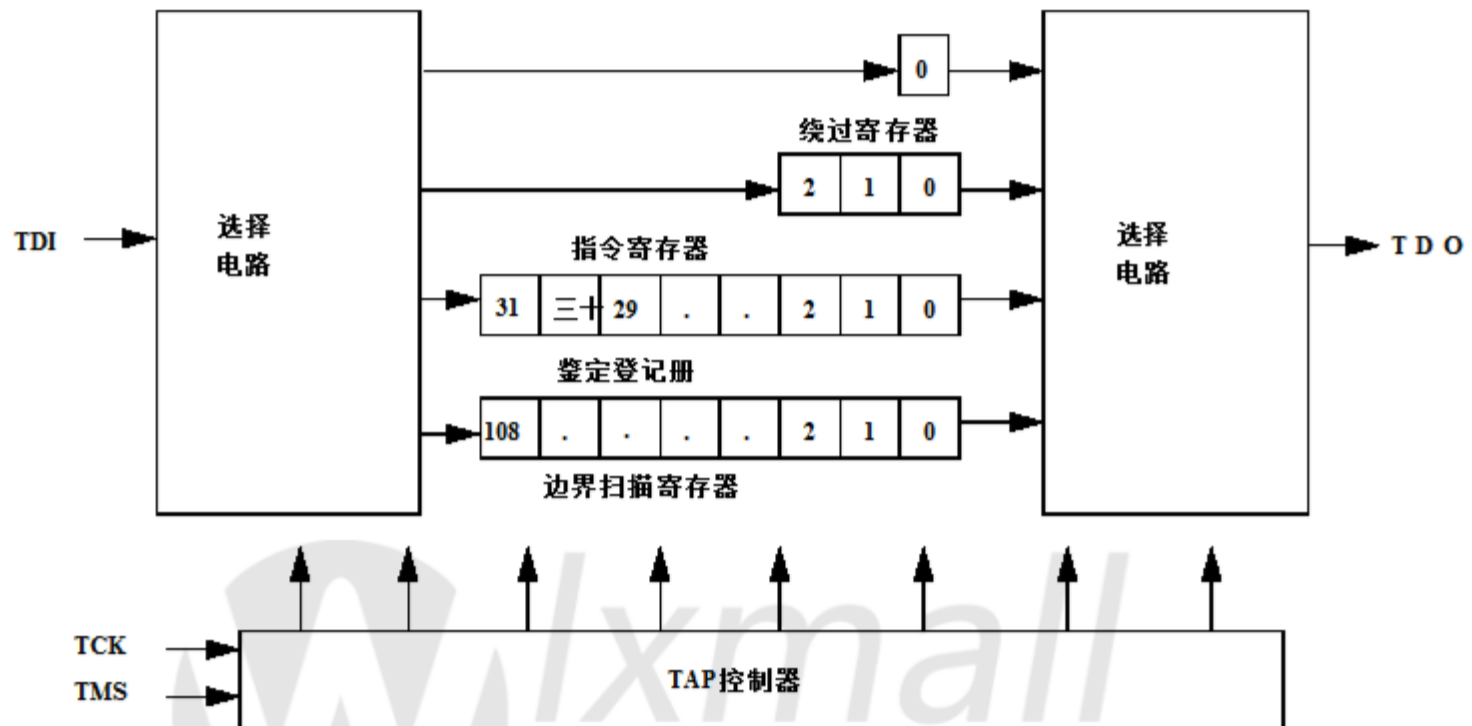
TAP控制器的状态图如下.[14]



注意

14. 每个状态旁边的0/1表示TCK上升沿处TMS处的值。

TAP控制器框图



TAP电气特性

在运行范围[15,16,17]

参数	描述	测试条件	敏	马克斯	单元
V OH1	输出高电压	我 OH = -2.0毫安	1.4	-	V
V OH2	输出高电压	我 OH = 100 μ A		-	V
V OL1	输出低电压	我 OL = 2.0毫安	-	0.4	V
V OL2	输出低电压	我 OL = 100 μ A		0.2	V
V IH	输入高电压		0.65V DD	V DD + 0.3	V
V IL	输入低电压		-0.3	0.35V DD	V
我 X	输入和输出负载电流	GND V I V DD	-5	五	μ A

笔记

15. 这些特征涉及TAP输入 (TMS, TCK, TDI和TDO) 并联负载水平在电气特性表中指定。

16. 过冲: V IH (AC) < V DDQ + 0.85 V (脉冲宽度小于t CYC/2), 下冲: V IL (AC) > -1.5 V (脉冲宽度小于t CYC/2) .

17. 所有电压均以地为参考。

TAP交流开关特性

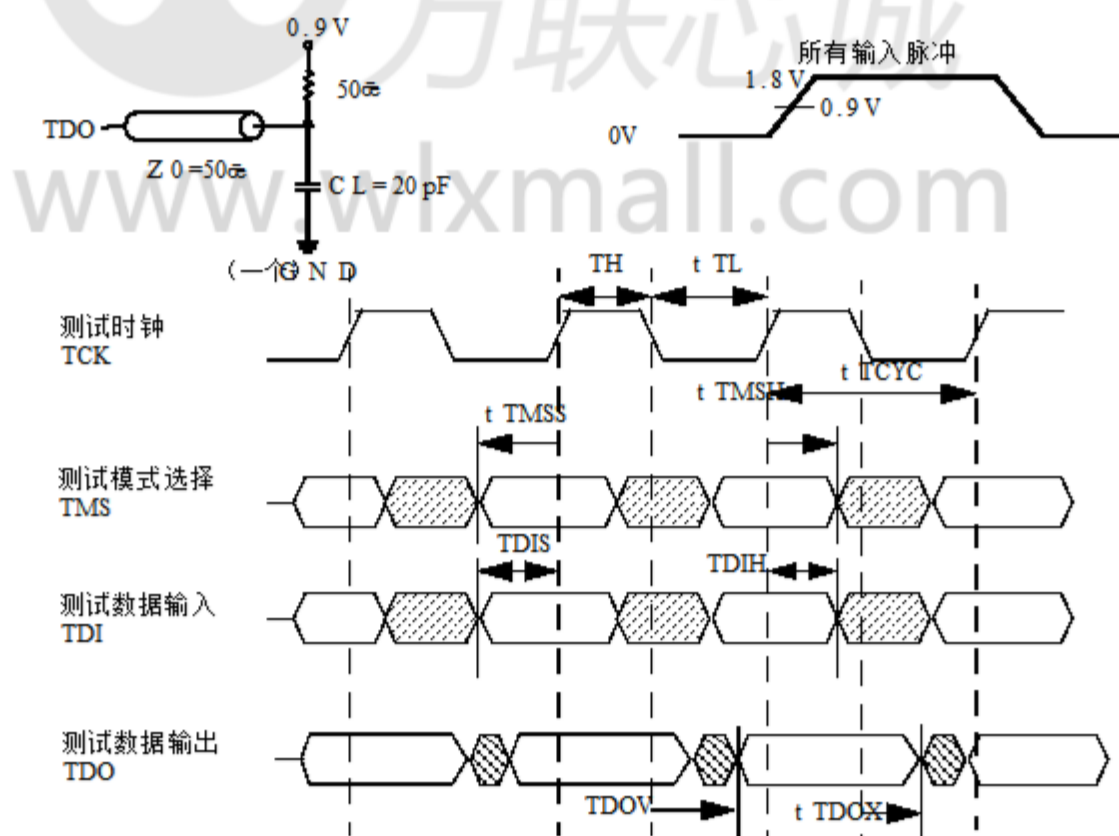
超过工作范围[18,19]

参数	描述	敏	马克斯	单元
t TCYC	TCK时钟周期时间	50	-	NS
t TF	TCK时钟频率	-	20	兆赫
TH	TCK时钟高	20	-	NS
t TL	TCK时钟为低电平	20	-	NS
安装时间				
t TMSS	TMS设置为TCK时钟上升	五	-	NS
TDIS	TDI设置为TCK时钟上升	五	-	NS
t CS	捕捉设置到TCK上升	五	-	NS
保持时间				
t TMSH	TMS在TCK时钟上升后保持	五	-	NS
TDIH	TDI在时钟上升后持有	五	-	NS
t CH	时钟上升后捕获保持	五	-	NS
输出时间				
TDOV	TCK时钟为低电平至TDO有效	-	10	NS
t TDOX	TCK时钟为低电平至TDO无效	0	-	NS

TAP时间和测试条件

图2显示了TAP时序和测试条件.[19]

图2. TAP时序和测试条件



笔记

18. t CS和t CH参考来自边界扫描寄存器的锁存数据的建立和保持时间要求。
19. 使用TAP AC测试条件中的负载指定测试条件. t R/t F = 1ns.

识别寄存器定义

指令字段	值				描述
	CY7C1411KV18	CY7C1426KV18	CY7C1413KV18	CY7C1415KV18	
版本号 (31:29)	000	000	000	000	版本号.
赛普拉斯设备ID (28:12)	110100110110001111	110100110110011111	110100110110101111	110100110111001111	定义类型 SRAM.
赛普拉斯JEDEC ID (11: 1)	00000110100	00000110100	00000110100	00000110100	允许独特 鉴定 SRAM供应商.
ID寄存器 存在 (0)	1	1	1	1	表示 存在一个ID 寄存器.

扫描寄存器大小

注册名称	位大小
指令	3
旁路	1
ID	32
边界扫描	109

指令代码

指令	码	描述
EXTEST	000	捕获输入和输出响铃内容.
IDCODE	001	将ID寄存器加载供应商ID代码, 并将寄存器放置在TDI和TDO之间. 该操作不影响SRAM操作.
样品Z	010	捕获输入和输出内容.在TDI和TDO之间放置边界扫描寄存器 TDO.强制所有SRAM输出驱动器为高Z状态.
RESERVED	011	不要使用: 此说明保留供将来使用.
SAMPLE / PRELOAD	100	捕获输入和输出响铃内容.在TDI和TDO之间放置边界扫描寄存器 和TDO.不影响SRAM操作.
RESERVED	101	不要使用: 此说明保留供将来使用.
RESERVED	110	不要使用: 此说明保留供将来使用.
旁路	111	在TDI和TDO之间放置旁路寄存器.该操作不会影响SRAM 操作.

边界扫描顺序

位 #	凹凸ID	位 #	凹凸ID	位 #	凹凸ID	位 #	凹凸ID
0	6R	28	1 0 G	56	6A	84	1J
1	6 P 2 9		9G	57	5 B 8 5		2J
2	6N	三十	1 1 F	58	5A	86	3K
3	7P	31	1 1 G	59	4A	87	3J
4 7 N		32	9F	60	5C	88	2K
五	7R	33	10F	61	4B	89	1K
6	8R	34	1 1 E	62	3A	90	2L
7	8P	35	10E	63	2A	91	3L
8	9R	36	10D	64	1A	92	1M
9	1 1 P	37	9E	65	2B	93	1L
10	10P	38	10C	66	3B	94	3N
11	1 0 N	39	1 1 D	67	1C	95	3M
12	9P	40	9C	68	1B	96	1N
13	1 0 M	41	9D	69	3D	97	2M
14	1 1 N	42	1 1 B	70	3C	98	3P
15	9M	43	1 1 C	71	1D	99	2N
16	9N	44	9B	72	2C	1 0 0	2P
17	1 1 L	45	10B	73	3E	1 0 1	1P
18	1 1 M	46	1 1 A	74	2D	1 0 2	3R
19	9L	47	10A	75	2E	1 0 3	4R
20	10L	48	9A	76	1E	1 0 4	4P
21	1 1 K	49	8B	77	2F	1 0 5	5P
22	10K	50	7C	78	3F	1 0 6	5N
23	9J	51	6C	79	1G	1 0 7	5R
24	9K	52	8A	80	1F	1 0 8	内部
25	1 0 J	53	7A	81	3G		
26	1 1 J	54	7B	82	2G		
27	1 1 H	55	6B	83	1H		

QDR II SRAM中的上电序列

QDR II SRAM必须通电并在a中初始化预定义的方式来防止未定义的操作。

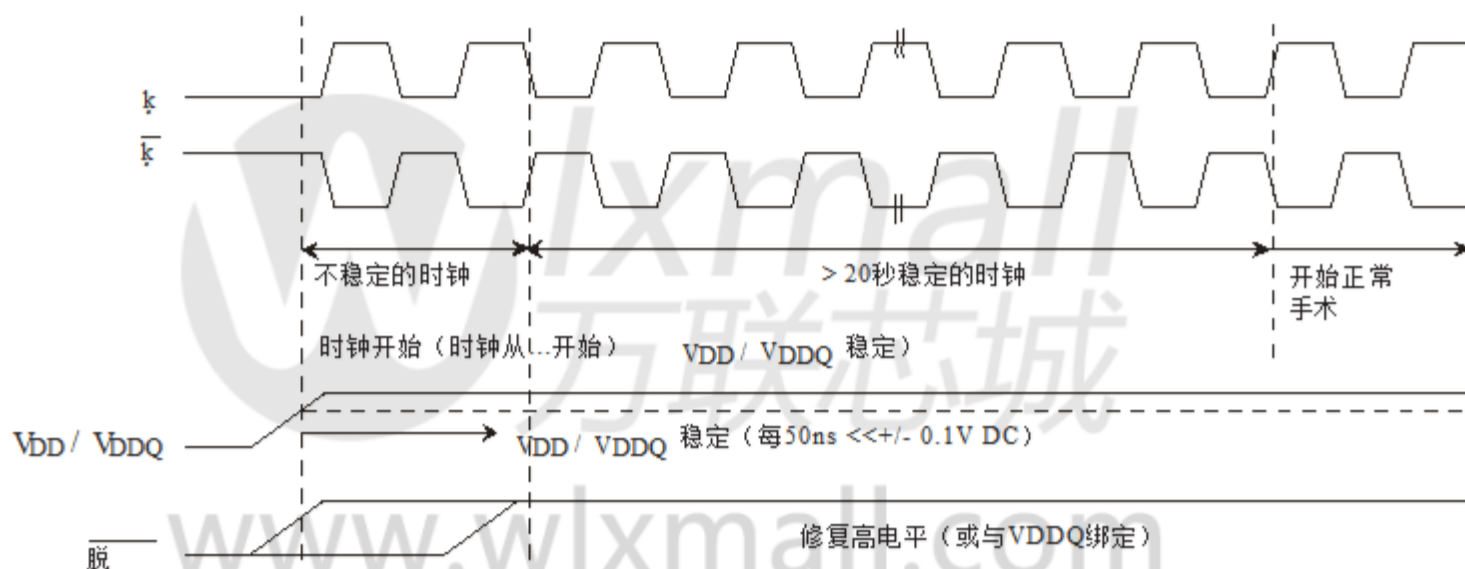
加电顺序

- 施加电源并将DOFF驱动为高电平或低电平（所有其他输入可以是高或低）。
V在VDDQ之前应用VDD。
V在VREF之前施加VDDQ或与VREF同时施加。
□ 将DOFF驱动为高电平。
- 提供稳定的DOFF（HIGH），功率和时钟（K，K）20秒锁定PLL。

PLL约束

- PLL使用K时钟作为其同步输入。输入必须具有低相位抖动，其被指定为 t_{KCVar} 。
- PLL在低至120 MHz的频率下工作。
- 如果输入时钟不稳定并且PLL被使能，则PLL可能锁定到不正确的频率，导致不稳定SRAM行为。为了避免这种情况，请提供20 稳定时钟的 t_{s} 重新锁定到所需的时钟频率。

图3.上电波形



最大额定值

超过最大额定值可能会影响本产品的使用寿命
设备. 这些用户指南未经测试.

储存温度.....	-65	C到+150	C
使用电源时的环境温度.....	-55	C至+125	C
V _{DD} 相对于GND的电源电压.....	-0.5 V至+2.9 V		
V _{DDQ} 相对于GND的电源电压.....	-0.5 V至+ V _{DD}		
直流施加到高Z输出.....	-0.5 V至V _{DDQ} + 0.3 V		
直流输入电压[20].....	-0.5 V至V _{DD} + 0.3 V		
输入电流 (低).....	20 mA		
静电放电电压 (MIL-STD-883, M.3015) ..>	2001V		
闭锁电流.....	> 200 mA		

工作范围

范围	周围 温度 (T _A)	V _{DD} [21]	V _{DDQ} [21]
广告	0 C至+70 C	1.8±0.1V	1.4 V到 V _{DD}
产业	-40°C至+85°C		

电气特性

直流电气特性

超过工作范围[22]

参数	描述	测试条件	敏	典型	马克斯	单元
V _{DD}	电源电压		1.7	1.8	1.9	V
V _{DDQ}	I / O电源电压		1.4	1.5	V _{DD}	V
V _{OH}	输出高电压	注 23	V _{DDQ} / 2 - 0.12	-	V _{DDQ} / 2 + 0.12	V
V _{OL}	输出低电压	注 24	V _{DDQ} / 2 - 0.12	-	V _{DDQ} / 2 + 0.12	V
V _{OH} (低)	输出高电压	I _{OH} = 1.1mA, 标称阻抗	V _{DDQ} - 0.2	-	V _{DDQ}	V
V _{OL} (低)	输出低电压	I _{OL} = 0.1 mA, 标称阻抗	V _{SS}	-	0.2	V
V _{IH}	输入高电压		V _{REF} + 0.1	-	V _{DDQ} + 0.3	V
V _{IL}	输入低电压		-0.3	-	V _{REF} - 0.1	V
我 X	输入漏电流	GND V _I V _{DDQ}	15	-	五	≈ A
我 OZ	输出泄漏电流	GND V _I V _{DDQ} , 输出禁用	15	-	五	≈ A
V _{REF}	输入参考电压[25]典型值 = 0.75V		0.68	0.75	0.95	V

笔记

20. 过冲: V_{IH} (AC) < V_{DDQ} + 0.85 V (脉冲宽度小于 t_{CYC} / 2), 下冲: V_{IL} (AC) > -1.5 V (脉冲宽度小于 t_{CYC} / 2).
 21. 上电: 假设在 200 ms 内从 0 V 到 V_{DD} (min) 的线性斜坡. 在此期间 V_{IH} < V_{DD} 和 V_{DDQ} < V_{DD}.
 22. 所有电压都以地为参考.
 23. 输出是阻抗控制的. I_{OH} = - (V_{DDQ} / 2) / (R_Q / 5) 175欧姆 R_Q 350欧姆.
 24. 输出是阻抗控制的. 对于 175欧姆的数值, I_{OL} = (V_{DDQ} / 2) / (R_Q / 5) R_Q 350欧姆.
 25. V_{REF} (min) = 0.68 V 或 0.46 V_{DDQ}, 取较大者, V_{REF} (max) = 0.95 V 或 0.54 V_{DDQ}, 以较小者为准.

中子软错误抗扰度

参数	描述	测试 条件类型最大*单位			
伦敦南岸大学	合乎逻辑 单位 冷门	25°C	197	216	适合 / MB
LMBU	合乎逻辑 多位 冷门	25°C	0	0.01	适合 / MB
SEL	单一事件 闭锁	85°C	0	0.1	适合 / 开发
*在测试过程中没有发生 LMBU 或 SEL 事件. 这一列代表一个统计上 2.95% 置信度限制计算. 有关更多详情, 请参阅应用笔记 AN 54908 "加速 Neutron SER 测试和计算地面故障率".					

电气特性 (续)

直流电气特性
超过工作范围 [22]

参数	描述	测试条件		敏	典型	马克斯	单元	
我 DD [26]	V DD 操作电源	V DD = Max, I OUT = 0 mA, f = fMAX = 1 / t CYC	333 MHzz	(×8)	-	-	560	嘛
				(×9)	-	-	560	
				(×18)	-	-	570	
				(×36)	-	-	790	
			300 MHzz	(×8)	-	-	520	嘛
				(×9)	-	-	520	
				(×18)	-	-	540	
				(×36)	-	-	730	
			250 MHzz	(×8)	-	-	460	嘛
				(×9)	-	-	460	
				(×18)	-	-	470	
				(×36)	-	-	640	
			200 MHzz	(×8)	-	-	400	嘛
				(×9)	-	-	400	
				(×18)	-	-	410	
				(×36)	-	-	540	
			167 MHzz	(×8)	-	-	360	嘛
				(×9)	-	-	360	
				(×18)	-	-	370	
				(×36)	-	-	480	

注意

26. 工作电流以50%读周期和50%写周期计算。

电气特性 (续)

直流电气特性

超过工作范围 [22]

参数	描述	测试条件		敏	典型	马克斯	单元	
我 SB1	自动关机 当前	Max VDD , 两个港口都被取消了, VIN VIH或VIN VIL f = fMAX=1/tCYC , 输入静态	333 MHz	(×8)	-	-	280	嘛
				(×9)	-	-	280	
				(×18)	-	-	280	
				(×36)	-	-	280	
			300 MHz	(×8)	-	-	270	嘛
				(×9)	-	-	270	
				(×18)	-	-	270	
				(×36)	-	-	270	
			250 MHz	(×8)	-	-	260	嘛
				(×9)	-	-	260	
				(×18)	-	-	260	
				(×36)	-	-	260	
			200 MHz	(×8)	-	-	250	嘛
				(×9)	-	-	250	
				(×18)	-	-	250	
				(×36)	-	-	250	
			167 MHz	(×8)	-	-	250	嘛
				(×9)	-	-	250	
				(×18)	-	-	250	
				(×36)	-	-	250	

交流电气特性

超过工作范围[16]

参数	描述	测试条件	敏	典型	马克斯	单元
V IH	输入高电压		V REF + 0.2	-	-	V
V IL	输入低电压		-	-	V REF - 0.2	V

电容

最初和经过任何可能影响这些参数的设计或工艺变更后进行测试。

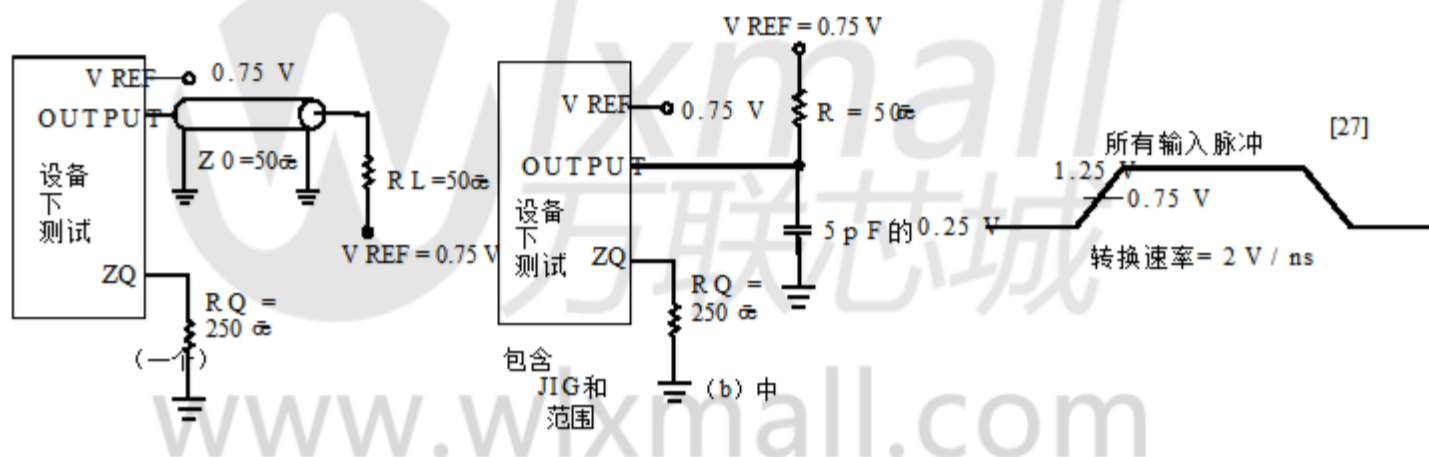
参数	描述	测试条件	马克斯	单元
C IN	输入电容	T A = 25°C, f = 1MHz, V DD = 1.8V, V DDQ = 1.5V	4	pF的
C O	输出电容		4 P F	

热阻

最初和经过任何可能影响这些参数的设计或工艺变更后进行测试。

参数	描述	测试条件	165 FBGA 包	单元
5JA	热阻 (结到环境)	测试条件遵循标准测试方法和 测量热阻抗的程序, in 根据EIA / JESD 51.	13.7	°C / W
JC	热阻 (结合到案件)		3.73	°C / W

图4.交流测试负载和波形



注意

27. 除非另有说明, 否则测试条件基于信号转换时间 2 V / ns, 定时参考电平 0.75 V, Vref = 0.75 V, RQ = 250 ohms, VDDQ = 1.5 V, 输入 0.25 V 至 1.25 V 的脉冲电平 以及图 4 (a) 中所示的指定 IOL / IOH 和负载电容的输出负载。

开关特性

超过工作范围[28,29]

柏参数	联盟参数	描述	333 MHz		300 MHz		250 MHz		200 MHz		167 MHz		单元
			最小	最大	最小	最大	最小	最大	最小	最大	最小	最大	
电力		VDD (典型) 到第一次访问[30]	1-1			-	1-		1-1			-	女士
t CYC	t KHKH	K时钟和C时钟周期时间	3.0	8.4	3.3	8.4	4	8.4	5	8.4	6	8.4	NS
吨 KH	t KHKL	输入时钟 (K / $\bar{K}$; C / $\bar{C}$) 高	1.20	-	1.32	-	1.6	-	2.0	-	2.4	-	NS
吉隆坡	T KLKH	输入时钟 (K / $\bar{K}$; C / $\bar{C}$) LOW	1.20	-	1.32	-	1.6	-	2.0	-	2.4	-	NS
t KHKH	t KHKH	K时钟上升到K时钟上升和C到C上升 (上升沿到上升沿)	1.35	-	1.49	-	1.8	-	2.2	-	2.7	-	NS
t KHCH	t KHCH	K / K时钟上升到C / $\bar{C}$ 时钟上升 (上升沿到上升沿)	0	1.30	0	1.45	0	1.8	0	2.2	0	2.7	NS
安装时间													
t SA	t AVKH	地址设置为K时钟上升	0.4	-	0.4	-	0.5	-	0.6	-	0.7	-	NS
t SC	t IVKH	控制设置为K时钟上升 (RPS, WPS)	0.4	0.4	0.5			-0.6	-0.7			-	NS
SCDDR	t IVKH	双数据速率控制设置为时钟 (K / K) 上升 (BWS 0, BWS 1, BWS 2, BWS 3)	0.3	0.3	-		0.35	-0.4	-0.5			-	NS
t SD	t DVKH	D [X: 0] 设置为时钟 (K / $\bar{K}$) 上升	0.3	0.3	-		0.35	-0.4	-0.5			-	NS
保持时间													
哈	t KHAX	K时钟上升后地址保持	0.4	0.4	0.5			-0.6	-0.7			-	NS
t HC	t KHIX	K时钟上升后控制保持 (RPS, WPS)	0.4	0.4	0.5			-0.6	-0.7			-	NS
t HCDDR	t KHIX	双数据速率控制后保持时钟 (K / K) 上升 (BWS 0, BWS 1, BWS 2, BWS 3)	0.3	0.3	-		0.35	-0.4	-0.5			-	NS
t HD	t KHDX	时钟 (K / K) 上升后, D [X: 0] 保持不变	0.3	0.3	-		0.35	-0.4	-0.5			-	NS

笔记

28. 除非另有说明, 否则测试条件基于2 V / ns的信号转换时间, 0.75 V的定时参考电平, Vref = 0.75 V, RQ = 250 Ω , VDDQ = 1.5 V, 输入脉冲电平为0.25 V至1.25 V, 以及第25页图4 (a) 中所示的指定IOL / IOH和负载电容的输出负载。
29. 当最大频率高于167 MHz的部分工作在较低的时钟频率时, 它需要输入时钟的频率范围并输出具有该频率范围的输出时序的数据。
30. 这部分内部有一个稳压器; t POWER是在读或写操作启动之前, 电源必须最初供电到VDD最小值 以上的时间。

开关特性 (续)

超过工作范围 [28,29]

柏参数	联盟参数	描述	333 MHz		300 MHz		250 MHz		200 MHz		167 MHz		单元
			最小	最大	最小	最大	最小	最大	最小	最大	最小	最大	
输出时间													
t CO	t CHQV	C / C时钟上升（或单个时钟内的K / K） - 模式）到数据有效	0.45	-	0.45	-	0.45	-	0.45	-	0.50	-	NS
t DOH	t CHQX	输出C / C后数据输出保持时钟上升（有效到有效）	-0.45	-	-0.45	-	-0.45	-	-0.45	-	-0.50	-	NS
t CCQO	t CHCQV	C / C时钟上升至回显时钟有效	-	0.45	-	0.45	-	0.45	-	0.45	-	0.50	NS
t CQOH	t CHCQX	C / C时钟上升-0.45后回波时钟保持	-	-0.45	-	-0.45	-	-0.45	-	-0.45	-	-0.50	NS
t CQD	t CQHCV	回声时钟高到数据有效	0.25	0.27	0.30	0.35	0.40						NS
t CQDOH	t CQHCV	回声时钟高到数据无效	-0.25	-	-0.27	-	-0.30	-	-0.35	-	-0.40	-	NS
t CQH	t CQHCQL	输出时钟（CQ / CQ）高[31]	1.25	-	1.4	-	1.75	-	2.25	-	2.75	-	NS
t CQHCQH	t CQHCQH	CQ时钟上升至CQ时钟上升（上升沿到上升沿）[31]	1.25	-	1.4	-	1.75	-	2.25	-	2.75	-	NS
t CHZ	t CHQZ	时钟（C / C）上升到高Z（从高到高）[32,33]	-	0.45	-	0.45	-	0.45	-	0.45	-	0.50	NS
t CLZ	t CHQX1	时钟（C / C）上升至低电平[32,33]	-0.45	-	-0.45	-	-0.45	-	-0.45	-	-0.50	-	NS
PLL时序													
t KC Var	t KC Var	时钟相位抖动	-	0.20	-	0.20	-	0.20	-	0.20	-	0.20	NS
t KC锁	t KC锁	PLL锁定时间（K，C）[34]	20	-20	-20	-20	-						ns
t KC重置	t KC重置	K静态到PLL复位	三十	-	30	-30	-30	-					NS

笔记

31. 这些参数是从输入时序参数 (t CYC / 2 - 250 ps, 其中250 ps是内部抖动) 外推而来的。这些参数只能通过保证设计, 并没有在生产中进行测试。

32. 如第25页图4 (b) 所示, t CHZ, t CLZ的负载电容为5 pF跃迁的测量值为稳态电压的±100 mV。

33. 在任何电压和温度下, CHZ小于t CLZ, t CHZ小于t CO。

34. 对于300 MHz或更低的频率, 赛普拉斯QDR II器件的PLL锁定时间 (t KC锁定) 超过QDR联盟规范20μs (最小规格), 并将经过了1024个时钟周期后 (最小规格), 在稳定的时钟出现之后, 按照前面的90 nm版本进行锁定。

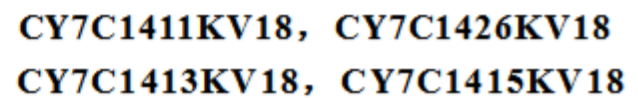
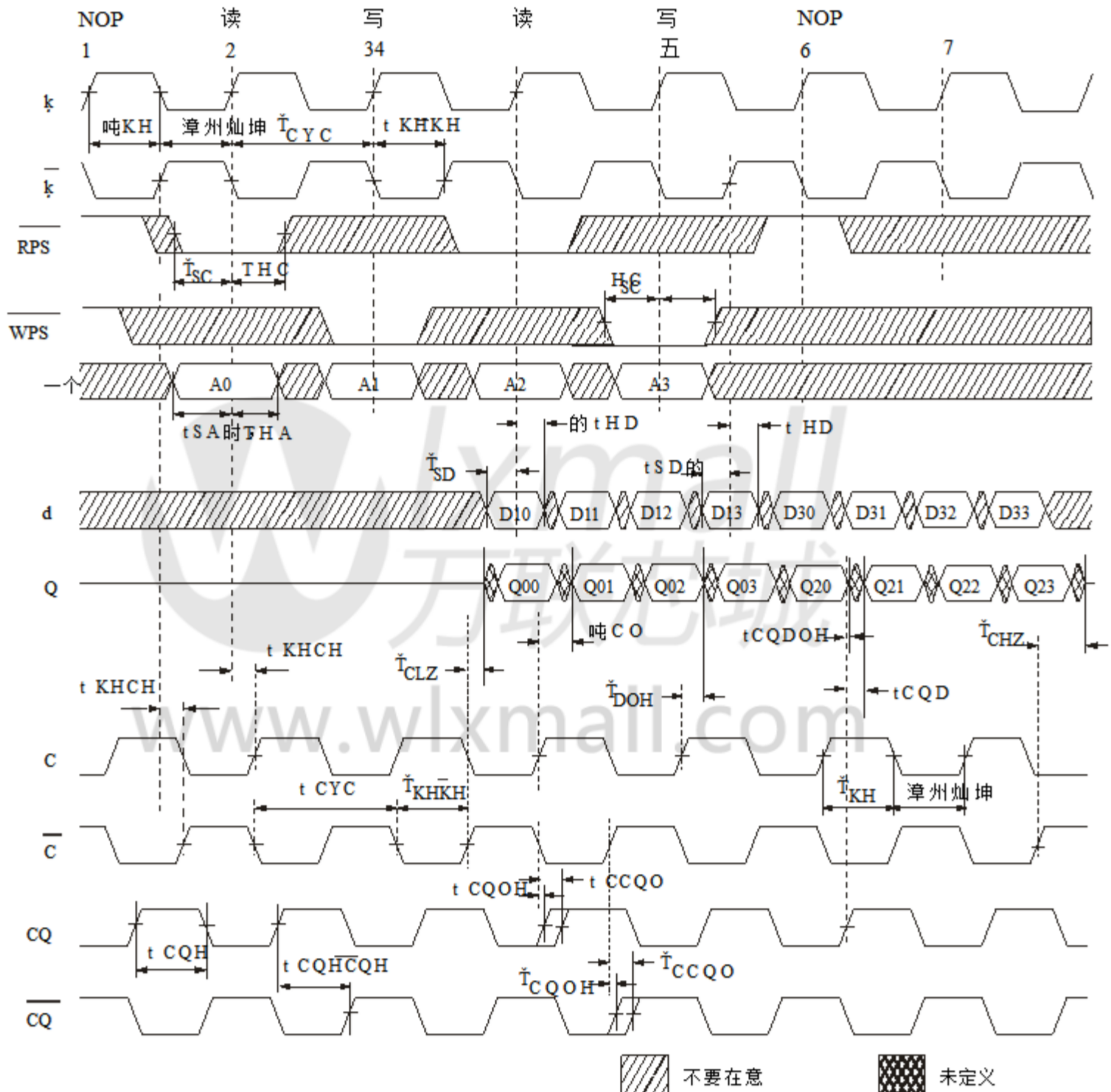


图5.读取/写入/取消选择序列[35,36,37]



笔记

35. Q00是指地址A0的输出, Q01指A0之后的下一个内部突发地址的输出, 即 $A0 + 1$ 。

36. 在NOP后的一个时钟周期内, 输出被禁止 (高Z)

30. 在NOP后的一个时钟周期内, 输出被禁止(高Z)。在这个例子中, 如果地址 $A2 = A1$, 则数据 $Q20 = D10$, $Q21 = D11$, $Q22 = D12$, $Q23 = D13$ 。写入数据作为读取结果立即转发。本说明适用于整个图表。

订购信息

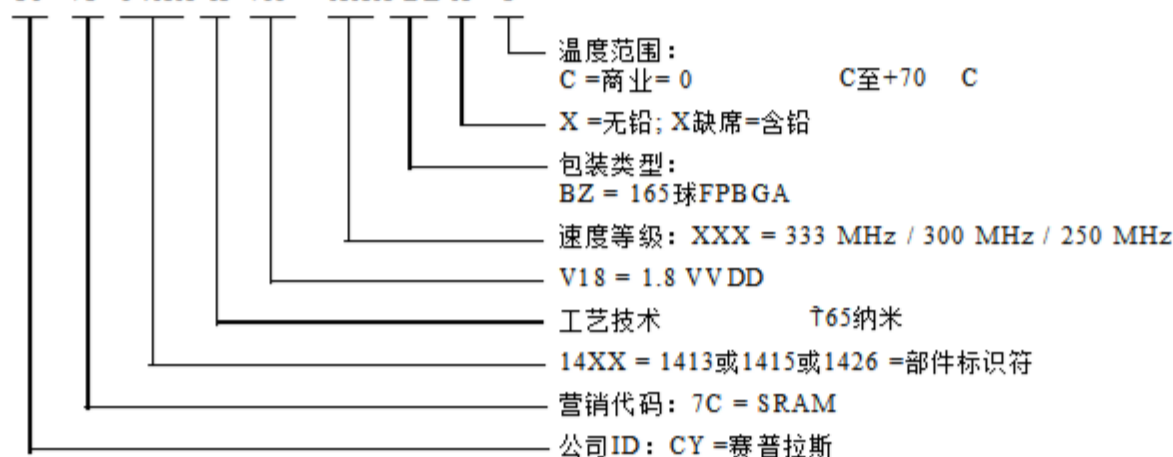
下表仅包含当前可用的部件。如果您没有看到您要找的内容，请联系您当地的销售代表。有关更多信息，请访问赛普拉斯网站 www.cypress.com，并参阅产品总结页面 <http://www.cypress.com/products>

赛普拉斯拥有遍布全球的办事处，解决方案中心，制造商代表和分销商网络。找办公室，请访问我们的网站 <http://www.cypress.com/go/datasheet/offices>。

速度 (MHz)	的 订购代码	包 图	包装类型	操作 范围
333	CY7C1426KV18-333BZC	51-85180	65球精密球栅阵列 (13×15×1.4毫米)	广告
	CY7C1413KV18-333BZC			
	CY7C1415KV18-333BZC			
	CY7C1415KV18-333BZXC		165球无间隙球栅阵列 (13×15×1.4毫米)	产业
	CY7C1413KV18-333BZI		165球精细球栅阵列 (13×15×1.4毫米)	
300	CY7C1426KV18-300BZC	51-85180	65球精密球栅阵列 (13×15×1.4毫米)	广告
	CY7C1413KV18-300BZC			
	CY7C1426KV18-300BZXC		165球无间隙球栅阵列 (13×15×1.4毫米)	
	CY7C1413KV18-300BZXC			产业
	CY7C1415KV18-300BZXC			
	CY7C1415KV18-300BZI		165球精细球栅阵列 (13×15×1.4毫米)	
	CY7C1415KV18-300BZXI		165球无间隙球栅阵列 (13×15×1.4毫米)	
250	CY7C1426KV18-250BZC	51-85180	65球精密球栅阵列 (13×15×1.4毫米)	广告
	CY7C1413KV18-250BZC			
	CY7C1415KV18-250BZC			
	CY7C1426KV18-250BZXC		165球无间隙球栅阵列 (13×15×1.4毫米)	
	CY7C1413KV18-250BZXC			产业
	CY7C1415KV18-250BZXC			
	CY7C1413KV18-250BZI		165球精细球栅阵列 (13×15×1.4毫米)	
	CY7C1415KV18-250BZI			
	CY7C1413KV18-250BZXI		165球无间隙球栅阵列 (13×15×1.4毫米)	
	CY7C1415KV18-250BZXI			

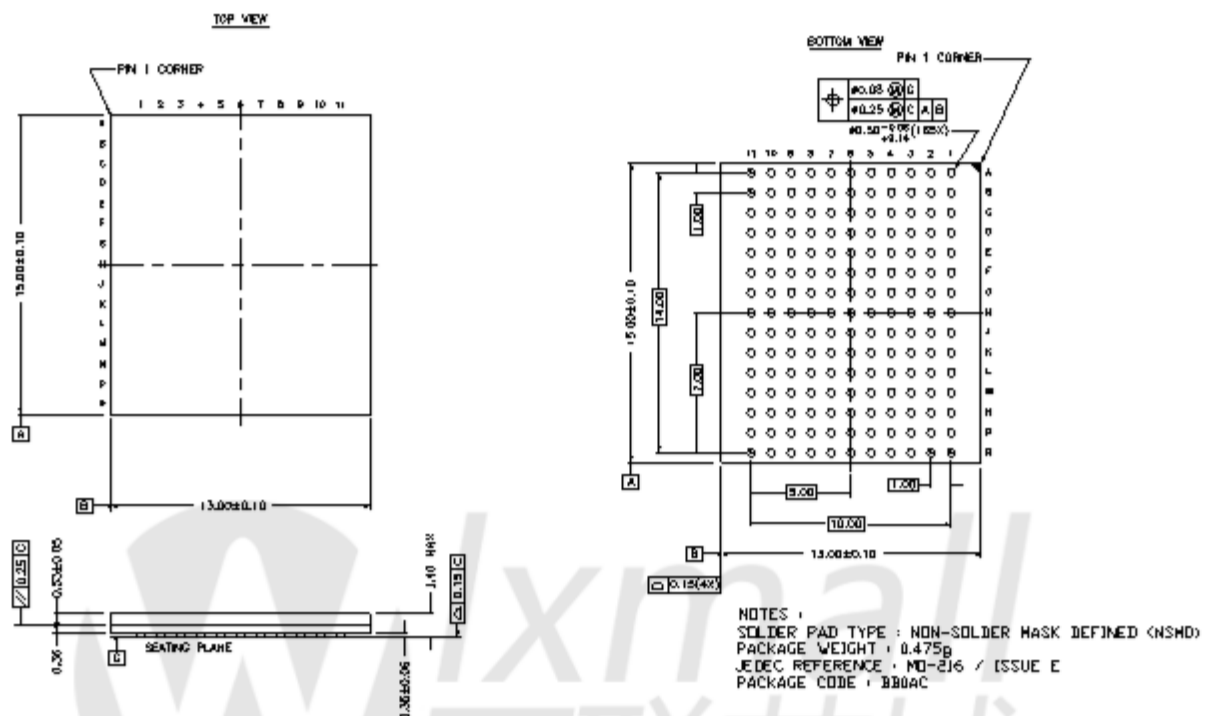
订购代码定义

CY 7C 14XX K V18 - XXX BZ X C



包图

图6. 165球FBGA (13×15×1.4mm) , 51-85180



51-85180 * C

缩略语

缩写	描述
DDR	双倍数据速率
F B G A	细间距球栅阵列
HSTL	高速收发器逻辑
I / O	输入输出
J T A G	联合测试行动小组
LSB	最不重要的位
MSB	最重要的一点
PLL	锁相环
QDR	四倍数据速率
SRAM	静态随机存取存储器
T A P	测试访问端口
TCK	测试时钟
TMS	测试模式选择
TDI	测试数据输入
TDO	测试数据输出
TQFP	薄四方扁平包装

文件惯例

计量单位

符号	测量单位
Ω	欧姆
%	百分
微秒	微秒
女士	毫秒
NS	纳秒
V V o l t s	
μA	微安培
嘛	毫安
毫米	毫米
兆赫	兆赫兹
pF的	皮克法拉
W W a t t s	
C	学位课程

Wlxmall
万联芯城
www.wlxmall.com

文档历史页面

文档标题: CY7C1411KV18 / CY7C1426KV18 / CY7C1413KV18 / CY7C1415KV18, 36-Mbit QDR® II SRAM 4字突发 建筑 文件号: 001-57826				
启示录	ECN号码	原稿的 更改	服从 日期	变化的描述
**	2816620	VKN / AESA	2009/11/27	新数据表
*一个	3018546	N J Y	10/21/2010	由预赛转为决赛。 添加了订购代码定义。 更新的软件包图。 小编辑并在新模板中更新。
*B	3165654	N J Y	02/08/2011	增加了注释34。 更新的订购信息。 增加了首字母缩略词和度量单位。



销售，解决方案和法律信息

全球销售和设计支持

赛普拉斯拥有遍布全球的办事处，解决方案中心，制造商代表和分销商网络。找办公室
请通过 cypress.com/sales 访问我们。

制品

汽车	cypress.com/go/automotive
时钟和缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc
	cypress.com/go/plc
记忆	cypress.com/go/memory
光学和图像传感	cypress.com/go/image
的PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB控制器	cypress.com/go/USB
无线/射频	cypress.com/go/wireless

PSoC 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 5



©赛普拉斯半导体公司，2009-2011。此外包含的信息如有更改，恕不另行通知。赛普拉斯半导体公司不承担任何责任。
赛普拉斯产品中包含的电路以外的任何电路，它也不传达或暗示根据专利或其他权利的任何许可。赛普拉斯产品不保证也不打算用于此目的。
医疗，生命支持，救生，关键控制或安全应用，除非与赛普拉斯签署了明确的书面协议。此外，赛普拉斯不授权其产品用作
生命支持系统中的关键部件，其中可能合理预期故障或故障会对用户造成重大伤害。将赛普拉斯产品纳入生命支持系统
应用程序意味着制造商承担所有使用风险，并因此向赛普拉斯赔偿所有费用。

任何源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，受全球专利保护（美国和国外）的保护并受其保护，
美国版权法和国际条约规定。赛普拉斯特此授予被许可人个人，非独占，不可转让的许可，以复制，使用，修改，创建衍生作品，
并编译赛普拉斯源代码和衍生作品，仅用于创建定制软件和/或固件，以支持被许可人产品仅用于与赛普拉斯
集成电路接口应用协议的规定。除上述规定外，任何对此源代码的复制，修改，翻译，编译或表示都是禁止的
赛普拉斯的明确书面许可。

免责声明：对于本材料，CYPRESS不作任何明示或暗示的担保，包括但不限于暗示担保。
适销性和针对特定用途的适用性。赛普拉斯保留对此处所述材料进行更改的权利，恕不另行通知。赛普拉斯没有
承担因应用或使用本文所述任何产品或电路而引起的任何责任。赛普拉斯不授权将其产品用作生命支持系统中的关键组件
故障或故障可能合理预期会对用户造成重大伤害。将赛普拉斯产品纳入生命支持系统应用意味着制造商
承担使用此类风险的所有风险，并为此向赛普拉斯赔偿所有费用。

使用可能受限于适用的赛普拉斯软件许可协议并受此限制。