



STM32F100x4 STM32F100x6 STM32F100x8 STM32F100xB

中低密度的价值线，先进的基于ARM的32位MCU
16到128 KB闪存，12个定时器，ADC，DAC和8个通信接口

初步数据

特征

■ 核心：ARM 32位Cortex™-M3 CPU

- 24 MHz最大频率，
1.25 DMIPS / MHz (Dhrystone 2.1)
性能
- 单周期乘法和硬件
师

■ 记忆

- 16至128千字节的闪存
- 4至8千字节的SRAM

■ 时钟，重置和供应管理

- 2.0至3.6 V的应用电源和I / O
- POR，PDR和可编程电压
检测器 (PVD)
- 4至24 MHz晶体振荡器
- 内部8 MHz工厂预留RC
- 内部40 kHz RC
- CPU时钟的PLL
- 带有校准的RTC的32 kHz振荡器

■ 低功耗

- 睡眠，停止和待机模式
- VBAT为RTC和备份寄存器提供电源

■ 调试模式

- 串行线调试 (SWD) 和JTAG
接口

■ DMA

- 7通道DMA控制器
- 支持的外设：定时器，ADC，SPI，
I2Cs，USART和DAC

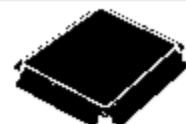
■ 1×12位，1.2μA/D转换器 (最多16位) 频道)

- 转换范围：0至3.6 V
- 温度感应器

■ 2×12位D/A转换器

■ 多达80个快速I/O端口

- 37/51/80 I/O，全部可在16位外部映射
中断向量和几乎所有5 V容忍



LQFP100 14×14毫米
LQFP64 10×10毫米
LQFP48 7×7毫米



TFBGA64 (5×5毫米)

■ 最多12个定时器

- 最多三个16位定时器，每个最多4个
IC / OC / PWM或脉冲计数器
- 16位，6通道高级控制定时器：
多达6个PWM输出通道，死亡
时间发生和紧急停止
- 一个16位定时器，2个IC / OC，1
OCN / PWM，死区时间产生和
紧急停止
- 两个16位定时器，每个都有
IC / OC / OCN / PWM，死区时间的产生
并紧急停止
- 2个看门狗定时器 (独立和
窗口)
- SysTick计时器：24位下降计数器
- 两个16位基本定时器来驱动DAC

■ 最多8个通信接口

- 最多两个I2C接口 (SMBus / PMBus)
- 多达3个USART (ISO 7816接口，LIN，
IrDA能力，调制解调器控制)
- 最多2个SPI (12 Mbit / s)
- 消费电子控制 (CEC)
接口

■ CRC计算单元，96位唯一ID

■ ECOPACK® 包装

表格1. 设备摘要

参考	零件号
STM32F100x4	STM32F100C4, STM32F100R4
STM32F100x6	STM32F100C6, STM32F100R6
STM32F100x8	STM32F100C8, STM32F100R8, STM32F100V8
STM32F100xB	STM32F100CB, STM32F100RB, STM32F100VB

内容

1	介绍	9
2	说明.....	10
2.1	设备概述.....	11
2.2	概述.....	14
2.2.1	带有嵌入式闪存和SRAM的ARM®Cortex™-M3内核.....	14
2.3	嵌入式闪存.....	14
2.4	CRC（循环冗余校验）计算单元.....	14
2.5	嵌入式SRAM.....	14
2.6	嵌套向量中断控制器（NVIC）.....	15
2.7	外部中断/事件控制器（EXTI）.....	15
2.8	时钟和启动.....	15
2.9	启动模式.....	15
2.10	供电方案.....	16
2.11	电源管理员.....	16
2.12	电压调节器.....	16
2.13	低功耗模式.....	16
2.14	DMA.....	17
2.15	RTC（实时时钟）和备份寄存器.....	17
2.16	定时器和看门狗.....	17
2.16.1	高级控制计时器（TIM1）.....	18
2.16.2	通用定时器（TIM2，TIM3，TIM4，TIM15，TIM16和TIM17）.....	18
2.16.3	基本计时器TIM6和TIM7.....	19
2.16.4	独立监督.....	19
2.16.5	窗口看门狗.....	19
2.16.6	SysTick定时器.....	20
2.17	I²C总线.....	20
2.18	通用同步/异步收发器（USART）.....	20
2.19	串行外设接口（SPI）.....	20
2.20	HDMI（高清晰度多媒体接口）消费者 电子控制（CEC）.....	20
2.21	GPIO（通用输入/输出）.....	21

2.22	重映射功能.....	21
2.23	ADC（模数转换器）.....	21
2.24	DAC（数字 - 模拟转换器）.....	21
2.25	温度感应器.....	22
2.26	串行线JTAG调试端口（SWJ-DP）.....	22
3	引脚和引脚说明.....	23
4	内存映射.....	三十
五	电气特性.....	31
5.1	参数条件.....	31
5.1.1	最小值和最大值.....	31
5.1.2	典型值.....	31
5.1.3	典型的曲线.....	31
5.1.4	加载电容器.....	31
5.1.5	引脚输入电压.....	31
5.1.6	供电方案.....	32
5.1.7	电流消耗测量.....	33
5.2	绝对最大额定值.....	33
5.3	运行条件.....	34
5.3.1	一般操作条件.....	34
5.3.2	上电/掉电时的操作条件.....	35
5.3.3	嵌入式复位和功率控制模块特性.....	35
5.3.4	嵌入式参考电压.....	37
5.3.5	供应电流特性.....	37
5.3.6	外部时钟源的特点.....	44
5.3.7	内部时钟源的特点.....	49
5.3.8	PLL特性.....	50
5.3.9	记忆特性.....	51
5.3.10	EMC特性.....	52
5.3.11	绝对最大额定值（电气灵敏度）.....	53
5.3.12	I/O端口特性.....	54
5.3.13	NRST引脚特性.....	59
5.3.14	TIMx特性.....	60
5.3.15	通信接口.....	60

5.3.16	12位ADC特性.....	65
5.3.17	DAC电气规格.....	70
5.3.18	温度传感器特性.....	71
6	包特点.....	73
6.1	包装机械数据.....	73
6.2	热特性.....	79
6.2.1	参考文件.....	79
6.2.2	选择产品温度范围.....	80
7	订购信息计划.....	82
8	修订记录.....	83



表的列表

表格 1.	设备摘要.....	1
表 2	STM32F100xx 功能和外设计数.....	11
表 3.	定时器功能比较.....	18
表 4	STM32F100xx 引脚定义.....	25
表 5	电压特性.....	33
表 6	目前的特点.....	34
表 7	热特性.....	34
表 8	一般操作条件.....	34
表 9	上电/掉电时的操作条件.....	35
表 10	嵌入式复位和功率控制模块特性.....	36
表 11	嵌入内部参考电压.....	37
表 12	运行模式下的最大电流消耗, 具有数据处理的代码 从 Flash 运行.....	38
表 13.	运行模式下的最大电流消耗, 具有数据处理的代码 从 RAM 运行.....	38
表 14	STM32F100xxB 在休眠模式下的最大电流消耗, 代码 从 Flash 或 RAM 运行.....	39
表 15	停止和待机模式下的典型和最大电流消耗.....	40
表 16.	运行模式下的典型电流消耗, 具有数据处理的代码 从 Flash 运行.....	42
表 17	睡眠模式下的典型电流消耗, 代码从闪存或 RAM 运行.....	43
表 18	外设电流消耗.....	44
表 19.	高速外部用户时钟特性.....	45
表 20	低速外部用户时钟特性.....	45
表 21.	HSE 4-24 MHz 振荡器特性.....	47
表 22	LSE 振荡器特性 (fLSE = 32.768 kHz).....	48
表 23	HSI 振荡器特性.....	49
表 24	LSI 振荡器特性.....	49
表 25	低功耗模式唤醒定时.....	49
表 26.	PLL 特性.....	50
表 27	闪存特性.....	51
表 28	闪存耐用性和数据保留.....	51
表 29.	EMS 特性.....	52
表 30	EMI 特性.....	53
表 31.	ESD 绝对最大额定值.....	53
表 32.	电气敏感度.....	53
表 33	I/O 静态特性.....	54
表 34.	输出电压特性.....	57
表 35	I/O AC 特性.....	58
表 36.	NRST 引脚特性.....	59
表 37.	TIMx 特性.....	60
表 38.	I2C 特性.....	61
表 39.	SCL 频率 (fPCLK1 = 24 MHz, VDD = 3.3 V).....	62
表 40	SPI 特性.....	63
表 41.	ADC 特性.....	66
表 42	fADC 的 RAIN 最大值 = 12 MHz.....	67
表 43.	ADC 精度 - 有限的测试条件.....	67
表 44.	ADC 准确度.....	67

表45.	DAC特性.....	70
表46.	TS特性.....	72
表47.	LQPF100 - 14 x 14 mm, 100引脚薄型四方扁平封装机械数据.....	74
表48.	LQFP64 - 10 x 10 mm, 64引脚薄型四方扁平封装机械数据.....	75
表49.	TFBGA64 - 8 x 8有源球阵列, 5 x 5 mm, 0.5 mm间距, 封装机械数据... ..	76
表50.	LQFP48 - 7 x 7 mm, 48引脚薄型四方扁平封装机械数据.....	78
表51.	封装热特性.....	79
表52.	订购信息计划.....	82
表53.	文档修订历史.....	83



数字列表

图1.	STM32F100xx数值线框图.....	12
图2	时钟树.....	13
图3.	STM32F100xx数值线LQFP100引脚.....	23
图4.	STM32F100xx数值线LQFP64引脚.....	24
图5	STM32F100xx数值线LQFP48引脚.....	24
图6.	STM32F100xx数值线TFBGA64 ballout.....	25
图7.	内存映射.....	三十
图8.	引脚加载条件.....	32
图9.	引脚输入电压.....	32
图10.	供电方案.....	32
图11.	电流消耗测量方案.....	33
图12.	运行模式下的最大电流消耗与频率（3.6 V时） - 代码与从RAM运行的数据处理，启用外设.....	39
图13.	运行模式下的最大电流消耗与频率（3.6 V时） - 代码与从RAM运行的数据处理，外设禁用.....	39
图14.	运行模式下调节器停止模式下的典型电流消耗 在VDD = 3.3 V和3.6 V时的温度.....	40
图15.	低功耗模式下的稳压器在停止模式下的典型电流消耗 在VDD = 3.3 V和3.6 V时的温度.....	41
图16.	待机模式下的典型电流消耗与VDD = 3.3 V和3.6 V时的温度相关 3.6 V.....	41
图17.	高速外部时钟源交流时序图.....	46
图18.	低速外部时钟源交流时序图.....	46
图19.	典型的8 MHz晶体应用.....	47
图20.	典型应用与32.768 kHz晶体.....	48
图21.	标准I/O输入特性 - CMOS端口.....	55
图22.	标准I/O输入特性 - TTL端口.....	55
图23.	5 V宽容I/O输入特性 - CMOS端口.....	56
图24.	5 V容许I/O输入特性 - TTL端口.....	56
图25.	I/O AC特性定义.....	59
图26.	建议NRST引脚保护.....	59
图27.	I2C总线交流波形和测量电路（1）.....	62
图28.	SPI时序图 - 从模式和CPHA = 0.....	64
图29.	SPI时序图 - 从模式和CPHA = 1（1）.....	64
图30.	SPI时序图 - 主模式（1）.....	65
图31.	ADC准确度特性.....	68
图32.	使用ADC的典型连接图.....	68
图33.	电源和参考去耦（VREF + 不连接到VDDA）.....	69
图34.	电源和参考去耦（VREF + 连接到VDDA）.....	69
图35.	12位缓冲/非缓冲DAC.....	71
图36.	LQFP100, 14 x 14 mm, 100引脚薄型四方扁平封装外形.....	74
图37.	建议的足迹（1）.....	74
图38.	LQFP64 - 10 x 10 mm, 64引脚小型四方扁平封装轮廓.....	75
图39.	建议的足迹（1）.....	75
图40.	TFBGA64 - 8 x 8有源球阵列, 5 x 5 mm, 0.5 mm间距, 封装外形.....	76
图41.	推荐PCB的设计规则（0.5毫米间距BGA）.....	77
图42.	LQFP48 - 7 x 7毫米, 48引脚薄型方形平板 包大纲.....	78

图43.	建议的足迹 (1)	78
图44.	LQFP100 PD 最大值对T A.....	81



1 介绍

本数据表提供了订购信息和机械特性

STM32F100x4, STM32F100x6, STM32F100x8和STM32F100xB数值线

微控制器.在文档的其余部分, STM32F100x4和STM32F100x6是

简称为低密度器件,而STM32F100x8和STM32F100xB则是

确定为中等密度设备.

STM32F100xx数据表应与中低端产品一起阅读,

密度的STM32F100xx参考手册.

有关编程,擦除和保护内部闪存的信息

请参考STM32F100xx Flash编程手册.

参考手册和Flash编程手册都可以从

意法半导体网站www.st.com.

有关Cortex™-M3内核的信息,请参阅Cortex™-M3技术

参考手册,可从www.arm.com网站获取以下地址:

<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0337e/>.



2 描述

STM32F100xx数值线系列集成了高性能的ARM Cortex™-M3

工作频率为24 MHz的32位RISC内核，高速嵌入式存储器（闪存内存高达128千字节，SRAM高达8千字节）以及广泛的增强功能外围设备和连接到两个APB总线的I/O。所有设备都提供标准通信接口（最多两个I2C，两个SPI，一个HDMI CEC和多达三个USART），一个12位ADC，两个12位DAC，最多六个通用16位定时器和一个高级控制器PWM定时器。

STM32F100xx低，中等密度数值线系列工作在-40至+85°C -40到+105°C的温度范围，从2.0到3.6 V电源。一个全面的设置省电模式可以实现低功耗应用的设计。

STM32F100xx价值线系列包括三种不同封装的器件从48个引脚到100个引脚。取决于所选的设备，不同的外设组合包括，下面的描述给出了一个完整的外设范围的概述在这个家庭提出。

这些特性使得STM32F100xx系列微控制器产品适用于广泛的应用范围：

- 应用程序控制和用户界面
- 医疗和手持设备
- PC外设，游戏和GPS平台
- 工业应用：PLC，逆变器，打印机和扫描仪
- 报警系统，可视对讲和暖通空调

图1显示了器件系列的总体框图。

www.wlxmall.com

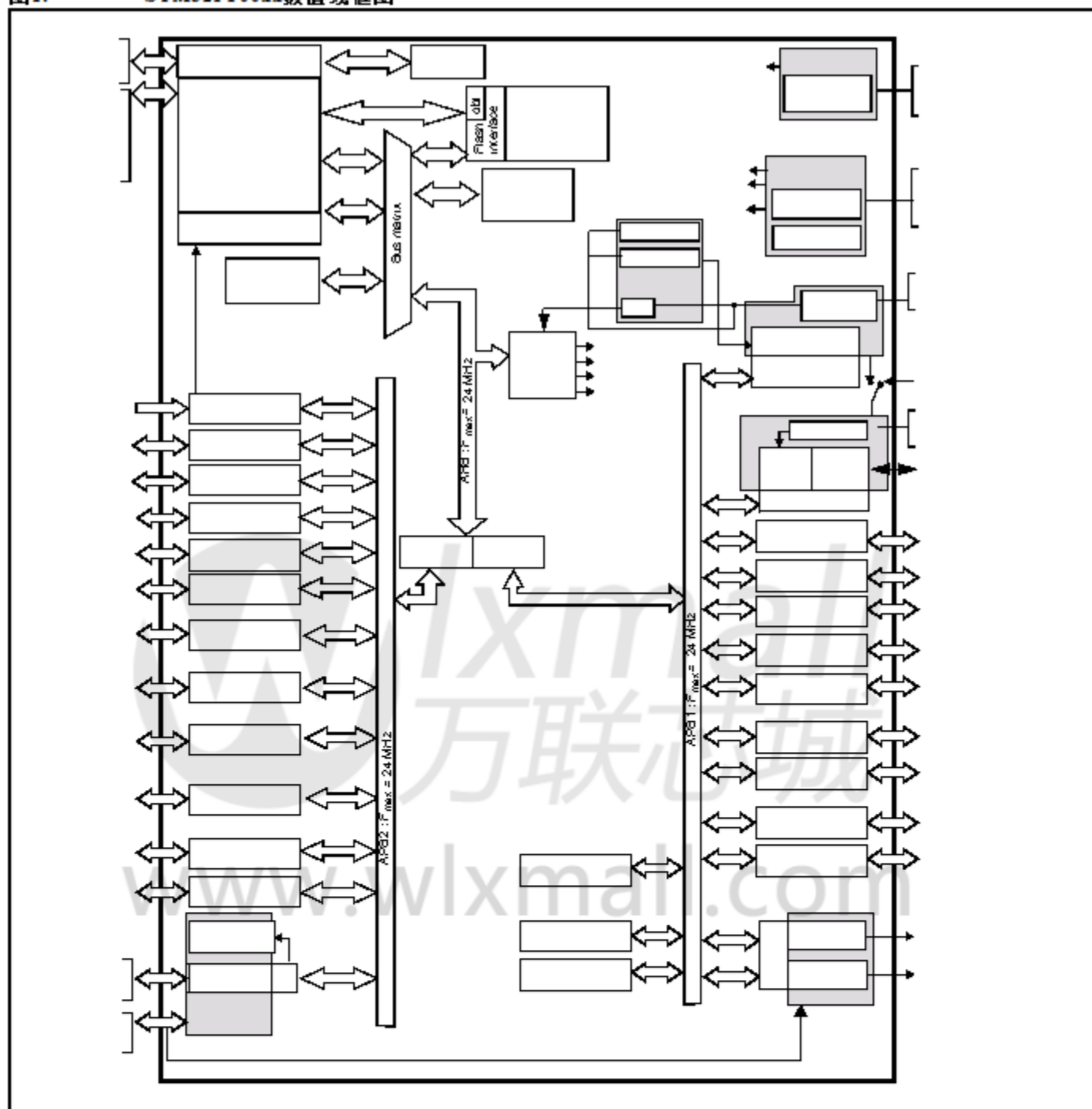
2.1 设备概述

表2 STM32F100xx功能和外设设计数

外围设备		STM32F100Cx				STM32F100Rx				STM32F100Vx	
闪存 - 千字节		16	32	64	128	16	32	64	128	64	128
SRAM - 千字节		4	488			448			8	8	8
计时器	先进的控制	11				11				1	
	一般用途	5 (1)		65 (1)				66			
通讯接口	SPI	1 (2)		21 (2)				22			
	I2C	1 (3)		21 (3)				22			
	USART	2 (4)		32 (4)				33			
	CEC	1									
12位同步ADC通道数		1 10个通道				1 16个通道				1 16个通道	
个GPIO		37				51				80	
12位DAC通道数		2 2									
CPU频率		24兆赫									
工作电压		2.0至3.6 V									
工作温度		环境工作温度: -40至+85°C / -40至+105°C (见表8) 结温: -40至+125°C (见表8)									
包		LQFP48				LQFP64, TFBGA64				LQFP100	

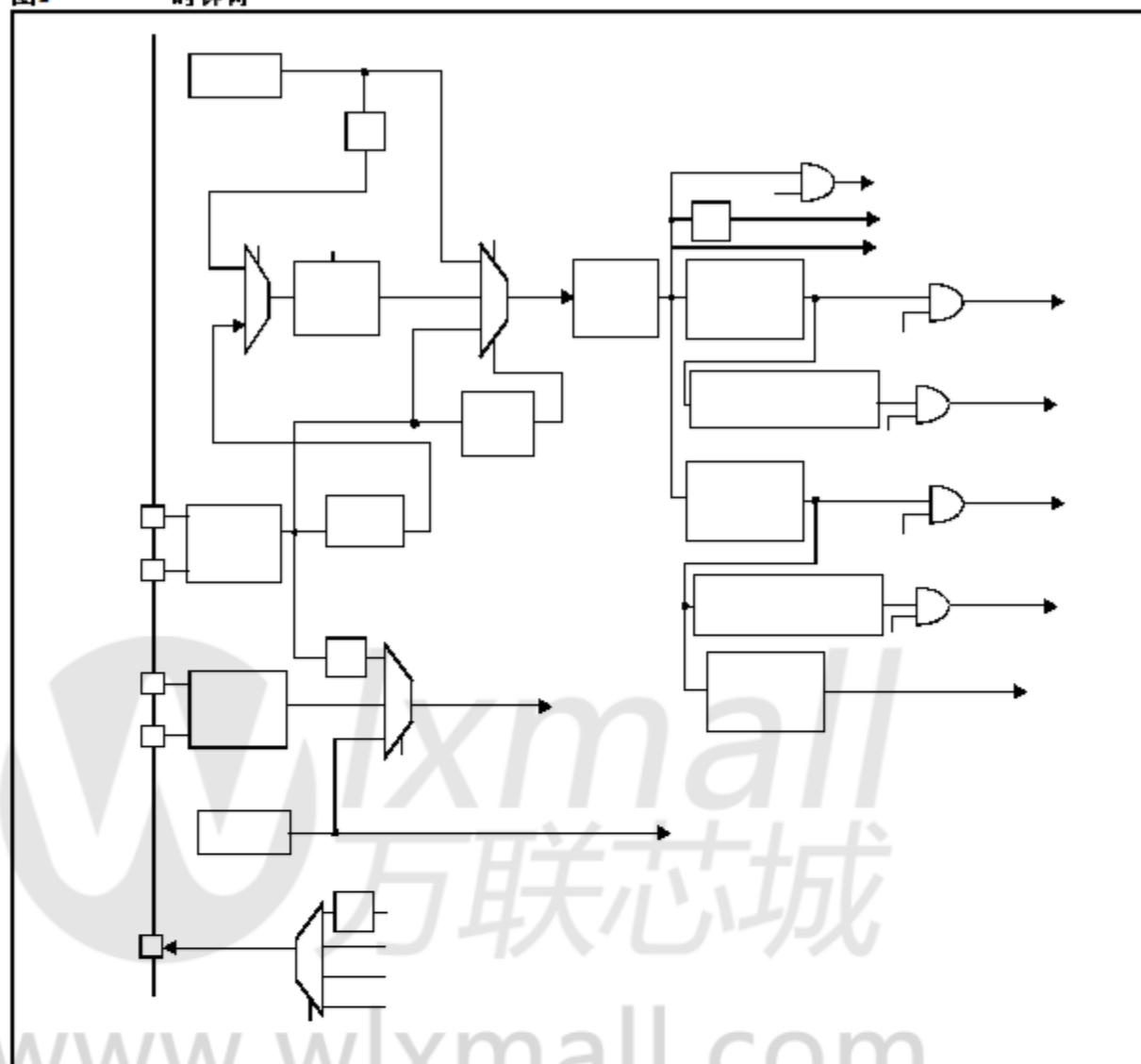
1. TIM4不存在。
2. SPI2不存在。
3. I2C2不存在。
4. USART3不存在。

图1. STM32F100xx数值线框图



1. 低密度值线设备中不存在的外围设备。
2. AF = I / O端口引脚上的复用功能。
3. T A = -40°C至+ 85°C (结温高达105°C) 或T A = -40°C至+105°C (结温高达125°C) 。

图2 时钟树



4. 要使ADC转换时间为 $1.2\mu\text{s}$, APB2必须为24 MHz.

2.2 概观

2.2.1 带有嵌入式闪存和SRAM的ARM®Cortex™-M3内核

ARM Cortex™-M3处理器是最新一代嵌入式ARM处理器系统.它已经被开发提供一个低成本的平台,以满足MCU的需求实现,在减少引脚数量和低功耗的同时提供突出的计算性能和高级系统响应中断.

ARM Cortex™-M3 32位RISC处理器具有出色的代码效率,通常在内存大小上提供ARM内核期望的高性能与8位和16位设备相关联.

因此,嵌入式ARM内核的STM32F100xx数值线系列兼容所有的ARM工具和软件.

2.3 嵌入式闪存

最多128 KB的嵌入式Flash存储器可用于存储程序和数据.

2.4 CRC (循环冗余校验) 计算单元

CRC (循环冗余校验) 计算单元用于从32位获取CRC码数据字和固定生成多项式.

在其他应用中,基于CRC的技术被用于验证数据传输存储完整性.在EN / IEC 60335-1标准的范围内,它们提供了一种手段验证闪存的完整性. CRC计算单元帮助计算签名运行时的软件,与链接生成的参考签名进行比较,时间并存储在给定的存储位置.

2.5 嵌入式SRAM

以CPU时钟速度访问(读/写)高达8 KB的嵌入式SRAM,等待时间为0状态.

2.6 嵌套向量中断控制器 (NVIC)

STM32F100xx数值线嵌入了一个能够处理的嵌套向量中断控制器。多达41个可屏蔽中断通道（不包括Cortex™-M3的16个中断线）和16个优先级。

- 紧密耦合的NVIC提供低延迟中断处理
- 中断入口向量地址直接传递给核心
- 紧密耦合的NVIC核心接口
- 允许提前处理中断
- 处理迟到的高优先级中断
- 支持尾链
- 处理器状态自动保存
- 中断退出时中断条目在没有指令开销的情况下恢复

该硬件模块提供灵活的中断管理功能，并具有最少的中断潜伏。

2.7 外部中断/事件控制器 (EXTI)

外部中断/事件控制器由18个边沿检测器线组成，用于产生中断/事件请求。每条线都可以独立配置来选择触发器事件（上升沿，下降沿，两者），可以独立屏蔽待处理的寄存器保持中断请求的状态。EXTI可以检测一个外部线路脉冲宽度短于内部APB2时钟周期。最多可以连接80个GPIO到16个外部中断线。

2.8 时钟和启动

系统时钟选择在启动时执行，但内部RC 8 MHz振荡器是选择为复位时的默认CPU时钟。可以选择外部4-24 MHz时钟。哪种情况下监控失败。如果检测到故障，则系统自动切换回到内部RC振荡器。如果启用，则会生成软件中断。同样，充满必要时可以使用PLL时钟输入的中断管理（例如间接使用的外部晶体，谐振器或振荡器的故障）。

几个预分频器允许配置AHB频率，高速APB（APB2）和低速APB（APB1）域。AHB的最大频率和APB域是24兆赫。

2.9 启动模式

在启动时，引导引脚用于选择三个引导选项之一：

- 从用户Flash启动
- 从系统内存启动
- 从嵌入式SRAM启动

引导加载程序位于系统内存中。它用于通过重新编程Flash存储器使用USART1。详情请参阅AN2606。

2.10 供电方案

- **VDD = 2.0至3.6 V:** 用于I/O和内部稳压器的外部电源. 通过VDD引脚从外部提供.
- **VSSA, VDDA = 2.0至3.6 V:** 用于ADC, 复位模块, RC的外部模拟电源和PLL (使用ADC时, 施加到VDDA的最小电压为2.4 V). VDDA和VSSA必须分别连接到VDD和VSS.
- **VBAT = 1.8至3.6 V:** RTC电源, 外部时钟32 kHz振荡器和备份. 当VDD不存在时注册 (通过电源开关).

2.11 电源管理员

该器件具有集成的上电复位 (POR) /掉电复位 (PDR) 电路.它是始终处于活动状态,并确保从2 V开始正常工作.设备保持不变.在复位模式下,当VDD低于指定阈值时,V_{POR}/PDR,不需要一个外部复位电路.

该器件具有嵌入式可编程电压检测器 (PVD),可监测VDD/VDDA电源,并将其与V_{PVD}阈值进行比较.中断可以当VDD/VDDA下降到V_{PVD}阈值以下和/或VDD/VDDA更高时产生比V_{PVD}阈值.中断服务程序可以生成警告消息和/或将MCU置于安全状态. PVD是由软件启用的.

2.12 电压调节器

调节器有三种操作模式:主 (MR),低功率 (LPR)和断电.

- MR用于标称调节模式 (运行)
- LPR用于停止模式
- 掉电用于待机模式:稳压器输出高阻抗:内核电路关闭,导致零消耗 (但内容寄存器和SRAM丢失)

该调节器在复位后始终使能.它在待机模式下被禁用,提供高阻抗输出.

2.13 低功耗模式

STM32F100xx数值线支持三种低功耗模式,以达到最佳效果.低功耗,短启动时间和可用唤醒之间的妥协来源:

- **睡眠模式**
在睡眠模式下,只有CPU停止.所有的外围设备继续运行,可以当中断/事件发生时唤醒CPU.
- **停止模式**
停止模式在保持内容的同时达到最低的功耗.SRAM和寄存器.1.8V域中的所有时钟都停止工作,PLL,HSI,RC,HSE晶体振荡器被禁用.电压调节器也可以放.无论是正常模式还是低功耗模式.

该设备可以通过任何EXTI线从停止模式中唤醒。EXTI线源可以是16个外部线之一，PVD输出或RTC报警。

- 待机模式

待机模式用于实现最低的功耗。内置的电压调节器关闭，以便整个1.8 V电源关闭。该PLL，HSI RC和HSE晶体振荡器也被关闭。进入后备用模式下，除备份中的寄存器外，SRAM和寄存器内容都将丢失域和备用电路。

当外部复位（NRST引脚），IWDG复位，a.时，器件退出待机模式WKUP引脚的上升沿，或发生RTC报警。

注意： RTC，IWDG和相应的时钟源不会通过进入停止来停止或待机模式。

2.14 DMA

灵活的7通道通用DMA能够管理内存到内存，外设到内存和内存到外设的传输。DMA控制器支持循环缓冲区管理，避免了控制器产生中断到达缓冲区的末端。

每个通道都连接到专用硬件DMA请求，并支持软件触发每个通道。配置是由软件和传输大小之间来源和目的地是独立的。

DMA可以与主要外设一起使用：SPI，DAC，I2C，USART，所有定时器和ADC。

2.15 RTC（实时时钟）和备份寄存器

RTC和备份寄存器通过一个接通电源的开关提供VDD电源时，或通过VBAT引脚。备份寄存器是十个16位。当VDD电源不存在时，寄存器用于存储20个字节的用户应用程序数据。

实时时钟提供了一套可以连续运行的计数器。合适的软件提供一个时钟日历功能，并提供一个闹钟中断和一个周期性中断。它是由一个32.768 kHz的外部晶体，谐振器或振荡器，时钟内部低功耗RC振荡器或高速外部时钟128分频。内部低功耗RC的典型频率为40 kHz。RTC可以使用校准外部512赫兹输出，以补偿任何自然晶体偏差。RTC具有一个32位可编程计数器，用于比较长期测量注册以生成警报。一个20位的预分频器用于时基时钟，并通过默认配置为从32.768 kHz的时钟产生1秒的时基。

2.16 定时器和看门狗

STM32F100xx器件包括一个高级控制定时器，六个通用定时器，两个基本定时器和两个看门狗定时器。

表3比较了高级控制，通用和基本定时器的功能。

表3. 定时器功能比较

计时器	计数器 解析度	计数器 类型	预分频器 因子	DMA请求 代	捕获/比较 渠道	补充 输出
TIM1	16位	向上， 下， 向上/向下	任何整数 在1之间 和65536	是	4	是
TIM2， TIM3， TIM4	16位	向上， 下， 向上/向下	任何整数 在1之间 和65536	是	4	没有
TIM15	16位	向上	任何整数 在1之间 和65536	是	2	是
TIM16， TIM17	16位	向上	任何整数 在1之间 和65536	是	1	是
TIM6， TIM7	16位	向上	任何整数 在1之间 和65536	是	0	没有

2.16.1 高级控制计时器（TIM1）

高级控制定时器（TIM1）可以看作是在6上复用的三相PWM通道.它具有可编程插入死区时间的互补PWM输出.它也可以看作是一个完整的通用计时器. 4个独立的频道可以用于：

- 输入捕捉
- 输出比较
- PWM生成（边缘或中心对齐模式）
- 单脉冲模式输出

如果配置为标准的16位定时器，则具有与TIMx定时器相同的功能.如果配置为16位PWM发生器，具有全调制能力（0-100％）.

计数器可以在调试模式下冻结.

许多功能与具有相同标准TIM计时器的功能共享
建筑.高级控制定时器因此可以与TIM定时器一起工作
定时器链接功能用于同步或事件链接.

2.16.2 通用定时器（TIM2，TIM3，TIM4，TIM15，TIM16和TIM17）

在STM32F100xx中嵌入了六个可同步的通用定时器
设备（差异见表3）.每个通用定时器都可以用来生成
PWM输出或简单的时基.

TIM2，TIM3，TIM4

STM32F100xx器件具有三个可同步的4通道通用定时器.
这些定时器基于一个16位自动重装上/下计数器和一个16位预分频器.
它们具有4个独立的通道，每个通道用于输入捕捉/输出比较，



脉冲模式输出.这最多可以输出12个输入捕捉/输出比较/ PWM最大的包裹.

TIM2, TIM3, TIM4通用定时器可以与TIM1一起工作高级控制定时器通过Timer Link功能进行同步或事件链接.

TIM2, TIM3, TIM4都有独立的DMA请求生成.

这些定时器能够处理正交(增量)编码器信号,数字输出1到3个霍尔效应传感器.

他们的计数器可以在调试模式下被冻结.

TIM15, TIM16和TIM17

这些定时器基于一个16位自动重装上计数器和一个16位预分频器.

TIM15具有两个独立通道,而TIM16和TIM17具有一个通道输入捕捉/输出比较通道, PWM或单脉冲模式输出.

TIM15, TIM16和TIM17定时器可以一起使用,而TIM15也可以使用TIM1通过Timer Link功能进行同步或事件链接.

TIM15可以与TIM16和TIM17同步.

TIM15, TIM16和TIM17具有死区时间发生的互补输出独立的DMA请求生成

他们的计数器可以在调试模式下被冻结.

2.16.3 基本计时器TIM6和TIM7

这些定时器主要用于DAC触发器的生成.他们也可以用作一个通用的16位时基.

2.16.4 独立监督

独立的看门狗是基于一个12位下降计数器和8位预分频器.它是由一个独立的40 kHz内部RC控制,并且独立运行主时钟,它可以在停止和待机模式下运行.它可以作为看门狗来使用出现问题时重置设备,或作为应用程序超时的自由运行计时器管理.通过选项字节可以配置硬件或软件.柜台可以在调试模式下被冻结.

2.16.5 窗口看门狗

窗口看门狗是基于一个可以设置为自由运行的7位向下计数器.它可以用作看门狗在发生时重置设备.它是从钟表钟表主时钟.它具有预警中断能力,可以冻结计数器调试模式.

2.16.6 SysTick定时器

这个计时器专用于操作系统，但也可以用作标准的计数器。它特征：

- 一个24位的倒计时器
- 自动重新加载功能
- 当计数器达到0时，产生可屏蔽的系统中断。
- 可编程时钟源

2.17 I2C 总线

I2C总线接口可以在多主机和从机模式下运行。它可以支持标准和快速模式。

它支持双从寻址（仅7位）和主模式下的7/10位寻址。

嵌入了硬件CRC生成/验证。

该接口可以通过DMA服务，并支持SM总线2.0 / PM总线。

2.18 通用同步/异步收发器 (USART)

STM32F100xx数值线嵌入三个通用同步/异步接收器发射机 (USART1, USART2和USART3)。

可用的USART接口通信速率高达3 Mbit / s。他们提供硬件管理CTS和RTS信号，它们支持IrDA SIR ENDEC，多处理器通信模式，单线半双工通信模式等具有LIN主/从功能。

USART接口可以由DMA控制器提供服务。

2.19 串行外设接口 (SPI)

最多两个SPI能够在全局模式下在从属模式和主模式下以12 Mbit / 双工和单工通信模式。3位预分频器提供8个主模式频率和帧可配置为8位或16位。

两个SPI都可以由DMA控制器提供服务。

2.20 HDMI（高清晰度多媒体接口）消费者电子控制 (CEC)

STM32F100xx数值线嵌入一个提供硬件的HDMI-CEC控制器支持消费电子控制 (CEC) (HDMI附录1) 标准)。

该协议提供了所有视听产品之间的高级控制功能环境。它被规定在低速运行，最小的处理和内存高架。

2.21 GPIO（通用输入/输出）

每个GPIO引脚都可以通过软件配置为输出（推挽或漏极开路）输入（带或不带上拉或下拉）或外设备用功能。大部分的GPIO引脚与数字或模拟替代功能共享。所有的GPIO都是高电流 - 除了模拟输入之外。

I/O备用功能配置可以根据需要锁定以避免寄生写入I/O寄存器。

2.22 重映射功能

此功能允许在给定的应用程序中使用最大数量的外设。事实上，备用功能不仅可用于默认引脚，还可用于其他功能。它们可重映射的特定引脚。这有制作板子的好处。设计和端口使用更加灵活。

详情请参考表4：STM32F100xx引脚定义；它显示可重映射的列表。备用功能和可重新映射的引脚。见STM32F10xxx软件考虑的参考手册。

2.23 ADC（模数转换器）

12位模数转换器具有多达16个外部通道并执行单次或扫描模式下的转换。在扫描模式下，执行自动转换在选定的一组模拟输入上。

ADC可以由DMA控制器提供服务。

模拟看门狗功能可以非常精确地监视一个转换后的电压，部分或全部选定的频道。转换后的电压产生中断超出编程的阈值。

2.24 DAC（数字 - 模拟转换器）

两个12位缓冲DAC通道可用于将两个数字信号转换为两个模拟电压信号输出。所选的设计结构是由集成的电阻串和放大器的同相配置。

这个双数字接口支持以下功能：

- 两个DAC转换器：每个输出通道一个
- 高达10位输出
- 左对齐或右对齐12位模式
- 同步更新功能
- 噪音波的产生
- 三角波的一代
- 双DAC通道独立或同时转换
- 每个通道的DMA能力
- 外部触发器进行转换
- 输入电压参考V_{REF+}

在STM32F100xx中使用8个DAC触发输入。DAC通道被触发通过也连接到不同DMA通道的定时器更新输出。

2.25 温度感应器

温度传感器必须产生一个随温度线性变化的电压。该转换范围在 $2\text{ V} < V_{DDA} < 3.6\text{ V}$ 之间。温度传感器在内部连接到用于转换传感器输出的ADC1_IN16输入通道电压转换成数字值。

2.26 串行线JTAG调试端口（SWJ-DP）

ARM SWJ-DP接口是嵌入式的，是一个组合的JTAG和串行线调试端口，使串行线调试或JTAG探针连接到目标。

JTAG TMS和TCK引脚分别与SWDIO和SWCLK以及a TMS引脚上的特定序列用于在JTAG-DP和SW-DP之间切换。



3 引脚和引脚说明

图3. STM32F100xx数值线LQFP100引脚

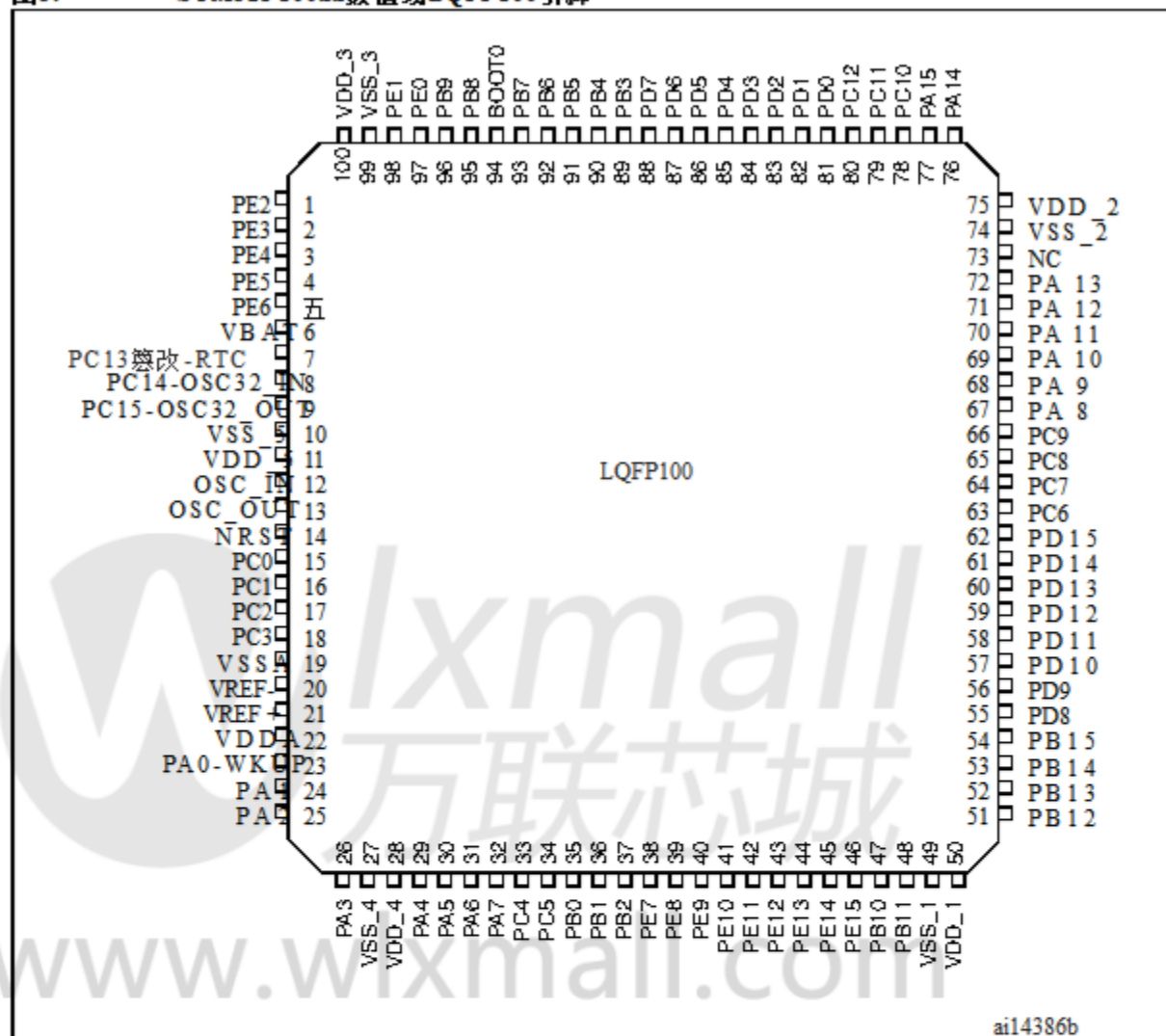


图4. STM32F100xx数值线LQFP64引脚

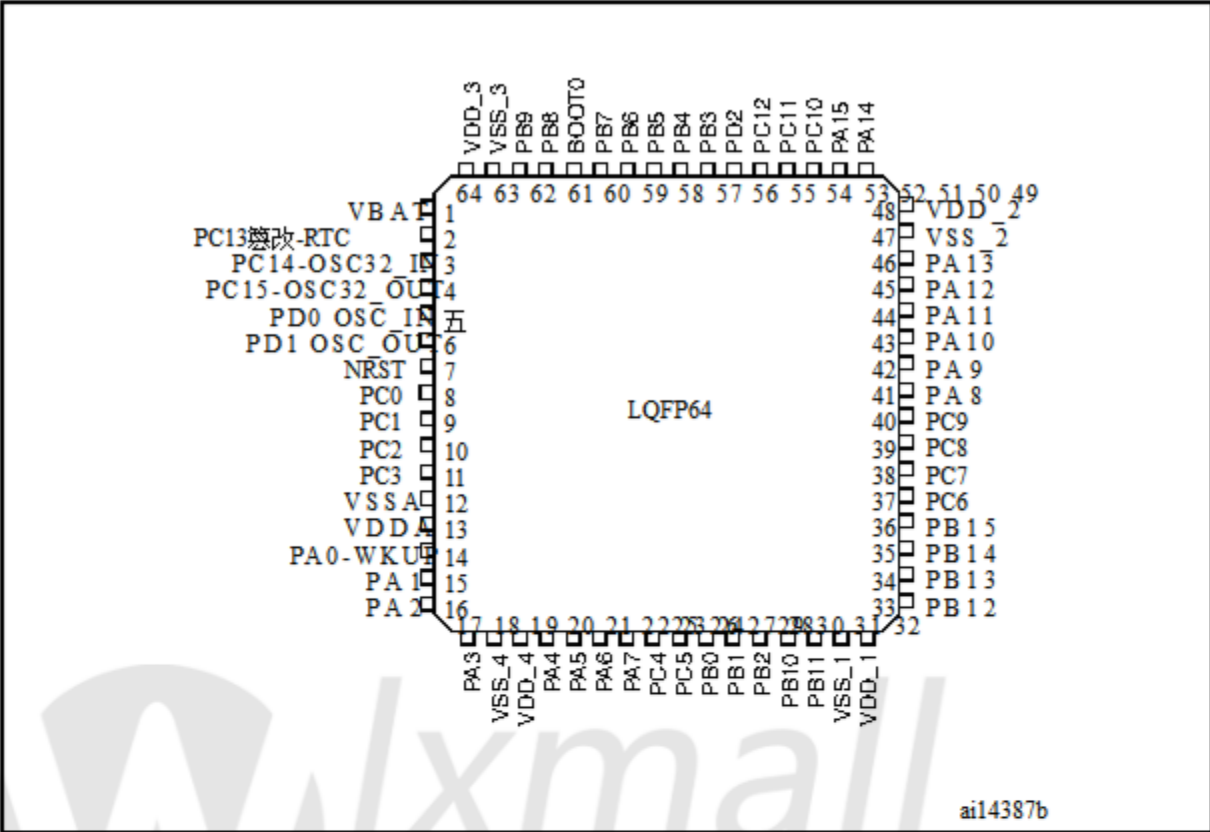


图5. STM32F100xx数值线LQFP48引脚

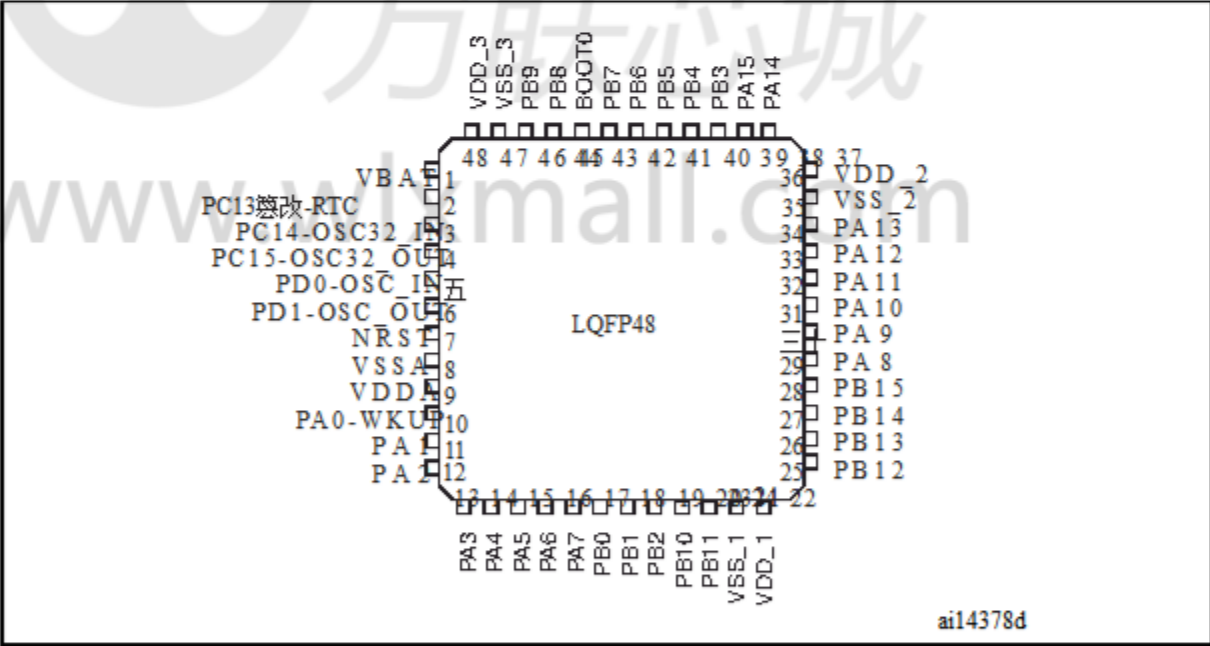
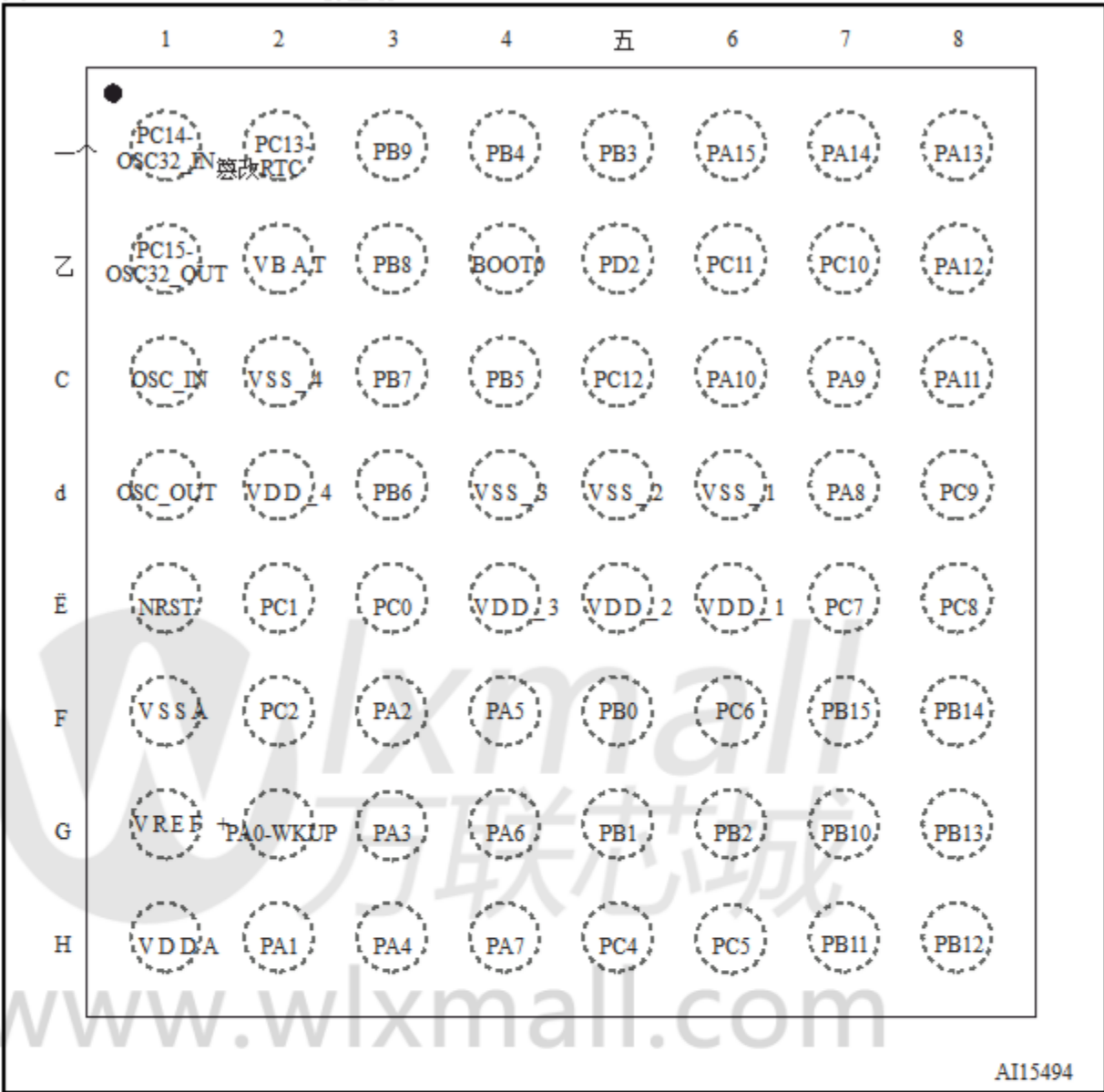


图6. STM32F100xx价值线 TFBGA64 ballout



AI15494

表4 STM32F100xx引脚定义

销				别名	Type ⁽¹⁾	I/O level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (3) (4)	
LQFP100	LQFP64	TFBGA64	LQFP48					默认	重映射
1	-	-	-	PE2	I / O FT		PE2	TRACECLK	
2	-	-	-	PE3	I / O FT		PE3	TRACED0	
3	-	-	-	PE4	I / O FT		PE4	TRACED1	
4	-	-	-	PE5	I / O FT		PE5	TRACED2	
五	-	-	-	PE6	I / O FT		PE6	TRACED3	
61		B2	1	V BAT	S	V BAT			
72		A2	2	PC13-篡改 RTC (5)	I / O		PC13 (6)	篡改 RTC	



表4 STM32F100xx引脚定义 (续)

销				别名	Type ⁽¹⁾ I/O level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (3) (4)	
LQFP100	LQFP64	TFBGA64	LQFP48				默认	重映射
83		A1	3	PC14- OSC32_IN (5)	I / O	PC14 (6)	OSC32_IN	
94		B1	4	PC15- OSC32_OUT (5)	I / O	PC15 (6)	OSC32_OUT	
10	---			V SS_5	S V SS_5			
11	---			V DD_5	S V DD_5			
12	五	C1	五	OSC_IN	—世	OSC_IN		
13	6	D1	6	OSC_OUT	Ø	OSC_OUT		
14	7	E1	7	NRST	I / O	NRST		
15	8	E3	-	PC0	I / O	PC0	ADC1_IN10	
16	9	E2	-	PC1	I / O	PC1	ADC1_IN11	
17	10	F2	-	PC2	I/O	PC2	ADC1_IN12	
18	11	(7)	-	PC3	I/O	PC3	ADC1_IN13	
19	12	F1	8	V SSA	S V SSA			
20	---			V REF-	S V REF-			
21	-	G1	-	V REF+	S V REF+			
22	H1		9	V DDA	S V DDA			
23	14	G2	10	PA0-WKUP	I / O	PA0	WKUP / USART2_CTS (12) / ADC1_IN0 / TIM2_CH1_ETR (12)	
24	15	H2	11	PA1	I / O	PA1	USART2_RTS (12) / ADC1_IN1 / TIM2_CH2 (12)	
25	16	F3	12	PA2	I / O	PA2	USART2_TX (12) / ADC1_IN2 / TIM2_CH3 (12) / TIM15_CH1 (12)	
26	17	G3	13	PA3	I / O	PA3	USART2_RX (12) / ADC1_IN3 / TIM2_CH4 (12) / TIM15_CH2 (12)	
27	18	C2	-	V SS_4	S V SS_4			
28	19	D2	-	V DD_4	S V DD_4			
29	20	H3	14	PA4	I / O	PA4	SPI1_NSS (12) / ADC1_IN4 USART2_CK (12) / DAC1_OUT	
三十	21	F4	15	PA5	I / O	PA5	SPI1_SCK (12) / ADC1_IN5 / DAC2_OUT	
31	22	G4	16	PA6	I / O	PA6	SPI1_MISO (12) / ADC1_IN6 / TIM1_BKIN / TIM3_CH1 (12)	TIM16_CH1
32	23	H4	17	PA7	I / O	PA7	SPI1_MOSI (12) / ADC1_IN7 / TIM1_CH1N / TIM3_CH2 (12)	TIM17_CH1
33	24	H5	-	PC4	I/O	PC4	ADC1_IN14	

表4 STM32F100xx引脚定义 (续)

销				别名	Type ⁽¹⁾ I/O level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (3) (4)	
LQFP100	LQFP64	TFBGA64	LQFP48				默认	重映射
34	25	H6	-	PC5	I/O	PC5	ADC1_IN15	
35	26	F5	18	PB0	I/O	PB0	ADC1_IN8 / TIM3_CH3 (12)	TIM1_CH2N
36	27	G5	19	PB1	I/O	PB1	ADC1_IN9 / TIM3_CH4 (12)	TIM1_CH3N
37	28	G6	20	PB2	I/O FT	PB2 / BOOT1		
38	-	-	-	PE7	I/O FT	PE7		TIM1_ETR
39	-	-	-	PE8	I/O FT	PE8		TIM1_CH1N
40	-	-	-	PE9	I/O FT	PE9		TIM1_CH1
41	-	-	-	PE10	I/O FT	PE10		TIM1_CH2N
42	-	-	-	PE11	I/O FT	PE11		TIM1_CH2
43	-	-	-	PE12	I/O FT	PE12		TIM1_CH3N
44	-	-	-	PE13	I/O FT	PE13		TIM1_CH3
45	-	-	-	PE14	I/O FT	PE14		TIM1_CH4
46	-	-	-	PE15	I/O FT	PE15		TIM1_BKIN
47	29	G7	21	PB10	I/O FT	PB10	I2C2_SCL (8) / USART3_TX (12)	TIM2_CH3 / CEC
48	30	H7	22	PB11	I/O FT	PB11	I2C2_SDA (8) / USART3_RX (12)	TIM2_CH4
49	31	D6	23	VSS_1	S V SS_1			
50	32	E6	24	VDD_1	S V DD_1			
51	33	H8	25	PB12	I/O FT	PB12	SPI2_NSS (9) / I2C2_SMBA (8) / TIM1_BKIN (12) / USART3_CK (12)	
52	34	G8	26	PB13	I/O FT	PB13	SPI2_SCK (9) / TIM1_CH1N (12) / USART3_CTS (12)	
53	35	F8	27	PB14	I/O FT	PB14	SPI2_MISO (9) / TIM1_CH2N (12) / USART3_RTS (12)	TIM15_CH1
54	36	F7	28	PB15	I/O FT	PB15	SPI2_MOSI (9) / TIM1_CH3N (12) / TIM15_CH1N (12)	TIM15_CH2
55	-	-	-	PD8	I/O FT	PD8		USART3_TX
56	-	-	-	PD9	I/O FT	PD9		USART3_RX
57	-	-	-	PD10	I/O FT	PD10		USART3_CK
58	-	-	-	PD11	I/O FT	PD11		USART3_CTS
59	---			PD12	I/O FT	PD12		TIM4_CH1 (10) / USART3_RTS
60	-	-	-	PD13	I/O FT	PD13		TIM4_CH2 (10)
61	-	-	-	PD14	I/O FT	PD14		TIM4_CH3 (10)

表4 STM32F100xx引脚定义 (续)

销				别名	Type ⁽¹⁾	I/O level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (3) (4)	
LQFP100	LQFP64	TFBGA64	LQFP48					默认	重映射
62	-	-	-	PD15	I / O FT		PD15		TIM4_CH4 (10)
63	37	F6	-	PC6	I / O FT		PC6		TIM3_CH1
64	38	E7		PC7	I / O FT		PC7		TIM3_CH2
65	39	E8		PC8	I / O FT		PC8		TIM3_CH3
66	40	D8	-	PC9	I / O FT		PC9		TIM3_CH4
67	41	D7	29	PA8	I / O FT		PA8	USART1_CK / MCO / TIM1_CH1	
68	42	C7	三十	PA9	I / O FT		PA9	USART1_TX (12) / TIM1_CH2	TIM15_BKIN
69	43	C6	31	PA10	I / O FT		PA10	USART1_RX (12) / TIM1_CH3	TIM17_BKIN
70	44	C8	32	PA11	I / O FT		PA11	USART1_CTS / TIM1_CH4	
71	45	B8	33	PA12	I / O FT		PA12	USART1_RTS / TIM1_ETR	
72	46	A8	34	PA13	I / O FT		JTMS-SWDIO		PA13
73	-	-	-	未连接					
74	47	D5	35	VSS_2	S V	SS_2			
75	48	E5	36	VDD_2	S V	DD_2			
76	49	A7	37	PA14	I / O FT		JTCK / SWCLK		PA14
77	50	A6	38	PA15	I / O FT		JTDI		TIM2_CH1_ETR / PA15 / SPI1_NSS
78	51	B7	-	PC10	I / O FT		PC10		USART3_TX
79	52	B6	-	PC11	I / O FT		PC11		USART3_RX
80	53	C5	-	PC12	I / O FT		PC12		USART3_CK
81	五	C1	五	PD0	I / O FT		OSC_IN (11)		
82	6	D1	6	PD1	I / O FT		OSC_OUT (11)		
83	54	B5		PD2	I / O FT		PD2	TIM3_ETR	
84	-	-	-	PD3	I / O FT		PD3		USART2_CTS
85	-	-	-	PD4	I / O FT		PD4		USART2_RTS
86	-	-	-	PD5	I / O FT		PD5		USART2_TX
87	-	-	-	PD6	I / O FT		PD6		USART2_RX
88	-	-	-	PD7	I / O FT		PD7		USART2_CK
89	55	A5	39	PB3	I / O FT		JTDO		TIM2_CH2 / PB3 TRACESWO SPI1_SCK

表4 STM32F100xx引脚定义 (续)

销				别名	Type ⁽¹⁾ I/O level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (3) (4)	
LQFP100	LQFP64	TFBGA64	LQFP48				默认	重映射
90	56	A4	40	PB4	I/O FT	NJTRST		PB4 / TIM3_CH1 SPI1_MISO
91	57	C4	41	PB5	I/O	PB5	I2C1_SMBA / TIM16_BKIN	TIM3_CH2 / SPI1_MOSI
92	58	D3	42	PB6	I/O FT	PB6	I2C1_SCL (12) / TIM4_CH1 (10) (12) TIM16_CH1N	USART1_TX
93	59	C3	43	PB7	I/O FT	PB7	I2C1_SDA (12) / TIM17_CH1N TIM4_CH2 (10) (12)	USART1_RX
94	60	B4	44	BOOT0	—世	BOOT0		
95	61	B3	45	PB8	I/O FT	PB8	TIM4_CH3 (10) (12) / TIM16_CH1 (12) / CEC (12)	I2C1_SCL
96	62	A3	46	PB9	I/O FT	PB9	TIM4_CH4 (10) (12) / TIM17_CH1 (12)	I2C1_SDA
97	-	-	-	PE0	I/O FT	PE0	TIM4_ETR (10)	
98	-	-	-	PE1	I/O FT	PE1		
99	63	D4	47	VSS_3	S V	SS_3		
100	64	E4	48	VDD_3	S V	DD_3		

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻抗。

2. FT = 5V 容忍。

3. 功能可用性取决于所选设备。对于外围设备数量减少的设备, 它总是更低。包含的外设数量。例如, 如果一个器件只有一个SPI, 两个USART和两个定时器, 它们将会是分别称为SPI1, USART1和USART2以及TIM2和TIM3。请参阅第11页上的表2。

4. 如果多个外设共享相同的I/O引脚, 为了避免这些复用功能之间的冲突, 只需要一个外设通过外设时钟使能位 (在相应的RCC外设时钟使能寄存器中) 一次使能。

5. PC13, PC14和PC15通过电源开关供电, 由于开关仅吸收有限的电流 (3 mA) 时, 输出模式下GPIO PC13至PC15的使用受到限制: 速度不得超过2 MHz, 最大值负载为30 pF, 这些IO不得用作电流源 (例如驱动LED)。

6. 第一个备份域上电后的主要功能之后, 它甚至取决于备份寄存器的内容。复位后 (因为这些寄存器没有被主复位复位)。有关如何管理这些IO的详细信息, 请参阅STM32F10xxx参考手册中的电池备份域和BKP寄存器说明部分, 可从中获得意法半导体网站: www.st.com

7. 与LQFP64封装不同, TFBGA64封装中没有PC3。VREF+功能被提供。

8. 低密度值线设备上不存在I2C2。

9. 低密度值线设备上不存在SPI2。

10. 低密度值线设备上不存在TIM4。

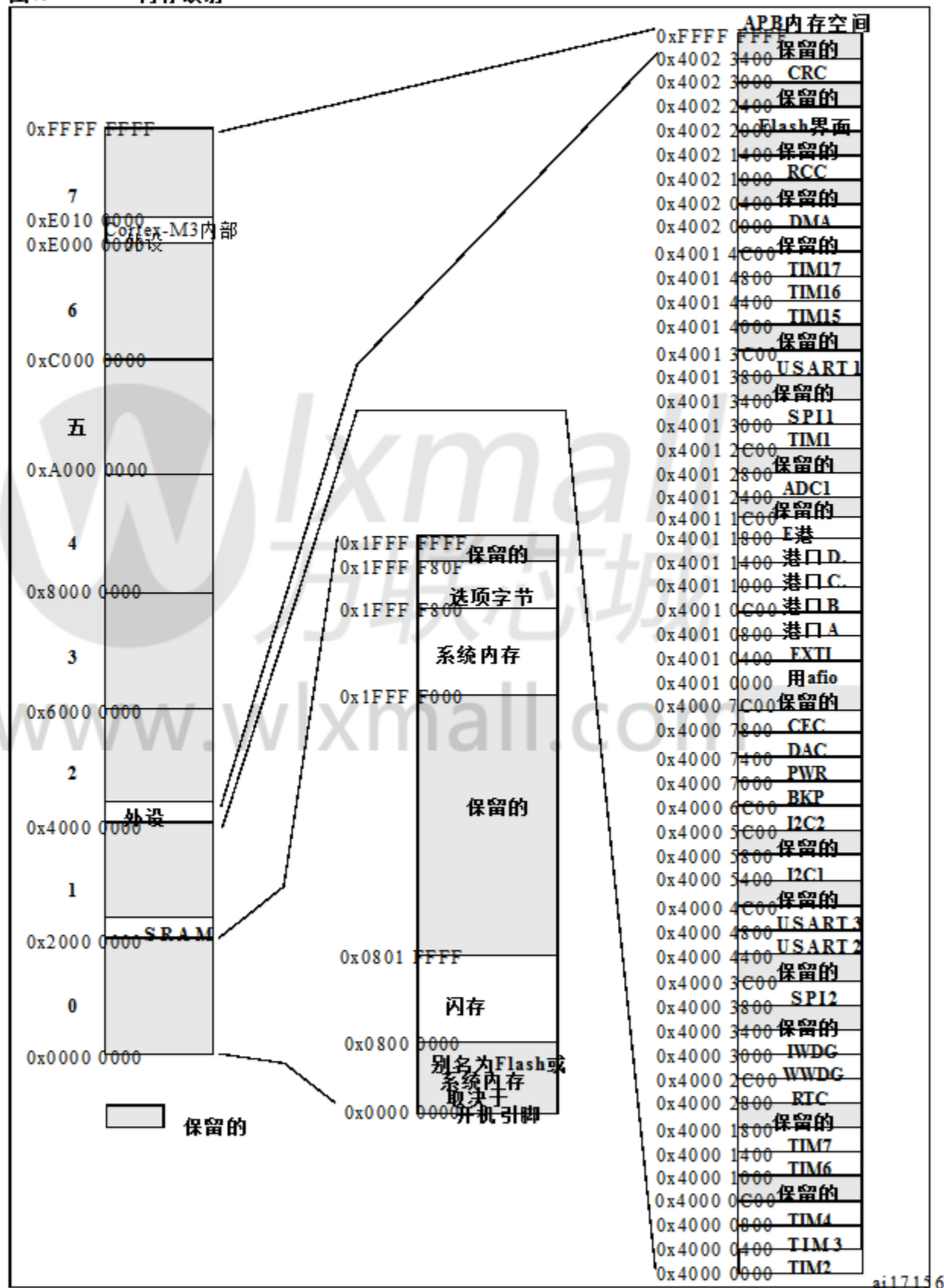
11. VFQFPN36封装中的引脚编号2和3, LQFP48和LQFP64封装中的引脚编号5和6以及TFBGA64封装在复位后配置为OSC IN/OSC OUT, 但是PD0和PD1的功能可以通过这些引脚上的软件重新映射。有关更多详细信息, 请参阅中的备用功能I/O和调试配置部分STM32F10xxx参考手册。

12. 这个备用功能可以通过软件重新映射到一些其他端口引脚 (如果在使用的软件包上可用)。更多详细信息, 请参考STM32F10xxx参考手册中的备用功能I/O和调试配置部分来自意法半导体的网站: www.st.com。

4 内存映射

内存映射如图7所示.

图7. 内存映射



五 电气特性

5.1 参数条件

除非另有说明，否则所有电压均以 V_{SS} 为参考。

5.1.1 最小值和最大值

除非另有规定，最低和最高值保证最差
环境温度条件，供电电压和频率的测试在生产上
100%的环境温度在 $T_A = 25^{\circ}\text{C}$ ， $T_A = T_{A\max}$ （由下式给出）
所选温度范围）。

基于特征结果，设计模拟和/或技术特征的数据
在表格脚注中标明，未在生产中进行测试。基于
表征，最小值和最大值是指样品测试和代表的
平均值加上或减去标准差的三倍（平均值 ± 3 ）。

5.1.2 典型值

除非另有说明，否则典型数据基于 $T_A = 25^{\circ}\text{C}$ ， $V_{DD} = 3.3\text{ V}$ （对于
2V $V_{DD} = 3.6\text{ V}$ 电压范围）。它们只作为设计指导而不是
测试。

典型的ADC准确度值是通过表征一批样品来确定的
在整个温度范围内的标准扩散区，其中95%的装置具有一个
误差小于或等于所示值（平均值 ± 2 ）。

5.1.3 典型的曲线

除非另有规定，否则所有的典型曲线只作为设计指南给出
未经测试。

5.1.4 加载电容器

用于引脚参数测量的负载条件如图8所示。

5.1.5 引脚输入电压

器件引脚的输入电压测量如图9所示。

图8. 引脚加载条件

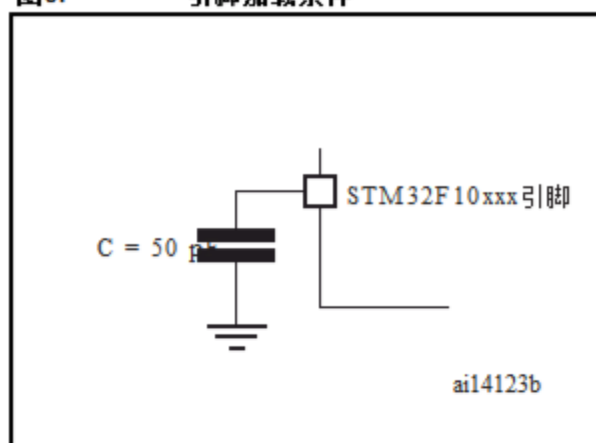
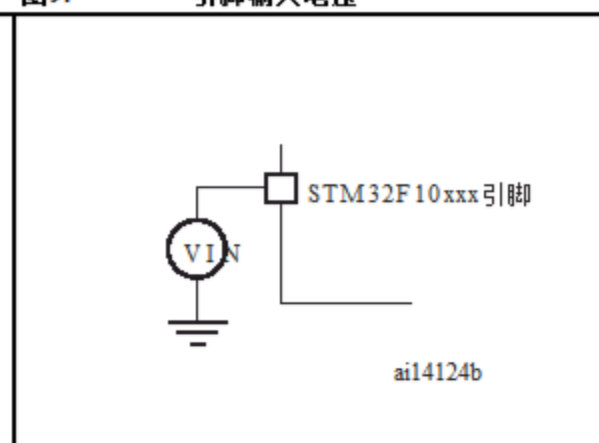
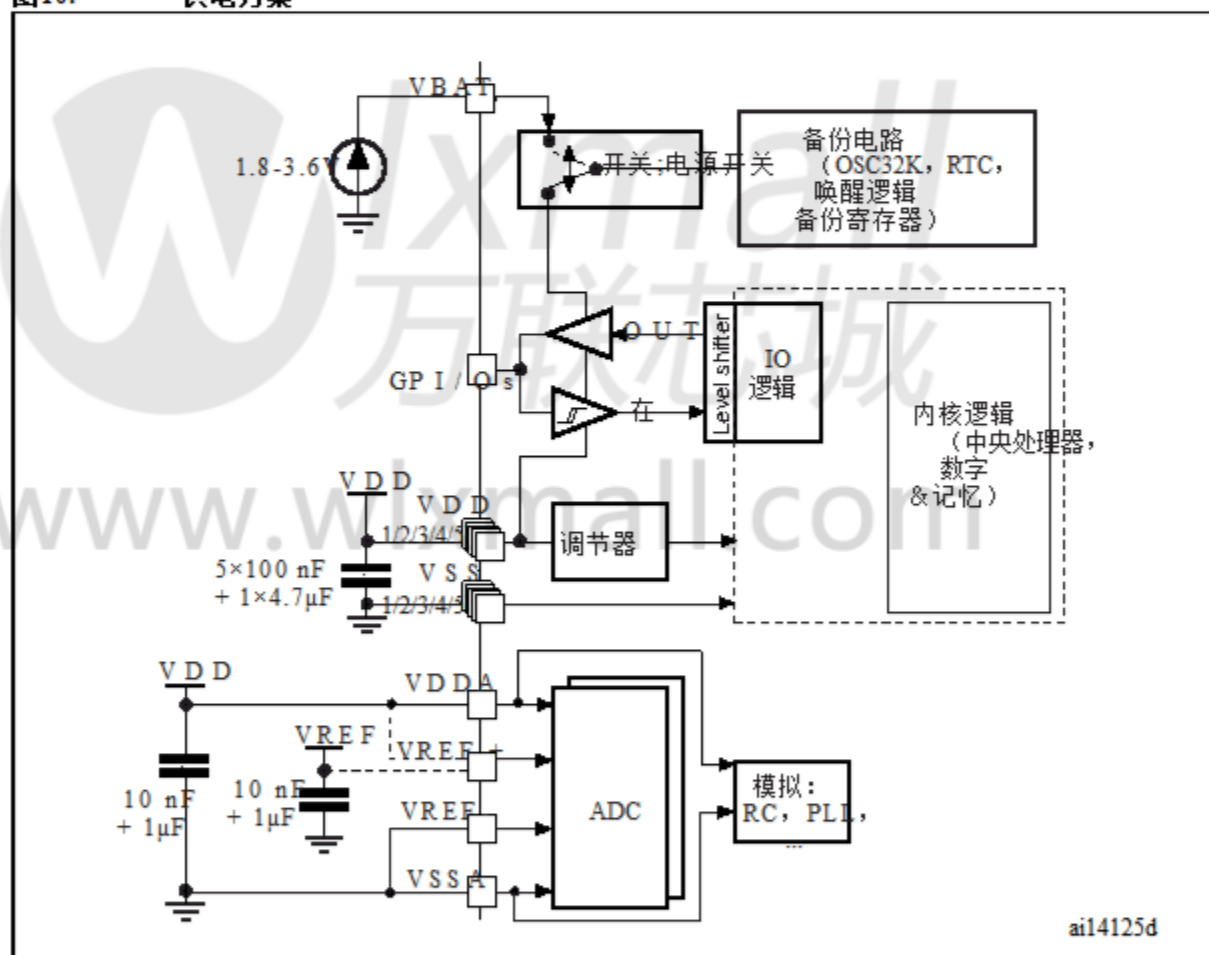


图9. 引脚输入电压



5.1.6 供电方案

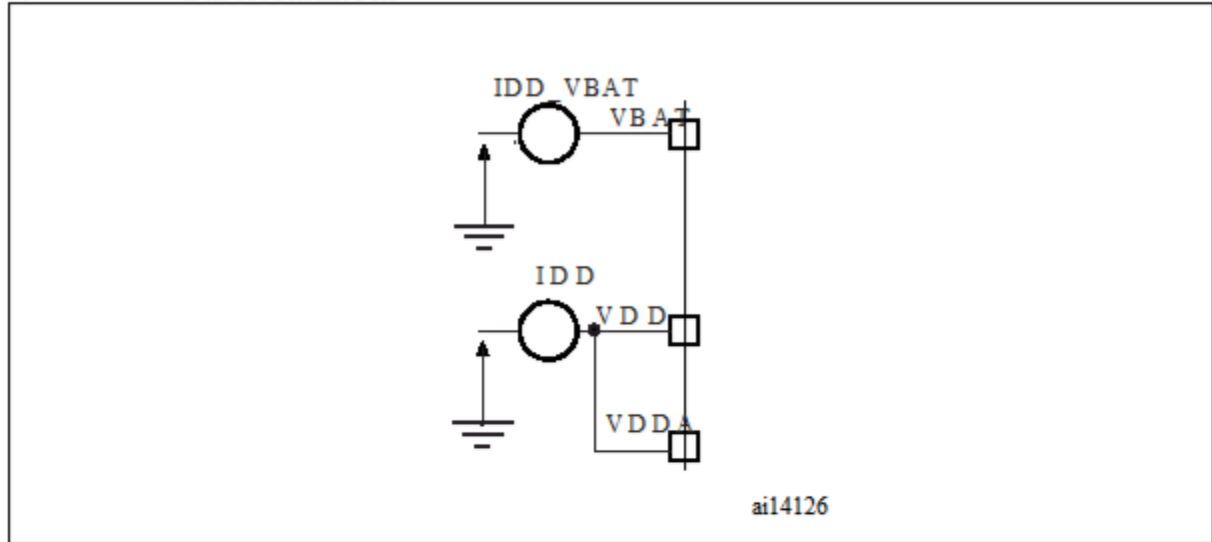
图10. 供电方案



警告： 在图10中，4.7 μF电容必须连接到VDD3。

5.1.7 电流消耗测量

图11. 电流消耗测量方案



5.2 绝对最大额定值

强调超过表5列出的绝对最大额定值：电压特性，表6：电流特性和表7：热特性可能会导致永久性损坏设备。这些只是压力额定值和设备的功能操作。在这些条件下不是暗示的。暴露于最大额定条件下延长周期可能会影响设备可靠性。

表5 电压特性

符号	评级	敏	马克斯	单元
VDDH-VSS	外部主电源电压（包括VDDA和VDD）（1）	-0.3	4	V
VIN	五伏容错引脚上的输入电压（2）	VSS - 0.3	+5.5	
	任何其他引脚上的输入电压（2）	VSS - 0.3	VDD + 0.3	
ΔVDDx	不同的VDD电源引脚之间的差异		50	毫伏
VSSX - VSS	所有不同地面之间的差异销		50	
VESD (HBM)	静电放电电压（人体模型）	请参见第5.3.11节“绝对”最大额定值（电气灵敏度）		

- 所有主电源（VDD，VDDA）和地（VSS，VSSA）引脚必须始终连接到外部电源供应，在允许的范围内。
- 我 永远不要超过（PIN）（见表6：电流特性）。如果是VIN，这是隐含的保险最大值得尊重。如果VIN最大值不能被遵守，注入电流必须被限制外部的IINJ（PIN）值。正向注入由VIN > VINmax引起，而负向注入是由VIN < VSS引起。

表6 目前的特点

符号	评级	最大	单元
我的 VDD	进入 V DD / VDDA 电源线的总电流 (源) (1)	150	嘛
我 VSS	总电流出 V SS 地线 (水槽) (1)	150	
我呢	输出电流由任何 I / O 和控制引脚吸收	25	
	由任何 I / O 和控制引脚输出电流源	±25	
我 INJ (PIN)	在 NRST 引脚上注入电流	±5	
	高速外部 OSC_IN 和 Low- 高速外部 OSC_IN 引脚	±5	
	注入 PA5 和 PA6 引脚的电流 (4)	+5 / -0	
	注入任何其他引脚上的电流 (4)	±5	
⁵¹ I _{INJ} (PIN)	总注入电流 (所有 I / O 和控制引脚的总和) (4)	±25	

1. 所有主电源 (V DD, VDDA) 和地 (V SS, VSSA) 引脚必须始终连接到外部电源供应, 在允许的范围内.
2. 我 永远不要超过 (PIN). 如果 V_{IN} 最大值受到尊重, 则这是隐式保险. 如果 V_{IN} 最大不能被遵守, 注入电流必须被限制在 I_{INJ} (PIN) 值的外部. 积极的注入由 V_{IN} > V_{DD} 引起, 而负向注入由 V_{IN} < V_{SS} 引起.
3. 负向注入会干扰设备的模拟性能. 请参见第 5.3.16 节中的注释: 12 位 ADC 特点.
4. 当几个输入提交给当前注射时, 最大值 ⁵¹I_{INJ} (PIN) 是绝对总和. 正向和负向注入电流 (瞬时值). 这些结果是基于 ⁵¹I_{INJ} (引脚) 在器件的四个 I / O 端口引脚上的最大电流注入.

表7 热特性

符号	评级	值	单元
T STG	存储温度范围	-65到+150	C
T J	最高结温	150	C

5.3 运行条件

5.3.1 一般操作条件

表8 一般操作条件

符号	参数	条件	敏	马克斯	单元
f HCLK	内部AHB时钟频率		0	24	兆赫
f PCLK1	内部APB1时钟频率		0	24	
f PCLK2	内部APB2时钟频率		0	24	
V DD	标准工作电压		2	3.6	V
V DDA ⁽¹⁾	模拟工作电压 (ADC未使用)	必须是相同的潜力 作为V DD	2.3	6	V
	模拟工作电压 (ADC使用)		2.4	3.6	



表8 一般运行条件（续）

符号	参数	条件	敏	马克斯	单元
V BAT	备份工作电压		1.8	3.6	V
P _d	T A =时的功耗 85°C为后繼6或T A = 后繼7（2）为105°C	LQFP100		434	毫瓦
		LQFP64		444	
		TFBGA64		308	
		LQFP48		363	
T A	环境温度为6 后繼版本	最大功耗	-40	85	C
		低功耗（3）	-40	105	
	环境温度为7 后繼版本	最大功耗	-40	105	C
		低功耗（3）	-40	125	
T J	结温范围	6后繼版本	-40	105	C
		7后繼版本	-40	125	

1. 使用ADC时，请参考表41：ADC特性。
2. 如果T A 较低，只要T J 不超过T J max，则允许 较高的PD 值（见表6.2：热特性在第79页）。
3. 在低功耗状态下，只要T J 不超过T J max，T A 就可以扩展到这个范围（见表6.2：第79页的热特性）。

5.3.2 上电/掉电时的操作条件

根据T A 的一般操作条件。

表9 上电/掉电时的操作条件

符号	参数	敏	马克斯	单元
t VDD	V DD 上升时间率	0		微秒/ V
	V DD 下降时间率	20		

5.3.3 嵌入式复位和功率控制模块特性

表10中给出的参数来源于在环境下进行的测试
温度和V DD 电源电压条件总结在表8中。

表10 嵌入式复位和功率控制模块特性

符号	参数	条件	敏	典型	马克	单元
V PVD	可编程电压 探测器级选择	PLS [2: 0] = 000 (上升沿)	2.1	2.18	2.26	V
		PLS [2: 0] = 000 (下降沿)	2	2.08	2.16	V
		PLS [2: 0] = 001 (上升沿)	2.19	2.28	2.37	V
		PLS [2: 0] = 001 (下降沿)	2.09	2.18	2.27	V
		PLS [2: 0] = 010 (上升沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 010 (下降沿)	2.18	2.28	2.38	V
		PLS [2: 0] = 011 (上升沿)	2.38	2.48	2.58	V
		PLS [2: 0] = 011 (下降沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 100 (上升沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 100 (下降沿)	2.37	2.48	2.59	V
		PLS [2: 0] = 101 (上升沿)	2.57	2.68	2.79	V
		PLS [2: 0] = 101 (下降沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 110 (上升沿)	2.66	2.78	2.9	V
		PLS [2: 0] = 110 (下降沿)	2.56	2.68	2.8	V
		PLS [2: 0] = 111 (上升沿)	2.76	2.88	3	V
		PLS [2: 0] = 111 (下降沿)	2.66	2.78	2.9	V
V PVDhys ⁽²⁾	PVD迟滞			100		毫伏
V POR / PDR	开机/关机 重置阈值	下降的边缘	1.8 (1)	1.88	1.96	V
		上升的优势	1.84	1.92	2.0	V
V PDRhys ⁽²⁾	PDR滞后			40		毫伏
RSTTEMPO ⁽²⁾	重置延时		1.5	2.5	4.5	女士

1. 产品行为由设计保证到最小V POR / PDR值。
2. 由设计保证，未经生产测试。

5.3.4 嵌入式参考电压

表 11 中给出的参数来源于在环境下进行的测试
温度和V DD电源电压条件总结在表 8 中。

表 11 嵌入式参考电压

符号	参数	条件	敏	典型	马克斯	单元
V REFINT	内部参考电压	-40°C <T A <+105°C	1.16	1.20	1.26	V
		-40°C <T A <+85°C	1.16	1.20	1.24	V
T S_vrefint(1)	ADC采样时间 阅读内部 参考电压			5.1	17.1 (2)	微秒
V RERINT(2)	内部参考电压 蔓延的温度 范围	V DD = 3V±10mV			10	毫伏
T 科夫(2)	温度系数				100	PPM /°C

- 1. 可以在应用中通过多次迭代确定最短的采样时间。
- 2. 由设计保证，未经生产测试。

5.3.5 供应电流特性

电流消耗是几个参数和因素的函数，例如
工作电压，环境温度，I / O引脚负载，设备软件配置，
工作频率，I / O引脚切换速率，程序在内存中的位置并执行
二进制代码。

电流消耗按图 11 所示进行测量：电流消耗
测量方案。

本节给出的所有运行模式电流消耗测量均使用 a 进行
减少代码，使消费相当于 Dhrystone 2.1 代码。

最大电流消耗

MCU 被置于以下条件下：

- 所有 I / O 引脚都处于输入模式，静态值为 V DD 或 V SS（空载）
- 除非明确提及，否则所有外围设备都是禁用的
- 预取中（提醒：该位必须在时钟设置和总线预分频之前设置）
- 当使能外设时，PCLK1 = fHCLK，fPCLK2 = fHCLK

表 12 中给出的参数来源于在环境下进行的测试
温度和V DD电源电压条件总结在表 8 中。

表12 运行模式下的最大电流消耗，具有数据处理的代码
从Flash运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
I _{DD}	供应 目前在 运行模式	外部时钟 (2)，全部 外设已启用	24兆赫	15.4	15.7	mA
			16兆赫	11	11.5	
			8 MHz	6.7	6.9	
		外部时钟 (2)，全部 外设禁用	24兆赫	10.3	10.5	
			16兆赫	7.8	8.1	
			8 MHz	5.1	5.3	

1. 基于特性描述，未经生产测试。
2. 当f HCLK > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态。

表13. 运行模式下的最大电流消耗，具有数据处理的代码
从RAM运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
I _{DD}	电源电流 在运行模式下	外部时钟 (2)，全部 外设已启用	24兆赫	14.5	15	mA
			16兆赫	10	10.5	
			8 MHz	6	6.3	
		外部时钟 (2) 全部 外设禁用	24MHz的	9.3	9.7	
			16兆赫	6.8	7.2	
			8 MHz	4.4	4.7	

1. 根据特性，在V_{DD max}，f HCLK_{max}的生产中进行测试。
2. 当f HCLK > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态。

图12. 运行模式下的最大电流消耗与频率（3.6 V时） - 代码与从RAM运行的数据处理，启用外设

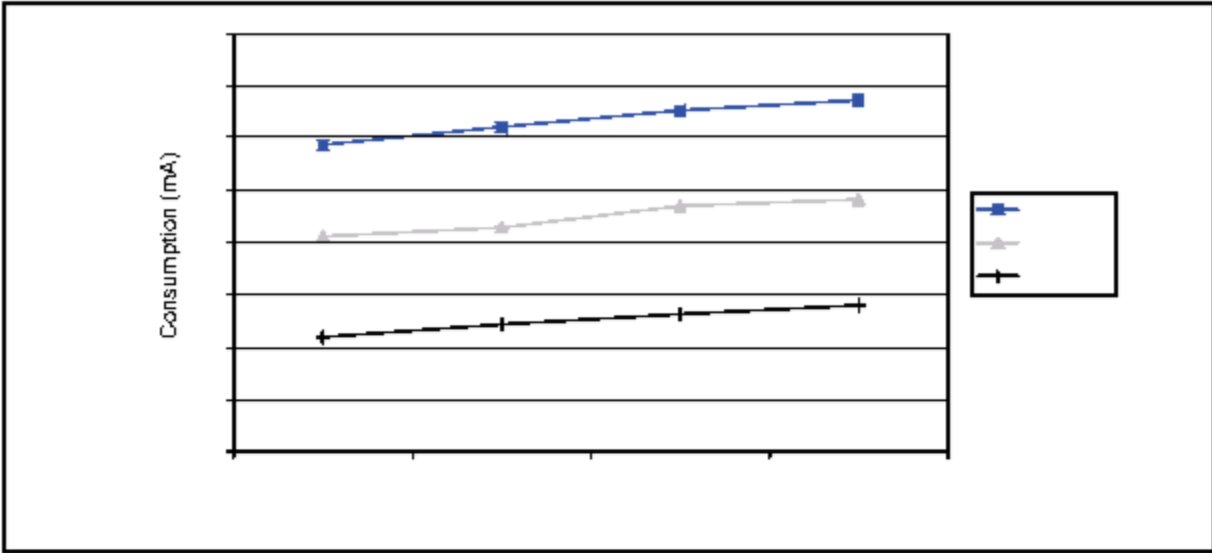


图13. 运行模式下的最大电流消耗与频率（3.6 V时） - 代码与从RAM运行的数据处理，外设禁用

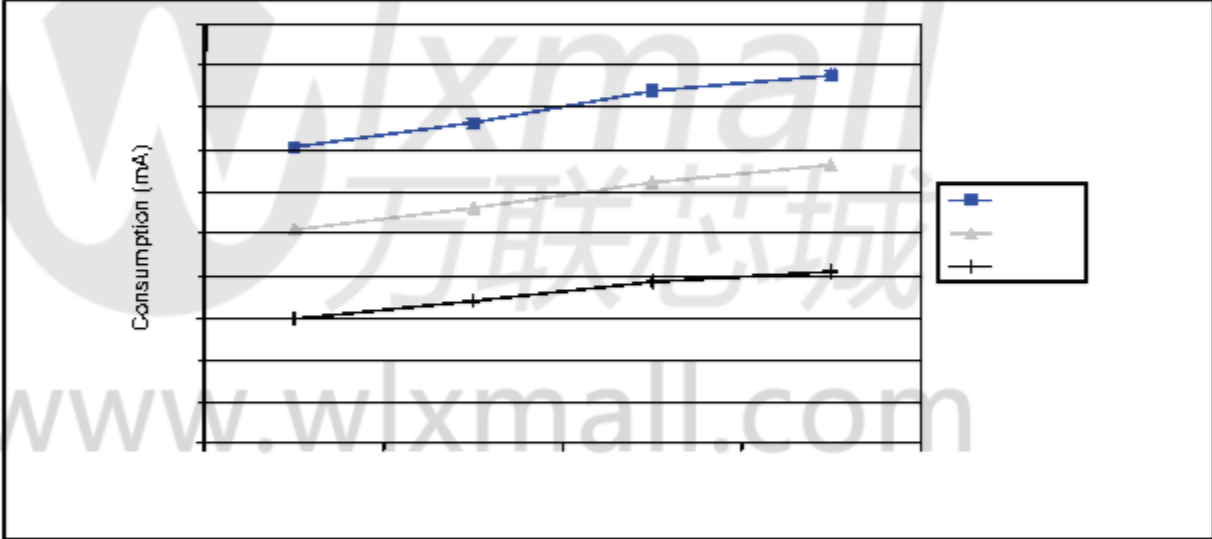


表14 STM32F100xxB在休眠模式下的最大电流消耗，代码从Flash或RAM运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85℃	T A = 105℃	
我 DD	电源电流在睡眠模式下	外部时钟 (2) 全部 外设已启用	24兆赫	9.6	10	嘛
			16兆赫	7.1	7.5	
			8 MHz	4.5	4.8	
		外部时钟 (2)，全部 外设禁用	24兆赫	3.8	4	
			16兆赫	3.3	3.5	
			8 MHz	2.7	3	

1. 基于特性描述，在 启用外设的情况下，在 V DD max和f HCLK max下进行生产测试。
2. 当f HCLK > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态。

表15 停止和待机模式下的典型和最大电流消耗 (1)

符号	参数	条件	Typ (2)			马克斯		单元
			V DD / V BA = 2.0V	V DD / V BA = 2.4V	V DD / V BA = 3.3V	T A = 85°C	T A = 105°C	
I DD	电源电流 在停止模式下	运行模式下的稳压器， 低速和高速 内部RC振荡器， 速度振荡器OFF (no 独立看门狗)		23.5	24	190	350	μA
		低功耗模式下的稳压器， 低速和高速 内部RC振荡器， 速度振荡器OFF (no 独立看门狗)		13.5	14	170	330	
	电源电流 在备用 模式	低速内部RC振荡器 独立看门狗开启		2.6	3.4	-	-	
		低速内部RC振荡器 ON，独立看门狗关闭		2.4	3.2	-	-	
		低速内部RC振荡器 独立看门狗关闭， 低速振荡器和RTC 关闭		1.7	2	4	五	
I DD_VB	备用 域名供应 当前	低速振荡器和RTC 上	0.9	1.1	1.4	2.0	2.3	

1. TBD代表待定。
2. 典型值在T A = 25°C时测量。

图14. 运行模式下调节器停止模式下的典型电流消耗
在V DD = 3.3V和3.6V时的温度

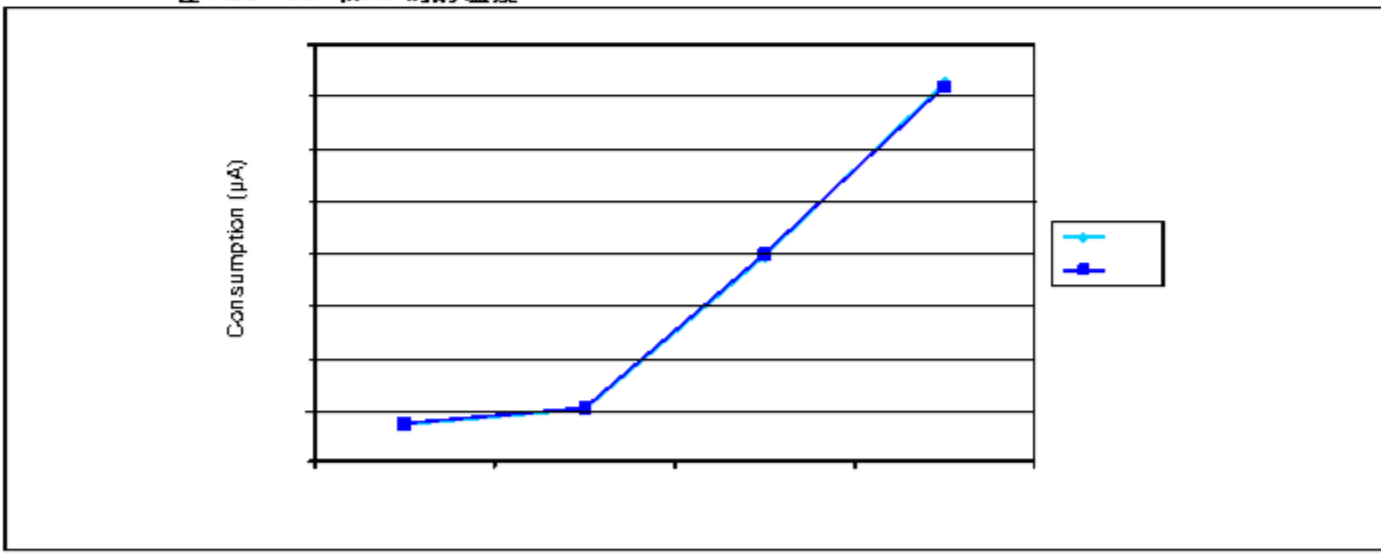


图15. 低功耗模式下的稳压器在停止模式下的典型电流消耗
在 $V_{DD} = 3.3V$ 和 $3.6V$ 时的温度

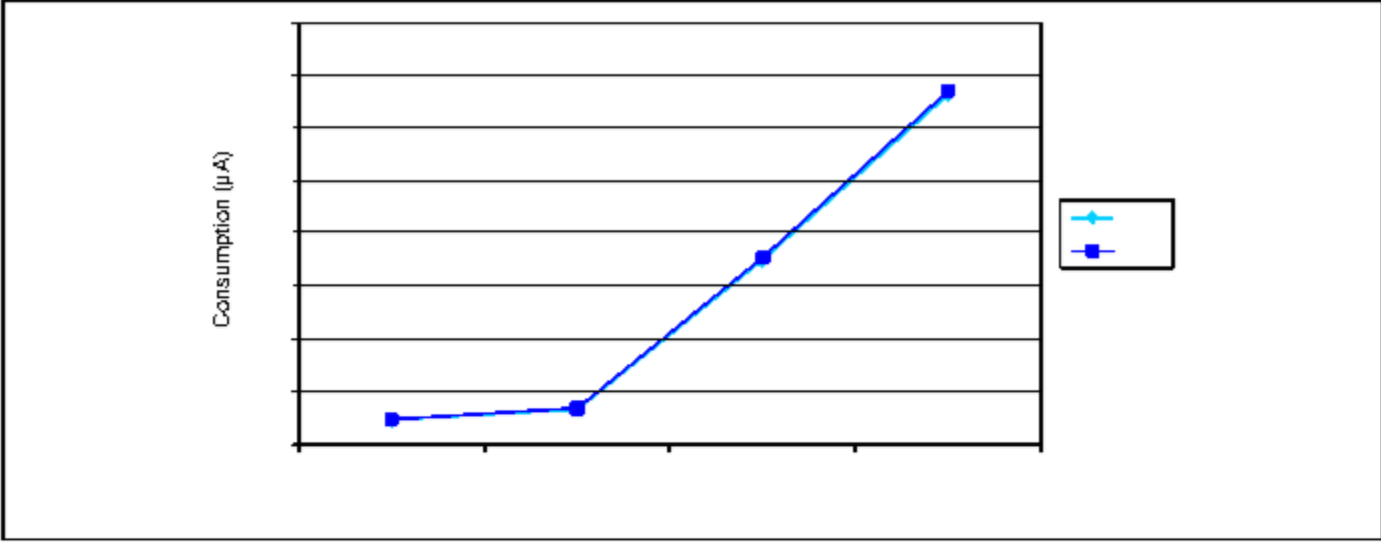
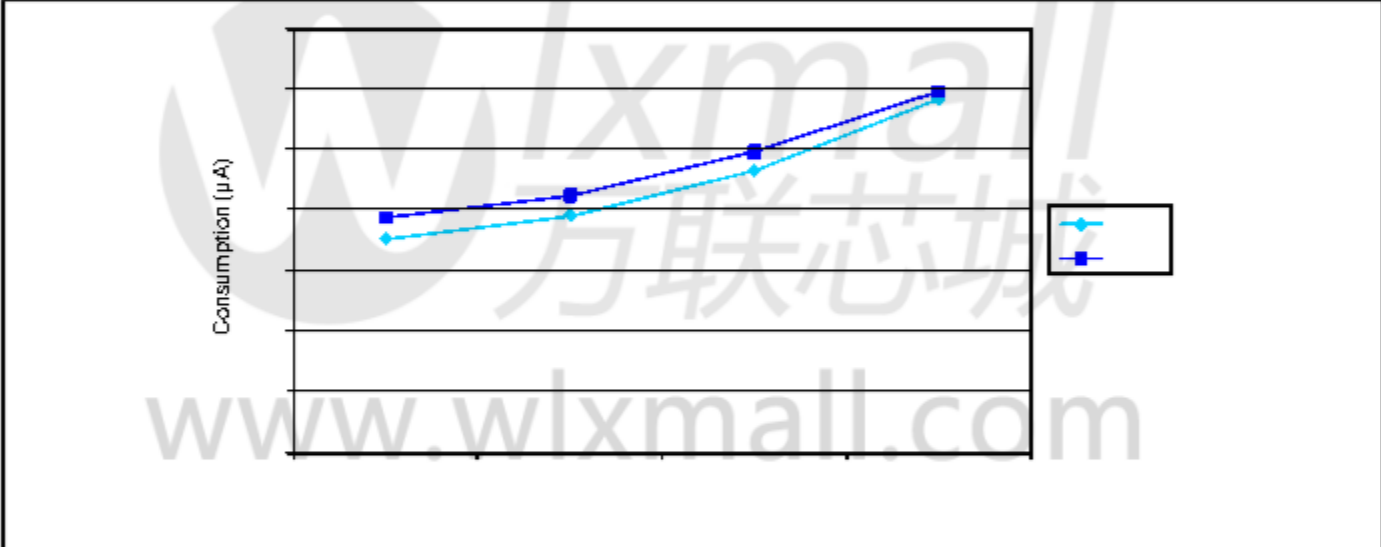


图16. 待机模式下的典型电流消耗与 $V_{DD} = 3.3V$ 时的温度相关
 $3.6V$



典型的电流消耗

MCU被置于以下条件:

- 所有I/O引脚都处于输入模式, 静态值为 V_{DD} 或 V_{SS} (空载)
- 除非明确提及, 否则所有外围设备都是禁用的
- 当外设使能时 $PCLK1 = f_{HCLK}$, $f_{PCLK2} = f_{HCLK}$, $f_{ADCCLK} = f_{PCLK2}/2$

表16中给出的参数来源于在环境下进行的测试
温度和 V_{DD} 电源电压条件总结在表8中.

表16. 运行模式下的典型电流消耗，具有数据处理的代码从Flash运行

符号参数		条件	f HCLK	典型值 (1)		单元
				所有外围设备 启用 (2)	所有外围设备 残	
我 DD	供应 目前在 运行模式	高速运行 外部时钟与 8 MHz晶振 (3)	24兆赫	15.4	9	嘛
			16兆赫	11.2	6.50	
			8 MHz	6.2	3.9	
			4 MHz	3.75	2.5	
			2 MHz	2.3	1.8	
			1 MHz	1.65	1.35	
			500千赫	1.3	1.2	
			125千赫	1.1	1	
		高速运行 内部RC (HSI)	24兆赫	15	8.4	
			16兆赫	10.3	6.1	
			8 MHz	5.5	3.4	
			4 MHz	3.1	1.9	
			2 MHz	1.7	1.15	
			1 MHz	1	0.8	
			500千赫	0.75	0.6	
			125千赫	0.5	0.43	

1. 典型值是在T A = 25℃，V DD = 3.3V下的测量值.
2. 为ADC增加额外的功耗为0.8 mA，DAC模拟部分为0.5 mA. 在应用中，只有在ADC处于开启状态（ADON位设置在ADC_CR2寄存器中）时才会发生这种消耗.
3. AHB预分频器用于降低频率（当f HCLK > 8 MHz时）.



表17 睡眠模式下的典型电流消耗，代码从Flash或内存

符号参数		条件	f HCLK	典型值 (1)		单元
				所有外围设备启用 (2)	所有外围设备残	
I _{DD}	供应目前在睡眠模式	高速运行 外部时钟与 8 MHz晶振 (3)	24兆赫	9.8	2.6	mA
			16兆赫	7	2	
			8 MHz	3.8	1.3	
			4 MHz	2.5	1.2	
			2 MHz	1.7	1.1	
			1 MHz	1.35	1	
			500千赫	1.1	1	
			125千赫	1	0.95	
		高速运行 内部RC (HSI)	24兆赫	9.6	2	
			16兆赫	6.8	1.4	
			8 MHz	3.2	0.7	
			4 MHz	1.9	0.55	
			2 MHz	1.1	0.46	
			1 MHz	0.75	0.41	
			500千赫	0.56	0.39	
			125千赫	0.43	0.37	

1. 典型值是在T_A = 25°C, V_{DD} = 3.3V下的测量值.
2. 为ADC增加额外的功耗为0.8 mA, DAC模拟部分为0.5 mA. 在应用中, 只有在ADC处于开启状态 (ADON位设置在ADC_CR2寄存器中) 时才会发生这种消耗.
3. AHB预分频器用于降低频率 (当f_{HCLK} > 8 MHz时).

片内外设电流消耗

表18给出了片内外设的电流消耗.MCU被放置在以下条件下:

- 所有I/O引脚都处于输入模式, 静态值为V_{DD}或V_{SS} (空载)
- 除非另有说明, 所有外围设备都是禁用的
- 给定值是通过测量电流消耗来计算的
 - 所有外围设备都关闭
 - 只有一个外设时钟
- 环境工作温度和V_{DD}电源电压条件总结在表5

表18 外设电流消耗

外围设备		在25°C时的典型消耗里 (1)	单元
APB1	TIM2	0.52	嘛
	TIM3	0.46	
	TIM4	0.5	
	TIM6	0.125	
	TIM7	0.19	
	D A C	0.5 (2)	
	W W D G	0.13	
	SPI2	0.2	
	USART2	0.38	
	USART3	0.32	
	I2C1	0.27	
	I2C2	0.28	
	HDMI CEC	0.16	
APB2	GPIO A	0.25	
	GPIO B	0.12	
	GPIO C	0.18	
	GPIO D	0.15	
	GPIO E	0.15	
	ADC1 (3)	0.15	
	SPI1	0.12	
	USART1	0.27	
	TIM1	0.63	
	TIM15	0.33	
	TIM16	0.26	
	TIM17	0.25	

1. $f_{HCLK} = f_{APB1} = f_{APB2} = 24\text{ MHz}$, 每个外设的默认预分频值.
2. DAC的具体条件: DAC_CR寄存器的EN1位设置为1.
3. ADC的具体条件: $f_{HCLK} = 24\text{ MHz}$, $f_{APB1} = f_{APB2} = f_{HCLK}$, $f_{ADCCLK} = f_{APB2} / 2$, ADON位 ADC_CR2寄存器被设置为1.

5.3.6 外部时钟源的特点

从外部源产生的高速外部用户时钟

表19中给出的特性来自使用高速执行的测试外部时钟源, 以及在环境温度和电源电压条件下总结在表8中.



表19. 高速外部用户时钟特性

符号	参数	条件	敏	典型	马 克 斯	单 元
f HSE_ext	用户外部时钟源 频率 (1)		18		24	兆 赫
V HSEH	OSC_IN输入引脚高电平电压		0.7 V DD		V DD	V
V HSEL	OSC_IN输入引脚低电平电压		V SS		0.3 V DD	
t w (HSE) t w (HSE)	OSC_IN高电平或低电平时间 (1)		16			NS
t r (HSE) t f (HSE)	OSC_IN上升或下降时间 (1)				20	
C (HSE)	OSC_IN输入电容 (1)			5	p F	的
DuCy (HSE)	工作周期		45		55	%
I L	OSC_IN输入漏电流	V SS V IN V DD			±1	μ A

1. 由设计保证，未经生产测试。

由外部源产生的低速外部用户时钟

表20中给出的特性是使用低速进行的测试得出的外部时钟源，以及在环境温度和电源电压条件下
总结在表8中。

表20 低速外部用户时钟特性

符号	参数	条件	敏	典型	马 克 斯	单 元
f LSE_ext	用户外部时钟源 频率 (1)			32.768	1000	千赫
V LSEH	OSC32_IN输入引脚高电平 电压		0.7 V DD		V DD	V
V LSEL	OSC32_IN输入引脚低电平 电压		V SS		0.3 V DD	
t w (LSE) t w (LSE)	OSC32_IN高电平或低电平时间 (1)		450			NS
t (LSE) t f (LSE)	OSC32_IN上升或下降时间 (1)				50	
C (LSE)	OSC32_IN输入电容 (1)			5	p F	的
DuCy (LSE)	工作周期		三十		70	%
I L	OSC32_IN输入漏电流	V SS V IN V DD			±1	μ A

1. 由设计保证，未经生产测试。

图17. 高速外部时钟源交流时序图

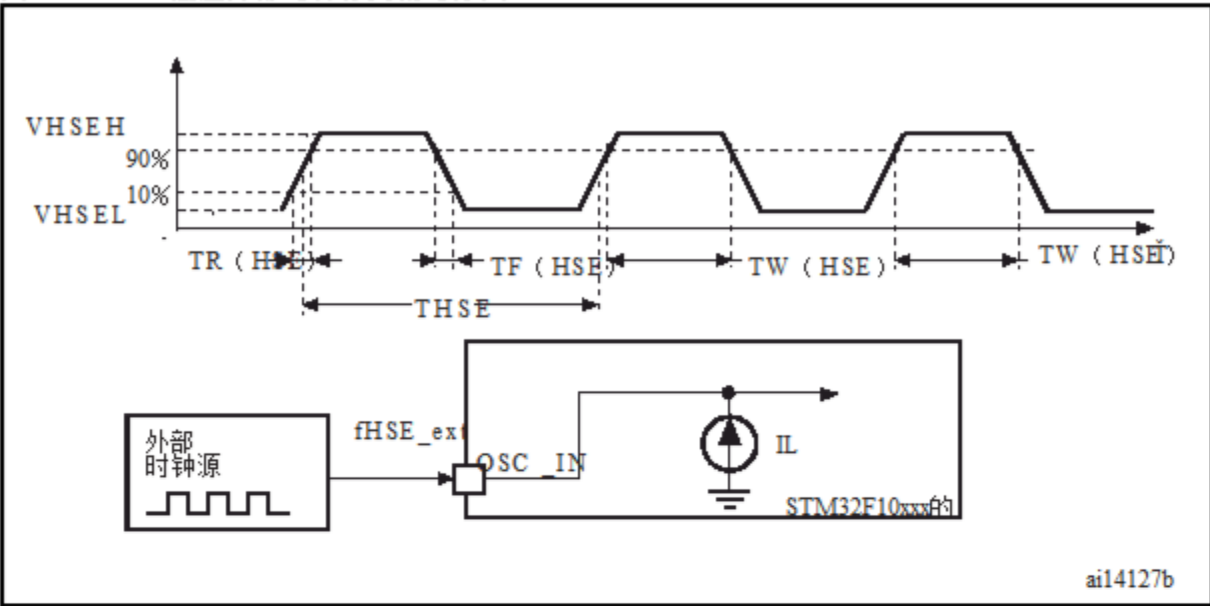
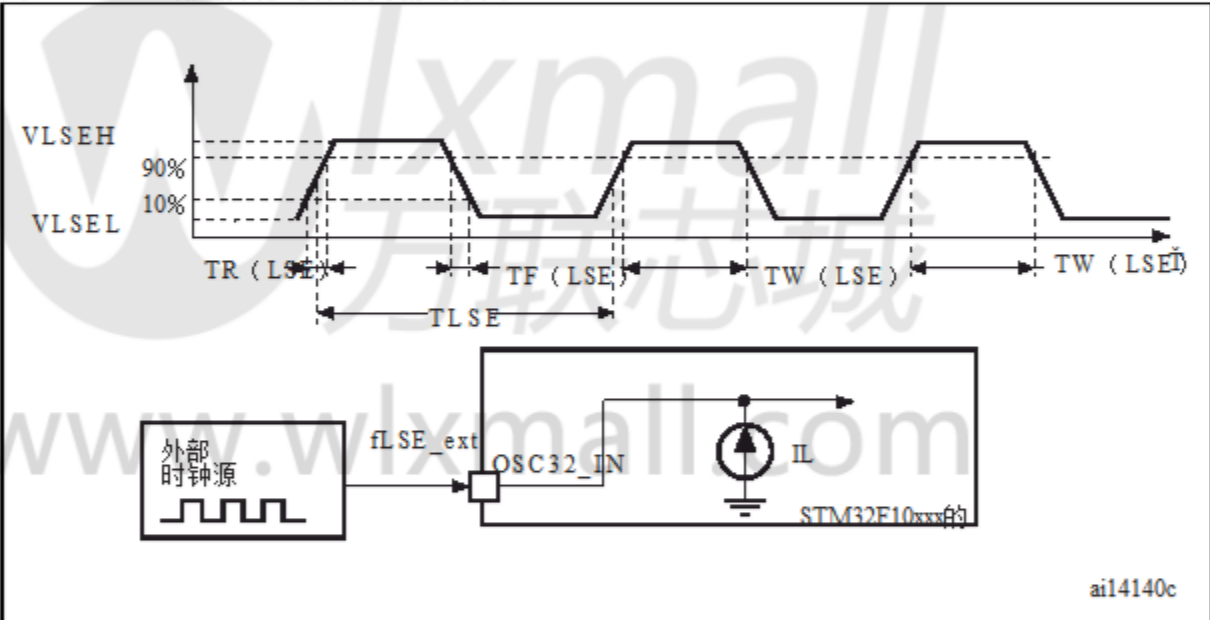


图18. 低速外部时钟源交流时序图



由晶体/陶瓷谐振器产生的高速外部时钟

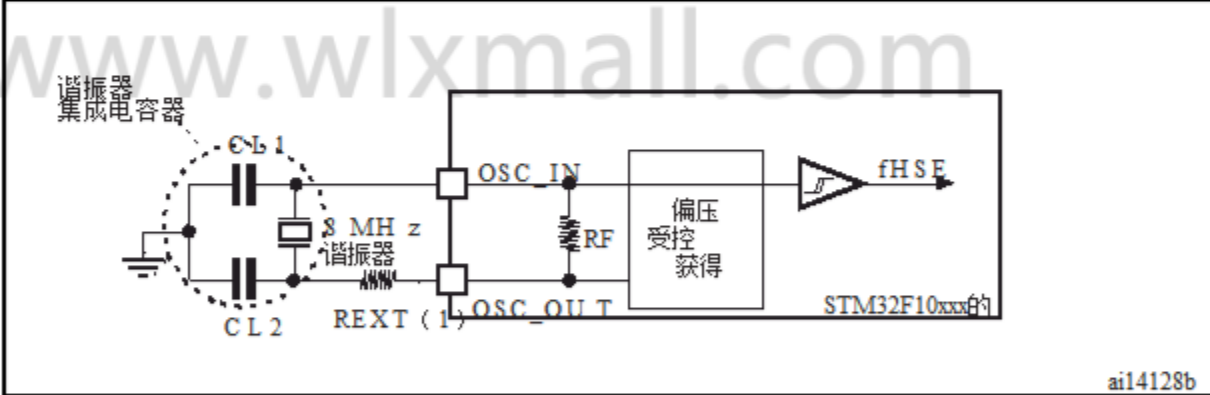
高速外部（HSE）时钟可以提供一个4到24 MHz的晶体/陶瓷谐振器.本段中的所有信息都是基于特征的
使用表21中指定的典型外部组件获得的结果.在应用程序中，
谐振器和负载电容必须尽可能靠近振荡器放置
以最大限度地减少输出失真和启动稳定时间.参考水晶
谐振器制造商更多关于谐振器特性（频率，
包裹，准确性）。

表21. HSE 4-24 MHz振荡器特性 (1) (2)

符号	参数	条件	敏	典型	马克斯单元
f OSC_IN	振荡器频率		4	8	24 兆赫
R F	反馈电阻			200	k Ω
C L1 C L2(3)	推荐的负载电容 对等系列 晶体的电阻 (R S) (4)	R S = 30 Ω		三十	pF的
我 2	HSE驱动电流	V DD = 3.3V V IN = V SS , 30 pF 加载			1 毫 安
克米	振荡器跨导	启动	25		毫安/V
吨 (HSE) (5)	启动时间	V DD 稳定		2	女士

- 由晶体/陶瓷谐振器制造商给出的谐振器特性.
- 基于特性描述, 未经生产测试.
- 建议使用5 pF至25 pF (典型值) 范围内的高质量外部陶瓷电容, 专为高频应用而设计, 并选择与晶体的要求相匹配. 谐振器 C L1 和 C L2 通常是相同的大小. 晶体制造商通常指定一个负载电容是 C L1 和 C L2 的串联组合. PCB 和 MCU 引脚电容必须是包括在尺寸确定时 (10 pF 可用作引脚和电路板组合电容的粗略估算) C L1 和 C L2.
- 射频电阻的相对较低的值提供了一个很好的保护, 防止因使用 a 而产生的问题潮湿的环境中, 由于诱发泄漏和偏差情况的变化. 但是, 这是如果 MCU 在恶劣的湿度条件下使用, 建议考虑这一点.
- SU (HSE) 是从启用 (通过软件) 到稳定的 8 MHz 的时刻测量的启动时间. 振荡达到. 这个值是测量一个标准的晶体谐振器, 它可以显著变化与晶体制造商.

图19. 典型的 8 MHz 晶体应用



- R EXT 值取决于晶体特性.

由晶体/陶瓷谐振器产生的低速外部时钟

低速外部 (LSE) 时钟可以提供 32.768 kHz 晶体/陶瓷谐振器. 本段中的所有信息都是基于特征的. 使用表 22 中指定的典型外部组件获得的结果. 在应用中, 谐振器和负载电容必须尽可能靠近振荡器放置, 以最大限度地减少输出失真和启动稳定时间. 参考水晶谐振器制造商更多关于谐振器特性 (频率, 包裹, 准确性).

注意：对于CL1和CL2，推荐使用5 pF至5pF的高质量陶瓷电容
选择15 pF范围以匹配晶体或谐振器的要求。CL1和CL2，都是
通常大小相同。晶体制造商通常会指定一个负载电容
是CL1和CL2的串联组合。
负载电容CL具有以下公式： $CL = CL1 \times CL2 / (CL1 + CL2) + C_{stray}$ 其中
C杂散是引脚电容和电路板或PCB走线的相关电容。通常情况下，
在2 pF和7 pF之间。

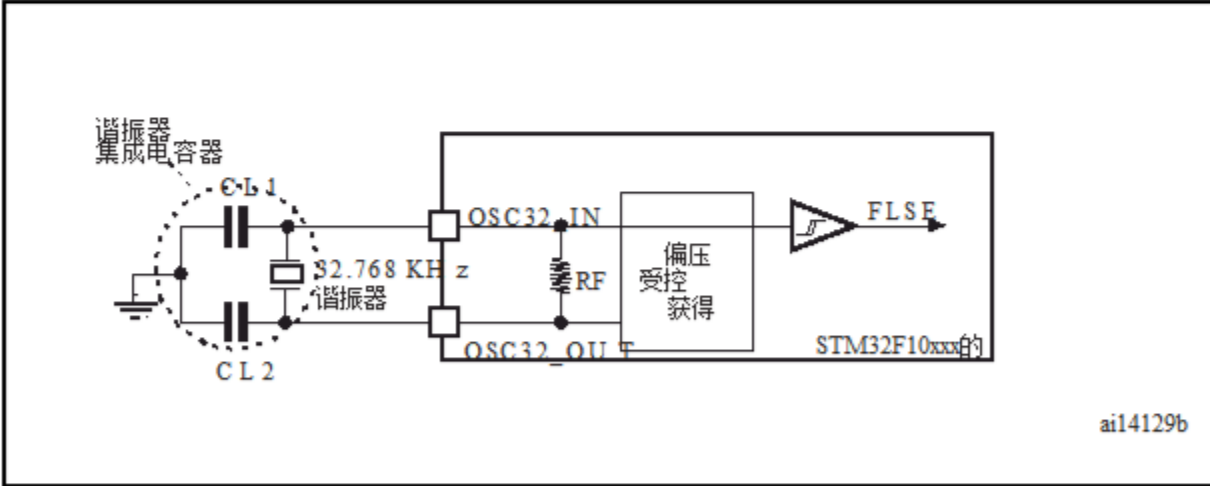
警告：为了避免超过CL1和CL2（15 pF）的最大值，强烈建议
使用负载电容CL≈7 pF的谐振器。切勿在负载中使用谐振器
电容为12.5 pF。
例如：如果选择负载电容CL=6 pF，C杂散=2 pF的谐振器，
那么CL1=CL2=8pF。

表22 LSE振荡器特性 (fLSE = 32.768 kHz) (1)

符号	参数	条件	敏	典型	马克斯单元
RF	反馈电阻			五	中号
CL1 CL2(2)	推荐的负载电容 对等系列 晶体的电阻 (RS) (3)	RS = 30KΩ		15	pF的
我2	LSE驱动电流	VDD = 3.3V VIN = VSS		1.4	μA
克米	振荡器跨导		五		μA/V
苏 (LSE) (4)	启动时间	VDD 稳定		3	小号

- 基于特性描述，未经生产测试。
- 请参阅表格上方的注释和注意事项。
- 振荡器的选择可以使用高质量谐振器来优化供电电流。
小RS值，例如MSIV-TIN32.768 kHz。请参阅晶体制造商了解更多详情
- SU (LSE) 是从启用（通过软件）到稳定的时刻测量的启动时间
达到32.768 kHz振荡。该值是针对标准晶体谐振器测量的，并且可以变化
与晶体制造商显著

图20. 典型应用与32.768 kHz晶体



5.3.7 内部时钟源的特点

表23中给出的参数来源于在环境下进行的测试
温度和VDD电源电压条件总结在表8中。

高速内部（HSI）RC振荡器

表23 HSI振荡器特性 (1) (2)

符号	参数	条件	敏	典型	马克斯	单元
f 恒指	频率			8		兆 赫
ACC HSI	HSI振荡器的精确度	T A = -40至105°C	-2.7		3	%
		T A = -10至85°C	-2		2.5	%
		T A = 0至70°C	-2		2.5	%
		T A = 25°C	-0.7		1	%
苏 (HSI)	HSI振荡器启动时间		1		2	微秒
I DD (HSI)	HSI振荡器功耗			80	100	μA

1. 由设计保证，未经生产测试。
2. 除非另有规定，否则 V DD = 3.3 V，T A = -40至105°C。

低速内部（LSI）RC振荡器

表24 LSI振荡器特性 (1)

符号	参数	敏	典型	马克斯	单元
LSI	频率	三十	40	60	千赫
LSI (LSI ²)	LSI振荡器启动时间			85	微秒
我 DD (LSI)	LSI振荡器的功耗		0.65	1.2	μA

1. V DD = 3 V，T A = -40至105°C除非另有规定。
2. 由设计保证，未经生产测试。

从低功耗模式唤醒的时间

表25中给出的唤醒时间是在8MHz HSI的唤醒阶段测量的
RC振荡器.用于唤醒器件的时钟源取决于电流
操作模式：

- 停止或待机模式：时钟源是RC振荡器
- 睡眠模式：时钟源是进入睡眠模式之前设置的时钟。

所有时间都来自在环境温度和V DD电源下进行的测试
电压条件总结在表8中。

表25 低功耗模式唤醒定时

符号	参数	典型	单元
WUSLEEP (1)	从睡眠模式唤醒	1.8	微秒

表25 低功耗模式唤醒时序（续）

符号	参数	典型	单元
t WUSTOP ⁽¹⁾	从停止模式唤醒（调节器处于运行模式）	3.6	微秒
	从停止模式唤醒（低功耗模式下的稳压器）	5.4	
t WUSTDBY ⁽¹⁾	从待机模式唤醒	50	微秒

1. 唤醒时间是从唤醒事件到用户应用程序代码的测量点
读取第一条指令。

5.3.8 PLL特性

表26中给出的参数来源于在环境下进行的测试
温度和V_{DD}电源电压条件总结在表8中。

表26. PLL特性

符号	参数	值		单元
		分钟（1）典型	最大（1）	
f _{PLL_IN}	PLL输入时钟（2）	18.0	24	兆赫
	PLL输入时钟占空比	40	60	%
f _{PLL_OUT}	PLL乘法器输出时钟	16	24	兆赫
锁定	PLL锁定时间		200	微秒
抖动	周期到周期的抖动		300	PS

- 基于器件特性，未在生产中进行测试。
- 请注意使用适当的乘法因子，以使PLL输入时钟值兼容由f_{PLL_OUT}定义的范围。

5.3.9 记忆特性

闪存

除非另有说明，特性在T A = -40至105°C给出.

表27 闪存特性

符号	参数	条件	最低	典型	最大值	单元
t 编	16位编程时间	T A↑-40至+105°C	40	52.5	70	微秒
删除	页（1 KB）擦除时间	T A↑-40至+105°C	20		40	女士
我ME	整体擦除时间	T A↑-40至+105°C	20		40	女士
我 DD	电源电流	读取模式 f HCLK = 24MHz, V DD = 3.3V			20	嘛
		写/擦除模式 f HCLK = 24MHz, V DD = 3.3V			5 毫	安
		掉电模式/暂停， V DD = 3.0至3.6V			50	μA
V 前卫	编程电压		2		3.6	V

1. 由设计保证，未经生产测试.

表28 闪存耐用性和数据保留

符号	参数	条件	值			单元
			最低	典型	马克斯	
N END	耐力	T A = -40至+85°C（6个后继版本） T A = -40至+105°C（7个后继版本）	10			kcycles
t RET	数据保留	1个循环（2），在T A = 85°C	三十			年份
		1 Kcycle（2），T A = 105°C	10			
		在T A = 55°C下 10k周（2）	20			

1. 基于未在生产中测试的特性.
2. 骑自行车在整个温度范围内进行.

5.3.10 EMC特性

在器件表征过程中，以样品为基础进行敏感性测试。

功能性EMS（电磁敏感性）

在设备上执行简单的应用程序（通过I/O端口切换2个LED）。该装置受到两个电磁事件的压力，直到发生故障。失败是由LED指示：

- 静电放电（ESD）（正极和负极）施加到所有器件引脚直到发生功能紊乱。该测试符合IEC 61000-4-2标准。
- FTB：快速瞬变电压（正和负）突发被施加到VDD和VSS通过一个100 pF电容，直到发生功能性干扰。这个测试是符合IEC 61000-4-4标准。

设备重置允许恢复正常操作。

测试结果在表29中给出。它们基于EMS水平和类别。在应用笔记AN1709中定义。

表29. EMS特性

符号	参数	条件	等级/类别
V FESD	要在任何I/O引脚上施加电压限制诱发功能障碍	VDD = 3.3V, TA = +25°C, fHCLK = 24 MHz, LQFP100包, 符合IEC 61000-4-2	2B
V EFTB	快速瞬态电压突发限制是在VDD和VSS引脚上通过100 pF施加诱发功能障碍	VDD = 3.3V, TA = +25°C, fHCLK = 24 MHz, LQFP100包, 符合IEC 61000-4-4	4A

设计强化软件以避免噪音问题

EMC表征和优化是在组件级别上进行的。应用环境和简化的MCU软件。应该指出，好的EMC性能高度依赖于用户应用程序和软件。

因此建议用户应用EMC软件优化和预先与其申请所要求的EMC等级相关的资格测试。

软件建议

软件流程图必须包含失控条件的管理，例如：

- 损坏的程序计数器
- 意外的重置
- 关键数据损坏（控制寄存器...）

资格预审试验

大多数常见的故障（意外重置和程序计数器损坏）都可以通过在NRST引脚或振荡器引脚上手动强制为低电平来复制。第二，为了完成这些试验，静电放电应力可以直接施加在设备上规格值的范围。当意外的行为被发现，软件可以硬化以防止发生不可恢复的错误（参见应用笔记AN1015）。

电磁干扰 (EMI)

监测设备发射的电磁场，同时进行简单的应用
 执行（通过I / O端口切换2个LED）.这个排放测试符合
 IEC 61967-2标准规定了测试板和引脚负载.

表30 EMI特性

符号参数	条件	监控 频带	Max与 [f HSE / f HCLK]		单元
			8/24 MHz		
S EMI	高峰水平	VDD = 3.3V, T A = 25℃, LQFP100封装 符合 IEC 61967-2	0.1 MHz至30 MHz	9	平dBμV
			30 MHz至130 MHz	17	
			130 MHz至1GHz	16	
		SAE EMI电平	4	-	

5.3.11 绝对最大额定值 (电气灵敏度)

基于三个不同的测试 (ESD, LU) 使用特定的测量方法，该设备是
 强调为了确定其在电气灵敏度方面的表现.

静电放电 (ESD)

静电放电 (阳性，然后负脉冲分开1秒)
 根据每个针脚组合应用到每个样品的针脚.样本大小
 取决于器件中电源引脚的数量 (3个部件 × (n + 1) 个电源引脚).这个测试
 符合JESD22-A114 / C101标准.

表31. ESD绝对最大额定值

符号	评级	条件	类	最大 价值 (1)	单元
V ESD (HBM)	静电放电 电压 (人体模型)	T A ↑ + 25°C 符合JESD22-A114	2 T B D		V
V ESD (CDM)	静电放电 电压 (充电设备型号)	T A ↑ + 25°C 符合JESD22-C101	II	T B D	

1. 根据表征结果，未经生产测试.

静态闭锁

在六个部分需要两个互补的静态测试来评估闭锁
 性能:

- 电源过压被施加到每个电源引脚
- 电流注入应用于每个输入，输出和可配置的I / O引脚

这些测试符合EIA / JESD78 IC闭锁标准.

表32. 电气敏感度

符号	参数	条件	类
鲁	静态闭锁类	T A ↑ + 105°C符合JESD78	TBD

5.3.12 I / O端口特性

一般输入/输出特性

除非另有说明，否则表33中给出的参数来自测试
所有I / O都是CMOS和TTL
兼容。

表33 I / O静态特性

符号	参数	条件	敏	典型	马克斯	单元
V IL	标准I / O输入低电平电压		-0.5		0.28 (V DD -2) +0.8	V
	I / O FT (1) 输入低电平电压		-0.5		0.32 (V DD -2) +0.75	
V IH	标准I / O输入高电平电压		0.41 (V DD -2) +1.3		V DD +0.5	
	I / O FT (1) 输入高电平电压		0.42 (V DD -2) +1		5.5	
V hys	标准I / O施密特触发器电压 迟滞 (2)		200			毫伏
	I / O FT施密特触发器电压 迟滞 (2)		5% V DD (3)			毫伏
I Ikg	输入漏电流 (4)	V SS = V IN = V DD 标准I / O			1	μA
		V IN = 5 V I / O FT			3	
R PU	弱上拉等效电阻 (5)	V IN = V SS	三十	40	50	kΩ
R PD	弱下拉当量 电阻 (5)	V IN = V DD	三十	40	50	kΩ
C IO	I / O引脚电容			五		pF的

- 1. FT = 5V宽容. 要维持高于V DD +0.5的电压，必须禁用内部上拉/下拉电阻.
- 2. 施密特触发器切换电平之间的滞后电压.基于特性描述，未经生产测试.
- 3. 至少100 mV.
- 4. 泄漏可能高于最大值.如果负电流注入相邻的引脚.
- 5. 上拉和下拉电阻采用真正的电阻与可开关PMOS / NMOS串联设计.这个PMOS / NMOS对串联电阻的贡献 最小 (~10%的次序)

所有I / O都符合CMOS和TTL（不需要软件配置）.其
特性涵盖了超过严格的CMOS技术或TTL参数.该
图21和图22显示了这些要求的覆盖范围，标准I / O和
在图23和图24中对于5V耐受I / O.



图21. 标准I/O输入特性 - CMOS端口

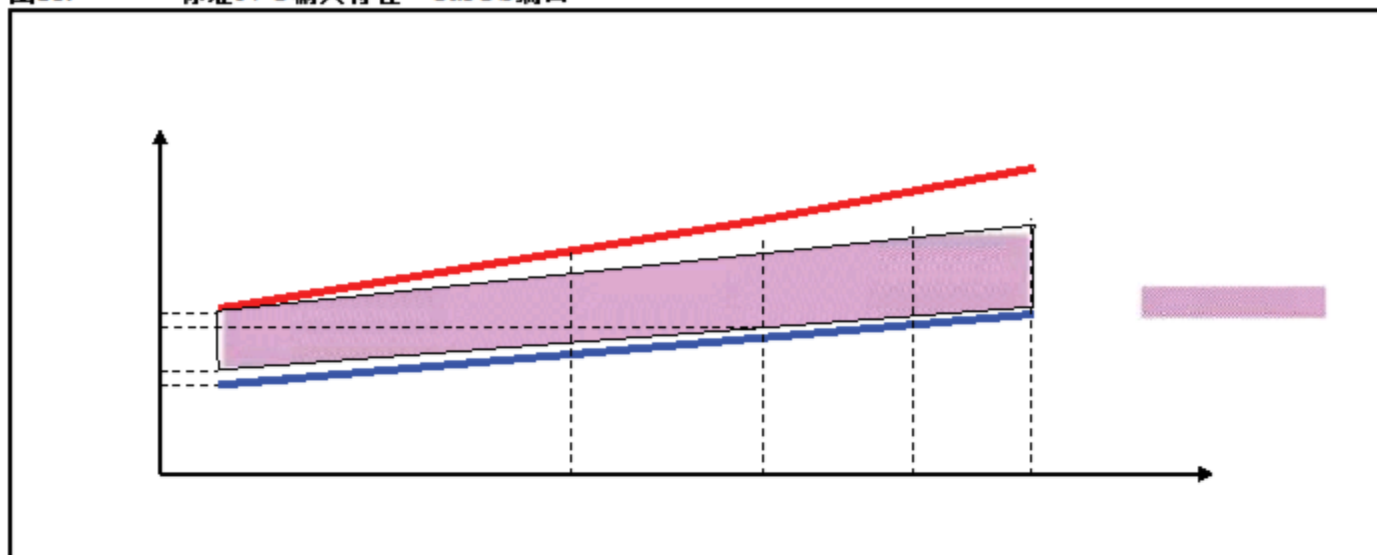


图22. 标准I/O输入特性 - TTL端口

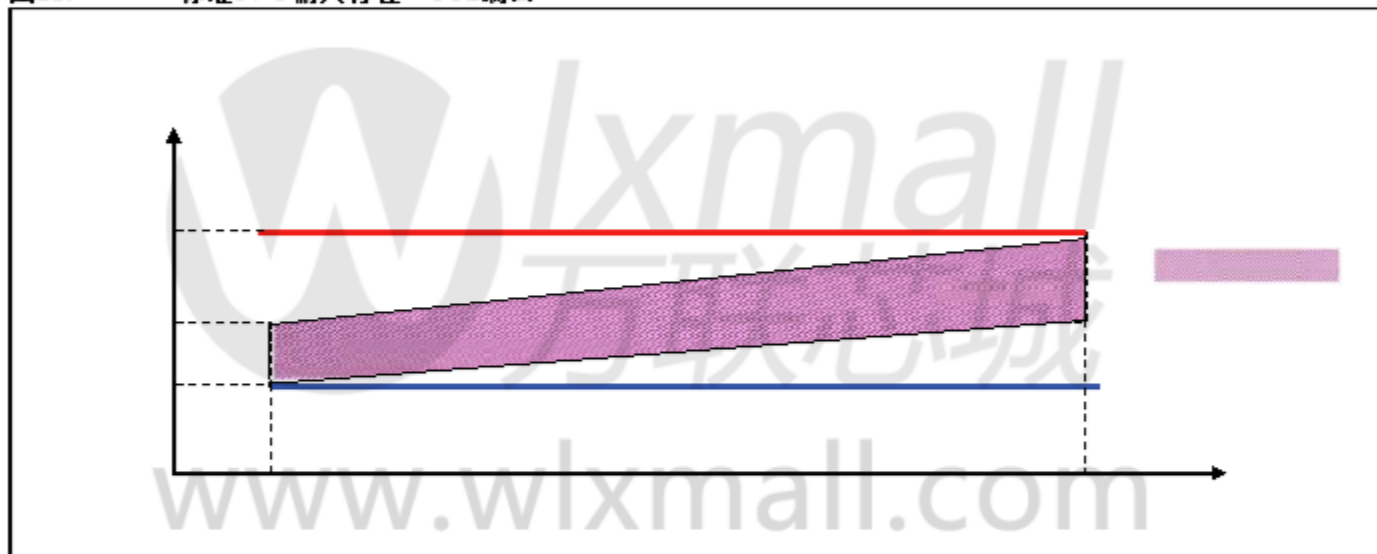


图23. 5 V宽容I / O输入特性 - CMOS端口

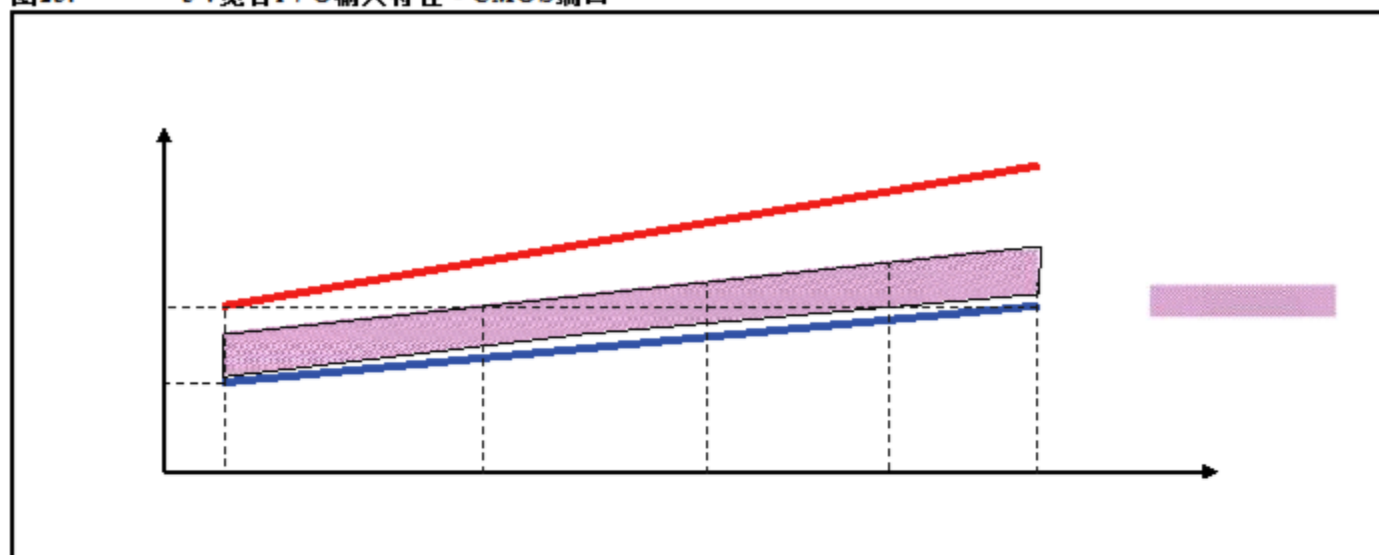
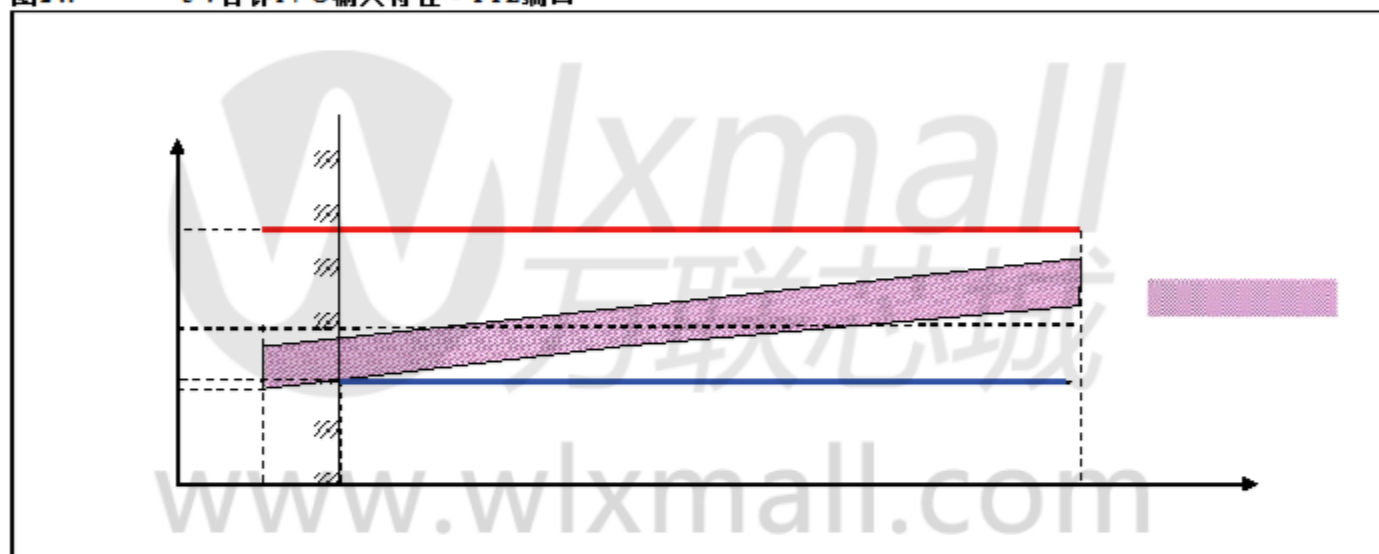


图24. 5 V容许I / O输入特性 - TTL端口



输出驱动电流

GPIO（通用输入/输出）可以吸收或提供高达 $\pm 8\text{ mA}$ 的电流，并可以下沉 $+20\text{ mA}$ （放松 V_{OL} ）。

在用户应用程序中，可以驱动电流的I / O引脚的数量必须限制在[第5.2节中规定的绝对最大额定值](#)：

- V_{DD} 上的所有I / O所产生的电流总和 加上最大值 R_{un} 源于 V_{DD} 的MCU的功耗 不能超过绝对最大额定值 I_{VDD} （见表6）。
- V_{SS} 上的所有I / O所加载的电流总和 加上最大值 R_{un} V_{SS} 上沉没的MCU的功耗 不能超过绝对最大额定值 I_{VSS} （见表6）。

输出电压水平

除非另有说明，否则表34中给出的参数来自测试
在环境温度和V_{DD}电源电压条件下进行总结
在表8中.所有I / O都符合CMOS和TTL.

表34. 输出电压特性

符号	参数	条件	敏	马克斯	单元
V _{OL} (1)	输出I / O引脚的低电平电压 当8个引脚同时被击沉时	TTL端口， I _{IO} = + 8mA， 2.7 V < V _{DD} < 3.6 V		0.4	V
V _{OH} (2)	输出I / O引脚的高电平电压 当8个引脚同时来源时		V _{DD} - 0.4		
V _{OL} (1)	输出I / O引脚的低电平电压 当8个引脚同时被击沉时	CMOS端口 I _{IO} = + 8mA 2.7 V < V _{DD} < 3.6 V		0.4	V
V _{OH} (2)	输出I / O引脚的高电平电压 当8个引脚同时来源时		2.4		
V _{OL} (1)	输出I / O引脚的低电平电压 当8个引脚同时被击沉时	I _{IO} = + 20 mA (3) 2.7 V < V _{DD} < 3.6 V		1.3	V
V _{OH} (2)	输出I / O引脚的高电平电压 当8个引脚同时来源时		V _{DD} - 1.3		
V _{OL} (1)	输出I / O引脚的低电平电压 当8个引脚同时被击沉时	I _{IO} = + 6mA (3) 2 V < V _{DD} < 2.7 V		0.4	V
V _{OH} (2)	输出I / O引脚的高电平电压 当8个引脚同时来源时		V _{DD} - 0.4		

1. 器件吸入 的I_{IO}电流必须始终遵守表6中规定的绝对最大额定值
I_{IO} (I / O端口和控制引脚) 的总和 不得超过I_{VSS}.
2. 设备产生的I_{IO}电流必须始终保持在中指定的绝对最大额定值
表6和I_{IO} (I / O端口和控制引脚) 的总和 不得超过I_{VDD}.
3. 基于特征数据，未经生产测试.

输入/输出AC特性

输入/输出AC特性的定义和值在图25和图25中给出表35.

除非另有说明，否则表35中给出的参数来自测试在环境温度和V_{DD}电源电压条件下进行总结在表8中.

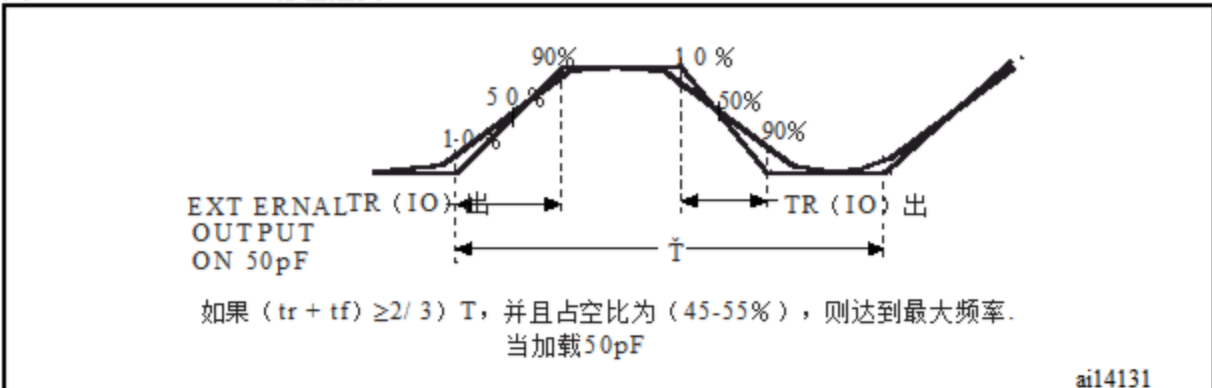
表35 I/O交流特性 (1)

MODEx [1: 0]位 值 (1)	符号	参数	条件	马克斯单元	
10	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V	2	兆赫
	t _f (IO) _{out}	输出高到低水平下降时间	C _L = 50pF, V _{DD} = 2V至3.6V	125 (3)	NS
	t _r (IO) _{out}	输出从低到高的水平上升时间		125 (3)	
01	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V	10	兆赫
	t _f (IO) _{out}	输出高到低水平下降时间	C _L = 50pF, V _{DD} = 2V至3.6V	25 (3)	NS
	t _r (IO) _{out}	输出从低到高的水平上升时间		25 (3)	
11	F _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V	24	兆赫
	t _f (IO) _{out}	输出高到低水平下降时间	C _L = 30pF, V _{DD} = 2.7V至3.6V	5 (3)	NS
			C _L = 50pF, V _{DD} = 2.7V至3.6V	8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V	12 (3)	
	t _r (IO) _{out}	输出从低到高的水平上升时间	C _L = 30pF, V _{DD} = 2.7V至3.6V	5 (3)	
			C _L = 50pF, V _{DD} = 2.7V至3.6V	8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V	12 (3)	
-t _{EXTI_{pw}}		外部脉冲宽度 信号检测到的 EXTI控制器		10	NS

1. I/O速度使用MODEx [1: 0]位进行配置.请参考STM32F10xxx参考手册GPIO端口配置寄存器的描述.
2. 最大频率在图25中定义.
3. 由设计保证，未经生产测试.



图25. I / O AC特性定义



5.3.13 NRST引脚特性

NRST引脚输入驱动器使用CMOS技术.它连接到一个永久的上拉电阻R_{PU} (见表33) .

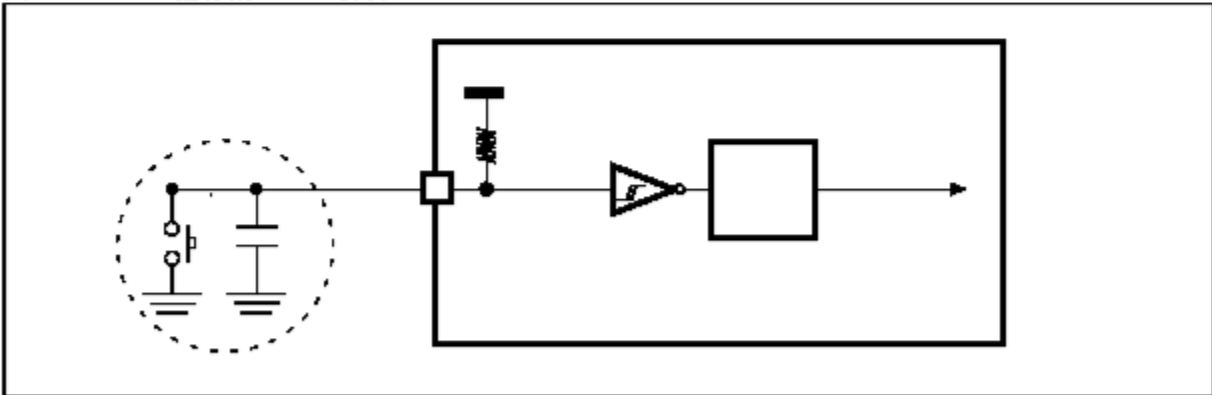
除非另有说明, 否则表36中给出的参数来自测试
在环境温度和V_{DD}电源电压条件下进行总结
在表8中.

表36. NRST引脚特性

符号	参数	条件	敏	典型	马克斯	单元
V _{IL} (NRST)	NRST输入低电平电压		-0.5		0.8	V
V _{IH} (NRST)	NRST输入高电平电压		2		V _{DD} +0.5	
V _{HS} (NRST)	NRST施密特触发器电压 滞后			200		毫伏
R _{PU}	弱上拉等效电阻 (2)	V _{IN} = V _{SS}	三十	40	50	k Ω
V _F (NRST)	NRST输入滤波脉冲				100	NS
V _{NF} (NRST)	NRST输入无滤波脉冲		300			NS

1. 由设计保证, 未经生产测试.
2. 上拉电阻采用真正的电阻设计, 与可切换的PMOS串联. 这是PMOS的贡献
串联电阻必须最小 (~10% 订单)

图26. 推荐的NRST引脚保护



1. 复位网络保护设备免受寄生重置.
2. 用户必须确保NRST引脚上的电平可以低于在中 指定的V_{IL} (NRST) 最大电平
表36.否则, 复位不会被设备考虑在内.

5.3.14 TIMx特性

表37给出的参数由设计保证。
有关输入/输出替代的详细信息，请参见第5.3.12节“I / O端口特性”
功能特性（输出比较，输入捕捉，外部时钟，PWM输出）。

表37. TIMx特性

符号	参数	条件 (1)	敏	马克斯	单元
TIM (TIMx)	定时器解析时间		1 t TIMxCLK		
		f TIMxCLK = 24 MHz	41.7		NS
f EXT	定时器外部时钟 CHx频率 (2)		0 TIMxCLK / 2		兆赫
		f TIMxCLK = 24 MHz	0	12	兆赫
Res TIM	定时器分辨率			16	位
t COUNTER	16位计数器时钟周期 当内部时钟是 选		1	65536	t TIMxCLK
		f TIMxCLK = 24 MHz		2730	微妙
t MAX_COUNT	可能的最大数量			65536×65536	t TIMxCLK
		f TIMxCLK = 24 MHz		178	小号

1. TIMx用作通用术语，指的是TIM1，TIM2，TIM3，TIM4，TIM15，TIM16和TIM17定时器。
2. CHx用作通用术语，指CH1到CH4用于TIM1，TIM2，TIM3和TIM4，用于CH1到CH2
对于TIM15，对于TIM16和TIM17，对于CH1。

5.3.15 通信接口

我的 I2C 接口特性

除非另有说明，否则表38中给出的参数来自测试
在环境温度下执行，f PCLK1 频率和VDD电源电压
条件总结在表8中。

STM32F100xx数值线I2C接口符合标准I2C的要求
通信协议有以下限制：I / O引脚SDA和SCL是
映射到不是“真正的”漏洞.当配置为漏极开路时，PMOS连接
I / O引脚和VDD 之间禁用，但仍然存在。

I2C特性在表38中描述.另请参见章节5.3.12: I / O端口
输入/输出复用功能特性（SDA）的更多细节
和SCL）。

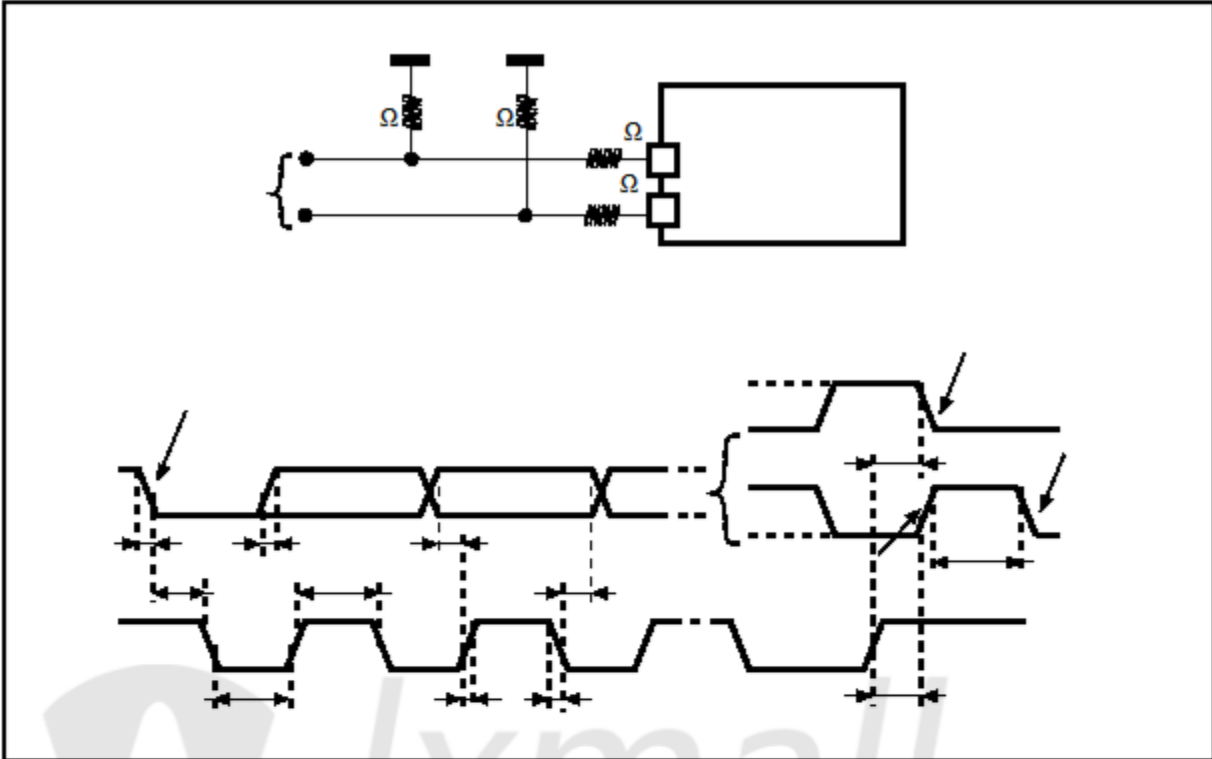


表38. 我的 I²C 特性

符号	参数	标准模式 I ² C (1)		快速模式 I ² C (1) (2)		单元
		敏	马克斯	敏	马克斯	
t _w (SCL _L)	SCL 时钟低电平时间	4.7		1.3		微秒
t _w (SCL _H)	SCL 时钟高时间	4		0.6		
苏 (SDA)	SDA 设置时间	250		100		NS
t (SDA)	SDA 数据保存时间	0 (3)		0 (4)	900 (3)	
t (SDA) t (SCL)	SDA 和 SCL 上升时间		1000		300	
t _f (SDA) t _f (SCL)	SDA 和 SCL 下降时间		300		300	
t (STA)	开始条件保持时间	4		0.6		微秒
吨 (STA)	重复启动条件设置时间	4.7		0.6		
苏 (STO)	停止条件设置时间	4		0.6		微秒
t _w (STO: STA)	停止开始条件时间 (公交车自由)	4.7		1.3		微秒
C _b	每条总线的容性负载		400		400	pF 的

1. 由设计保证, 未经生产测试.
2. f_{PCLK1} 必须高于 2 MHz 才能达到标准模式 I²C 频率. 它必须高于 4 MHz 来实现快速模式 I²C 频率. 它必须是达到 400 kHz 的 10 MHz 的倍数最大 I²C 快速模式时钟.
3. 如果接口没有拉低, 则只能满足启动条件的最大保持时间 SCL 信号的周期.
4. 为了桥接 SDA 信号, 器件必须在内部提供至少 300 ns 的保持时间 SCL 下降沿的未定义区域.

图27. I2C总线交流波形及测量电路 (1)



1. 测量点在CMOS电平上进行：0.3V_{DD}和0.7V_{DD}.

表39. SCL频率 (f_{PCLK1} = 24 MHz, V_{DD} = 3.3 V) (1) (2)

f _{SCL} (kHz)	I2C_CCR值
	R _P = 4.7kΩ
400	0x8011
300	0x8016
200	0x8021
100	0x0064
50	0x00C8
20	0x01F4

1. R_P = 外部上拉电阻, f_{SCL} = I²C速度,
2. 对于400 kHz左右的速度, 实现速度的容差是1%. 对于其他速度范围, 容差就达到了速度1%. 这些变化取决于外部的准确性用于设计应用程序的组件.

SPI接口特性

除非另有说明，否则表40中给出的参数来自测试
在环境温度下执行，fPCLKx 频率和VDD电源电压
条件总结在表8中。

有关输入/输出替代的更多详细信息，请参见第5.3.12节“I/O端口特性”
功能特性（NSS，SCK，MOSI，MISO）。

表40 SPI特性 (1)

符号	参数	条件	敏	马克斯	单元
f SCK 1 / tc (SCK)	SPI时钟频率	主模式		12	兆赫
		从模式		12	
t (SCK) tf (SCK)	SPI时钟上升和下降 时间	容性负载: C = 30 pF		8	NS
DuCy (SCK)	SPI从机输入时钟 占空比	从模式	三十	70	%
苏 (NSS)(2)	NSS安装时间	从模式	4t PCLK		NS
t (NSS)(2)	NSS持有时间	从模式	2t PCLK		
t w (SCK)(2) t w (SCK)(2)	SCK高低时间	主模式, f PCLK = 24 MHz, presc = 4	50	60	
吨 (M)(2) 吨 (SI)(2)	数据输入设置时间	主模式	五		
		从模式	五		
吨 (M)(2) t (SI)(2)	数据输入保持时间	主模式	五		
		从模式	4		
t (SO)(2)	数据输出访问时间从模式	f PCLK = 24 MHz	0	3t PCLK	
t dis (SO)(2)	数据输出禁止时间从模式		2	10	
t (SO)(2)	数据输出有效时间	从模式 (启用边沿之后)		25	
t v (MO)(2)	数据输出有效时间	主模式 (启用后 边缘)		五	
t (SO)(2)	数据输出保持时间	从模式 (启用边沿之后)	15		
吨 (MO)(2)		主模式 (启用后 边缘)	2		

1. 重新映射的SPI1特性待定。
2. 基于特性描述，未经生产测试。
3. 最短时间是驱动输出的最短时间，最长时间是最长验证数据。
4. 最短时间是使输出无效的最短时间，最长时间是最长时间Hi-Z中的数据

图28. SPI时序图 - 从模式和CPHA = 0

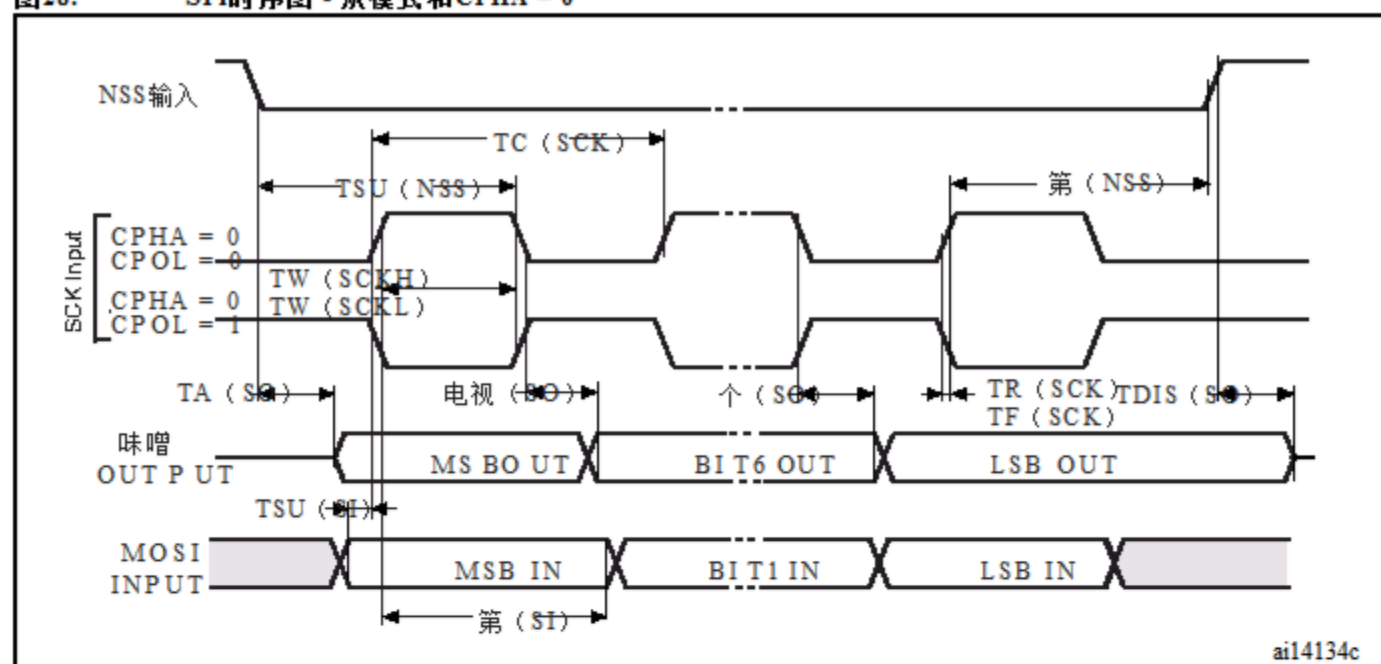
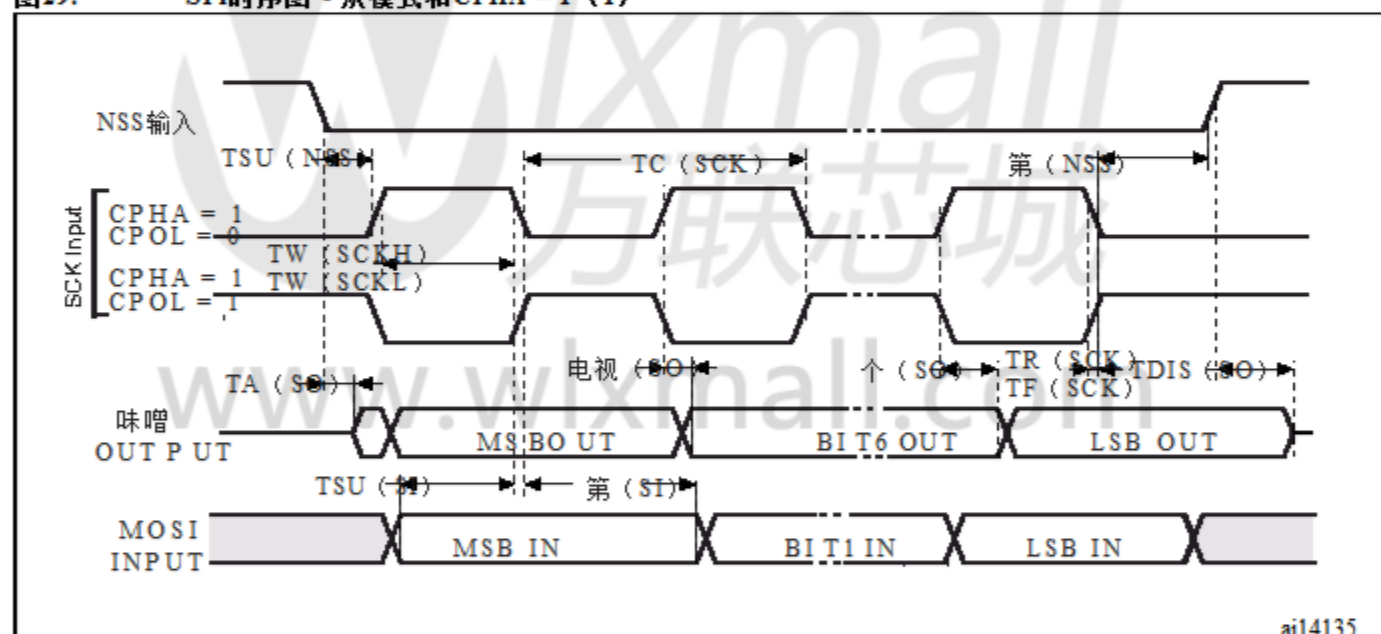
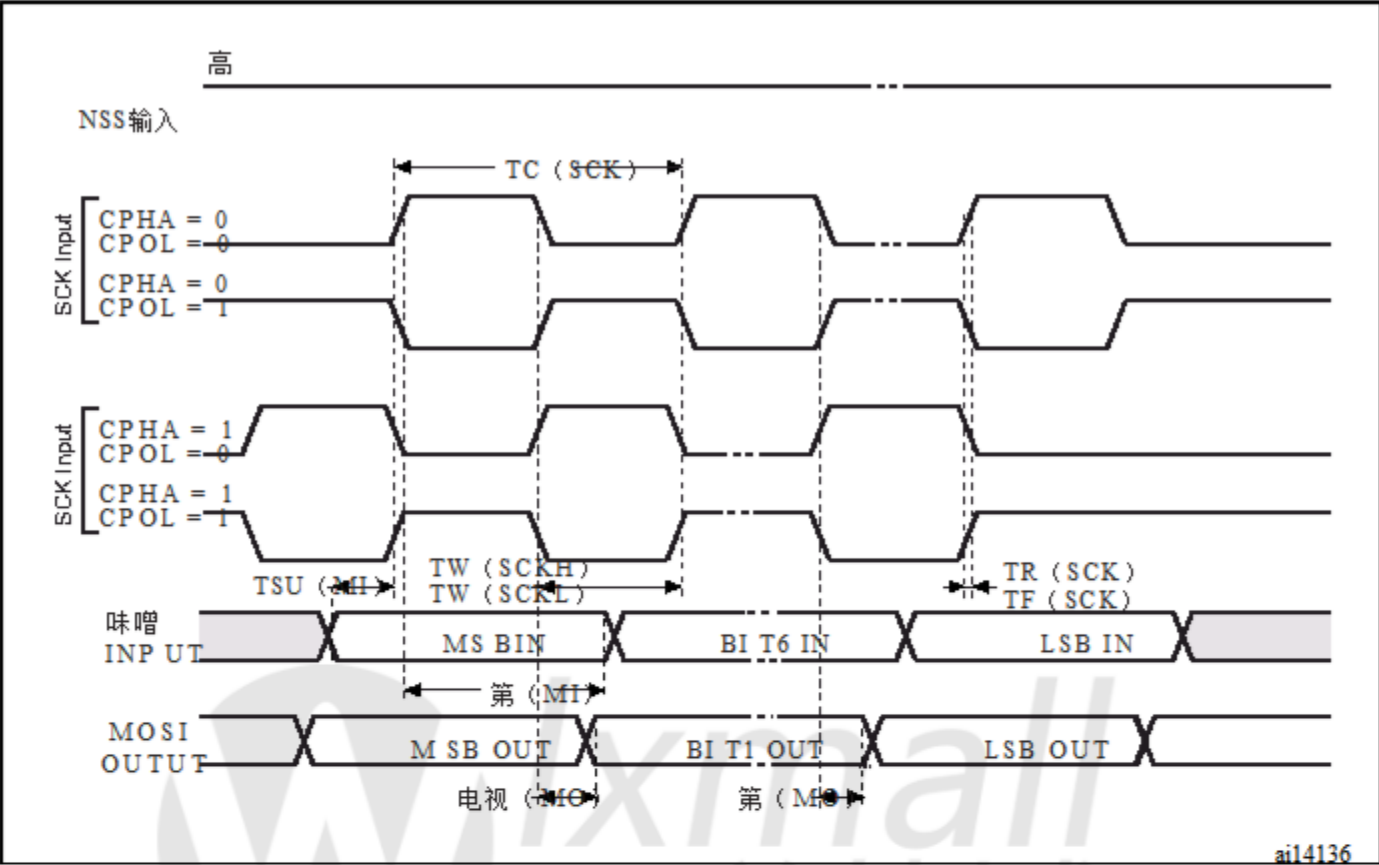


图29. SPI时序图 - 从模式和CPHA = 1 (1)



1. 测量点在CMOS电平上进行：0.3V_{DD}和0.7V_{DD}。

图30. SPI时序图 - 主模式 (1)



1. 测量点在CMOS电平上进行：0.3V_{DD}和0.7V_{DD}。

HDMI消费电子控制（CEC）

有关输入/输出替代的更多详细信息，请参见第5.3.12节“**I/O端口特性**”
功能特点。

5.3.16 12位ADC特性

除非另有说明，否则表41中给出的参数来自测试
在环境温度下执行，f_{PCLK2}频率和V_{DDA}电源电压
条件总结在表8中。

注意：建议在每次上电后执行校准。

表 41. ADC 特性

符号	参数	条件	敏	典型	马克斯	单元
V _{DDA}	电源		2.4		3.6	V
V _{REF+}	正参考电压		2.4		V _{DDA}	V
I _{VREF}	V _{REF} 输入上的电流 消耗			160 (1) 220 (1)		μA
f _{ADC}	ADC 时钟频率		0.6		10	兆赫
f _S (2)	采样率		0.05		1	兆赫
f _{TRIG} (2)	外部触发频率	f _{ADC} = 12 MHz			823	千赫
					17	1 / f _{ADC}
V _{AIN} (3)	转换电压范围		0 (V _{SSA} 绑定到 地面)		V _{REF+}	V
R _{AIN} (2)	外部输入阻抗	见公式 1 和 表 42 详细			50	kΩ
R _{ADC} (2)	采样开关电阻				1	kΩ
C _{ADC} (2)	内部采样和保持 电容器				为 8	pF
T _{CAL} (2)	校准时间	f _{ADC} = 12 MHz	5.9			微秒
			83			1 / f _{ADC}
t _{lat} (2)	注入触发器转换 潜伏	f _{ADC} = 12 MHz			0.214	微秒
					3 (4)	1 / f _{ADC}
t _{latr} (2)	定期触发转换 潜伏	f _{ADC} = 12 MHz			0.143	微秒
					2 (4)	1 / f _{ADC}
T _S (2)	采样时间	f _{ADC} = 12 MHz	0.125		17.1	微秒
			1.5		239.5	1 / f _{ADC}
STAB (2)	开机时间		0	0	1	微秒
t _{CONV} (2)	总转换时间 (包括采样时间)	f _{ADC} = 12 MHz	1.17		21	微秒
			14 至 252 (t _S 取样 + 12.5 逐次逼近)			1 / f _{ADC}

- 根据表征结果，未经生产测试。
- 由设计保证，未经生产测试。
- 在采用 LQFP 封装交付的器件中，V_{REF+} 内部连接至 V_{DDA}，V_{REF-} 内部连接至 V_{SSA}。
进入 TFBGA64 封装的器件具有 V_{REF+} 引脚，但没有 V_{REF-} 引脚（V_{REF-} 内部连接到 V_{SSA}），
见 表 4: STM32F100xx 引脚定义和图 6。
- 对于外部触发，必须将 延迟 1 / f_{PCLK2} 添加到表 41 中指定的延迟时间。

公式 1: R_{AIN max} 公式:

$$R_{AIN} = \frac{t_{lat}}{f_{ADC} \cdot C_{ADC}} \cdot \frac{1}{\ln \frac{1}{2} \cdot \frac{1}{N^2}} \cdot R_{ADC}$$



上面的公式（公式1）用于确定允许的最大外部阻抗
低于LSB 1/4的误差.这里 $N = 12$ （从12位分辨率）。

表42 $f_{ADC} = 12\text{ MHz}$ 时的AIN最大值 (1)

Ts (周期)	tS (μs)	R AIN max (k)
1.5	0.125	0.4
7.5	0.625	5.9
13.5	1.125	11.4
28.5	2.375	25.2
41.5	3.45	37.2
55.5	4.625	50
71.5	5.96	NA
239.5	20	NA

1. 由设计保证，未经生产测试。

表43. ADC准确度 - 有限的测试条件 (1) (2)

符号	参数	测试条件	典型	马克斯	单元
ET	总未调整的错误	f PCLK2 = 24 MHz, f ADC = 12MHz, R AIN <10k Ω , V DDA = 3V至3.6V T A = 25°C 之后的测量 ADC校准	± 1.3	± 2	LSB
EO	偏移错误		± 1	± 1.5	
例如	收益错误		± 0.5	± 1.5	
ED	微分线性误差		± 0.7	± 1	
EL	积分线性误差		± 0.8	± 1.5	

1. ADC直流精度值是在内部校准后测量的。

2. 基于特性描述，未经生产测试。

表44. ADC准确度 (1) (2)

符号	参数	测试条件	典型	最大 (3)	单元
ET	总未调整的错误	f PCLK2 = 24 MHz, f ADC = 12MHz, R AIN <10k Ω , V DDA = 2.4V至3.6V 之后的测量 ADC校准	± 2	± 5	LSB
EO	偏移错误		± 1.5	± 2.5	
例如	收益错误		± 1.5	± 3	
ED	微分线性误差		± 1	± 2	
EL	积分线性误差		± 1.5	± 3	

1. ADC直流精度值是在内部校准后测量的。

2. 在有限的V DD，频率，V REF和温度范围内可以获得更好的性能。

3. 基于特性描述，未经生产测试。

注意：

ADC精度与负向注入电流：在任何一个电流上注入负电流
应该避免标准（非鲁棒）模拟输入引脚，因为这会显著降低
在另一个模拟输入上执行转换的准确性.这是建议
将肖特基二极管（引脚对地）添加到可能注入的标准模拟引脚

负电流.

任何正向注入电流在 I_{INJ} (PIN) 和 I_{INJ} (PIN) 所指定的范围内

第5.3.12节不影响ADC精度.

图31. ADC准确度特性

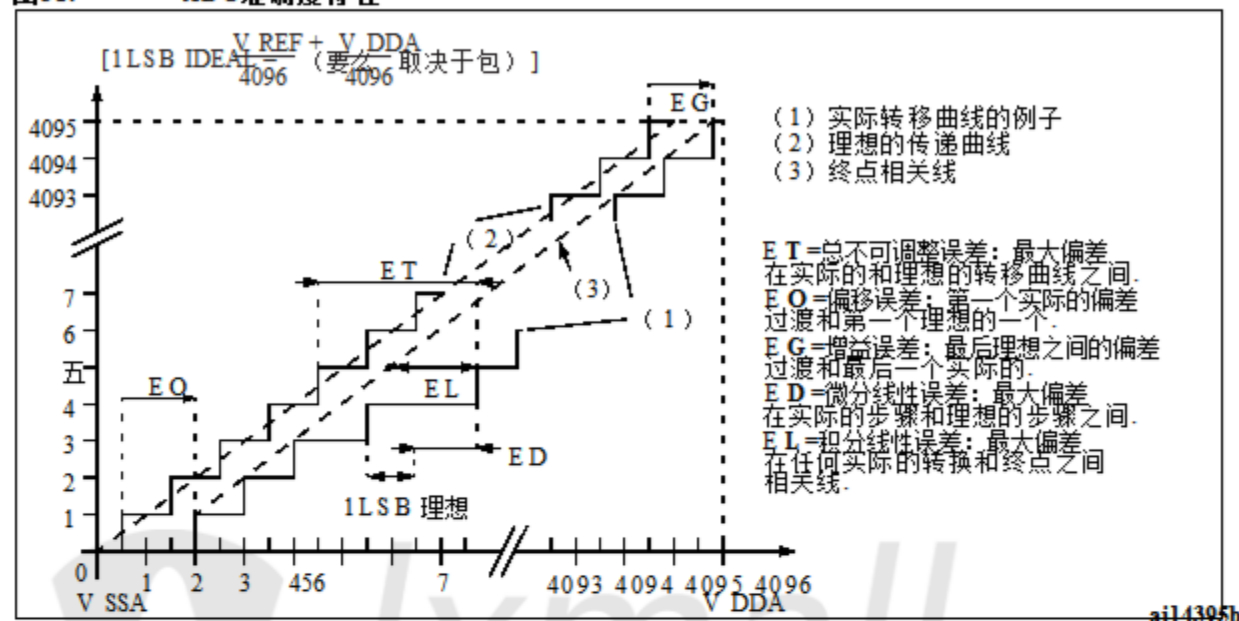
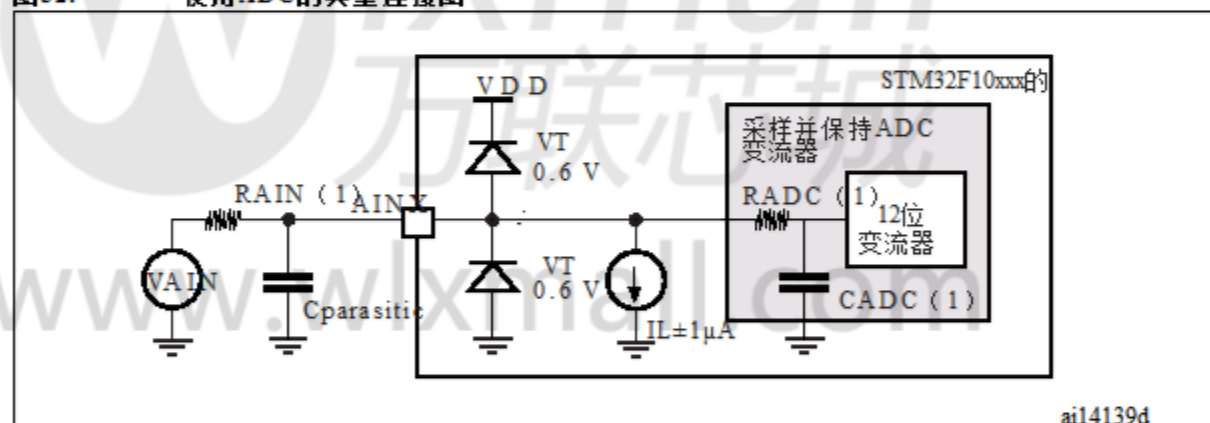


图32. 使用ADC的典型连接图



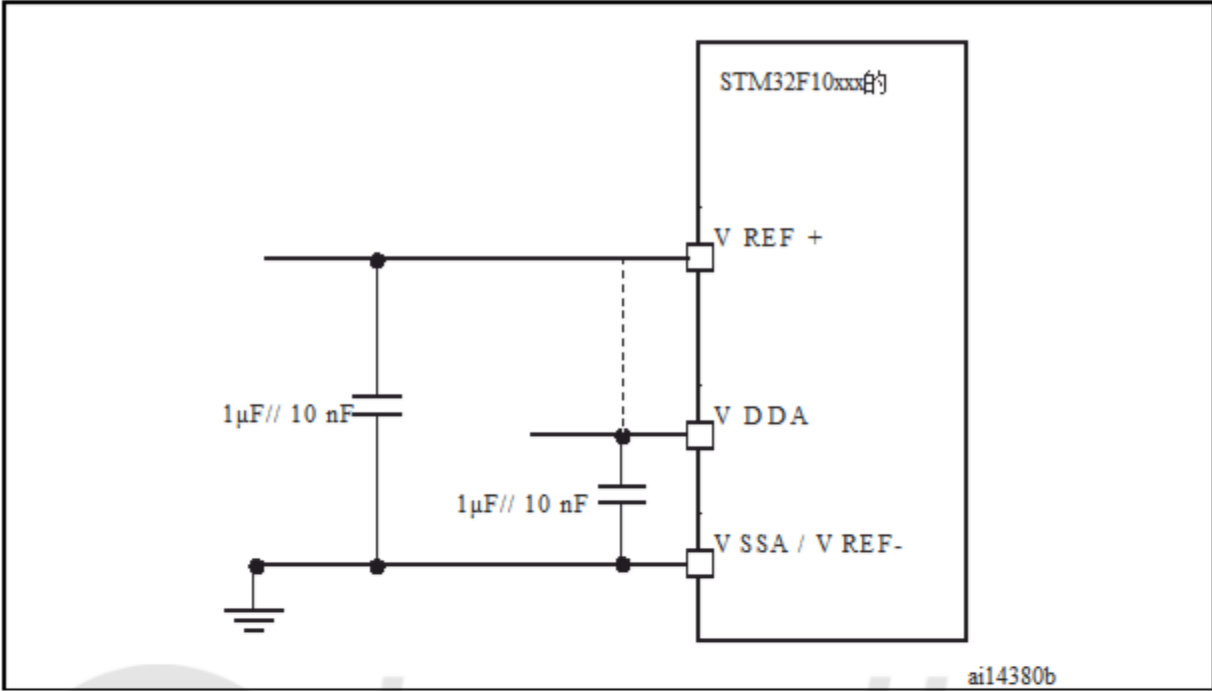
1. R_{AIN} , R_{ADC} 和 C_{ADC} 的值请参见表41.
2. $C_{寄生}$ 表示PCB的电容 (取决于焊接和PCB布局质量) 加上焊盘电容 (大约7 pF). 高 $C_{寄生}$ 值会降低转换精度. 补救这个, ADC 应该减少.

一般PCB设计准则

电源去耦应按图33或图34所示进行.

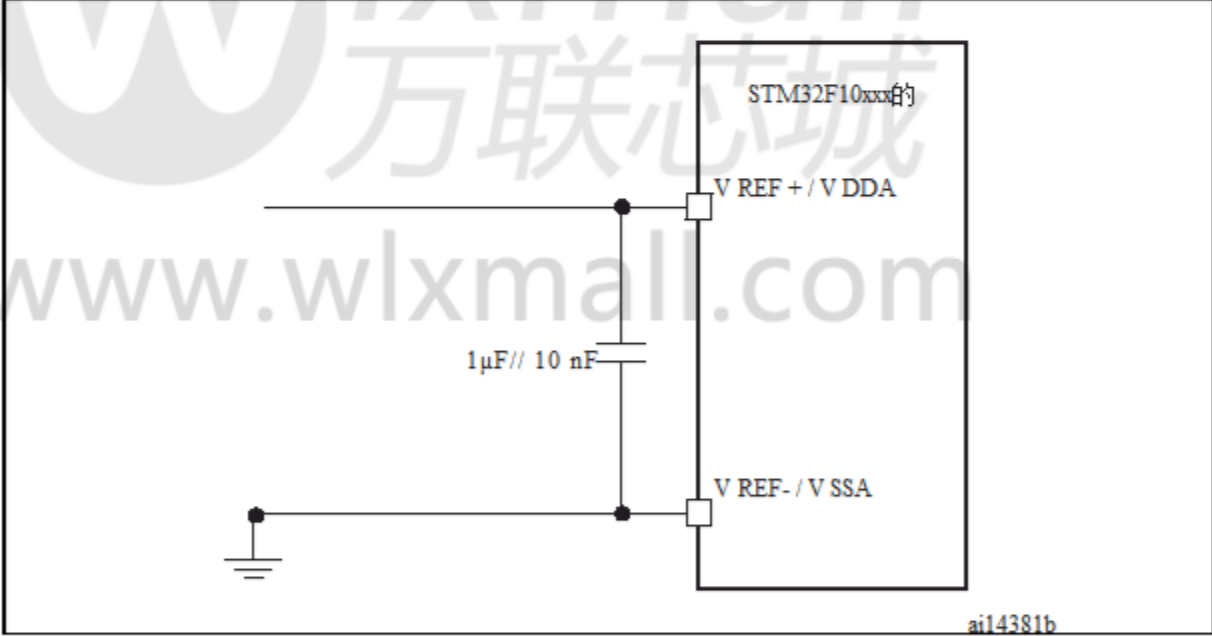
取决于 V_{REF+} 是否连接到 V_{DDA} . 10 nF 电容应该是陶瓷 (质量好). 他们应该放在尽可能靠近芯片.

图33. 电源和参考解耦 (V REF+ 未连接到V DDA)



1. V REF+ 可在100引脚封装和TFBGA64封装上使用. V REF- 可在100引脚上使用只有包.

图34. 电源和参考去耦 (V REF+ 连接到V DDA)



1. V REF+ 和V REF- 输入仅在100引脚封装上可用.

5.3.17 DAC电气规格

表45. DAC特性

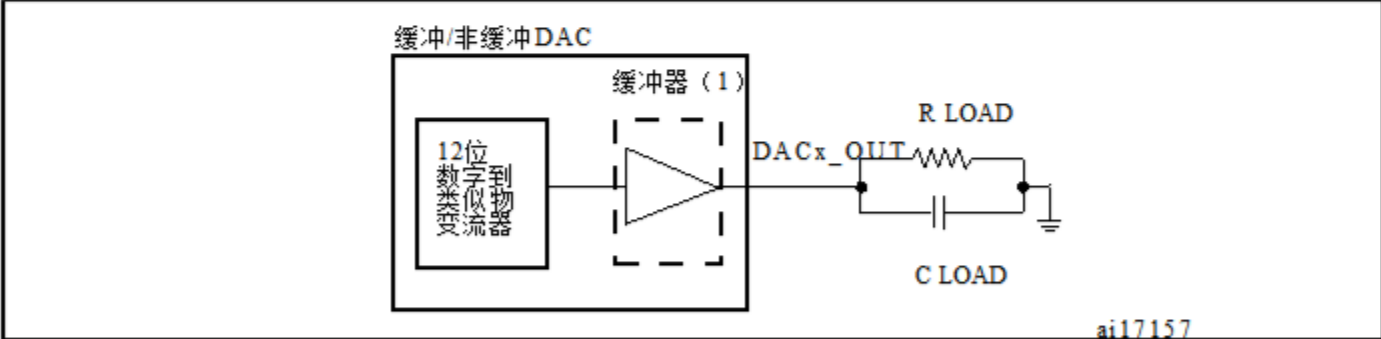
符号	参数	敏	典型	最大 (1)	单元	注释
V _{DDA}	模拟电源电压	2.4		3.6	V	
V _{REF+}	参考电源电压	2.4		3.6	V	V _{REF+} 必须始终低于V _{DDA}
V _{SSA}	地面	0		0	V	
R _{LOAD} (2)	带缓冲器的电阻性负载	五			k Ω	
R _O (1)	阻抗输出与缓冲器关闭			15	k Ω	当缓冲器关闭时，最小电阻负载之间DAC_OUT和V _{SS} 有一个1%的精确度是1.5M Ω
C _{LOAD} (1)	容性负载			50	pF的	最大容性负载DAC_OUT引脚（当缓冲器打开）。
DAC_OUT分 (1)	用缓冲器降低DAC_OUT电压上	0.2			V	它提供了最大的输出DAC的远足。它对应于12位输入代码（0x0E0）到（0xF1C）at V _{REF+} =3.6 V和（0x155）和（0xEAB）在V _{REF+} =2.4 V
DAC_OUT最大值 (1)	带有缓冲器的DAC_OUT电压更高上			V _{DDA} - 0.2	V	
DAC_OUT分 (1)	用缓冲器降低DAC_OUT电压关闭	0.5			毫伏	它提供了最大的输出DAC的远足。
DAC_OUT最大值 (1)	带有缓冲器的DAC_OUT电压更高关闭			V _{REF+} - 1LSB	V	
我 _{DDVREF}	DAC直流电流消耗in静态模式（待机模式）			220	μ A	没有负载，最糟糕的代码（0xF1C）在V _{REF+} =3.6 V in关于DC消费的条款输入
我是 _{DDA}	DAC直流电流消耗in静态模式（待机模式）			380	μ A	没有负载，中间代码（0x800）的输入
				480	μ A	没有负载，最糟糕的代码（0xF1C）在V _{REF+} =3.6 V in关于DC消费的条款输入
DNL (3)	微分非线性差异在两个连续的代码-1LSB之间)			± 0.5	LSB	给定10位的DAC组态
				± 2	LSB	给定12位的DAC组态
INL (3)	积分非线性（差分在代码i的测量值之间和Code i的值在一行上在代码0和最后一个代码之间绘制1023）			± 1	LSB	给定10位的DAC组态
				± 4	LSB	给定12位的DAC组态

表45. DAC特性 (续)

符号	参数	敏	典型	最大 (1)	单元	注释
偏移量 (3)	偏移错误 (测量值之间的差异 在代码 (0x800) 和理想值= $V_{REF+}/2$)			± 10	毫伏	给定12位的DAC 组态
				± 3	LSB	给定10位DAC的DAC $V_{REF+} = 3.6\text{ V}$
				± 12	LSB	鉴于在12位的DAC在 $V_{REF+} = 3.6\text{ V}$
获得 误差 (3)	收益错误			± 0.5	%	鉴于DAC在12位 组态
结算 (3)	建立时间 (全量程: 10位 输入代码之间的转换 最低和最高的输入代码 当DAC_OUT达到最终值时 $\pm 1\text{ LSB}$)		34		微秒	CLOAD 50 pF, RLOAD 5k Ω
更新 率 (3)	最大频率为正确的 小DAC_OUT改变 输入代码的变化 (来自代码i 到i + 1LSB)			1MS / s		CLOAD 50 pF, RLOAD 5k Ω
唤醒 (3)	唤醒时间从关闭状态 (设置 DAC控制中的ENx位 寄存器)		6.5	10	微秒	CLOAD 50 pF, RLOAD 5k Ω 输入代码在最低和 尽可能高的.
PSRR + (1)	电源抑制比 (对V _{DDA}) (静态直流测量)		-67	-40	Db	无RLOAD, CLOAD = 50 pF

- 1. 由特性保证, 未经生产测试.
- 2. 由设计保证, 未经生产测试.
- 3. 由特性保证, 未经生产测试.

图35. 12位缓冲/非缓冲DAC



- 1. DAC集成了一个输出缓冲器, 可以用来降低输出阻抗并直接驱动外部负载而无需使用外部运算放大器. 缓冲区可以通过配置BOFFx位旁路DAC_CR寄存器.

5.3.18 温度传感器特性

表 46. TS特性

符号	参数	敏	典型	马克斯	单元
TL (1)	V SENSE 线性与温度		1	2	C
Avg_Slope (1)	平均坡度	4	4.3	4.6	毫伏/°C
V25 (1)	电压在25°C	1.32	1.41	1.50	V
开始 (2)	启动时间	4		10	微秒
TS_temp (3) (2)	ADC读取温度时的采样时间			17.1	微秒

1. 由特性保证，未经生产测试。
2. 由设计保证，未经生产测试。
3. 可以在应用中通过多次迭代确定最短的采样时间。



6 包特点

6.1 包装机械数据

为了达到环保要求, ST提供这些设备的不同档次
ECOPACK® 包装, 取决于他们的环境合规水平. ECOPACK®
规格, 等级定义和产品状态可在 www.st.com 上获得.
ECOPACK® 是ST商标.



图36. LQFP100,14 x 14 mm, 100引脚薄型四方扁平封装轮廓 (1)

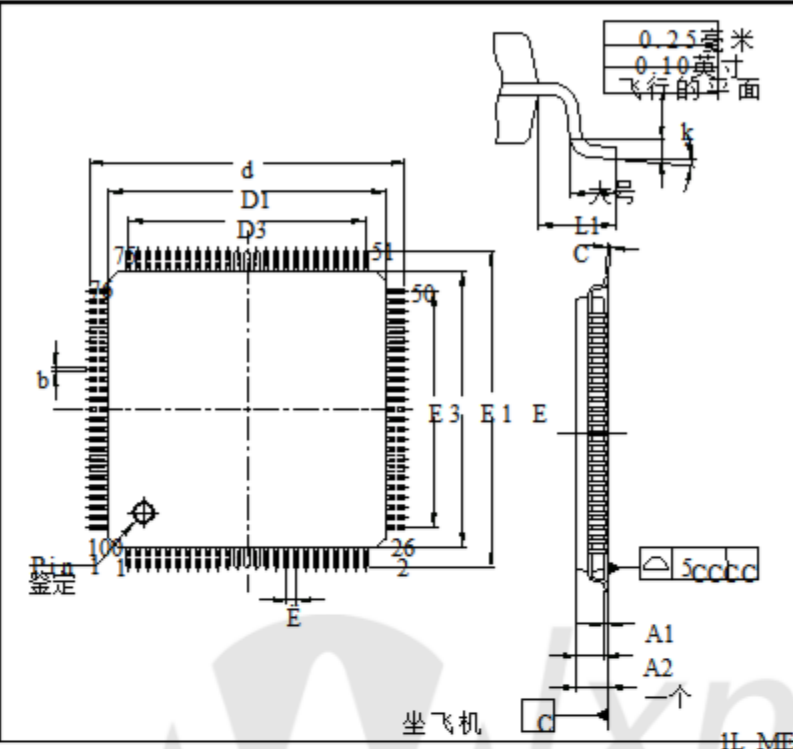
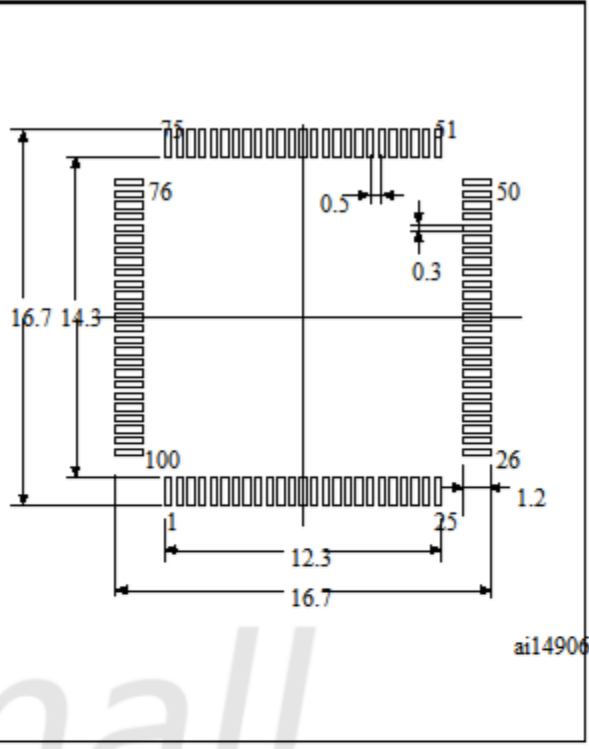


图37. 建议的足迹 (1) (2)



- 1. 绘图不是按比例.
- 2. 尺寸以毫米为单位.

表47. LQFP100 - 14 x 14 mm, 100引脚薄型四方扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.063
A1	0.05		0.15	0.002		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.2	0.0035		0.0079
d	15.80	16.00	16.2	0.622	0.6299	0.6378
D1	13.80	14.00	14.2	0.5433	0.5512	0.5591
D3		12.00			0.4724	
E	15.80	16.00	16.2	0.622	0.6299	0.6378
E1	13.80	14.00	14.2	0.5433	0.5512	0.5591
E3		12.00			0.4724	
E		0.50			0.0197	
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
k	0°	3.5°	7°	0.0°	3.5°	7.0°
CCC	0.08			0.0031		

- 1. 以英寸为单位的值从mm转换为四位十进制数字.

图38. LQFP64 - 10 x 10 mm，64针小尺寸四通道
扁平包装大纲 (1)

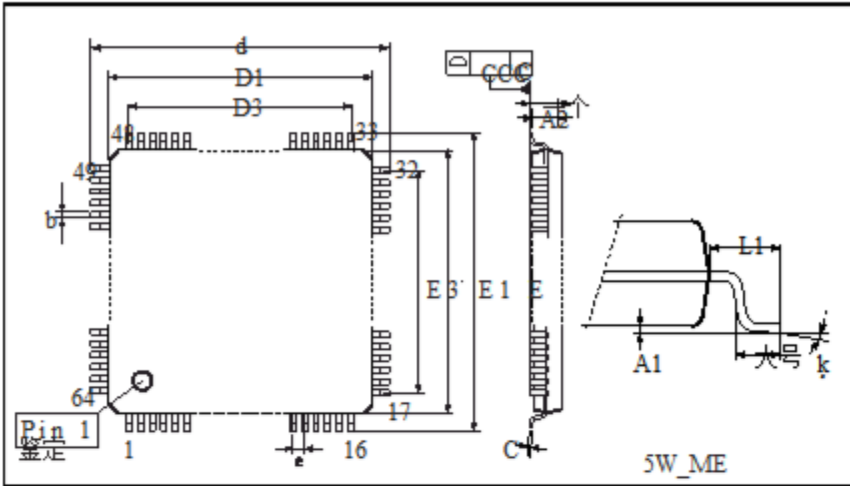
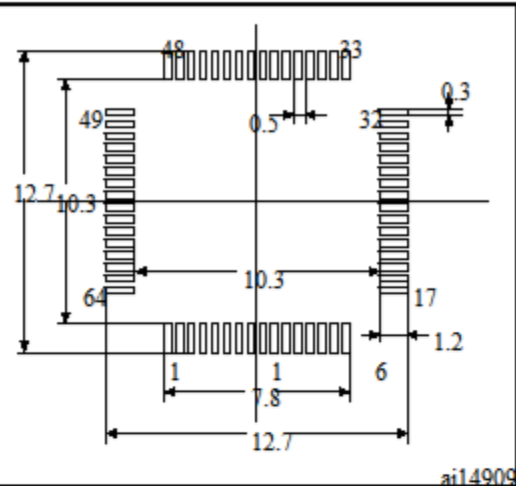


图39. 推荐的
足迹 (1) (2)



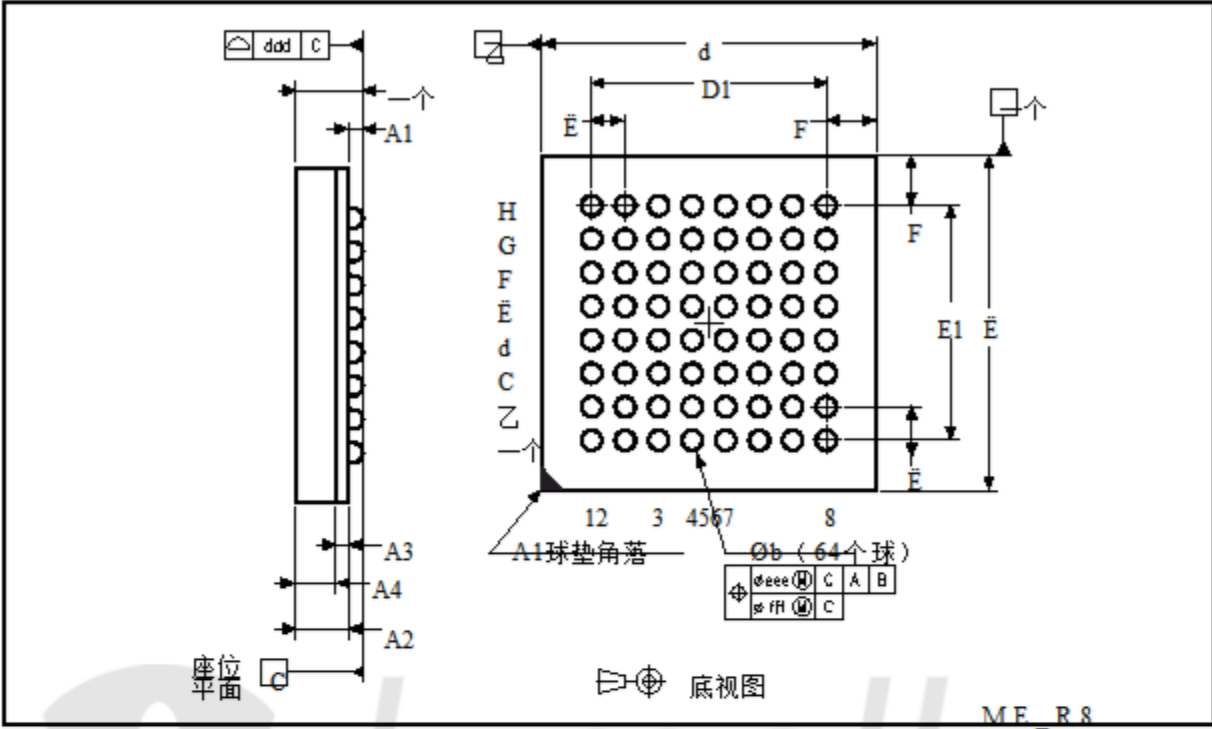
- 1. 绘图不是按比例.
- 2. 尺寸以毫米为单位.

表48. LQFP64 - 10 x 10 mm，64引脚薄型四方扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.0630
A1	0.05		0.15	0.0020		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.20	0.0035		0.0079
d		12.00			0.4724	
D1		10.00			0.3937	
E		12.00			0.4724	
E1		10.00			0.3937	
E		0.50			0.0197	
γ	0°	3.5°	7°	0°	3.5°	7°
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
引脚数						
N	6	4				

- 1. 以英寸为单位的值从mm转换为四位十进制数字.

图40. TFBGA64 - 8 x 8有源球阵列, 5 x 5 mm, 0.5 mm间距, 封装外形



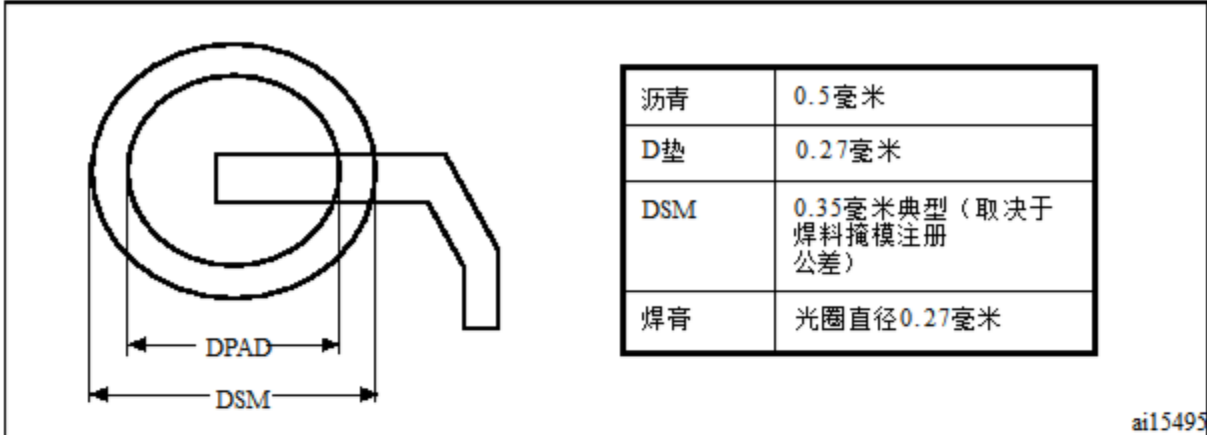
1. 绘图不是按比例。

表49. TFBGA64 - 8 x 8有源球阵列, 5 x 5 mm, 0.5 mm间距, 封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.200			0.0472
A1	0.150			0.0059		
A2		0.785			0.0309	
A3		0.200			0.0079	
A4			0.600			0.0236
b	0.250	0.300	0.350	0.0098	0.0118	0.0138
d	4.850	5.000	5.150	0.1909	0.1969	0.2028
D1		3.500			0.1378	
E	4.850	5.000	5.150	0.1909	0.1969	0.2028
E1		3.500			0.1378	
E		0.500			0.0197	
F		0.750			0.0295	
DDD	0.080			0.0031		
EEE	0.150			0.0059		
FFF	0.050			0.0020		

1. 以英寸为单位的值从mm转换为四位十进制数字。

图41. 推荐PCB的设计规则（0.5毫米间距BGA）



1. 建议使用非阻焊掩膜（NSMD）焊盘
2. 4至6密耳锡膏丝网印刷工艺

 *lxmall*
万联芯城
www.wlxmall.com

6.2 热特性

芯片结点的最大温度 (T J max) 不能超过中给出的值
表8: 第34页的一般操作条件

可以计算以摄氏度为单位的最大芯片结温度T J max
使用以下公式:

T J max = T A max + (P D max×5JA)

哪里:

- T 最大值是环境温度的最高值,
- 5 JA 是封装结到环境的热阻, 单位为 C/W,
- P D max是P INT max和P I/O max之和 (P D max = P INT max + P I/O max),
- P INT max是IDD 和V DD 的乘积, 以瓦特表示. 这是最大的筹码内部动力.

P I/O max表示输出引脚的最大功耗, 其中:

P I/O max = (V OL ×I OL) +5 ((V DD -V OH) ×I OH) ,

考虑到 I/O 的实际V OL /I OL 和V OH /I OH 在低和高的水平应用.

表51 封装热特性

符号	参数	值	单元
5 JA	热阻结 - 环境 LQFP 100 - 14×14毫米/0.5毫米间距	46	°C / W
	热阻结 - 环境 LQFP 64 - 10×10毫米/0.5毫米间距	45	
	热阻结 - 环境 TFBGA64 - 5×5毫米/0.5毫米间距	65	
	热阻结 - 环境 LQFP 48 - 7×7毫米/0.5毫米间距	55	

6.2.1 参考文件

JESD51-2集成电路热测试方法环境条件 - 自然
对流 (静止) .可从 www.jedec.org获得.

6.2.2 选择产品温度范围

订购微控制器时，温度范围在订购时指定

[信息方案如表52所示：订购信息方案。](#)

每个温度范围后缀对应于特定的保证环境温度at
最大耗散和特定的最大结温。

由于应用程序通常不会最大限度地使用STM32F10xxx，所以它非常有用
计算确切的功耗和结温来确定哪个
温度范围将最适合该应用。

以下示例显示如何计算给定的温度范围
应用。

例如：高性能应用程序

假设以下应用条件：

最高环境温度 $T_{Amax} = 82^{\circ}\text{C}$ （根据JESD51-2测量），
 $I_{DDmax} = 50\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，输出低电平时最多同时使用20个I/O
 $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$ ，同时输出最多8个I/O
 $I_{OL} = 20\text{ mA}$ ， $V_{OL} = 1.3\text{ V}$ 的低电平模式
 $P_{INTmax} = 50\text{ mA} \times 3.5\text{ V} = 175\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} + 8 \times 20\text{ mA} \times 1.3\text{ V} = 272\text{ mW}$
 这给出： $P_{INTmax} = 175\text{ mW}$ 和 $P_{IOmax} = 272\text{ mW}$
 $P_{Dmax} = 175 + 272 = 447\text{ mW}$

因此： $P_{Dmax} = 447\text{ mW}$

使用表51中获得的值 T_{Jmax} 按如下计算：

- 对于LQFP64， 45°C/W

$T_{Jmax} = 82^{\circ}\text{C} + (45^{\circ}\text{C/W} \times 447\text{ mW}) = 82^{\circ}\text{C} + 20.1^{\circ}\text{C} = 102.1^{\circ}\text{C}$

这在后缀6个版本部件（ $-40 < T_J < 105^{\circ}\text{C}$ ）的范围内。

在这种情况下，零件必须至少在温度范围后缀6（见“
[表52：订购信息方案。](#)”）。

例2：高温应用

使用相同的规则，可以解决在高环境下运行的应用程序
只要结温 T_J 保持在一个低的温度 范围内
指定范围。

假设以下应用条件：

最高环境温度 $T_{Amax} = 115^{\circ}\text{C}$ （根据JESD51-2测量），
 $I_{DDmax} = 20\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，最多20个I/O同时用于低电平输出
 $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$
 $P_{INTmax} = 20\text{ mA} \times 3.5\text{ V} = 70\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} = 64\text{ mW}$
 这给出： $P_{INTmax} = 70\text{ mW}$ 和 $P_{IOmax} = 64\text{ mW}$ ：
 $P_{Dmax} = 70 + 64 = 134\text{ mW}$

因此： $P_{Dmax} = 134\text{ mW}$

使用表51中获得的值 T_{Jmax} 按如下计算:

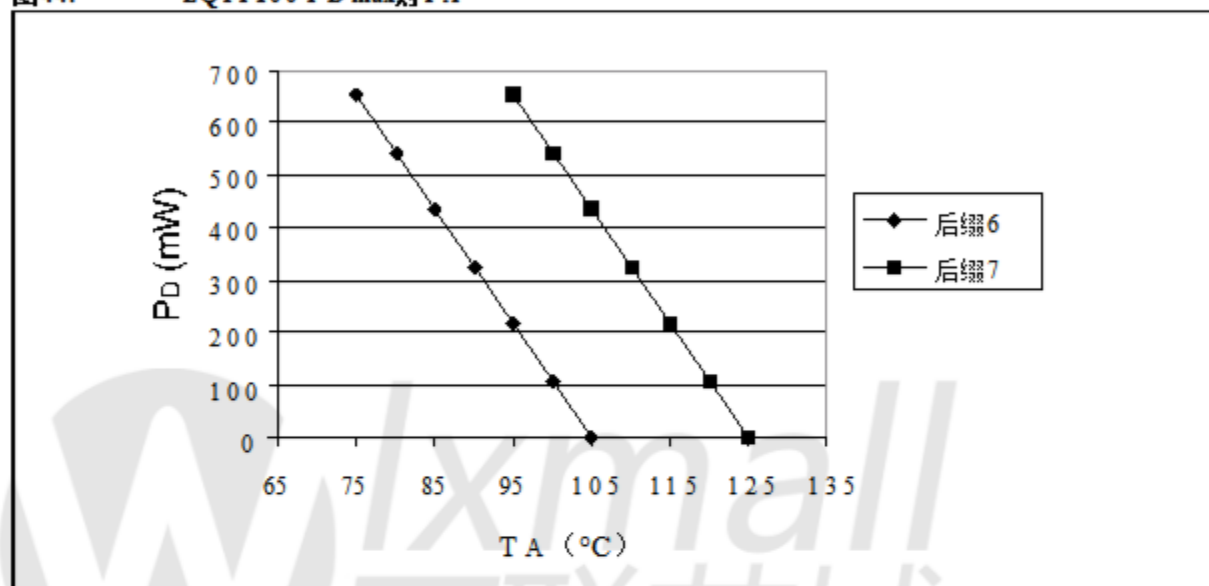
- 对于LQFP100, $46^{\circ}\text{C} / \text{W}$

$$T_{Jmax} = 115^{\circ}\text{C} + (46^{\circ}\text{C} / \text{W} \times 134\text{mW}) = 115^{\circ}\text{C} + 6.2^{\circ}\text{C} = 121.2^{\circ}\text{C}$$

这是在后继7版本部件 ($-40 < T_J < 125^{\circ}\text{C}$) 的范围内.

在这种情况下, 部件必须至少在温度范围后继7 (请参见“[表52: 订购信息方案](#)”).

图44. LQFP100 $P_D \max$ 对 T_A



7 订购信息计划

表 52. 订购信息计划

例:	STM32	F	100	C	6	T	6	B	xxx
设备系列	STM32 =基于ARM的32位微控制器								
产品类别									
F =通用									
设备子系列									
100 =价值线									
引脚数									
C = 48针									
R = 64个引脚									
V = 100个引脚									
闪存大小									
4 = 16 KB闪存									
6 = 32千字节的闪存									
8 = 64千字节的闪存									
B = 128 KB闪存									
包									
T = LQFP									
H = BGA									
温度范围									
6 =工业温度范围, -40至85°C									
7 =工业温度范围, -40到105°C									
内部代码									
乙									
选项									
xxx =编程的部分									
TR =磁带和真实									

有关可用选项（速度，包装等）的列表或任何方面的进一步信息
请联系离您最近的ST销售办事处。



8 修订记录

表 53. 文档修订历史

日期	调整	变化
12 - 10月, 2009年	1	初始发行.
19-JAN-2010	2	增加了TFBGA64封装 (见表49和表40). 表5修改了注5: STM32F100xx引脚定义. 表6中修改的IINJ (PIN): 电流特性.条件从表25中删除: 低功耗模式唤醒定时. 表33修改的注释: I/O静态特性. 图26: 修改了推荐的NRST引脚保护. 注意在表38中修改: I2C特性.图27: I2C总线交流波形和测量电路 (1) 修改. 表45: 修改了DAC特性.图35: 12位缓冲/添加了非缓冲DAC.
26 - 2月 - 2010	3	TIM2, TIM3, TIM4和TIM15, TIM16和TIM17更新. 增加HDMI-CEC电气特性. 值添加到: - 表12: 运行模式下的最大电流消耗, 代码为数据处理从Flash运行 - 表13: 运行模式下的最大电流消耗, 代码为数据处理从RAM运行 - 表14: STM32F100xxB睡眠中的最大电流消耗模式, 从Flash或RAM运行的代码 - 表15: 待机 and 待机时的典型和最大电流消耗待机模式 - 表18: 外设电流消耗 - 表29: EMS特性 - 表30: EMI特性 - 表46: TS特性 第5.3.12节: 修改了I/O端口特性. 增加的数字: - 图12: 运行模式下的最大电流消耗与频率 (在3.6 V) - 代码与从RAM运行的数据处理, 外设已启用 - 图13: 运行模式下的最大电流消耗与频率 (在3.6 V) - 代码与从RAM运行的数据处理, 外设禁用 - 图14: 带调节器的停止模式下的典型电流消耗在运行模式下, 与VDD = 3.3 V和3.6 V时的温度相比 - 图15: 带调节器的停止模式下的典型电流消耗在低功耗模式下, 相对于VDD = 3.3 V和3.6 V时的温度 - 图16: 待机模式下的典型电流消耗与在VDD = 3.3 V和3.6 V时的温度

请仔细阅读：

本档中的信息仅供ST产品使用.意法半导体公司及其附属公司（“ST”）保留所有权利对本文档以及此处所述的产品和服务进行更改，更正，修改或改进的权利时间，恕不另行通知。

所有ST产品均按照ST的销售条款和条件进行销售。

购买者全权负责选择，选择和使用此处所述的ST产品和服务，ST承诺不会与本文所述ST产品和服务的选择，选择或使用相关的责任。

根据本文档，不得以禁止反言或其他方式明示或暗示授予任何知识产权.如果这个的任何部分文件是指任何第三方产品或服务，不得被视为ST授权使用此类第三方产品的许可或服务或其中包含的任何知识产权，或作为保证涵盖以任何方式使用的保证第三方产品或服务或其中包含的任何知识产权。

除非在ST的条款和销售条款中另有规定，ST否认不作任何明示或暗示有关使用和/或销售ST产品的担保，包括但不限于默示适销性，适用于特定用途的保证（及其在法律下的等同性任何司法管辖权），或侵犯任何专利，版权或其他知识产权。

除非经过授权的ST代表的书面明确批准，ST产品不是建议，授权或担保用于军事，航空工程，空间，救生或维持生命应用，或在产品或系统中发生故障或故障可能导致人身伤害，死亡或严重的财产或环境损害。ST产品没有被指定为“汽车等级”只能在用户自行承担风险的情况下在汽车应用中使用。

ST产品的转售与本文件中陈述和/或技术特征不同的条款将立即失效
ST为ST产品或服务所授予的任何保证，不得以任何方式创建或延伸任何ST的责任。

ST和ST标志是ST在各个国家的商标或注册商标。

本文档中的信息取代并替换之前提供的所有信息。

ST标志是意法半导体的注册商标.所有其他名称是其各自所有者的财产。

©2010意法半导体 - 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克 - 芬兰 - 法国 - 德国 - 香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美利坚合众国

www.st.com