



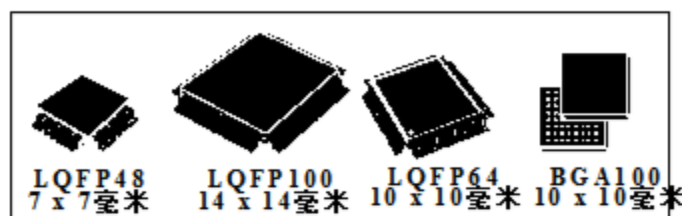
STM32F103x6 STM32F103x8 STM32F103xB

性能线，基于ARM的32位MCU，具有Flash，USB，CAN，
七个16位定时器，两个ADC和九个通信接口

初步数据

特征

- 核心：ARM 32位Cortex™-M3 CPU
 - 72 MHz，90 DMIPS，1.25 DMIPS / MHz
 - 单周期乘法和硬件除法器
 - 嵌套中断控制器43可屏蔽中断通道
 - 中断处理（低至6个CPU循环）与尾链
- 回忆
 - 32到128 KB的闪存
 - 6到20 KB的SRAM
- 时钟，复位和电源管理
 - 2.0到3.6 V的应用电源和I / O
 - POR，PDR和可编程电压检测器（PVD）
 - 4至16 MHz石英振荡器
 - 内部8 MHz工厂调整RC
 - 内部32 kHz RC
 - 用于CPU时钟的PLL
 - 专用的32 kHz振荡器，用于RTC校准
- 低电量
 - 睡眠，停止和待机模式
 - V RTC和备用寄存器的BAT电源
- 2 x 12位，1μs A / D转换器（16通道）
 - 转换范围：0至3.6 V
 - 双重采样和保持能力
 - 与高级控制定时器同步
 - 温度感应器
- DMA
 - 7通道DMA控制器
 - 支持外设：定时器，ADC，SPI，I2Cs和USART



- 调试模式
 - 串行线路调试（SWD）和JTAG接口
- 多达80个快速I / O端口
 - 32/49/80 5 V容忍I / O
 - 所有可映射16个外部中断矢量
 - 原子读/修/写操作
- 多达7个定时器
 - 最多三个16位定时器，每个定时器最多为4个IC / OC / PWM或脉冲计数器
 - 16位，6通道高级控制定时器：最多6个通道用于PWM输出死时间生成和紧急情况停止
 - 2 x 16位看门狗定时器（独立和窗口）
 - SysTick计时器：一个24位下行计时器
- 最多9个通讯接口
 - 最多2 x I2C接口（SMBus / PMBus）
 - 最多3个USART（ISO 7816接口，LIN，IrDA功能，调制解调器控制）
 - 最多2个SPI（18 Mbit / s）
 - CAN接口（2.0B有效）
 - USB 2.0全速接口

表格1. 设备摘要

参考	根部号
STM32F103x6	STM32F103C6，STM32F103R6
STM32F103x8	STM32F103C8，STM32F103R8 STM32F103V8
STM32F103xB	STM32F103RB STM32F103VB

内容

1	介绍	6
2	说明	6
2.1	设备概述	7
2.2	概述	8
3	引脚说明	15
4	内存映射	22
五	电气特性	23
5.1	测试条件	23
5.1.1	最小值和最大值	23
5.1.2	典型值	23
5.1.3	典型曲线	23
5.1.4	加载电容	23
5.1.5	引脚输入电压	23
5.1.6	供电方案	24
5.1.7	电流消耗测量	25
5.2	绝对最大额定值	26
5.3	运行条件	27
5.3.1	一般操作条件	27
5.3.2	上电/掉电时的工作条件	27
5.3.3	嵌入式复位和电源控制块的特性	28
5.3.4	嵌入式参考电压	28
5.3.5	供电电流特性	29
5.3.6	外部时钟源的特性	33
5.3.7	内部时钟源特性	37
5.3.8	PLL特性	38
5.3.9	记忆特征	39
5.3.10	EMC特性	40
5.3.11	绝对最大额定值（电灵敏度）	42
5.3.12	I/O端口引脚特性	43
5.3.13	NRST引脚特性	47

5.3.14	TIM定时器特性.....	48
5.3.15	通讯接口.....	49
5.3.16	CAN（控制器局域网）接口.....	54
5.3.17	12位ADC特性.....	54
5.3.18	温度传感器特性.....	58
6	包装特点.....	59
6.1	热特性.....	64
7	订购代码.....	65
7.1	未来家庭增强.....	65
8	修订记录.....	66



表格清单

表格1.	设备摘要.....	1
表2.	器件功能和外设计数 (STM32F103xx性能线).....	7
表3.	引脚定义.....	18
表4.	电压特性.....	26
表5.	电流特性.....	26
表6.	热特性.....	27
表7.	一般操作条件.....	27
表8.	上电/掉电时的工作条件.....	27
表9.	嵌入式复位和功率控制块特性.....	28
表10.	嵌入式内部参考电压.....	28
表11.	运行和休眠模式下的最大电流消耗.....	29
表12.	停止和待机模式下的最大电流消耗.....	三十
表13.	运行和睡眠模式下的典型电流消耗.....	31
表14.	停止和待机模式下的典型电流消耗.....	32
表15.	高速外部 (HSE) 用户时钟特性.....	33
表16.	低速外部用户时钟特性.....	33
表17.	HSE 4-16 MHz振荡器特性.....	35
表18.	LSE振荡器特性 (fLSE = 32.768 kHz).....	36
表19.	HSI振荡器特性.....	37
表20.	LSI振荡器特性.....	37
表21.	低功耗模式唤醒时序.....	38
表22.	PLL特性.....	38
表23.	闪存特性.....	39
表24.	闪存耐久性和数据保留.....	39
表25.	EMS特点.....	40
表26.	EMI特性.....	41
表27.	ESD绝对最大额定值.....	42
表28.	电敏感.....	42
表29.	I/O静态特性.....	43
表30.	输出电压特性.....	45
表31.	I/O交流特性.....	46
表32.	NRST引脚特性.....	47
表33.	TIMx特性.....	48
表34.	I2C特性.....	49
表35.	SCL频率 (fPCLK1 = 36MHz, VDD = 3.3V).....	50
表36.	SPI特性.....	51
表37.	USB直流电气特性.....	53
表38.	USB: 全速电气特性.....	54
表39.	ADC特性.....	54
表40.	ADC精度 (fPCLK2 = 14 MHz, fADC = 14 MHz, RAIN < 10kΩ, VDDA = 3.3 V).....	55
表41.	TS特性.....	58
表42.	LFBGA100 - 低档细间距球栅阵列封装机械数据.....	59
表43.	LQFP100 - 100针低调四平面封装机械数据.....	61
表44.	LQFP64 - 64针低调四平面封装机械数据.....	62
表45.	LQFP48 - 48针低调四平面封装机械数据.....	63
表46.	热特性.....	64
表47.	订购代码.....	65

数字列表

图1.	STM32F103xx性能线框图	14
图2.	STM32F103xx性能线LQFP100引脚排列	15
图3.	STM32F103xx性能线LQFP64引脚排列	16
图4.	STM32F103xx性能线LQFP48引脚排列	16
图5.	STM32F103xx性能线BGA100喷绘	17
图6.	记忆图	22
图7.	针加载条件	24
图8.	引脚输入电压	24
图9.	供电方案	24
图10.	电流消耗测量方案	25
图11.	高速外部时钟源交流时序图	34
图12.	低速外部时钟源交流时序图	34
图13.	典型应用采用8 MHz晶振	35
图14.	具有32.768 kHz晶体的典型应用	36
图15.	未使用的I/O引脚连接	44
图16.	I/O AC特性定义	47
图17.	推荐NRST引脚保护	48
图18.	I2C总线交流波形和测量电路	50
图19.	SPI时序图 - 从模式和CPHA = 0	52
图20.	SPI时序图 - 从模式和CPHA = 11	52
图21.	SPI时序图 - 主模式	53
图22.	USB定时: 定义数据信号的上升和下降时间	54
图23.	ADC精度特性	56
图24.	使用ADC的典型连接图	56
图25.	电源和参考去耦 (VREF + 未连接到VDDA)	57
图26.	电源和参考去耦 (VREF + 连接到VDDA)	57
图27.	LFBGA100 - 低调细间距球栅阵列封装外形	59
图28.	推荐的PCB设计规则 (0.80 / 0.75mm间距BGA)	60
图29.	LQFP100 - 100针低调四边形扁平封装外形	61
图30.	LQFP64 - 64引脚低调四边形扁平封装外形	62
图31.	LQFP48 - 48针低调四边形扁平封装外形	63

1 介绍

本数据表提供了STM32F103xx性能线路订购信息
机械装置特性。

有关编程，擦除和保护内部闪存的信息
请参考STM32F10xxx Flash编程参考手册pm0042
来自www.st.com。

有关Cortex-M3内核的信息，请参阅Cortex-M3技术参考
手册。

2 描述

STM32F103xx性能线系列集成了高性能ARM
Cortex-M3 32位RISC内核工作在72 MHz频率，高速嵌入式
存储器（闪存高达128K字节，SRAM高达20 KB），并且广泛
增强的I/O范围和连接到两个APB总线的外围设备。所有设备都提供两种
12位ADC，三个通用16位定时器和一个PWM定时器，以及标准
和高级通信接口：最多两个I2Cs和SPI，三个USART，一个USB
和CAN。

STM32F103xx性能线路系列在-40至+105°C温度
范围从2.0到3.6 V电源。全面的省电模式允许
设计低功耗应用。

完整的STM32F103xx系列产品包括4种不同的设备
封装类型：从48针到100针。根据所选择的设备，不同的组合
包括外围设备，下面的描述将概述完整的范围
这个家庭提出的外设。

这些功能使得STM32F103xx性能线路微控制器系列成为可能
应用范围广泛：

- 电机驱动和应用控制
- 医疗和手持设备
- PC外设游戏和GPS平台
- 工业应用：PLC，逆变器，打印机和扫描仪
- 报警系统，视频对讲和暖通空调

图1显示了器件系列的一般框图。



2.1 设备概述

表2. 器件特性和外设计数（STM32F103xx性能线）

外围设备		STM32F103Cx		STM32F103Rx			STM32F103Vx	
闪存 - 千字节		32	64	32	64	128	64	128
SRAM - Kbytes		10	20	10	20		20	
Timers	一般用途	23		2	3		3	
	高级控制	11					1	
Communication	SPI	12		1	2		2	
	I2C	12		1	2		2	
	USART	23		2	3		3	
	USB	11		1	1		1	
	以太网	1	1	1	1		1	
个GPIO		32		49			80	
12位同步ADC 通道数量		2 10个通道		2 16个通道				
CPU频率		72 MHz						
工作电压		2.0至3.6 V						
工作温度		-40至+85°C / -40至+105°C						
包		LQFP48		LQFP64			LQFP100, BGA100	

2.2 概观

具有嵌入式闪存和SRAM的 ARM®Cortex™-M3内核

ARM Cortex-M3处理器是嵌入式的最新一代ARM处理器系统.它已经开发出来提供一个满足MCU需求的低成本平台实现,减少引脚数和低功耗,同时交付出色的计算性能和对中断的高级系统响应.

ARM Cortex-M3 32位RISC处理器具有出色的代码效率.高性能预期从ARM内核的内存大小通常相关.具有8位和16位器件.

因此,具有嵌入式ARM内核的STM32F103xx性能系列产品系列兼容所有ARM工具和软件.

图1显示了器件系列的一般框图.

嵌入式闪存

- 高达128 KB的嵌入式闪存可用于存储程序和数据.

嵌入式SRAM

以CPU等待时钟速度访问高达20 KB的嵌入式SRAM (读/写) 状态.

嵌套矢量中断控制器 (NVIC)

STM32F103xx性能线嵌入了嵌套向量中断控制器.可处理多达43个可屏蔽中断通道 (不包括Cortex-M3) 和16个优先级.

- 紧密耦合的NVIC提供低延迟中断处理
- 中断条目向量表地址直接传递给核心
- 紧密耦合的NVIC核心接口
- 允许早期处理中断
- 处理晚到高优先级中断
- 支持尾链
- 处理器状态自动保存
- 中断条目在中断退出时恢复,没有指令开销

该硬件块提供灵活的中断管理功能,具有最少的中断潜伏.

外部中断/事件控制器 (EXTI)

外部中断/事件控制器由用于生成的19个边缘检测器线组成.中断/事件请求.每行可以独立配置以选择触发事件 (上升沿,下降沿,两者),可以独立屏蔽.待处理的注册保持中断请求的状态.EXTI可以用脉冲检测外部线路.宽度低于内部APB2时钟周期.16个连接多达80个GPIO外部中断线.

时钟和启动

系统时钟选择在启动时执行，但内部RC 8 MHz振荡器是选择为默认CPU时钟复位。可以选择外部4-16 MHz时钟监控失败。在这种情况下，它被禁用和软件中断管理如下。类似地，可以使用PLL时钟条目的完全中断管理必要时（例如使用间接使用的外部振荡器的故障）。

几个预分频器允许配置AHB频率，即高速APB（APB2）和低速APB（APB1）域。最高频率的AHB和高速APB域为72 MHz。Low的最大允许频率速度APB域为36 MHz。

启动模式

启动时，引导引脚用于选择三个引导选项之一：

- 从用户Flash引导
- 从系统内存引导
- 从SRAM引导

引导加载程序位于系统内存中。它用于重新编程Flash存储器使用USART。

供电方案

- $V_{DD} = 2.0$ 至 3.6 V：用于I/O和内部稳压器的外部电源。通过V DD引脚外部提供。
- V_{SSA} ， $V_{DDA} = 2.0$ 至 3.6 V：ADC，复位块，RC的外部模拟电源和PLL。在V DD范围内（ADC限制在2.4 V）。
- $V_{BAT} = 1.8$ 至 3.6 V：RTC电源，外部时钟32 kHz振荡器和备份当V DD不存在时，寄存器（通过电源开关）。

供电主管

该器件具有集成上电复位（POR）/掉电复位（PDR）电路。它始终处于活动状态，确保从/从低到2V的正常操作。当V DD低于指定阈值V POR / PDR时，不需要保持复位模式用于外部复位电路。

该器件具有嵌入式可编程电压检测器（PVD），可以监控V DD电源，并将其与V PVD阈值进行比较。可以产生中断当V DD低于V PVD时和/或当V DD高于V PVD阈值时。该中断服务程序可以生成警告消息和/或将MCU放入安全状态。PVD由软件启用。

参见表9：嵌入式复位和功率控制块特性的值V POR / PDR和V PVD。

电压调节器

调节器有三种操作模式：主（MR），低功率（LPR）和掉电。

- MR用于标称调节模式（Run）
- LPR用于停止模式。
- 在待机模式下使用掉电：稳压器输出为高阻抗：内核电路掉电，引起零消耗（但内容为寄存器和SRAM丢失）

复位后总是使能该调节器。在待机模式下禁用，提供高电平阻抗输出。

低功耗模式

STM32F103xx性能线支持三种低功耗模式，以达到最佳效能低功耗，启动时间短和可用的唤醒之间的妥协来源：

- 睡眠模式
在睡眠模式下，只有CPU停止。所有外设都可以继续运行。中断/事件发生时唤醒CPU。
- 停止模式
停止模式允许在保留内容的同时实现最低的功耗。1.8V域中的所有时钟都被停止，PLL是HSI HSE RC振荡器被禁用。电压调节器也可以放在正常或低功耗模式。
可以通过任何EXTI行从停止模式唤醒设备。EXTI行源可以是16条外线，PVD输出，RTC报警或USB醒来。
- 待机模式
待机模式允许实现最低功耗。内置的关闭电压调节器，使整个1.8 V域断电。该PLL，HSI和HSE RC振荡器也被关闭。进入待机模式，SRAM和寄存器内容丢失，但备份域中的寄存器除外和待机电路。
外部复位（NRST引脚），IWDG复位时，器件退出待机模式WKUP引脚上升沿，或发生RTC报警。

注意： RTC，IWDG和相应的时钟源不会通过进入Stop来停止或待机模式。

DMA

灵活的7通道通用DMA能够管理内存到内存，外设到内存和内存到外设的传输。DMA控制器支持循环缓冲管理避免了当控制器产生中断到达缓冲区的末尾。

每个通道都连接到专用硬件DMA请求，并支持软件触发每个通道。配置由软件和传输大小之间进行源和目的地是独立的。

DMA可用于主要外设：SPI，I2C，USART，通用和高级控制定时器TIMx和ADC。

RTC（实时时钟）和备份寄存器

RTC和备用寄存器是通过开启电源的开关提供的
VDD电源存在或通过VBAT引脚. 备份寄存器（十个16位寄存器）可以用于在不存在VDD电源时存储数据。

实时时钟提供了一套连续运行的计数器，可与之一起使用
适合软件提供时钟日历功能，并提供报警中断和
周期性中断.它由外部32.768 kHz振荡器（内部低功耗）提供时钟
RC振荡器或高速外部时钟除以128.内部低功耗RC
典型频率为32 kHz. RTC可以使用外部512 Hz进行校准
输出以补偿任何天然石英偏差. RTC具有32位
可编程计数器用于长期测量使用比较寄存器生成
一个闹钟. 20位预分频器用于时基时钟，默认配置为
从32.768 kHz的时钟产生1秒的时基。

独立看门狗

独立看门狗基于12位向下计数器和8位预分频器.它是
来自独立的32 kHz内部RC，并且独立于
主时钟，它可以在停止和待机模式下工作.它可以用作看门狗
在发生问题时重置设备，或者作为应用程序超时的自由运行定时器
管理.它是通过选项字节进行的硬件或软件配置.柜台
可以在调试模式下冻结。

窗口看门狗

窗口看门狗基于可以设置为免费运行的7位下位机.它
可以用作看门狗在出现问题时重置设备.它是从时钟
主时钟它具有早期警告中断功能，计数器可以冻结
调试模式。

SysTick计时器

该定时器专用于操作系统，但也可以用作标准递减计数器.它
特征：

- 一个24位向下计数器
- 自动装载功能
- 当计数器达到0时，可屏蔽系统产生中断。
- 可编程时钟源

通用定时器（TIMx）

STM32F103xx中嵌入了3个可同步的标准定时器
性能线设备.这些定时器基于16位自动重载加/减计数器，
一个16位预分频器，并具有4个独立通道，每个用于输入捕捉/输出
比较，PWM或单脉冲模式输出.最多可以输入12个输入捕捉/输出
比较/ PWM在最大的包.他们可以与Advanced进行合作
控制定时器通过定时器链接功能进行同步或事件链接。

计数器可以在调试模式下冻结。

任何标准定时器都可用于产生PWM输出.每个计时器都有
独立的DMA请求代。

高级控制定时器 (TIM1)

高级控制定时器 (TIM1) 可以看作是6位三相PWM复用通道. 它也可以被看作是一个完整的通用定时器. 4独立通道可以用于

- 输入捕捉
- 输出比较
- PWM生成 (边沿或中心对齐模式)
- 一个脉冲模式输出
- 具有可编程插入死区的互补PWM输出.

如果配置为标准的16位定时器, 它具有与TIMx定时器相同的功能. 如果配置为16位PWM发生器, 具有完全调制能力 (0-100%) .

计数器可以在调试模式下冻结.

许多功能与具有相同功能的标准TIM定时器共享. 因此, 高级控制定时器可以通过TIM定时器一起工作. 定时器链接功能用于同步或事件链接.

I²C总线

多达两个I²C总线接口可以在多主和从模式下工作. 他们可以支持标准和快速模式.

它们支持双从机寻址 (仅限7位) 和主器件中的7/10位寻址模式. 嵌入硬件CRC生成/验证.

它们可以由DMA提供, 它们支持SM Bus 2.0 / PM Bus.

通用同步/异步接收发射机 (USART)

其中一个USART接口能够以高达4.5 Mbit / s的速度进行通信. 该其他可用接口通信速度高达2.25 Mbit / s. 他们提供硬件CTS和RTS信号的管理, IrDA SIR ENDEC支持, 均为ISO 7816并具有LIN主/从功能.

所有USART接口都可由DMA控制器提供.

串行外设接口 (SPI)

最多两个SPI能够在从机和主机模式下以全功能通信高达18 Mbits / s, 双工和单工通信模式. 3位预分频器提供8个主模式. 频率和帧可配置从8位到16位. 硬件CRC生成/验证支持基本的SD卡/ MMC模式.

两个SPI都可以由DMA控制器提供.

控制器局域网 (CAN)

CAN符合规格2.0A和B (有效), 速率高达1 Mbit / s. 它可以接收和发送具有11位标识符和扩展帧的标准帧. 具有29位标识符. 它有三个发送邮箱, 两个接收FIFO有3个阶段. 14个可扩展滤波器组.

通用串行总线（USB）

STM32F103xx性能线嵌入一个USB设备外设兼容USB全速12 Mbps USB接口实现全速（12 Mbit / s）功能接口.它具有软件可配置的端点设置和挂起/恢复支持.该专用的48 MHz时钟源由内部主PLL产生.

GPIO（通用输入/输出）

每个GPIO引脚可以通过软件配置为输出（推挽式或开漏式），如同输入（带或不带上拉或下拉）或作为外设备用功能.大部分的GPIO引脚与数字或模拟交替功能共享.所有GPIO都是高电流 - 能.

如果需要特定的I / O备用功能配置可以被锁定以避免对I / O寄存器进行杂乱写入.

APB2上的I / O具有高达18 MHz的切换速度

ADC（模数转换器）

两个12位模数转换器嵌入STM32F103xx性能线设备和每个ADC共有多达16个外部通道，拍摄或扫描模式.在扫描模式下，对所选组进行自动转换的模拟输入.

嵌入在ADC接口中的附加逻辑功能允许：

- 同时采样和保持
- 交错采样和保持
- 单路分流

ADC可由DMA控制器提供.

模拟看门狗功能允许非常精确地监视一个的转换电压，一些或所有选定的频道.转换后的电压产生中断超出编程阈值.

由标准定时器（TIMx）和高级控制定时器（TIM1）生成的事件可以内部连接到ADC启动触发，注入触发和DMA触发分别允许应用程序同步A / D转换和定时器.

温度感应器

温度传感器必须产生任何温度变化的线性电压.转换范围在2 V < VDDA < 3.6 V之间.温度传感器在内部连接到用于转换传感器输出的ADC_IN16输入通道电压变为数字值.

串行线JTAG调试端口（SWJ-DP）

ARM SWJ-DP接口已嵌入.并且是一个组合的JTAG和串行线调试端口，使串行线路调试或JTAG探针连接到目标.

JTAG TMS和TCK引脚分别与SWDIO和SWCLK共享，a TMS引脚上的特定序列用于在JTAG-DP和SW-DP之间切换.

1. TA = -40°C至+105°C (结温高达125°C)。
2. AF = I / O端口引脚上的备用功能。

3 引脚说明

图2. STM32F103xx性能线LQFP100引脚排列

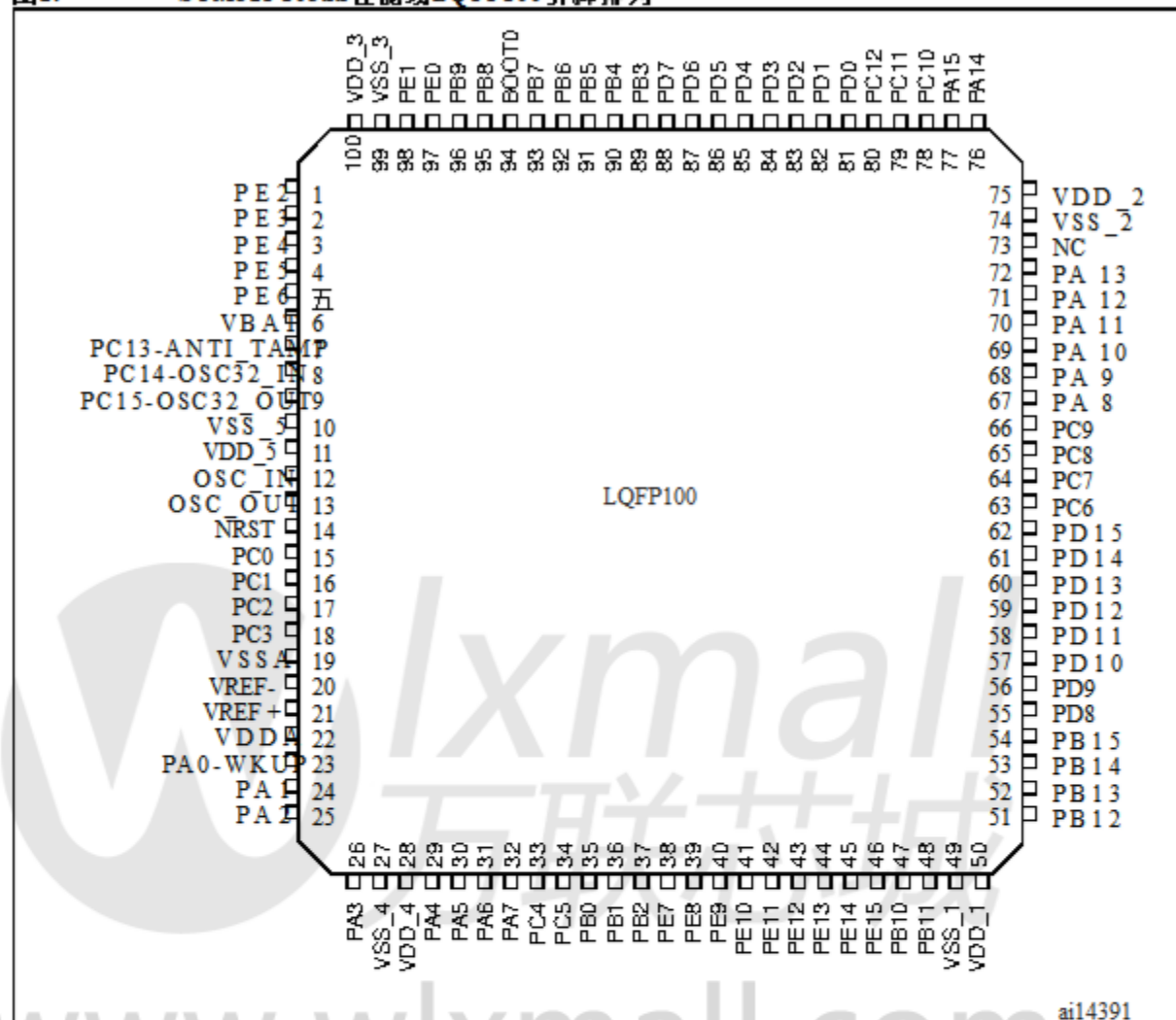


图3. STM32F103xx性能线LQFP64引脚排列

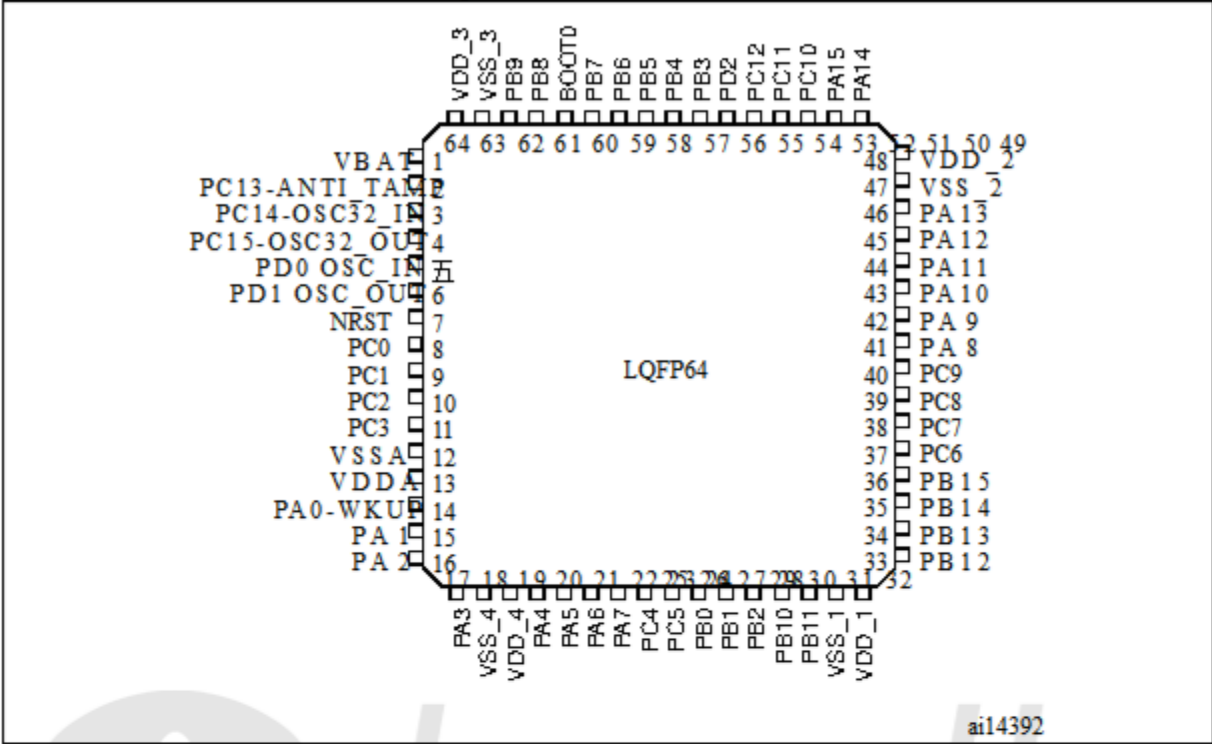


图4. STM32F103xx性能线LQFP48引脚排列

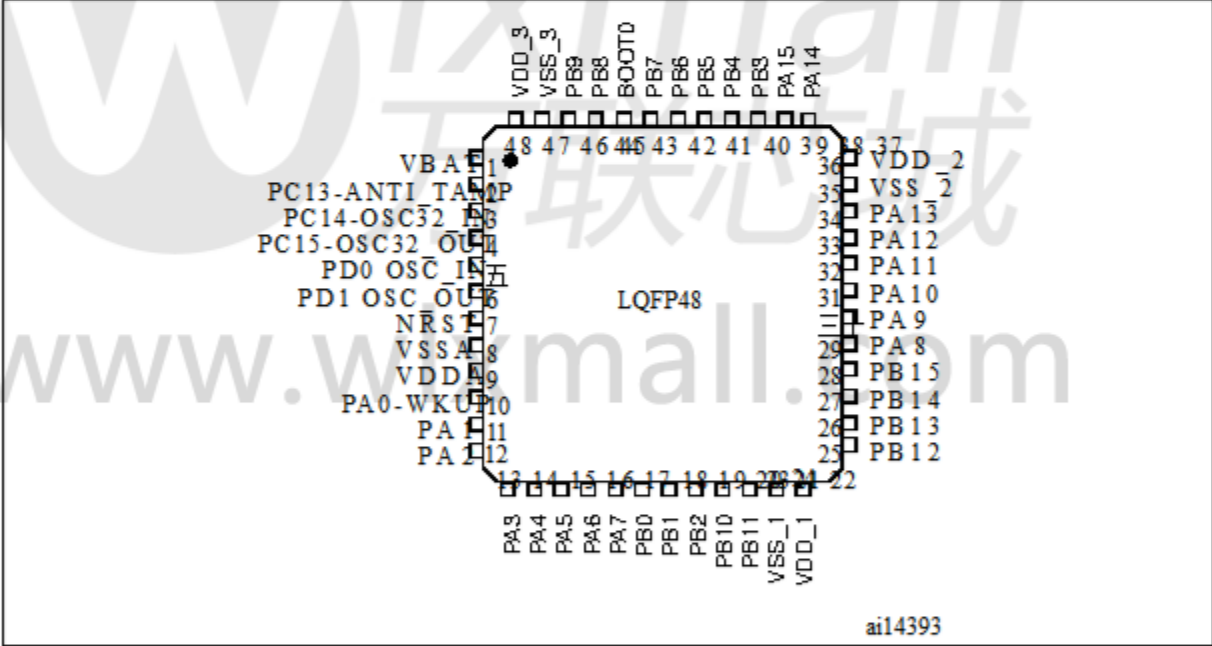


图5. STM32F103xx性能线BGA100喷绘

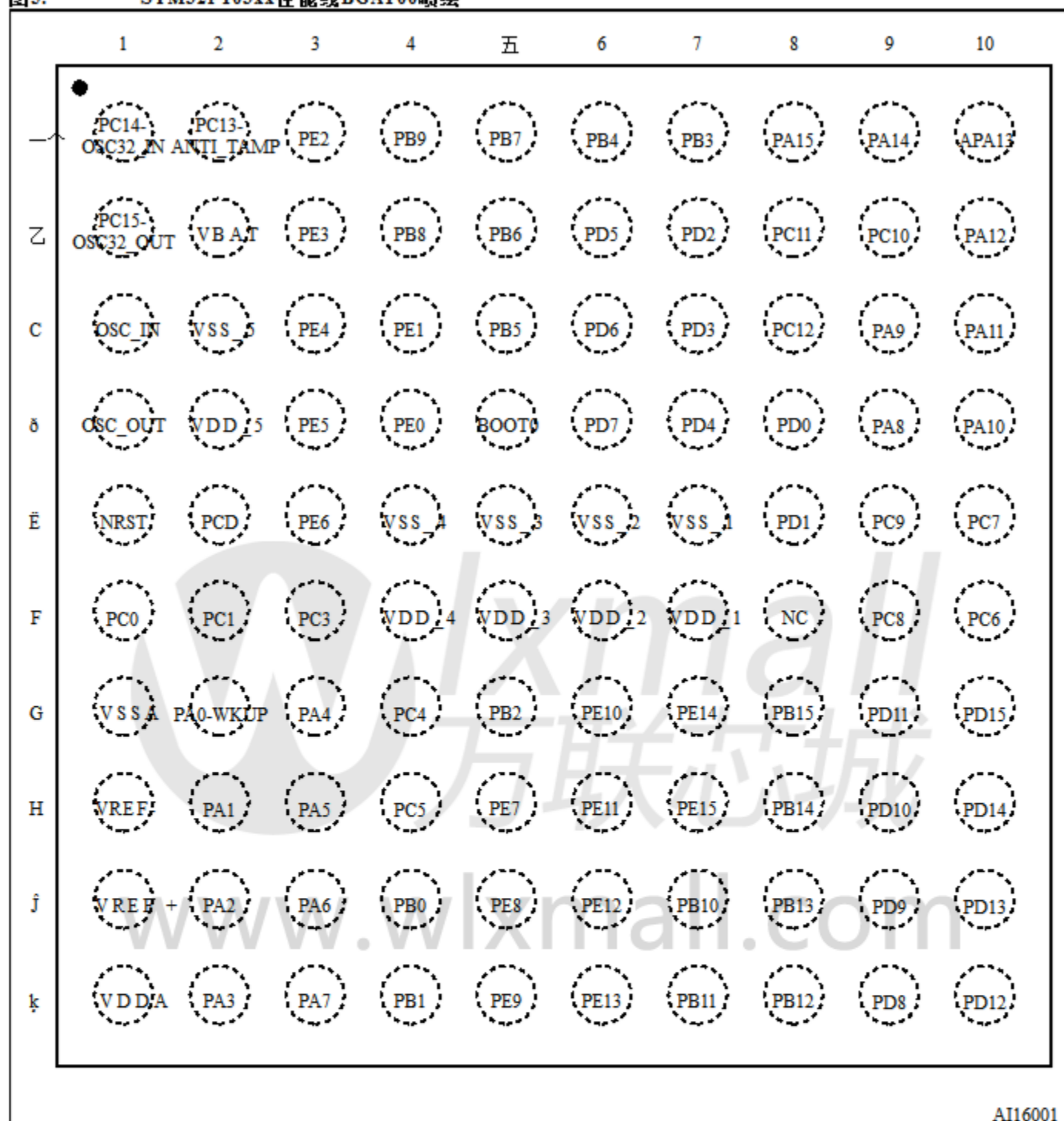


表3. 引脚定义

销				引脚名称	Type ⁽¹⁾	I / O Level ⁽²⁾	主要功能 (3) (复位后)	默认备用功能
BGA100	LQFP48	LQFP64	LQFP100					
A3	-	-	1	PE2 / TRACECK	I/O	FT	PE2	TRACECK
B3	-	-	2	PE3 / TRACED0	I/O	FT	PE3	TRACED0
C3	-	-	3	PE4 / TRACED1	I/O	FT	PE4	TRACED1
D3	-	-	4	PE5 / TRACED2	I/O	FT	PE5	TRACED2
E3	-	-	五	PE6 / TRACED3	I/O	FT	PE6	TRACED3
B2	1	1	6	V BAT	S V	BAT		
A2	2	2	7	PC13-ANTI_TAMP (4)	I / O		PC13	ANTI_TAMP
A1	3	3	8	PC14-OSC32_IN (4)	I/O		PC14-OSC32_IN	
B1	4	4	9	PC15-OSC32_OUT (4)	I/O		PC15-OSC32_OUT	
C2	-	-	10	V SS_5	S V	SS_5		
D2	-	-	11	V DD_5	S V	DD_5		
C1	五	五	12	OSC_IN	—世		OSC_IN	
D1	6	6	13	OSC_OUT	Ø		OSC_OUT	
E1	7	7	14	NRST	I / O		NRST	
F1	-	8	15	PC0 / ADC_IN10	I/O		PC0	ADC_IN10
F2	-	9	16	PC1 / ADC_IN11	I/O		PC1	ADC_IN11
E2	-	10	17	PC2 / ADC_IN12	I/O		PC2	ADC_IN12
F3	-	11	18	PC3 / ADC_IN13	I/O		PC3	ADC_IN13
G1	8	12	19	V SSA	S V	SSA		
H1	-	-	20	V REF-	S V	REF-		
J1	-	-	21	V REF+	S V	REF+		
K1	9	13	22	V DDA	S V	DDA		
G2	10	14	23	PA0-WKUP / USART2_CTS / ADC_IN0 / TIM2_CH1_ETR	I / O		PA0	WKUP / USART2_CTS (6) / AD C_IN0 / TIM2_CH1_ETR (6)
H2	11	15	24	PA1 / USART2_RTS / ADC_IN1 / TIM2_CH2	I / O		PA1	USART2_RTS (6) / ADC_IN1 / TIM2_CH2 (6)
J2	12	16	25	PA2 / USART2_TX / ADC_IN2 / TIM2_CH3	I / O		PA2	USART2_TX (6) / ADC_IN2 / TIM2_CH3 (6)
K2	13	17	26	PA3 / USART2_RX / ADC_IN3 / TIM2_CH4	I / O		PA3	USART2_RX (6) / ADC_IN3 / TIM2_CH4 (6)
E4	-	18	27	V SS_4	S V	SS_4		
F4	-	19	28	V DD_4	S V	DD_4		

表3. 引脚定义 (续)

销				引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	默认备用功能
BGA100	LQFP48	LQFP64	LQFP100					
G3	14	20	29	PA4 / SPI1_NSS / USART2_CK / ADC_IN4	I / O		PA 4	SPI1_NSS (6) / USART2_CK (6) / ADC_IN4
H3	15	21	三十	PA5 / SPI1_SCK / ADC_IN5	I / O		PA 5	SPI1_SCK (6) / ADC_IN5
J3	16	22	31	PA6 / SPI1_MISO / ADC_IN6 / TIM3_CH1	I / O		PA 6	SPI1_MISO (6) / ADC_IN6 / TIM3_CH1 (6)
K3	17	23	32	PA7 / SPI1_MOSI / ADC_IN7 / TIM3_CH2	I / O		PA 7	SPI1_MOSI (6) / ADC_IN7 / TIM3_CH2 (6)
G4	-	24	33	PC4 / ADC_IN14	I/O		PC 4	ADC_IN14
H4	-	25	34	PC5 / ADC_IN15	I/O		PC 5	ADC_IN15
J4	18	26	35	PB0 / ADC_IN8 / TIM3_CH3	I/O		PB0	ADC_IN8 / TIM3_CH3 (6)
K4	19	27	36	PB1 / ADC_IN9 / TIM3_CH4	I/O		PB1	ADC_IN9 / TIM3_CH4 (6)
G5	20	28	37	PB2 / BOOT1	I / O FT		PB2 / BOOT1	
H5	-	-	38	PE7	I/O	FT	PE7	
J5	-	-	39	PE8	I/O	FT	PE8	
K5	-	-	40	PE9	I/O	FT	PE9	
G6	-	-	41	PE10	I / O	FT	PE10	
H6	-	-	42	PE11	I / O	FT	PE11	
J6	-	-	43	PE12	I / O	FT	PE12	
K6	-	-	44	PE13	I / O	FT	PE13	
G7	-	-	45	PE14	I / O	FT	PE14	
H7	-	-	46	PE15	I / O	FT	PE15	
J7	21	29	47	PB10 / I2C2_SCL / USART3_TX	I/O	FT	PB10	I2C2_SCL / USART3_TX (5) (6)
K7	22	三十	48	PB11 / I2C2_SDA / USART3_RX	I / O	FT	PB11	I2C2_SDA / USART3_RX (5) (6)
E7	23	31	49	V SS_1	S V	SS_1		
F7	24	32	50	V DD_1	S V	DD_1		
K8	25	33	51	PB12 / SPI2_NSS / I2C2_SMBA1 / USART3_CK / TIM1_BKIN	I / O	FT	PB12	SPI2_NSS (5) / I2C2_SMBA1 (5) / USART3_CK (5) (6) / TIM1_BKIN (6)
J8	26	34	52	PB13 / SPI2_SCK / USART3_CTS / TIM1_CH1N	I / O	FT	PB13	SPI2_SCK (5) / USART3_CTS (5) (6) / TIM1_CH1N (6)
H8	27	35	53	PB14 / SPI2_MISO / USART3_RTS / TIM1_CH2N	I / O	FT	PB14	SPI2_MISO (5) / USART3_RTS (5) (6) TIM1_CH2N (6)

表3. 引脚定义 (续)

销				引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	默认备用功能
BGA100	LQFP48	LQFP64	LQFP100					
G8	28	36	54	PB15 / SPI2_MOSI TIM1_CH3N	I / O FT		PB15	SPI2_MOSI (5) / TIM1_CH3N (6)
K9	-	-	55	PD8	I / O FT		PD8	
J9	-	-	56	PD9	I / O FT		PD9	
H9	-	-	57	PD10	I / O FT		PD10	
G9	-	-	58	PD11	I / O FT		PD11	
K10	-	-	59	PD12	I / O FT		PD12	
J10	-	-	60	PD13	I / O FT		PD13	
H10	-	-	61	PD14	I / O FT		PD14	
G10	-	-	62	PD15	I / O FT		PD15	
F10	-	37	63	PC6	I / O FT		PC6	
E10		38	64	PC7	I/O FT		PC7	
F9		39	65	PC8	I / O FT		PC8	
E9	-	40	66	PC9	I/O FT		PC9	
D9	29	41	67	PA8 / USART1_CK / TIM1_CH1 / MCO	I / O FT		PA8	USART1_CK / TIM1_CH1 (6) / MCO
C9	三十	42	68	PA9 / USART1_TX / TIM1_CH2	I / O FT		PA9	USART1_TX (6) / TIM1_CH2 (6)
D10	314	369		PA10 / USART1_RX / TIM1_CH3	I / O FT		PA10	USART1_RX (6) / TIM1_CH3 (6)
C10	324	470		PA11 / USART1_CTS / CANRX / USBDM / TIM1_CH4	I / O FT		PA11	USART1_CTS / CANRX (6) / TIM1_CH4 (6) / USBDM
B10	334	571		PA12 / USART1_RTS / CANTX / USBDP / TIM1_ETR	I / O FT		PA12	USART1_RTS / CANTX (6) / TIM1_ETR (6) / USBDP
A10	344	672		PA13 / JTMS / SWDIO	I/O FT		JTMS / SWDIO	PA13
F8	-	-	73	未连接				
E6	35	47	74	VSS_2	S V	SS_2		
F6	36	48	75	VDD_2	S V	DD_2		
A9	37	49	76	PA14 / JTCK / SWCLK	I/O FT		JTCK / SWCLK	PA14
A8	38	50	77	PA15 / JTDI	I/O FT		JTDI	PA15
B9	-	51	78	PC10	I / O FT		PC10	
B8	-	52	79	PC11	I / O FT		PC11	
C8	-	53	80	PC12	I / O FT		PC12	

表3. 引脚定义 (续)

销				引脚名称	Type ⁽¹⁾	I / O Level ⁽²⁾	主要功能 (3) (复位后)	默认备用功能
BGA100	LQFP48	LQFP64	LQFP100					
D8	五	五	81	PD0	I / O	FT	OSC_IN (7)	
E8	6	6	82	PD1	I / O	FT	OSC_OUT (7)	
B7		54	83	PD2 / TIM3_ETR	I / O	FT	PD2	TIM3_ETR
C7	-	-	84	PD3	I / O	FT	PD3	
D7	-	-	85	PD4	I / O	FT	PD4	
B6	-	-	86	PD5	I / O	FT	PD5	
C6	-	-	87	PD6	I / O	FT	PD6	
D6	-	-	88	PD7	I / O	FT	PD7	
A7	39	55	89	PB3 / JTDO / TRACESWO	I / O	FT	JTDO	PB3 / TRACESWO
A6	40	56	90	PB4 / JNTRST	I / O	FT	JNTRST	PB4
C5	41	57	91	PB5 / I2C1_SMBAL	I / O		PB5	I2C1_SMBAL
B5	42	58	92	PB6 / I2C1_SCL / TIM4_CH1	I / O	FT	PB6	I2C1_SCL (6) / TIM4_CH1 (5) (6)
A5	43	59	93	PB7 / I2C1_SDA / TIM4_CH2	I / O	FT	PB7	I2C1_SDA (6) / TIM4_CH2 (5) (6)
D5	44	60	94	BOOT0	—		BOOT0	
B4	45	61	95	PB8 / TIM4_CH3	I / O	FT	PB8	TIM4_CH3 (5) (6)
A4	46	62	96	PB9 / TIM4_CH4	I / O	FT	PB9	TIM4_CH4 (5) (6)
D4	-	-	97	PE0 / TIM4_ETR	I / O	FT	PE0	TIM4_ETR (5)
C4	-	-	98	PE1	I / O	FT	PE1	
E5	47	63	99	VSS_3	S	VSS_3		
F5	48	64	100	VDD_3	S	VDD_3		

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻抗.

2. FT = 5 V 容限.

3. 功能可用性取决于所选设备. 请参阅第7页的表2.

4. PC13, PC14和PC15通过电源开关提供, 因此它们在output模式下的使用受到限制: 可以使用仅在输出2 MHz模式下, 最大负载为30 pF, 并且一次只能有一个引脚输入输出模式.

5. 只能在闪存密度等于或高于64 KB的设备上使用.

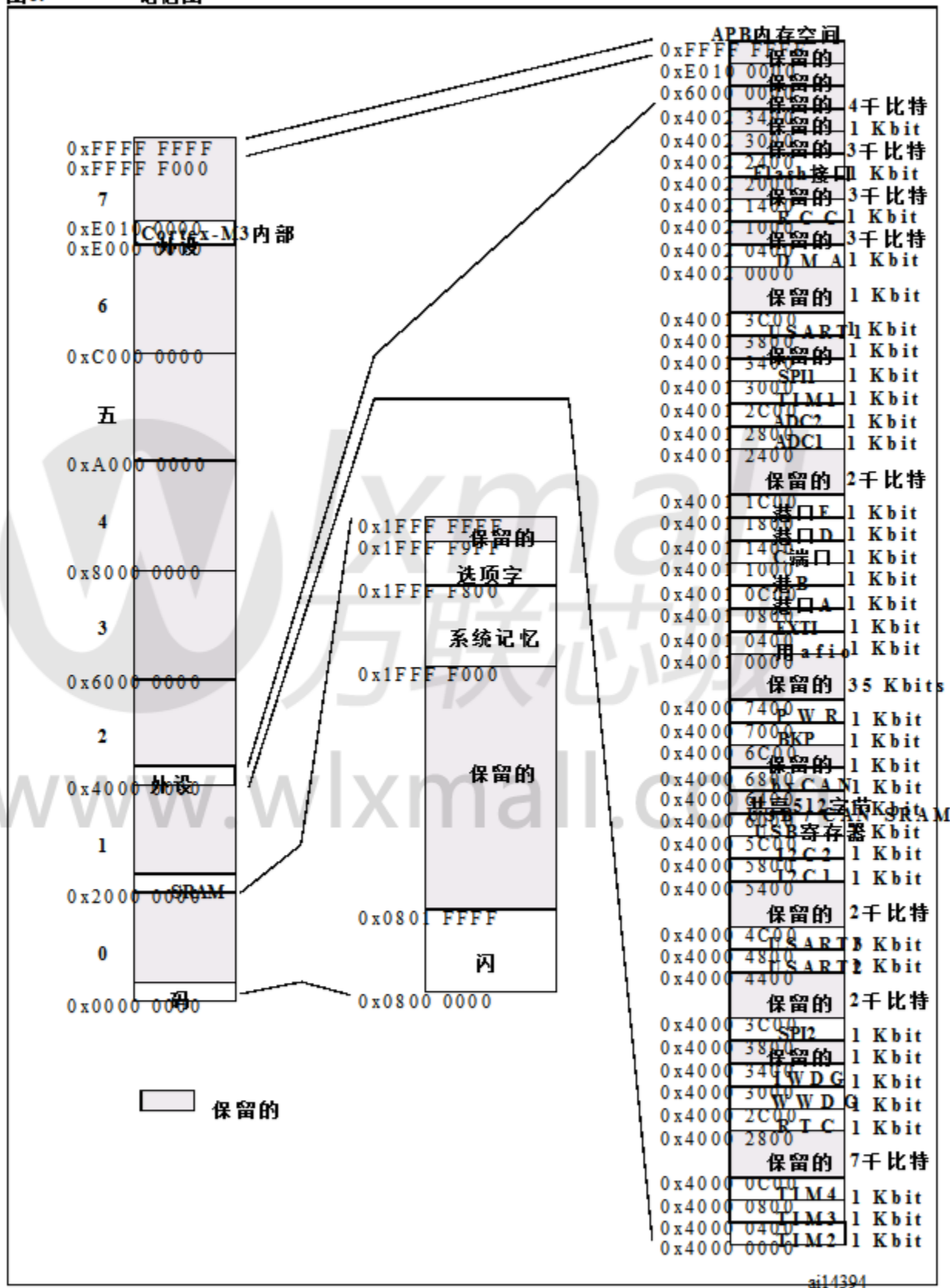
6. 这个备用功能可以通过软件重新映射到某些其他端口引脚 (如果在使用的封装上可用). 更多信息, 请参见STM32F10xxx参考手册中的备用功能I / O和调试配置部分, UM0306, 可从意法半导体网站www.st.com获取.

7. 对于LQFP48和LQFP64封装, 复位后, 引脚5和6配置为OSC_IN / OSC_OUT, 然而, PD0和PD1的功能可以通过这些引脚上的软件重新映射.

4 内存映射

存储器映射如图6所示。

图6. 记忆图



五 电气特性

5.1 测试条件

除非另有规定，否则所有电压均为V_{SS}。

5.1.1 最小值和最大值

除非另有规定，否则最坏和最大值都得到保证
环境温度条件，供电电压和频率通过生产测试
100%的环境温度为T_A = 25°C，T_A = T_{A max}（由
选定温度范围）。

基于表征结果的数据，设计模拟和/或技术特征
在表脚注中指出，并没有在生产中进行测试。基于
表征，最小值和最大值是指样品测试并代表
平均值加或减三倍标准差（平均值±3

Σ）。

5.1.2 典型值

除非另有规定，典型数据基于T_A = 25°C，V_{DD} = 3.3 V（对于
2V ≤ V_{DD} ≤ 3.6V电压范围）。它们仅作为设计指南而不是
测试。

典型的ADC精度值通过一批样品的表征来确定
在整个温度范围内的标准扩散批次，其中95%的器件具有
误差小于或等于所示值（平均值±2）

Σ）。

5.1.3 典型曲线

除非另有说明，否则所有典型曲线仅作为设计指南给出
没有测试。

5.1.4 加载电容

用于引脚参数测量的负载条件如图7所示。

5.1.5 引脚输入电压

图8中描述了器件引脚上的输入电压测量。

图7. 针加载条件

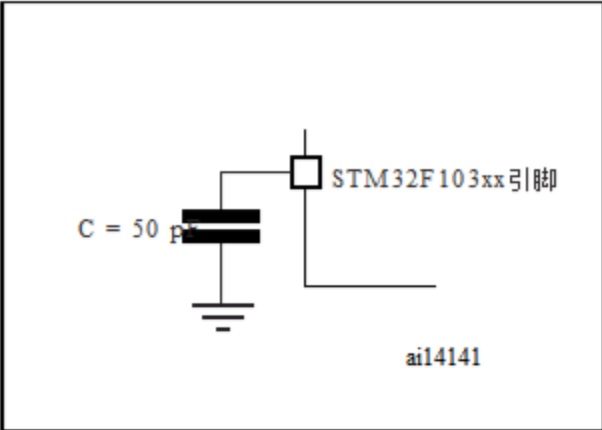
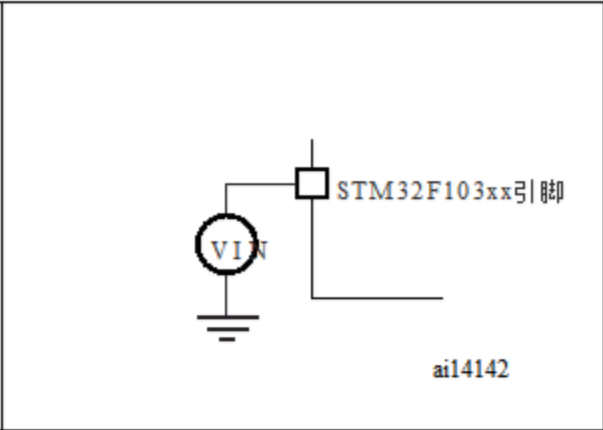
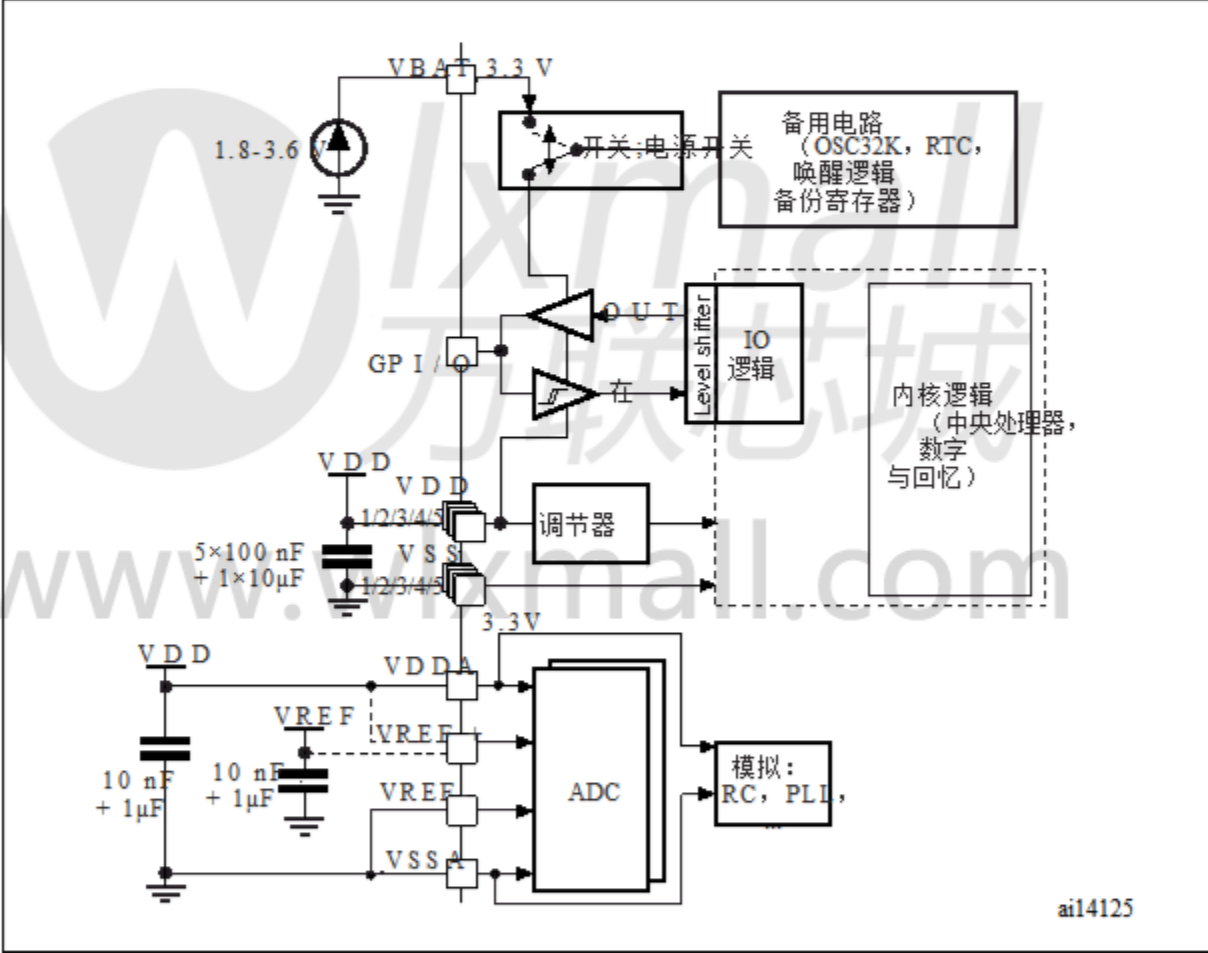


图8. 引脚输入电压



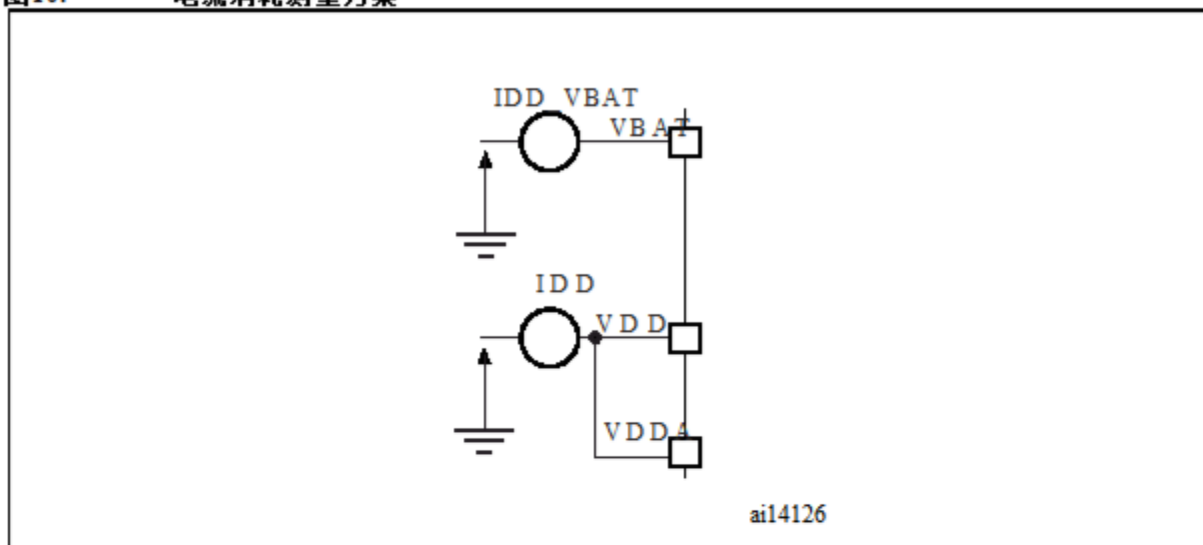
5.1.6 供电方案

图9. 供电方案



5.1.7 电流消耗测量

图10. 电流消耗测量方案



 *Wlxmall*
万联芯城
www.wlxmall.com

5.2 绝对最大额定值

应力超过表4所列的绝对最大额定值：电压特性，
表5：电流特性和表6：热特性可能导致永久性
损坏设备.这些只是压力额定值和设备的功能操作
在这些条件下并不暗示.暴露于最大额定条件下延长
周期可能会影响设备的可靠性.

表4. 电压特性

符号	评级	敏	马克斯	单元
V DD -V SS	外部3.3 V电源电压（包括V DDA和V DD）（1）	-0.3	4	V
V IN	输入电压为5伏特的引脚（2）	V SS -0.3	+5.5	
	任何其他引脚上的输入电压（2）	V SS -0.3	V DD +0.3	
ΔV DDx	不同电源引脚之间的变化	50	50	毫伏
V SSX -V SS	所有不同接地引脚之间的变化	50	50	
V ESD (HBM)	静电放电电压（人体模型）	见第5.3.11节： 绝对最大额定值 (电灵敏度)		

1. 所有3.3 V电源（V DD，V DDA）和接地（V SS，V SSA）引脚必须始终连接到外部3.3 V供应。
2. 不得超过 INJ (PIN)（见表5：电流特性）。如果V IN，这是隐含的保险最大值得尊重.如果不能遵守 V IN最大值，则必须限制注入电流在外部I INJ (PIN) 值.负注射时，由V IN > V DD 诱发正向注射由V IN < V SS 引起。

表5. 电流特性

符号	评级	最大.	单元
我 VDD	V DD电源线的总电流（电源）（1）	150	嘛
我 VSS	V SS地线（sink）的总电流（1）	150	
我 IO	任何I / O和控制引脚输出电流下降	25	
	任何I / O和控制引脚输出电流源	-25	
我 INJ (PIN)	NRST引脚上的注入电流	±5	
	在HSE OSC_IN和LSE OSC_IN引脚上注入电流	±5	
	任何其他引脚上的注入电流（4）	±5	
ΣI INJ (PIN) (2)	总注入电流（所有I / O和控制引脚的总和）（4）	±25	

1. 所有3.3 V电源（V DD，V DDA）和接地（V SS，V SSA）引脚必须始终连接到外部3.3 V供应。
2. 不得超过 INJ (PIN)。如果遵守V IN最大值，则隐含保险.如果V IN最大不能遵守注射电流必须在I INJ (PIN) 值的外部限制.积极的注入由V IN > V DD 引发，而V IN < V SS 引起负注入。
3. 负注入会干扰设备的模拟性能.请参见第5.3.17节中的注释：12位ADC 钟点。
4. 当几个输入提交到当前注入时，最大值ΣI INJ (PIN) 是绝对总和正，负注入电流（瞬时值）。这些结果是基于表征与ΣI INJ (PIN) 最大电流注入器件的四个I / O端口引脚。



表6. 热特性

符号	评级	值	单元
T STG	存储温度范围	-65至+150	C
T J	最大结温（见热特性）		

5.3 运行条件

5.3.1 一般操作条件

表7. 一般操作条件

符号	参数	条件	敏	马 克 斯	单 元
f HCLK	内部AHB时钟频率		0	72	兆赫
f PCLK1	内部APB1时钟频率		0	36	
f PCLK2	内部APB2时钟频率		0	72	
V DD	标准工作电压		2	3.6	V
V BAT	备用工作电压		1.8	3.6	V
T A	环境温度范围		-40	105	C

5.3.2 上电/掉电时的工作条件

表8中给出的参数来自于在环境下进行的测试
温度条件总结在表7中。

表8. 上电/掉电时的工作条件

符号	参数	条件	敏	典型值	最大值	单元
t VDD	V DD 上升/下降时间率		20			微秒/V
				20		MS / V

5.3.3 嵌入式复位和功率控制块特性

表9中给出的参数来源于在环境下进行的测试
温度和V_{DD}电源电压条件总结在表7中。

表9. 嵌入式复位和功率控制块特性

符号	参数	条件	敏	典型	值最	大单元
V PVD	可编程电压 检测器级别选择	PLS [2: 0] = 000 (上升沿)	2.1	2.18	2.26	V
		PLS [2: 0] = 000 (下降沿)	2	2.08	2.16	V
		PLS [2: 0] = 001 (上升沿)	2.19	2.28	2.37	V
		PLS [2: 0] = 001 (下降沿)	2.09	2.18	2.27	V
		PLS [2: 0] = 010 (上升沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 010 (下降沿)	2.18	2.28	2.38	V
		PLS [2: 0] = 011 (上升沿)	2.38	2.48	2.58	V
		PLS [2: 0] = 011 (下降沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 100 (上升沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 100 (下降沿)	2.37	2.48	2.59	V
		PLS [2: 0] = 101 (上升沿)	2.57	2.68	2.79	V
		PLS [2: 0] = 101 (下降沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 110 (上升沿)	2.66	2.78	2.9	V
		PLS [2: 0] = 110 (下降沿)	2.56	2.68	2.8	V
		PLS [2: 0] = 111 (上升沿)	2.76	2.88	3	V
		PLS [2: 0] = 111 (下降沿)	2.66	2.78	2.9	V
V PVDhyst	PVD滞后			100		毫伏
V POR / PDR	上电/掉电复位 阈	坠落边缘	1.8	1.88	1.96	V
		上升沿	1.84	1.92	2.0	V
V PDRhyst	PDR滞后			40		毫伏
T RSTTEMPO	复位暂存		1	2.5	4.5	女士

5.3.4 嵌入式参考电压

表10中给出的参数来自于在环境温度下进行的测试
温度和V_{DD}电源电压条件总结在表7中。

表10. 嵌入式内部参考电压

符号	参数	条件	敏	典型	马克斯	单元
V REFINT	内部参考电压	-45°C < T A <+ 105°C	1.16	1.20	1.26	V
		-45°C < T A <+ 85°C	1.16	1.20	1.24	V

5.3.5 供电电流特性

电流消耗量如图10所示进行测量：电流消耗测量方案。

最大电流消耗

MCU处于以下条件：

- 所有I/O引脚都处于输入模式，静态值为VDD或VSS（无负载）
- 所有外设都被禁用，除非明确提到
- 闪存访问时间调整为HCLK频率（0等待状态从0到24 MHz，1等待状态从24到48 MHz和2个等待状态）

表11中给出的参数来源于环境下进行的测试
温度和VDD电源电压条件总结在表7中。

表11. 运行和休眠模式下的最大电流消耗（1）

符号	参数	条件	F HCLK	典型 (2)	马克斯 (3)		单元
					T A = 85°C	T A = 105°C	
我 DD	供应 目前在 运行模式	带PLL的外部时钟，代码运行 闪存，所有外设启用（请参阅RCC 注册说明）： fPCLK1 = fHCLK / 2, fPCLK2 = fHCLK	72 MHz	36	T B D	T B D	嘛
			48 MHz	三十	T B D	T B D	
			36 MHz	22	T B D	T B D	
			24 MHz	21	T B D	T B D	
		外部时钟，PLL停止，代码运行 从Flash，所有外设启用（请参阅RCC 注册说明）： fPCLK1 = fHCLK / 2, fPCLK2 = fHCLK	8 MHz	10	T B D	T B D	
		带PLL的外部时钟，代码运行 RAM，所有外设使能（参见RCC 注册说明）： fPCLK1 = fHCLK / 2, fPCLK2 = fHCLK	72 MHz	32	45	47	
			48 MHz	22	31	33	
			36 MHz	13	18	20	
			24 MHz	11	15	17	
		外部时钟，PLL停止，代码运行 从RAM，所有外设启用（请参阅RCC 注册说明）： fPCLK1 = fHCLK / 2, fPCLK2 = fHCLK	8 MHz	4.5	T B D	T B D	
	供应 目前在 睡眠模式	带PLL的外部时钟，代码运行 RAM或闪存，所有外设启用（见 RCC寄存器说明）： fPCLK1 = fHCLK / 2, fPCLK2 = fHCLK	72 MHz	22	35	37	嘛
			48 MHz	14	23	25	
			36 MHz	13	22	24	
			24 MHz	10	17	19	
		外部时钟，PLL停止，代码运行 从RAM或闪存，所有外设启用 （见RCC寄存器说明）： fPCLK1 = fHCLK / 2, fPCLK2 = fHCLK	8 MHz	3.5	T B D	T B D	

1. 待定待定待定。
2. 典型值在T A = 25°C，VDD = 3.3 V时测量
3. 基于表征结果的数据，在V Dmax，fHCLK max的生产 中进行测试。T Amax 和从RAM执行的代码。



表12. 停止和待机模式下的最大电流消耗 (1)

符号	参数	条件	典型 (2)		马克斯 (3)		单元
			V DD /V BAT = 2.4 V	V DD /V BAT = 3.3 V	T A = 85°C	T A = 105°C	
I DD	供电电流 在停止模式	稳压器在运行模式下， 低速和高速内部 RC振荡器和高速 振荡器OFF (无独立) 看门狗)	TBD	24	TBD	TBD	μA
		低功耗模式下的稳压器， 低速和高速内部 RC振荡器和高速 振荡器OFF (无独立) 看门狗)	待定 (4)	14 (4)	TBD (4)	TBD (4)	
	供电电流 在待机 模式 (5)	低速内部RC振荡器和 独立看门狗关机，低电平 高速振荡器和RTC OFF	TBD (4)	2 (4)	TBD (4)	TBD (4)	
I DD_VBAT	备份域 供电电流	低速振荡器和RTC ON	1 (4)	1.4 (4)	TBD (4)	TBD (4)	

1. 待定待定待定.
2. 典型值在 T A = 25°C, V DD = 3.3 V下测量，除非另有规定.
3. 基于表征结果的数据，在生产中测试 V DD max, f HCLK max. 和 T A max (对于其他温度).
4. 预计下一个硅片修订的价值.
5. 要使RTC处于待机消耗状态，请将I DD_VBAT (低速振荡器和RTC ON) 添加到I DD Standby (当V DD 存在备份域由V DD 供电供电).



典型电流消耗

MCU处于以下条件下：

- 所有I / O引脚都处于VDD或VSS（无负载）下的静态值的输入模式。
- 所有外设都被禁用，除非明确提到。
- 闪存访问时间调整为HCLK频率（0等待状态从0到24 MHz，1等待状态从24到48 MHz和2个等待状态）。
- 环境温度¹和VDD电源电压条件总结在表7中。

表13. 运行和睡眠模式下的典型电流消耗 (1)

符号	参数	条件	f HCLK	典型 (2)单元	
我 DD	供应 目前在 运行模式	振荡器以8 MHz运行，带PLL，代码从Flash运行，所有外设都被禁用 (见RCC寄存器描述)：f PCLK1 = f HCLK / 2, f PCLK2 = f HCLK	72 MHz	21	嘛
			48 MHz	18	
			36 MHz	T B D	
			24 MHz	13	
			16 MHz	T B D	
		运行在HSI时钟，代码运行闪存，所有外设禁用（请参阅RCC寄存器描述）：f PCLK1 = f HCLK / 2, f PCLK2 = f HCLK. AHB预分频器用于降低频率	8 MHz	7.8	嘛
			4 MHz	7	
			2 MHz	6.3	
			1 MHz	6.2	
			500 kHz	6.1	
	供应 目前在 睡眠模式	运行在HSI时钟，代码运行RAM，所有外设禁用（请参阅RCC寄存器描述）：f PCLK1 = f HCLK / 2, f PCLK2 = f HCLK. AHB预分频器用于降低频率	8 MHz	2.3	嘛
			4 MHz	1.6	
			2 MHz	1.2	
			1 MHz	1	
			500 kHz	0.88	
		振荡器以8MHz运行，带PLL，代码从Flash运行，所有外设都被禁用 (见RCC寄存器描述)：f PCLK1 = f HCLK / 2, f PCLK2 = f HCLK	72 MHz	6	嘛
			48 MHz	T B D	
			36 MHz	T B D	
			24 MHz	T B D	
			16 MHz	1	
		运行在HSI时钟，代码运行闪存，所有外设禁用（请参阅RCC寄存器描述）：f PCLK1 = f HCLK / 2, f PCLK2 = f HCLK. AHB预分频器用于降低频率	8 MHz	T B D	嘛
			4 MHz	T B D	
			2 MHz	T B D	
			1 MHz	T B D	
			500 kHz	T B D	

1. 待定待定待定。
2. 典型值为T A = 25°C，VDD = 3.3 V时的测量值。

表14. 停止和待机模式下的典型电流消耗 (1)

符号	参数	条件	V DD	典型 (2单元)	
I DD	电源电流 停止模式	稳压器在运行模式下， 低速和高速内部RC 振荡器关闭 高速振荡器OFF (no 独立看门狗)	3.3 V	24	μA
			2.4 V	T B D	
		低功耗模式下的稳压器， 低速和高速内部RC 振荡器关闭， 高速振荡器OFF (no 独立看门狗)	3.3 V	14 (3)	
			2.4 V	T B D (3)	
	电源电流 待机模式 (4)	低速内部RC振荡器和 独立看门狗关闭	3.3 V	2 (3)	μA
			2.4 V	T B D (3)	
		低速内部RC振荡器和 独立看门狗开	3.3 V	3.1 (3)	
			2.4 V	T B D (3)	
		低速内部RC振荡器ON， 独立看门狗关闭	3.3 V	2.9 (3)	
			2.4 V	T B D (3)	
I DD_VBAT	备份域 供电电流	低速振荡器和RTC ON	3.3 V	1.4 (3)	μA
			2.4 V	1 (3)	
		低速振荡器OFF，RTC ON	3.3 V	0.5 (3)	
			2.4 V	T B D (3)	

- 1. 待定待定待定.
- 2. 典型值为T A = 25°C，V DD = 3.3 V时的测量值.
- 3. 预计下一个硅片修订的价值.
- 4. 要使用RTC ON获得待机消耗，请将I DD_VBAT (低速振荡器和RTC ON) 添加到I DD支持.



5.3.6 外部时钟源特性

高速外部用户时钟

表15给出的特性来自使用高速进行的测试
外部时钟源，以及环境温度和电源电压条件
总结在表7中。

表15. 高速外部（HSE）用户时钟特性

符号	参数	条件	敏	典型	马克斯	单元
f HSE_ext	用户外部时钟源 频率（1）			8 2 5		兆 赫
V HSEH	OSC_IN输入引脚为高电平 电压		0.7 V DD		V DD	V
V HSEL	OSC_IN输入引脚为低电平 电压		V SS		0.3 V DD	
t w (HSE) t w (HSE)	OSC_IN高或低时（1）		16			NS
t (HSE) t f (HSE)	OSC_IN上升或下降时间（1）				五	
我 L	OSC_IN输入漏电 当前	V SS≤VIN≤VDD			±1	μA

1. 基于设计模拟和/或技术特性的价值.它在生产中没有测试.

低速外部用户时钟

表16给出的特性来自使用低速执行的测试
外部时钟源，以及环境温度和电源电压条件
总结在表7中。

表16. 低速外部用户时钟特性

符号	参数	条件	敏	典型	马克斯	单元
f LSE_ext	用户外部时钟源 频率（1）			32.768	10 00	千赫
V LSEH	OSC32_IN输入引脚高电平 电压		0.7 V DD		V DD	V
V LSEL	OSC32_IN输入引脚为低电平 电压		V SS		0.3 V DD	
t w (LSE) t w (LSE)	OSC32_IN高或低时（1）		4 5 0			NS
t r (LSE) t f (LSE)	OSC32_IN上升或下降时间（1）				五	
我 L	OSC32_IN输入漏电 当前	V SS≤VIN≤VDD			±1	μA

1. 基于设计模拟和/或技术特性的价值.它在生产中没有测试.

图11. 高速外部时钟源交流时序图

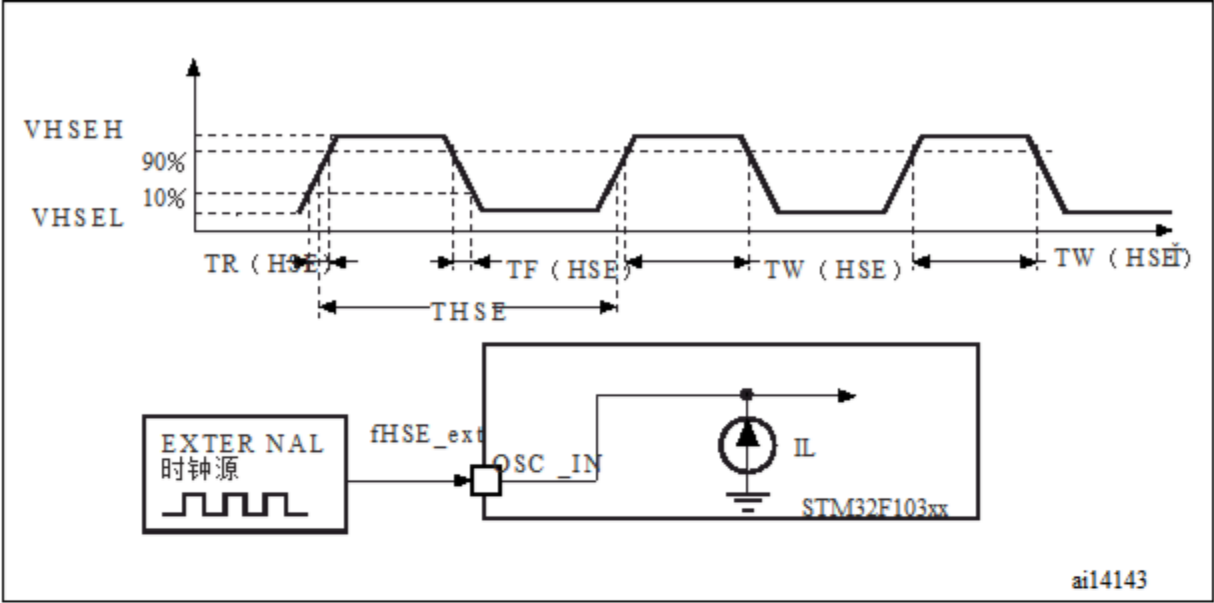
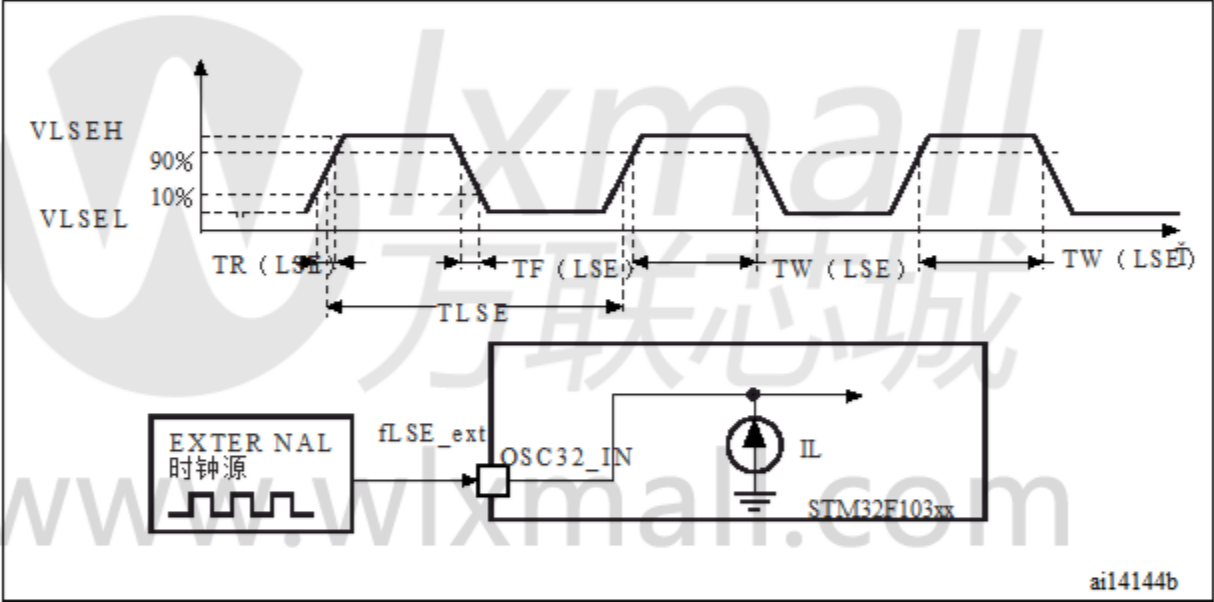


图12. 低速外部时钟源交流时序图



高速外部时钟

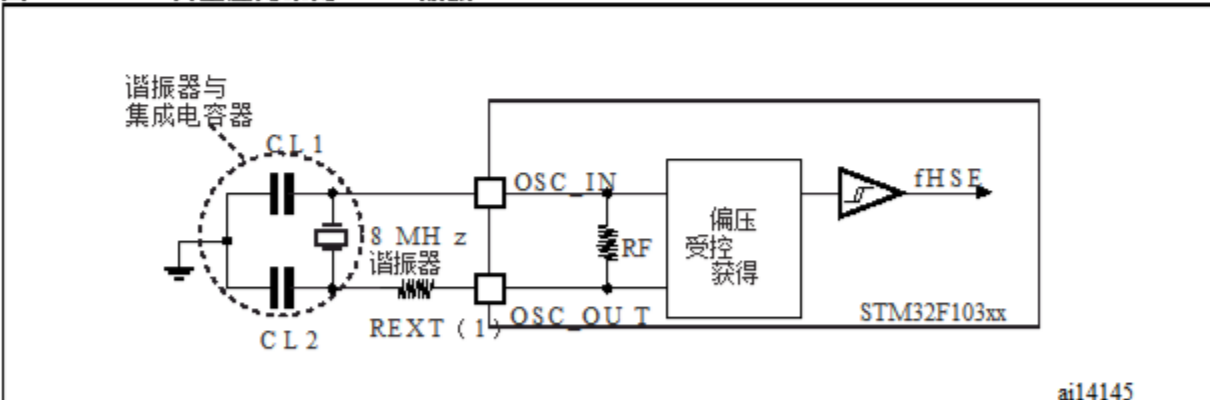
高速外部（HSE）时钟可提供4至16 MHz晶体/陶瓷谐振器.本段中提供的所有信息均基于特征通过表17中规定的典型外部组件获得的结果.在应用中，谐振器和负载电容必须尽可能靠近振荡器放置引脚，以最小化输出失真和启动稳定时间.参考水晶谐振器制造商有关谐振器特性（频率，包装，精度）。

表17. HSE 4-16 MHz振荡器特性 (1)

符号	参数	条件	敏	典型	马克	新单元
f OSC_IN	振荡频率		4	8	16	兆赫
R F	反馈电阻			200		kΩ
C L1 C L2(2)	推荐负载电容 与等效序列号 晶体的电阻 (R S) (3)	R S = 30Ω		三十		pF的
我 2	HSE驱动电流	V DD = 3.3 V V IN = V SS , 30 pF 加载			1	毫安
g m	振荡器跨导	启动	25			毫安/V
t SU (HSE) 4	启动时间	V SS 稳定		2		女士

1. 晶体/陶瓷谐振器制造商提供的谐振器特性。
2. 对于CL1和CL2，建议使用5 pF至25 pF范围（典型值）的高品质陶瓷电容，专为高频应用而设计，并选择符合晶体的要求。谐振器，CL1和CL2通常是相同的大小。晶体制造商通常指定负载电容是CL1和CL2的串联组合。PCB和MCU引脚电容必须是包括在确定CL1和CL2的大小时（10 pF可以用作组合的引脚和板的粗略估计电容）。
3. RF电阻的相对较低的值可以防止在使用中导致的问题潮湿的环境，由于感应泄漏和偏置条件的变化.但是，它是如果MCU在恶劣的湿度条件下使用，建议考虑这一点。
4. t SU (HSE) 是从启用（通过软件）到稳定的8 MHz测量的启动时间达到振荡.该值是针对标准晶体谐振器测量的，它可以显著变化与晶体制造商。

图13. 典型应用采用8 MHz晶振



1. R EXT 值取决于晶体特性. 典型值在5~6R S 范围内。

低速外部时钟

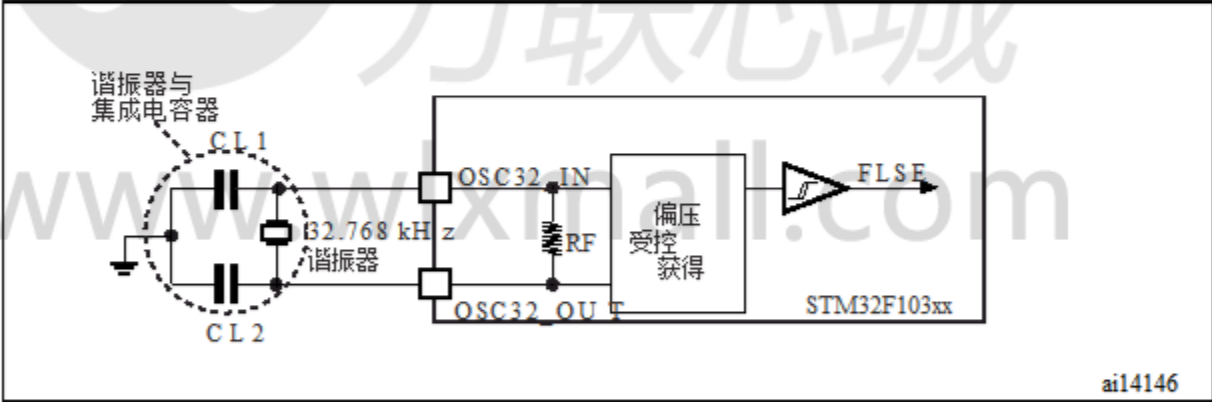
低速外部（LSE）时钟可提供32.768 kHz晶体/陶瓷谐振器。本段中提供的所有信息均基于特征通过表18中规定的典型外部组件获得的结果。在应用中，谐振器和负载电容必须尽可能靠近振荡器放置引脚，以最小化输出失真和启动稳定时间。参考水晶谐振器制造商有关谐振器特性（频率，包装，精度）。

表18. LSE振荡器特性（fLSE = 32.768 kHz）

符号	参数	条件	敏	典型	马克斯单元
RF	反馈电阻			五	中号
CL1 CL2	推荐负载电容 与等效序列号 晶体的电阻（RS）	RS = 30kΩ		15	pF的
我2	LSE驱动电流	VDD = 3.3 V VIN = VSS		1.4	μA
gm	振荡器跨导		五		μA/V
tSU (LSE)	启动时间	VSS 稳定		3	小号

1. 可以使用具有高质量谐振器的电源电流来优化振荡器选择。小的RS值，例如MSIV-TIN32.768kHz。有关详细信息，请参阅晶体制造商。
2. tSU (LSE) 是从启用（通过软件）到稳定的32.768kHz的启动时间。该值是针对标准晶体谐振器测量的，它可以变化显著与晶体制造商。

图14. 具有32.768 kHz晶体的典型应用



5.3.7 内部时钟源特性

表19中给出的参数来自在环境下进行的测试
温度和VDD电源电压条件总结在表7中。

高速内部（HSI）RC振荡器

表19. HSI振荡器特性 (1) (2)

符号	参数	条件	敏	典型	马克斯	(单元)
f 恒指	频率			8		兆赫
ACC HSI	HSI振荡器精度	T A = -40至105°C	TBD	± 3 T B D		%
		在T A = 25°C	TBD	± 1 T B D		%
t su (HSI)	HSI振荡器启动时间		1		2	微秒
I DD (HSI)	HSI振荡器功率 消费			80	100	μA

- 1. VDD = 3.3 V, T A = -40至105°C, 除非另有规定.
- 2. 待定待定待定.
- 3. 基于器件表征的值, 未在生产中测试.

LSI低速内部RC振荡器

表20. LSI振荡器特性 (1)

符号	参数	条件	敏	典型	马克斯	(单元)
f LSI	频率		三十		60	千赫
t su (LSI)	LSI振荡器启动时间				85	微秒
I DD (LSI)	LSI振荡器电源 消费			0.65	1.2	μA

- 1. VDD = 3 V, T A = -40至105°C, 除非另有规定.
- 2. 基于设备表征的价值, 未在生产中测试.

从低功耗模式唤醒时间

表21中给出的唤醒时间是在8 MHz HSI RC的唤醒阶段测量的
振荡器.用于唤醒设备的时钟源取决于当前的操作
模式：

- 停止或待机模式：时钟源是RC振荡器
- 休眠模式：时钟源是在进入睡眠模式之前设置的时钟.

所有时间均来自在环境温度和V DD电源下进行的测试
电压条件总结在表7中.

表21. 低功耗模式唤醒时序 (1)

符号	参数	条件	典型	马克斯	单元
t WUSLEEP ⁽²⁾	从休眠模式唤醒	唤醒HSI RC时钟	0.75	T B D	微秒
t WUSTOP ⁽²⁾	从停止模式唤醒 (运行模式下的调节器)	HSI RC唤醒时间= 2μs	4	T B D	微秒
	从停止模式唤醒 (低功耗模式下的调节器)	HSI RC唤醒时间= 2μs, 调节器从LP唤醒 模式时间= 5μs	7	T B D	
t WUSTDBY ⁽³⁾	从待机模式唤醒	HSI RC唤醒时间= 2μs, 调节器从电源唤醒 停机时间= 38μs	40	TBD	微秒

1. 待定待定待定.
2. 从休眠模式和停止模式唤醒时间是从唤醒事件测量到的
用户应用代码读取第一条指令.
3. 待机模式的唤醒时间是从唤醒事件到设备的时间点测量的
退出复位.

5.3.8 PLL特性

表22中给出的参数来自于在环境温度下进行的测试
温度和V DD电源电压条件总结在表7中.

表22. PLL特性 (1)

符号	参数	测试条件	值			单元 (2)
			敏	典型	马克斯	
f PLL_IN	PLL输入时钟			8		兆赫
	PLL输入时钟占空比		40		60	%
f PLL_OUT	PLL乘法器输出时钟		16		72	兆赫
f VCO	VCO频率范围	PLL工作时 (锁定)	32		144	兆赫
t LOCK	PLL锁定时间				200	微秒
t JITTER	循环周期抖动 (+/- 3 峰到峰)	V DD 稳定	TBD		T B D	%

1. 待定待定待定.
2. 基于器件表征的数据，未在生产中测试.



5.3.9 记忆特征

闪存

特性在T A = -40至105°C下 给出， 除非另有规定.

表23. 闪存特性

符号	参数	条件	敏	典 型	最大 (1)	单元
t 程序	Word编程时间	T A = -40至+105°C	20		40	微秒
删除	页面 (1kB) 擦除时间	T A = -40至+105°C	20		40	女士
t ME	大量擦除时间	T A = -40至+105°C	20		40	女士
我 DD	供电电流	读取模式 f HCLK = 72 MHz 2等待状态, V DD = 3.3 V			20	嘛
		写/擦除模式 f HCLK = 72MHz, V DD = 3.3 V			5 毫	安
		掉电模式/ 停, V DD = 3.0~3.6V			50	μA

1. 基于表征的价值，未在生产中测试.

表24. 闪存耐久性和数据保留

符号	参数	条件	值			单元
			最小	(1)典型	马克 斯	
N 结束	耐力		1	10		kcycles
t RET	数据保留	T A = 85°C	三十			年份

1. 基于表征的价值观未在生产中测试.

5.3.10 EMC特性

在器件表征期间，以样本为基础进行敏感性测试。

功能性EMS（电磁敏感性）

虽然在设备上执行简单的应用程序（通过I / O端口切换2个LED），该设备受到两个电磁事件的压力，直到发生故障。失败是由LED指示：

- 静电放电（ESD）（正极和负极）被施加到所有器件引脚，直到发生功能障碍。该测试符合IEC 1000-4-2标准。
- FTB：快速瞬态电压（正极和负极）的突发应用于V_{DD}和V_{SS}通过100 pF电容，直到发生功能障碍。这个测试是符合IEC 1000-4-4标准。

器件复位允许恢复正常操作。

测试结果在表25中给出。它们基于EMS级别和类别。在应用笔记AN1709中定义。

表25. EMS特点（1）

符号	参数	条件	水平 / 类
V _{FESD}	对任何I / O引脚施加的电压限制引起功能障碍	V _{DD} = 3.3V, T _A = + 25°C, f _{HCLK} = 48 MHz 符合IEC 1000-4-2标准	TBD
V _{EFTB}	快速瞬态电压突发限制为在V _{DD} 和V _{SS} 引脚上通过100 pF施加引起功能障碍	V _{DD} = 3.3V, T _A = + 25°C, f _{HCLK} = 48 MHz 符合IEC 1000-4-4标准	4A

1. 待定待定待定。

设计硬化软件以避免噪音问题

在典型的组件级别进行EMC表征和优化应用环境和简化的MCU软件。应该注意的是良好的EMC性能高度依赖用户应用程序和软件。

因此建议用户应用EMC软件优化与他申请的EMC级别相关的资格预审测试。

软件建议

软件流程图必须包括失控条件的管理，如：

- 程序计数器损坏
- 意外重置
- 关键数据损坏（控制寄存器...）

资格预审试验

大多数常见故障（意外重置和程序计数器损坏）都可以
通过手动强制NRST引脚或振荡器引脚1的低电平进行复制
第二.

为了完成这些试验，ESD应力可以直接应用于器件上
规格值.当检测到意外行为时，软件可以硬化
以防止发生不可恢复的错误（参见应用笔记AN1015）.

电磁干扰（EMI）

在简单的应用程序中监视器件发出的电磁场
执行（通过I/O端口切换2个LED）.该排放测试符合SAE J
1752/3标准规定了测试板和引脚的负载.

表 26. EMI特性

符号	参数	条件	监控 频带	最大与 [fHSE / fHCLK]		单元
				8/48 MHz	8/72 MHz	
S EMI	峰值水平	V DD = 3.3V, T A = 25°C, LQFP100封装 符合SAE J 3分之1752	0.1~30MHz	12	12	平dBμV
			30到130 MHz	22	19	
			130 MHz至1GHz	23	29	
			SAE EMI级别	4	4	-

5.3.11 绝对最大额定值（电气灵敏度）

基于使用特定测量方法的三种不同的测试（ESD，LU），该设备是强调为了确定其在电敏感性方面的表现。

静电放电（ESD）

静电放电（正负脉冲分开1秒）
根据每个针组合应用于每个样品的针脚.样本量是3部分（累积模式）或3部分×（n + 1）电源引脚（非累积模式）。
可以模拟人体模型（HBM）.测试符合JESD22-A114A标准。
有关详细信息，请参见应用笔记AN1181。

表 27. ESD绝对最大额定值（1）

符号	评级	条件	最大值（2）	单元
V ESD（HBM）	静电放电电压 (人体模型)	T A = + 25°C	2000	V
V ESD（CDM）	静电放电电压 (充电装置型号)		TBD	

- 1. 待定待定待定。
- 2. 基于表征结果的值，未在生产中测试。

静态闩锁

六个部分需要进行两个互补的静态测试来评估闩锁性能：

- 电源过电压被施加到每个电源引脚
- 电流注入应用于每个输入，输出和可配置的I / O引脚

这些测试符合EIA / JESD 78A IC闩锁标准。

表 28. 电敏感

符号	参数	条件	类
鲁	静态锁定类	T A = + 105°C	二级A级



5.3.12 I / O端口引脚特性

一般输入/输出特性

除非另有规定，表29中给出的参数来自测试
在环境温度和V_{DD}电源条件下进行总结

表7.

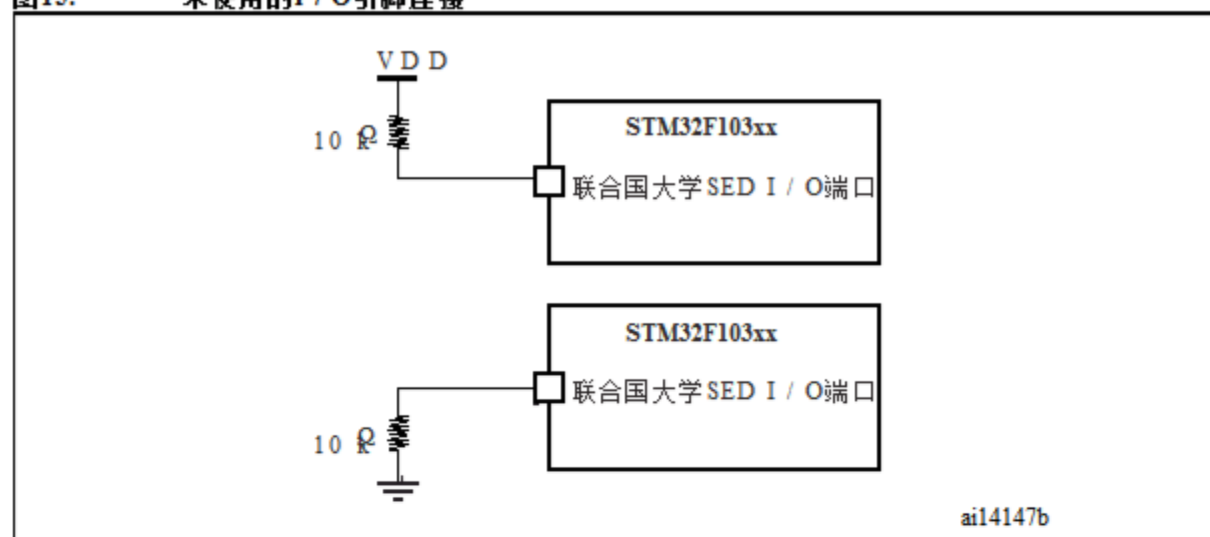
所有未使用的引脚必须通过使用I / O输出模式（外部）保持在固定电压
上拉或下拉电阻（见图15）.

表29. I / O静态特性（1）

符号	参数	条件	敏	典型	马克斯	单元
V _{IL}	输入低电平（2）	TTL端口	-0.5		0.8	V
V _{IH}	IO TC输入高电平电压（2）		2 V _{DD} +0.5			
	IO FT高电平电压（2）		2.5 . 5 V			
V _{IL}	输入低电平（2）	CMOS端口	-0.5		0.35 V _{DD}	V
V _{IH}	输入高电平（2）		0.65 V _{DD}		V _{DD} +0.5	
嗯	IO TC施密特触发电压迟滞（3）			200		毫伏
	IO TC施密特触发电压滞后（3）			5% V _{DD} (4)		毫伏
我 I _{kg}	输入漏电流（5）	V _{SS} ≤V _{IN} ≤V _{DD} 标准I / O			±1	μA
		V _{IN} =5 V 5 V容差I / O			3	
R _{PU}	弱上拉当量电阻（6）	V _{IN} =V _{SS}	三十	40	50	kΩ
R _{PD}	弱下拉等效电阻器（6）	V _{IN} =V _{DD}	三十	40	50	kΩ
C _{IO}	I / O引脚电容			五		pF的

1. V_{DD}=3.3 V，T_A= -40至105°C，除非另有规定.
2. 基于表征结果的值，并未在生产中测试.
3. 施密特触发开关电平之间的滞后电压.基于表征结果，未测试.
4. 至少100 mV.
5. 泄漏可能高于最大值.如果相邻引脚上注入负电流.
6. 上拉和下拉电阻的设计与真正的电阻串联可切换.
PMOS / NMOS.该MOS / NMOS对串联电阻的贡献最小（约10%）

图15. 未使用的I / O引脚连接



输出驱动电流

GPIO（通用输入/输出）可以吸收或输出高达 $\pm 8\text{ mA}$ ，并吸收 $+20\text{ mA}$ （放松 V_{OL} ）。

在用户应用中，必须限制可驱动电流的I / O引脚数

尊重第5.2节规定的绝对最大额定值：

- 由VDD上的所有I / O提供的电流总和 加上最大运行来自VDD的MCU的消耗 不能超过绝对最大额定值 I_{VDD} （见表5）。
- VSS上的所有I / O的电流 和最大运行的总和 VSS上的MCU的消耗 不能超过绝对最大额定值 I_{VSS} （见表5）。

www.wlxmall.com

输出电压电平

除非另有说明，表30中给出的参数来自测试
在环境温度和V_{DD}电源条件下进行总结
表7.

表30. 输出电压特性

符号	参数	条件	敏	马克斯	单元
V _{OL} (1)	为I / O引脚输出低电平电压 当8针同时沉没时	TTL 端口 I _{IO} = + 8 mA 2.7 V < V _{DD} < 3.6 V		0.4	V
V _{OH} (2)	为I / O引脚输出高电平电压 当4个引脚同时供电时		V _{DD} - 0.4		
V _{OL} (1)	为I / O引脚输出低电平电压 当8针同时沉没时	CMOS 端口 I _{IO} = + 8mA 2.7 V < V _{DD} < 3.6 V		0.4	V
V _{OH} (2)	为I / O引脚输出高电平电压 当4个引脚同时供电时		2.4		
V _{OL} (1)	为I / O引脚输出低电平电压 当8针同时沉没时	I _{IO} = + 20 mA 2.7 V < V _{DD} < 3.6 V		1.3	V
V _{OH} (2)	为I / O引脚输出高电平电压 当4个引脚同时供电时		V _{DD} - 1.3		
V _{OL} (1)	为I / O引脚输出低电平电压 当8针同时沉没时	I _{IO} = + 6mA 2 V < V _{DD} < 2.7 V		0.4	V
V _{OH} (2)	为I / O引脚输出高电平电压 当4个引脚同时供电时		V _{DD} - 0.4		

1. 装置中的I_{IO} 电流必须始终遵守表5中规定的绝对最大额定值
I_{IO} (I / O端口和控制引脚) 的总和 不得超过I_{VSS} .
2. 由设备提供的I_{IO} 电流必须始终遵守规定的绝对最大额定值
表5和I_{IO} (I / O端口和控制引脚) 的总和 不能超过I_{VDD} .

输入/输出交流特性

图16给出了输入/输出AC特性的定义和值
表31.

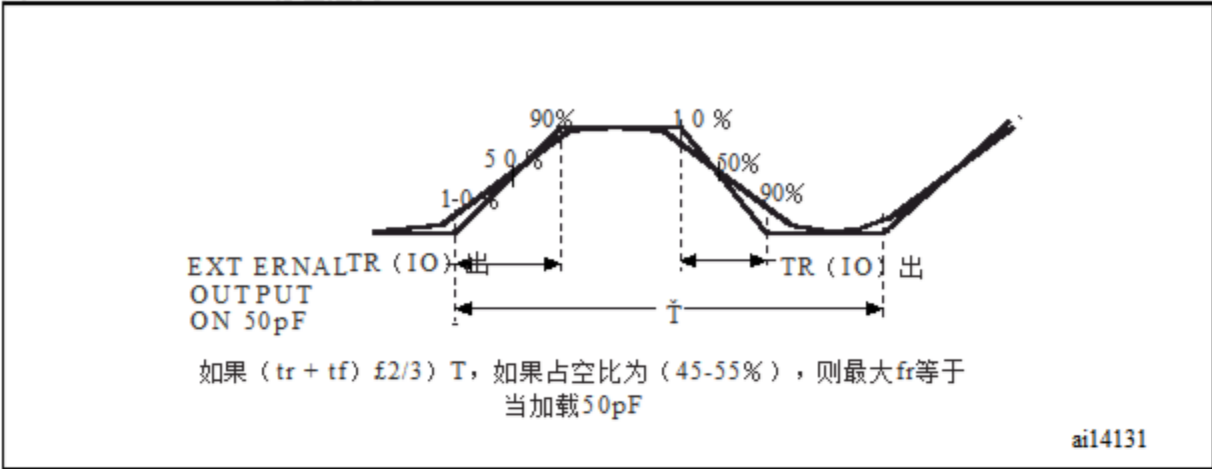
除非另有说明，表31中给出的参数来自测试
在环境温度和V_{DD}电源条件下进行总结
表7.

表31. I/O交流特性 (1)

I/O 模式 (1)	符号	参数	条件	最小	最大	单位
10	$f_{\max}(\text{IO})_{\text{out}}$	最大频率 (2)	$C_L = 50\text{pF}$, $V_{DD} = 2\text{V至}3.6\text{V}$		2	兆赫
	$t_f(\text{IO})_{\text{out}}$	输出高到低水平下降 时间 (3)	$C_L = 50\text{pF}$, $V_{DD} = 2\text{V至}3.6\text{V}$		12.5	NS
	$t(\text{IO})_{\text{out}}$	输出低至高电平 上升时间 (3)			12.5	
01	$f_{\max}(\text{IO})_{\text{out}}$	最大频率 (2)	$C_L = 50\text{pF}$, $V_{DD} = 2\text{V至}3.6\text{V}$		10	兆赫
	$t_f(\text{IO})_{\text{out}}$	输出高到低水平下降 时间 (3)	$C_L = 50\text{pF}$, $V_{DD} = 2\text{V至}3.6\text{V}$		25	NS
	$t(\text{IO})_{\text{out}}$	输出低至高电平 上升时间 (3)			25	
11	$F_{\max}(\text{IO})_{\text{out}}$	最大频率 (2)	$C_L = 30\text{pF}$, $V_{DD} = 2.7\text{V至}3.6\text{V}$		50	兆赫
			$C_L = 50\text{pF}$, $V_{DD} = 2.7\text{V至}3.6\text{V}$		三十	兆赫
			$C_L = 50\text{pF}$, $V_{DD} = 2\text{V至}2.7\text{V}$		20	兆赫
	$t_f(\text{IO})_{\text{out}}$	输出高到低水平下降 时间 (3)	$C_L = 30\text{pF}$, $V_{DD} = 2.7\text{V至}3.6\text{V}$		五	NS
			$C_L = 50\text{pF}$, $V_{DD} = 2.7\text{V至}3.6\text{V}$		8	
			$C_L = 50\text{pF}$, $V_{DD} = 2\text{V至}2.7\text{V}$		12	
	$t(\text{IO})_{\text{out}}$	输出低至高电平 上升时间 (3)	$C_L = 30\text{pF}$, $V_{DD} = 2.7\text{V至}3.6\text{V}$		五	
			$C_L = 50\text{pF}$, $V_{DD} = 2.7\text{V至}3.6\text{V}$		8	
			$C_L = 50\text{pF}$, $V_{DD} = 2\text{V至}2.7\text{V}$		12	
-t EXTIpw		外部脉冲宽度 信号检测 EXTI控制器		10		NS

- 有关GPIO端口配置寄存器的说明，请参阅参考用户手册UM0306.
- 最大频率在图16中定义.
- 基于设计仿真和硅片验证的值，未在生产中测试.

图16. I / O AC特性定义



5.3.13 NRST引脚特性

NRST引脚输入驱动器使用CMOS技术.它连接到永久上拉
电阻R_{PU} (见表29) .

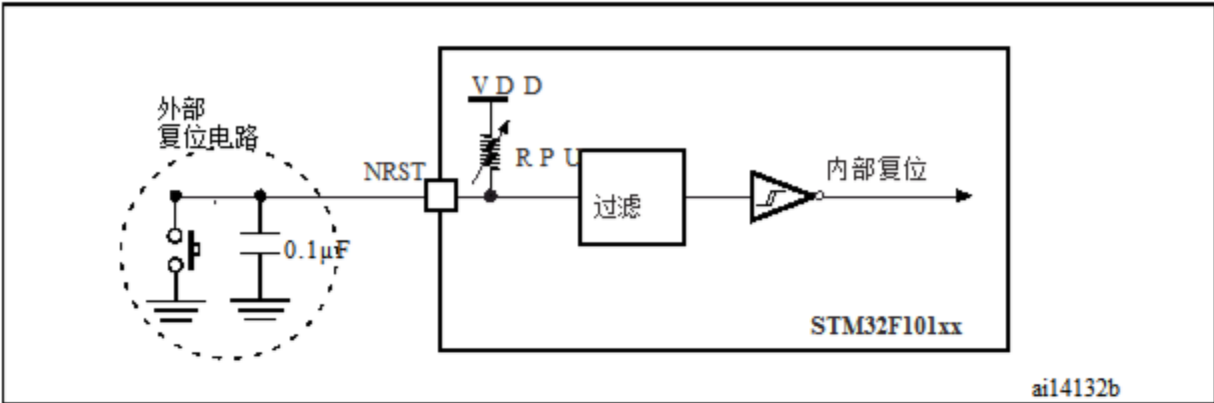
除非另有说明，否则表32中给出的参数来自测试
在环境温度和V_{DD}电源条件下进行总结
表7.

表32. NRST引脚特性 (1)

符号	参数	条件	敏	典型	马克斯	单元
V _{IL} (NRST)	NRST输入低电平电压		-0.5	0.8		V
V _{IH} (NRST)	NRST输入高电平电压		2	V _{DD} +0.5		
V _{HS} (NRST)	NRST施密特触发电压 滞后			200		
R _{PU}	弱上拉等效电阻 (2)	V _{IN} = V _{SS}	三十	40	50	kΩ
V _F (NRST)	NRST输入滤波脉冲 (3)				100	NS
V _{NF} (NRST)	NRST输入未滤波脉冲 (3)				300	微秒

1. 待定待定待定.
2. 上拉设计具有与可切换PMOS串联的真实电阻. 这个PMOS贡献
对串联电阻必须最小 (~10% 订单)
3. 价值由设计保证，未在生产中测试.

图17. 推荐NRST引脚 保护



- 2. 复位网络保护器件免受寄生复位.
- 3. 用户必须确保NRST引脚上的电平可以低于指定的V_{IL} (NRST) 最大电平
否则, 该设备将不会考虑复位.

5.3.14 TIM定时器特性

除非另有规定, 表33中给出的参数来自测试
在环境温度下执行, PCLK_x 频率和V_{DD} 电源电压条件
总结在表7中.

有关输入/输出交替的详细信息, 请参见第5.3.12节: I/O端口引脚特性
功能特性 (输出比较, 输入捕捉, 外部时钟, PWM输出).

表33. TIMx (1) 特征

符号	参数	条件	敏	马克斯	单元
t (TIM)	计时器分辨时间		1		t TIMxCLK
		f TIMxCLK = 72 MHz	13.9		NS
f EXT	定时器外部时钟 CH1到CH4的频率		0	f TIMxCLK / 2	兆赫
		f TIMxCLK = 72 MHz	0 3 6		兆赫
Res TIM	定时器分辨率			16	位
t 计数器	16位计数器时钟周期 当内部时钟是 选		1	65536	t TIMxCLK
		f TIMxCLK = 72 MHz	0.0139	910	微秒
t MAX_COUNT	最大可能数			65536×65536	t TIMxCLK
		f TIMxCLK = 72 MHz		59.6	小号

- 1. TIM_x用作通用术语, 用于指TIM1, TIM2, TIM3和TIM4定时器.

5.3.15 通讯接口

2 C接口特性

除非另有说明，表34中给出的参数来自测试
在环境温度下执行，fPCLK1 频率和VDD 电源电压条件
总结在表7中。

STM32F103xx性能线I 2 C接口符合标准要求
2 C通信协议具有以下限制：I/O引脚SDA和SCL为
映射到不是“真实的”开放式漏洞.当配置为漏极开路时，PMOS连接
在I/O引脚和VDD 之间禁用，但仍然存在. 另外还有一个保护
二极管在I/O引脚和VDD 之间. 因此，当多个主设备是
连接到我 2 C总线，不可能关闭STM32F103xx，而另一个I2 C
主节点保持通电. 否则，STM32F103xx将由
保护二极管.

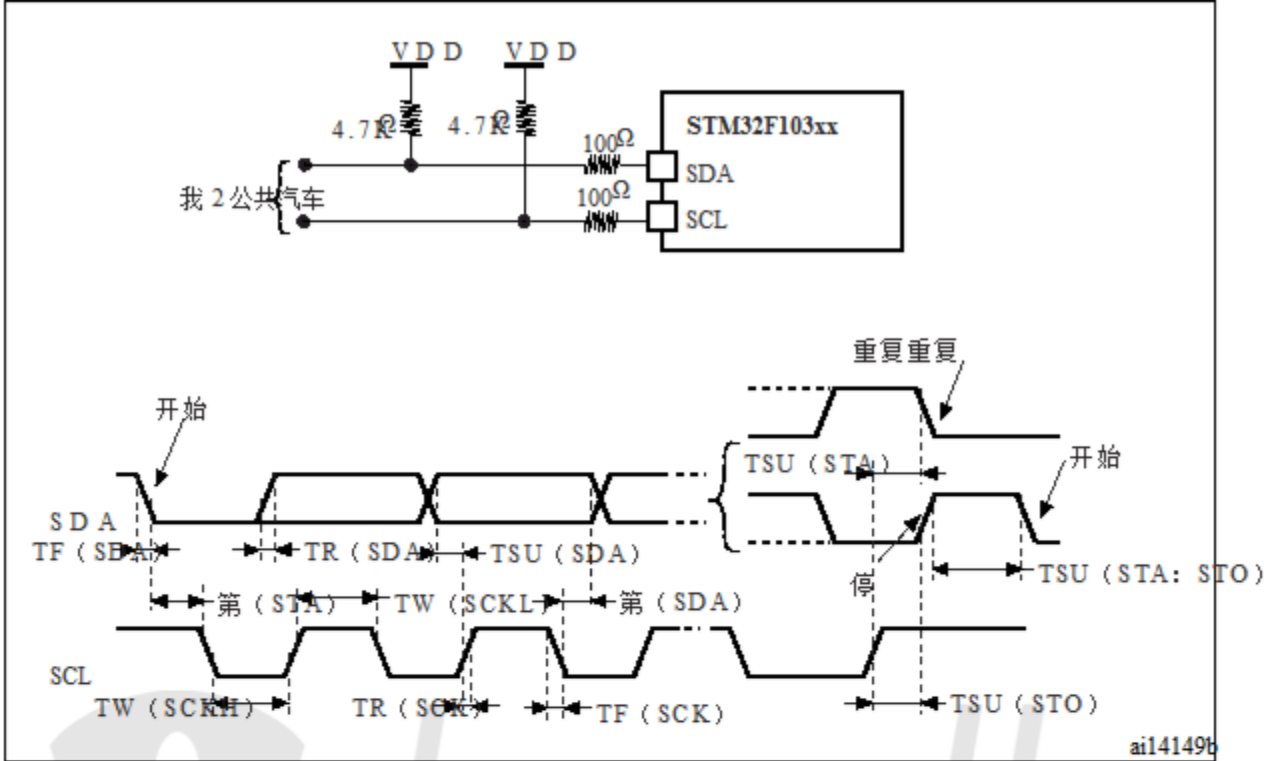
我 2 C特性如表34所示.另请参见第5.3.12节：I/O端口引脚
特性有关输入/输出交替功能特性的更多细节（SDA
和SCL）.

表34. I 2 C特征

符号	参数	标准模式I 2 C (1)		快速模式I 2 C (1) (2)		单元
		敏	马克斯	敏	马克斯	
t w (SCLL)	SCL时钟低电平	4.7		1.3		微秒
t w (SCLH)	SCL时钟高电平	4		0.6		
t su (SDA)	SDA设置时间	250		100		NS
t (SDA)	SDA数据保持时间	0 (3)		0 (4)	900 (3)	
t (SDA) t (SCL)	SDA和SCL上升时间		1000	20 + 0.1Cb	300	
t f (SDA) t f (SCL)	SDA和SCL下降时间		300	20 + 0.1Cb	300	
t h (STA)	启动条件保持时间	4		0.6		微秒
t su (STA)	重复启动条件 设置时间	4.7		0.6		
t su (STO)	停止条件设置时间	4		0.6		微秒
t w (STO: STA)	停止开始条件时间 (巴士免费)	4.7		1.3		微秒
C b	每个总线的容性负载 线		400		400	pF的

1. 基于标准I 2 C协议要求的值，未在生产中测试.
2. fPCLK1 必须高于2 MHz以达到最大标准模式I 2 C频率. 一定是
高于4 MHz，实现最高快速模式I 2 C频率.
3. 如果接口没有拉低，则只能满足启动条件的最大保持时间
SCL信号周期.
4. 内部设备必须为SDA信号内部提供至少300ns的保持时间以桥接
SCL的下降沿的未定义区域.

图18. I2C总线交流波形和测量电路



1. 测量点在CMOS级别完成：0.3V_{DD}和0.7V_{DD}。

表35. SCL频率 (f_{PCLK1} = 36MHz, V_{DD} = 3.3V) (1) (2) (3)

f _{SCL} (kHz)	I2C_CCR值
	R _P = 4.7kΩ
400	T B D
300	T B D
200	T B D
100	T B D
50	T B D
20	T B D

1. 待定=待定
2. R_P = 外部上拉电阻, f_{SCL} = I²C速度,
3. 对于200 kHz左右的速度, 实现速度的公差为 ±2%。对于其他速度范围, 公差达到 ±5%。这些变化取决于外部的精度组件用于设计应用程序。

SPI接口特性

除非另有说明，表36中给出的参数来自测试
在环境温度下执行，PCLKx频率和VDD电源电压条件
总结在表7中。

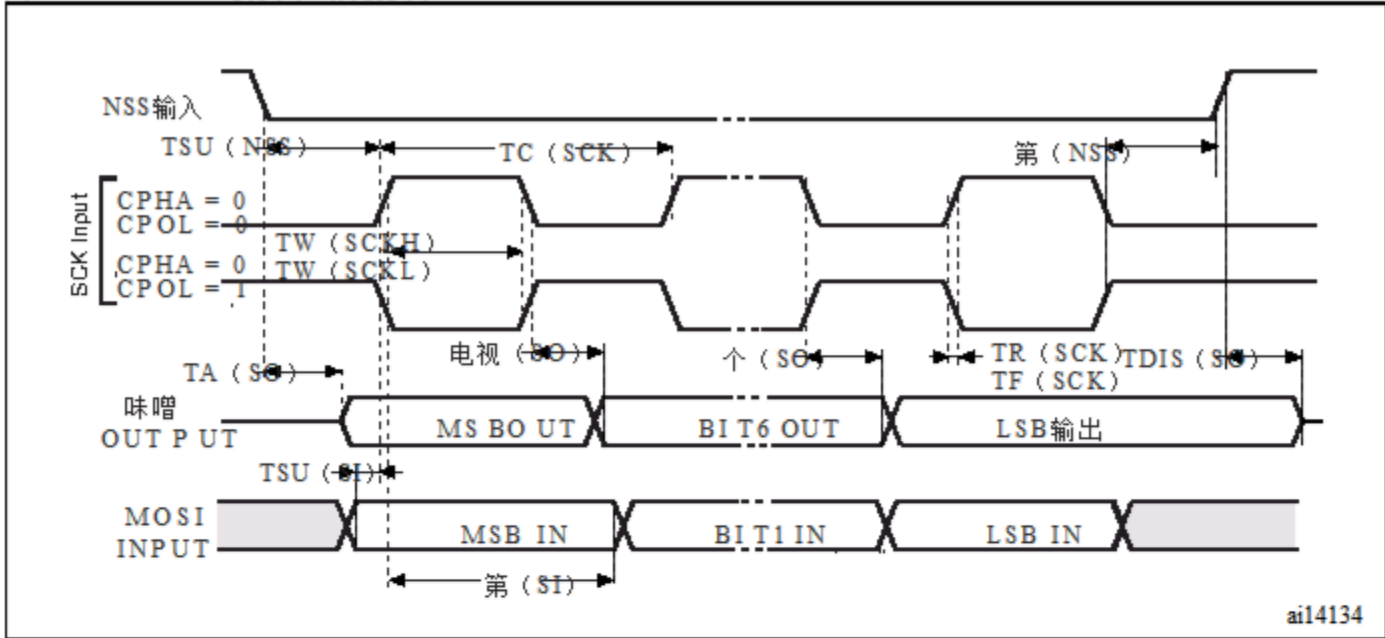
有关输入/输出的更多详细信息，请参见第5.3.12节：I/O端口引脚特性
交替功能特性（NSS，SCK，MOSI，MISO）。

表36. SPI特性 (1)

符号	参数	条件	敏	马克斯	单元
f_{SCK} $1/t_c(SCK)$	SPI时钟频率	主模式	TBD	TBD	兆赫
		从模式	0	TBD	
$t_r(SCK)$ $t_f(SCK)$	SPI时钟上升和下降时间	电容负载: $C = 50\text{ pF}$		TBD	NS
$t_{su}(NSS)^{2)}$	NSS建立时间	从模式	0		
$t_h(NSS)^{2)}$	NSS持有时间	从模式	0		
$TW(SCK)^{2)}$ $t_w(SCK)^{2)}$	SCK高低时间	主模式, $f_{PCLK} = \text{TBD}$, 处方 = TBD	TBD		
$t_{su}(MI)^{2)}$ $t_{su}(SI)^{2)}$	数据输入建立时间	主模式	TBD		
		从模式	TBD		
$t_h(MI)^{2)}$ $t_h(SI)^{2)}$	数据输入保持时间	主模式	TBD		
		从模式	TBD		
		主模式, $f_{PCLK} = \text{TBD}$	TBD (3)		
		从模式, $f_{PCLK} = \text{TBD}$	TBD (3)		
$t(SO)^{2)}$	数据输出访问时间	从模式	TBD	TBD	
		从模式, $f_{PCLK} = \text{TBD}$	TBD	TBD	
$t_{dis}(SO)^{2)}$	数据输出禁用时间	从模式	TBD	TBD	
$t_v(SO)^{2)}$	数据输出有效时间	从模式 (使能边沿后)		TBD	
		$f_{PCLK} = \text{TBD}$		TBD	
电视 (40)	数据输出有效时间	主模式 (启用后) 边缘)		TBD	
		$f_{PCLK} = \text{TBD}$	TBD	TBD	
$t(SO)^{2)}$	数据输出保持时间	从模式 (使能边沿后)	TBD		
$t(MO)^{2)}$		主模式 (启用后) 边缘)	TBD		

1. 待定=待定
2. 基于设计模拟和/或表征结果的值，未在生产中测试。
3. 取决于PCLK。例如，如果 $f_{PCLK} = 8\text{MHz}$ ，则 $t_{PCLK} = 1/f_{PCLK} = 125\text{ns}$ ， $t_v(MO) = 255\text{ns}$ 。
4. 最小时间是驱动输出的最短时间，最长时间是进行验证数据的最长时间。
5. 最短时间是使输出无效的最短时间，最长时间是放置的最长时间Hi-Z中的数据。

图19. SPI时序图 - 从模式和CPHA = 0



1. 测量点在CMOS级别完成：0.3V_{DD}和0.7V_{DD}。

图20. SPI时序图 - 从模式和CPHA = 1

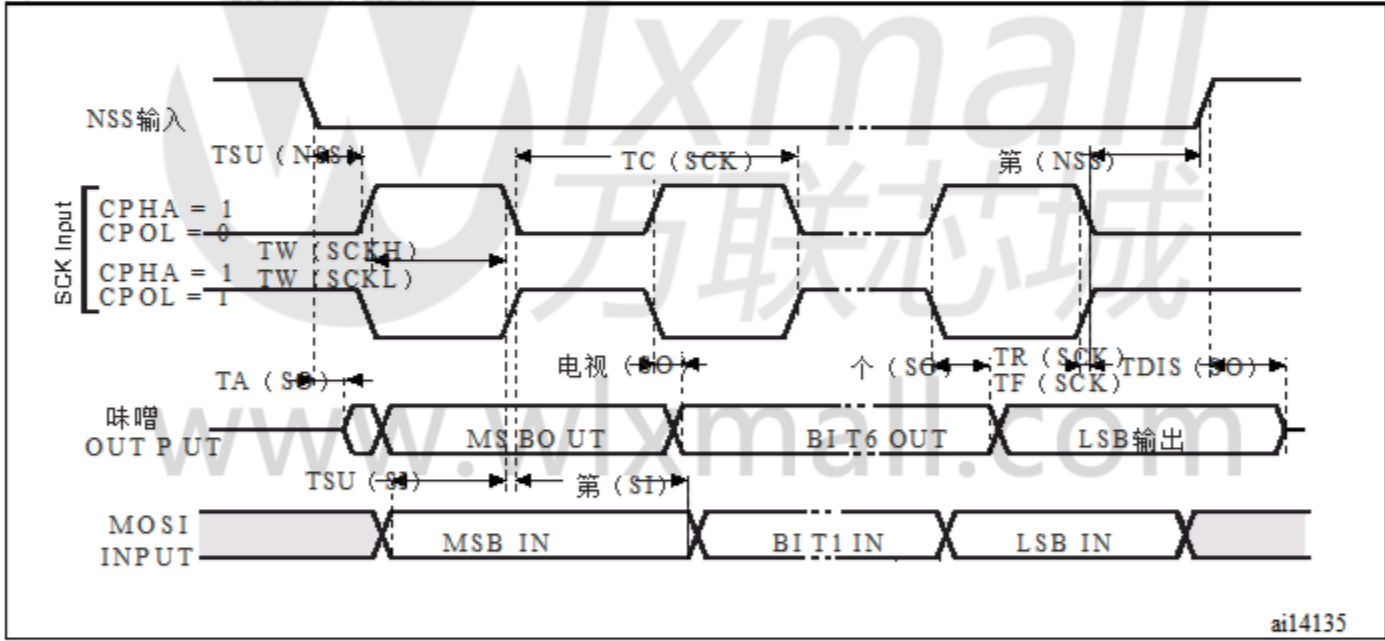
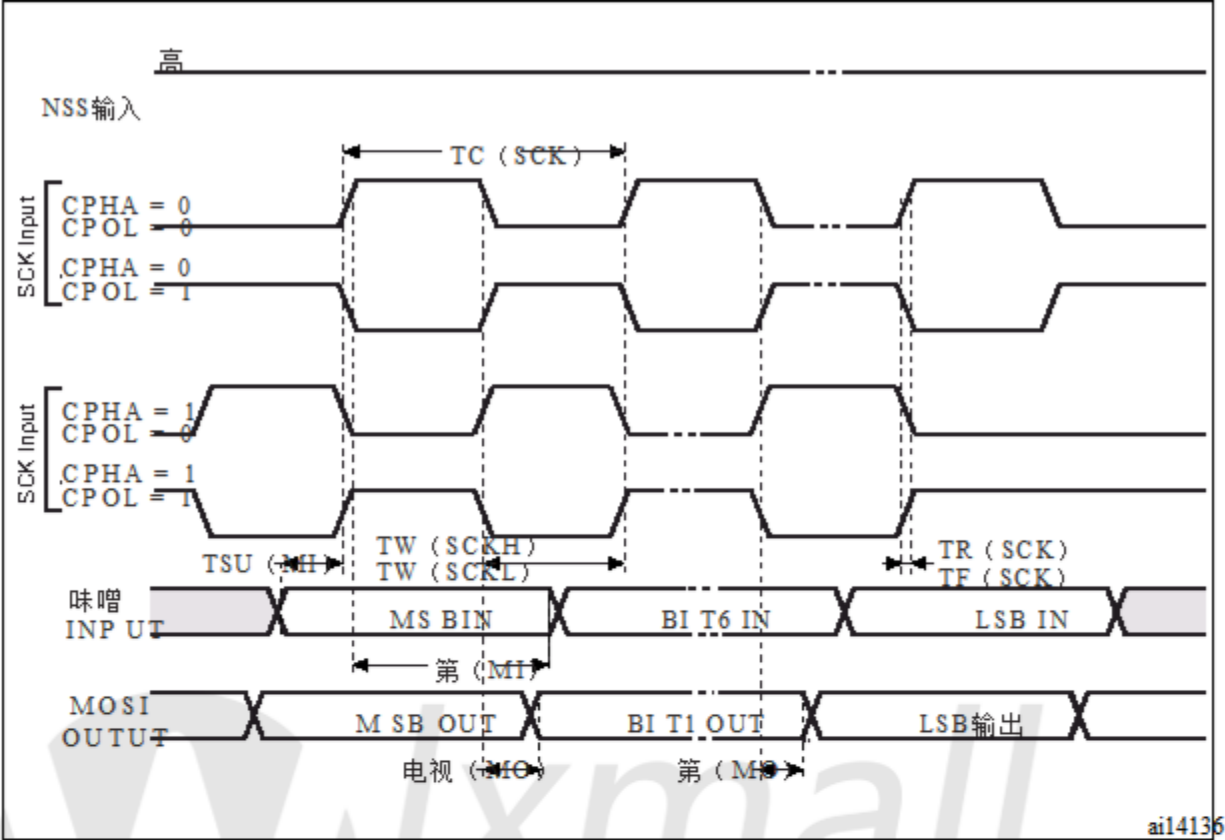


图21. SPI时序图 - 主模式



1. 测量点在CMOS级别完成：0.3V_{DD}和0.7V_{DD}。

USB特性

USB接口经过USB-IF认证（全速）。

表37. USB直流电气特性

符号	参数	条件	阈. (1)	最大 (1)	单元
输入电平					
V _{DI}	差分输入灵敏度	我 (USBDP, USBDM)	0.2		V
V _{CM}	差分共模范围	包括 V _{DI} 范围	0.8	2.5	
V _{SE}	单端接收机阈		1.3	2.0	
输出电平					
V _{OL}	静态输出电平低	R _L 为 1.5 k~3.6 V (2)		0.3	V
V _{OH}	静态输出电平高	R _L 为 15 kΩ 至 V _{SS} (2)	2.8	3.6	

- 所有电压都是从局部地电位测量的。
- R_L 是连接在USB驱动器上的负载

图22. USB定时：定义数据信号的上升和下降时间

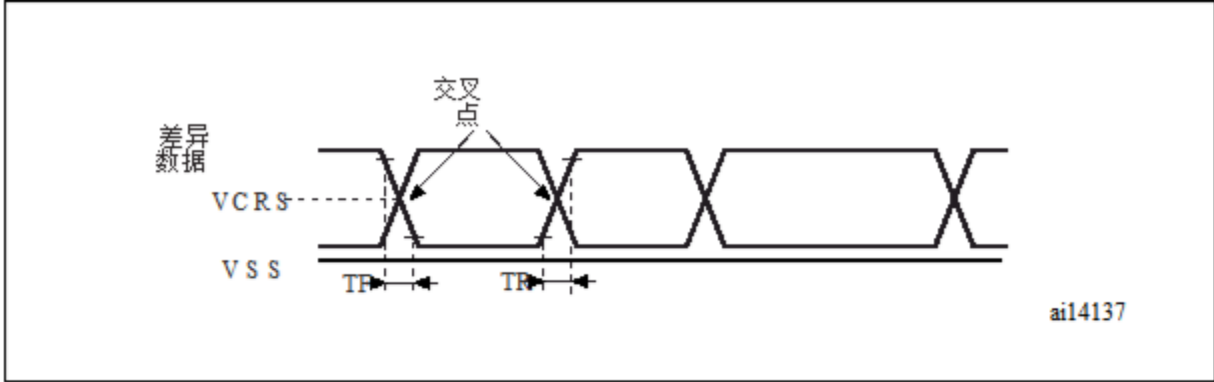


表38. USB：全速电气特性

符号	参数	条件	敏	马克斯	单元
司机特点					
t_R	上升时间 (1)	$C_L = 50 \text{ pF}$	4 2 0		NS
t_f	下降时间 (1)	$C_L = 50 \text{ pF}$	4	20	NS
t_{rfm}	上升/下降时间匹配	t_r/t_f	90	110	%
V CRS	输出信号交叉电压		1.3	2.0	V

1. 测量数据信号的10%到90% .有关更多详细信息，请参阅USB规格 - 第7章（2.0版）。

5.3.16 CAN（控制器局域网）接口

有关输入/输出交替功能的详细信息，请参阅I/O端口特性char-（CANTX和CANRX）。

5.3.17 12位ADC特性

除非另有说明，表39中给出的参数来自测试在环境温度下执行，PCLK2 频率和VDDA 电源电压条件总结在表7 中。

注意：建议每次上电后进行校准。

表39. ADC特性（1）

符号	参数	条件	敏	典型	马克斯	单元
V DDA	ADC电源		2.4 V		3.6 V	V
V REF +	正参考电压		2.0		V DDA	V
f ADC	ADC时钟频率		0.6		14	兆赫
f S	采样率	TBD	0.05		1	兆赫
f TRIG	外部触发频率	$f_{\text{ADC}} = 14 \text{ MHz}$			8 2 3	千赫
					17	1 / f ADC
V AIN	转换电压范围（2）		V SSA		V DDA	V

表39. ADC特性 (1) (续)

符号	参数	条件	敏	典型	马克斯	单元
R AIN	外部输入阻抗		TBD (2) (3)			$k\Omega$
C AIN	外部电容通过模拟输入					pF的
I _{leak}	负输入漏电流在模拟引脚上	V _{IN} < V _{SS} , I _{leak} < 400μA, 在相邻的模拟引脚上		56		μA
R ADC	采样开关电阻				1	$k\Omega$
C ADC	内部采样和保持电容器				5 p	F 的
t CAL	校准时间	f ADC = 14MHz	5.9			微秒
			83			1 / f ADC
t 纬度	注入转换延迟	f ADC = 14 MHz			0.214	微秒
					31 / f ADC	
t S	抽样时间	f ADC = 14 MHz	0.107		17.1	微秒
t STAB	上电时间		0	0	1	微秒
t CONV	总转换时间 (包括采样时间)	f ADC = 14 MHz	1	1	8	微秒
			14 (1.5抽样 + 12.5连续近似)			1 / f ADC

1. 待定=待定
2. 根据输入信号变化 (f AIN), 可以增加 C AIN 以达到稳定时间并减少到允许使用较大的串联电阻 (R AIN). 对于 ≤14MHz 的所有 f ADC 频率均有效.
3. 在采样时间内, 输入电容 C_{ININ} (5最大) 可由外部充电/放电资源. 模拟源的内部电阻必须允许电容达到其最终电压. 在采样时间 t_S 结束后, 模拟输入电压的变化没有影响转换结果. 采样时钟 t_S 的值取决于编程.

表40. ADC精度 (f PCLK2 = 14 MHz, f ADC = 14 MHz, R AIN < 10kΩ, V DDA = 3.3 V) (1)

符号	参数	条件	典型	马克斯	单元
E T	总未调整误差 (2)		3 T B D		LSB
E O	偏移误差 (2)		1 T B D		
E G	增益误差 (2)		2 T B D		
E D	差分线性误差 (2)		3 T B D		
E L	积分线性误差 (2)		2 T B D		

1. 待定=待定
2. ADC精度与负注入电流: 在任何标准 (非 - 应该避免使用鲁棒的) 模拟输入引脚, 因为这显著降低了转换的准确性. 在另一个模拟输入上执行. 建议添加一个肖特基二极管 (引脚到地) 可能潜在地注入负电流的标准模拟引脚. 在第5.3.12节中针对 I_{INJ} (PIN) 和 ΣI_{INJ} (PIN) 规定的限度内的任何正向注入电流 都不是影响ADC精度.

图23. ADC精度特性

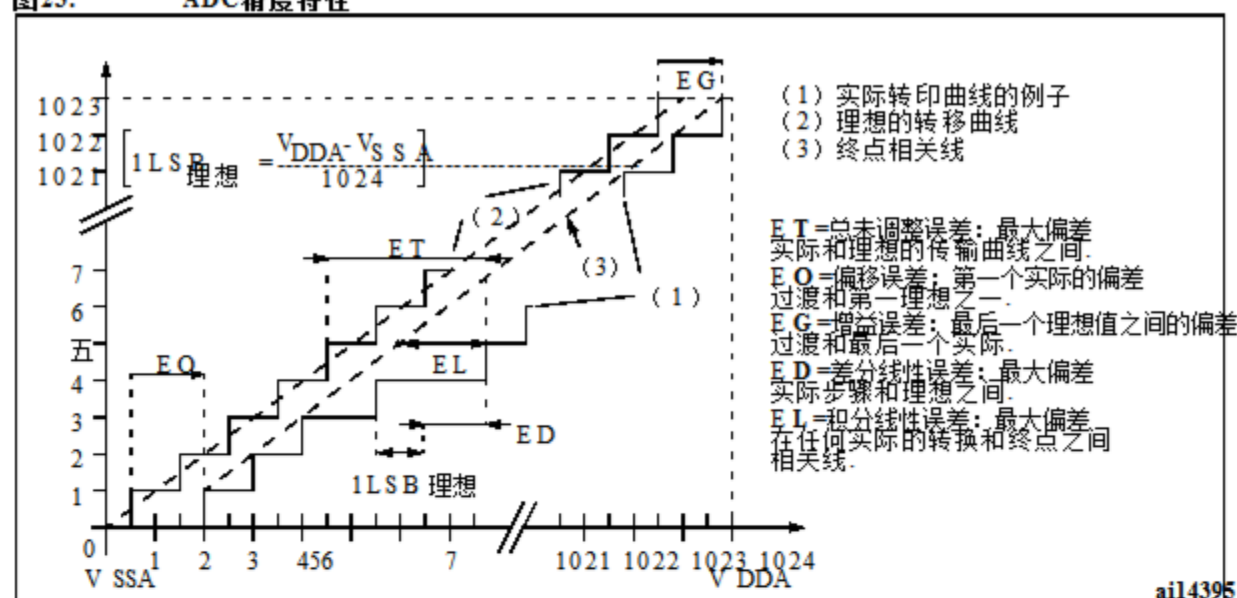
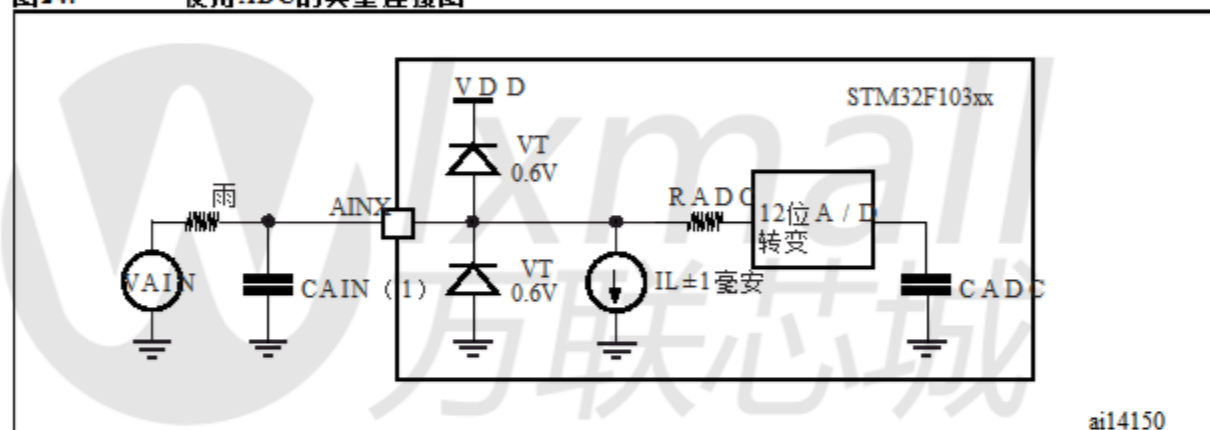


图24. 使用ADC的典型连接图



1. R_{ADC}和C_{ADC}的值请参见表39。

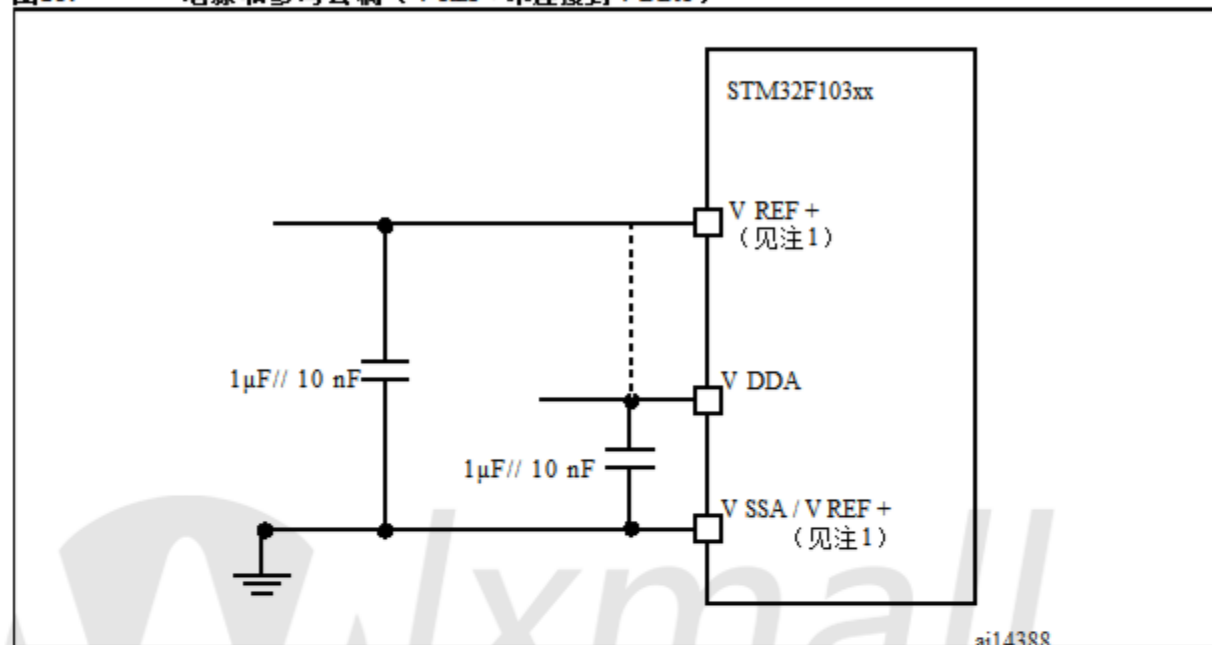
2. C_{PARASITIC}必须添加到C_{AIN}。它表示PCB的电容（取决于焊接和PCB布局质量）加上焊盘电容（3 pF）。高C_{PARASITIC}值会降低转换准确性。要解决这个问题，应该减少f_{ADC}。

一般PCB设计指南

应如图25或图26所示进行电源去耦。

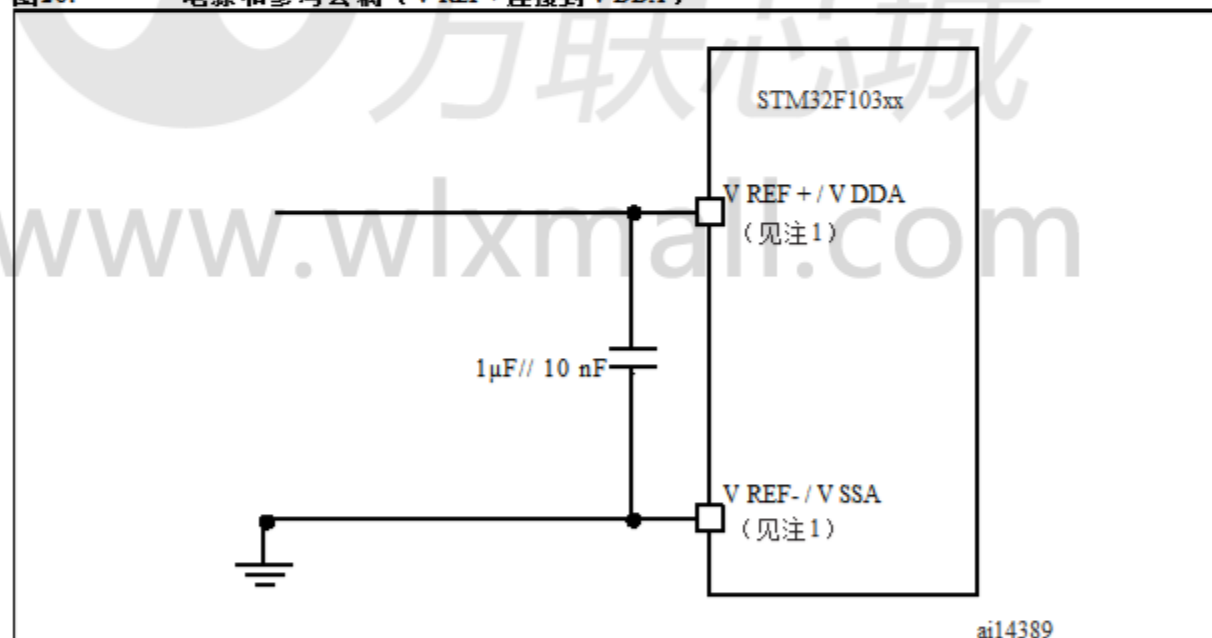
取决于 V_{REF+} 是否连接到 V_{DDA} 。10 nF电容应为陶瓷（质量好）。它们应该尽可能靠近芯片。

图25. 电源和参考去耦（ V_{REF+} 未连接到 V_{DDA} ）



1. V_{REF+} 和 V_{REF-} 输入仅在100引脚封装上可用。

图26. 电源和参考去耦（ V_{REF+} 连接到 V_{DDA} ）



1. V_{REF+} 和 V_{REF-} 输入仅在100引脚封装上可用。

5.3.18 温度传感器特性

表 41. TS特性

符号	参数	条件	敏	典型	马克斯	单元
T	V SENSE 线性度与温度			± 1.5		℃
Avg_Slope	平均坡度			4.478		毫伏/℃
V 25	电压在25℃			1.4		V
t START	启动时间		4		10	微秒



www.wlxmall.com

6 包装特点

图27. LFBGA100 - 低调细间距球栅阵列封装外形

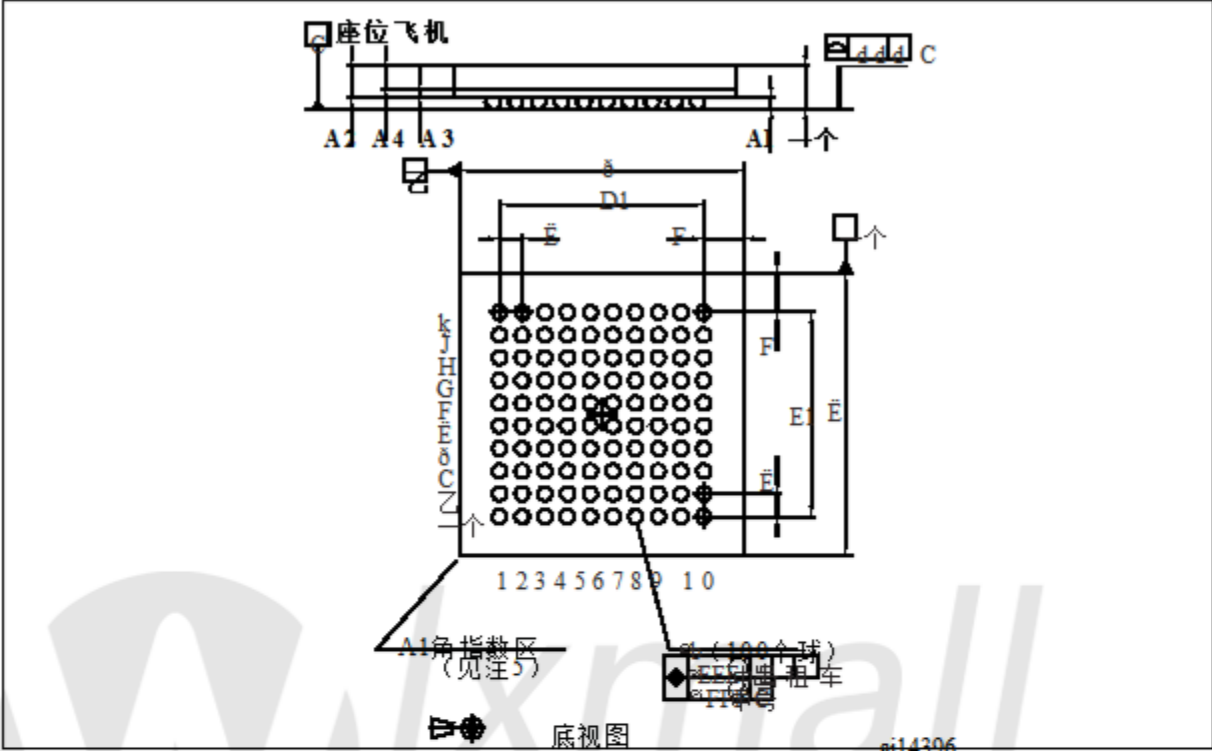
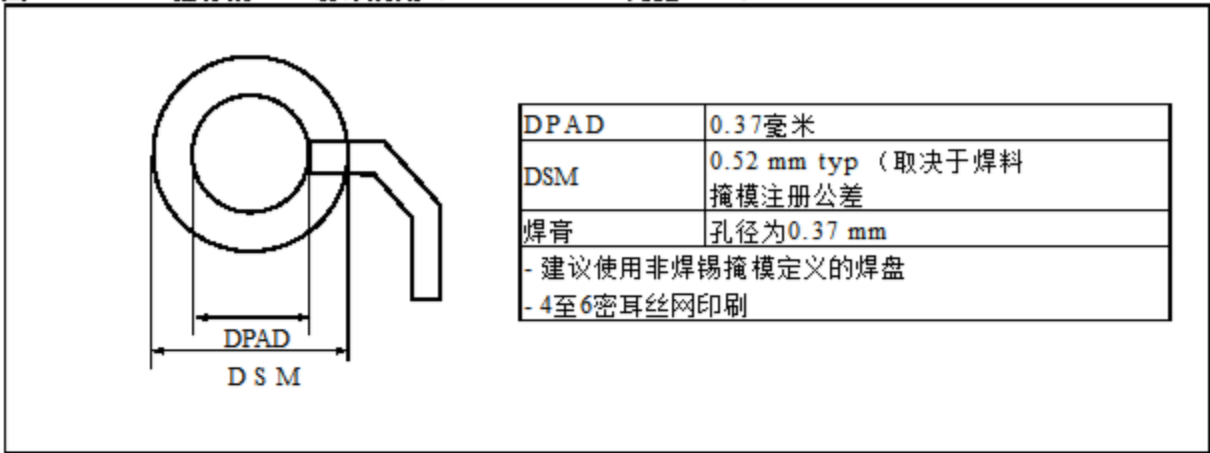


表42. LFBGA100 - 低档细间距球栅阵列封装机械数据

暗淡.	毫米			英寸		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.700			0.067
A1	0.270			0.011		
A2		1.085			0.043	
A3		0.30			0.012	
A4			0.80			0.031
b	0.45	0.50	0.55	0.018	0.020	0.022
δ	9.85	10.00	10.15	0.388	0.394	0.40
D1		7.20			0.283	
E	9.85	10.00	10.15	0.388	0.394	0.40
E1		7.20			0.283	
E		0.80			0.031	
F		1.40			0.055	
DDD			0.12			0.005
EEE			0.15			0.006
FFF			0.08			0.003
N (球数)	100					

图28. 推荐的PCB设计规则（0.80 / 0.75mm间距BGA）



 *lxmall*
万联芯城
www.wlxmall.com

图29. LQFP100 - 100针低调四边形扁平封装外形

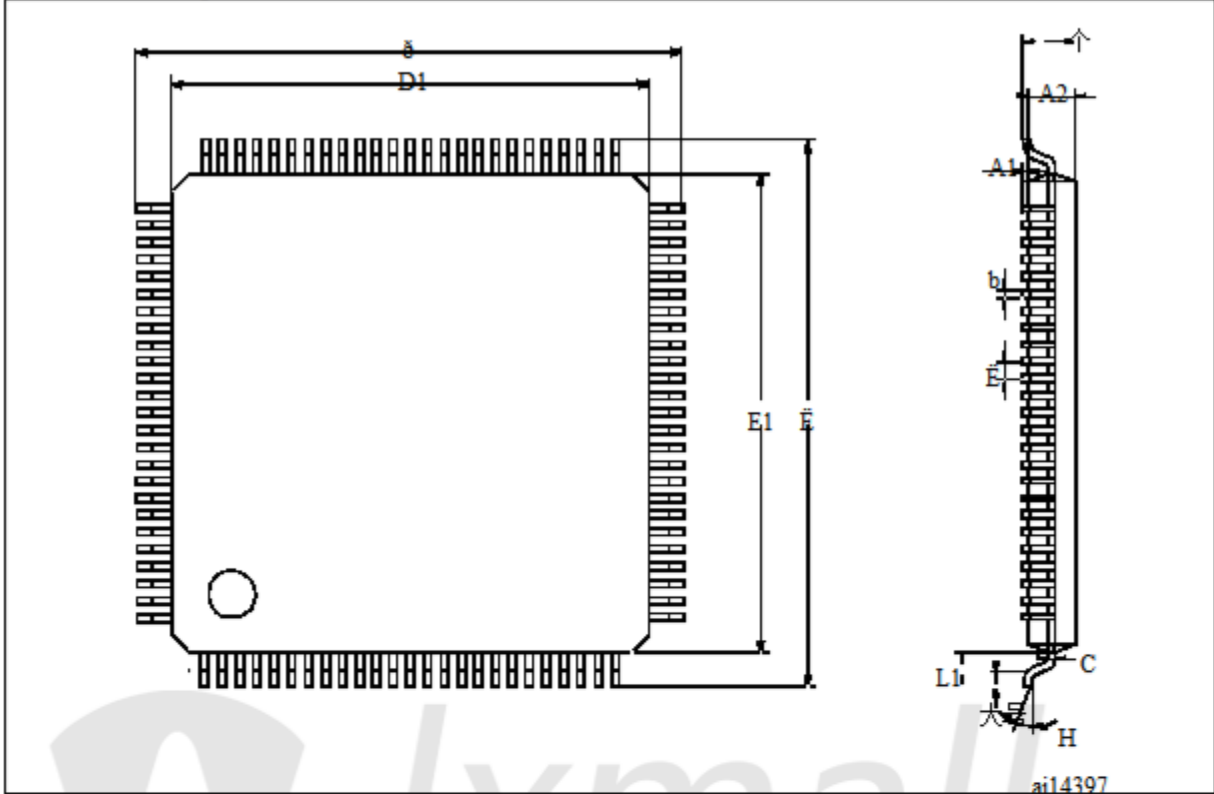


表43. LQFP100 - 100针低调四平面封装机械数据

项次.	毫米			英寸		
	最小	典型	最大值	最小	典型	最大值
一个			1.60		0.063	
A1	0.05		0.15	0.002	0.006	
A2	1.35	1.40	1.45	0.053	0.055	0.057
b	0.17	0.22	0.27	0.007	0.009	0.011
C	0.09		0.20	0.004		0.008
δ		16.00			0.630	
D1		14.00			0.551	
E		16.00			0.630	
E1		14.00			0.551	
E		0.50			0.020	
θ	0°	3.5°	7°	0°	3.5°	7°
大号	0.45	0.60	0.75	0.018	0.024	0.030
L1		1.00			0.039	
	引脚数					
n	100					

图30. LQFP64 - 64引脚低调四边形扁平封装外形

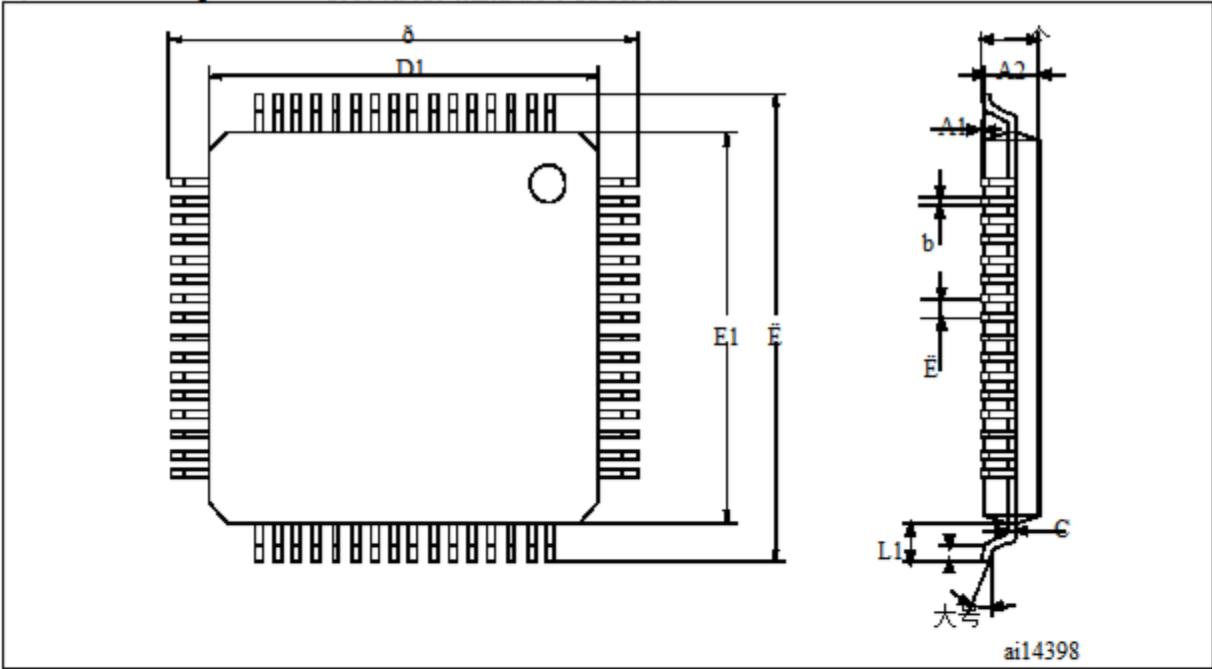


表44. LQFP64 - 64针低调四平面封装机械数据

暗淡.	毫米			英寸		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.063
A1	0.05		0.15	0.002		0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
b	0.17	0.22	0.27	0.007	0.009	0.011
C	0.09		0.20	0.004		0.008
δ		12.00			0.472	
D1		10.00			0.394	
E		12.00			0.472	
E1		10.00			0.394	
E		0.50			0.020	
θ	0°	3.5°	7°	0°	3.5°	7°
大号	0.45	0.60	0.75	0.018	0.024	0.030
L1		1.00			0.039	
	引脚数					
N	6	4				

图31. LQFP48 - 48针低调四边形扁平封装外形

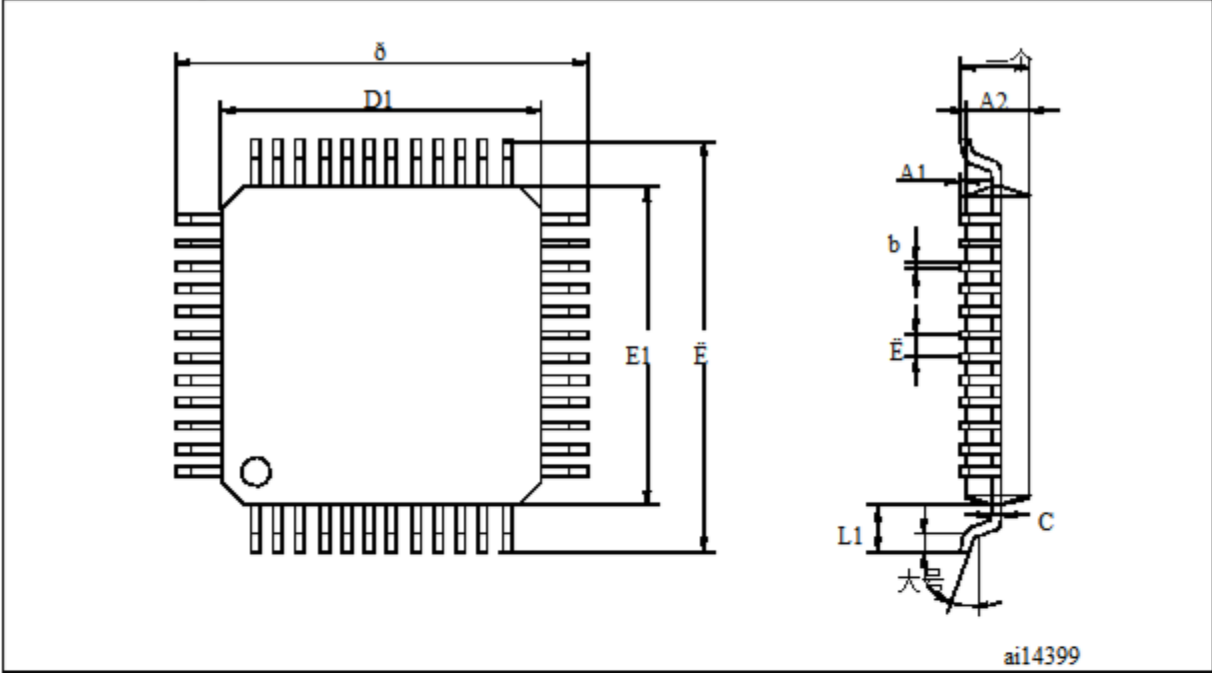


表45. LQFP48 - 48针低调四平面封装机械数据

暗淡.	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.063
A1	0.05		0.15	0.002		0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
b	0.17	0.22	0.27	0.007	0.009	0.011
C	0.09		0.20	0.004		0.008
δ		9.00			0.354	
D1		7.00			0.276	
E		9.00			0.354	
E1		7.00			0.276	
E		0.50			0.020	
θ	0°	3.5°	7°	0°	3.5°	7°
大号	0.45	0.60	0.75	0.018	0.024	0.030
L1		1.00			0.039	
	引脚数					
N	4	8				

1. 以英寸为单位的值将从mm转换为3位十进制数字.

6.1 热特性

平均芯片结温度 T_J ，以摄氏度计，可以使用以下等式：

$$T_J = T_A + (P_D \times \theta_{JA}) \tag{1}$$

哪里：

- T_A 是环境温度，单位°C，
- θ_{JA} 是封装结到环境热阻，单位为°C/W，
- P_D 是 P_{INT} 和 $P_{I/O}$ ($P_D = P_{INT} + P_{I/O}$) 的和，
- P_{INT} 是 I_{DD} 和 V_{DD} 的乘积，以瓦特表示. 这是芯片内部电源.

$P_{I/O}$ 表示输入和输出引脚上的功耗；

大部分时间用于应用程序 $P_{I/O} < P_{INT}$ 并且可以忽略. 另一方面， $P_{I/O}$ 如果设备配置为连续驱动外部模块和/或回忆.

P_D 和 T_J (如果 $P_{I/O}$ 被忽略) 之间的近似关系 由下式给出：

$$P_D = K / (T_J + 273^{\circ}\text{C}) \tag{2}$$

因此 (求解方程 1 和 2)：

$$K = P_D \times (T_A + 273^{\circ}\text{C}) + \theta_{JA} \times P_D^2 \tag{3}$$

哪里：

K 是特定部分的常数，其可以由等式 (3) 确定
测量 P_D (在平衡时) 为已知的 T_A . 使用该 K 值， P_D 和 T_J 的值
可以通过迭代求解 T_A 的任何值的等式 (1) 和 (2) 来获得.

表 46. 热特性

符号	参数	值	单元
θ_{JA}	热阻结环境 LFBGA100 - 10 x 10 mm / 0.5 mm 间距	41	°C / W
	热阻结环境 LQFP100 - 14 x 14 mm / 0.5 mm 音高	46	
	热阻结环境 LQFP64 - 10 x 10 mm / 0.5 mm 间距	45	
	热阻结环境 LQFP48 - 7 x 7 mm / 0.5 mm 间距	55	



7 订购代码

表 47. 订购代码

零件号	Flash 程序 记忆 千字节	SRAM 记忆 千字节	包
STM32F103C6T6	32	10	LQFP48
STM32F103C8T6	64	20	
STM32F103R6T6	32	10	LQFP64
STM32F103R8T6	64	20	
STM32F103RBT6	128	20	
STM32F103V8T6	64	20	LQFP100
STM32F103VBT6	128	20	
STM32F103V8H6	64	20	LFBGA100
STM32F103VBH6	128	20	

7.1 未来家庭增强

STM32F103xx 性能线的进一步发展将会扩大当前选项. 较大的软件包即将推出, 最高可达 512KB Flash, 64KB SRAM 和扩展功能, 如 EMI 支持, SDIO, I2S, DAC 等计时器和 USARTS.

8 修订记录

表 48. 文件修订历史

日期	调整	变化
01 年 2007	1	初始发行.
20 - 07 月 2007	2	闪存大小在注5, 注4, 注6, 注7和 BGA100 引脚添加到表3: 引脚定义. 图5: STM32F103xx 增加了BGA100的性能表现. T HSE 变为T LSE , 如图12所示: 低速外部时钟源AC 时序图. V BAT 在供电方案中已经修改. 在表17中, t SU (LSE) 变为t SU (HSE) : HSE 4-16 MHz振荡器 特点. I DD (HSI) 最大值添加到表19: HSI振荡器 特点. 样品尺寸修改和机器模型在静电中去除 放电 (ESD) . 修改的零件数量和静态中的标准参考更新 闭锁. 25°C和85°C条件被删除, 类名修改 在表28中: 电敏感性. R PU 和R PD 最小值和最大值 添加到表29: I / O静态特性. R PU 最小值和最大值 添加到表32: NRST 引脚特性. 图18: I2C总线交流波形和测量电路和 图17: 建议NRST 引脚保护修正. 注解除下表7, 表32, 表37之外. I DD 典型值在表11中更改: 最大电流消耗 运行和睡眠模式. 表33: 修改了TIMx特征. t STAB , V REF + 值, t lat 和f TRIG 添加到表39: ADC特性. 表24: 闪存耐久性和数据保留, 典型 T A = 85°C的耐久性和数据保留, T A 的数据保留 = 25°C. 表8中的 V BG 更改为V REFINT : 嵌入式内部参考 电压. 文件标题已更改. 控制器局域网 (CAN) 部分 改性. 图9: 电源方案修改. 第1页的功能 优化列表. 小文字变化.



请仔细阅读：

本档中的信息仅供ST产品使用.意法半导体及其子公司（“ST”）保留对本文档以及本文所述的产品和服务进行任何更改，更正，修改或改进的权利时间，恕不另行通知。

所有ST产品均按照ST的销售条款和条件出售。

买家对本文所述的ST产品和服务的选择，选择和使用负全部责任，ST假定没有对本文所述的ST产品和服务的选择，选择或使用的任何责任。

根据本文件，不得以任何禁止反言或以其他方式明示或默示任何知识产权.如果这个的任何部分文件是指任何第三方产品或服务，ST不得将其视为使用此类第三方产品的许可证或服务，或其中包含的任何知识产权或被认为是以任何方式使用的保证第三方产品或服务或其中包含的任何知识产权。

除非另有规定，否则ST的条款和条件不得以任何明示或暗示的方式关于使用和/或销售ST产品的保证，包括但不限于暗示适用性，适用于特定用途的保证（及其法律等同条款）任何司法管辖区），或侵犯任何专利，版权或其他知识产权。

除了经授权的ST代表书进行书面批准之外，ST产品不得建议，授权或保证在军事，空运，空间，生命维持或生命维持中使用应用或产品或系统故障或故障可能导致人身伤害，死亡或严重财产或环境损害. ST产品不被称为“汽车” GRADE“只能用于汽车应用程序，用户自己承担风险。

与本文件所述的陈述和/或技术特征不同的ST产品转售将立即失效
ST所提供ST ST产品或服务的任何保证，不得以任何方式创建或扩展任何ST的责任

ST和ST标志是ST在各国的商标或注册商标。

本档中的信息取代了以前提供的所有信息。

ST标志是意法半导体的注册商标.所有其他名称均为其各自所有者的财产。

©2007意法半导体 - 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克共和国 - 芬兰 - 法国 - 德国 - 香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美利坚合众国

www.st.com

