



LPC2212 / 2214

单芯片16/32位ARM微控制器; 128/256 kB
具有10位ADC和外部存储器接口的ISP / IAP闪存

2011年6月5日至14日

产品数据表

1. 一般描述

LPC2212 / 2214基于具有实时仿真功能的16/32位ARM7TDMI-S CPU和嵌入式跟踪支持, 以及128/256 kB嵌入式高速闪存记忆. 128位宽的存储器接口和独特的加速器架构支持以最大时钟速率执行32位代码. 对于关键代码大小的应用程序, 可选的16位Thumb模式将代码减少了30%以上, 而且代码量最小表现惩罚.

凭借其144引脚封装, 低功耗, 各种32位定时器, 8通道10位ADC, PWM通道和多达9个外部中断引脚的微控制器特别适用于工业控制, 医疗系统, 门禁控制等销售点. 可用的快速GPIO数量最多可达76个引脚(带外部内存)通过多达112个引脚(单芯片). 具有广泛的串行通信接口, 它们也非常适合通讯网关, 协议转换器嵌入式软调制解调器以及许多其他通用应用.

备注: 在整个数据表中, 术语LPC2212 / 2214将适用于带有没有/ 00或/ 01后缀. / 00或/ 01后缀将用于区分只有在必要时才能从其他设

2. 特点和好处

2.1 LPC2212 / 2214/01器件带来的关键特性

- 快速GPIO端口使端口引脚比原始设备快3.5倍.
它们还允许在任何时候读取端口引脚, 而不管其功能如何.
- ADC的专用结果寄存器可降低中断开销. ADC是配置为数字I/O功能时, 容许5V电压.
- UART0/1包括小数波特率发生器, 自动波特率功能和握手流量控制完全在硬件中实现.
- 支持SPI, 4线SSI和Microwire格式的缓冲SSP串行控制器.
- SPI可编程数据长度和主模式增强.
- 多元化代码读取保护(CRP)可实现不同的安全级别实现. 该功能也可在LPC2212 / 2214/00设备中使用.
- 通用定时器可以作为外部事件计数器运行.

2.2 所有设备通用的主要特点

- 采用LQFP144封装的16/32位ARM7TDMI-S微控制器.



- \\ 16 kB片上静态RAM和128/256 kB片上闪存程序存储器. 128位宽接口/加速器可实现 60 MHz的高速运行.
- \\ 通过片上系统编程 (ISP) 和应用内编程 (IAP) 引导程序软件. Flash编程每512 B行需要 1 ms.单个部门或全芯片擦除需要400毫秒.
- \\ EmbeddedICE -RT和嵌入式跟踪接口提供实时调试功能 片上RealMonitor软件以及高速实时跟踪指令执行.
- \\ 8 通道10位ADC, 转换时间低至2.44 μ s.
- \\ 两个32位定时器 (具有四个捕捉和四个比较通道), PWM单元 (六个输出), 实时时钟和看门狗.
- \\ 多个串行接口, 包括两个UART (16C550), 快速I2C总线 (400 kbit/s) 和两个SPI.
- \\ 向量中断控制器, 具有可配置的优先级和向量地址.
- \\ 可配置的外部存储器接口, 最多可有四个存储区, 每个存储区最大可达16 MB 8/16/32位数据宽度.
- \\ 多达112个通用I/O引脚 (5 V容差). 多达九个边缘或水平敏感外部中断引脚可用.
- \\ 来自可编程片上锁相的60 MHz最大CPU时钟 循环与建立时间100 μ s.
- \\ 工作范围为1 MHz至30 MHz的片上晶体振荡器.
- \\ 两种低功耗模式, 空闲和掉电.
- \\ 处理器通过外部中断从掉电模式中唤醒.
- \\ 个别启用/禁用外设功能以优化功耗.
- \\ 双电源:
 - ✱ CPU 工作电压范围为1.65 V至1.95 V (1.8 V 0.15 V) .
 - ✱ 3.0 V至3.6 V (3.3 V) 的I/O电源范围 10%), 具有5V耐受I/O焊盘.

3. 订购信息

表格1. 订购信息

类型编号	包		
	名称	描述	版
LPC2212FBD144 / 01 LQFP144		塑料薄型四方扁平封装; 144导联; 身体 20 20 1.4毫米	SOT486-1
LPC2214FBD144 / 01 LQFP144		塑料薄型四方扁平封装; 144导联; 身体 20 20 1.4毫米	SOT486-1

3.1订购选项

表2 订购选项							
类型编号	闪存	内存	快速 GPIO / SSP/ 增强 UART, ADC, 计时器	温度范围			
LPC2212FBD144 / 01	128 kB	16 kB	是	−40	C到+85	C	
LPC2214FBD144 / 01	256 kB	16 kB	是	−40	C到+85	C	



4. 框图

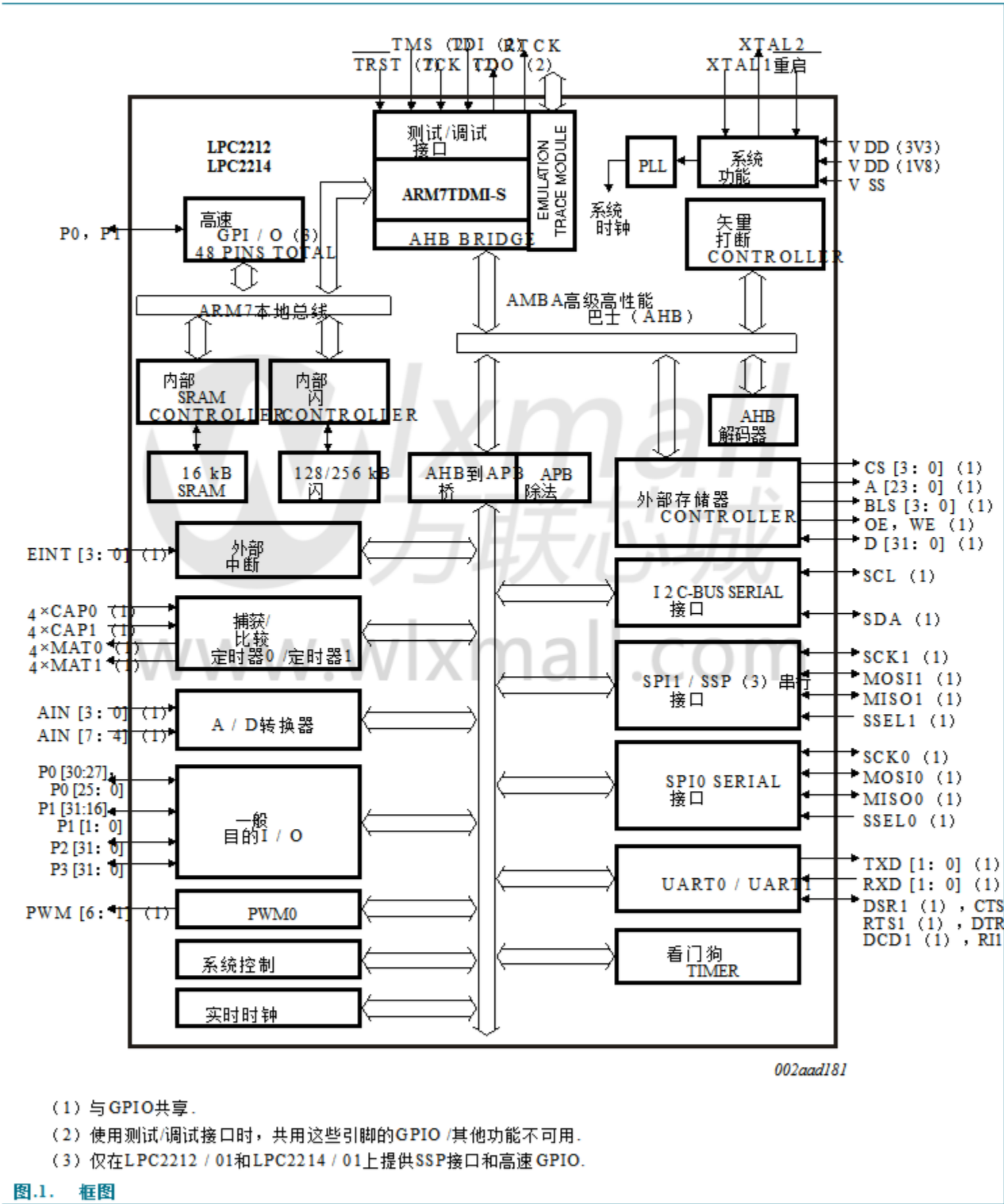
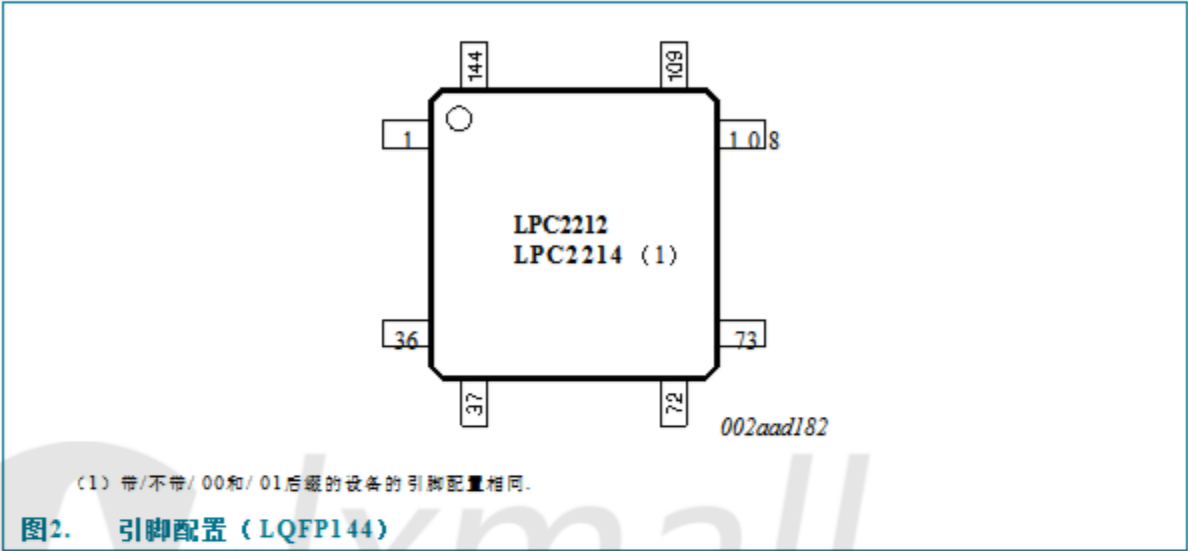


图.1. 框图

5. 固定信息

5.1 引脚



5.2引脚说明

表3. 引脚说明

符号	销	类型说明
P0 [0]至P0 [31]		I / O 端口0是一个32位双向I / O端口，带有单独的方向控制 每一点.端口0引脚的操作取决于所选的引脚功能 通过引脚连接块. 端口0的引脚26和31不可用.
P0 [0] / TXD0 / PWM1	42	Ø TXD0 - UART0的发送器输出. Ø PWM1 - 脉宽调制器输出1.
P0 [1] / RXD0 / PWM3 / EINT0	49	—世 RXD0 - UART0的接收器输入. Ø PWM3 - 脉宽调制器输出3. —世 EINT0 - 外部中断0输入
P0 [2] / SCL / CAP0 [0]	50	I / O SCL - I2C总线时钟输入/输出. 开漏输出（用于I2C总线 合规性）. —世 CAP0 [0] - 定时器0，通道0的捕捉输入.
P0 [3] / SDA / MAT0 [0] / EINT1	58	I / O SDA - I2C总线数据输入/输出. 开漏输出（用于I2C总线 合规性）. Ø MAT0 [0] - 定时器0的匹配输出，通道0. —世 EINT1 - 外部中断1输入.
P0 [4] / SCK0 / CAP0 [1]	59	I / O SCK0 - SPI0的串行时钟.主时钟输出或从时钟输入. —世 CAP0 [1] - 定时器0，通道1的捕捉输入.
P0 [5] / MISO0 / MAT0 [1]	61	I / O MISO0 - 主机输入SPI0的从机输出.数据输入到SPI主机或数据 SPI从器件的输出. Ø MAT0 [1] - 定时器0，通道1的匹配输出.
P0 [6] / MOSI0 / CAP0 [2]	68	I / O MOSI0 - SPI0主控输入.从SPI主机或数据输出数据 输入到SPI从机. —世 CAP0 [2] - 定时器0，通道2的捕捉输入.
P0 [7] / SSEL0 / PWM2 / EINT2	69	—世 SSEL0 - SPI0的从机选择.选择SPI接口作为从机. Ø PWM2 - 脉宽调制器输出2. —世 EINT2 - 外部中断2输入.
P0 [8] / TXD1 / PWM4	75	Ø TXD1 - UART1的发送器输出. Ø PWM4 - 脉宽调制器输出4.
P0 [9] / RXD1 / PWM6 / EINT3	76	—世 RXD1 - UART1的接收器输入. Ø PWM6 - 脉宽调制器输出6. —世 EINT3 - 外部中断3输入.
P0 [10] / RTS1 / CAP1 [0]	78	Ø RTS1 - 请求发送UART1的输出. —世 CAP1 [0] - 定时器1捕获输入，通道0.
P0 [11] / CTS1 / CAP1 [1]	83	—世 CTS1 - UART1的清除发送输入. —世 CAP1 [1] - 定时器1，通道1的捕捉输入.
P0 [12] / DSR1 / MAT1 [0]	84	—世 DSR1 - UART1的数据设置就绪输入. Ø MAT1 [0] - 定时器1的匹配输出，通道0.
P0 [13] / DTR1 / MAT1 [1]	85	Ø DTR1 - UART1的数据终端就绪输出. Ø MAT1 [1] - 定时器1，通道1的匹配输出.

表3. 引脚说明 ... 继续

符号	销	类型说明
P0 [14] / DCD1 / EINT1	92	—世 DCD1 - UART1的数据载波检测输入. —世 EINT1 - 外部中断1输入. 注: RESET为低电平时, 此引脚为低电平, 强制片上引导加载程序执行在复位之后控制部分.
P0 [15] / RI1 / EINT2	99	—世 RI1 - UART1的振铃指示器输入. —世 EINT2 - 外部中断2输入.
P0 [16] / EINT0 / MAT0 [2] CAP0 [2]	100	—世 EINT0 - 外部中断0输入. Ø MAT0 [2] - 定时器0, 通道2的匹配输出. —世 CAP0 [2] - 定时器0, 通道2的捕捉输入.
P0 [17] / CAP1 [2] / SCK1 / MAT1 [2]	101	—世 CAP1 [2] - 定时器1, 通道2的捕捉输入. I / O SCK1 - SPI1 / SSP [1]的串行时钟.主时钟或输入的SPI时钟输出对奴隶. Ø MAT1 [2] - 定时器1, 通道2的匹配输出.
P0 [18] / CAP1 [3] / MISO1 / MAT1 [3]	102	—世 CAP1 [3] - 定时器1, 通道3的捕捉输入. I / O MISO1 - SPI1 / SSP [1]的主输入从输出.数据输入到SPI主机或者数据从SPI从器件输出. Ø MAT1 [3] - 定时器1, 通道3的匹配输出.
P0 [19] / MAT1 [2] / MOSI2 / CAP1 [2]	103	Ø MAT1 [2] - 定时器1, 通道2的匹配输出. I / O MOSI1 - SPI1 / SSP [1]的主输出从器件.从SPI主机输出数据或数据输入到SPI从站. —世 CAP1 [2] - 定时器1, 通道2的捕捉输入.
P0 [20] / MAT1 [3] / SSEL1 / EINT3	103	Ø MAT1 [3] - 定时器1, 通道3的匹配输出. —世 SSEL1 - SPI1 / SSP [1]的从选择.选择SPI接口作为从机. —世 EINT3 - 外部中断3输入.
P0 [21] / PWM5 / CAP1 [3]	4	Ø PWM5 - 脉宽调制器输出5. —世 CAP1 [3] - 定时器1, 通道3的捕捉输入.
P0 [22] / CAP0 [0] / MAT0 [0]	5	—世 CAP0 [0] - 定时器0, 通道0的捕捉输入. Ø MAT0 [0] - 定时器0的匹配输出, 通道0.
P0 [23]	6	I / O 仅用于通用双向数字端口.
P0 [24]	8	I / O 仅用于通用双向数字端口.
P0 [25]	21	I/O 仅用于通用双向数字端口.
P0 [27] / AIN0 / CAP0 [1] MAT0 [1]	23	—世 AIN0 - ADC, 输入0.该模拟输入始终连接到其引脚. —世 CAP0 [1] - 定时器0, 通道1的捕捉输入. Ø MAT0 [1] - 定时器0, 通道1的匹配输出.
P0 [28] / AIN1 / CAP0 [2] MAT0 [2]	25	—世 AIN1 - ADC, 输入1.该模拟输入始终连接到其引脚. —世 CAP0 [2] - 定时器0, 通道2的捕捉输入. Ø MAT0 [2] - 定时器0, 通道2的匹配输出.
P0 [29] / AIN2 / CAP0 [3] MAT0 [3]	32	—世 AIN2 - ADC, 输入2.该模拟输入始终连接到其引脚. —世 CAP0 [3] - 定时器0, 通道3的捕捉输入. Ø MAT0 [3] - 定时器0, 通道3的匹配输出.

表3. 引脚说明 ... 继续

符号	销	类型	说明
P0 [30] / AIN3 / EINT3 / 33 CAP0 [0]		—世	AIN3 - ADC, 输入3.该模拟输入始终连接到其引脚.
		—世	EINT3 - 外部中断3输入.
		—世	CAP0 [0] - 定时器0, 通道0的捕捉输入.
P1 [0]至P1 [31]		I / O	端口1是一个32位双向I / O端口, 带有单独的方向控制 每一点.端口1引脚的操作取决于所选的引脚功能 通过引脚连接块. 端口1的引脚2至15不可用.
P1 [0] / CS0	91	Ø	低有效片选0信号. (Bank 0地址范围从0x8000 0000到0x80FF FFFF)
P1 [1] / OE	90	Ø	低有效输出使能信号.
P1 [16] / TRACEPKT0	34	Ø	跟踪数据包, 位0.内部上拉的标准I / O端口.
P1 [17] / TRACEPKT1	24	Ø	跟踪数据包, 位1.具有内部上拉的标准I / O端口.
P1 [18] / TRACEPKT2	15	Ø	跟踪数据包, 位2.具有内部上拉的标准I / O端口.
P1 [19] / TRACEPKT3	7	Ø	跟踪数据包, 位3.具有内部上拉的标准I / O端口.
P1 [20] / TRACESYNC	102	Ø	跟踪同步.标准I / O端口, 内部上拉. 注: RESET为低电平时, 此引脚为低电平, 使能引脚P1 [25:16]至 在复位后作为跟踪端口工作.
P1 [21] / PIPESTAT0	95	Ø	流水线状态, 位0.内部上拉的标准I / O端口.
P1 [22] / PIPESTAT1	86	Ø	流水线状态位1.具有内部上拉的标准I / O端口.
P1 [23] / PIPESTAT2	82	Ø	流水线状态位2.具有内部上拉的标准I / O端口.
P1 [24] / TRACECLK	70	Ø	跟踪时钟.具有内部上拉的标准I / O端口.
P1 [25] / EXTIN0	60	—世	外部触发输入.具有内部上拉的标准I / O.
P1 [26] / RTCK	52	I / O	返回测试时钟输出.额外的信号添加到JTAG端口.助攻 当处理器频率变化时调试器同步.双向引脚 与内部上拉. 注: RESET为低电平时该引脚为低电平, 使能引脚P1 [31:26]至 在复位后作为调试端口运行.
P1 [27] / TDO	144	Ø	为JTAG接口测试数据.
P1 [28] / TDI	140	—世	测试JTAG接口的数据.
P1 [29] / TCK	126	—世	JTAG接口的测试时钟.该时钟必须比 CPU的 1/6 慢 时钟 (CCLK) 用于JTAG接口的操作.
P1 [30] / TMS	113	—世	测试模式选择JTAG接口.
P1 [31] / TRST	43	—世	JTAG接口的测试复位.
P2 [0]至P2 [31]		I / O	端口2是一个32位双向I / O端口, 带有单独的方向控制 每一点.端口2引脚的操作取决于所选的引脚功能 通过引脚连接块.
P2 [0] / D0	98	I / O	外部存储器数据线0.
P2 [1] / D1	105	I / O	外部存储器数据线1.
P2 [2] / D2	106	I / O	外部存储器数据线2.
P2 [3] / D3	108	I / O	外部存储器数据线3.
P2 [4] / D4	109	I / O	外部存储器数据线4.
P2 [5] / D5	114	I / O	外部存储器数据线5.
P2 [6] / D6	115	I / O	外部存储器数据线6.

表3. 引脚说明 ... 继续

符号	销	类型说明
P2 [7] / D7	116	I / O 外部存储器数据线7.
P2 [8] / D8	117	I / O 外部存储器数据线8.
P2 [9] / D9	118	I / O 外部存储器数据线9.
P2 [10] / D10	120	I/O 外部存储器数据线10.
P2 [11] / D11	124	I/O 外部存储器数据线11.
P2 [12] / D12	125	I/O 外部存储器数据线12.
P2 [13] / D13	127	I/O 外部存储器数据线13.
P2 [14] / D14	129	I/O 外部存储器数据线14.
P2 [15] / D15	130	I/O 外部存储器数据线15.
P2 [16] / D16	131	I/O 外部存储器数据线16.
P2 [17] / D17	132	I/O 外部存储器数据线17.
P2 [18] / D18	133	I/O 外部存储器数据线18.
P2 [19] / D19	134	I/O 外部存储器数据线19.
P2 [20] / D20	136	I/O 外部存储器数据线20.
P2 [21] / D21	137	I/O 外部存储器数据线21.
P2 [22] / D22	1	I / O 外部存储器数据线22.
P2 [23] / D23	10	I/O 外部存储器数据线23.
P2 [24] / D24	11	I/O 外部存储器数据线24.
P2 [25] / D25	12	I/O 外部存储器数据线25.
P2 [26] / D26 / BOOT0	13	I / O D26 - 外部存储器数据线26. 一世 BOOT0 - 当RESET为低电平时, 与BOOT1一起控制启动和内部操作.内部上拉确保引脚处于高电平状态悬空.
P2 [27] / D27 / BOOT1	16	I / O D27 - 外部存储器数据线27. 一世 BOOT1 - 当RESET为低电平时, 与BOOT0一起控制引导和内部操作.内部上拉确保引脚处于高电平状态悬空. BOOT1: 0 = 00选择CS0上的8位存储器进行引导. BOOT1: 0 = 01选择CS0上的16位存储器用于启动. BOOT1: 0 = 10选择CS0上的32位存储器进行引导. BOOT1: 0 = 11选择内部闪存.
P2 [28] / D28	17	I/O 外部存储器数据线28.
P2 [29] / D29	18	I/O 外部存储器数据线29.
P2 [30] / D30 / AIN4	19	I / O D30 - 外部存储器数据线30. 一世 AIN4 - ADC, 输入4.该模拟输入始终连接到其引脚.
P2 [31] / D31 / AIN5	20	I / O D31 - 外部存储器数据线31. 一世 AIN5 - ADC, 输入5.该模拟输入始终连接到其引脚.
P3 [0]至P3 [31]		I/O 端口3是一个32位双向I / O端口, 带有单独的方向控制每一点.端口3引脚的操作取决于所选的引脚功能通过引脚连接块.
P3 [0] / A0	89	Ø 外部存储器地址线0.
P3 [1] / A1	88	Ø 外部存储器地址线1.
P3 [2] / A2	87	Ø 外部存储器地址线2.

表3. 引脚说明 ... 继续

符号	销	类型说明
P3 [3] / A3	81	Ø 外部存储器地址线3.
P3 [4] / A4	80	Ø 外部存储器地址线4.
P3 [5] / A5	74	Ø 外部存储器地址线5.
P3 [6] / A6	73	Ø 外部存储器地址线6.
P3 [7] / A7	72	Ø 外部存储器地址线7.
P3 [8] / A8	71	Ø 外部存储器地址线8.
P3 [9] / A9	66	Ø 外部存储器地址线9.
P3 [10] / A10	65	Ø 外部存储器地址线10.
P3 [11] / A11	64	Ø 外部存储器地址线11.
P3 [12] / A12	63	Ø 外部存储器地址线12.
P3 [13] / A13	62	Ø 外部存储器地址线13.
P3 [14] / A14	56	Ø 外部存储器地址线14.
P3 [15] / A15	55	Ø 外部存储器地址线15.
P3 [16] / A16	53	Ø 外部存储器地址线16.
P3 [17] / A17	48	Ø 外部存储器地址线17.
P3 [18] / A18	47	Ø 外部存储器地址线18.
P3 [19] / A19	46	Ø 外部存储器地址线19.
P3 [20] / A20	45	Ø 外部存储器地址线20.
P3 [21] / A21	44	Ø 外部存储器地址线21.
P3 [22] / A22	41	Ø 外部存储器地址线22.
P3 [23] / A23 / XCLK	40	Ø A23 - 外部存储器地址线23. Ø XCLK - 时钟输出.
P3 [24] / CS3	36	Ø 低有效片选3信号. (Bank 3地址范围从0x8300 0000至0x83FF FFFF)
P3 [25] / CS2	35	Ø 低有效片选2信号. (Bank 2地址范围从0x8200 0000到0x82FF FFFF)
P3 [26] / CS1	三十	Ø 低有效片选1信号. (Bank 1地址范围从0x8100 0000到0x81FF FFFF)
P3 [27] / WE	29	Ø 低有效写使能信号.
P3 [28] / BLS3 / AIN7	28	Ø BLS3 - 低有效字节通道选择信号 (Bank 3) . 一世 AIN7 - ADC, 输入7.该模拟输入始终连接到其引脚.
P3 [29] / BLS2 / AIN6	27	Ø BLS2 - 低有效字节通道选择信号 (Bank 2) . 一世 AIN6 - ADC, 输入6.该模拟输入始终连接到其引脚.
P3 [30] / BLS1	97	Ø 低有效字节通道选择信号 (Bank 1) .
P3 [31] / BLS0	96	Ø 低有效字节通道选择信号 (Bank 0) .
NC	22	Pin未连接.
重启	135	一世 外部复位输入;该引脚上的低电平会重置器件, 从而导致I / O端口和外设将采取其默认状态, 并执行处理器从地址0开始.具有迟滞的TTL, 5 V容差.
XTAL1	142	一世 输入到振荡器电路和内部时钟发生器电路.
XTAL2	141	Ø 振荡放大器的输出.

表3. 引脚说明 ... 继续

符号	销	类型	说明
V SS	3, 9, 26, 38, 54, 67, 79, 93, 103, 107, 111, 128	—世	接地: 0 V参考
V SSA	139	—世	模拟地; 0 V参考. 这应该名义上与电压相同 V SS , 但应隔离以减少噪音和错误.
V SSA (PLL)	138	—世	PLL模拟地; 0 V参考. 这应该名义上是相同的电压作为V SS , 但应隔离, 以尽量减少噪音和错误.
V DD (1V8)	37, 110	—世	1.8 V核心电源; 这是内部电路的电源电压.
V DDA (1V8)	143	—世	模拟1.8 V核心电源; 这是内部的电源电压电路. 这应该是名义上与V DD (1V8) 相同的电压, 但应该是隔离以最小化噪音和错误.
V DD (3V3)	2, 31, 39, 51, 57, 77, 94, 104, 112, 119	—世	3.3 V焊盘电源; 这是I / O端口的电源电压
V DDA (3V3)	14	—世	模拟3.3 V焊盘电源; 这应该与标称电压相同 V DD (3V3) , 但应隔离以减少噪音和错误

[1] 仅在LPC2212 / 01和LPC2214 / 01上提供SSP接口.

6. 功能说明

有关LPC2212 / 2214系统和外围功能的详细信息，请参阅以下部分。

6.1 体系结构概述

ARM7TDMI-S是一款通用型32位微处理器，具有很高的性能、性能和非常低的功耗。ARM体系结构基于精简指令集计算机（RISC）原理以及指令集和相关指令集解码机制比微程序复杂的机制简单得多。指令集计算机。这种简单性导致高指令吞吐量和令人印象深刻的实时中断响应来自小型且经济高效的处理器内核。

采用流水线技术，以便处理和存储系统的所有部分可以连续运行。通常，当一条指令正在执行时，它的后继者正在被解码，并且第三条指令正从内存中被取出。

ARM7TDMI-S处理器还采用了一种独特的架构策略Thumb，这使其非常适合具有内存的大容量应用程序。限制或代码密度是问题的应用程序。

Thumb背后的关键思想是超级简化指令集。本质上来说，ARM7TDMI-S处理器有两个指令集：

- 标准的32位ARM集。
- 一个16位的拇指集。

Thumb set的16位指令长度允许它接近两倍的密度。标准的ARM代码，同时保留了ARM的大部分性能优势。传统的16位处理器使用16位寄存器。这是可能的，因为Thumb代码在与ARM代码相同的32位寄存器集上运行。

Thumb代码能够提供ARM的代码大小的65%，以及160%的代码性能等同于连接到16位内存系统的ARM处理器。

6.2 片上闪存程序存储器

LPC2212 / 2214分别包含128 kB和256 kB闪存系统。

该存储器可用于代码和数据存储。闪光灯的编程内存可能以几种方式完成。它可以通过编程在系统中串行端口。应用程序也可能会擦除和/或编程闪存。应用程序正在运行，为数据存储领域的固件提供了极大的灵活性。升级等。当使用片上引导程序时，可以使用120/248 kB的闪存用于用户代码。

LPC2212 / 2214闪存提供至少100000次擦除/写入周期和20年的数据保留。

片上引导程序（从版本1.60开始）提供了代码读取保护（CRP）。LPC2212 / 2214片上闪存。当CRP被使能时，JTAG调试端口，外部存储器启动和ISP命令访问片上RAM或闪存内存被禁用。但是，ISP闪存擦除命令可以在任何情况下执行。

时间（不管CRP是开还是关）。删除CRP可以消除CRP完整的片上用户闪存。关闭CRP后，通过JTAG和/或ISP完全访问芯片恢复。

6.3 片内静态RAM

代码和/或数据存储可以使用片上静态RAM。SRAM可能是以8位，16位和32位访问。LPC2212 / 2214提供16 kB静态RAM。

6.4 内存映射

LPC2212 / 2214存储器映射包含几个不同的区域，如图所示以下数字。

另外，CPU中断向量可以被重新映射以允许它们驻留在任何一个中闪存（默认）或片上静态RAM。这在6.18节中描述“系统控制”。



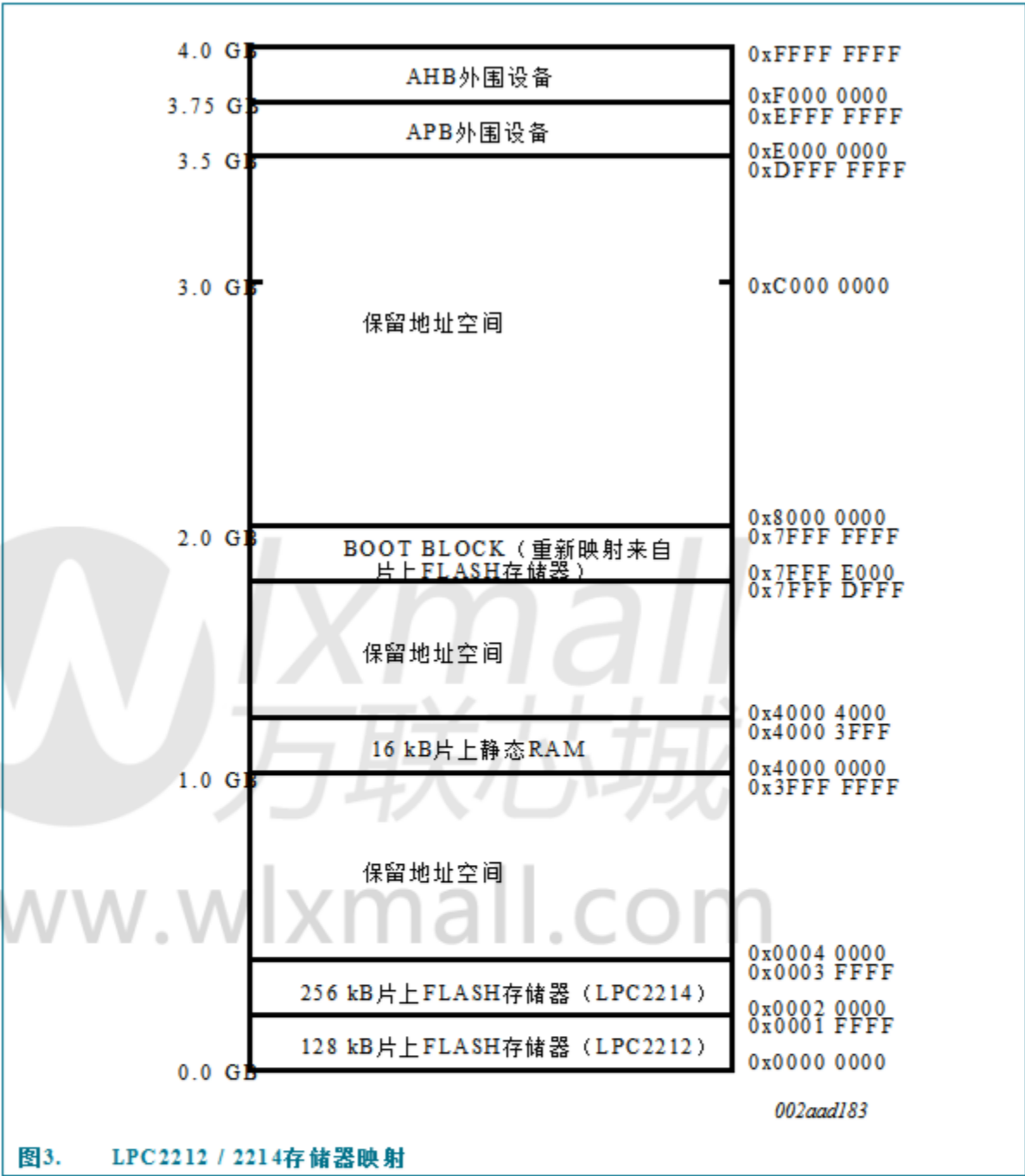


图3. LPC2212 / 2214 存储器映射

6.5 中断控制器

向量中断控制器 (VIC) 接受所有的中断请求输入并将它们分类为快速中断请求 (FIQ)，向量中断请求 (IRQ) 和由可编程设置定义的非向量 IRQ。可编程分配方案意味着来自各种外设的中断优先级可以是动态的分配和调整。

FIQ 具有最高优先级。如果多个请求分配给 FIQ，VIC 将产生 FIQ 信号的请求合并到 ARM 处理器。最快的当只有一个请求被分类为 FIQ 时，可能会导致 FIQ 延迟。FIQ 服务程序可以简单地开始处理该设备。但如果不止一个请求分配给 FIQ 类，FIQ 服务程序可以从 VIC 读取一个字它标识哪个 FIQ 源正在请求中断。

向量IRQ具有中等优先级.可以分配16个中断请求
到这个类别.任何中断请求都可以分配给16个向量中的任何一个
IRQ插槽，其中插槽0的优先级最高，插槽15的最低.

非向量IRQ的优先级最低.

维也纳国际中心结合了所有向量化和非向量化IRQ的要求
将IRQ信号发送给ARM处理器. IRQ服务程序可以通过读取一个
从维也纳国际中心登记并跳到那里.如果有任何向量化的IRQ正在请求，那么
VIC提供最高优先级的请求IRQs服务例程的地址，
否则它提供了一个默认例程的地址，该地址由所有非向量共享
的IRQ.默认例程可以读取另一个VIC寄存器来查看哪些IRQ处于活动状态.

6.5.1中断源

表4列出了每个外设功能的中断源.每个外围设备都有一个
一个中断线连接到向量中断控制器，但可能有几个
内部中断标志.单独的中断标志也可以代表多个中断标志
中断源.

表 4. 中断源		
块	旗（县）	VIC频道#
W D T	看门狗中断（WDINT）	0
-	仅保留用于软件中断	1
ARM核心	EmbeddedICE，DbgCommRx	2
ARM核心	EmbeddedICE，DbgCommTx	3
定时器0	匹配0到3（MR0，MR1，MR2，MR3）	4
定时器1	匹配0到3（MR0，MR1，MR2，MR3）	五
UART 0	接收线路状态（RLS）	6
	发送保持寄存器为空（THRE）	
	可用的Rx数据（RDA）	
	字符超时指示器（CTI）	
UART 1	接收线路状态（RLS）	7
	发送保持寄存器为空（THRE）	
	可用的Rx数据（RDA）	
	字符超时指示器（CTI）	
	调制解调器状态中断（MSI）	
P W M 0	匹配0到6（MR0，MR1，MR2，MR3，MR4，MR5，MR6）	8
我 2 C-bus	SI（状态变化）	9
SPI0	SPIF，MODF	10
SPI1和SSP [1]	SPIF，MODF和TXRIS，RXRIS，RTRIS，RORRIS	11
P L L	PLL锁定（PLOCK）	12
R T C	RTCCIF（计数器递增），RTCALF（报警）	13
系统控制	外部中断0（EINT0）	14
	外部中断1（EINT1）	15
	外部中断2（EINT2）	16
	外部中断3（EINT3）	17
A D C	A D C	18

[1] SSP接口仅适用于LPC2212 / 01和LPC2214 / 01.

6.6 引脚连接块

引脚连接模块允许微控制器的选定引脚具有多个引脚功能.配置寄存器控制多路复用器以允许连接引脚和片上外设.外设应该连接到适当的引脚.在被激活之前以及在任何相关的中断被使能之前.任何活动应该考虑未映射到相关引脚的外设功能未定义.

6.7 外部存储器控制器

外部静态存储器控制器 (SMC) 是提供接口的模块.系统总线和外部 (片外) 存储器设备之间.它提供支持最多四个可独立配置的存储体 (每个存储体使用16MB的字节通道控制).每个存储体都能够支持SRAM, ROM, 闪存 EPROM, 突发ROM存储器或某些外部I/O设备.

每个存储体可以是8位, 16位或32位宽.

6.8 通用并行I/O (GPIO) 和快速I/O

未连接到特定外设功能的器件引脚由引脚控制并行I/O寄存器.引脚可以动态配置为输入或输出.分离寄存器允许同时设置或清除任意数值的输出.输出寄存器可以被读回, 以及端口引脚的当前状态.

6.8.1 特性

- 位级设置和清除寄存器允许一个指令集或清除任意数值的指令集位在一个端口.
- 个别位的方向控制.
- 单独控制输出设置并清除.
- 复位后, 所有I/O默认为输入.

6.8.2 添加快速GPIO寄存器组的功能

仅限LPC2212 / 2214/01

- 快速GPIO寄存器被重新定位到ARM本地总线, 以实现尽可能快的I/O定时, 使端口引脚比早期的LPC2000器件快3.5倍.
- 屏蔽寄存器允许将端口位组作为一组, 并留下其他位不变.
- 所有快速GPIO寄存器都是字节可寻址的.
- 整个端口值可以写入一条指令.
- 端口可通过传统寄存器组 (GPIO) 或其中一组访问提供加速端口访问的寄存器 (快速GPIO).

6.9 10位ADC

每个LPC2212 / 2214都包含一个具有4个10位逐次逼近型ADC多路复用通道。

6.9.1 功能

- 测量范围0 V至3 V。
- 每秒能够执行超过400000个10位采样。
- 单输入或多输入的突发转换模式。
- 输入引脚或定时器匹配信号转换时可选。

6.9.2 仅适用于LPC2212 / 2214/01的ADC功能

- 每个模拟输入都有一个专用的结果寄存器以减少中断开销。
- 转换完成后，每个模拟输入都可以产生中断。
- 配置为数字I/O功能时，ADC焊盘容许5V电压。

6.10 UART

每个LPC2212 / 2214都包含两个UART。除了标准的发送和接收数据线，UART1还提供了一个完整的调制解调器控制握手接口。

6.10.1 特性

- 16 B接收和发送FIFO。
- 注册位置符合16C550行业标准。
- 接收器FIFO触发点指向1 B，4 B，8 B和14 B。
- 内置分数波特率发生器，覆盖广泛的波特率，无需使用需要特殊值的外部晶体。
- 传输FIFO控制可实现软件（XON / XOFF）流程控制两个UART。
- UART1配备标准调制解调器接口信号。这个模块也是提供全面的硬件流量控制支持（auto-CTS / RTS）。

6.10.2 仅适用于LPC2212 / 2214/01的UART功能

与之前的LPC2000微控制器相比，LPC2212 / 2214/01中的UART引入两个UART的分数波特率发生器，使这些微控制器实现标准波特率，例如115200 Bd以及任何高于2 MHz的晶振频率。此外，自动CTS / RTS流量控制功能在硬件中完全实现。

- 分数波特率发生器可实现115200 Bd等标准波特率在2 MHz以上的任何晶体频率下实现。
- 自动bauding。
- 完全采用硬件实现的Auto-CTS / RTS流量控制。

6.11 I²C总线串行I/O控制器

I²C总线是一个双向总线，用于IC间控制，只使用两条线：串行时钟线（SCL）和串行数据线（SDA）。每个设备都被一个唯一的地址识别并且可以作为仅接收器设备（例如LCD驱动器或具有接收器的发射器）来操作能够接收和发送信息（如内存）、变送器和/或接收器可以在主模式或从模式下工作，具体取决于芯片是否有启动数据传输或仅处理。I²C总线是一个多主总线；有可能由连接到它的多个总线主控制器控制。

在LPC2212 / 2214中实现的I²C总线支持高达400 kbit/s的比特率（快速I²C总线）。

6.11.1 特性

- 标准I²C总线兼容接口。
- 易于配置为主站，从站或主站/从站。
- 可编程时钟允许多种速率控制。
- 主站和从站之间的双向数据传输。
- 多主总线（无中央主站）。
- 同时发送主机而不发生串行损坏之间的仲裁公交车上的数据。
- 串行时钟同步允许具有不同比特率的设备通过通信进行通信一个串行总线。
- 串行时钟同步可以用作握手机制来挂起和恢复串行传输。
- I²C总线可用于测试和诊断目的。

6.12 SPI串行I/O控制器

每个LPC2212 / 2214都包含两个SPI。SPI是一个全双工串行接口，旨在能够处理连接到给定总线的多个主设备和从设备。只要在给定数据期间，单个主站和单个从站可以在接口上进行通信。在数据传输期间，主设备总是向从设备发送一个字节的数，并且从机总是向主机发送一个字节的数。

6.12.1 特性

- 符合串行外设接口（SPI）规范。
- 同步，串行，全双工通信。
- 组合的SPI主机和从机。
- 最大数据位速率为输入时钟频率的1/8。

6.12.2 仅在LPC2212 / 2214/01中提供的功能

- 每帧8至16位。

- 在主机模式下使用SPI接口时，不需要SSEL引脚（可以是用于不同的功能）。

6.13 SSP控制器（仅限LPC2212 / 2214/01）

SSP是一款能够在SPI，4线SSI或Microwire总线上运行的控制器。它可以与公交车上的多个主人和奴隶进行互动。只有一个主人和一个人从机可以在给定的数据传输期间在总线上进行通信。数据传输在原则全双工，从主机到主机的4到16位数据帧奴隶和从奴隶到主人。

虽然SSP和SPI1外设共享相同的物理引脚，但不可能这两个外设同时有效。应用程序可以打开从SPI1飞往SSP并返回。

6.13.1特性

- 与摩托罗拉的SPI，德州仪器的4线SSI和National兼容半导体的Microwire巴士。
- 同步串行通信。
- 主机或从机操作。
- 用于发送和接收的帧FIFO。
- 每帧4到16位。

6.14 通用定时器

定时器/计数器用于计数外设时钟（PCLK）或1的周期外部提供的时钟，并可选择生成中断或执行其他操作指定的定时器值，基于四个匹配寄存器。它还包含四个捕获输入在输入信号转换时捕捉定时器值，可选地产生中断。可以选择多个引脚来执行单个捕获或匹配功能，从而提供一个 application with 'or' and 'and', as well as 'broadcast' functions among them.

6.14.1特性

- 带有可编程32位预分频器的32位定时器/计数器。
- 定时器或外部事件计数器操作
- 每个定时器有四个32位捕捉通道，可以捕捉定时器值的快照当输入信号转换时。捕获事件也可以可选地生成一个打断。
- 四个32位匹配寄存器，允许：
 - 匹配时可选中断产生的连续操作。
 - 与可选中断产生匹配时停止定时器。
 - 与可选中断产生匹配时重置定时器。
- 每个定时器对应于匹配寄存器有四个外部输出，具体如下功能：
 - 匹配时设置为低。
 - 匹配时设置为高。

- 切换匹配.
- 对比赛不做任何事情.

6.14.2 仅在LPC2212 / 2214/01中提供的功能

如果LPC2212 / 2214/01在一个捕获输入上可以计数外部事件,外部脉冲至少持续PCLK周期的一半.在这种配置中,未使用的捕捉线可以选择为常规定时器捕捉输入,或用作外部中断.

- 定时器可以对外设时钟 (PCLK) 或外部提供的周期进行计数时钟.
- 计数外部提供时钟的周期时,只有一个计时器捕获可以选择输入作为定时器的时钟.这种时钟的速率限于 $PCLK / 4$.所选CAP输入的高/低电平持续时间不能缩短比 $1 / (2PCLK)$.

6.15 看门狗定时器

看门狗的目的是在合理的数量内复位微控制器.如果它进入一个错误的状态,那就是时候了.启用后,看门狗将生成一个系统.如果用户程序无法在预定的时间内“喂”(或重新加载)看门狗,则复位多少时间.

6.15.1 特性

- 如果不定期重新加载芯片,则内部复位芯片.
- 调试模式.
- 通过软件启用,但需要硬件复位或看门狗复位/中断禁用.
- 如果启用,错误/不完整的进纸序列会导致复位/中断.
- 标志以指示看门狗复位.
- 具有内部预分频器的可编程32位定时器.
- 从 $(T_{cy}(PCLK) \cdot 256 \cdot 4)$ 到 $(T_{cy}(PCLK) \cdot 2^{32} \cdot 4)$ 的倍数的 可选时间段 $T_{cy}(PCLK) \cdot 4$.

6.16 实时时钟

RTC旨在提供一组计数器来测量正常或空闲时的时间.操作模式被选中. RTC被设计为使用小功率,使其成为可能适用于CPU不连续运行的电池供电系统(空闲模式).

6.16.1 特性

- 测量时间流逝以维护日历和时钟.
- 超低功耗设计,支持电池供电系统.

- 提供秒，分钟，小时，月，月，年，星期几和秒
每年的一天。
- 可编程参考时钟分频器允许调整RTC以适应各种情况
晶体频率。

6.17脉宽调制器

尽管如此，PWM基于标准的定时器模块并继承了其所有功能。只有PWM功能固定在LPC2212 / 2214上。计时器被设计为计数外设时钟周期（PCLK）并可选择产生中断或执行。当指定的定时器值发生时，基于七个匹配寄存器的其他动作。该PWM功能也基于匹配寄存器事件。

分立控制上升沿和下降沿位置的能力使PWM成为可能用于更多的应用程序。例如，多相电机控制通常需要三个非重叠的PWM输出，可单独控制所有三个脉冲宽度和位置。

两个匹配寄存器可用于提供单边沿控制的PWM输出。一个匹配寄存器（MR0）通过在匹配时重置计数来控制PWM周期速率。另一个匹配寄存器控制PWM边沿位置。额外的单边受控PWM输出每个只需要一个匹配寄存器，因为重复频率是所有PWM输出都相同。多个单边控制的PWM输出都将具有a在每个PWM周期开始时发生MR0匹配时的上升沿。

三个匹配寄存器可用于提供两个边沿受控的PWM输出。再次，MR0匹配寄存器控制PWM周期速率。其他匹配寄存器控制两个PWM边沿位置。额外的双边控制PWM输出每个PWM只需要两个匹配寄存器，因为所有PWM的重复频率都相同输出。

利用双边沿控制的PWM输出，特定的匹配寄存器控制上升沿和下降沿输出的下降沿。这允许正向PWM脉冲（当上升时边沿出现在下降沿之前）和负向PWM脉冲（下降沿时）边缘出现在上升沿之前）。

6.17.1特性

- 七个匹配寄存器允许多达六个单边控制或三个双边受控PWM输出或两种类型的混合。
- 匹配寄存器还允许：
 - 匹配时可选中断产生的连续操作。
 - 与可选中断产生匹配时停止定时器。
 - 与可选中断产生匹配时重置定时器。
- 支持单边控制和/或双边控制PWM输出。单边沿控制的PWM输出在每个周期的开始时都会变为高电平，除非是输出是一个恒定的低电平。双边沿控制的PWM输出可以有边沿发生在周期内的任何位置。这允许正面和负面正在发生脉冲。

- 脉冲周期和宽度可以是任意数值的计时器计数。这允许完成在决议和重复率之间的折衷方面具有灵活性。所有的PWM输出都会以相同的重复率发生。
- 双边控制的PWM输出可以编程为正向或负向脉冲。
- 匹配寄存器更新与脉冲输出同步以防止产生错误的脉冲。软件必须在发布之前“释放”新的匹配值有效。
- 如果PWM模式未启用，可以用作标准定时器。
- 带有可编程32位预分频器的32位定时器/计数器。

6.18 系统控制

6.18.1 晶体振荡器

该振荡器支持1 MHz至30 MHz范围内的晶体。振荡器输出频率称为 f_{osc} ，ARM处理器时钟频率称为CCLK。速率方程的目的等等。除非PLL是 f_{osc} 和CCLK，否则它们是相同的值运行并连接。有关更多信息，请参见第6.18.2节“PLL”。

6.18.2 PLL

PLL接受10 MHz至25 MHz范围内的输入时钟频率。输入使用电流控制将频率倍增至10 MHz至60 MHz范围内振荡器（CCO）。乘数可以是1到32的整数值（实际上，在这个微控制器系列中乘数值不能高于6 CPU的频率限制）。CCO的工作频率范围为156 MHz至320 MHz，因此在循环中还有一个额外的分频器，以将CCO保持在其频率范围内。PLL正在提供所需的输出频率。输出分频器可能被设置为分频通过2,4,8或16来产生输出时钟。由于最小输出分频器值为2，确保PLL输出具有50%的占空比。PLL被关闭并且芯片复位后旁路，并可能由软件启用。该计划必须配置并激活PLL，等待PLL锁定，然后以PLL的形式连接到PLL时钟源。PLL建立时间为100 μ s。

6.18.3 复位和唤醒定时器

复位在LPC2212 / 2214上有两个来源：RESET引脚和看门狗复位。该RESET引脚是带附加毛刺滤波器的施密特触发器输入引脚。芯片声明任何信号源的复位启动唤醒定时器（见下面的唤醒定时器说明），导致内部芯片复位保持有效，直到外部复位解除置位，振荡器正在运行，固定数值的时钟已经过去，并且具有片上闪存控制器已完成其初始化。

当内部复位被移除时，处理器开始在地址0执行，是重置向量。那时，所有的处理器和外设寄存器都已经存在初始化为预定值。

唤醒定时器确保振荡器和其他模拟功能需要在允许处理器执行指令之前，片上操作功能完全正常。这在加电时，所有类型的重置以及上述任何时候都很重要。

功能因任何原因被关闭.由于振荡器和其他功能被转动
在掉电模式下掉电, 处理器从掉电模式中唤醒
使用唤醒定时器.

唤醒定时器监视晶体振荡器作为检查它的方法
安全地开始执行代码.当芯片通电或发生某些事件时
芯片退出掉电模式, 振荡器需要一段时间才能产生一个
足够幅度的信号来驱动时钟逻辑.时间里取决于
很多因素, 包括V_{DD}斜率(在通电的情况下), 晶体的类型
及其电气特性(如果使用石英晶体)以及任何其他外部电路
电路(例如电容器)以及现有振荡器本身的特性
环境条件.

6.18.4代码安全性(代码读取保护 - CRP)

LPC2212 / 2214的这一特性允许用户启用不同的安全级别
该系统使得可以访问片上闪存并使用JTAG和ISP
限制.在需要时, 通过将特定模式编程为a, 调用CRP
专用的闪光位置. IAP命令不受CRP的影响.

代码读取保护有三个级别.

CRP1禁止通过JTAG访问芯片, 并允许部分闪存更新(不包括
闪存扇区0)使用有限的一组ISP命令.此模式在CRP时很有用
所需的和闪存领域的更新是必要的, 但所有部门不能被删除.

CRP2禁止通过JTAG访问芯片, 只允许全闪存擦除和更新
使用减少的一组ISP命令.

选择级别为CRP3的应用程序将完全禁用任何通过芯片访问芯片
JTAG引脚和ISP.该模式也可以使用P0 [14]引脚有效地禁止ISP覆盖.
用户的应用程序可以使用IAP提供(如果需要)Flash更新机制
调用或调用reinvoke ISP命令以通过UART0启用闪存更新.

警告



如果选择三级代码读取保护(CRP3), 则不会进行未来的工厂测试
在设备上执行.

备注: 没有后缀/ 00或/ 01的设备仅具有相当于的安全级别
CRP2可用.

6.18.5外部中断输入

LPC2212 / 2214包含多达9个边沿或电平敏感的外部中断输入
可选引脚功能.当引脚组合时, 可以处理外部事件
作为四个独立的中断信号.外部中断输入可以选择使用
唤醒处理器从掉电模式.

6.18.6 存储器映射控制

存储器映射控制改变了出现的中断向量的映射
从地址0x0000 0000开始.向量可以映射到片上的底部
闪存或片上静态RAM.这允许代码在不同的内存中运行
空间来控制中断.

6.18.7 功率控制

LPC2212 / 2214支持两种降低功耗模式:空闲模式和掉电模式
模式.在空闲模式下,指令的执行被暂停,直到复位或中断
发生.外设功能在空闲模式下继续运行并可能产生
中断以使处理器恢复执行.空闲模式消除了使用的电源
处理器本身,内存系统和相关控制器以及内部总线.

在掉电模式下,振荡器关闭,芯片不接收内部时钟.
处理器状态和寄存器,外设寄存器和内部SRAM值是
保持整个掉电模式并保持芯片输出引脚的逻辑电平
静态的.掉电模式可以终止,正常操作也可以恢复
一个复位或某些特定的中断可以在没有时钟的情况下工作.因为所有
芯片的动态操作暂停,掉电模式降低芯片功耗
消费几乎为零.

外设功能控制功能允许个别外设关闭
它们在应用程序中不需要,从而可以进一步节省功耗.

6.18.8 APB

APB分频器决定处理器时钟(CCLK)和处理器时钟之间的关系
时钟由外围设备(PCLK)使用. APB分配器有两个目的.首先
是通过APB向外设提供所需的PCLK,以便它们可以在APB上运行
为ARM处理器选择的速度.为了达到这个目标,APB可能会放缓
降低到处理器时钟频率的1/2到1/4.因为APB总线必须在正常工作
上电(如果自APB分频器控制后它不工作,则其时序不能改变
寄存器驻留在APB中),复位时的默认条件是APB以1/4的速度运行
处理器时钟频率. APB分频器的第二个目的是节省功耗
当应用程序不需要任何外设以全部处理器速率运行时.
由于APB分频器连接到PLL输出,PLL保持激活状态(如果是的话)
在空闲模式下运行).

6.19 仿真和调试

LPC2212 / 2214支持通过JTAG串行端口进行仿真和调试.跟踪端口
允许跟踪程序执行.调试和跟踪功能只能复用
端口1上具有GPIO.这意味着所有通信,定时器和接口外设
驻留在端口0上的数据在开发和调试阶段是可用的
当应用程序在嵌入式系统中运行时.

6.19.1 EmbeddedICE

标准ARM EmbeddedICE逻辑提供片上调试支持.调试
目标系统需要一台运行调试软件的主机和一个
EmbeddedICE协议转换器. EmbeddedICE协议转换器转换远程
调试协议命令到访问ARM内核所需的JTAG数据.

ARM内核具有内置的调试通信通道功能.调试通信通道允许在目标上运行的程序与之通信.主机调试器或另一个单独的主机,而不停止程序流或甚至进入调试状态.调试通信通道以a访问协处理器14由运行在ARM7TDMI-S内核上的程序执行.调试通信通道允许JTAG端口用于发送和接收数据而不会影响正常的程序流程.调试通信通道数据和控制寄存器映射到EmbeddedICE逻辑中的地址.

JTAG时钟(TCK)必须低于JTAG的CPU时钟(CCLK)的1/6界面进行操作.

6.19.2 嵌入式跟踪宏单元

由于LPC2212 / 2214具有大量的片上存储器,所以不可能通过观察外部引脚来确定处理器内核的工作方式.该嵌入式跟踪宏单元(ETM)提供了深入的实时跟踪功能.嵌入式处理器核.它将有关处理器执行的信息输出到跟踪港口.

ETM直接连接到ARM内核,而不是连接到主AMBA系统总线.它压缩跟踪信息并通过一个狭窄的跟踪端口输出它.外部跟踪端口分析器必须在软件调试器控制下捕获跟踪信息.指令跟踪(或PC跟踪)显示处理器的执行流程并提供一个所有执行的指令清单.指令跟踪被显著压缩.通过只广播分支地址以及一组指示状态信号.管道状态逐周期的基础上.跟踪信息的产生可以被控制.通过选择触发资源.触发资源包括地址比较器,计数器和定序器.由于跟踪信息被压缩.软件调试器需要正在执行的代码的静态图像.自修改代码无法跟踪.因为这个限制.

6.19.3 RealMonitor

RealMonitor是由ARM公司开发的可配置软件模块,它可以实现实时调试.它是一个轻量级的调试监视器,在用户的后台运行.调试他们的前台应用程序.它使用DCC与调试主机通信(通信通道),它存在于EmbeddedICE逻辑中.该LPC2212 / 2214包含编入的RealMonitor软件的特定配置片上闪存.

7. 限制值

表5 限制值
根据绝对最大额定值系统 (IEC 60134) .[1]

符号	参数	条件	敏	马克斯	单元
V DD (1V8)	电源电压 (1.8 V)		[2] $\hat{A}0.5$	+2.5	V
V DD (3V3)	电源电压 (3.3 V)		[3] $\hat{A}0.5$	+3.6	V
V DDA (3V3)	模拟电源电压 (3.3 V)		$\hat{A}0.5$	+4.6	V
V IA	模拟输入电压		$\hat{A}0.5$	+5.1	V
V I	输入电压	5V耐受I / O引脚	[4]-[5] $\hat{A}0.5$	6.0	V
		其他I / O引脚	[4]-[6] $\hat{A}0.5$	V DD (3V3) + 0.5 V	
我 DD	电源电流		[7]-[8] -	100	嘛
我是 SS	接地电流		[8]-[9] -	100	嘛
T j	结温		-	150	C
T stg	储存温度		[10] $\hat{A}65$	+150	C
P tot (包)	总功耗 (每个包)	基于封装热里转移, 而不是设备能里消耗	- 1 . 5		w ^
V esd	静电放电电压	人体模型	[11]		
		所有引脚	$\hat{A}2000$	+2000	V
		机器模型	[12]		
		所有引脚	$\hat{A}200$	+200	V

[1] 以下适用于表5:

- a) 本产品包含专门用于保护其内部设备免受过度损坏影响的电路静电荷. 尽管如此, 建议采取传统的预防措施以避免施加大于额定值最大.
- b) 除非另有说明, 参数在整个工作温度范围内均有效. 所有的电压都是相对于 V SS的, 除非另有说明.

[2] 内部铁路.

[3] 外部铁路.

[4] 包括三态模式下的输出电压.

[5] 仅在 V DD (3V3) 电源电压存在时有效.

[6] 不超过 4.6 V.

[7] 每个电源引脚.

[8] 峰值电流限制为相应最大电流的25倍.

[9] 每个接地引脚.

[10]取决于包装类型.

[11]人体模型: 相当于通过1.5 k放电100 pF电容 $\oslash$ 串联电阻.

[12]机器模型: 相当于通过0.75放电200 pF电容器 $\oslash$ 线圈和10 $\oslash$ 串联电阻.

8. 静态特性

表 6. 静态特性
除非另有规定, $T_{amb} = -40 \text{ }^{\circ}\text{C}$ 至 $+85 \text{ }^{\circ}\text{C}$ 工业应用

符号	参数	条件	敏	典型[1]	马克斯	单元
V DD	(1V8电源电压 (1.8 V)		[2] 1.65	1.8	1.95	V
V DD	(3V3电源电压 (3.3 V)		[3] 3.0	3.3	3.6	V
V DDA	(3V3) 模拟电源电压 (3.3V)		2.5	3.3	3.6	V
标准端口引脚, RESET, RTCK						
我 IL	低电平输入电流	V I = 0V; 没有拉力	-	-	3	$\approx$ A
我 IH	高电平输入电流	V I = V DD (3V3) ; 没有拉下	-	-	3	$\approx$ A
我 OZ	关闭状态输出电流	V O = 0V; V O = V DD (3V3) ; 没有上拉/下拉	-	-	3	$\approx$ A
我 锁定	I / O闭锁电流	$\hat{H} (0.5V_{DD} (3V3)) < V I < (1.5V_{DD} (3V3)) ; T_j < 125^{\circ}\text{C}$	100	-	-	嘛
V I	输入电压		[4] [5] [6] 0-	-	5.5	V
V O	输出电压	输出激活	0	-	V DD (3V3)	V
V IH	高电平输入电压		2.0	-	-	V
V IL	低电平输入电压		-	-	0.8	V
V hys	滞后电压		0.4	-	-	V
V OH	高电平输出电压	我 OH = $\hat{H}$ 4毫安	[7] V DD (3V3) -0.4-	-	-	V
V OL	低电平输出电压	我 OL = 4毫安	[7] -	-	0.4	V
我 哦	高电平输出电流	V OH = V DD (3V3) -0.4V	[7] $\hat{H}$ 4-	-	-	嘛
我 OL	低电平输出电流	V OL = 0.4V	[7] -4-	-	-	嘛
我 OHS	高级短路输出电流	V OH = 0V	[8] -	-	$\hat{H}$ 45	嘛
我 OLS	低电平短路输出电流	V OL = V DD (3V3)	[8] -	-	50	嘛
我 pd	下拉电流	V I = 5V	[9] 10	50	150	$\approx$ A
我 pu	上拉电流	V I = 0V	[10] $\hat{H}$ 15	$\hat{H}$ 50	$\hat{H}$ 85	$\approx$ A
		V DD (3V3) < V I < 5V	[9] 00	-	0	$\approx$ A

表6. 静态特性 ... 继续
除非另有规定, $T_{amb} = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 工业应用

符号	参数	条件	敏	典型-[1]	马克斯	单元
功耗LPC2212, LPC2212 / 00, LPC2214, LPC2214 / 00						
我 DD (行为驱动模式电源电流		V DD (1V8) = 1.8 V; CCLK = 60MHz; $T_{amb} = 25^{\circ}\text{C}$; 码 而 (1) {} 从闪存执行;所有 外设通过启用 PCONP [H]寄存器但不是 配置为运行	- 6 0		-	嘛
我 DD (pd)掉电模式电源 当前		V DD (1V8) = 1.8 V; $T_{amb} = 25^{\circ}\text{C}$	- 1 0		-	$\approx A$
		V DD (1V8) = 1.8 V; $T_{amb} = 85^{\circ}\text{C}$	-	110	500	$\approx A$
功耗LPC2212 / 01和LPC2214 / 01						
我 DD (行为驱动模式电源电流		V DD (1V8) = 1.8 V; CCLK = 60MHz; $T_{amb} = 25^{\circ}\text{C}$; 码 而 (1) {} 从闪存执行;所有 外设通过启用 PCONP [H]寄存器但不是 配置为运行	- 4 1		-	嘛
我 DD (空闲空闲模式电源电流		V DD (1V8) = 1.8 V; CCLK = 60MHz; $T_{amb} = 25^{\circ}\text{C}$; 码 从闪存执行;所有 外设通过启用 PCONP [H]寄存器但不是 配置为运行	- 6 . 5		-	嘛
我 DD (pd)掉电模式电源 当前		V DD (1V8) = 1.8 V; $T_{amb} = 25^{\circ}\text{C}$	- 1 0		-	$\approx A$
		V DD (1V8) = 1.8 V; $T_{amb} = 85^{\circ}\text{C}$	-	110	500	$\approx A$
I 2 C总线引脚						
V IH	高电平输入电压		0.7 V DD (3V3) -			V
V IL	低电平输入电压		-	-	0.3 V DD (3V3) -V	V
V hys	滞后电压		-	0.05 V DD (3V3) -V		
V OL	低电平输出电压	I OLS = 3 mA	[7] -		0.4	V
我 李	输入漏电流	V I = V DD (3V3)	[12] - 2		4	$\approx A$
		V I = 5V	-	10	22	$\approx A$

表 6. 静态特性 ... 继续
除非另有规定, $T_{amb} = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 工业应用

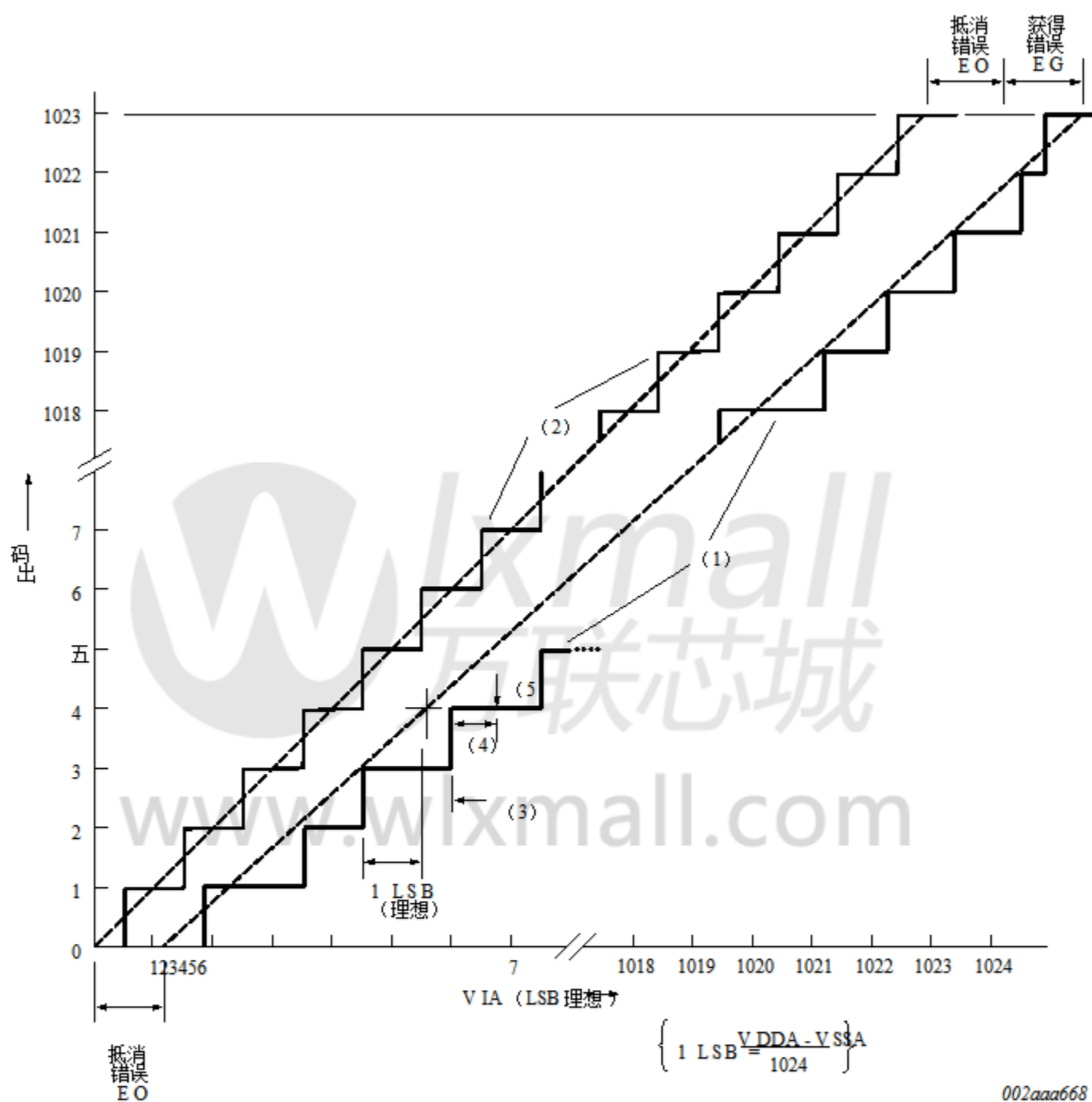
符号	参数	条件	敏	典型-[1]	马克斯	单元
振荡器引脚						
V_i	(XTAL1)输入电压引脚XTAL1		0	-	1.8	V
V_o	(XTAL2) 引脚上的输出电压 XTAL2		0-		1.8	V

- [1] 典型的评级不保证.列出的数值是室温 (25°C) C), 额定电源电压.
- [2] 内部铁路.
- [3] 外部铁路.
- [4] 包括三态模式下的输出电压.
- [5] V_{DD} (3V3) 电源电压必须存在.
- [6] 当 V_{DD} (3V3) 接地时, 三态输出进入三态模式.
- [7] 所有供电线路中的电压降为100 mV.
- [8] 只允许很短的时间.
- [9] $V_I = 4.5\text{ V}$ 时的最小条件, $V_I = 5.5\text{ V}$ 时的最大条件.
- [10]适用于P1 [25:16].
- [11] 参见LPC2114 / 2124/2212/2214用户手册.
- [12]给 V_{SS} .

表7. ADC静态特性
 $V_{DDA} = 2.5\text{ V}$ 至 3.6 V , 除非另有规定; 除非另有说明, 否则 $T_{amb} = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$. ADC频率 4.5 MHz .

符号	参数	条件	敏	典型	马克斯	单元
V IA	模拟输入电压		0	-	V DDA	V
C ia	模拟输入电容		-		1	pF的
E D	微分线性错误		[1] [2] [3] -		1 L S B	
E L (adj)	积分非线性		[1] [4] -		2 L S B	
E O	偏移错误		[1] [5] -		3 L S B	
E G	增益错误		[1] [6] -		0.5	%
E T	绝对错误		[1] [7] -		4 L S B	

- [1] 条件: $V_{SSA} = 0\text{ V}$, $V_{DDA} = 3.3\text{ V}$.
- [2] ADC是单调的, 没有失码.
- [3] 差分线性误差 (E D) 是实际步长与理想步长之间的差值. 见图4.
- [4] 积分非线性 (E L (adj)) 是实际转换曲线中心与理想转换曲线中心之间的峰值差. 适当调整增益和偏移误差. 见图4.
- [5] 偏移误差 (E O) 是适合实际曲线的直线与适合该直线的直线之间的绝对差值. 理想的曲线. 见图4.
- [6] 增益误差 (E G) 是去除偏移后拟合实际传输曲线的直线之间的相对差值. 误差, 以及符合理想转移曲线的直线. 见图4.
- [7] 绝对电压误差 (E T) 是实际传输曲线中心点之间的最大差值. 非校准的ADC和理想的传输曲线. 见图4.

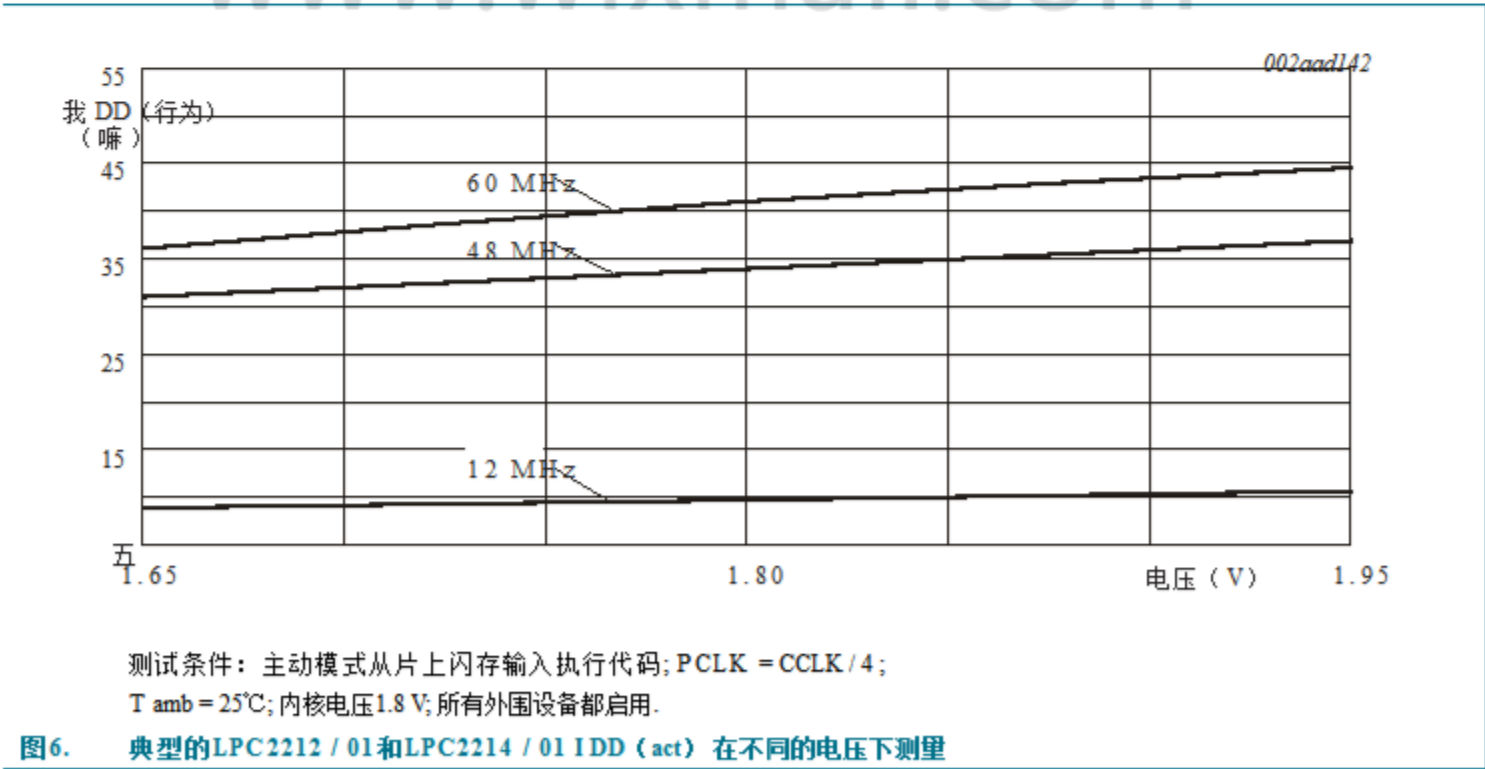
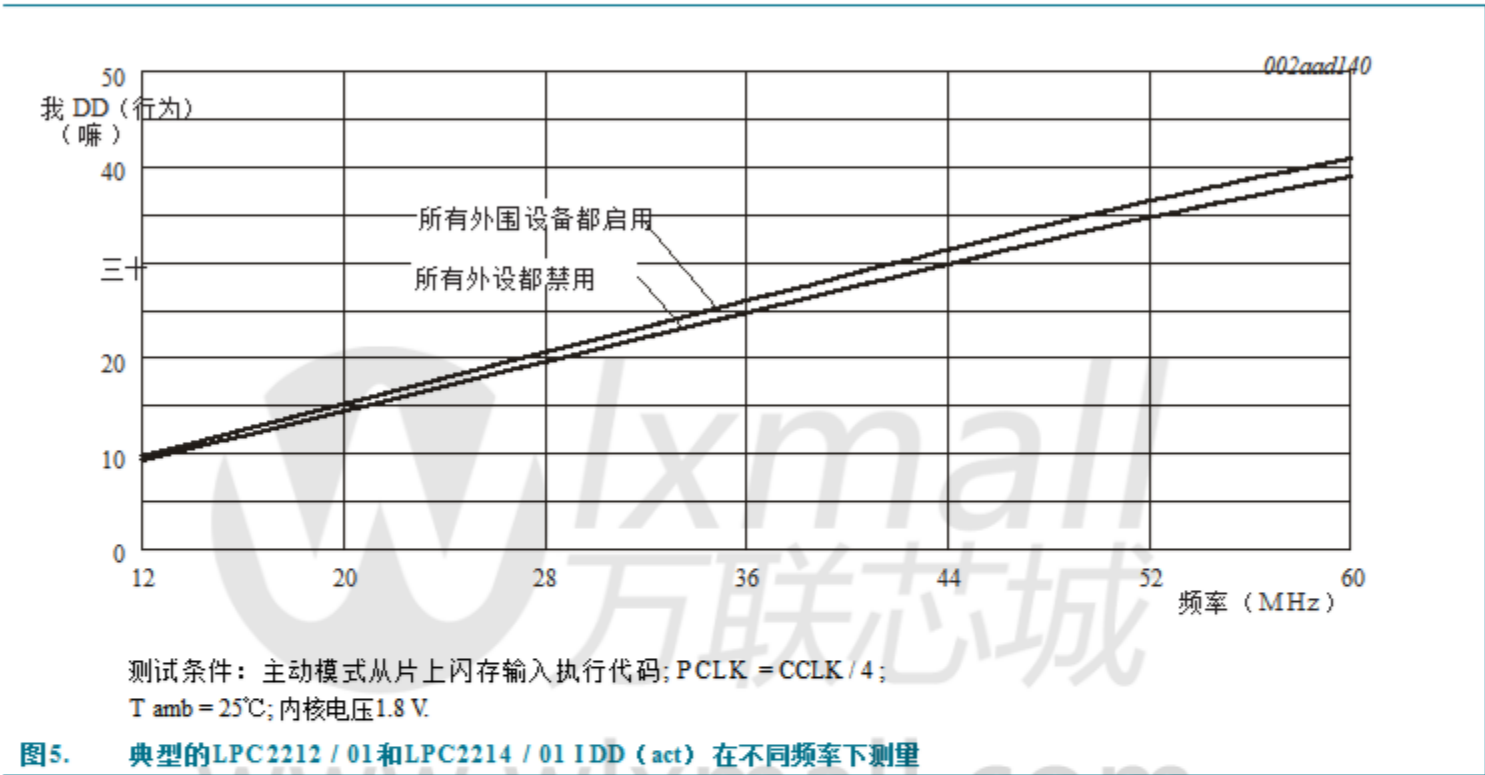


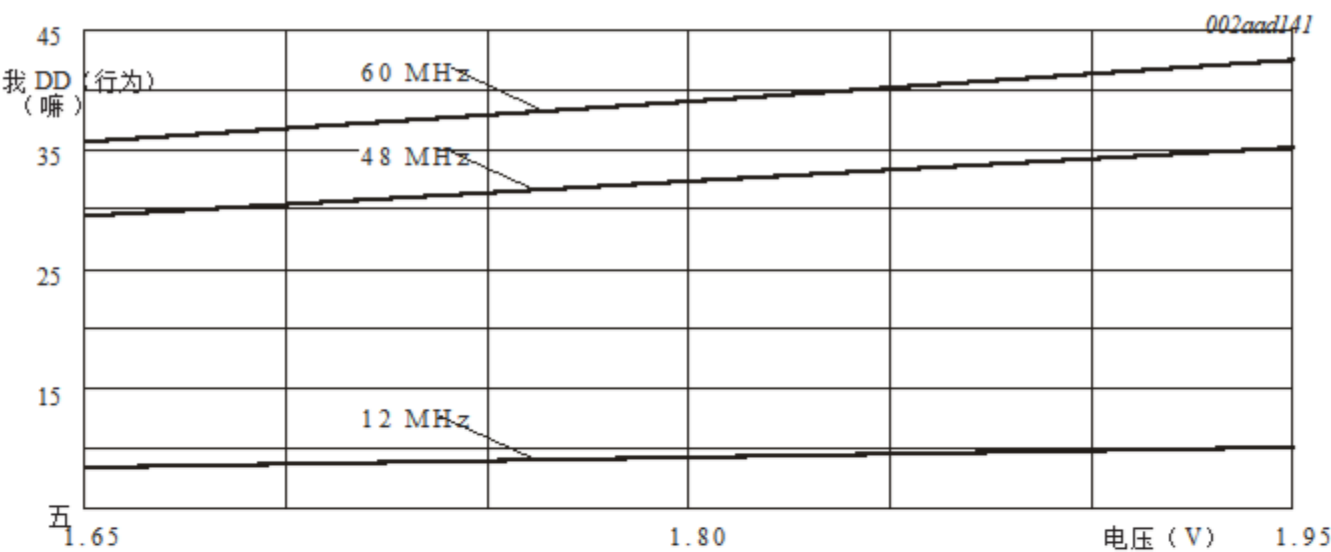
- (1) 实际转移曲线的例子。
- (2) 理想的转移曲线。
- (3) 微分线性误差 (ED)。
- (4) 积分非线性 (EL(adj))。
- (5) 实际转移曲线的一个步骤的中心。

图4. ADC特性

8.1 LPC2212 / 01和LPC2214 / 01的功耗测量

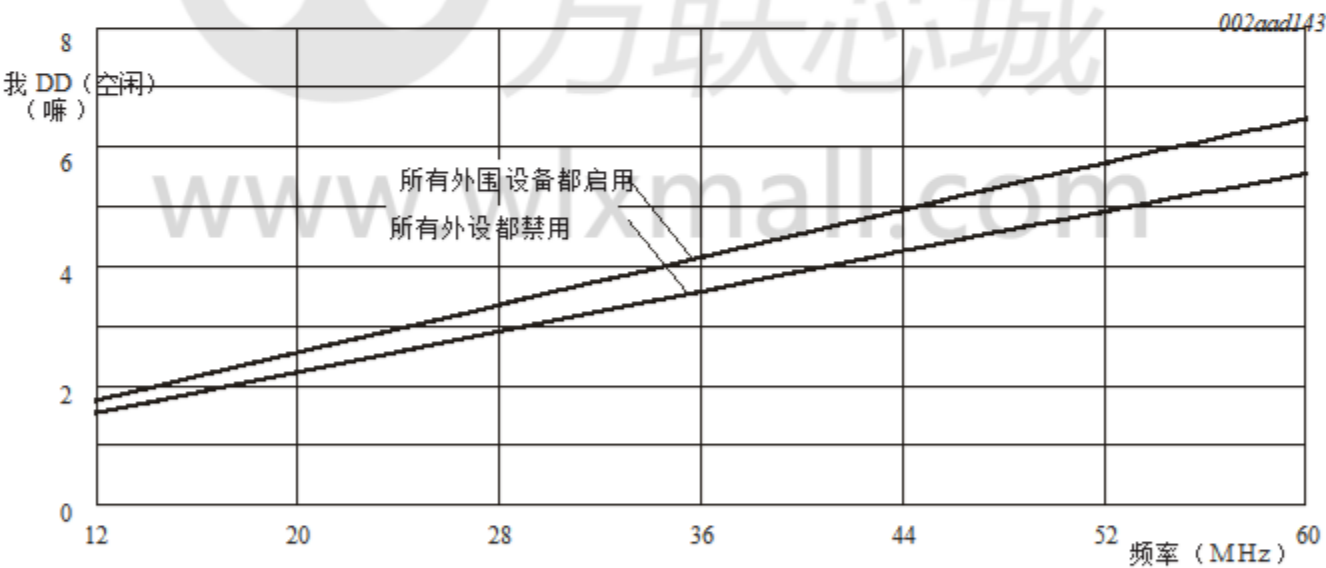
功耗测量值代表给定条件的典型值。
外设通过PCONP寄存器启用，但对于这些测量，
外设未配置为运行。通过PCONP禁用外设
寄存器。有关PCONP寄存器的说明，请参阅LPC2114 / 2124/2212/2214
用户手册。





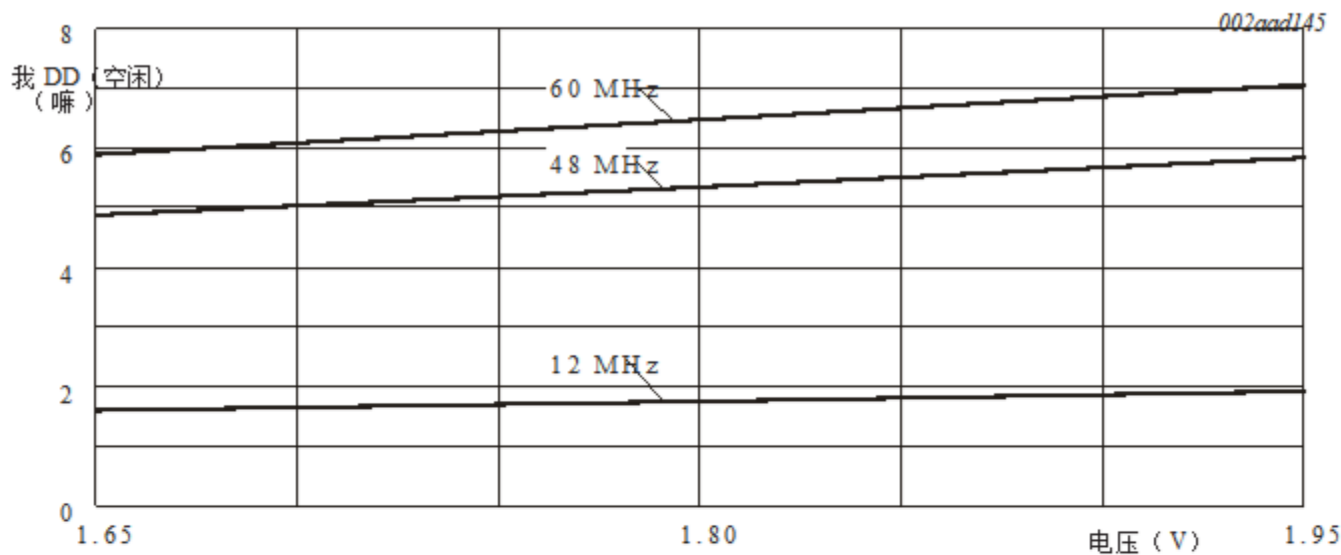
测试条件：主动模式从片上闪存输入执行代码；PCLK = CCLK / 4；
温度 = 25 °C；内核电压 1.8 V；所有外设都禁用。

图7. 典型的LPC2212 / 01和LPC2214 / 01 I_{DD} (act) 在不同的电压下测量



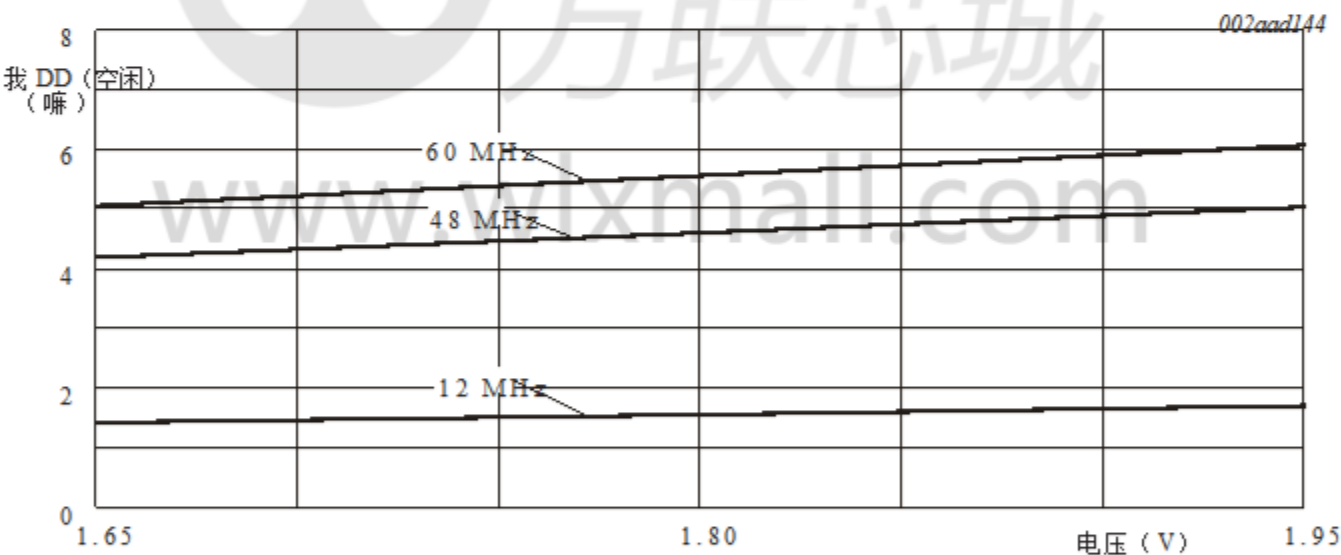
测试条件：空闲模式从片上闪存输入执行代码；PCLK = CCLK / 4；
 T_{amb} = 25 °C；内核电压 1.8 V。

图8. 典型的LPC2212 / 01和LPC2214 / 01 I_{DD} (空闲) 在不同的频率下测量



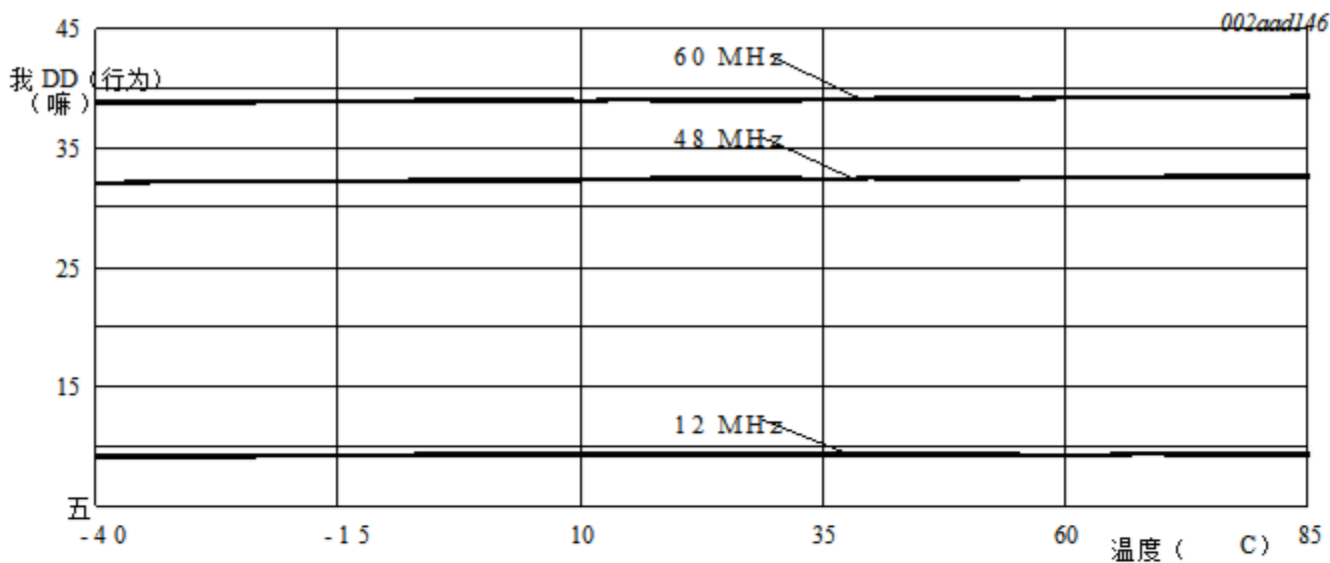
测试条件：空闲模式从片上闪存输入执行代码;PCLK = CCLK / 4;
T amb = 25°C;内核电压1.8 V;所有外围设备都启用.

图9. 典型的LPC2212 / 01和LPC2214 / 01 IDD (空闲) 在不同的电压下测量



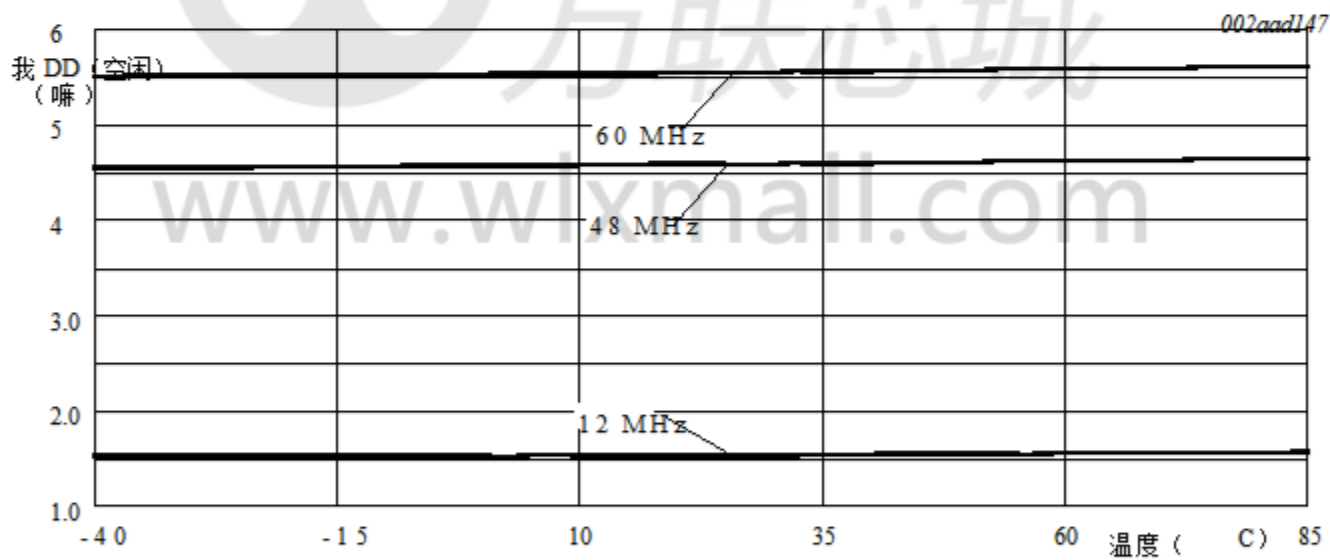
测试条件：空闲模式从片上闪存输入执行代码;PCLK = CCLK / 4;
温度= 25 °C;内核电压1.8 V;所有外设都禁用.

图10. 在不同电压下测量的 典型LPC2212 / 01和LPC2214 / 01 IDD (空闲)



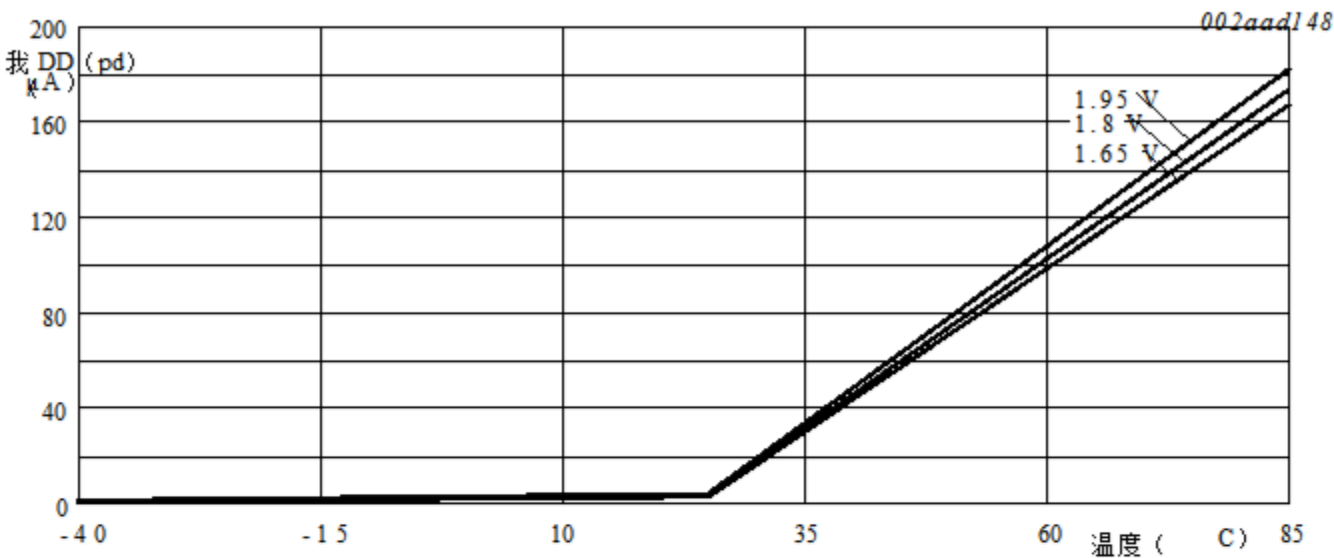
测试条件：主动模式从片上闪存输入执行代码; PCLK = CCLK / 4;
内核电压 1.8 V; 所有外设都禁用.

图11.典型的LPC2212 / 01和LPC2214 / 01在不同温度下测里的IDD (act)



测试条件：空闲模式从片上闪存输入执行代码; PCLK = CCLK / 4;
内核电压 1.8 V; 所有外设都禁用.

图12. 在不同温度下测里的 典型LPC2212 / 01和LPC2214 / 01 IDD (空闲)



测试条件：掉电模式从片上闪存输入执行代码。

图13. 在不同温度下测得的 典型LPC2212 / 01和LPC2214 / 01内 核关断电流I_{DD} (pd)

表 8. 典型的LPC2212 / 01和LPC2214 / 01外设功耗处于活动状态模式

内核电压1.8 V; T_{amb} = 25 °C; 所有的测量结果在? A; PCLK = CCLK / 4.

外围设备	CCLK = 12 MHz	CCLK = 48MHz	CCLK = 60 MHz
定时器0	43	141	184
定时器1	46	150	180
UART0	98	320	398
UART1	103	351	421
PWM0	103	341	407
我2 C-bus	9	37	53
SPI0 / 1	6	27	29
R T C	1 6 5 5 7 8		
ADC	33	128	167
EMC	306	994	1205

9. 动态特征

表9. 动态特征
T_{amb} = -40 °C至+ 85 °C工业应用; VDD (1V8) , VDD (3V3) 超过指定范围.[1]

符号	参数	条件	敏	典型	马克斯	单元
外部时钟						
f _{osc}	振荡器频率	由外部提供 振荡器（信号发生器）	1-		50	兆赫
		外部时钟频率 由外部提供 晶体振荡器	1-		三十	兆赫
		外部时钟频率如果 片上PLL被使用	10	-	25	兆赫
		外部时钟频率如果 使用片上引导程序 用于初始代码下载	10	-	25	兆赫
T _{cy (clk)}	时钟周期时间		20	-	1000	NS
t _{CHCX}	时钟高时间		T _{cy (clk)}	0.4 - n s		
t _{CLCX}	时钟低电 平时间		T _{cy (clk)}	0.4 - n s		
t _{CLCH}	时钟上升时间		-	-	五	NS
t _{CHCL}	时钟下降时间		-	-	五	NS
端口引脚（P0 [2]和P0 [3]除外）						
t _r	上升时间		-	10	-	NS
t _f	下降时间		-	10	-	NS
I2C总线引脚（P0 [2]和P0 [3]）						
t _f	下降时间	V _{IH} 到V _{IL}	[2] 20 + 0.1	C _b - ns		

[1] 除非另有说明，参数在工作温度范围内有效。
[2] 母线电容C_b，单位为pF，从10 pF到400 pF。

表10 外部存储器接口动态特性
CL = 25 pF; Tamb = 40 °C.

符号	参数	条件	敏	典型最大	单元
通常读取和写入周期					
t CHAV	XCLK HIGH以解决有效时间		-	10	NS
t CHCSL	XCLK高电平到CS低电平时间		-	10	NS
t CHCSH	XCLK高电平变为CS高电平时间		-	10	NS
t CHANV	XCLK HIGH来解决无效的时间		-	10	NS
读取循环参数					
t CSLAV	CS为低电平以解决有效时间		[4] Å 5 -	+ 1 0	NS
t OELAV	OE低以解决有效时间		[4] Å 5 -	+ 1 0	NS
t CSLOEL	CS低到OE低时间		Å 5 -	+5	NS
我是	内存访问时间		[2][3] (Tcy (CCLK) (2 + WST1)) + Å20)		NS
t am (ibr)	内存访问时间 (初始突发-ROM)		[2][3] (Tcy (CCLK) (2 + WST1)) + Å20)		NS
我是 (sbr)	内存访问时间 (随后的突发ROM)		[2][4] Tcy (CCLK) + (- 20)	- -	NS
t h (D)	数据输入保持时间		- 5 1 0 -	-	NS
t CSHOEH	CS高到OE高时间		Å 5 -	+5	NS
t OEHANV	OE HIGH解决无效时间		Å 5 -	+5	NS
CHOEL	XCLK高到OE低时间		Å 5 -	+5	NS
t CHOEH	XCLK高到OE高时间		Å 5 -	+5	NS
写周期参数					
t AVCSL	地址有效到CS低时间		[4] Tcy (CCLK) - 10	- -	NS
t CSLDV	CS低到数据有效时间		Å 5 -	+5	NS
t CSLWEL	CS LOW至WE LOW时间		Å 5 -	+5	NS
t CSLBLSL	CS低电平到BLS低电平时间		Å 5 -	+5	NS
t WELDV	我们低到数据有效时间		Å 5 -	+5	NS
t CSLDV	CS低到数据有效时间		Å 5 -	+5	NS
t WELWEH	我们低到我们高时间		[2] Tcy (CCLK) (1 + WST2) - 5-	Tcy (CCLK) (1 NS WST2) + 5	NS
t BLSLBSH	BLS低到BLS高时间		[2] Tcy (CCLK) (1 + WST2) - 5-	Tcy (CCLK) (1 + WST2) + 5	NS
吨 WEHANV	我们高度处理无效时间		[2] Tcy (CCLK) Å5-	Tcy (CCLK) + 5	NS
t WEHDNV	我们高到数据无效时间		[2] (2 Tcy (CCLK)) Å5-	(2 Tcy (CCLK)) NS+5	NS
t BLSHANV	BLS高来解决无效时间		[2] Tcy (CCLK) Å5-	Tcy (CCLK) + 5	NS

表10 外部存储器接口动态特性 ... 继续
CL = 25 pF; Tamb = 40 °C.

符号	参数	条件	敏	典型最大	单元
t BLSHDNV	BLS高到数据无效时间		[2] (2 Tcy (CCLK)) H5-	(2 Tcy (CCLK)) NS+5	
t CHDV	XCLK高到数据有效时间		-	10	NS
t CHWEL	XCLK高到我们低时间		-	10	NS
t CHBLSL	XCLK高电平至BLS低电平时间		-	10	NS
t CHWEH	XCLK高到我们高时间		-	10	NS
t CHBLSH	XCLK高电平至BLS高电平时间		-	10	NS
t CHDNV	XCLK HIGH使数据无效时间		-	10	NS

- [1] 除初始访问外，在这种情况下，地址 先前 设置为Tcy (CCLK) .
[2] Tcy (CCLK) = 1 / CCLK.
[3] 最新的地址有效，CS低，OE低到数据有效.
[4] 地址对数据有效有效.
[5] 最早的CS高，OE高，地址更改为无效的数据.

表11. 标准读取访问规范

访问周期	最大频率	WST+11设置 WST 0;取整 整数	内存访问时间要求
标准阅读	$F_{MAX} \frac{2 WST1}{T_{内存} + 20 ns}$	WST1	$\frac{T_{内存} + 20 ns}{T_{cy} f_{CCLK}} - 2$ $\frac{T_{内存} T_{cy} f_{CCLK}^{ff} WST1}{2} - 20 ns$
标准写入	$F_{MAX} \frac{1 WST2}{T_{写} + 5 纳秒}$	WST2	$\frac{T_{写} - T_{CYC} + 五}{T_{cy} f_{CCLK}} \frac{T_{写} T_{cy} f_{CCLK}^{ff} WST2}{2} - 5 纳秒$
突发读 - 最初	$F_{MAX} \frac{2 WST1}{T_{在里} + 20 ns}$	WST1	$\frac{T_{在里} + 20 ns}{T_{cy} f_{CCLK}} - 2$ $\frac{T_{在里} T_{cy} f_{CCLK}^{ff} WST1}{2} - 20 ns$
突发读 - 后续3	$F_{MAX} \frac{1}{T_{只读存储器} + 20 ns}$	N/A	$\frac{T_{只读存储器} T_{cy} f_{CCLK}^{ff}}{20 ns}$

[1] 有关WSTn位的说明，请参见LPC2114 / 2124/2212/2214用户手册.

9.1时间

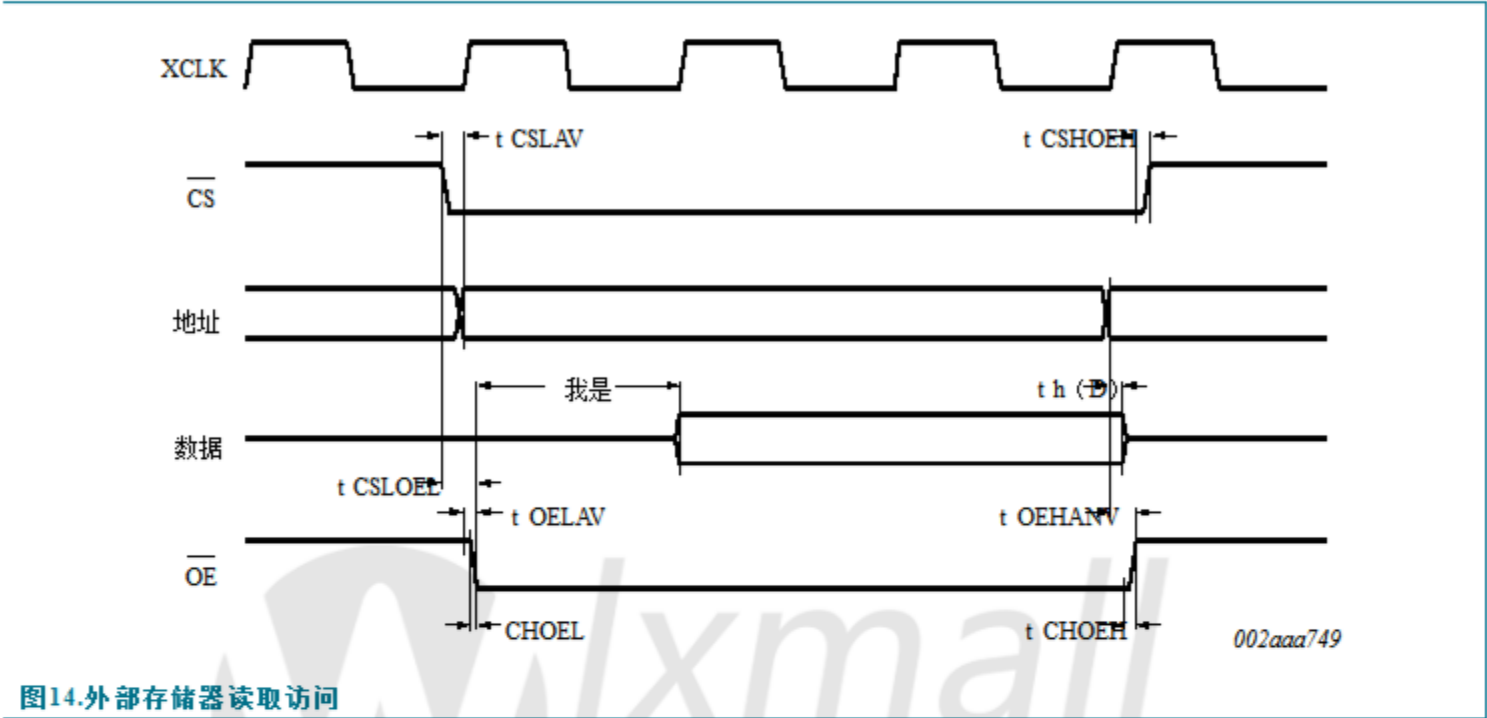


图14.外部存储器读取访问

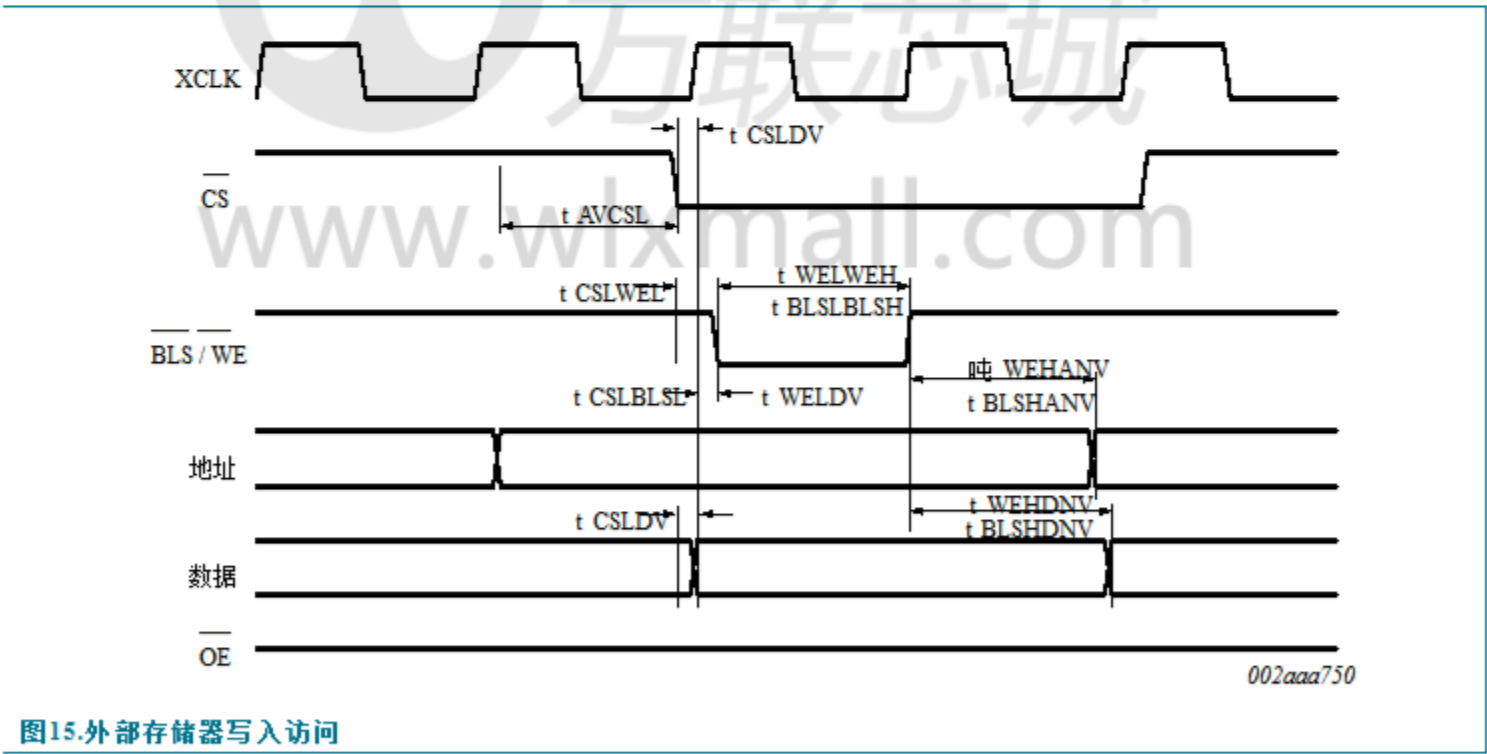
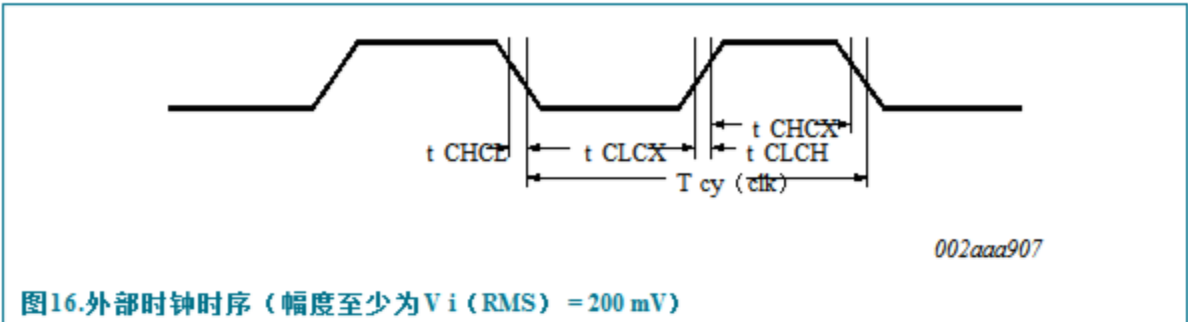


图15.外部存储器写入访问



10.包大纲

LQFP144：塑料薄型四方扁平封装；144导联；身体 20 x 20 x 1.4毫米

SOT486-1

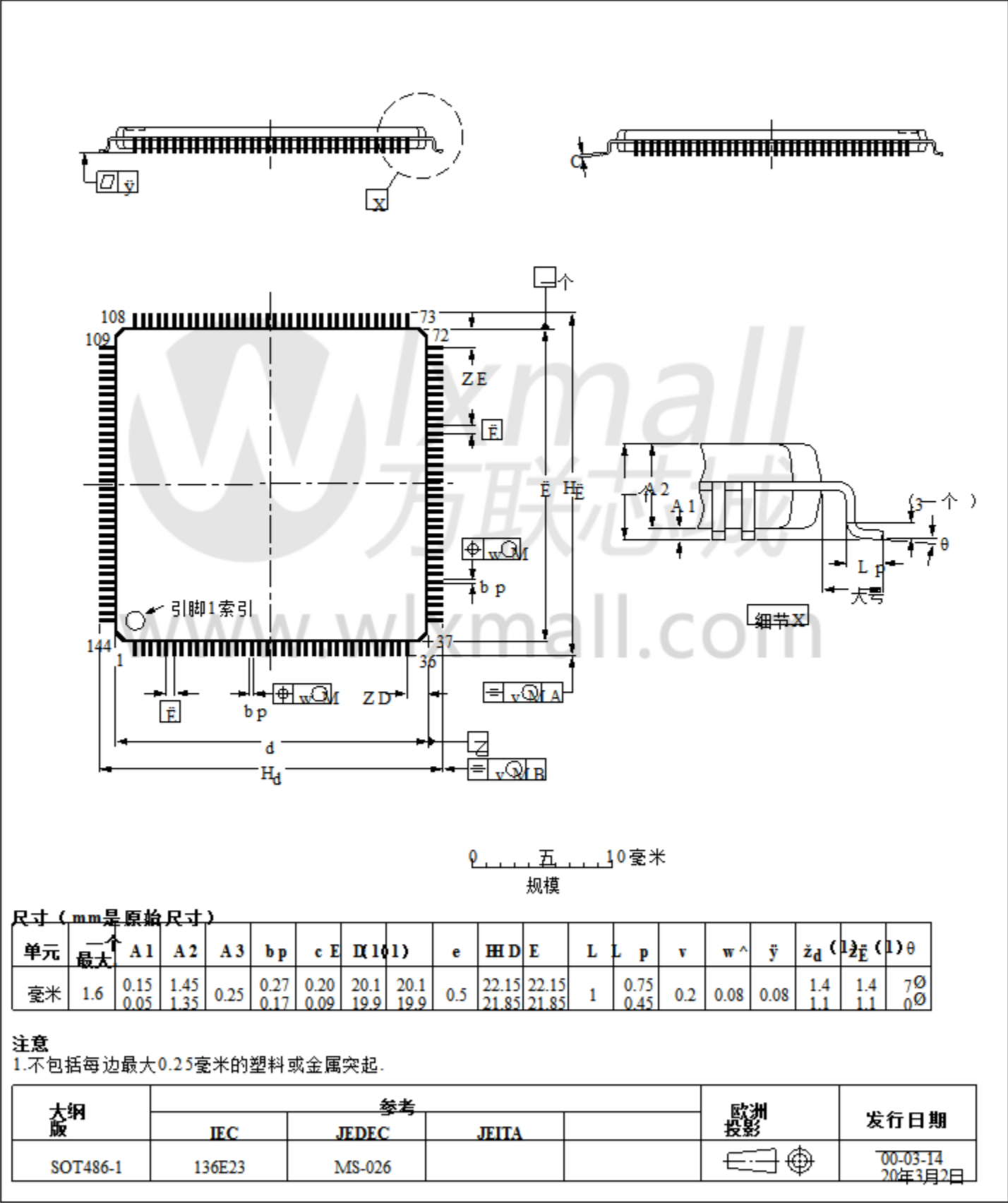


图17.封装外形SOT486-1 (LQFP144)

11.缩写

表 12. 缩略语

缩写	描述
ADC	模数转换器
AMBA	先进的微控制器总线架构
APB	高级外设总线
中央处理器	中央处理器
DCC	调试通信通道
EMC	外部内存控制器
FIFO	先进先出
GPIO	通用输入/输出
JTAG	联合测试行动小组
PLL	锁相环
POR	上电复位
PWM	脉宽调制器
内存	随机存取存储器
SPI	串行外设接口
SRAM	静态随机存取存储器
SSI	同步串行接口
SSP	同步串行端口
TTL	晶体管 - 晶体管逻辑
UART	通用异步接收器/发射器

12.修订历史

表13. 修订记录

文档ID	发布日期	数据表状态	变更通知	取代版本
LPC2212_2214 v.5	20110614	产品数据表	201004021F	LPC2212_2214 v.4
修改:	•表6“静态特性”;更改 / 01掉电模式电源电流 (I_{DD} (pd)) 从180 工业温度范围为≈A至500≈A. •表6“静态特性”;将V_{hys}电压从典型值移至最小值. •表6“静态特性”;将I₂ O焊盘滞后从0.5V_{DD} (3V3) 更改为 0.05V_{DD} (3V3) .			
LPC2212_2214 v.4	20080103	产品数据表	-	LPC2212_2214 v.3
修改:	• 此数据表的格式已重新设计以符合新的身份 恩智浦半导体的指导方针. • 法律文本已适应新公司名称. • 添加了 型号LPC2212FBD144 / 01. • 增加了 型号LPC2214FBD144 / 01. • 在新外设功能 (快速I / O端口, SSP, CRP) 上带有 / 01器件的详细信息 并增加了现有的功能 (UART0 / 1, 定时器, ADC和SPI) . • 添加了LPC2212 / 01和LPC2214 / 01的功耗测量. • JTAG引脚TCK的说明已更新.			
LPC2212_2214 v.3	20060719	产品数据表	-	LPC2212_2214 v.2
LPC2212_2214 v.2	20041223	产品数据	-	LPC2212_2214 v.1
LPC2212_2214 v.1	20040202	初步数据	-	-

13. 法律信息

13.1 数据表状态

文件状态 [1][2]	产品状态 [3]	定义
目标[简要]数据表	发展	本文档包含来自产品开发目标规范的数据。
初步[简要]数据表	合格	本文档包含初步规范的数据。
产品[简短]数据表	生产	本文档包含产品规格。

[1] 请在启动或完成设计之前查阅最近发布的文档。

[2] 术语“短数据表”在“定义”一节中进行了解释。

[3] 自本文档发布以来，本文档中描述的设备的状态可能已更改，并且在多个设备的情况下可能会有所不同。最新的产品状态信息可在互联网上的URL <http://www.nxp.com>上找到。

13.2 定义

草案 - 文件仅为草案版本，内容仍在内部审查和正式批准，可能会导致修改或添加。恩智浦半导体不提供任何支持、陈述或保证的准确性或完整性。信息包括在内，对后果不承担任何责任。使用这些信息。

简短数据表 - 简短数据表是完整数据表的摘录，具有相同的产品型号和标题。有一个简短的数据表，仅供快速参考，不应依赖于包含详细信息和完整的信息。有关详细和完整的信息，请参阅相关的完整数据表。可通过当地恩智浦半导体销售部门索取。办公室。如果与短数据表不一致或存在冲突，以数据表为准。

产品规格 - 产品中提供的信息和数据。数据表应根据商定的规定产品的规格。恩智浦半导体及其客户，除非恩智浦半导体和客户已经以书面形式明确表示同意。然而，在任何情况下，恩智浦半导体产品的协议应有效。被视为提供超出上述范围之外的功能和品质。产品数据表。

13.3 免责声明

有限保修和责任 - 相信本文件中的信息准确可靠。但是，恩智浦半导体并没有给出任何答案、陈述或保证，明示或暗示，关于准确性或这些信息的完整性，对此不承担任何责任。使用这些信息的后果。

恩智浦半导体在任何情况下均不对任何间接，附带，惩罚性的，特殊的或后果性的损害赔偿（包括但不限于 - 损失、利润、储蓄损失，业务中断，与搬迁有关的费用、更换任何产品或返工费用）是否这样。损害赔偿以侵权（包括疏忽），保修，违约为基础。合同或任何其他法律理论。

尽管客户可能因任何原因而遭受任何损害。无论如何，恩智浦半导体的累计和累计责任将会减少。客户对此处所述产品的限制应符合以及恩智浦半导体商业销售条款和条件。

修改权 - 恩智浦半导体保留制作权。本文件中发布的信息的变化，包括没有。限制规格和产品说明，在任何时间和没有。注意。本文件取代并取代之前提供的所有信息。到本出版物。

适用性 - 恩智浦半导体产品并未设计，授权或保证适合于生命支持，生命关键或安全关键的系统或设备，也不适用于失败或失败的应用。

恩智浦半导体产品的故障可以合理预期。导致人身伤害，死亡或严重财产或环境。损伤。恩智浦半导体不承担包含和/或使用任何责任。恩智浦半导体的产品应用于此类设备或应用。因此这种包含和/或使用由客户自己承担风险。

应用程序 - 这里描述的任何应用程序。产品仅用于说明目的。恩智浦半导体公司没有。代表或担保此类应用程序将适用于。没有进一步测试或修改的指定用途。

客户负责其应用程序的设计和/或使用恩智浦半导体的产品。对于应用程序或客户产品的任何帮助不承担任何责任。设计。确定NXP是否是客户的唯一责任。半导体产品适用于客户的应用和。产品计划，以及计划的应用和使用。客户的第三方客户。客户应提供适当的。设计和运行保障措施，以尽量减少与其相关的风险。应用程序和产品。

恩智浦半导体不承担任何违约责任，损害，成本或基于任何弱点或违约的问题。客户的应用程序或产品，或客户的应用程序或使用。第三方客户。客户有责任采取一切必要措施。使用恩智浦测试客户的应用和产品。半导体产品为了避免默认的应用和。客户的第三方的产品或应用程序或使用。顾客）。恩智浦对此不承担任何责任。

限值 - 压力高于一个或多个极限值（如定义）IEC 60134的绝对最大额定值系统）将导致永久性设备损坏。限值只是压力评级和（适当的）在这些或任何其他条件下操作设备。建议的操作条件部分（如果有）或者。本文件的特性部分不保证。常量或。反复暴露于极限值将会永久且不可逆地影响。设备的质量和可靠性。

商业销售条款和条件 - 恩智浦半导体。产品的销售受商业条款和一般条款的约束。除非另有说明，如<http://www.nxp.com/profile/terms>中所公布的。在有效的书面个人协议中达成一致。如果是个人。协议仅在各自的条款和条件下签订。协议应适用。恩智浦半导体在此明确反对。应用顾客的一般条款和条件。客户购买恩智浦半导体产品。

没有要约出售或许可 - 本文件中的任何内容都不得解释或。解释为出售可接受或赠款的产品的要约，。根据任何版权，专利或权利转让或暗示任何许可。其他工业或知识产权。

出口控制 - 本文件以及此处描述的项目。可能受到出口管制条例的限制。导出可能需要事先。国家当局授权。

非汽车合格产品 - 除非明确说明此数据表表示恩智浦半导体的这一具体产品是汽车合格的, 该产品不适合汽车使用. 它既不合格也不经过测试根据汽车测试或应用要求. NXP

对于纳入和/或使用半导体不承担任何责任汽车设备或应用中的非汽车合格产品.

如果客户使用该产品进行设计和使用

汽车应用到汽车规格和标准, 客户

(a) 应使用未经恩智浦半导体保修的产品

产品用于这种汽车应用, 使用和规格, 和 (b)

每当客户将该产品用于超越汽车应用时

恩智浦半导体的此类使用规范应完全针对客户

(c) 客户完全赔偿恩智浦半导体的任何损失客户设计和产生的责任, 损害或失败的产品声明恩智浦半导体的产品用于汽车应用以外, 标准保修和恩智浦半导体的产品规格.

13.4 商标

注意: 所有参考品牌, 产品名称, 服务名称和商标是各自所有者的财产.

I 2 C-bus - 徽标是恩智浦BV的商标

14. 联系信息

欲了解更多信息, 请访问: <http://www.nxp.com>

对于销售办事处地址, 请发送电子邮件至: salesaddresses@nxp.com



15. 内容

1	一般描述.....	1	6.17	脉宽调制器.....	21
2	特点和好处.....	1	6.17.1	特征.....	21
2.1	LPC2212 / 2214/01带来的主要特性		6.18	系统控制.....	22
	设备.....	1	6.18.1	晶体振荡器.....	22
2.2	所有设备的通用主要特点.....	1	6.18.2	PLL.....	22
3	订购信息.....	2	6.18.3	复位和唤醒定时器.....	22
3.1	订购选项.....	3	6.18.4	代码安全性（代码读取保护 - CRP）	23
4	方框图.....	4	6.18.5	外部中断输入.....	23
五	固定信息.....	五	6.18.6	内存映射控制.....	24
5.1	钉住.....	五	6.18.7	功率控制.....	24
5.2	引脚说明.....	6	6.18.8	APB.....	24
6	功能说明.....	12	6.19	仿真和调试.....	24
6.1	建筑概述.....	12	6.19.1	EmbeddedICE.....	24
6.2	片上闪存程序存储器.....	12	6.19.2	嵌入式跟踪宏单元.....	25
6.3	片内静态RAM.....	13	6.19.3	RealMonitor.....	25
6.4	内存映射.....	13	7	限制值.....	26
6.5	中断控制器.....	14	8	静态特性.....	27
6.5.1	中断源.....	15	8.1	功耗测量	
6.6	引脚连接块.....	16		LPC2212 / 01和LPC2214 / 01.....	32
6.7	外部内存控制器.....	16	9	动态特征.....	37
6.8	通用并行I / O（GPIO）和		9.1	时机.....	40
	快速I / O.....	16	10	包大纲.....	42
6.8.1	特征.....	16	11	缩写.....	43
6.8.2	添加了Fast GPIO套件的功能		12	修订记录.....	44
	寄存器只能在LPC2212 / 2214/01上使用	16	13	法律信息.....	45
6.9	10位ADC.....	17	13.1	数据表状态.....	45
6.9.1	特征.....	17	13.2	定义.....	45
6.9.2	ADC功能可在LPC2212 / 2214/01中找到		13.3	免责声明.....	45
	只要.....	17	13.4	商标.....	46
6.10	个UART.....	17	14	联系信息.....	46
6.10.1	特征.....	17	15	内容.....	47
6.10.2	UART特性可在LPC2212 / 2214/01中找到				
	只要.....	17			
6.11	I2C总线串行I / O控制器.....	18			
6.11.1	特征.....	18			
6.12	SPI串行I / O控制器.....	18			
6.12.1	特征.....	18			
6.12.2	功能仅限于LPC2212 / 2214/01.....	18			
6.13	SSP控制器（仅限LPC2212 / 2214/01）.....	19			
6.13.1	特征.....	19			
6.14	通用计时器.....	19			
6.14.1	特征.....	19			
6.14.2	功能仅限于LPC2212 / 2214/01.....	20			
6.15	看门狗定时器.....	20			
6.15.1	特征.....	20			
6.16	实时时钟.....	20			
6.16.1	特征.....	20			

请注意，有关本文档和产品的重要通知
这里所描述的内容已包含在“法律信息”部分。

©恩智浦BV 2011.

版权所有.

欲了解更多信息，请访问：<http://www.nxp.com>
对于销售办事处地址，请发送电子邮件至：salesaddresses@nxp.com

发布日期：2011年6月14日

文件标识符：LPC2212_2214