

## USB3300

# 高速USB主机，设备或OTG PHY 与ULPI低引脚接口



### 产品特点

### 数据表

- ✓ USB-IF Hi-Speed认证通用串行总线规格修订版2.0
- ✓ 接口符合ULPI规范修订1.1在8位模式
- ✓ 行业标准UTMI +低引脚接口 (ULPI) 将54个UTMI +信号转换为标准的12引脚链路控制器接口
- ✓ 54.7mA未配置电流 (典型值) - 适用于总线应用程序
- ✓ 83uA暂停电流 (典型) - 适用于电池应用程序
- ✓ 闩锁性能超过每个150 mA EIA / JESD 78, Class II
- ✓ ±8kV HBM的ESD保护水平, 无需外部电源保护装置
- ✓ 集成保护以承受IEC61000-4-2 ESD测试 ( ±8kV接触和 ±15kV空气) 每个第三方测试设施
- ✓ 支持带LS设备的FS集线器的FS前导码附加 (UTMI + 3级)
- ✓ 支持HS SOF和LS保活脉冲
- ✓ 包括对可选On-The-Go的全面支持 (OTG) 协议补充版本1.0a规范
- ✓ 支持OTG主机协商协议 (HNP) 和会话请求协议 (SRP)
- ✓ 允许主机关闭VBUS以节省电池OTG应用中的功率
- ✓ 支持OTG监视VBUS电平内部比较器.包括对外部的支持VBUS或故障监视器.
- ✓ 低延迟高速接收器 (43个高速时钟最大值) 允许使用具有ULPI的传统UTMI链接包装纸
- ✓ STP上的集成上拉电阻用于接口保护允许可靠的链接/ PHY启动慢链接 (为低功耗配置的软件)
- ✓ 内部1.8伏稳压器允许从一个3.3伏单电源
- ✓ ID, DP和DM的内部短路保护线到VBUS或地面
- ✓ 集成的24MHz晶体振荡器也支持晶体操作或24MHz外部时钟输入
- ✓ 用于480MHz高速USB操作的内部PLL
- ✓ 工业操作温度-40 °C至+ 85°C
- ✓ 32引脚, QFN无铅RoHS标准封装 (5×5×0.90mm高)

### 应用

USB3300是任何ASIC, SoC的理想伴侣或使用ULPI Hi-Speed USB设计的FPGA解决方案主机, 外设或OTG内核.

USB3300非常适合:

- ✓ 手机
- ✓ 掌上电脑
- ✓ MP3播放器
- ✓ 扫描仪
- ✓ 外部硬盘
- ✓ 数码相机和摄像机
- ✓ 便携式媒体播放器
- ✓ 打印机

具有ULPI低引脚接口的高速USB主机，器件或OTG PHY

数据表

**订单编号：**  
**适用于32引脚的USB3300-EZK，QFN无铅符合RoHS的封装**  
**用于32引脚的USB3300-EZK-TR，QFN无铅符合RoHS的封装（卷带式）**  
**卷尺寸为4000件.**

**本产品符合IEC61249-2-21的卤素最大浓度值**  
**有关RoHS合规性和环境信息，请访问[www.smssc.com/rohs](http://www.smssc.com/rohs)**

版权所有©2013 SMSC或其子公司. 版权所有.

包含与SMSC产品有关的电路图和其他信息作为说明典型应用的手段. 因此, 完整的信息足以  
施工目的不一定给出. 虽然信息已经过检查并被认为是准确的, 但对于不准确的信息不承担任何责任. SMSC  
保留随时更改规格和产品说明的权利, 恕不另行通知. 请联系您当地的SMSC销售办事处以获取最新规格  
或向您的产品订单之前, 提供这些信息并未向所述半导体设备的购买者传达任何专利下的任何许可证  
SMSC或其他人的权利或其他知识产权. 所有销售都明确以您最近同意的条款和条件为条件.  
版本的SMSC标准销售条款日期在您的订单日期之前 (“销售条款协议”). 该产品可能包含设计缺陷或错误  
称为异常, 可能导致产品功能偏离公布的规格. 异常表可根据要求提供. SMSC产品不是  
设计, 预期, 授权或保证用于任何生命支持或其他应用中. 产品故障可能导致或导致人身伤害或严重财产  
损坏. 未经SMSC的官员事先书面批准以及进一步的测试和/或修改, 任何和所有此类用途将完全面临客户的风险. 副本  
本文件或其他SMSC文献以及销售条款协议可通过访问SMSC网站<http://www.smssc.com>获取. SMSC是已注册的  
Standard Microsystems Corporation (“SMSC”) 的商标. 产品名称和公司名称是其各自所有者的商标.  
Microchip的名称和徽标以及Microchip徽标是Microchip Technology Incorporated在美国和其他国家或地区的注册商标.  
SMSC放弃并排除任何和所有的保证, 包括但不限于任何和所有默示的适销性保证,  
特定用途的适用性, 所有权以及不侵权等. 以及由任何课程引起的任何和所有担保  
外理或使用贸易. 在任何情况下, SMSC不对任何直接的, 偶然的, 特殊的, 惩罚性的或后果性的  
损害; 或者数据丢失, 利润, 储蓄或收入减少. 无论是基于合同的行动方式;  
侵权; SMSC或其他人的疏忽; 严格的责任; 违反保证; 或其他; 不当购买者是否得到任何补救措施  
无法达到其基本目的, 无论SMSC是否被告知此类损害的可能性.

## 0.1

### 参考文件

- ✓ 通用串行总线规范，2.0版，2000年4月27日
- ✓ 2003年6月24日修订版1.0a中USB 2.0规范的On-The-Go增补
- ✓ USB 2.0收发器宏单元接口（UTMI）规范，版本1.02，2000年5月27日
- ✓ UTMI +规范，修订版1.0，2004年2月2日
- ✓ UTMI +低引脚接口（ULPI）规范，版本1.1



**数据表**

**目录**

0.1 参考文件.....	3
<b>第1章概述.....</b>	<b>8</b>
<b>第2章功能概述.....</b>	<b>10</b>
<b>第3章引脚布局.....</b>	<b>11</b>
3.1 USB3300引脚图.....	11
3.2 引脚功能.....	11
<b>第4章操作说明.....</b>	<b>15</b>
<b>第5章电气特性.....</b>	<b>16</b>
5.1 内部振荡器的压电谐振器.....	20
<b>第6章体系结构概述.....</b>	<b>21</b>
6.1 ULPI数字.....	21
6.1.1 概述.....	22
6.1.2 ULPI接口信号.....	23
6.1.3 ULPI接口时序.....	24
6.1.4 ULPI寄存器阵列.....	24
6.1.5 ULPI寄存器访问.....	三十
6.1.6 ULPI RXD CMD.....	32
6.1.7 USB3300发射机.....	33
6.1.8 USB3300接收器.....	35
6.1.9 低功耗模式.....	36
6.1.10 全速/低速串行模式.....	39
6.1.11 复位引脚.....	40
6.2 高速USB收发器.....	40
6.2.1 高速和全速收发器.....	40
6.2.2 终端电阻.....	40
6.2.3 偏置发生器.....	42
6.3 晶体振荡器和PLL.....	42
6.4 内部监管机构 and POR.....	43
6.4.1 内部监管机构.....	43
6.4.2 上电复位 (POR).....	43
6.5 USB OTG (OTG) 模块.....	43
6.5.1 ID检测.....	44
6.5.2 VBUS控制.....	45
6.5.3 驱动外部Vbus.....	46
6.5.4 外部Vbus指示器.....	46
<b>第7章应用笔记.....</b>	<b>48</b>
7.1 应用图.....	49
7.2 多端口应用程序.....	52
7.3 评估板.....	52
7.4 ESD性能.....	52
7.4.1 人体模型 (HBM) 性能.....	53
7.4.2 IEC61000-4-2性能.....	53
<b>第8章包装轮廓.....</b>	<b>54</b>

---

第9章数据手册修订历史..... 58



数据表

图的列表

图1.1基本的ULPI USB设备框图..... 8

图1.2与UTMI +相关的ULPI接口功能..... 9

图2.1 USB3300框图..... 10

图3.1 USB3300引脚图 - 顶视图..... 11

图6.1简化的USB3300架构..... 21

图6.2 ULPI数字框图..... 22

图6.3 ULPI时序图..... 24

图6.4 ULPI寄存器写入..... 31

图6.5 ULPI寄存器读取..... 32

图6.6 ULPI传输..... 35

图6.7 ULPI接收..... 36

图6.8进入低功耗模式..... 37

图6.9退出低功耗模式..... 38

图6.10 USB3300移动模块..... 44

图7.1 USB3300应用框图（外设）..... 49

图7.2 USB3300应用框图（主机或OTG）..... 50

图7.3 USB3300应用框图（具有过压保护的外设）..... 51

图7.4扩展USB3300主机应用程序的下行端口..... 52

图8.1 USB3300-EZK 32引脚QFN封装外形，5 x 5 x 0.9 mm主体（无铅）..... 54

图8.1 QFN，5x5编带尺寸和零件方向..... 55

图8.2 12mm载带的卷轴尺寸..... 56

图8.3胶带长度和部件数量..... 57



## 表的列表

表3.1 USB3300引脚定义32引脚QFN封装	11
表4.1最大保证额定值	15
表4.2推荐的操作条件	15
表5.1电气特性：电源引脚	16
表5.2电气特性：CLKOUT启动	16
表5.3直流电气特性：逻辑引脚	17
表5.4直流电气特性：模拟I/O引脚（DP / DM）	17
表5.5动态特性：模拟I/O引脚（DP / DM）	18
表5.6 OTG电气特性	19
表5.7稳压器输出电压	19
表5.8 USB3300石英晶体规格	20
表5.9 USB3300陶瓷谐振器部件号	20
表6.1 ULPI接口信号	23
表6.2 ULPI接口时序	24
表6.3 ULPI寄存器映射	25
表6.4 ULPI TXD CMD字节编码	三十
表6.5 ULPI RX CMD编码	33
表6.6低功耗模式下的接口信号映射	37
表6.7 3引脚串行模式下的引脚定义	40
表6.8 DP / DM终止与信令模式	41
表6.9 IdGnd与USB电缆类型	44
表6.10外部Vbus指示逻辑	46
表7.1应用图中的组件值	48
表7.2 USB连接器VBUS处的电容值	48
表8.1 32端子QFN封装参数	54
表9.1客户修订历史记录	58

www.wlxml.com

具有ULPI低引脚接口的高速USB主机，器件或OTG PHY

数据表

## 第1章概述

USB3300是工业温度高速USB物理层收发器（PHY）。该USB3300使用低引脚数接口（ULPI）连接到符合ULPI的链路层。ULPI接口使用带内信号传输的方法将UTMI+接口从54个引脚减少到12个引脚。Link和PHY之间的状态字节传输。

该PHY是从ULPI接口开始设计的。没有使用ULPI封装的UTMI。在这个设计中为Link接口提供了无缝ULPI。结果是具有低延迟的PHY发送和接收时间。SMSC的低延迟高速和全速接收器提供了选项。重新使用现有的UTMI链接和一个简单的包装将UTMI转换为ULPI。

ULPI接口允许USB3300 PHY作为设备，主机或OTG（On-The-Go）设备。使用USB3300 PHY作为设备的设计可以在以后增加主机和OTG功能。没有额外的引脚。

ULPI接口与SMSC专有技术相结合，使USB3300成为理想之选。将Hi-Speed USB添加到新设计的方法。USB3300具有业界领先的小型产品。占位面积封装（5mm×5mm），高度仅为1mm。另外USB3300还集成了所有的DP和DM终端电阻并需要最少数量的外部元件。

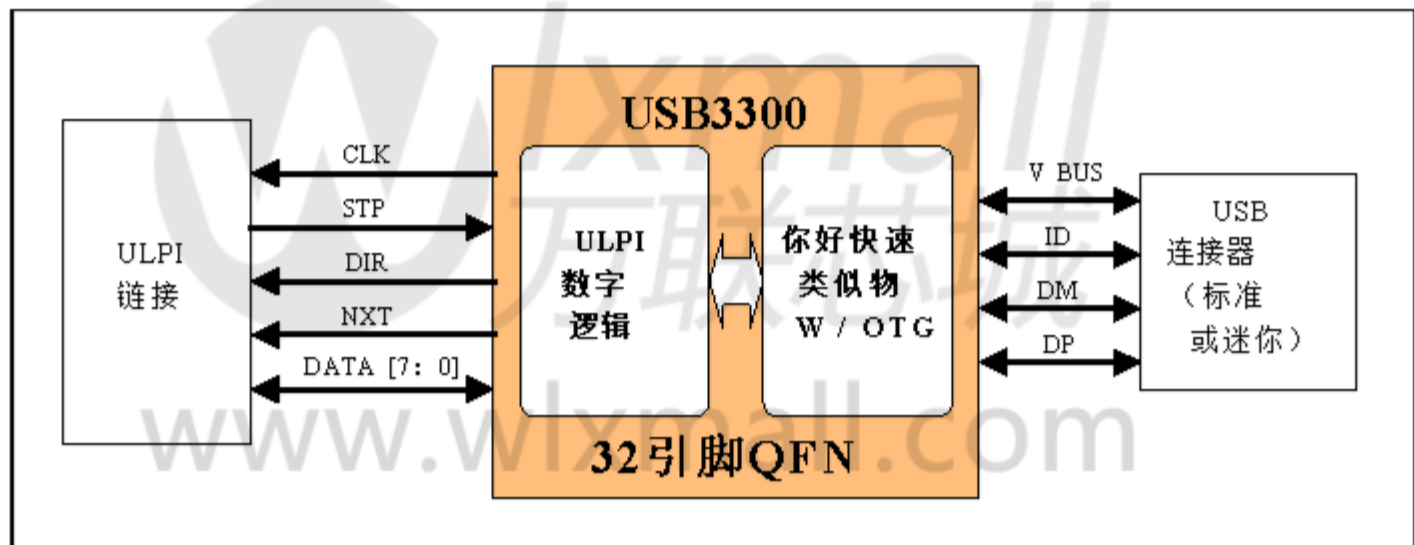


图1.1基本的ULPI USB设备框图

ULPI接口由12个接口引脚组成；8个双向数据引脚，3个控制引脚和一个60 MHz时钟。通过使用12引脚ULPI接口，USB3300能够提供全系列的支持UTMI+ Level 3到Level 0，如图1.2所示。这使得USB3300可以用作HS和FS外设以及HS，FS和LS主机。

作为选项，USB3300还可以完全支持On-the-Go（OTG）协议，USB 2.0规格的Go-Go补充说明。On-the-Go允许USB3300的功能类似于主机或由软件动态配置的外设。例如，手机可能会连接到一个计算机作为外围设备交换地址信息或连接到打印机作为主机进行打印图片。最后，启用OTG的设备可以连接到另一个支持OTG的设备进行交换信息。所有这些都通过使用一个小型的Mini-AB USB连接器来支持。

不需要OTG的设计可以忽略OTG功能集。

除了领先的ULPI接口的优势之外，还使用了SMSC的高级模拟功能技术使USB3300能够消耗最少量的功率，从而实现最大化便携式应用的电池寿命。

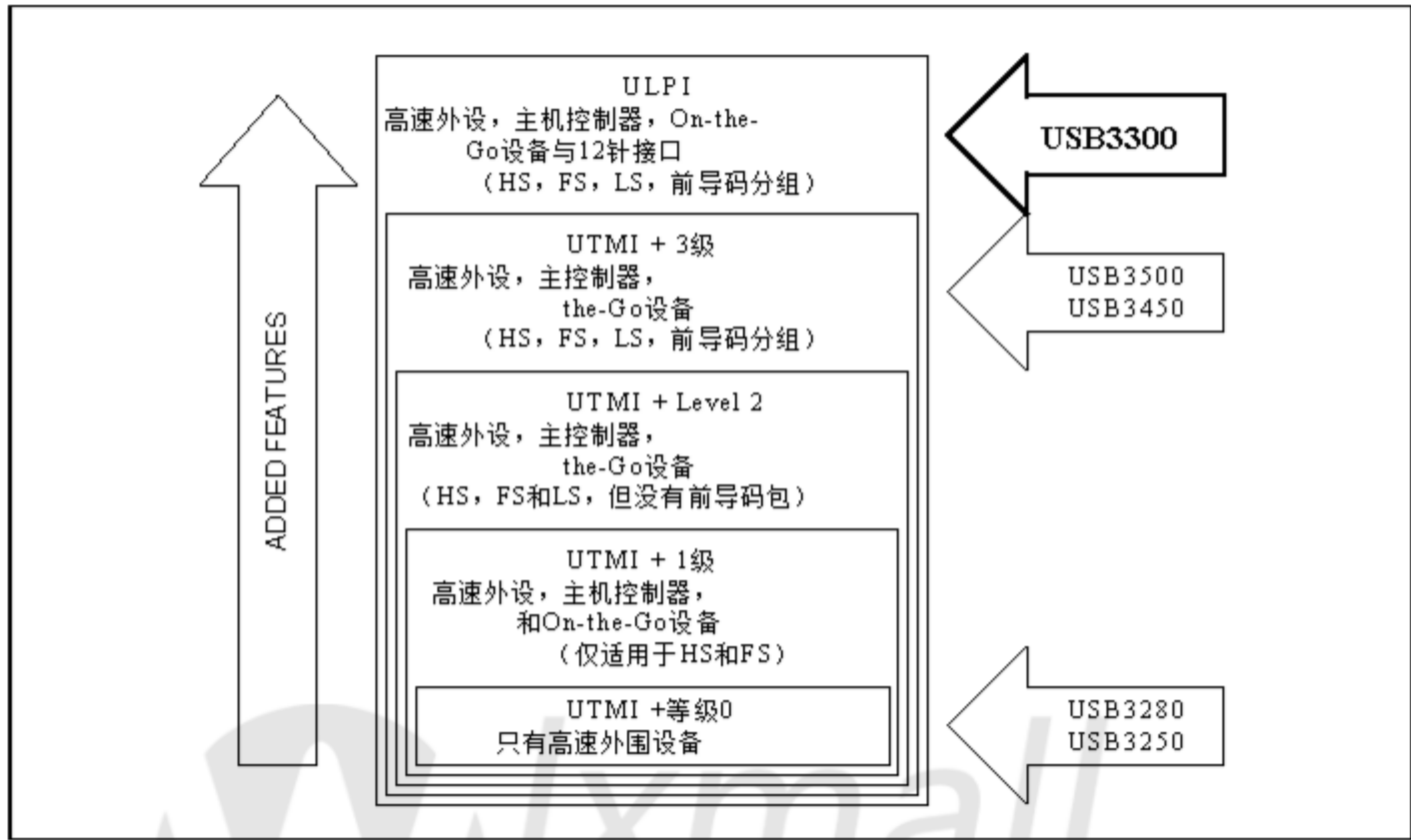


图1.2与UTMI +相关的ULPI接口功能

www.wxmall.com

方联芯城

数据表

## 第2章功能概述

USB3300是高度集成的USB PHY.它包含一个完整的高速USB 2.0 PHY与ULPI行业标准接口，以支持USB产品的快速上市. USB3300是由下面图2.1所示的功能块组成.这些独立块的细节是如第21页第6章“体系结构概述”中所述.

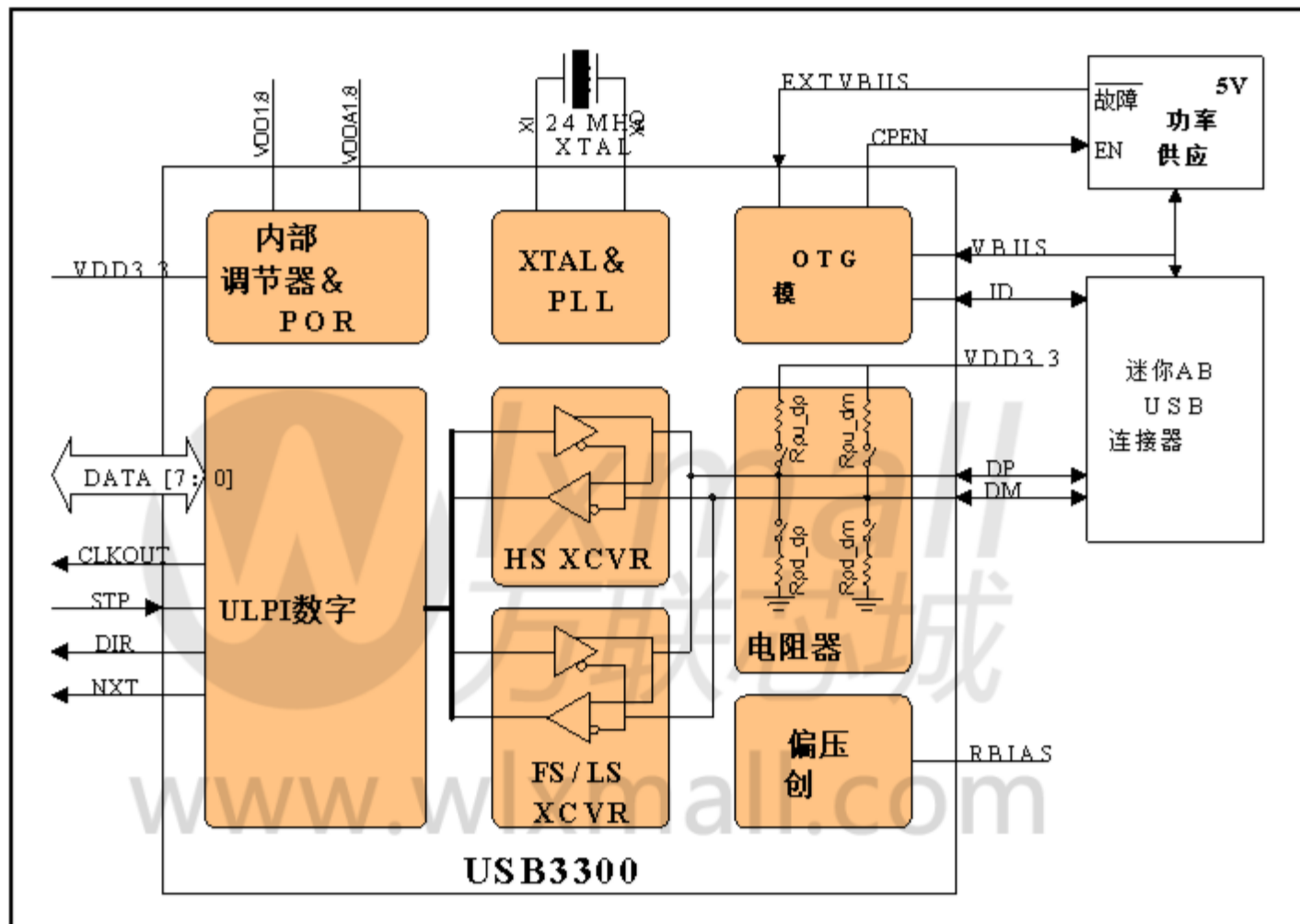


图2.1 USB3300框图

## 第3章 引脚布局

USB3300采用32引脚QFN封装（5 x 5 x 0.9mm）。引脚定义和位置记录如下。

### 3.1 USB3300引脚图

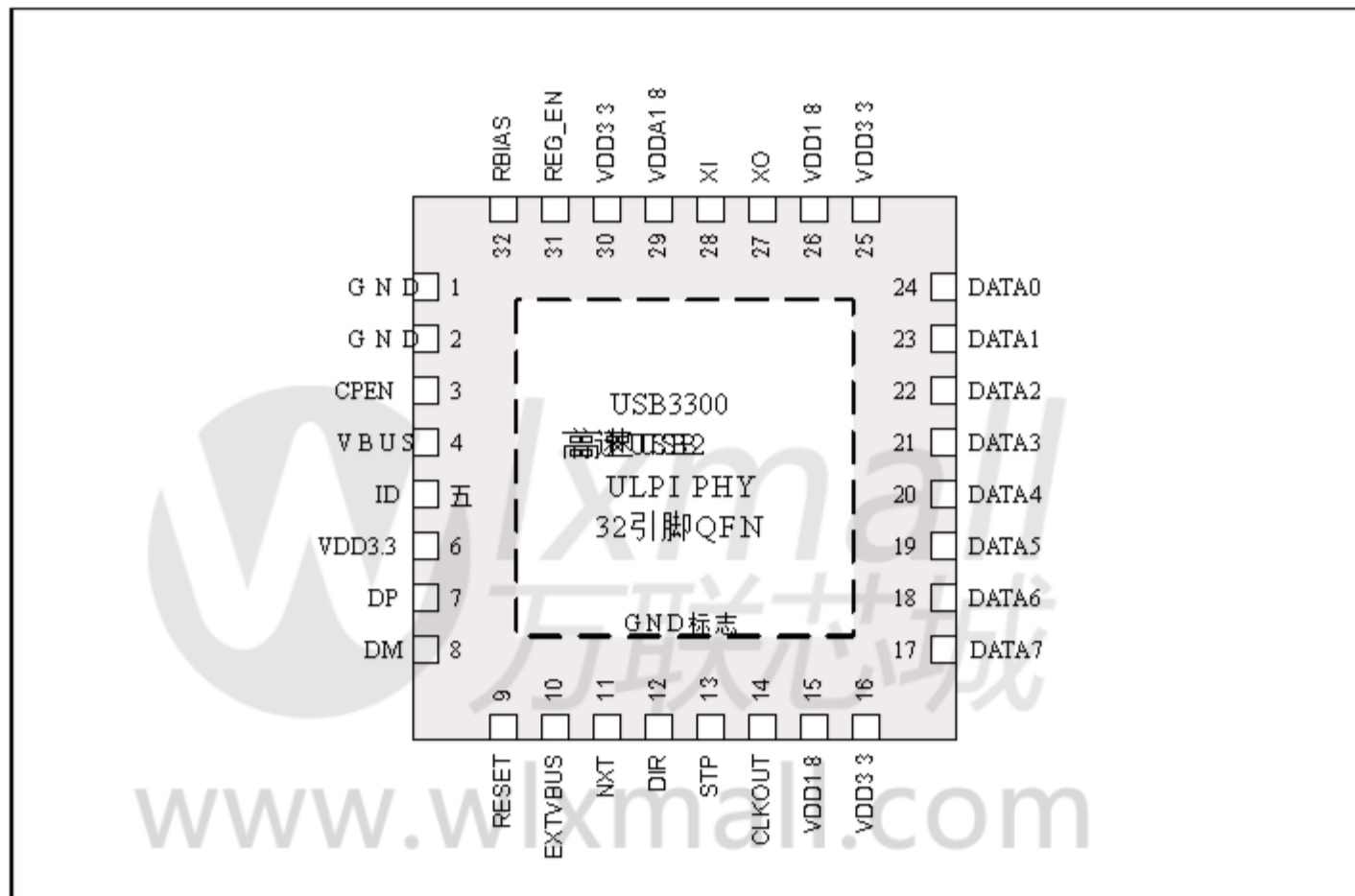


图3.1 USB3300引脚图 - 顶视图

QFN封装的外露标志必须通过阵列连接到地面平面。这是USB3300的主要接地连接。

### 3.2 引脚功能

表3.1 USB3300引脚定义32引脚QFN封装

销	名称	方向，类型	活性水平	描述
1	GND	地面	N/A	地面
2	GND	地面	N/A	地面
3	CPEN	输出，CMOS	高	外部5伏电源使能。此引脚用于启用外部Vbus电源。CPEN POR引脚电压低。

## 数据表

表3.1 USB3300引脚定义32引脚QFN封装（续）

销	名称	方向， 类型	活性 水平	描述
4	VBUS	I/O， 类似物	N/A	USB电缆的VBUS引脚。USB3300使用这个引脚用于Vbus比较器输入和Vbus在会话请求协议期间脉动。
5	ID	输入， 类似物	N/A	USB电缆的ID引脚。对于非OTG应用程序该引脚可以浮动。对于A设备ID = 0 B设备ID = 1。
6	VDD3.3	功率	N/A	3.3V电源。一个0.1uF的旁路电容应该是连接在这个引脚和地平面上PCB。
7	DP	I/O， 类似物	N/A	USB电缆的D+引脚。
8	DM	I/O， 类似物	N/A	USB电缆的D-引脚。
9	重启	输入，CMOS	高	可选主动高收发器复位。这是与写入ULPI复位地址04h位相同。这不会重置ULPI寄存器集。这个引脚包括一个集成的对地下拉电阻。如果不使用，该引脚可以浮动或连接到地面（推荐）。 有关详细信息，请参见第6.1.11节“重置引脚”。
10	EXTVBUS	输入，CMOS	高	外部Vbus检测。连接到一个故障输出外部USB电源开关或外部Vbus有效比较。请参见第6.5.4节“外部Vbus指示灯”，详细信息请参见第46页。此引脚有下拉电阻以防止其浮动时ULPI位UseExternalVbusIndicator设置为0。
11	NXT	输出， CMOS	高	PHY声称NXT调节数据。当...的时候链路正在向PHY发送数据，NXT指示何时当前字节已被PHY接受。该链接将数据总线上的下一个字节放入时钟周期之后。
12	DIR	输出， CMOS	N/A	控制数据总线的方向。当...的时候PHY有数据传输到链路，它驱动DIR高获得巴士的所有权。当PHY没有数据传输驱动器DIR低监视总线上的链接命令。该只要接口不能，PHY将拉高DIR从链路接收数据，例如在PLL启动期间，向上。
13	STP	输入， CMOS	高	链接断言STP一个时钟周期停止数据流当前在总线上。如果链接是发送数据到PHY，STP指示最后一个字节的数据在上一个周期的总线上。该STP引脚还包含接口保护。 在第6.1.9.3节“接口保护”中详细介绍第38页。
14	CLKOUT	输出， CMOS	N/A	60MHz参考时钟输出。所有的ULPI信号都是驱动同步到这个时钟的上升沿。
15	VDD1.8	功率	N/A	1.8V用于芯片上的数字电路。由片上提供Reg_EN处于活动状态时的调节器。放置一个0.1uF靠近此引脚的电容并连接电容从这个引脚到地面。将引脚15连接到引脚26。

表3.1 USB3300引脚定义32引脚QFN封装（续）

销	名称	方向， 类型	活性 水平	描述
16	VDD3.3	功率	N/A	应该连接一个0.1uF的旁路电容 此引脚与PCB上的接地层之间。
17	DATA [7]	I/O， CMOS， 拉低	N/A	8位双向数据总线。巴士所有权是 由DIR确定。链路和PHY启动数据 通过将非零模式驱动到数据上进行传输 总线。ULPI定义了单边的接口时序 数据传输相对于上升沿 CLKOUT。DATA [7]是MSB，DATA [0]是 LSB。
18	DATA [6]	I/O， CMOS， 拉低	N/A	
19	DATA [5]	I/O， CMOS， 拉低	N/A	
20	DATA [4]	I/O， CMOS， 拉低	N/A	
21	DATA [3]	I/O， CMOS， 拉低	N/A	
22	DATA [2]	I/O， CMOS， 拉低	N/A	
23	DATA [1]	I/O， CMOS， 拉低	N/A	
24	DATA [0]	I/O， CMOS， 拉低	N/A	
25	VDD3.3	功率	N/A	
26	VDD1.8	功率	N/A	1.8V用于芯片上的数字电路。由片上提供 Reg_EN处于活动状态时的调节器。使用时 内部稳压器，放置一个4.7uF低ESR电容器 靠近该引脚并连接来自该引脚的电容 到地面。将引脚26连接到引脚15。请勿连接 使用内部稳压器时，VDD1.8至VDDA1.8。 当调节器被禁用时，引脚29可能是 连接到引脚26和15。
27	XO	输出， 类似物	N/A	水晶针。如果在XI引脚上使用外部时钟 应该漂浮。
28	XI	输入， 类似物	N/A	水晶针。24MHz晶体支持。该 晶体被放置在XI和XO上。外部 24MHz时钟源可能会被驱动到XI中 的水晶。
29	VDDA1.8	功率	N/A	1.8V用于片上模拟电路。由On- 芯片调节器REG_EN处于活动状态时。放置一个 在此引脚附近连接0.1uF电容并连接 电容器从这个引脚到地面。使用时 内部稳压器，放置一个4.7uF低ESR电容器 靠近此引脚与0.1uF电容并联。做 使用内部时，不要将VDD1.8A连接到VDD1.8 监管机构。当监管机构被禁用时，销29 可以连接到引脚26和15。

数据表

表3.1 USB3300引脚定义32引脚QFN封装（续）

销	名称	方向， 类型	活性 水平	描述
三十	VDD3.3	功率	N/A	模拟3.3伏电源。0.1uF低ESR旁路电容器连接到PCB的接地层被推荐。
31	REG_EN	I/O， CMOS， 拉低	N/A	片上1.8V稳压器使能。连接到地面禁用片内（VDDA1.8和VDD1.8）监管机构。当监管机构被禁用时： <ul style="list-style-type: none"> <li>✓ 外部1.8V必须提供给VDDA1.8和VDD1.8引脚。当监管机构被禁用时，VDDA1.8可能连接到VDD1.8和a旁路电容（建议0.1uF）应该是连接到每个引脚。</li> <li>✓ VDD3.3的电压必须至少为2.64V（0.8 * 3.3V），然后将电压施加到VDDA1.8和VDD1.8。</li> </ul>
32	RBIAS	模拟， CMOS	N/A	外部12KΩ+/- 1% 偏置电阻接地。
	GND标志	地面	N/A	地面。国旗必须连接到地面带有暴露标志下通孔阵列的平面。这个是IC的主要基础。



## 第4章操作说明

表4.1最大保证额定值

参数	符号	条件	MIN	TYP	MAX	单位
最大的VBUS，ID，EXTVBUS，DP和DM电压到GND	V MAX_5V		-0.5		+5.5	V
最大VDD1.8和VDDA1.8电压至地面	V MAX_1.8V		-0.5		2.5	V
最大3.3V电源电压接地	V MAX_3.3V		-0.5		4	V
最大I/O电压地面	V MAX_IN		-0.5		4	V
工作温度	T MAX_OP		-40		85	C
储存温度	T MAX_STG		-55		150	C
<b>ESD性能</b>						
所有引脚	V HBM	人体模型	±8			千伏
<b>锁定性能</b>						
所有引脚	我 LTCH_UP	EIA / JESD 78, Class II	150			嘛

**注意：** 强调超出“绝对最大额定值”列出的可能会导致永久性设备损坏.长时间暴露于绝对最大额定值条件下可能影响设备的可靠性

表4.2推荐的操作条件

参数	符号	条件	MIN	TYP	MAX	单位
VDD3.3到GND	V DD3.3		3.0	3.3	3.6	V
数字输入电压 消	V I		0.0		V DD3.3	V
模拟I/O上的电压 引脚 (DP, DM, ID)	V I (I/O)		0.0		V DD3.3	V
VBUS到GND	V VBUS		0.0		5.25	
环境温度	T A.		-40		85	C

数据表

## 第5章 电气特性

表5.1电气特性：电源引脚

参数	符号	条件	TYP	MAX	单位
未配置的电	我 AVG (UCFG)	设备未配置	和空闲一样		嘛
FS空闲3.3V电	我 AVG (FS33)	FS闲置不传输数据	18.8	21.9	嘛
FS闲置1.8V电	我 AVG (FS18)	FS闲置不传输数据	36.4	43.2	嘛
FS发送3.3V电	我 AVG (FSTX33)	数据期间的FS电 流发送	36.0	41.6	嘛
FS发送1.8V电	我 AVG (FSTX18)	数据期间的FS电 流发送	36.8	43.2	嘛
FS接收3.3V电	我 AVG (FSRX33)	数据期间的FS电 流接收	22.5	27.0	嘛
FS接收1.8V电	我 AVG (FSRX18)	数据期间的FS电 流接收	36.7	43.4	嘛
HS空闲3.3V电	我 AVG (HS33)	HS闲置不传输数据	22.1	25.4	嘛
HS闲置1.8V电	我 AVG (HS18)	HS闲置不传输数据	38.7	45.6	嘛
HS发送3.3V电	我 AVG (HSTX33)	HS数据期间的电 流发送	25.4	29.0	嘛
HS发送1.8V电	我 AVG (HSTX18)	HS数据期间的电 流发送	39.1	46.2	嘛
HS接收3.3V电	我 AVG (HSRX33)	HS数据期间的电 流接收	23.0	26.6	嘛
HS接收1.8V电	我 AVG (HSRX18)	HS数据期间的电 流接收	39.6	46.8	嘛
低功耗模式3.3V电	我 DD (LPM33)	VBUS15kΩ下拉和 1.5kΩ上拉电阻 不包括电流.	59.4		微安
低功耗模式1.8V电	我 DD (LPM18)	VBUS15kΩ下拉和 1.5kΩ上拉电阻 不包括电流.	25.5		微安

笔记：

- ✓ V<sub>DD3.3</sub> = 3.0至3.6V, V<sub>SS</sub> = 0V, T<sub>A</sub> = -40°C至+85°C; 除非另有规定.
- ✓ SessEnd和VbusVld比较器被禁用. 禁用接口保护.
- ✓ 最大电流数是电源电压，温度和过程的最差情况.

表5.2电气特性：CLKOUT启动

参数	符号	条件	MIN	TYP	MAX	单位
暂停恢复时间	开始			2.25	3.5	女士

注意：USB330使用6.3节的AutoResume功能，主机启动时间小于1ms

表5.3直流电气特性：逻辑引脚

参数	符号	条件	MIN	TYP	MAX	单位
低电平输入电压	V <sub>IL</sub>		V <sub>SS</sub>		0.8	V
高电平输入电压	V <sub>IH</sub>		2.0		V <sub>DD3.3</sub>	V
低电平输出电压	V <sub>OL</sub>	我 OL = 8毫安			0.4	V
高电平输出电压	V <sub>OH</sub>	我 OH = -8毫安	V <sub>DD3.3</sub> - 0.4			V
输入漏电流	我 <sub>李</sub>				±10	微安
引脚电容	CPIN				4	pF的

注意：V<sub>DD3.3</sub> = 3.0至3.6V; V<sub>SS</sub> = 0V; T<sub>A</sub> = -40°C至+85°C; 除非另有规定。

表5.4直流电气特性：模拟I/O引脚（DP/DM）

参数	符号	条件	MIN	TYP	MAX	单位
<b>FS功能</b>						
<b>输入级别</b>						
差分接收器输入灵敏度	V <sub>DIFS</sub>	V(DP) - V(DM)	0.2			V
差分接收器共模电压	V <sub>CMFS</sub>		0.8		2.5	V
单端接收器低电平输入电压	V <sub>ILSE</sub>				0.8	V
单端接收器高电平输入电压	V <sub>IHSE</sub>		2.0			V
单端接收机滞后	V <sub>HYSSE</sub>		0.050		0.150	V
<b>输出水平</b>						
低电平输出电压	V <sub>FSOL</sub>	DP上的上拉电阻; R <sub>L</sub> = 1.5kΩ至V <sub>DD3.3</sub>			0.3	V
高电平输出电压	V <sub>FSOH</sub>	DP上的下拉电阻, DM; R <sub>L</sub> = 15kΩ至GND	2.8		3.6	V
<b>终止</b>						
驱动器输出阻抗 HS和FS	Z <sub>HSDRV</sub>	稳定的状态驱动器	40.5	45	49.5	Ω
输入阻抗	Z <sub>INP</sub>	TX, RPU禁用	1.0			MΩ
上拉电阻阻抗	Z <sub>PU</sub>	巴士空闲	0.900	1.24	1.575	千欧
上拉电阻阻抗	Z <sub>PURX</sub>	设备接收	1.425	2.26	3.09	千欧
拉电阻阻抗	Z <sub>PD</sub>		14.25	15.0	15.75	千欧

数据表

表5.4直流电气特性：模拟I/O引脚（DP/DM）（续）

参数	符号	条件	MIN	TYP	MAX	单位
<b>HS功能</b>						
<b>输入级别</b>						
HS差分输入灵敏度	V DIHS	$ V(DP) - V(DM) $	100			毫伏
HS数据信令通用模式电压范围	V CMHS		-50		500	毫伏
HS Squelch检测阈值（差分）	V HSSQ	静噪阈值			100	毫伏
		非静噪阈值	150			毫伏
<b>输出水平</b>						
高速低电平输出电压（DP/DM参考GND）	V HSOL	45Ω负载	-10		10	毫伏
高速高级别输出电压（DP/DM参考GND）	V HSOH	45Ω负载	360		440	毫伏
高速怠速水平输出电压（DP/DM参考GND）	V OLHS	45Ω负载	-10		10	毫伏
Chirp-J输出电压（微分）	V CHIRPJ	HS终端电阻禁用，上拉电阻连接的.45Ω负载.	700		1100	毫伏
Chirp-K输出电压（微分）	V CHIRPK	HS终端电阻禁用，上拉电阻连接的.45Ω负载.	-900		-500	毫伏
<b>泄漏电流</b>						
关闭状态泄漏电流	I LZ				±10	微安
<b>端口电容</b>						
收发器输入电容	C IN	引脚连接到GND		五	10	pF的

注意：V DD3.3 = 3.0至3.6V; V SS = 0V; T A = -40°C至+85°C; 除非另有规定.

表5.5动态特性：模拟I/O引脚（DP/DM）

参数	符号	条件	MIN	TYP	MAX	单位
<b>FS输出驱动器时序</b>						
上升时间	T FSR	C L = 50pF; 10到90% $ V(OH) - V(OL) $	4	20		NS
下降时间	T FFF	C L = 50pF; 10到90% $ V(OH) - V(OL) $	4	20		NS
输出信号交叉电压	V CRS	排除第一个从IDLE状态转换	1.3		2.0	V

表5.5动态特性：模拟I/O引脚（DP/DM）（续）

参数	符号	条件	MIN	TYP	MAX	单位
差分上升/下降时间 匹配	FRFM	排除第一个 从IDLE状态转换	90		111.1	%
<b>HS输出驱动器时序</b>						
差分上升时间	T HSR		500			PS
差分下降时间	T HSF		500			PS
驱动波形 要求		模板1的眼图 在USB 2.0规范中				
<b>高速模式时序</b>						
接收机波形 要求		模板4的眼图 在USB 2.0规范中				
数据源抖动和 接收器抖动容差		模板4的眼图 在USB 2.0规范中				

注意：V<sub>DD3.3</sub> = 3.0至3.6V; V<sub>SS</sub> = 0V; T<sub>A</sub> = -40°C至+85°C; 除非另有规定。

表5.6 OTG电气特性

参数	符号	条件	MIN	TYP	MAX	单位
SessEnd旅程点	V <sub>SessEnd</sub>		0.2	0.5	0.8	V
SessVld旅行点	V <sub>SessVld</sub>		0.8	1.4	2.0	V
VBUSVld跳闸点	V <sub>VbusVld</sub>		4.4	4.58	4.75	V
Vbus上拉	R <sub>VbusPu</sub>	Vbus连接到V <sub>DD3.3</sub> (ChargeVbus = 1)	281	340		Ω
Vbus拉下	R <sub>VbusPd</sub>	Vbus连接到GND (DisChargeVbus = 1)	656	850		Ω
Vbus阻抗	R <sub>Vbus</sub>	Vbus连接到GND	40	75	100	千欧
ID上拉电阻	R <sub>IdPullUp</sub>	<i>IdPullup</i> = 1	80	100	120	千欧
ID上拉电阻	R <sub>Id</sub>	<i>IdPullup</i> = 0	1			MΩ
STP上拉电阻	R <sub>STP</sub>	<i>InterfaceProtectDisable</i> = 0	240	330	600	千欧

注意：V<sub>DD3.3</sub> = 3.0至3.6V; V<sub>SS</sub> = 0V; T<sub>A</sub> = -40°C至+85°C; 除非另有规定。

表5.7稳压器输出电压

参数	符号	条件	MIN	TYP	MAX	单位
V <sub>DDA1.8</sub>	V <sub>DDA1.8</sub>	普通手术 (SuspendM = 1)	1.6	1.8	2.0	V
V <sub>DDA1.8</sub>	V <sub>DDA1.8</sub>	低功耗模式 (SuspendM = 0)		0V		
V <sub>DD1.8</sub>	V <sub>DD1.8</sub>		1.6	1.8	2.0	V

注意：V<sub>DD3.3</sub> = 3.0至3.6V; V<sub>SS</sub> = 0V; T<sub>A</sub> = -40°C至+85°C; 除非另有规定。

具有ULPI低引脚接口的高速USB主机，器件或OTG PHY

## 数据表

### 5.1 内部振荡器的压电谐振器

内部振荡器可以与所述的外部石英晶体或陶瓷谐振器一起使用。在6.3节.推荐的晶体规格见表5.8.陶瓷的表5.9见表5.9用于商业温度应用的谐振器部件号.此时，陶瓷谐振器在工业温度范围内不能提供足够的温度稳定性。

表5.8 USB3300石英晶体规格

参数	符号	MIN	NOM	MAX	单位	笔记
水晶切割	AT, 典型值					
晶体振荡模式	基本模式					
晶体校准模式	并联谐振模式					
频率	F 基金	- 2 4 -			兆赫	
允许的PPM总预算		-	-	±500	PPM	注5.1
并联电容	CO	- 7 typ -			pF的	
负载电容	CL	-	20典型	-	pF的	
驱动器级别	PW	0.5	-	-	毫瓦	
等效串联电阻	R1	-		三十	欧姆	
工作温度范围		注5.2	-	注5.3	°C	
USB3300 XI引脚电容		-	3典型	-	pF的	注5.4
USB3300 XO引脚电容		-	3典型	-	pF的	注5.4

注5.1 高速USB应用所需的比特率精度为±500 ppm，如下所示。USB 2.0规范.这考虑到电压，温度，老化的影响，等等

注5.2 0 °C用于商业应用，-40 °C用于工业应用。

注5.3 商业应用为+70 °C，工业应用为+85 °C。

注5.4 这个数字包括焊盘，焊线和引线框架.印刷电路板（PCB）电容不包括在此值中. PCB电容值和XO和XI引脚的电容值需要精确计算两个外部负载电容。

表5.9 USB3300陶瓷谐振器部件号

频率	村田零件号码	笔记
24 MHz	CSTCE24M0XK1 *** - R0	仅商业温度，注释5.5

注5.5 这是村田制作的通用零件编号.振荡频率受到影响.印刷电路板（PCB）上的杂散电容.村田将分配最后的部分.在表征客户的PCB设计之后，为每位客户的PCB提供数字。

## 第6章体系结构概述

USB3300架构可以分解为如图6.1所示的以下模块，下面是“简化的USB3300架构”。

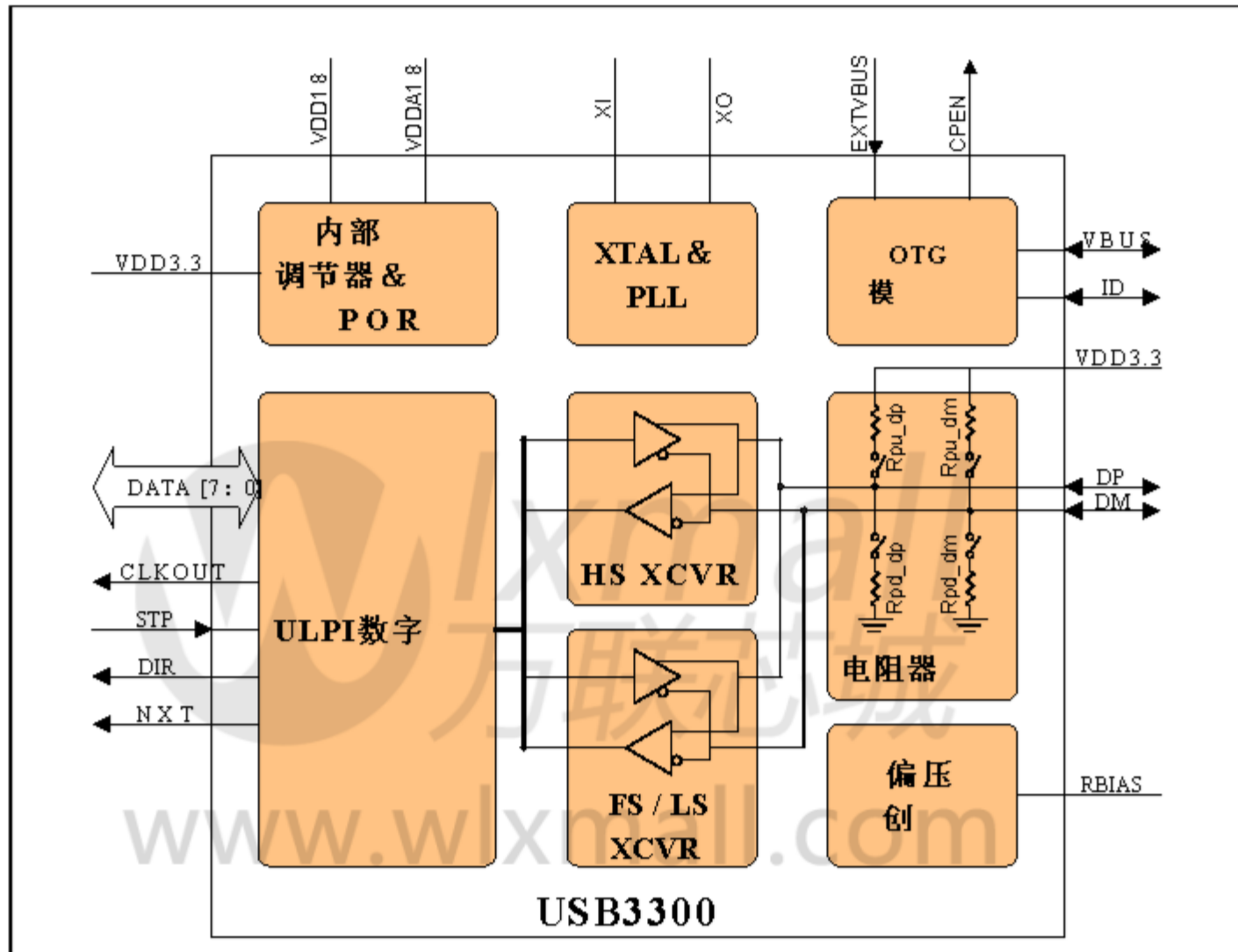


图6.1简化的USB3300架构

### 6.1 ULPI数字

USB3300使用业界标准的ULPI数字接口来促进之间的通信PHY和链路（设备控制器）。ULPI接口旨在减少引脚数量。需要将分立的USB PHY连接到ASIC或数字控制器。例如，一个完整的UTMI + 3级OTG接口需要54个信号，而ULPI接口只需要12个信号。

ULPI接口完全记录在“UTMI + 低引脚接口（ULPI）规范”文件（[www.ulpi.org](http://www.ulpi.org)）。以下部分突出了关键的操作模式的USB3300数字接口。



在图6.2“ULPI数字模块图”中，单个ULPI协议块对ULPI 8位双向数据进行解码，当链路寻址PHY时，链接必须使用DIR输出来确定ULPI数据总线的方向。USB3300是“总线仲裁器”。ULPI协议块将路由数据/命令发送到变送器或ULPI寄存器阵列。

## 6.1.2 ULPI接口信号

UTMI +低引脚接口（ULPI）使用12引脚将完整的OTG主机/设备PHY连接至SOC。PHY的外部引脚的减少是通过认识到许多相对静态的配置引脚（xcvrselect [1: 0]，termselect，opmode [1: 0]和DpPullDown DmPulldown列出a很少，）可以通过具有内部静态寄存器阵列来实现。

一个时钟频率为60Mhz的8位双向数据总线允许Link访问这个内部寄存器阵列并将USB数据包传输到PHY.其余3个引脚用于控制数据流并仲裁数据总线。

8位数据总线的方向由PHY的DIR输出控制.另一个输出NXT被使用控制数据流入和流出设备.最后，输入到PHY的STP终止转移并用于启动并从暂停状态恢复。

这12个信号在表6.1“ULPI接口信号”中有描述。

表6.1 ULPI接口信号

信号	方向	描述
CLKOUT	OUT	60MHz参考时钟输出.所有的ULPI信号都被同步驱动这个时钟的上升沿.
DATA [7: 0]	I/O	8位双向数据总线.巴士所有权由DIR决定.链接和PHY通过将非零模式驱动到数据总线上来启动数据传输. ULPI定义了单边沿数据传输相对于上升沿的接口时序的CLKOUT.
DIR	OUT	控制数据总线的方向.当PHY有数据传输到链接，它驱动DIR高获取总线的所有权.当PHY没有数据时传输它驱动DIR低和监视总线的链接命令.该只要接口不能接收来自链路的数据，PHY就会将DIR拉高，如在PLL启动期间.
STP	在	链接断言STP一个时钟周期来停止当前的数据流总线.如果链路正在向PHY发送数据，则STP指示数据的最后一个字节是在上一个周期的公交车上.
NXT	OUT	PHY声称NXT调节数据.链接正在向数据发送数据时PHY，NXT指示当前字节已被PHY接受.该链接在下一个时钟周期中将下一个字节放置在数据总线上.

USB3300实现了一个单数据速率（SDR）ULPI接口，所有数据传输都正在进行CLKOUT的上升沿。CLKOUT由PHY提供。

ULPI接口支持两种基本工作模式，即同步模式和低功耗模式.同步模式，信号全部相对于60MHz输出而改变.低电里时钟处于挂起状态并且数据总线的低两位包含“0”的模式linestate [1: 0]信号. ULPI增加了低功耗模式，一个中断输出允许链接到当OTG比较器或ID引脚改变状态时接收异步中断。

在同步模式下，数据在CLKOUT的上升沿传输.的方向数据总线由DIR的状态决定.当DIR为高电平时，PHY正在驱动DATA [7: 0].什么时候DIR低，Link正在驱动DATA [7: 0].

## 数据表

每次DIR改变时，“链接”周期都会发生，链路或PHY都不驱动数据总线一个时钟周期。在“翻转”周期中，DATA [7: 0]的状态未知，PHY将不会读取数据总线。

由于USB使用位填充编码，所以允许PHY节制USB传输数据是必要的。ULPI信号NXT用于请求下一个字节被放置在数据总线由链路层。

### 6.1.3 ULPI接口时序

控制和数据时序关系如图6.3“ULPI时序图”和表6.2所示，“ULPI接口时序”。USB300 PHY提供CLKOUT，所有时序都与上升相关时钟边缘。以下详细说明确定的时序关系仅适用于同步模式。

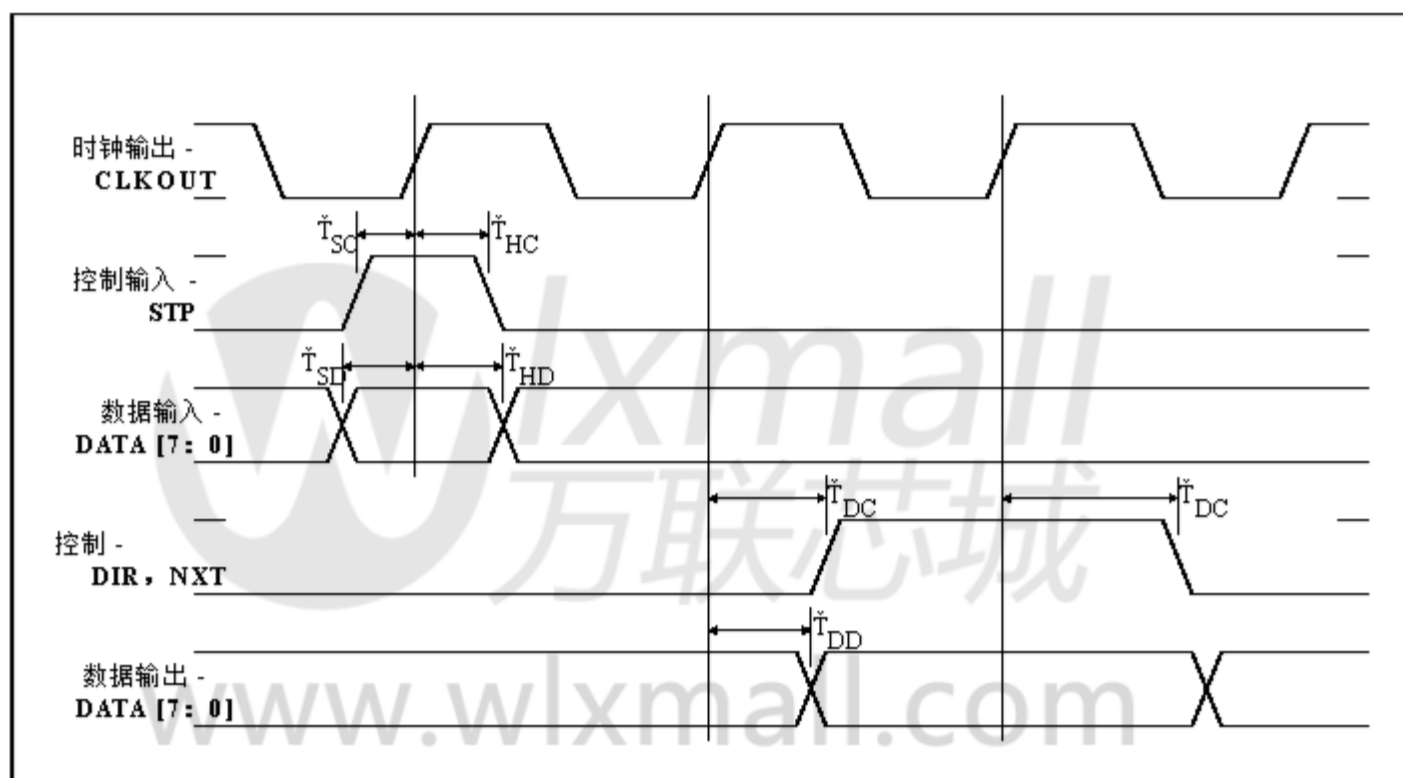


图6.3 ULPI时序图

表6.2 ULPI接口时序

参数	符号	MIN	MAX	单位
建立时间（控制输入，8位数据输入）	T <sub>SC</sub> ，T <sub>SD</sub>	5		NS
保持时间（控制输入，8位数据）	T <sub>HC</sub> ，T <sub>HD</sub>	为 0	n s	
输出延迟（控制输出，8位数据输出）	T <sub>DC</sub> ，T <sub>DD</sub>	2.0	5	NS

注意：V<sub>DD3.3</sub> = 3.0至3.6V; V<sub>SS</sub> = 0V; T<sub>A</sub> = -40°C至85°C; 除非另有规定。

### 6.1.4 ULPI寄存器阵列

USB3300 PHY实现了ULPI修订版1.1规范中详述的所有ULPI寄存器。完整的USB3300 ULPI寄存器组显示在表6.3“ULPI寄存器映射”中。所有寄存器都是8位。该表还包括POR时寄存器的默认状态。中的RESET位

功能控制寄存器不会复位ULPI寄存器阵列的位.链接不应该阅读或写入本表中未列出的任何寄存器.

表6.3 ULPI寄存器映射

注册名称	默认州	地址 (6BIT)			
		读	写	组	明确
供应商ID低	24小时	00 H	-	-	-
供应商ID高	04 H	01 H	-	-	-
产品ID低	04 H	02 H	-	-	-
产品ID高	00 H	03 H	-	-	-
功能控制	41 H	04-06h	04 H	05 H	06 H
接口控制	00 H	07-09h	07 H	08 H	09 H
OTG控制	06 H	0A-0CH	0AH	0B H	0CH
USB中断使能上升	1FH	0D-的0Fh	0D H	0EH	0FH
USB中断使能下降	1FH	10-12小时	10 H	11 H	12 小时
USB中断状态	00 H	13 H	-	-	-
USB中断锁存	00 H	14 H	-	-	-
调试	00 H	15小时	-	-	-
划痕登记	00 H	16-18小时	16 小时	17 H	18 小时

#### 6.1.4.1 供应商ID低: 地址= 00h (只读)

字段名称	BIT	默认	描述
供应商ID低	7: 0	24小时	SMSC供应商ID

#### 6.1.4.2 供应商ID高: 地址= 01h (只读)

字段名称	BIT	默认	描述
供应商ID高	7: 0	04H	SMSC供应商ID

具有ULPI低引脚接口的高速USB主机，器件或OTG PHY

## 数据表

### 6.1.4.3 产品ID低：地址= 02h（只读）

字段名称	BIT	默认	描述
产品ID低	7: 0	04H	SMSC产品ID修订版A0

### 6.1.4.4 供应商ID低：地址= 03h（只读）

字段名称	BIT	默认	描述
产品ID高	7: 0	00H	SMSC产品ID修订版A0

### 6.1.4.5 功能控制：地址= 04-06h（读取），04h（写入），05h（设置），06h（清除）

字段名称	BIT	默认	描述
XcvrSelect [1: 0]	1: 0	01B	选择所需的收发器速度。 00b: 启用HS收发器 01b: 启用FS收发器 10b: 启用LS收发器 11b: 为LS数据包启用FS收发器（FS前导码自动预先填写）
TermSelect	2	0B	根据XcvrSelect控制DP和DM终端，OpMode，DpPulldown和DmPulldown。Dp和DM <a href="#">表6.8“DP / DM终止与信令模式”</a> 。
OPMODE	4: 3	00B	在传输过程中选择所需的位编码风格。 00b: 正常操作 01b: 非驾驶 10b: 禁用位填充和NRZI编码 11b: 保留
重启	五	0B	主动高收发器复位。此重置不会重置ULPI接口或寄存器组。复位后自动清除完成。
SuspendM	6	1B	低电平有效PHY挂起。当清除时，PHY将进入低电平电源模式， <a href="#">详见第6.1.9节“低功耗模式”</a> 。退出低功耗模式时自动设置。
保留的	7	0B	低驱动。

## 6.1.4.6 接口控制：地址= 07-09h（读取），07h（写入），08h（设置），09h（清除）

字段名称	BIT	默认	描述
6针FsLsSerialMode	0	0B	将ULPI接口更改为6引脚串行模式。PHY将会在退出串行模式时自动清除该位。
3针FsLsSerialMode	1	0B	将ULPI接口更改为3引脚串行模式。PHY将会在退出串行模式时自动清除该位。
保留的	2	0B	低驱动。
ClockSuspendM	3	0B	使链接能够在串行模式下打开60MHz CLKOUT。 0b：在串行模式下禁用时钟。 1b：在串行模式下使能时钟。
AutoResume	4	0B	仅适用于主机模式。自动启用PHY 传送恢复信号。该部分详细介绍了该功能 6.1.7.4，“主机恢复K”。
IndicatorComplement	五	0B	反转EXTVBUS信号。该部分详细介绍了该功能 6.5.4，“外部Vbus指示器”。
IndicatorPassThru	6	0B	禁用和内部VBUS比较器 EXTVBUS输入置位时。该功能详见 第6.5.4节。
InterfaceProtectDisable	7	0B	用于禁用用于的集成STP上拉电阻 接口保护。该功能在第6.1.9.3节中详细介绍， “接口保护”。

## 6.1.4.7 OTG控制：地址= 0A-0Ch（读），0Ah（写），0Bh（置1），0Ch（清除）

字段名称	BIT	默认	描述
IdPullup	0	0B	将ID引脚的上拉电阻连接至VDD3.3 0b：禁止上拉电阻 1b：使能上拉电阻
DpPulldown	1	1B	启用DP上的15k欧姆下拉电阻。 0b：下拉电阻未连接到DP 1b：连接到DP的下拉电阻
DmPulldown	2	1B	启用DM上的15k欧姆下拉电阻。 0b：下拉电阻没有连接到DM 1b：连接到DM的下拉电阻
DischrgVbus	3	0B	该位仅在SRP期间使用。连接VBUS的电阻 接地放电VBUS。 0b：断开VBUS到地的电阻 1b：将电阻从VBUS连接到地
ChrgVbus	4	0B	该位仅在SRP期间使用。连接VBUS的电阻 至VDD3.3以将VBUS充电至SessValid阈值以上。 0b：断开VBUS到VDD3.3的电阻 1b：将电阻从VBUS连接到VDD3.3

数据表

字段名称	BIT	默认	描述
DrvVbus	5	0B	用于启用外部5伏电源以在VBUS上驱动5伏。该信号或DrvVbusExternal。 0b: 不要驱动VBUS 1b: 驱动VBUS
DrvVbusExternal	6	0B	用于启用外部5伏电源以在VBUS上驱动5伏。该信号由DrvVbus控制。 0b: 不要驱动VBUS 1b: 驱动VBUS
UseExternalVbus 指示符	7	0B	告诉PHY使用外部VBUS过电流或电压指示符。该功能在第6.5.4节“外部”中详细介绍Vbus指示符。 0b: 使用内部VbusValid比较器 1b: 与VbusValid信号一样使用EXTVBUS输入。

**6.1.4.8 USB中断使能上升：地址= 0D-0Fh（读），0Dh（写），0Eh（置1），0Fh（明确）**

字段名称	BIT	默认	描述
HostDisconnect上升	0	1B	Hostdisconnect时生成中断事件通知由低到高变化。仅适用于主机模式。
VbusValid上涨	1	1B	Vbusvalid更改时生成中断事件通知从低到高。
SessValid上升	2	1B	SessValid更改时生成中断事件通知从低到高。
SessEnd崛起	3	1B	SessEnd更改时生成中断事件通知从低到高。
IdGnd崛起	4	1B	IdGnd更改时生成中断事件通知从低到高。
保留的	7: 5	0H	低驱动。

**6.1.4.9 USB中断使能下降：地址= 10-12h（读），10h（写），11h（置1），12h（明确）**

字段名称	BIT	默认	描述
HostDisconnect Fall	0	1B	Hostdisconnect时生成中断事件通知由高变低。仅适用于主机模式。
VbusValid秋季	1	1B	Vbusvalid更改时生成中断事件通知从高到低。
SessValid Fall	2	1B	SessValid更改时生成中断事件通知从高到低。

数据表

字段名称	BIT	默认	描述
SessEnd秋季	3	1B	SessEnd更改时生成中断事件通知 从高到低.
IdGnd秋季	4	1B	IdGnd更改时生成中断事件通知 从高到低.
保留的	7: 5	0H	低驱动.

#### 6.1.4.10 USB中断状态寄存器：地址= 13h（只读且自动清除）

字段名称	BIT	默认	描述
HostDisconnect	0	0B	UTMI + Hostdisconnect输出的当前值.适用 仅在主机模式下.
VbusValid	1	0B	UTMI + Vbusvalid输出的当前值.
SessValid	2	0B	UTMI + SessValid输出的当前值.
SessEnd	3	0B	UTMI + SessEnd输出的当前值.
IdGnd	4	0B	UTMI + IdGnd输出的当前值.
保留的	7: 5	0H	低驱动.

#### 6.1.4.11 USB中断状态：地址= 14h（只读且自动清除）

字段名称	BIT	默认	描述
HostDisconnect锁存	0	0B	当发生非屏蔽事件时，由PHY设置为1b Hostdisconnect.读取该寄存器时清零.适用 仅在主机模式下.
VbusValid门锁	1	0B	当发生非屏蔽事件时，由PHY设置为1b VbusValid.读取该寄存器时清零.
SessValid Latch	2	0B	当发生非屏蔽事件时，由PHY设置为1b SessValid.读取该寄存器时清零.
SessEnd Latch	3	0B	当发生非屏蔽事件时，由PHY设置为1b SessEnd.读取该寄存器时清零.
IdGnd门锁	4	0B	当发生非屏蔽事件时，由PHY设置为1b IdGnd.读取该寄存器时清零.
保留的	7: 5	0H	低驱动.

具有ULPI低引脚接口的高速USB主机，器件或OTG PHY

**数据表**

**6.1.4.12 调试寄存器：地址 = 15h（只读）**

字段名称	BIT	默认	描述
Linestate0	0	0B	包含Linestate [0]的当前值.
Linestate1	1	0B	包含LineState [1]的当前值.
保留的	7: 2	000000b	低驱动.

**6.1.4.13 暂存寄存器：地址 = 16-18h（读取），16h（写入），17h（设定），18h（清除）**

字段名称	BIT	默认	描述
刮	7: 0	00H	空寄存器字节用于测试目的.软件可以读取，写，设置和清除该寄存器和PHY功能不受影响.

**6.1.4.14 Carokit注册访问**

Carokit寄存器保留用于SMSC测试，不应写入链接或由链接读取。

**6.1.4.15 扩展寄存器访问**

扩展寄存器保留用于SMSC测试，不应写入链接或由链接读取。

**6.1.4.16 供应商注册访问**

供应商特定的寄存器保留用于SMSC测试，不应写入或读取链接.供应商特定的寄存器包括从30h到3Fh的范围。

**6.1.5 ULPI寄存器访问**

来自链路的命令开始从链路到USB 3300的ULPI传输.任何时候链接想要写或读ULPI寄存器，链接将需要等到DIR低，然后发送一个将命令字节（TXD CMD）发送到PHY. TXD CMD字节通知PHY的类型数据正在发送. TXD CMD之后是到PHY的数据传输或来自PHY的数据传输.表6.4“ULPI TXD CMD Byte Encoding”给出了USB 3300的TXD命令字节（TXD CMD）编码 TX CMD的高两位指示PHY关于链路正在发送什么类型的分组。

**表6.4 ULPI TXD CMD字节编码**

命令名称	CMD 位[7: 6]	CMD BITS [5: 0]	命令描述
闲	00 B	000000b	ULPI空闲
发送	01 B	000000b	没有数据包标识符的USB传输数据包 (NOPID)
		00XXXXb	USB发送分组标识符 (PID) 其中DATA [3: 0] 等于4位PID. P 3 P 2 P 1 P 0 其中P 3 是MSB.

表6.4 ULPI TXD CMD字节编码（续）

命令名称	CMD 位[7: 6]	CMD BITS [5: 0]	命令描述
注册写	10 B	XXXXXXb	立即寄存器写命令在哪里 DATA [5: 0] = 6位寄存器地址
注册阅读	11 B	XXXXXXb	立即寄存器读命令在哪里 DATA [5: 0] = 6位寄存器地址

### 6.1.5.1 ULPI寄存器写入

ULPI寄存器的写操作如图6.4所示。带有寄存器写入的TXD命令  
DATA [7: 6] = 10b由T0处的链路驱动。寄存器地址被编码到数据的[5: 0]中  
TXD CMD字节。

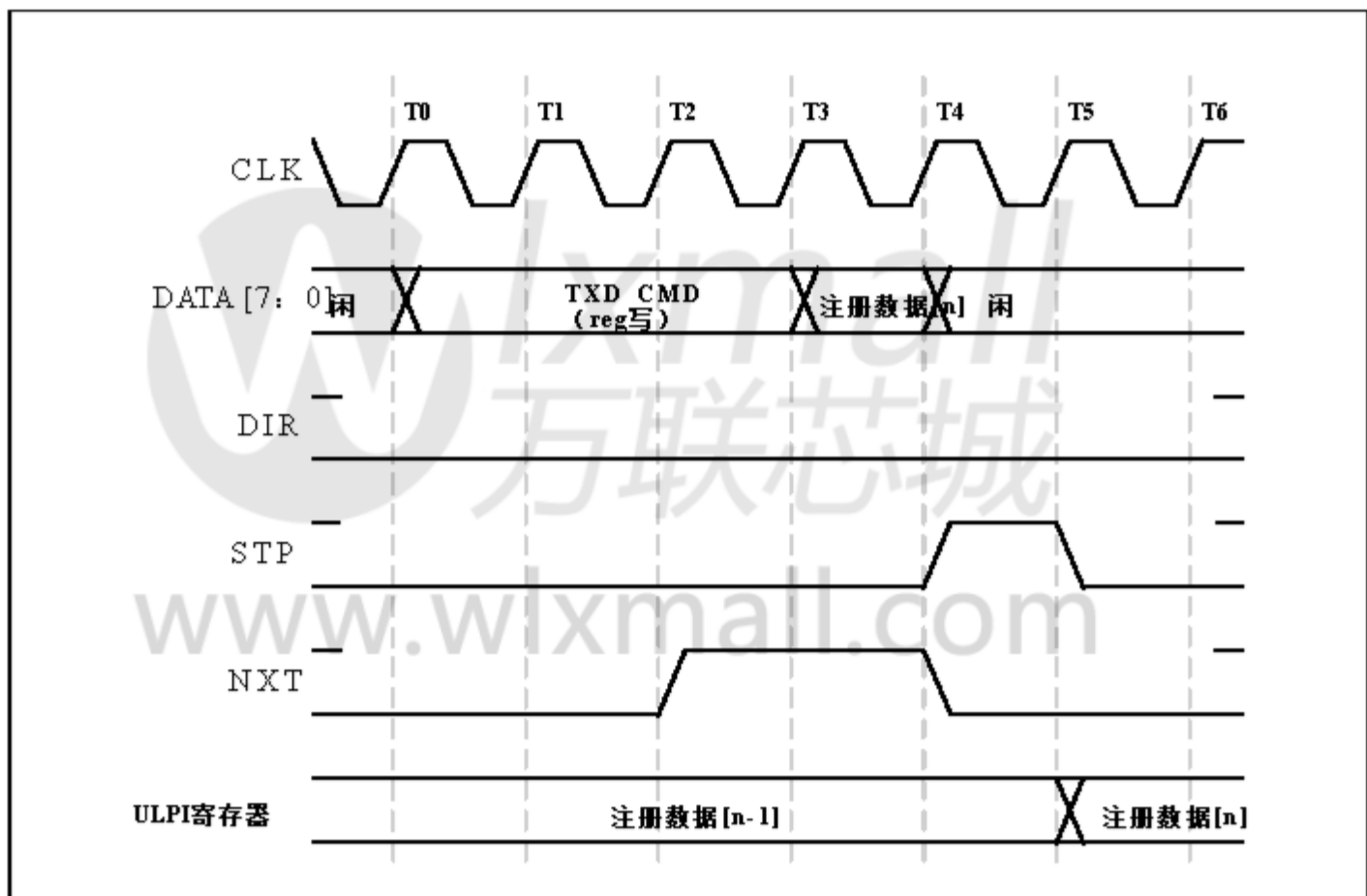


图6.4 ULPI寄存器写入

要写入寄存器，链接将等待直到DIR为低，并在T0时，驱动数据总线上的TXD CMD。  
在T2时，PHY将推动NXT高速运行。在下一个时钟上升沿T3，链路将写入寄存器  
数据。在T4时，PHY将接受寄存器数据，链路将驱动总线上的空闲和驱动  
STP为高电平以表示数据包的结束。最后，在T5，PHY将把数据锁存到寄存器中  
并推动NXT走低。该链接将拉低STP。

NXT用于控制Link何时驱动总线上的寄存器数据。DIR在整个过程中都很低  
因为PHY正在从链路接收数据。STP用于结束事务和数据  
在STP解除后注册。写入操作完成后，链接必须驱动a  
数据总线或USB 3300上的ULPI空闲（00h）可以将总线值解码为ULPI命令。

数据表

6.1.5.2 ULPI寄存器读取

ULPI寄存器的读操作如图6.5所示.该链接用DATA [7: 6]驱动一个TXD CMD字节 = 11h寄存器读取. ULPI TXD命令再见的DATA [5: 0]包含寄存器地址.

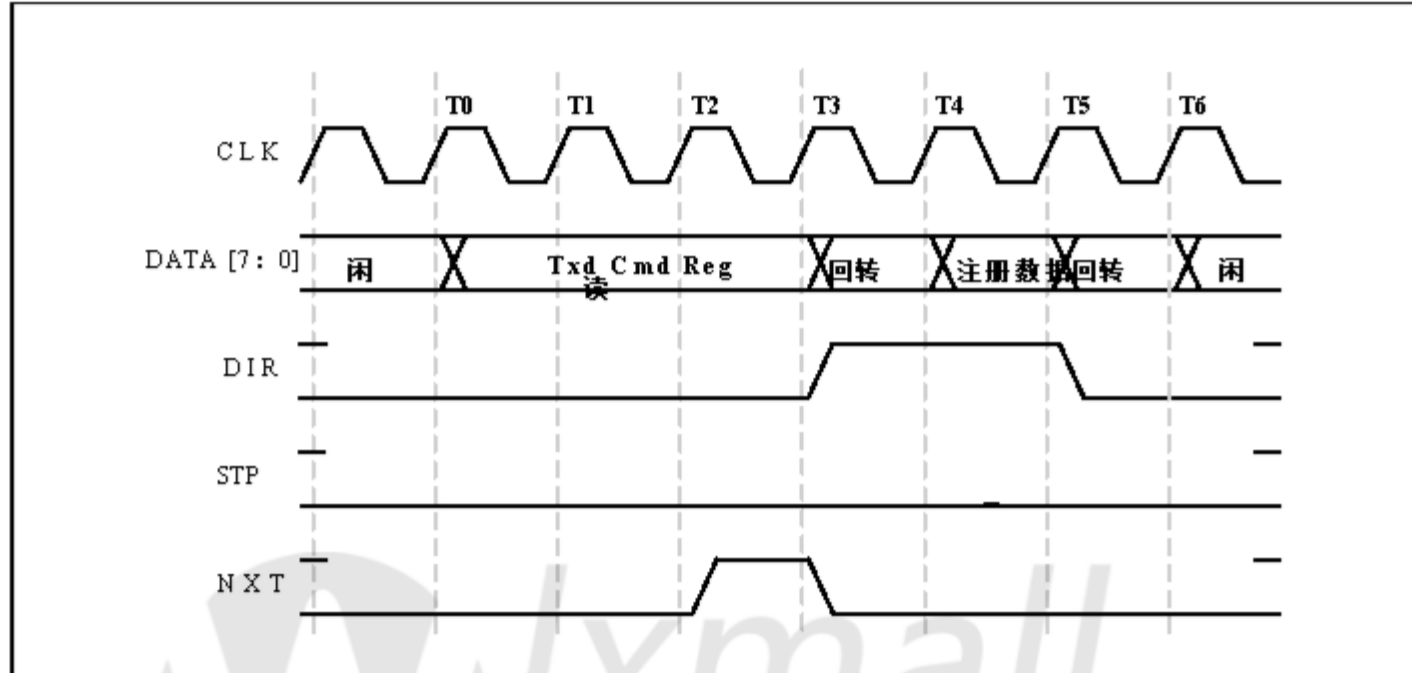


图6.5 ULPI寄存器读取

在T0，链路将TXD CMD放置在数据总线上.在T2，PHY将使NXT处于高电平，发出信号即该链接已准备好接受数据传输.在T3，PHY读取TXD CMD，确定它是一个寄存器读取，并断言DIR来获得总线的控制权. PHY还会解除NXT的标识.在T4，总线所有权已转移回PHY，PHY驱动所请求的寄存器到数据总线上.在T5时，链路将读取数据总线，并且PHY将降低DIR低返回控制的巴士回到Link.在周转周期之后，链路必须在T6处驱动ULPI空闲命令.

6.1.6 ULPI RXD CMD

该链接需要线状态[1: 0]提供的几个更重要的信息状态，rxactive，rxvalid和rxerror.当实现OTG功能时，Vbus和ID引脚状态也必须转入链接.

ULPI定义包含此信息的接收命令字节（RXD CMD）.编码的RXD CMD字节在表6.5“ULPI RX CMD编码”中给出.

当PHY处于同步模式时，发生RXD CMD字节的传输.总线. RXD CMD的传输发生在：发送CMD发出STP时，线状态发生变化不发送，USB接收或中断事件.

在图6.2“ULPI数字模块图”中，ULPI协议模块确定何时发送RXD CMD.当线状态发生变化时，如果DIR输出为低电平，RXD CMD将立即发送.

发生USB接收时NXT = 0且DIR = 1时发送RXD CMD  
发生USB发送RXD CMD在STP断言结束后返回链接  
链接到USB3300传输字节在传输上发送.

总结一个RXD CMD传输发生：

- ✓ DIR低时发生线状态变化.
- ✓ 当Vbus和/或ID比较器改变状态时.

- ↘ NXT低时USB接收期间.
- ↘ 在STP在USB发送命令期间被声明后.

表6.5 ULPI RX CMD编码

DATA [7: 0]	名称	描述和价值																									
[1: 0]	Linestate	UTMI线状态信号 DATA [1] = Linestate [1] DATA [0] = Linestate [0]																									
[3: 2]	编码 VBUS 州	<p><b>编码的VBUS电压状态</b></p> <table border="1"> <thead> <tr> <th>值</th> <th>VBUS电压</th> <th>SESEND</th> <th>SESSVLD</th> <th>VBUSVLD 2</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>V VBUS &lt;V SESS_END</td> <td>10</td> <td></td> <td>0</td> </tr> <tr> <td>01</td> <td>V SESS_END &lt;V VBUS &lt; V SESS_VLD</td> <td>00</td> <td></td> <td>0</td> </tr> <tr> <td>10</td> <td>V SESS_VLD &lt;V VBUS &lt; V VBUS_VLD</td> <td>X1</td> <td></td> <td>0</td> </tr> <tr> <td>11</td> <td>V VBUS_VLD &lt;V VBUS</td> <td>XX</td> <td></td> <td>1</td> </tr> </tbody> </table>	值	VBUS电压	SESEND	SESSVLD	VBUSVLD 2	00	V VBUS <V SESS_END	10		0	01	V SESS_END <V VBUS < V SESS_VLD	00		0	10	V SESS_VLD <V VBUS < V VBUS_VLD	X1		0	11	V VBUS_VLD <V VBUS	XX		1
值	VBUS电压	SESEND	SESSVLD	VBUSVLD 2																							
00	V VBUS <V SESS_END	10		0																							
01	V SESS_END <V VBUS < V SESS_VLD	00		0																							
10	V SESS_VLD <V VBUS < V VBUS_VLD	X1		0																							
11	V VBUS_VLD <V VBUS	XX		1																							
[5: 4]	Rx事件 编码	<p><b>编码的UTMI事件信号</b></p> <table border="1"> <thead> <tr> <th>值</th> <th>RXACTIVE</th> <th>RXERROR</th> <th>HOSTDISCONNECT</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>01</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>11</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>10</td> <td>X</td> <td>X</td> <td>1</td> </tr> </tbody> </table>	值	RXACTIVE	RXERROR	HOSTDISCONNECT	00	0	0	0	01	1	0	0	11	1	1	0	10	X	X	1					
值	RXACTIVE	RXERROR	HOSTDISCONNECT																								
00	0	0	0																								
01	1	0	0																								
11	1	1	0																								
10	X	X	1																								
[6]	的状态 ID引脚	设置为ID引脚的逻辑状态.逻辑低表示A器件.逻辑高表示B设备.																									
[7]	保留的	总是																									

**笔记：**

1. An 'X' is a do not care and can be either a logic 0 or 1.

2.表6.10“外部Vbus指示逻辑”中定义了VbusValid的值.

### 6.1.7 USB3300发射器

USB3300 ULPI发射器完全支持HS, FS和LS发射操作.图6.2, “ULPI数字方框图”显示了受控的高速, 全速和低速发射器模块由ULPI协议块提供. USB数据包的编码遵循比特填充和NRZI中概述USB 2.0规范.许多这些功能在高速和全速/低速之间重复使用

**发射器.当使用USB3300时, 请参见表6.8, “DP / DM终端与信令模式”**

始终用作指导如何配置各种操作模式.发射机

解码Xcvrselect, Termselect, opmodes, DpPulldown和DmPulldown的输入以确定预计什么操作.用户必须严格遵守表6.8中给出的操作模式.

发射机模块中设计了一些设备和主机的重要功能.

## 数据表

USB3300发送器将在每个高速数据包之前发送一个32位长的高速同步信号。在全速和低速模式下，传输一个8位同步。

当设备或主机需要啁啾进行高速端口协商时，Opmode位= 10将打开关闭发射机中的比特填充和NRZI编码。在啁啾声结束时，USB3300 Opmode寄存器位只有在RXCMD线状态编码指示发送器后才应该改变。已完成传输，该opmode应该切换到正常的位填充和NRZI编码。在发送流水线是空的之前，流水线中的剩余数据可以按照比特位东西编码格式。

有关USB复位和HS啁啾的详细讨论，请参阅ULPI规范。

### 6.1.7.1 高速长EOP

当作为高速主机运行时，USB3300将自动产生一个40位长的结束数据包（EOP）在SOF PID（A5h）之后。USB3300决定何时发送40位长EOP解码SOF的ULPI TXD CMD位[3: 0]。40位长的EOP只在传输时发送。DpPulldown和DmPulldown位被置位。高速40位长EOP用于检测a在高速模式下断开。

在设备模式下，USB3300在SOF PID后不会发送长EOP。

### 6.1.7.2 低速保持活跃

USB3300支持低速运行。处于低速（10b）时，USB3300将发送当收到一个SOF PID时，输出SE0的两个低速位时间。

### 6.1.7.3 UTMI + 3级

UTMI + Level 3兼容性支持前导码。当Xcvrselect在主机模式下被设置为（11b）时，（dpPulldown和dmPulldown都声明），USB3300将预先放置一个全速前导码低速数据包。在此模式下使用全速上升和下降时间。前导码由...组成如下：全速同步，编码的预先PID（C3h），然后是全速空闲（DP = 1和DM = 0）。一个低速数据包跟随一个同步，数据和LS EOP。

### 6.1.7.4 主持人简历K

USB3300支持恢复K代。当USB3300退出暂停低电平时电源状态下，USB3300作为主机运行时，将在DP / DM上传输K。发射机将以SE0结束K两次低速位时间。如果USB3300在高速运行模式之前，主机必须在SE0结束之前切换到高速模式。SE0是两个低速比特时间约为1.2 us。

ULPI规范对恢复顺序和操作顺序进行了明确的讨论需要。

在设备模式下，恢复K不会附加SE0，但释放DP / DM线以允许拉动直到将总线返回到正确的空闲状态，具体取决于USB3300的工作模式。请参阅表6.8“DP / DM终端与信令模式”。

### 6.1.7.5 无SYNC和EOP生成（Opmode 11）（可选）

UTMI +定义了一个opmode 11，其中在Hi-Speed操作中不会产生同步和EOP产生。这个是ULPI规范的一个选项，并未在USB3300中实施。

### 6.1.7.6 典型的USB传输与ULPI

图6.6“ULPI发送”显示了典型的USB发送序列。一个传输序列由Link发送TXD CMD，其中DATA [7: 6] = 01b，DATA [5: 4] = 00b，Data [3: 0] = PID。TX CMD随后是发送数据。形成数据记录到发射机的时间稍后出现在DP和DM 11高速位时间。这一次是HS\_TX\_START\_DELAY。

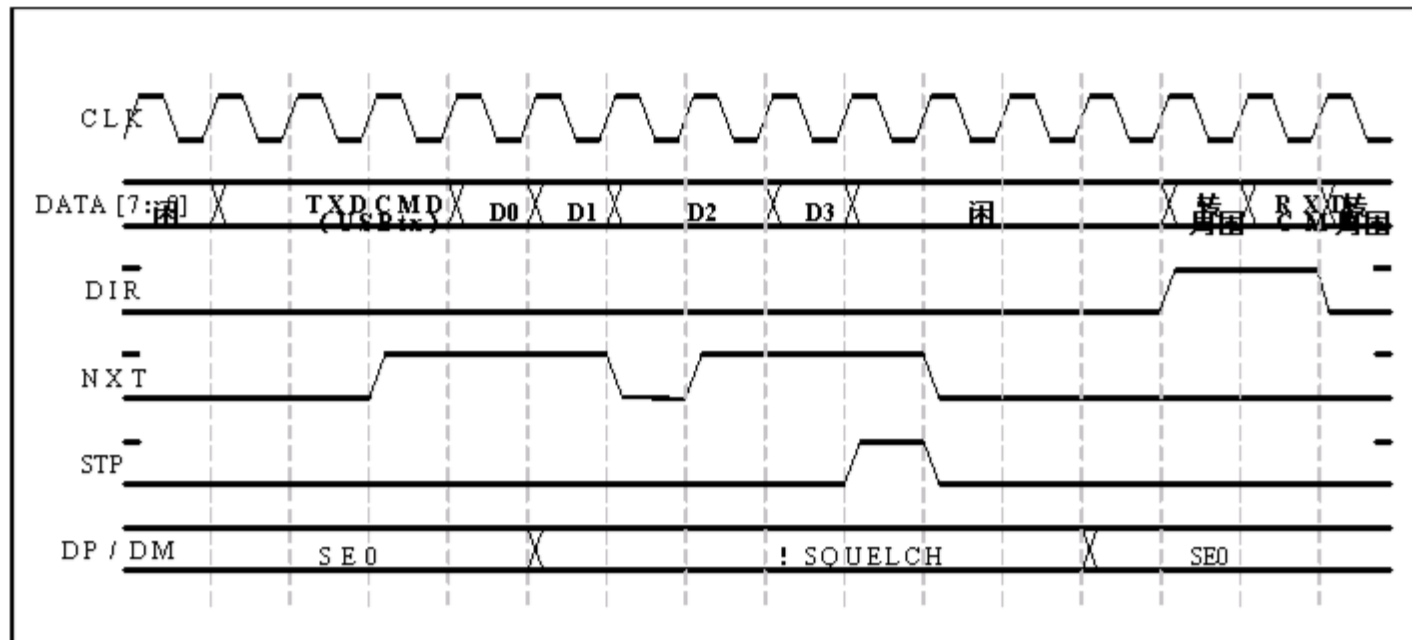


图6.6 ULPI传输

在发送期间，PHY将使用NXT来控制数据流入PHY的速率。如果USB3300流水线已满或比特填充导致数据流水线溢出，NXT被取消断言，链路将会保持数据值直到NXT被声明。当链路断言STP时USB传输结束。NXT被认定。（请注意，自USB3300以来，链路无法断言与NXT无效的STP期望在此状态下从Link中获取另一个字节）。

一旦USB3300完成发送，DP/DM线路返回到空闲状态，并且RXD CMD返回到链路，以便分组间定时器可以通过线路状态更新。

在全速或低速的情况下，一旦STP置位，每次FS/LS位转换就会生成。由于比特时间相对较慢，因此一个RXD CMD。

### 6.1.8 USB3300接收器

USB3300 ULPI接收器完全支持HS，FS和LS传输操作。在所有三种模式中接收器检测到数据包的开始并与输入数据包同步。在ULPI协议中，接收到的数据包具有优先权并且将立即在寄存器读取和RXD CMD传输之后进行。图6.7“ULPI接收”显示了USB3300通过ULPI接收到的基本USB数据包接口。

数据表

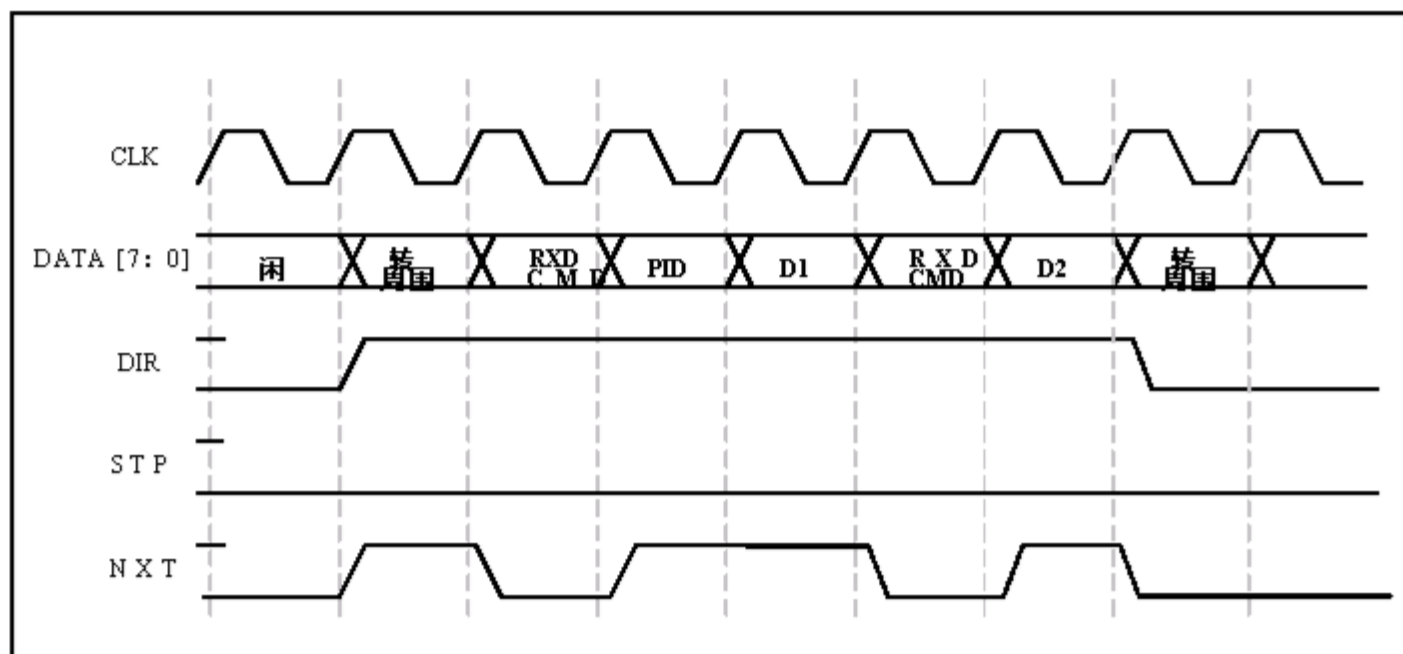


图6.7 ULPI接收

在图6.7中，“ULPI接收”PHY声明DIR从链路中控制数据总线。该DIR和NXT在同一循环中的声明包含Rxactive所提供的附加信息。断言。当NXT被撤销并且DIR被声明时，RXD CMD数据被传送到链路。在USB接收数据包的最后一个字节传输到PHY后，线路状态将返回到空闲状态。

ULPI全速接收器根据UTMI / ULPI规范运行。在全速情况下，只有当数据总线有一个有效的接收数据字节时，NXT信号才会有效。NXT低时在DIR为高电平时，RXD CMD在数据总线上被驱动。

全速时，USB 3300不会在RXD CMD中发出Rxactive解除声明，直到DP / DM线状态转换到空闲状态。这可以防止链接违反两个全速位时间的最小值周转时间。

6.1.8.1 断开检测

高速主机必须通过在长EOP期间采样发送器输出来检测断开连接。在SOF包中传输。USB3300仅在长时间内寻找高速断开EOP，其中时间足够长，以使断开反射返回到主机PHY。当一个发生高速断开连接时，USB3300将返回一个RXD CMD并将主机断开位置入ULPI中断状态寄存器（地址13h）。

当处于FS或LS模式时，链路预计将处理所有断连检测。

6.1.9 低功耗模式

低功耗模式是在USB会话暂停时节省电流的省电状态。该当PHY进入或退出低功耗模式时的链路控制。在低功耗模式下的所有除了接口引脚，全速接收器，VBUS比较器和ID以外，电路关闭比较。

6.1.9.1 进入低功耗/暂停模式

要进入低功耗模式，链路将写入0或清除功能控制中的SuspendM位寄存器。一旦这个写入完成，PHY将断言DIR为高电平，并在5个上升沿之后CLKOUT，将时钟驱动为低电平。一旦时钟停止，PHY将进入低功耗状态节省电流。

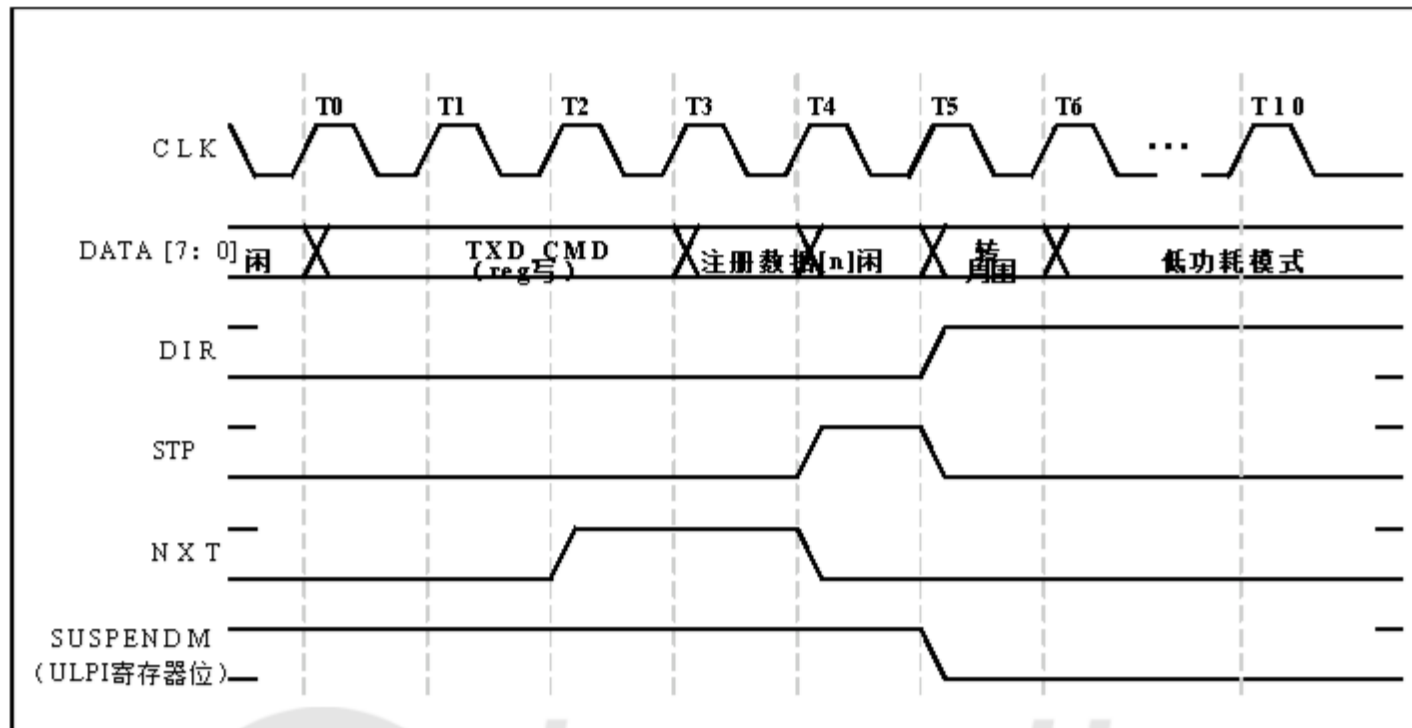


图6.8 进入低功耗模式

在低功耗模式下，数据接口被重新定义，以便链路可以监测线状态和状态  $V_{bus}$  电压。在低功耗模式下，DATA [3: 0] 被重新定义，如表 6.6 “接口信号”所示。低功耗模式下的映射“Linestate [1: 0] 是全速的组合输出接收器。“int”或中断信号表示发生了未屏蔽的中断。当一个未被屏蔽的中断或线路状态改变已经发生，链路被通知并且可以确定它是否应该唤醒PHY。

表6.6 低功耗模式下的接口信号映射

信号	映射到	方向	描述
linestate [0]	DATA [0]	OUT	FS模拟接收器直接驱动组合线路状态[0]。
linestate [1]	DATA [1]	OUT	FS模拟接收器直接驱动组合线路状态[1]。
保留的	DATA [2]	OUT	低驱动
INT	DATA [3]	OUT	主动高中断指示。任何时候都必须声明未屏蔽的中断发生。
保留的	DATA [7: 4]	OUT	低驱动

未被屏蔽的中断可能由以下比较器更改状态引起， $V_{busVld}$ ， $SessVld$ ， $SessEnd$ 和 $IdGnd$ 。如果这些信号中的任何一个在低功耗模式期间改变状态，上升沿或下降沿中断使能，DATA [3] 将置位。在低功耗模式下， $V_{busVld}$   $SessEnd$ 比较器可以屏蔽它们的中断以降低暂停电流。参考第 6.1.9.4 节“在低功耗模式下最小化电流”。

在低功耗模式下，由于所有PHY时钟都是异步驱动数据总线的，在低功耗模式下停止。

数据表

6.1.9.2 退出低功耗模式

要退出低功耗模式，链路将断言STP.在STP断言后，USB3300将开始其启动程序. PHY启动完成后，PHY将在CLKOUT和CLKOUT上启动时钟解除断言DIR.一旦DIR被取消断言，链路可以在准备就绪并开始时取消断言STP在同步模式下工作. PHY会自动将SuspendM位设置为1功能控制寄存器.

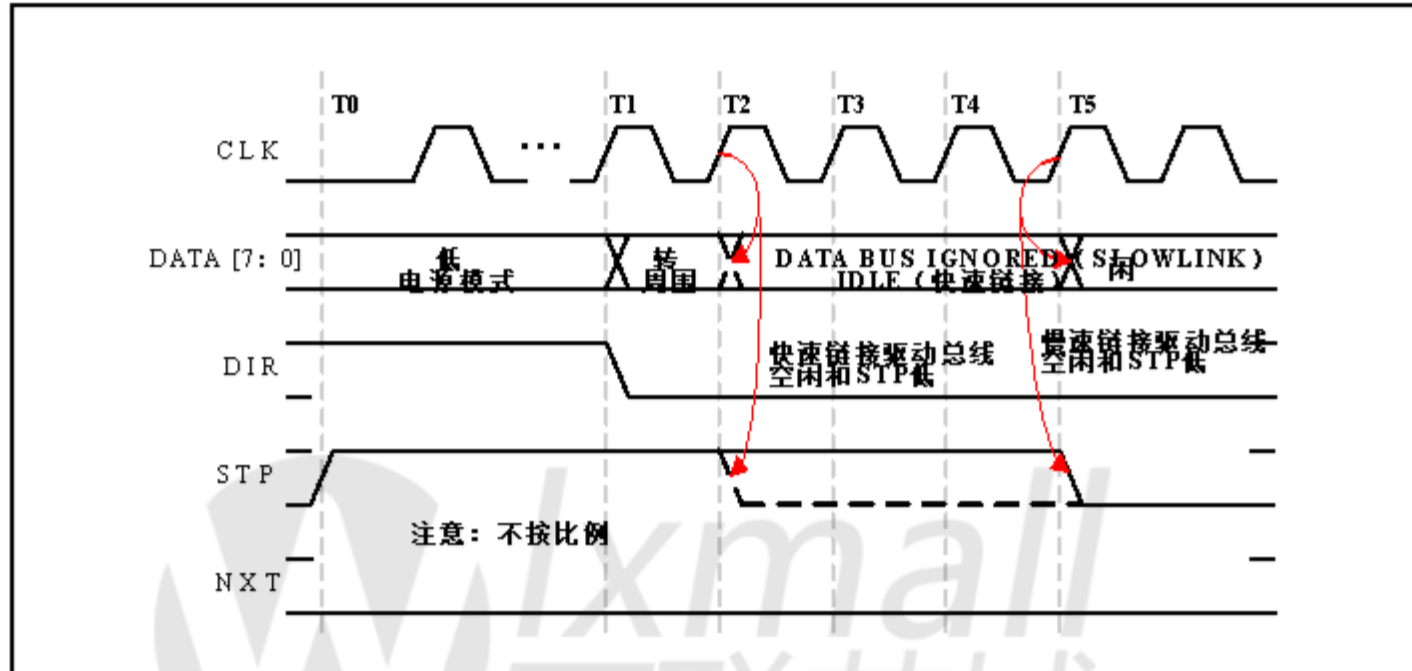


图6.9退出低功耗模式

表5.2“电气特性：CLKOUT启动”中给出了从T0到T1的时间第16页.

如果链路在DIR之前解除STP无效，则USB3300将检测为假恢复请求并返回低功耗模式.这在ULPI 1.1的第3.9.4节中有详细说明规范.

6.1.9.3 接口保护

ULPI协议假定链路和PHY都将保持由ULPI驱动的ULPI数据总线DIR为低电平时为链接，DIR为高电平时为PHY.唯一的例外是当DIR改变时状态并在1个时钟周期内出现转向周期.

在USB系统的设计中，可能会出现链接可能无法驱动ULPI总线的情况在DIR较低的情况下进入已知状态.这可能发生的两个例子是由于链接缓慢启动或硬件重置.

启动保护

在启动时，当PHY断言DIR时，链路必须准备好接收命令和驱动空闲在数据总线上.如果链路没有准备好接收命令或驱动空闲，它必须断言STP在DIR被取消断言之前.链路可以在STP完成启动时解除STP.如果链路在它接收命令之前没有断言STP，PHY可以将数据总线状态解释为TX CMD并将无效数据传输到USB总线上，或进行无效的寄存器写操作.

链路应设计为STP输出的默认POR状态为高电平，数据总线为三态，说明. USB3300在DATA总线上具有弱下拉以防止这些输入浮空当不驱动时.

在某些情况下，链路可能是软件配置的，并且不能控制它的STP引脚，直到在之后PHY已经开始。在这种情况下，USB3300在STP输入板上有一个内部上拉电阻，在链路的STP输出为三态时拉高STP。STP上拉电阻在POR上使能并可通过设置接口控制寄存器的InterfaceProtectDisable位7来禁用。

STP上拉电阻会将链路的STP输入拉高，直到链路配置并驱动STP高。一旦Link完成启动，STP可以同步驱动为低电平。

在POR期间将STP拉高的链接设计可以通过设置禁用STP上的上拉电阻InterfaceProtectDisable位为1。这样做的动机是减少暂停电流。低功耗模式下，STP保持低电平，这将通过STP上的上拉电阻吸收电流。

### 温暖的重置

设计人员还应该考虑在低功耗模式下使用PHY进行温度重启的情况。一旦PHY进入低功耗模式，DIR被置位并且时钟停止。USB3300外观STP被断言重新启动时钟，然后恢复正常的同步操作。

如果USB3300处于低功耗模式，并且链路收到硬件复位，规定允许PHY从低功耗模式恢复并开始其时钟。如果链接在复位时置位STP，PHY将退出低功耗模式并开始其时钟。

如果链路没有在复位时断言STP，则可以使用接口保护上拉。当链接被复位，其STP输出将处于三态，上拉电阻将拉高STP，向PHY发送信号重新开始时钟。

#### 6.1.9.4 最小化低功耗模式下的电流

为了最大限度地减少低功耗模式下的挂起电流，可以禁用OTG比较器减少暂停电流。暂停期间，不需要VbusVld和SessEnd比较器并且可以使用USB中断允许上升和USB中断允许下降寄存器来禁止。通过禁止在上升和下降寄存器中的中断，SessEnd和VbusVld比较器关掉。退出挂起时，链接应立即重新启用比较器，如果主机或OTG功能是必需的。

除了禁用挂起的OTG比较器之外，Link还可以选择禁用接口保护电路。通过设置接口控制位7，InterfaceProtectDisable为高，链接可以禁用STP上的上拉电阻。

#### 6.1.10 全速/低速串行模式

USB3300包含两种串行模式以支持使用3pin或6pin的传统链接串行格式。要进入串行模式，链接将需要写入1到6引脚的FsLsSerialMode或接口控制寄存器中的3引脚FsLsSerialMode位。提供6引脚串行模式传统的链接设计，不建议用于新设计。

串行模式的输入方式与进入低功耗模式相同。链接写道特定串行模式的接口控制寄存器位。USB3300将断言DIR并关闭在至少五个时钟周期后关闭时钟。然后数据总线转换为串行模式的格式选择。

默认情况下，PHY将关闭60MHz时钟以节省功耗。链路是否需要60Mhz时钟在串行操作模式期间继续接口控制的ClockSuspendM位[3]。在进入串行模式之前，应先设置寄存器。如果设置，则60 Mhz时钟将在此期间出现串行模式。

在串行模式下，中断可能来自未屏蔽的源。每个中断源的状态为在断言DIR之前进行采样，并将其与异步级别进行比较中断源。

退出串行模式与退出低功耗模式相同。链路必须断言STP发信号PHY退出串行模式。然后PHY可以接受一个命令，DIR被取消断言，PHY将一直等到链路解除断言STP才能恢复同步ULPI操作。

具有ULPI低引脚接口的高速USB主机，器件或OTG PHY

## 数据表

### 6.1.10.1 3pin FS / LS串行模式

三引脚串行模式利用数据总线引脚实现表6.7“引脚”中所示的串行功能定义在3引脚串行模式”。

表6.7 3引脚串行模式下的引脚定义

信号	连接的至	方向	描述
成为Tx_enable	DATA [0]	在	主动高传输启用
数据	DATA [1]	I / O	当tx_enable为高电平时，DP / DM上的Tx差分数据 当tx_enable为低时，来自DP / DM的RX差分数据
SE0	DATA [2]	I/O	当tx_enable为高时，DP / DM上的Tx SE0 当tx_enable为低时，来自DP / DM的RX SE0
打断	DATA [3]	OUT	在发生任何未屏蔽的中断时置位.积极高

### 6.1.11 重置引脚

只要USB3300处于保持状态，USB3300的复位输入可以被异步置位和取消置位在断言状态下连续持续大于一个时钟周期的持续时间.重置输入可能会在USB3300 clkout信号未激活时置位（即处于挂起状态）断言SuspendM位），但只有在USB3300 clkout信号为低电平时才能复位复位有效并且复位已经被保持持续大于一个时钟周期的持续时间.没有其他PHY数字输入信号可能在解除断言后的两个clkout时钟周期内改变状态.复位信号.

## 6.2 高速USB收发器

SMSC高速USB 2.0收发器由右下角的四个块组成  
图6.1“简化的USB3300架构”.这四个块被标记为HS XCVR，FS / LS XCVR，电阻器和偏压器.

### 6.2.1 高速和全速收发器

USB3300收发器符合USB 2.0规范的所有要求.

接收器直接连接到USB电缆.该模块包含一个独立的差分接收器HS和FS模式.根据模式，选定的接收器提供串行数据流.通过多路复用器连接到RX逻辑模块. FS / HS接收模块的FS模式部分也是如此.由每条数据线上的单端接收器组成，以确定正确的FS线路状态.对于HS模式支持，FS / HS RX模块包含一个静噪电路，以确保绝不会将噪音解释为数据.

发送器直接连接到USB电缆.该块包含一个单独的差速器FS和HS发送器，它接收来自TX逻辑模块的编码的，位填充的串行数据并发送它到USB电缆上.

### 6.2.2 终端电阻

USB3300收发器完全集成了所有USB终端电阻. USB3300包含DP和DM上的1.5kΩ上拉电阻以及DP和DM上的15kΩ下拉电阻.该还集成了45Ω高速终端电阻.这些电阻不需要调谐或调整

由链接电阻器的状态由PHY的工作模式决定。可能的表6.8“DP / DM终端与信令模式”中显示了有效的电阻组合。手册在下表中给出的配置中有保证。

- ✓ RPU\_DP\_EN激活1.5kΩDP上拉电阻
- ✓ RPU\_DM\_EN激活1.5kΩDM上拉电阻
- ✓ RPD\_DP\_EN激活15kΩDP下拉电阻
- ✓ RPD\_DM\_EN激活15kΩDM下拉电阻
- ✓ HSTERM\_EN激活45ΩDP和DM高速终端电阻

表6.8 DP / DM终止与信令模式

信号模式	寄存器设置					电阻设置				
	XCVRSELECT[1:0]	TERMSELECT	OPMODE[1:0]	DPPULLDOWN	DMPULLDOWN	RPU_DP_EN	RPU_DM_EN	RPD_DP_EN	RPD_DM_EN	HSTERM_EN
<b>常规设置</b>										
三态驱动	X X B	XB	0 1 B	XB	XB	0 b 0	0 b 0	0 b 0		
上电或Vbus < V SESEND	0 1 B	0B	0 0 b 1 b		1B	0 b 0	0 b 1 b 1 b	0 b		
<b>主机设置</b>										
主持人Chirp	0 0 B	0B	1 0 b 1 b		1B	0 b 0	0 b 1 b 1 b 1 b			
主机高速	0 0 B	0B	0 0 b 1 b		1B	0 b 0	0 b 1 b 1 b 1 b			
全速主机	X 1 B	1B	0 0 b 1 b		1B	0 b 0	0 b 1 b 1 b 0 b			
主机HS / FS挂起	0 1 B	1B	0 0 b 1 b		1B	0 b 0	0 b 1 b 1 b 0 b			
主持HS / FS简历	0 1 B	1B	1 0 b 1 b		1B	0 b 0	0 b 1 b 1 b 0 b			
主机速度低	1 0 B	1B	0 0 b 1 b		1B	0 b 0	0 b 1 b 1 b 0 b			
主机LS挂起	1 0 B	1B	0 0 B	1B	1B	0B	0B	1B	1B	0B
主机LS恢复	1 0 B	1B	1 0 b 1 b		1B	0 b 0	0 b 1 b 1 b 0 b			
主机测试J / Test_K	0 0 B	0B	1 0 b 1 b		1B	0 b 0	0 b 1 b 1 b 1 b			
<b>外设设置</b>										
外围啁啾	0 0 B	1B	1 0 B	0B	0B	1B	0B	0B	0B	0B
外设HS	0 0 B	0B	0 0 B	0B	0B	0B	0B	0B	0B	1B
外设FS	0 1 B	1B	0 0 B	0B	0B	1B	0B	0B	0B	0B
外设HS / FS暂停	0 1 B	1B	0 0 B	0B	0B	1B	0B	0B	0B	0B
外设HS / FS恢复	0 1 B	1B	1 0 B	0B	0B	1B	0B	0B	0B	0B
外设LS	1 0 B	1B	0 0 B	0B	0B	0B	1B	0B	0B	0B
外设LS挂起	1 0 B	1B	0 0 B	0B	0B	0B	1B	0B	0B	0B

数据表

表6.8 DP / DM终端与信令模式（续）

信号模式	寄存器设置					电阻设置				
	XCVRSELECT[1:0]	TERMSELECT	OPMODE[1:0]	DPPULLDOWN	DMPULLDOWN	RPU_DP_EN	RPU_DM_EN	RPD_DP_EN	RPD_DM_EN	HSTERM_EN
外设LS恢复	10B	1B	1 0 B	0B	0B	0B	1B	0B	0B	0B
外设测试J /测试K	00B	0B	1 0 B	0B	0B	0B	0B	0B	0B	1B
OTG设备，外围啁啾声	00B	1B	1 0 B	0B	1B	1B	0B	0B	1B	0B
OTG设备，外设HS	00B	0B	0 0 B	0B	1B	0B	0B	0B	1B	1B
OTG设备，外设FS	01B	1B	0 0 B	0B	1B	1B	0B	0B	1B	0B
OTG设备，外设HS / FS挂起	01B	1B	0 0 B	0B	1B	1B	0B	0B	1B	0B
OTG设备，外设HS / FS恢复	01B	1B	1 0 B	0B	1B	1B	0B	0B	1B	0B
OTG设备，外围测试J /测试K	00B	0B	1 0 B	0B	1B	0B	0B	0B	1B	1B

注意：这与ULPI 1.1规范的表40第4.4节相同。

### 6.2.3 偏置发生器

该模块由一个内部带隙基准电路组成，用于产生驱动电流和模拟电路的偏置。该块需要外部12KΩ，1%容差，外部参考电阻从RBIAS连接到地。

## 6.3 晶体振荡器和PLL

USB3300使用内部晶体驱动器和PLL子系统提供干净的480MHz参考。在发送和接收期间由PHY使用的时钟。USB3300需要一个干净的24MHz晶体或时钟作为频率参考。如果24MHz参考噪声或PHY频率偏离可能无法正常运行。

USB3300可以使用晶振或外部时钟振荡器来实现24MHz参考。该晶体连接到XI和XO引脚，如应用程序图7.1所示。如果一个时钟使用振荡器时钟应连接到XI输入端，并且XO引脚悬空。当一个使用外部时钟，XI引脚设计为使用0至3.3伏信号驱动。当使用一个外部时钟用户需要注意确保外部时钟源足够干净。腐蚀高速眼球表现。

一旦480MHz锁相环锁定到正确的频率，它将以60MHz的频率驱动CLKOUT引脚时钟。USB3300保证在表5.2“电气”中规定的时间内启动时钟。特性：CLKOUT启动“USB3300不支持使用外部60MHz时钟输入。

对于主机应用程序，USB3300在接口控制中实现ULPI AutoResume位寄存器。默认的AutoResume状态为0，并且应该为主机应用程序启用此位。对于更多详细信息请参见USB规范的第7.1.77和7.9节。

## 6.4 内部监管机构 and POR

USB3300包含一整套内置的电源管理功能，包括POR。发电机内部稳压器使得USB3300可以使用单个3.3伏电源供电，从而减少物料清单并简化产品设计。

### 6.4.1 内部监管机构

USB3300有两个内部稳压器，可产生两个1.8V输出（标记为VDD1.8和VDDA1.8）来自3.3伏电源输入（VDD3.3）。每个稳压器都需要外部4.7 uF +/- 20%的低电平ESR旁路电容确保稳定。因为它们是推荐使用X5R或X7R陶瓷电容器。在大于10kHz的频率下，ESR低于0.1ohm。

**注意：** 表3.1“USB3300引脚”中详细介绍了每个引脚的具体电容建议。定义32引脚QFN封装，如图7.1 USB3300应用框图所示（外设）（第49页）。USB3300稳压器设计用于产生1.8 V电源。仅适用于USB3300。使用稳压器为其他电路提供电流不是建议并且SMSC不保证USB性能或稳压器稳定性。

### 6.4.2 上电复位（POR）

USB3300提供一个内部POR电路，一旦PHY供电就会产生一个复位脉冲。该复位将把所有的ULPI寄存器设置为其默认值并正常启动PHY操作。3.3 V电源循环是PHY重置ULPI寄存器的唯一方法。到他们的默认状态。链接可以在任何正常情况下将寄存器写入其默认状态操作。

RESET引脚与功能控制寄存器中的RESET寄存器具有相同的功能。

## 6.5 USB On-The-Go（OTG）模块

USB3300提供对USB OTG的支持。OTG允许USB3300进行动态配置作为主机或设备，具体取决于插入Mini-AB连接器的电缆类型。当...的时候Mini-A电缆插头插入Mini-AB连接器，USB设备成为A设备。当插入Mini-B插头时，该设备将成为B设备。OTG A设备的行为类似而B设备的行为类似于外设。OTG涵盖了这些差异补充。

OTG模块符合“USB 2.0的On-The-Go增补”中的所有要求规范”。在仅需要主机或设备的应用中，OTG模块未使用。

数据表

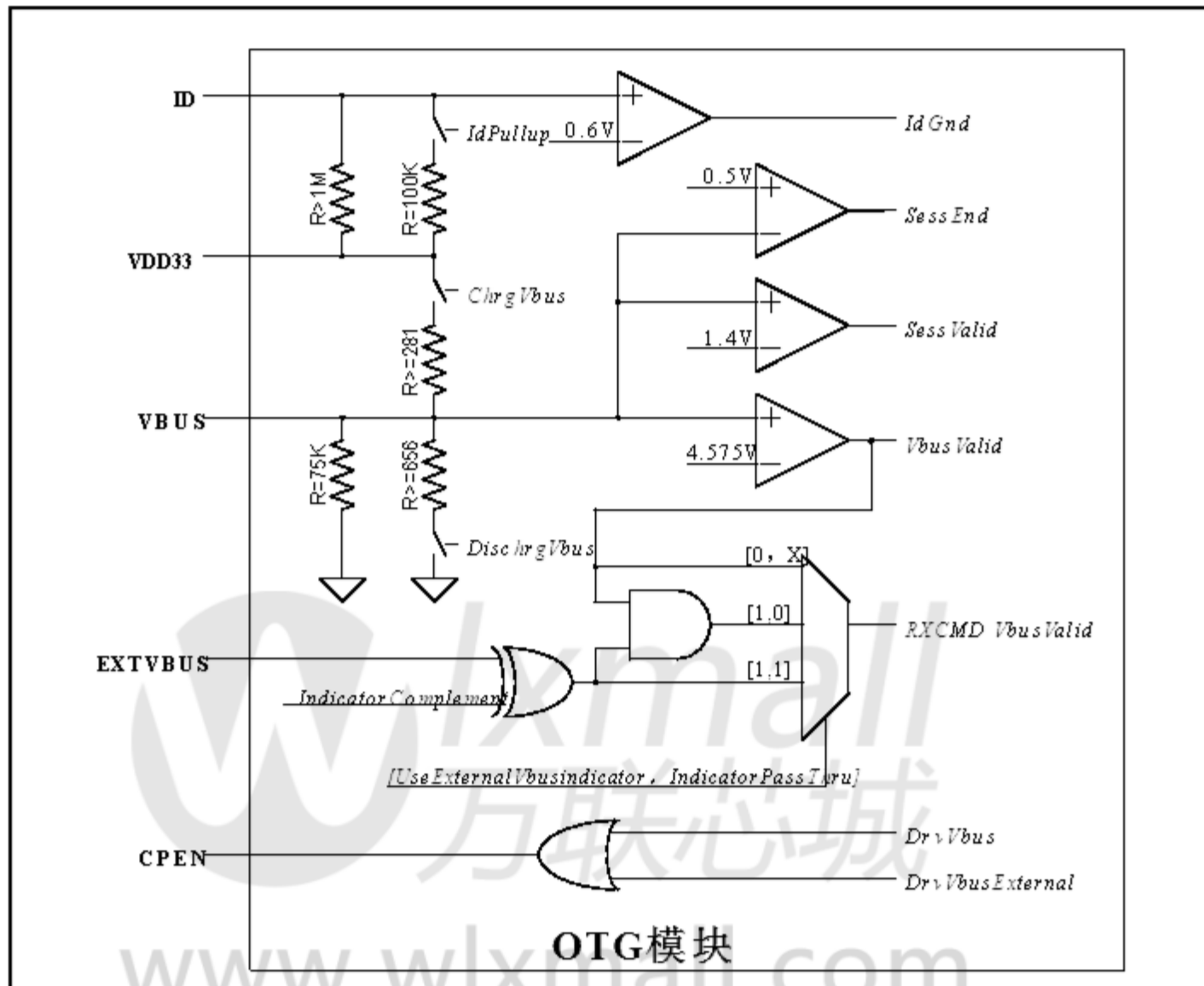


图6.10 USB3300移动模块

OTG模块可以分成4个主要模块；ID检测，VBUS控制，驱动外部Vbus和外部Vbus检测.下面的部分将介绍每个块.

6.5.1 ID检测

USB3300提供一个ID引脚来确定连接的USB电缆的类型.当Mini-A将USB电缆的插头插入Mini-AB连接器，ID引脚接地.当...的时候Mini-B插头插入Mini-AB连接器，ID引脚允许浮动.

表6.9 IdGnd与USB电缆类型

USB插头	OTG角色	ID VOLTAGE	ID GND
一个举办方		0	0
乙	外设	3.3	1

USB3300提供一个集成的上拉电阻和一个比较器来检测ID引脚是否悬空或接地.一个集成的上拉电阻用于将ID引脚拉高至VDD3.3，B插头插入，电缆悬空.当连接Mini-A插头时，上拉电阻将会

被动力过强，ID引脚将被接地。在Mini-A插头时节省电流。插入时，可以通过清除OTG控制寄存器中的IdPullUp位来禁用ID上拉电阻。为了防止ID引脚浮动到一个随机值，一直提供一个弱上拉电阻。与ID比较器有关的电路如图6.10所示，“USB3300 On-the-Go模块”和其相关参数如表5.6“OTG电气特性”所示。

通过读取ULPI USB中断状态寄存器的位4可以读取IdGnd的状态。它也可以被设置为在主机模式下产生中断，当IdGnd随着ULPI中断使能而改变时寄存器。

## 6.5.2 VBUS控制

USB3300包含OTG所需的所有Vbus比较器。VbusVld，SessVld和SessEnd比较器已完全集成到USB3300中。这些比较器用于确保Vbus电压是适当USB操作的正确值。

链路使用VbusVld比较器，当配置为A设备时，确保Vbus电缆上的电压是有效的。配置为两者时，SessVld比较器由Link使用。指示会话的A或B设备被请求或有效。最后使用SessEnd比较器由B设备指示USB会话已结束。

VBUS控制模块中还包含用于SRP中Vbus脉冲的电阻。电阻用于VBUS脉冲包括下拉至地和上拉至VDD3.3。

### 6.5.2.1 SessEnd比较器

当Vbus小于0.5伏时，SessEnd比较器被设计为跳闸。当Vbus低于0.5伏认为会话结束，SessEnd将从0转换到1。SessEnd可以通过清除上升和下降中断使能寄存器中的该位来禁止comparator。禁用时，中断状态寄存器中的SessEnd位将读为0。SessEnd比较器表5.6详细列出了旅行点数。

### 6.5.2.2 SessVld比较器

当PHY配置为A和B器件时，使用SessVld比较器。什么时候配置为A设备，SessVld用于检测会话请求协议（SRP）。什么时候配置为B设备，SessVld用于检测Vbus的存在。SessVld中断可以通过清除上升和下降中断使能寄存器中的该位来禁止。当...的时候中断被禁止，SessVld比较器不被禁止，其状态可以在中断中读取状态寄存器。表5.6中详细介绍了SessVld比较器跳变点。

**注意：** OTG补充指定了A设备会话有效和B设备的电压范围。会话有效比较器。USB3300 PHY将两个比较器合并为一个和使用较窄的阈值范围。

### 6.5.2.3 VbusVld比较器

最终的Vbus比较器是VbusVld比较器。该比较器仅在配置时使用。作为A设备。在OTG协议中，A设备负责确保Vbus电压在一定范围内。通过清除上升和下降，可以禁用VbusVld比较器边缘中断。当禁止读取位1时，中断状态寄存器将返回0。表5.6详细列出了VbusVld比较器跳闸点。

当A设备能够提供8-100mA时，它必须确保Vbus不会低于4.4伏特。如果A设备可以在Vbus上提供100-500mA电流，但必须确保Vbus不会低于4.75伏。

内部Vbus比较器旨在确保Vbus保持在4.4伏以上。如果设计需要提供超过100mA的电流，USB3300为更精确的Vbus比较器提供输入。或第6.5.4节“外部Vbus指示器”中描述的故障（过电流）检测。

**数据表**

**6.5.2.4 Vbus上拉和下拉电阻**

除了内部的Vbus比较器之外，USB3300还包含集成的Vbus上拉和用于Vbus脉冲的下拉电阻。为了释放Vbus电压，使一个会话请求可以开始，USB3300提供从Vbus到地的下拉电阻。这个电阻是由ULPI规范中定义的OTG控制寄存器的DischargeVbus位3控制。上拉电阻连接在Vbus和VDD3.3之间。该电阻用于拉动Vbus 2.1伏特，以便A-Device知道USB会话已被请求。下拉菜单的状态，上拉电阻由ULPI中定义的OTG控制寄存器的第4位ChargeVbus控制。规格、上拉和下拉电阻值详见表5.6。

**6.5.2.5 Vbus输入阻抗**

OTG Supplement要求支持会话请求协议的A设备具有输入阻抗小于100千欧姆，大于40千欧姆接地。另外，如果配置为B-器件中，PHY不能从Vbus中提取超过150uA的电流。USB3300提供75kΩ标称值满足上述要求的接地阻力见表5.6。

**6.5.3 驾驶外部Vbus**

当系统作为主机运行时，需要在VBUS上输出5伏电压。USB3300完全支持使用外部设备的VBUS电源控制。USB3300提供高电平有效控制信号CPEN，当配置为A-Device时专用于控制Vbus电源。该USB3300还支持第6.5.4节中详述的外部Vbus故障检测。

当ULPI OTG控制寄存器位5 DrvVbus或位6，DrvVbusExternal置位时，CPEN有效高。为了与支持内部和外部Vbus的Link设计兼容，DrvVbus OTG控制寄存器中的DrvVbusExternal位或一起。这使得链接设置任一位访问外部Vbus使能（CPEN）。图6.10显示了该逻辑，“USB3300移动模块”。在POR上DrvVbus和DrvVbusExternal设置为0。

**6.5.4 外部Vbus指示器**

USB3300完全实现了ULPI 1.1中描述的外部Vbus检测规范。外部Vbus检测的框图如图6.10和in所示表6.10。

**表6.10外部Vbus指示逻辑**

典型应用	使用外部VBUS指示符	指示符PASS THRU	指示符补充	RXCMD VBUS有效编码源
OTG设备	0	X	X	内部VbusVld比较器（默认）
	1	1	0	外部高电平有效VbusVld信号
	1	1	1	外部低电平有效VbusVld信号
	1	0	0	外部高电平有效故障信号合格的内部VbusVld比较。（注6.1）
	1	0	1	外部低电源有效故障信号合格的内部VbusVld比较。（注6.1）

表6.10外部Vbus指示逻辑（续）

典型应用	使用外部VBUS指示符	指示符PASS THRU	指示符补充	RXCMD VBUS有效编码源
标准主机	1	1	0	外部高电平有效故障信号
	1	1	1	外部低电源有效故障信号
标准外围设备	0	X	X	内部VbusVld比较器.这应该不被链接使用。(注6.2)

**注6.1** SMSC不建议使用符合内部限定的ExternalVbus信号VbusVld比较器。

**注6.2** 外设不应该使用VbusVld开始操作.外设应该使用SessVld，因为内部VbusVld阈值可能高于所需的Vbus电压用于USB外设操作。

主机PHY可通过设置指示符补充位[5]来使用高电平有效或低电平故障接口控制寄存器.此外，这个实现支持.中的IndicatorPassThru [6]位接口控制寄存器，允许选择使外部Vbus输入合格（并且）与外部vbus比较器输出.使用外部Vb我们输入

UseExternalVbusIndicator bit [7]必须在OTG控制寄存器中设置.默认是不使用这个输入。

EXTVBUS引脚有一个由UseExternalVbusIndicator控制的内置下拉电阻.OTG控制寄存器的位[7].当UseExternalVbusIndicator设置为0（默认）时，下拉电阻被激活以防止引脚在未被使用时浮动.当UseExternalVbusIndicator设置为1时，下拉电阻断开。

数据表

## 第7章应用笔记

USB3300只需要很少的外部元件，如应用图中所示。在一些应用程序中，使用USB连接器的VBUS和GND引脚上提供的电源系统电源。USB2.0标准将VBUS引脚的电压限制在最大值为5.25V。在某些应用中，可能需要为USB3300 VBUS提供保护。如果VBUS电压超过USB2.0规格，则引脚。

一种保护VBUS引脚不受过度电压（瞬态）影响的方法是放置一个电阻（R\_VBUS），如图7.1“USB3300应用框图（外设）”和图7.2所示，“USB3300应用框图（主机或OTG）”。该电阻提供保护，防止瞬变超过表4.2“推荐的工作条件”中提供的V\_VBUS的值。当R\_VBUS时安装时，瞬态不得超过V\_VBUS的值 超过500 $\mu$ s。

为了保护VBUS引脚免受USB连接器上超过此值的稳态电压的影响如表4.2所示的V\_VBUS，可以使用过压保护（OVP）组件，如图所示在图7.3中，“USB3300应用框图（具有过压保护的外设）”。

表7.1应用图中的组件值

参考 DESIGNATOR	值	描述	笔记
C_OUT	4.7 $\mu$ F	旁路电容器接地 (<1 $\Omega$ ESR) 调节稳定性。	尽可能靠近地方 PHY。
C_VBUS	见表7.2，“电容 VBUS的值的USB连接器”	电容器对地所需的电容器 USB规范。SMSC 建议<1 $\Omega$ ESR。	放置在USB连接器附近。
C_BYF	系统 依赖。	旁路电容到地面。	尽可能靠近地方 PHY。
C_DC_BLOCK	系统 依赖。	USB连接器外壳可能是 交流耦合到设备接地。	行业大会即将落地 只有电缆的主机端 屏蔽。
R_VBUS	最大820 $\Omega$ in 主机或OTG 应用。	串联电阻，以减少任何瞬态 电压在VBUS引脚上 USB3300。	短暂的一定不是 允许超过价值 V_VBUS 超过500 $\mu$ s
ID 销			好，离开无连接 (NC) 处于设备模式。

除了应用图中所示的电容之外，每个VDD引脚应该有一个额外的电容接地，值0.01或0.1  $\mu$ F（为了清楚起见未示出）。大致相等 应使用每个值的数字。

表7.2 USB连接器VBUS处的电容值

模式	最小值	最大值
主办	120 $\mu$ F	
设备	1 $\mu$ F 10 $\mu$ F	
OTG	1 $\mu$ F 6.5 $\mu$ F	



数据表

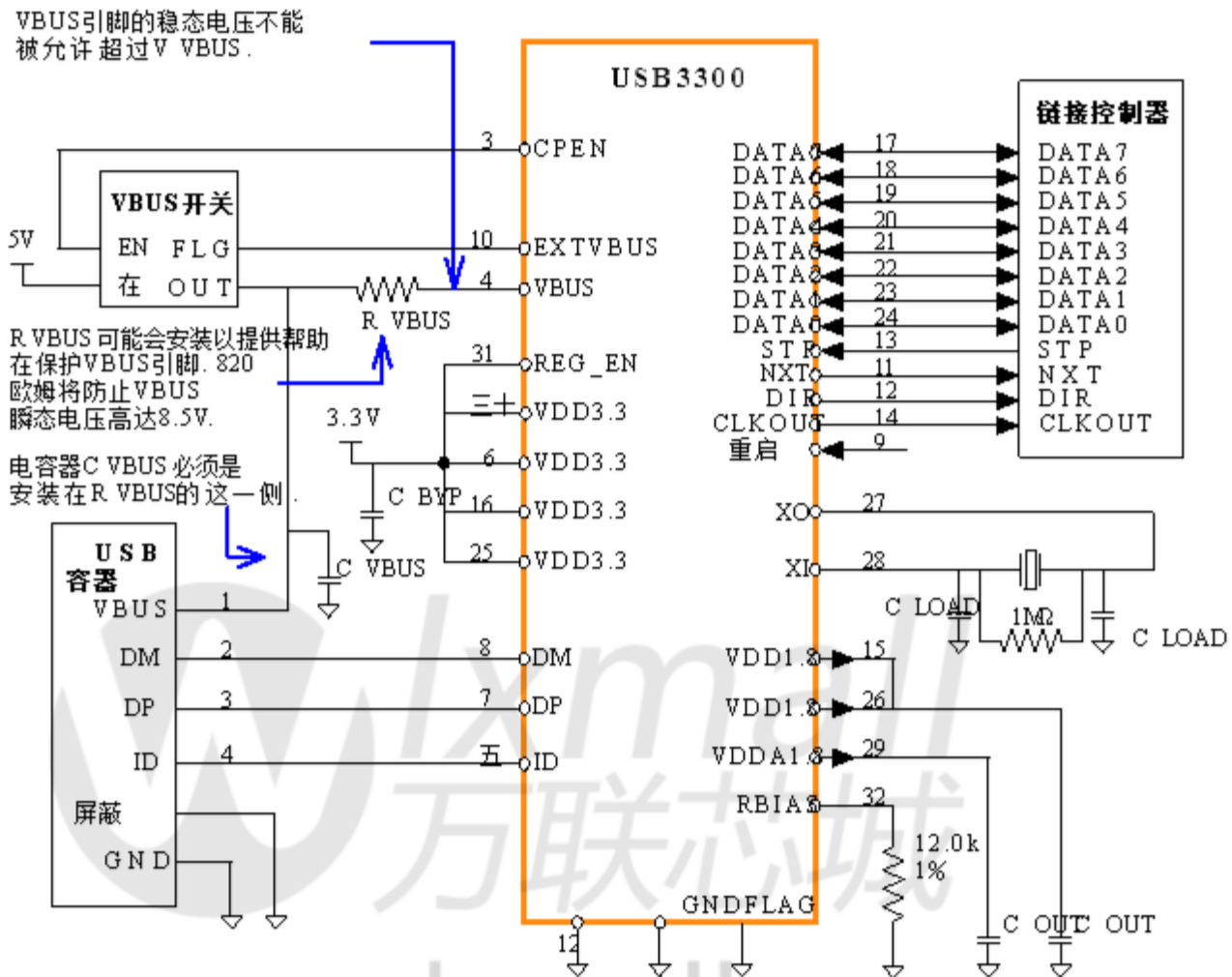


图7.2 USB3300应用框图（主机或OTG）



数据表

## 7.2 多端口应用程序

为了支持多个端口，单个USB3300主机可以与SMSC的多个集线器之一组合产品扩大端口数量。SMSC拥有2端口，3端口，4端口和7端口集线器设计可用于扩展设计中的端口数量。

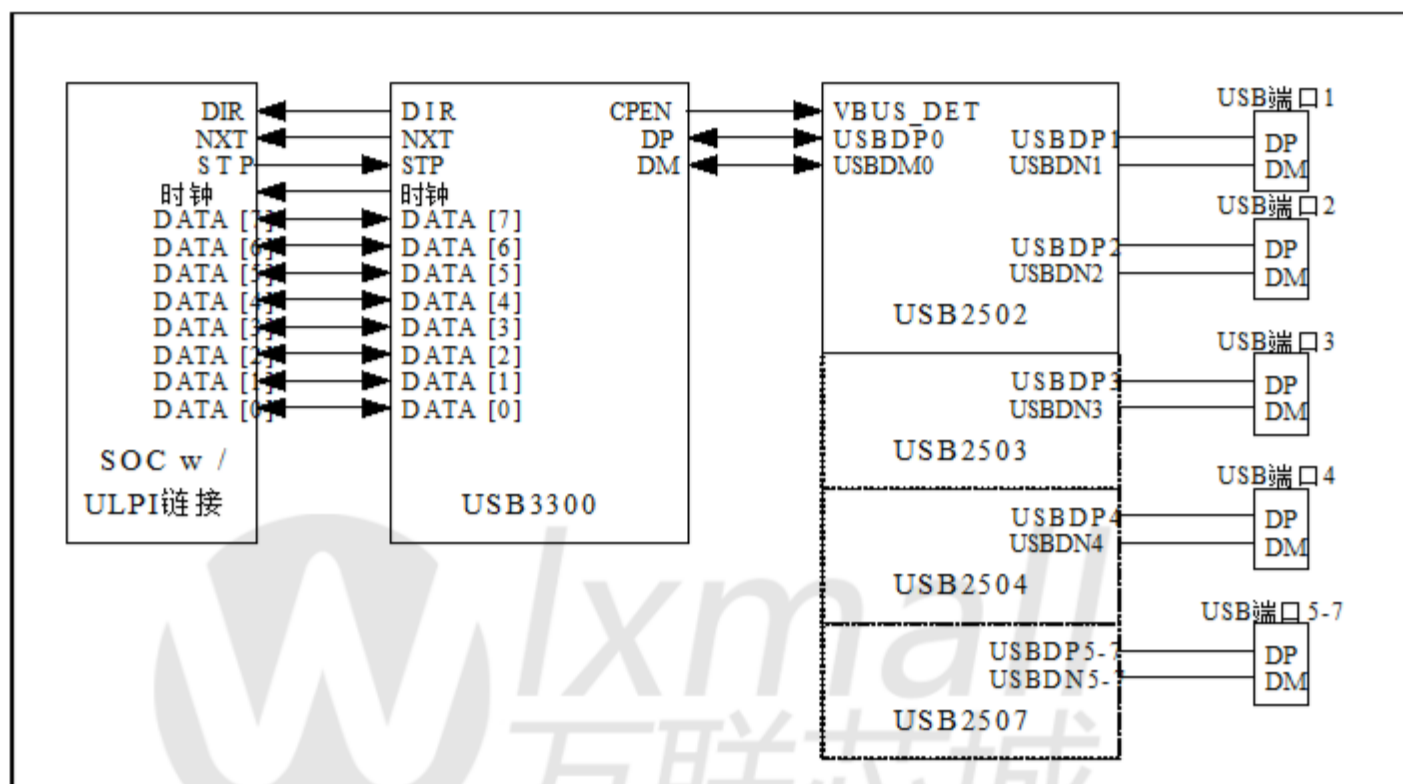


图7.4扩展USB3300主机应用程序的下行端口

使用SMSC集线器扩展端口数量可让单个链接运行多个USB设备。没有单独的链接来支持每个USB端口。使用SMSC集线器的另一个优势在于，主板不在USB端口附近的产品。USB3300可以放在上面。带有Link ASIC和集线器的主板可以放置在USB旁边的独立板上。端口。DP和DM之间仅需要数据连接。

USB3300的CPEN输出是可选的，可用于打开或关闭集线器以降低电流。当USB连接不需要时。

## 7.3 评估板

评估板EVB-USB3300可用于使用USB3300构建原型系统。评估板提供了一个行业标准的T&MT连接器来连接ULPI Link控制器和USB电缆的Mini-AB连接器。受控的500mA故障保护5V Vbus开关由USB3300也包含在内。

## 7.4 ESD性能

USB3300免受ESD冲击。通过消除对外部ESD的要求。保护设备，节省电路板空间，并且电路板制造商能够降低成本。集成到USB3300中的高级ESD结构可以保护设备，无论它是否是通电。当USB3300未上电时，数字I/O引脚由ESD结构加载，并且不能由外部信号驱动。

### 7.4.1 人体模型（HBM）性能

HBM测试验证了在处理和处理过程中发生的ESD冲击的能力制造，并且在没有电力施加到IC的情况下完成。要通过测试，设备必须具有由于该事件而没有改变操作或性能。USB3300上的所有引脚提供 $\pm 8\text{kV}$  HBM保护。

### 7.4.2 IEC61000-4-2性能

IEC61000-4-2 ESD规范是解决系统级抗扰度的国际标准。在终端设备运行时发生ESD冲击。相反，执行HBM ESD测试在设备关闭的设备级别。

SMSC与独立实验室签订合同，在工作中测试USB3300至IEC61000-4-2系统。报告可根据要求提供。请联系您的SMSC代表，并提出要求有关第三方ESD测试结果的信息。这些报告显示了使用USB3300设计的系统每个IEC61000-4-2可以安全地消耗 $\pm 15\text{kV}$ 的空气放电量和 $\pm 8\text{kV}$ 的接触放电规范，无需额外的板级保护。

用于施加应力条件的空气放电和接触放电测试技术都被定义为IEC61000-4-2 ESD文件。

#### 7.4.2.1 空气放电

为了执行该测试，将带电电极移动到靠近正在测试的系统，直到有火花产生。这项测试难以重现，因为排放受到诸如以下因素的影响：湿度，电极接近的速度以及测试设备的结构。

#### 7.4.2.2 接触放电

未充电的电极首先接触引脚以准备进行此测试，然后探头尖端通电。这产生更可重复的结果，并且是首选的测试方法。独立的测试实验室由SMSC签约提供两种排放方法的测试结果。

数据表

## 第8章包装轮廓

USB3300采用紧凑型32引脚无铅QFN封装。

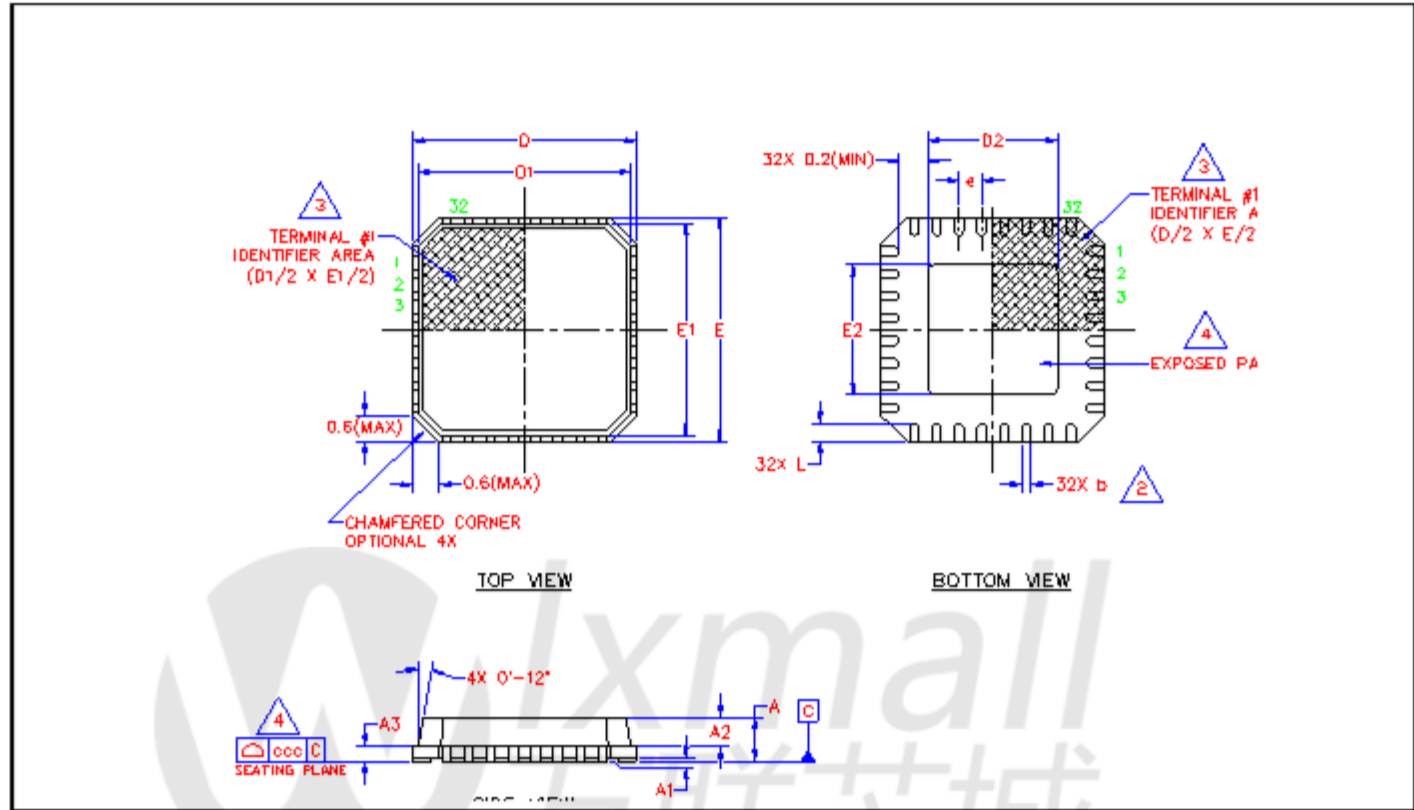


图8.1 USB3300-EZK 32引脚QFN封装外形，5 x 5 x 0.9 mm体（无铅）

表8.1 32端子QFN封装参数

	MIN	标称	MAX	备注
一个	0.70	~	1.00	整体包装高度
A1	0	0.02	0.05	对峙
A2	~	~	0.90	模具厚度
A3	0.20 REF			铜引线框架基板
d	4.85	5	5.15	X整体尺寸
D1	4.55	~	4.95	X模具盖尺寸
D2	3.15	3.3	3.45	X裸露的打击垫尺寸
E	4.85	5	5.15	是整体尺寸
E1	4.55	~	4.95	Y模具盖尺寸
E2	3.15	3.3	3.45	Y显示了打击垫尺寸
大号	0.30	~	0.50	终端长度
E	0.50 BSC			终端间距
b	0.18	0.25	0.30	终端宽度
CCC	~	~	0.08	共面

笔记：

- 控制单位：毫米。
- 尺寸b适用于电镀终端，测量范围在0.15mm到0.30mm之间  
终端提示：在最大材料上，引线真实位置的公差为±0.05 mm  
条件（MMC）。
- 终端# 1标识符的细节是可选的，但必须位于指定的区域内。  
共面区适用于裸露的焊盘和端子。

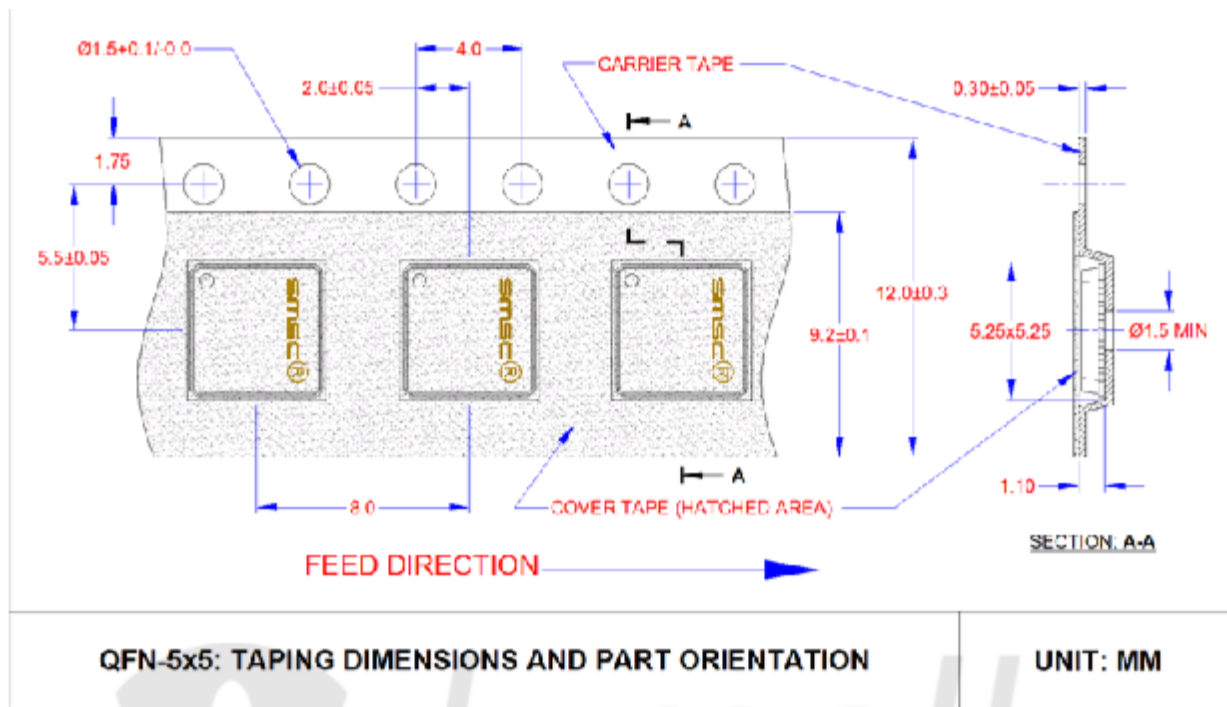


图8.1 QFN，5x5编带尺寸和零件方向

www.wxmall.com

数据表

REEL PHYSICAL DIMENSIONS

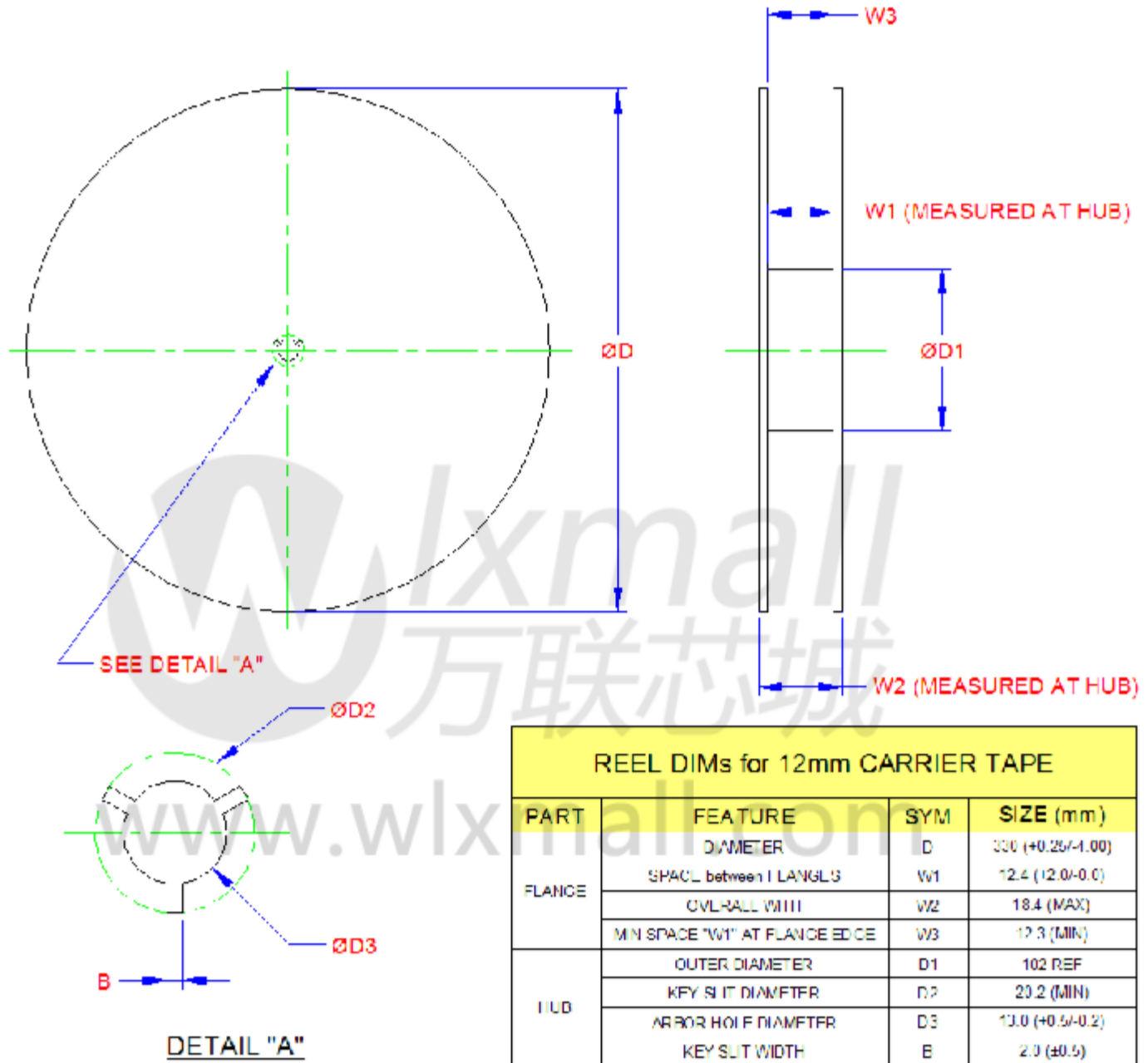
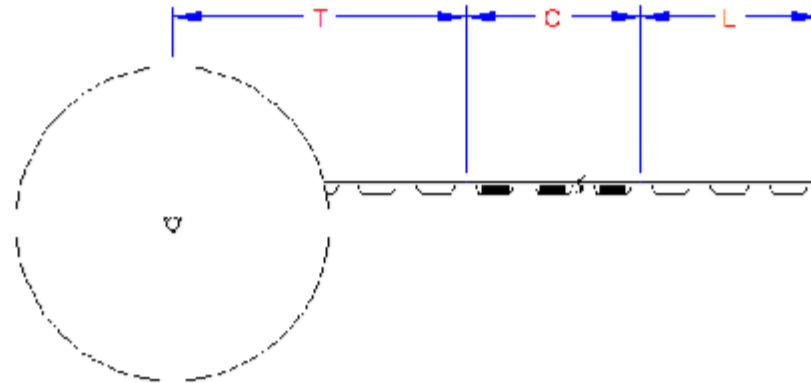


图8.2 12mm载带的卷轴尺寸

TAPE LENGTH & PART QUANTITY



TAPE SECTIONS		
SECTION	SYM	SIZE
TRAIL FR	T	20 pockets (MIN)
COMPONENT	C	4000 components
LEADER	L	50 pockets (MIN)

图8.3胶带长度和部件数量

注意：标准卷筒尺寸为每卷4000件。



数据表

## 第9章数据手册修订历史

表9.1客户修订历史记录

1.1版 (13年1月24日)	第5.1节“压电谐振器” 内部振荡器”，在第20页	新增部分。
1.08版 (07年11月7日)	表3.1“USB3300引脚定义32- Pin QFN封装”	针对引脚15,26,29和31的修改说明。
1.08版 (07年10月25日)	表3.1“USB3300引脚定义32- Pin QFN封装”	“REG_EN”（引脚31）的说明已修改。
1.07版 (07年9月26日)	第7.4节“ESD性能”	添加最后一句警告 复用数字I/O信号。
1.07版 (07年9月26日)	图7.2，“USB3300应用程序 图（主机或OTG）”和图7.3， “USB3300应用图 （带过压的外设 保护）”	增加了有关R_VBUS的信息。
1.07版 (07年9月25日)	第7章，应用笔记和 图7.1“USB3300应用程序” 图（外设）”	已更改为包含有关R_VBUS的信息。
1.07版 (07年9月20日)	表3.1“USB3300引脚定义32- Pin QFN封装”	更改了RESET的说明。
1.07版 (07年9月20日)	增加了磁带和卷轴PN和图纸。	
1.06版 (07年5月7日)	修改SMSC徽标以反映注册商标	
1.06版 (07年5月7日)	“USB2.0”更改为“USB 2.0”	
1.06版 (06年7月19日)	应用	第一句修改为：“USB3300是 针对任何高速应用 需要使用USB连接以及电路板 空间和接口引脚必须最小化。” 要：“USB3300是任何人的理想伴侣 用ASIC设计的ASIC，SoC或FPGA解决方案 ULPI高速USB主机，外设或OTG 核心。”
1.06版 (06年7月18日)	应用	增加了“掌上电脑”，删除了“娱乐 设备”，将“数字”添加到“静止和视频” 游戏”。
1.06版 (06年7月18日)	特征	移动“应用程序”以覆盖；重新排序 几个功能。
1.06版 (06年7月17日)	特征	参考工业工作温度。
	第1章概述	
	表4.1“最大保证 评级”	将工作温度从“0”改为“70” 到“-40到85”
	表4.2“推荐的操作” 条件”	将工作温度从“0”改为“70” 到“-40到85”

表9.1客户修订历史记录

1.05版 (06年5月26日)	表4.1	增加了ESD和闭锁条目
	第7.4节	增加了第7.4节
	封面 - 特点: ESD保护水平 $\pm 8\text{kV}$ HBM, 无需外部保护 设备	删除提到的包装可从 SMSC (也从第1节和第6.1.1节中删除) 增加ESD和闭锁的子弹.
	USB中断状态寄存器: 地址 = 13h (只读自动清除) 第29页	更正部分的标题
1.04版 (06年2月28日)	表6.5“ULPI RX CMD编码”	修正了数据的CMD编码[5: 4]
	USB中断状态寄存器: 地址 = 13h (只读自动清除)	更正阅读“状态寄存器”而不是 “锁存寄存器”
	USB3300引脚定义32引脚QFN 包	将引脚31从VCCA1.8更改为REG_EN. 改变引脚描述来描述REG_EN 手术
	表8.1“32端子QFN封装 参数”	更新每个SMSC的封装尺寸 封装数据表位于SMSC 规格数据库
	图3.1“USB3300引脚图”	更改图3.1中的引脚31以命名 “REG_EN”.
	表5.1“电气特性: 供应针”	增加了最大电流信息
1.03版 (05年5月11日)	表3.1“USB3300引脚定义32- Pin QFN封装”	针脚29的修改说明 (措辞已更改 从“数字”到“模拟”)
	表6.2“ULPI接口时序”	将最小值添加到输出延迟
	封面 - 标题	为标题添加了OTG 更改为OTG版USB徽标.

www.wlxmall.com