

### 特征

- 8/6/4同时采样输入
- 真双极性模拟输入范围:  $\pm 10\text{ V}$ ,  $\pm 5\text{ V}$ .
- 单5V模拟电源和2.3 V至5 V V<sub>DRIVE</sub>驱动器
- 全集成的数据采集解决方案
- 模拟输入钳位保护
- 具有1M $\Omega$ 模拟输入阻抗的输入缓冲器
- 二阶抗混叠模拟滤波器
- 片上精确的参考和参考缓冲器
- 在所有通道上具有200 kSPS的16位ADC
- 数字滤波器的过采样能力
- 灵活的并行/串行接口
- SPI / QSPI™ / MICROWIRE™ / DSP兼容
- 性能
- 模拟输入通道上的7 kV ESD额定值
- 95.5 dB SNR, -107 dB THD
- $\pm 0.5$  LSB INL,  $\pm 0.5$  LSB DNL
- 低功耗: 100毫瓦
- 待机模式: 25毫瓦
- 温度范围:  $-40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$
- 64引脚LQFP封装

### 应用

- 电力线路监控和保护系统
- 多相电机控制
- 仪表和控制系统
- 多轴定位系统
- 数据采集系统 (DAS)

表1. 高分辨率，双极输入，同时采样DAS解决方案

解析度	单-截至输入	真正微分输入	数里同时采样通道
18位	AD7608	AD7609	8
16位	AD7606		8
	AD7606-6		6
	AD7606-4		4
14位	AD7607		8

功能框图

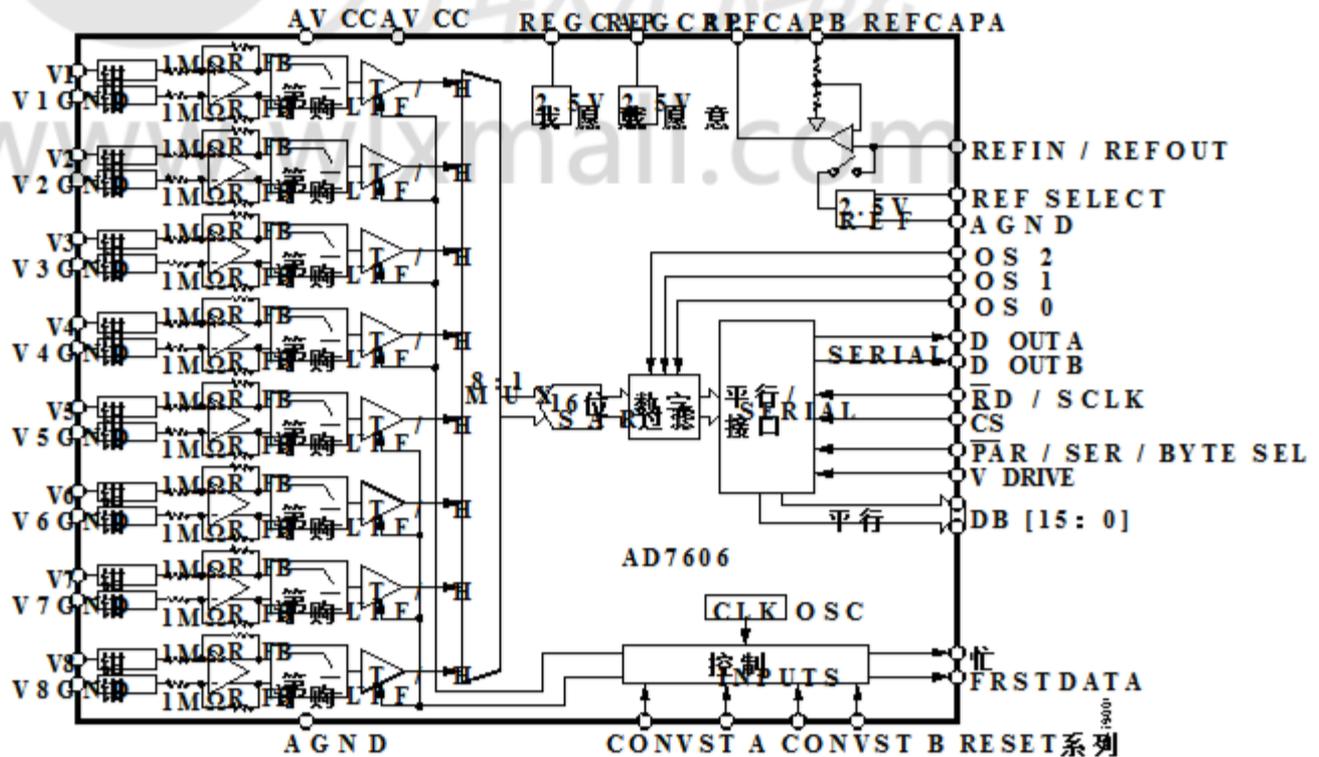


图1.

教师D

文档反馈

ADI公司提供的信息被认为是准确和可靠的，但是没有责任。ADI公司不对任何侵权、专利或其他权利第三方的主张负责。ADI公司的任何专利或专利权均以暗示或其他方式授予许可。Trademarks and registered trademarks are the property of their respective owners.

Box 9106, Norwood, MA 02062-9106, U.S.A. No. 781.329.4700 © 2017 Analog Devices, Inc.保留所有权利。

技术支持

www.analog.com

## 目录

特征 .....	1	模拟输入 .....	22
应用 .....	1	ADC传输功能 .....	23
功能框图 .....	1	内部/外部参考 .....	24
修订记录 .....	2	典型连接图 .....	25
一般说明 .....	3	掉电模式 .....	25
规格 .....	4	转换控制 .....	26
时序规格 .....	7	数字接口 .....	27
绝对最大额定值 .....	11	并行接口 (PAR / $\overline{\text{SER}}$ / BYTE SEL = 0) .....	27
热阻 .....	11	并行字节 (PAR / $\overline{\text{SER}}$ / BYTE SEL = 1, DB15 = 1) .....	27
ESD小心 .....	11	串行接口 (PAR / $\overline{\text{SER}}$ / BYTE SEL = 1) .....	27
引脚配置和功能描述 .....	12	阅读期间阅读 .....	28
典型性能特点 .....	17	数字滤波器 .....	29
术语 .....	21	布局指南 .....	32
操作理论 .....	22	外形尺寸 .....	34
转换器详情 .....	22	订购指南 .....	34
<b>修订记录</b>			
<b>二千零十七分之一-REV. C到Rev. D</b>			
功能部分的更改 .....	1		
规格表变更 .....	3		
已删除尾注1, 表1;按顺序重新编号 .....	6		
转到表6 .....	14		
典型性能特征的变化 .....	17		
术语部分的变更 .....	21		
订购指南的更改 .....	34		
<b>二千〇一十二分之一-REV. B至Rev.C</b>			
模拟量输入范围的变更 .....	22		
<b>二千零十一分之一-REV. A到Rev. B</b>			
输入高电压 (VINH) 和输入低电压的变化			
(VINL) 参数和尾注6, 表2 .....	4		
表3的变更 .....	7		
表4的变更 .....	11		
引脚32描述的变化, 表6 .....	13		
模拟输入钳位保护部分的改变 .....	22		
典型连接图部分的变化 .....	25		
<b>二千〇一十分之八-REV. 0至Rev. A</b>			
注1, 表2的变更 .....	6		

5/2010版本0: 初始版本

## 一般描述

AD7606 1 / AD7606-6 / AD7606-4是16位，同步的采样，模数转换数据采集系统（DAS）八个，六个和四个通道。每个部分包含模拟输入钳位保护，二阶抗混叠滤波器，采样保持放大器，16位电荷再分配近似模数转换器（ADC），一种灵活的数字滤波器，一个2.5 V参考和参考缓冲器，以及高速串行和并行接口。

AD7606 / AD7606-6 / AD7606-4采用5 V单电源供电电源，可以提供 $\pm 10$  V和 $\pm 5$  V真双极性输入信号，同时以高达200 kSPS的吞吐率进行采样

所有渠道输入钳位保护电路可以容忍电压高达 $\pm 16.5$  V。AD7606具有 $1\text{M}\Omega$ 模拟输入阻抗与采样频率无关。单一的供应操作，片上滤波和高输入阻抗消除需要驱动运算放大器和外部双极性电源。该AD7606 / AD7606-6 / AD7606-4抗混叠滤波器具有3 dB的截止频率频率为22 kHz，并提供40 dB的抗混叠抑制以200 kSPS采样。灵活的数字滤波器是引脚驱动的，产里高SNR的改进，并降低3 dB的带宽。

1专利申请中。



## 规格

除非另有说明,  $V_{REF} = 2.5$  V外部/内部,  $AV_{CC} = 4.75$  V至5.25 V,  $V_{DRIVE} = 2.3$  V至5.25 V,  $f_{SAMPLE} = 200$  kSPS,  $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ .

表2

参数	测试条件/评论	敏	典型	马克斯	单元
动态表现	除非另有说明, $f_{IN} = 1$ kHz正弦波 过采样16; $\pm 10$ V范围; $f_{IN} = 130$ Hz	94	95.5		Db
		93	94.5		Db
信噪比 (SNR) 1, 2	过采样16; $\pm 5$ V范围; $f_{IN} = 130$ Hz	88.5	90		Db
	没有过度抽样; $\pm 10$ V范围	87.5	89		Db
	没有过度抽样; $\pm 5$ V范围	88	90		Db
信号 - (噪声+失真) (SINAD) 1	没有过度抽样; $\pm 10$ V范围	87	89		Db
	没有过度抽样; $\pm 5$ V范围		90.5		Db
动态范围	没有过度抽样; $\pm 10$ V范围		90		Db
总谐波失真 (THD) 1	没有过度抽样; $\pm 5$ V范围		-107	-95	Db
峰值谐波或杂散噪声 (SFDR) 1			-108		Db
互调失真 (IMD) 1	$f_a = 1$ kHz, $f_b = 1.1$ kHz		-110		Db
		二阶术语		-106	Db
		三阶术语		-95	Db
通道间隔离1	$f_{IN}$ 在高达160 kHz的未选频道上				Db
模拟输入滤波器 全功率带宽	-3 dB, $\pm 10$ V量程		23		千赫
	-3 dB, $\pm 5$ V量程		15		千赫
	-0.1 dB, $\pm 10$ V范围		10		千赫
	-0.1 dB, $\pm 5$ V量程		五		千赫
t 组延迟	$\pm 10$ V范围		11		微秒
	$\pm 5$ V量程		15		微秒
DC精度					
解析度	没有失码	16			位
微分非线性1			$\pm 0.5$	$\pm 0.99$	LSB3
积分非线性1			$\pm 0.5$	$\pm 2$	LSB
总未调整误差 (TUE)	$\pm 10$ V范围		$\pm 6$		LSB
	$\pm 5$ V范围		$\pm 12$		LSB
正满量程错误1, 4	外部参考		$\pm 8$	$\pm 32$	LSB
	内部参考		$\pm 8$		LSB
正满量程误差漂移	外部参考		$\pm 2$		PPM / $^{\circ}\text{C}$
	内部参考		$\pm 7$		PPM / $^{\circ}\text{C}$
正满量程错误匹配1	$\pm 10$ V范围		五	32	LSB
	$\pm 5$ V范围		16	40	LSB
双极性零码错误1, 5	$\pm 10$ V范围		$\pm 1$	$\pm 6$	LSB
	$\pm 5$ V范围		$\pm 3$	$\pm 12$	LSB
双极性零码错误漂移	$\pm 10$ V范围		10		$\mu\text{V}/^{\circ}\text{C}$
	$\pm 5$ V范围		五		$\mu\text{V}/^{\circ}\text{C}$
双极性零码错误匹配1	$\pm 10$ V范围		1	8	LSB
	$\pm 5$ V范围		6	22	LSB
负满量程误差1, 4	外部参考		$\pm 8$	$\pm 32$	LSB
	内部参考		$\pm 8$		LSB
负的满量程误差漂移	外部参考		$\pm 4$		PPM / $^{\circ}\text{C}$
	内部参考		$\pm 8$		PPM / $^{\circ}\text{C}$
负满量程错误匹配1	$\pm 10$ V范围		五	32	LSB
	$\pm 5$ V范围		16	40	LSB

参数	测试条件/评论	敏	典型	马克斯	单元
模拟输入					
输入电压范围	范围= 1			±10	V
	范围= 0			±5	V
模拟输入电流	10 V;见图31		5.4		μA
	5 V;见图31		2.5		μA
输入电容 <sup>6</sup>			五		pF的
输入阻抗	请参阅模拟输入部分		1		MΩ
参考输入/输出					
参考输入电压范围	请参阅ADC传输功能部分	2.475	2.5	2.525	V
直流漏电流				±1	μA
输入电容 <sup>6</sup>	REF SELECT = 1		7.5		pF的
参考输出电压	REFIN / REFOUT		2.49 / 2.505		V
参考温度系数			±10		PPM / °C
逻辑输入					
输入高电压 (V <sub>INH</sub> )		0.7×V <sub>驱动器</sub>			V
输入低电压 (V <sub>INL</sub> )				0.3×V <sub>驱动器</sub>	V
输入电流 (I <sub>IN</sub> )				±2	μA
输入电容 (C <sub>IN</sub> ) <sup>6</sup>			五		pF的
逻辑输出					
输出高电压 (V <sub>OH</sub> )	我来源 = 100μA	V <sub>DRIVE</sub> - 0.2			V
输出低电压 (V <sub>OL</sub> )	I <sub>SINK</sub> = 100μA			0.2	V
浮态泄漏电流			±1	±20	μA
浮动状态输出电容 <sup>6</sup>			五		pF的
输出编码	二补				
兑换率					
转换时间	包括所有八个频道;见表3		4		微秒
跟踪和保持采集时间			1		微秒
吞吐率	每个频道, 包括所有八个频道			200	kSPS的
电源要求					
AV <sub>CC</sub>		4.75		5.25	V
V <sub>DRIVE</sub>		2.3		5.25	V
我 总共	数字输入 = 0 V或V <sub>DRIVE</sub>				
普通模式 (静态)	AD7606		16	22	嘛
	AD7606-6		14	20	嘛
	AD7606-4		12	17	嘛
正常模式 (操作) <sup>7</sup>	f <sub>SAMPLE</sub> = 200 kSPS				
	AD7606		20	27	嘛
	AD7606-6		18	24	嘛
	AD7606-4		15	21	嘛
待机模式			五	8	嘛
关机模式			2	6	μA

参数	测试条件/评论	敏	典型	马克斯	单元
功耗 普通模式 (静态) 正常模式 (操作) 7	AD7606		80	115.5	毫瓦
	f SAMPLE = 200 kSPS				
	AD7606		100	142	毫瓦
	AD7606-6		90	126	毫瓦
待机模式	AD7606-4		75	111	毫瓦
关机模式			25	42	毫瓦
			10	31.5	$\mu$ W

1 请参阅术语部分。

2 本规范适用于转换期间或转换后的阅读。如果在  $V_{DRIVE} = 5$  V 的并行模式下进行转换时读取，SNR 通常会降低 1.5 dB 和 THD 的 3 dB。

3 LSB 意味着最低有效位。输入范围为  $\pm 5$  V 时， $1 \text{ LSB} = 152.58 \mu\text{V}$ 。输入范围为  $\pm 10$  V 时， $1 \text{ LSB} = 305.175 \mu\text{V}$ 。

4 这些规范包括完整的温度范围变化和来自内部参考缓冲区的贡献，但不包括来自的误差贡献。

5 外部参考。

6 双极零码误差是相对于模拟输入电压计算的。请参见模拟输入钳位保护部分。

7 样品在初始发布期间进行测试以确保符合。

8 运行功率/电流数字包括在过采样模式下运行时的贡献。



## 时间规格

除非另有说明， $V_{CC} = 4.75\text{ V}$ 至 $5.25\text{ V}$ ， $V_{DRIVE} = 2.3\text{ V}$ 至 $5.25\text{ V}$ ， $V_{REF} = 2.5\text{ V}$ 外部基准/内部基准， $T_A = T_{MIN}$ 至 $T_{MAX}$ 。

表3.

参数	限制在 $T_{MIN}$ ， $T_{MAX}$ ( $0.1 \times V_{DRIVE}$ 和 $0.9 \times V$ 驱动器 逻辑输入电平)			限制在 $T_{MIN}$ ， $T_{MAX}$ ( $0.3 \times V$ 驱动器 和 $0.7 \times V$ 驱动器 逻辑输入电平)			单元	描述	
	敏	典型	马克斯	敏	典型	马克斯			
并行/串行/字节模式 $t_{CYCLE}$		五			五		微秒	1 / 吞吐率 并行模式，在转换期间或之后进行读取；要么 串行模式： $V_{DRIVE} = 3.3\text{ V}$ 至 $5.25\text{ V}$ ，读取期间 使用D OUT A和D OUT B线进行转换	
$t_{CONV2}$		9.7			9.4		微秒	转换后的串行模式读取； $V_{DRIVE} = 2.7\text{ V}$	
					10.7		微秒	转换后的串行模式读取； $V_{DRIVE} = 2.3\text{ V}$ ， D OUT A和D OUT B线	
		3.45	4	4.15	3.45	4	4.15	微秒	转换时间
			3			3		微秒	过度取样；AD7606
			2			2		微秒	过度取样；AD7606-6
		7.87		9.1	7.87		9.1	微秒	过度取样；AD7606-4
		16.05		18.8	16.05		18.8	微秒	过采样2；AD7606
		33		39	33		39	微秒	过采样4；AD7606
		66		78	66		78	微秒	过采样8；AD7606
		133		158	133		158	微秒	过采样16；AD7606
		257		315	257		315	微秒	过采样32；AD7606
唤醒待机			100			100	微秒	过采样64；AD7606 STBY上升沿到CONVST x上升沿；充电 时间从待机模式	
唤醒关机 内部参考			三十			三十	女士	STBY上升沿到CONVST x上升沿；充电 从关机模式的时间	
外部参考			13			13	女士	STBY上升沿到CONVST x上升沿；充电 从关机模式的时间	
$t_{RESET}$	50			50			NS	RESET高脉冲宽度	
OS_SETUP	20			20			NS	BUSY到OS x引脚建立时间	
OS_HOLD	20			20			NS	BUSY到OS X引脚保持时间	
$t_1$			40			45	NS	CONVST x高到BUSY高	
$t_2$	25			25			NS	最小CONVST x低脉冲	
$t_3$	25			25			NS	最小CONVST x高脉冲	
4	0			0			NS	BUSY下降沿到CS下降沿建立时间	
$T_{53}$			0.5			0.5	女士	CONVST A，CONVST之间允许的最大延迟时间 B上升的边缘	
6			25			25	NS	最后一个CS上升沿和BUSY之间的最大时间 下降的边缘	
$t_7$	25			25			NS	RESET低至CONVST x高电平之间的最小延迟	
并行/字节读取 操作									
$t_8$	0			0			NS	CS到RD设置时间	
9	0			0			NS	CS到RD保持时间	
$t_{10}$								RD低脉宽	
	16			19			NS	$V_{DRIVE}$ 高于 $4.75\text{ V}$	
	21			24			NS	$V$ 驱动 高于 $3.3\text{ V}$	
	25			三十			NS	$V_{DRIVE}$ 高于 $2.7\text{ V}$	
	32			37			NS	$V_{DRIVE}$ 高于 $2.3\text{ V}$	
$t_{11}$	15			15			NS	RD高脉宽	
$t_{12}$	22			22			NS	CS高脉冲宽度（见 图5）；CS和RD链接	

参数	限制在 $T_{MIN}$ , $T_{MAX}$ (0.1×V <sub>DRIVE</sub> 和 0.9×V <sub>驱动器</sub> 逻辑输入电平)		限制在 $T_{MIN}$ , $T_{MAX}$ (0.3×V <sub>驱动器</sub> 和 0.7×V <sub>驱动器</sub> 逻辑输入电平)		单元	描述
	敏	典型 马克斯	敏	典型 马克斯		
13		16		19	NS	从CS <sub>下降沿</sub> 延迟到DB [15: 0]三态禁用
		20		24	NS	V <sub>DRIVE</sub> 高于4.75 V
		25		三十	NS	V <sub>驱动器</sub> 高于3.3 V
		三十		37	NS	V <sub>DRIVE</sub> 高于2.7 V
T144						V <sub>DRIVE</sub> 高于2.3 V
		16		19	NS	RD下降沿之后的数据访问时间
		21		24	NS	V <sub>DRIVE</sub> 高于4.75 V
		25		三十	NS	V <sub>驱动器</sub> 高于3.3 V
		32		37	NS	V <sub>DRIVE</sub> 高于2.7 V
t15	6		6		NS	V <sub>DRIVE</sub> 高于2.3 V
t16	6		6		NS	RD下降沿之后的数据保持时间
t17		22		22	NS	CS到DB [15: 0]保持时间
串行读取操作 f SCLK						从CS上升沿延迟到DB [15: 0]三态启用
		23.5		20	兆赫	串行读取时钟的频率
		17		15	兆赫	V <sub>DRIVE</sub> 高于4.75 V
		14.5		12.5	兆赫	V <sub>驱动器</sub> 高于3.3 V
		11.5		10	兆赫	V <sub>DRIVE</sub> 高于2.7 V
t18						V <sub>DRIVE</sub> 高于2.3 V
		15		18	NS	从CS <sub>下降沿</sub> 延迟到D <sub>OUT A</sub> /D <sub>OUT B</sub> 三态禁用/延迟从CS直到MSB有效
		20		23	NS	V <sub>DRIVE</sub> 高于4.75 V
		三十		35	NS	V <sub>驱动器</sub> 高于3.3 V
T194						V <sub>DRIVE</sub> = 2.3 V至2.7 V
		17		20	NS	SCLK上升沿后的数据存取时间
		23		26	NS	V <sub>DRIVE</sub> 高于4.75 V
		27		32	NS	V <sub>驱动器</sub> 高于3.3 V
		34		39	NS	V <sub>DRIVE</sub> 高于2.7 V
20	0.4 tSCLK		0.4 tSCLK		NS	V <sub>DRIVE</sub> 高于2.3 V
21	0.4 tSCLK		0.4 tSCLK		NS	SCLK低脉冲宽度
t22	7		7		NS	SCLK高脉冲宽度
23		22		22	NS	SCLK上升沿到D <sub>OUT A</sub> /D <sub>OUT B</sub> 有效保持时间
FRSTDATA操作 24						CS上升沿到D <sub>OUT A</sub> /D <sub>OUT B</sub> 三态使能
		15		18	NS	从CS <sub>下降沿</sub> 延迟到FRSTDATA三态, 国家禁用
		20		23	NS	V <sub>DRIVE</sub> 高于4.75 V
		25		三十	NS	V <sub>驱动器</sub> 高于3.3 V
		三十		35	NS	V <sub>DRIVE</sub> 高于2.7 V
t25					NS	V <sub>DRIVE</sub> 高于2.3 V
		15		18	NS	从CS <sub>下降沿</sub> 延迟到FRSTDATA为高电平, 串行模式
		20		23	NS	V <sub>DRIVE</sub> 高于4.75 V
		25		三十	NS	V <sub>驱动器</sub> 高于3.3 V
		三十		35	NS	V <sub>DRIVE</sub> 高于2.7 V
26						V <sub>DRIVE</sub> 高于2.3 V
		16		19	NS	从RD <sub>下降沿</sub> 延迟到FRSTDATA高电平
		20		23	NS	V <sub>DRIVE</sub> 高于4.75 V
		25		三十	NS	V <sub>驱动器</sub> 高于3.3 V
		三十		35	NS	V <sub>DRIVE</sub> 高于2.7 V
						V <sub>DRIVE</sub> 高于2.3 V

参数	限制在 $T_{MIN}$ , $T_{MAX}$ (0.1×V DRIVE 和 0.9×V 驱动器逻辑输入电平)		限制在 $T_{MIN}$ , $T_{MAX}$ (0.3×V 驱动器和 0.7×V 驱动器逻辑输入电平)		单元	描述
	敏	典型 马克	敏	典型 马克		
27		19		22	NS	从RD下降沿延迟到FRSTDATA低电平 $V_{DRIVE} = 3.3\text{V至}5.25\text{V}$
		24		29	NS	$V_{DRIVE} = 2.3\text{V至}2.7\text{V}$
28		17		20	NS	从第16个SCLK下降沿延迟到FRSTDATA低电平 $V_{DRIVE} = 3.3\text{V至}5.25\text{V}$
		22		27	NS	$V_{DRIVE} = 2.3\text{V至}2.7\text{V}$
$t_{29}$		24		29	NS	从CS上升沿延迟到FRSTDATA三态， 状态启用

1样品在初始发布期间进行测试以确保符合所有的输入信号由  $t_R = t_F = 5\text{ns}$  ( $V_{DRIVE}$  的 10% 至 90%) 指定, 并从 1.6V 的电压电平开始计时.  
 2在过采样模式下, AD7606-6和AD7606-4的典型  $t_{CONV}$  可以使用  $(N \times t_{CONV}) + ((N-1) \times 1\mu\text{s})$  来计算.  $N$  是过采样率. 对于AD7606-6,  $t_{CONV} = 3\mu\text{s}$ ; 对于AD7606-4,  $t_{CONV} = 2\mu\text{s}$ .  
 3CONVST x信号之间的延迟被测量为允许的最大时间, 同时确保通道组之间 < 10 LSB 的性能匹配.  
 4数据输出引脚使用一个缓冲器进行这些测量, 这相当于输出引脚上的负载为 20 pF.

时间图

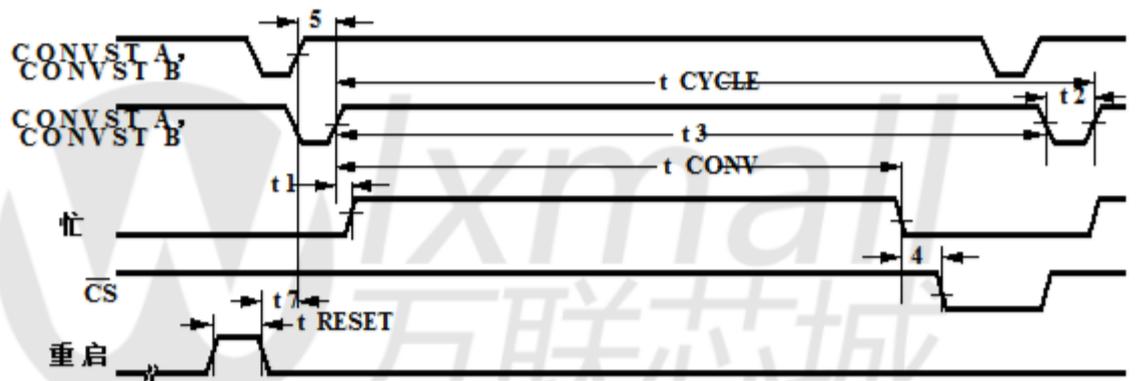


图2. CONVST时序 - 转换后读取

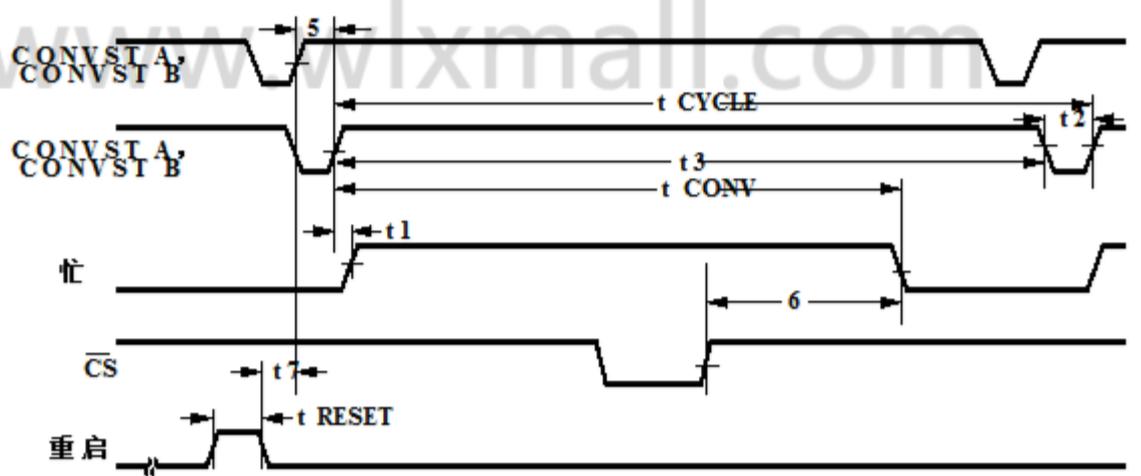


图3. 转换期间的CONVST时序读数

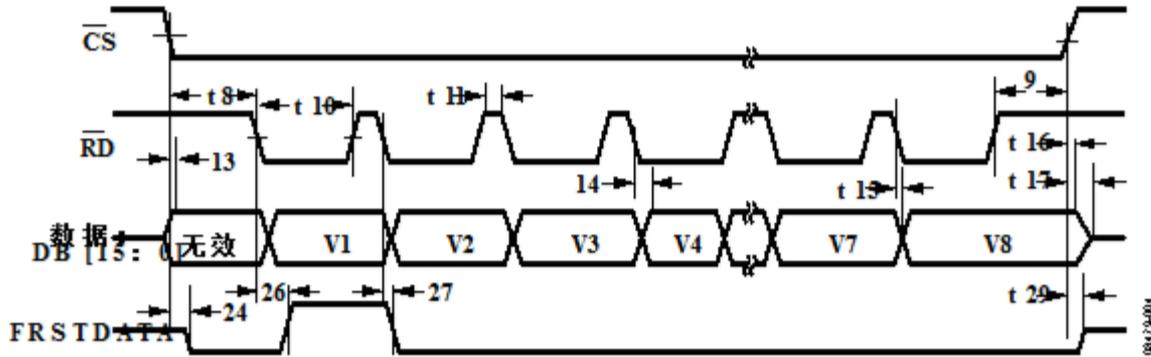


图4. 并行模式，独立的CS和RD脉冲

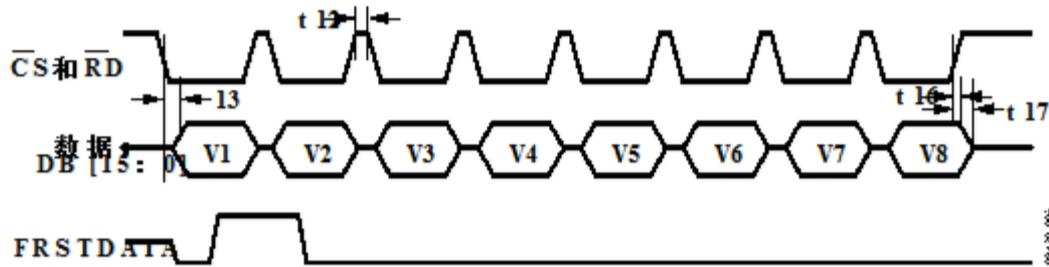


图5. CS和RD，链接并行模式

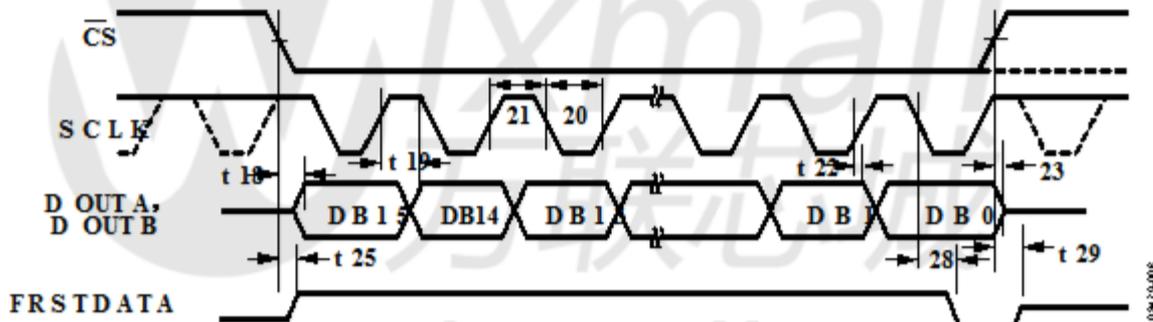


图6. 串行读操作（通道1）

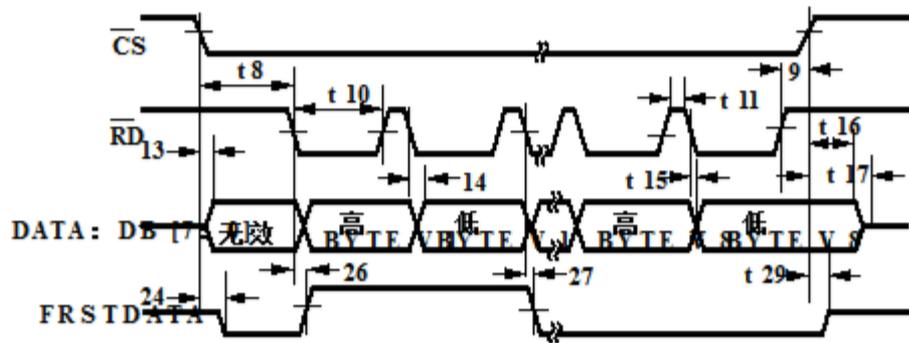


图7. BYTE模式读取操作

## 绝对最大额定值

T A = 25°C, 除非另有说明.

表4

参数	评分
AV CC 到AGND	-0.3 V至+7 V
V DRIVE 到AGND	-0.3 V到AV CC + 0.3 V
模拟输入电压到AGND 1	±16.5 V
数字输入电压到AGND	-0.3 V至V DRIVE + 0.3 V
数字输出电压到AGND	-0.3 V至V DRIVE + 0.3 V
REFIN到AGND	-0.3 V到AV CC + 0.3 V
输入电流除任何引脚供应 1	±10 mA
工作温度范围	
B版本	-40°C至+ 85°C
存储温度范围	-65°C至+ 150°C
结温	150°C
铅/锡温度, 焊接	
回流 (10秒至30秒)	240 (+0) °C
无铅温度, 回流焊	260 (+0) °C
ESD (除模拟输入外的所有引脚)	2千伏
ESD (仅限模拟输入引脚)	7千伏

1高达100 mA的瞬态电流不会导致SCR闭锁.

强调在绝对最大上列出的那些  
 评级可能会导致产品永久性损坏.这是一个  
 压力评级只.在这些产品的功能操作  
 或高于业务指示的任何其他条件  
 不是暗示本规范的一部分.超越操作  
 长时间的最大运行条件可能  
 影响产品可靠性.

## 热阻

θJA 是针对最差条件 (即器件) 而规定的  
 焊接在表面贴装封装的电路板上.这些  
 规格适用于4层板.

表5.热阻

包装类型	θJA	θJC	单元
64引脚LQFP	45	11	°C / W

## ESD警告



**ESD (electrostatic discharge) sensitive device.**  
 Charged devices and circuit boards can discharge  
 without detection. Although this product features  
 patented or proprietary protection circuitry, damage  
 may occur on devices subjected to high energy ESD.  
 Therefore, proper ESD precautions should be taken to  
 avoid performance degradation or loss of functionality.

www.wlxmall.com

引脚配置和功能说明

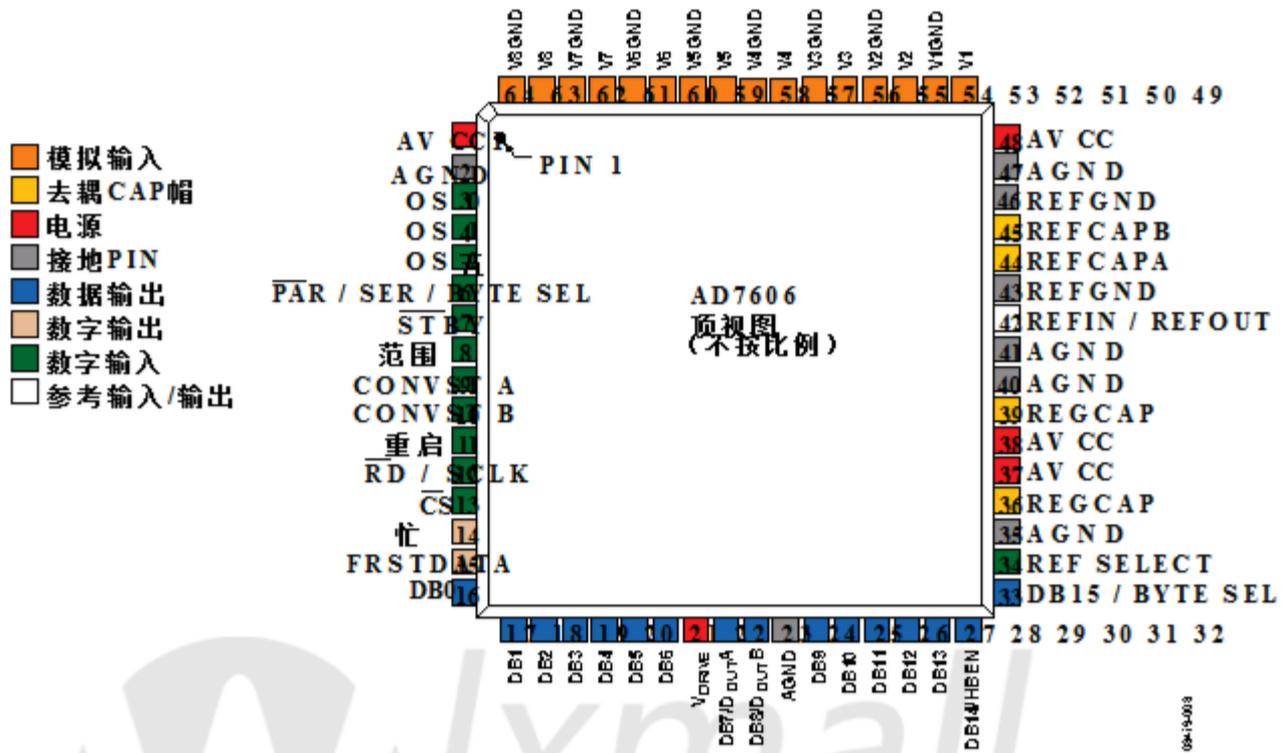


图8. AD7606引脚配置

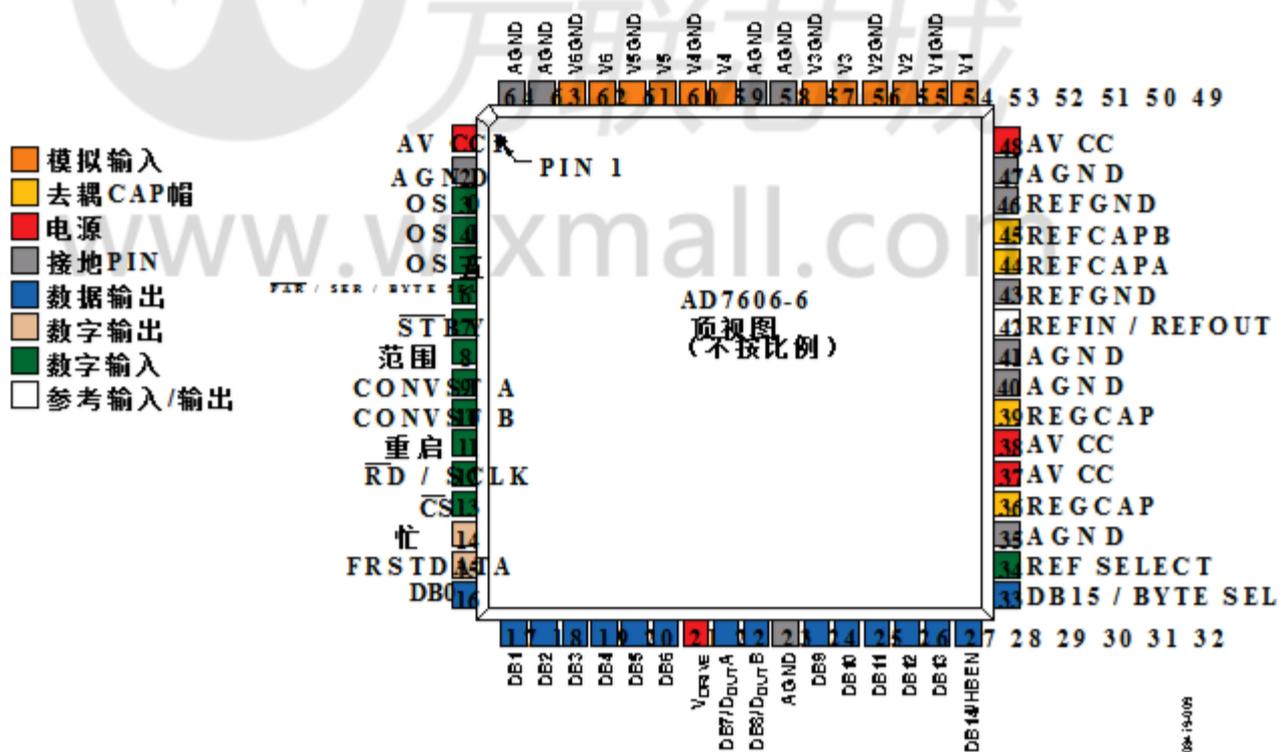


图9. AD7606-6引脚配置

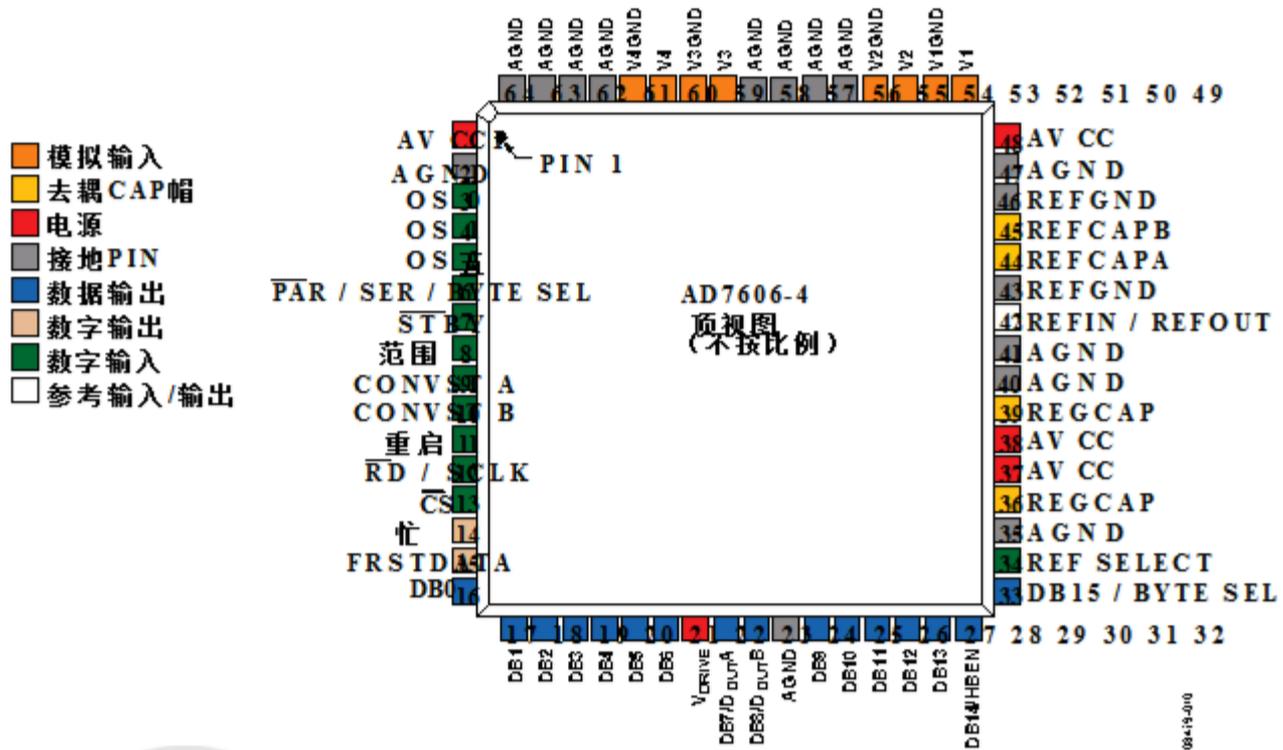


图10. AD7606-4引脚配置

表6.引脚功能描述

销号	类型1	助记符			描述
		AD7606	AD7606-6	AD7606-4	
1, 37, 38, 48	P	AV CC	AV CC	AV CC	模拟电源电压, 4.75 V至5.25 V.此电源电压被应用于内部前端放大器和ADC内核.这些供应引脚应解耦为AGND.
2, 26, 35, 40, 41, 47	P	AGND	AGND	AGND	模拟地.这些引脚是所有模拟的接地参考点AD7606上的电路.所有模拟输入信号和外部参考信号应该被引用到这些引脚.所有这六个AGND引脚应该连接到系统的AGND平面.
5, 4, 3	DI	OS [2: 0]	OS [2: 0]	OS [2: 0]	过采样模式引脚.逻辑输入.这些输入用于选择过采样比率. OS 2是MSB控制位, OS 0是LSB控制位.有关过采样的更多详细信息, 请参见数字滤波器部分操作模式和表9中的过采样位解码.
6	DI	$\overline{\text{PAR}} / \text{SER} / \text{BYTE SEL}$	$\overline{\text{PAR}} / \text{SER} / \text{BYTE SEL}$	$\overline{\text{PAR}} / \text{SER} / \text{BYTE SEL}$	并行/串行/字节接口选择输入.逻辑输入.如果这个引脚连接到逻辑低, 选择并行接口.如果该引脚连接到逻辑高电平, 串口被选中.并行字节接口模式被选中时该引脚为逻辑高电平, DB15 / BYTE SEL为逻辑高电平(见表8).在串行模式下, $\text{RD} / \text{SCLK}$ 引脚用作串行时钟输入.该DB7 / D OUT A引脚和DB8 / D OUT B引脚用作串行数据输出.什么时候串行接口被选中, DB [15: 9]和DB [6: 0]引脚应连接到地面.在字节模式下, DB15与 $\overline{\text{PAR}} / \text{SER} / \text{BYTE SEL}$ 一起用于选择并行字节操作模式(见表8).DB14用作HBEN销.DB [7: 0]将16位转换结果转换为两个RD操作, DB0作为数据传输的LSB.
7	DI	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	待机模式输入.该引脚用于将AD7606 / AD7606-6 / AD7606-4进入两种掉电模式之一: 待机模式或关断模式.进入掉电模式取决于RANGE的状态如表7所示.当处于待机模式时, 所有电路, 芯片参考电压, 稳压器和稳压器缓冲器都断电.什么时候在关断模式下, 所有电路都断电.

销号	类型1	助记符			描述
		AD7606	AD7606-6	AD7606-4	
8	DI	范围	范围	范围	模拟量输入范围选择. 逻辑输入. 该引脚上的极性可以确定, 挖掘模拟输入通道的输入范围. 如果这个引脚连接到一个逻辑高, 所有通道的模拟输入范围为±10 V. 如果这个引脚连接到逻辑低电平, 所有通道的模拟输入范围为±5 V. 一个逻辑的变化此引脚对模拟输入范围有直接影响. 更改不建议在转换期间使用此引脚来提高吞吐速率应用. 有关更多信息, 请参见模拟输入部分.
9, 10	DI	CONVST A, CONVST B	CONVST A, CONVST B	CONVST A, CONVST B	转换开始输入A, 转换开始输入B. 逻辑输入. 这些逻辑输入用于启动模拟输入通道的转换. 对于所有输入通道的同时采样, CONVST A和CONVST B可以一起短路, 并且可以施加单个转换启动信号. 或者, CONVST A可用于启动同时采样: V1, 用于AD7606的V2, V3和V4; V1, V2和V3为AD7606-6;和V1和AD7606-4的V2. CONVST B可以用来同时启动对其他模拟输入进行采样: AD7606的V5, V6, V7和V8; AD7606-6的V4, V5和V6;以及AD7606-4的V3和V4. 这是只有在过采样未打开的情况下才可能. 当CONVST A或CONVST B引脚从低电平转换为高电平, 前端采样保持相应模拟输入的电路被设置为保持.
11	DI	重启	重启	重启	重置输入. 当设置为逻辑高电平时, RESET的上升沿复位AD7606 / AD7606-6 / AD7606-4. 该设备应该收到一个RESET脉冲. 直接上电后, RESET高电平脉冲通常应该是50 ns宽. 如果在转换过程中应用了RESET脉冲, 则转换结果中止. 如果在读取期间应用RESET脉冲, 输出寄存器复位为全零.
12	DI	$\overline{\text{RD}} / \text{SCLK}$	$\overline{\text{RD}} / \text{SCLK}$	$\overline{\text{RD}} / \text{SCLK}$	并行数据读取控制输入选择并行接口 (RD) / 当选择串行接口 (SCLK) 时串行时钟输入. 当两个CS和RD在并行模式下为逻辑低电平, 输出总线使能. 在串行模式下, 该引脚用作数据传输的串行时钟输入. CS下降沿将D OUT A和D OUT B数据输出线取出三态, 并输出转换结果的MSB. 崛起SCLK的边沿将所有后续的数据位送到D OUT A和D OUT B上. 串行数据输出. 有关更多信息, 请参阅转换控制部分.
13	DI	$\overline{\text{CS}}$	$\overline{\text{CS}}$	$\overline{\text{CS}}$	芯片选择. 这个低电平有效的逻辑输入框架的数据传输. 什么时候在并行模式下, CS和RD均为逻辑低电平, DB [15: 0]输出总线为使能并且转换结果在并行数据总线上输出. 在串行模式下, $\overline{\text{CS}}$ 用于帧串行读取传输和时钟输出. 串行输出数据的MSB.
14	做	忙	忙	忙	繁忙的输出. 在CONVST A和CONVST B之后, 该引脚转换为逻辑高电平. CONVST B上升沿, 表示转换过程已经开始. BUSY输出保持高电平直到所有通道的转换过程做完了. BUSY的下降沿指示转换数据为被锁存到输出数据寄存器并可用于读取之后. 时间t <sub>4</sub> . 任何读取BUSY为高电平的数据都必须先完成. 繁忙的下降发生. CONVST A或CONVST B的上升趋势具有BUSY信号高时无效.
15	做	FRSTDATA	FRSTDATA	FRSTDATA	数字输出. FRSTDATA输出信号指示何时第一个通道, V1正在读取并行, 字节或串行接口. 当...的时候CS输入高电平, FRSTDATA输出引脚处于三态. 下降CS的边沿将FRSTDATA带出三态. 在并行模式下, 下降RD的边沿对应于V1的结果, 然后置位FRSTDATA引脚高, 表示V1的结果在输出数据总线上可用. FRSTDATA输出在下一个下降沿之后返回到逻辑低电平的RD. 在串行模式下, 由于CS的下降沿, FRSTDATA变高. 这将在D OUT A上输出V1的MSB. 它在第16个SCLK上返回低电平. CS下降沿后下降沿. 请参阅转换控制部分. 更多细节.

销号	类型1	助记符			描述
		AD7606	AD7606-6	AD7606-4	
22日至16日	做	DB [6: 0]	DB [6: 0]	DB [6: 0]	并行输出数据位, DB6到DB0.当PAR / SER / BYTE SEL = 0时, 这些引脚充当三态并行数字输入/输出引脚.当CS和RD 这些引脚用于输出转换结果的DB6到DB0. 当PAR / SER / BYTE SEL = 1时, 这些引脚应连接到AGND.什么时候在并行字节接口模式下操作时, DB [7: 0]输出16位数据 版本导致两个RD操作. DB7 (引脚24) 是MSB; DB0是LSB.
23	P	V DRIVE	V DRIVE	V DRIVE	逻辑电源输入.该引脚提供的电压 (2.3 V至5.25 V) 确定接口的工作电压.这个名字是名义上的 与主机接口 (即DSP和FPGA) 的电源电压相同.
24	做	DB7 / DOUTA	DB7 / DOUTA	DB7 / DOUTA	并行输出数据位7 (DB7) /串行接口数据输出引脚 (DOUT A). 当PAR / SER / BYTE SEL = 0时, 这个引脚用作三态并行数字输入/输出引脚.当CS和RD为低电平时, 该引脚用于输出DB7 的转换结果.当PAR / SER / BYTE SEL = 1时, 该引脚起作用 作为D OUT A并输出串行转换数据 (请参阅转换控制 部分更多细节).在并行字节模式下运行时, DB7是 字节的MSB.
25	做	DB8 / DOUTB	DB8 / DOUTB	DB8 / DOUTB	并行输出数据位8 (DB8) /串行接口数据输出引脚 (DOUT B). 当PAR / SER / BYTE SEL = 0时, 该引脚用作三态并行数字输入/输出引脚.当CS和RD为低电平时, 该引脚用于输出 DB8的转换结果.当PAR / SER / BYTE SEL = 1时, 该引脚起作用 作为D OUT B并输出串行转换数据 (请参阅转换控制 部分更多细节).
31日至27日	做	DB [13: 9]	DB [13: 9]	DB [13: 9]	并行输出数据位, DB13至DB9.当PAR / SER / BYTE SEL = 0时, 这些引脚充当三态并行数字输入/输出引脚.当CS和RD 这些引脚用于输出转换结果的DB13到DB9. 当PAR / SER / BYTE SEL = 1时, 这些引脚应连接到AGND.
32	DO / DI	DB14 / HBEN	DB14 / HBEN	DB14 / HBEN	并行输出数据位14 (DB14) /高字节使能 (HBEN).当PAR / SER / BYTE SEL = 0, 该引脚用作三态并行数字输出引脚. 当CS和RD为低电平时, 该引脚用于输出转换的DB14 结果.当PAR / SER / BYTE SEL = 1且DB15 / BYTE SEL = 1时, AD7606 / AD7606-6 / AD7606-4以并行字节接口模式工作.在并行下 字节模式下, HBEN引脚用于选择是否为最高有效字节 (MSB) 或转换结果的最低有效字节 (LSB) 先输出. 当HBEN = 1时, 首先输出MSB, 然后输出LSB. 当HBEN = 0时, 首先输出LSB, 然后输出MSB. 在串行模式下, 该引脚应连接到GND.
33	DO / DI	DB15 / BYTE SEL	DB15 / BYTE SEL	DB15 / BYTE SEL	并行输出数据位15 (DB15) /并行字节模式选择 (BYTE SEL). 当PAR / SER / BYTE SEL = 0时, 该引脚用作三态并行数字 输出引脚.当CS和RD为低电平时, 该引脚用于输出DB15 转换结果.当PAR / SER / BYTE SEL = 1时, BYTE SEL引脚用于 在串行接口模式和并行字节接口模式之间选择 (见表8).当PAR / SER / BYTE SEL = 1和DB15 / BYTE SEL = 0时, AD7606工作在串行接口模式下.当PAR / SER / BYTE SEL = 1时 和DB15 / BYTE SEL = 1时, AD7606以并行字节接口模式工作.
34	DI	REF SELECT	REF SELECT	REF SELECT	内部/外部参考选择输入.逻辑输入.如果此引脚设置为 逻辑高, 内部参考被选中并使能.如果此引脚设置为 逻辑低, 内部参考被禁用和外部参考 必须将电压施加到REFIN / REFOUT引脚.
36, 39	P	REGCAP	REGCAP	REGCAP	从内部稳压器输出电压的去耦电容器引脚. 这些输出引脚应该使用1μF单独去耦到AGND 电容.这些引脚上的电压范围为2.5 V至2.7 V.

销号	类型 1	助记符			描述
		AD7606	AD7606-6	AD7606-4	
42	REF	REFIN / REFOUT	REFIN / REFOUT	REFIN / REFOUT	参考输入 (REFIN) / 参考输出 (REFOUT)。片上参考。如果 REF SELECT 引脚设置为，则此引脚上有 2.5 V 的供外部使用逻辑高。或者，可以通过设置禁用内部参考。REF SELECT 引脚为逻辑低电平，2.5 V 的外部基准电压即可应用于此输入 (请参阅内部/外部参考部分)。内部和外部的引脚都需要去耦。参考选项。一个 10 $\mu$ F 的电容器应该从这个引脚施加到靠近 REFGND 引脚接地。
43, 46	REF	REFGND	REFGND	REFGND	参考接地引脚。这些引脚应连接到 AGND。
44, 45	REF	REFCAPA, REFCAPB	REFCAPA, REFCAPB	REFCAPA, REFCAPB	参考缓冲器输出/感测引脚。这些引脚必须连接一起使用一个低 ESR, 10 $\mu$ F 陶瓷电容去耦到 AGND。这些引脚上的电压通常为 4.5 V。
49	AI	V1	V1	V1	模拟输入。该引脚是单端模拟输入。模拟输入。该通道的范围由 RANGE 引脚决定。
50, 52	AI GND	V1GND, V2GND	V1GND, V2GND	V1GND, V2GND	模拟输入接地引脚。这些引脚对应于模拟输入引脚 V1 和模拟输入引脚 V2。所有的模拟输入 AGND 引脚都应连接到系统的 AGND 平面。
51	AI	V2	V2	V2	模拟输入。该引脚是单端模拟输入。模拟输入。该通道的范围由 RANGE 引脚决定。
53	AI / GND	V3	V3	AGND	模拟输入 3。对于 AD7606-4，这是一个 AGND 引脚。
54	AI GND / GND	V3GND	V3GND	AGND	模拟输入接地引脚。对于 AD7606-4，这是一个 AGND 引脚。
55	AI / GND	V4	AGND	AGND	模拟输入 4。对于 AD7606-6 和 AD7606-4，这是一个 AGND 引脚。
56	AI GND / GND	V4GND	AGND	AGND	模拟输入接地引脚。对于 AD7606-6 和 AD7606-4，这是一个 AGND 引脚。
57	AI	V5	V4	V3	模拟输入。这些引脚是单端模拟输入。模拟。这些通道的输入范围由 RANGE 引脚决定。
58	AI GND	V5GND	V4GND	V3GND	模拟输入接地引脚。所有的模拟输入 AGND 引脚都应连接到系统的 AGND 平面。
59	AI	V6	V5	V4	模拟输入。这些引脚是单端模拟输入。
60	AI GND	V6GND	V5GND	V4GND	模拟输入接地引脚。所有的模拟输入 AGND 引脚都应连接到系统的 AGND 平面。
61	AI / GND	V7	V6	AGND	模拟输入引脚。对于 AD7606-4，这是一个 AGND 引脚。
62	AI GND / GND	V7GND	V6GND	AGND	模拟输入接地引脚。对于 AD7606-4，这是一个 AGND 引脚。
63	AI / GND	V8	AGND	AGND	模拟输入引脚。对于 AD7606-4 和 AD7606-6，这是一个 AGND 引脚。
64	AI GND / GND	V8GND	AGND	AGND	模拟输入接地引脚。对于 AD7606-4 和 AD7606-6，这是一个 AGND 引脚。

1P 为电源，DI 为数字输入，DO 为数字输出，REF 为参考输入/输出，AI 为模拟输入，GND 为地。

### 典型的性能特征

温度范围为-40°C至+ 85°C. AD7606的功能可高达105°C, 吞吐量<160 kSPS.规格是只保证工作温度范围为-40°C至+ 85°C.

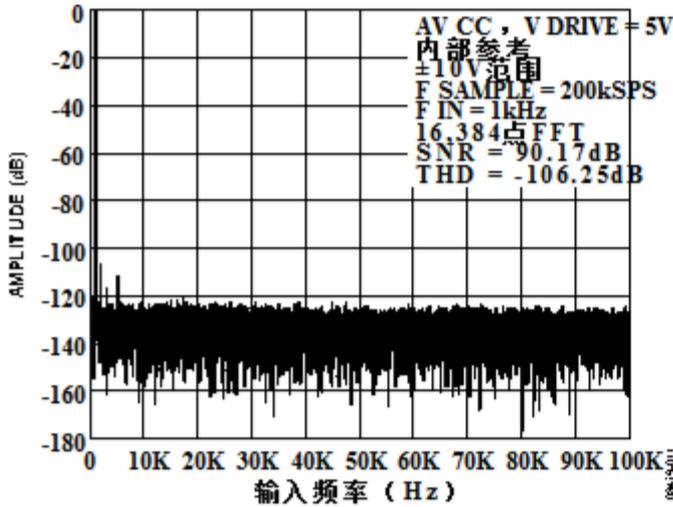


图11. AD7606 FFT, ±10 V范围

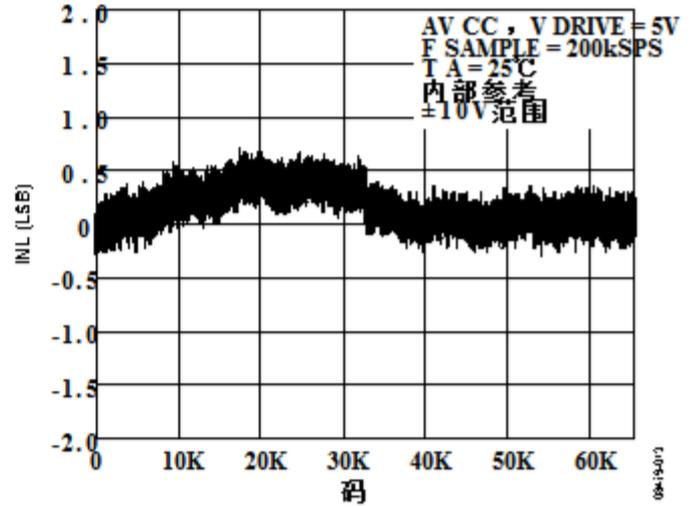


图14. AD7606典型INL, ±10 V范围

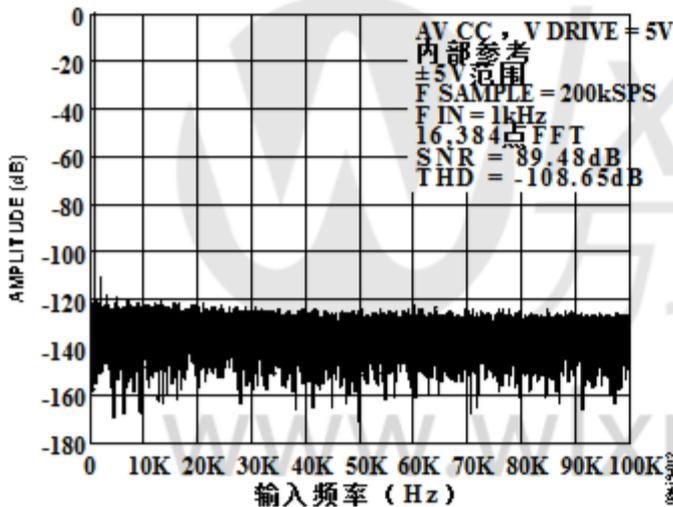


图12. AD7606 FFT图, ±5 V范围

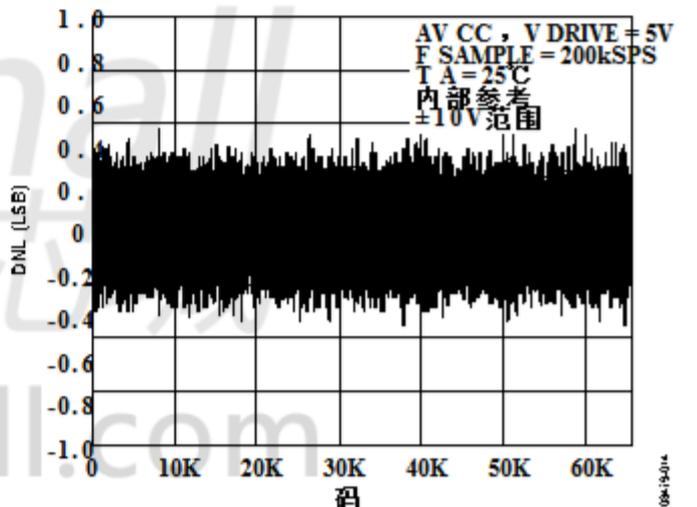


图15. AD7606典型DNL, ±10 V范围

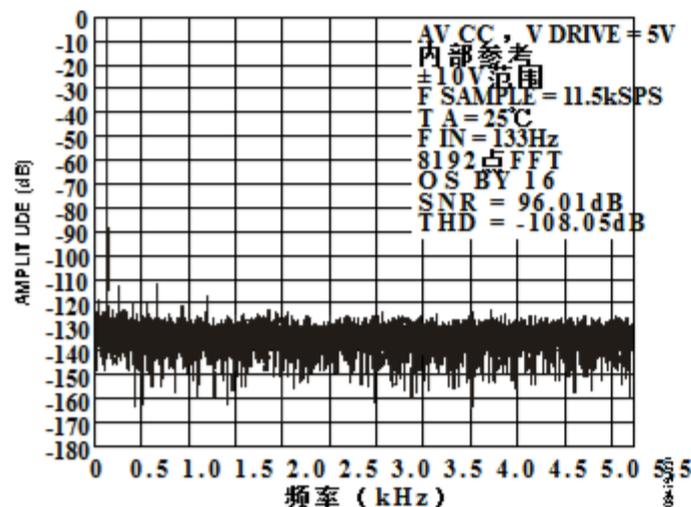


图13. FFT图过采样16, ±10 V范围

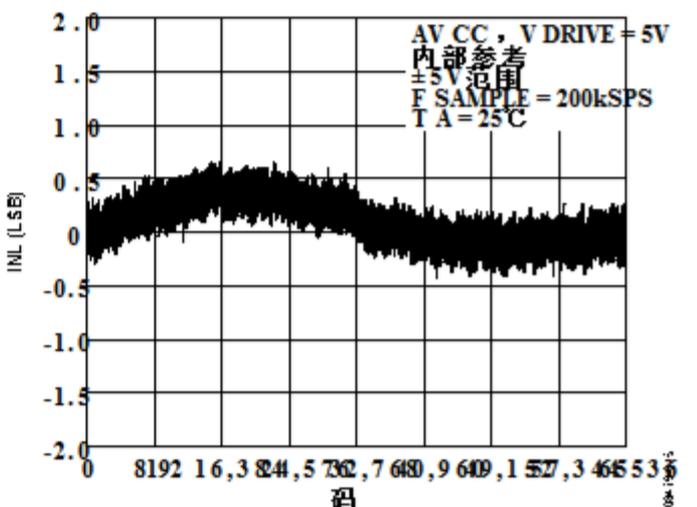


图16. AD7606典型INL, ±5 V范围

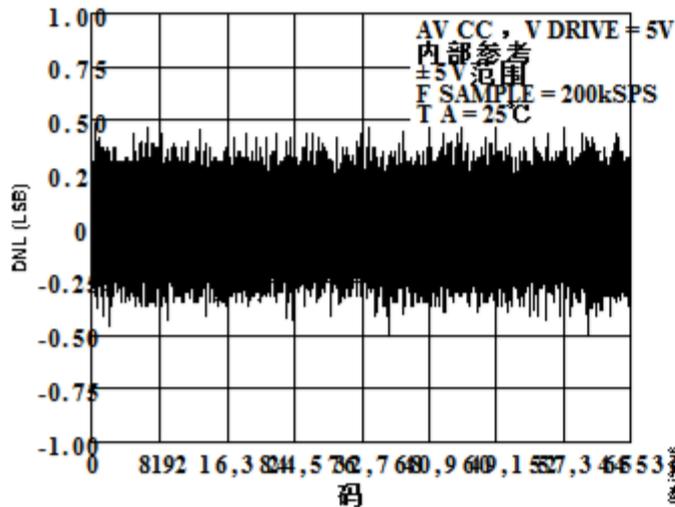


图17. AD7606典型DNL, ±5 V范围

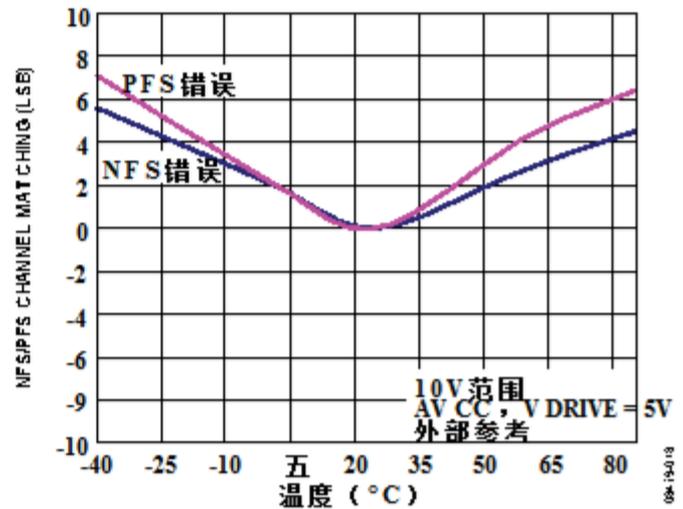


图20. NFS和PFS错误匹配

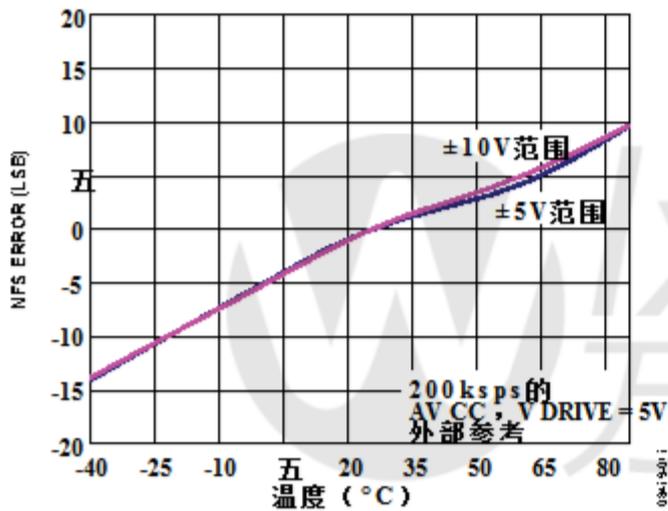


图18. NFS错误与温度的关系

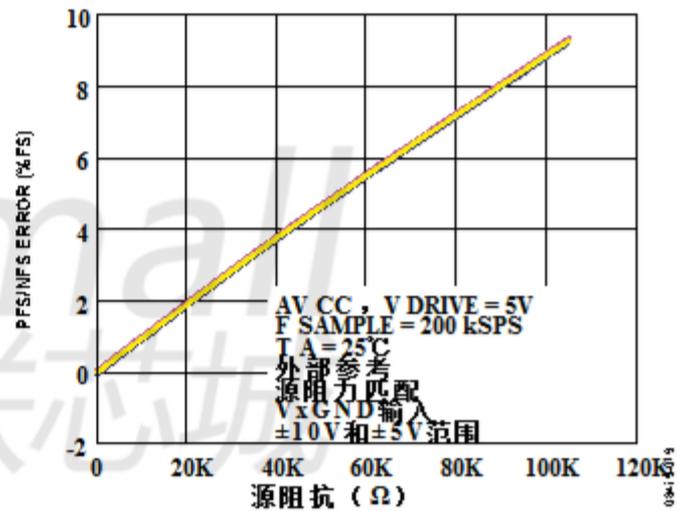


图21. PFS和NFS错误与源阻力

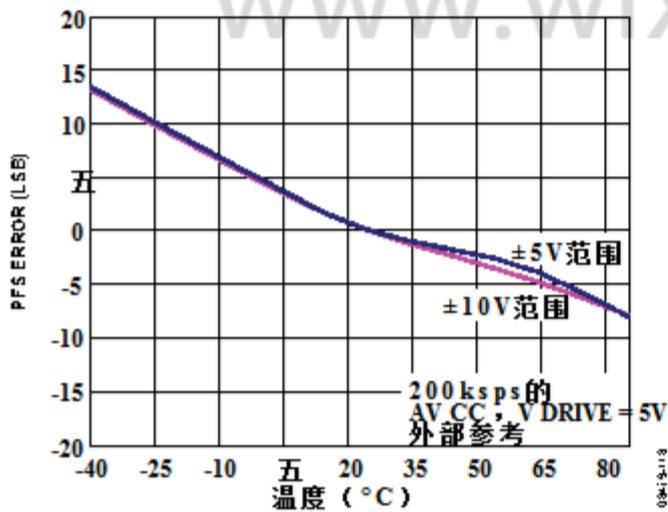


图19. PFS错误与温度的关系

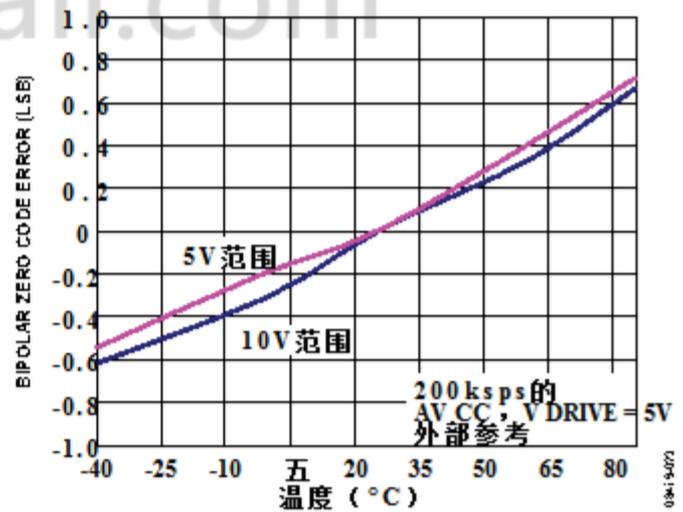


图22. 双极性零码错误与温度的关系

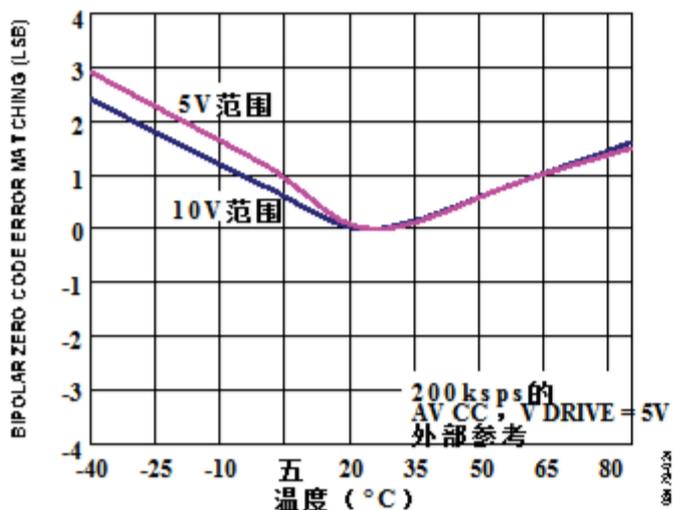


图23.通道之间的双极性零码错误匹配

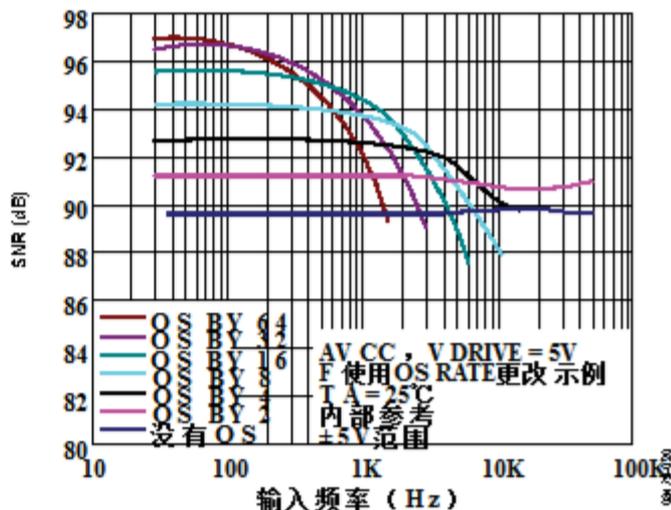


图26.不同过采样率, ±5 V范围的SNR与输入频率的关系

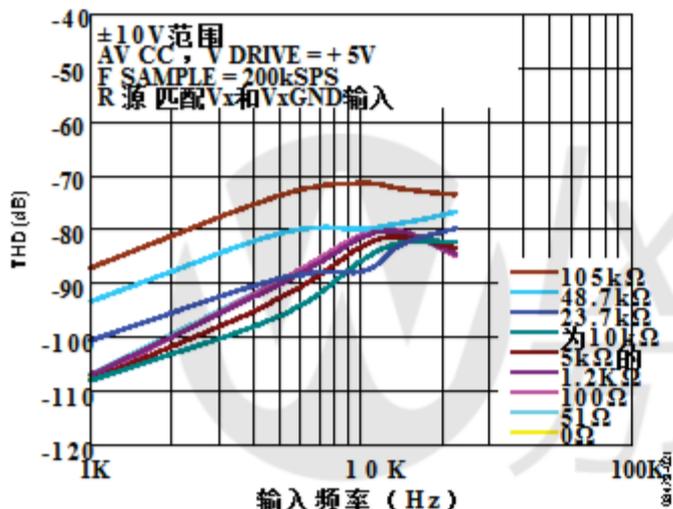


图24.不同源阻抗的THD与输入频率, ±10 V范围

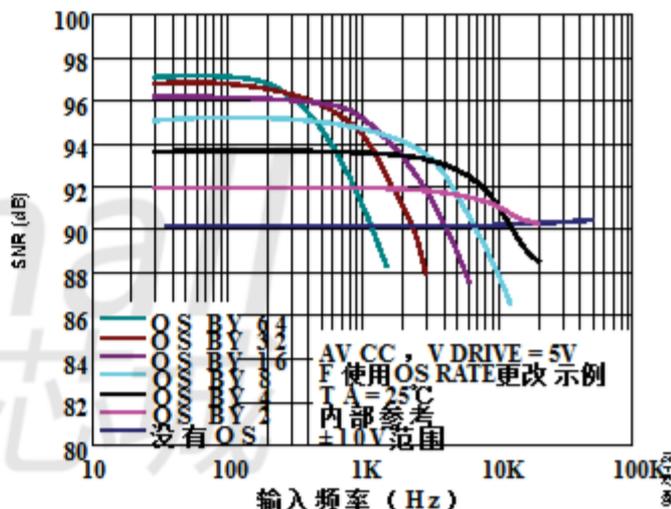


图27.不同过采样率, ±10 V范围的SNR与输入频率的关系

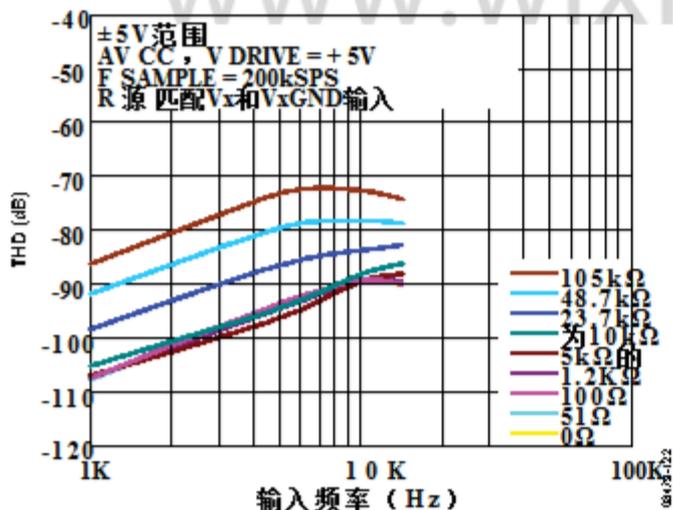


图25.各种信号源阻抗的THD与输入频率, ±5 V量程

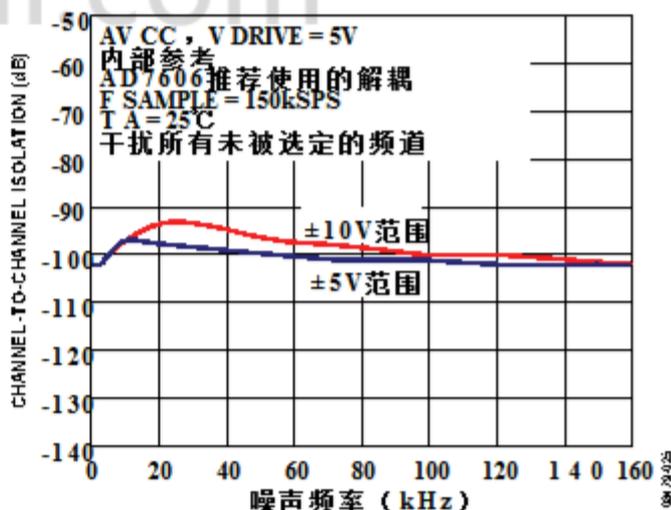


图28.通道间隔离

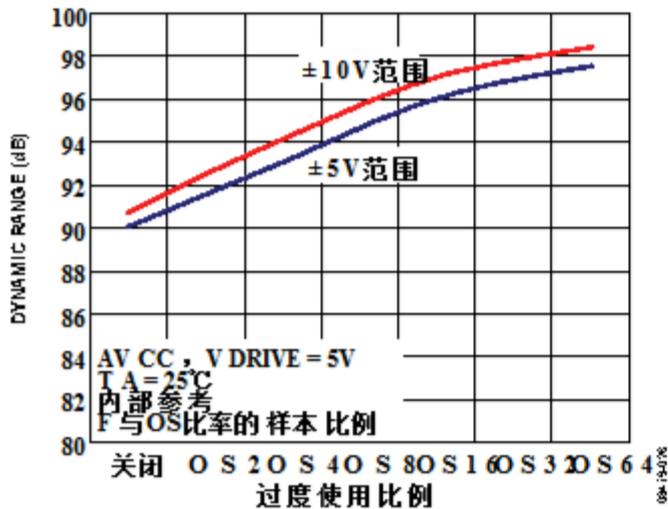


图29.动态范围与过采样率

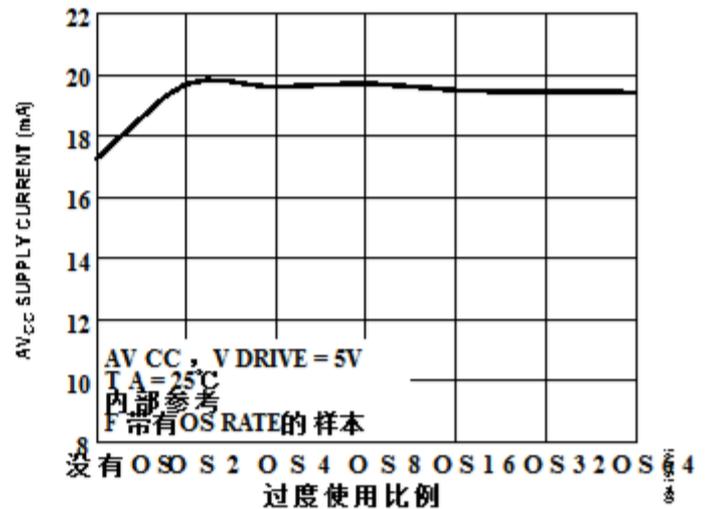


图32.电源电流与过采样率

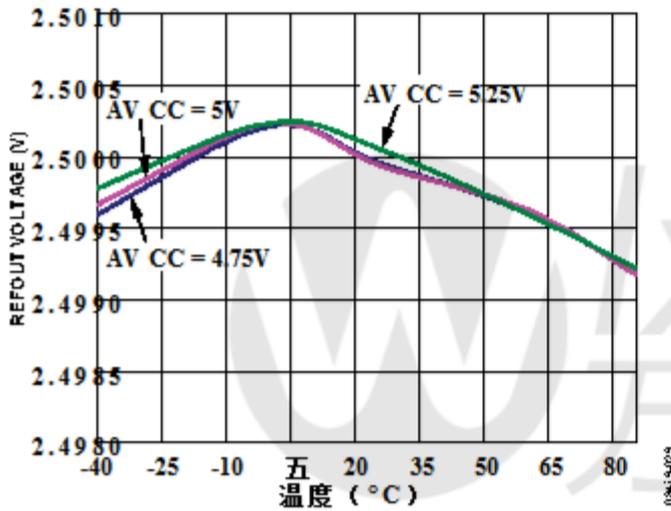


图30.基准输出电压与温度的关系  
不同的电源电压

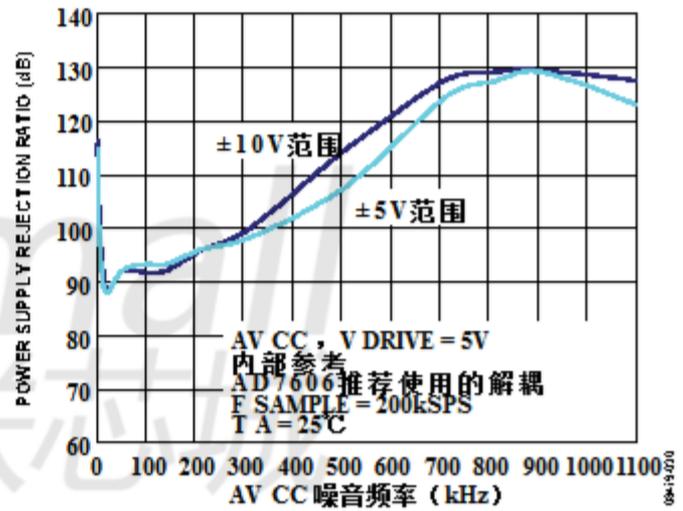


图33. PSRR

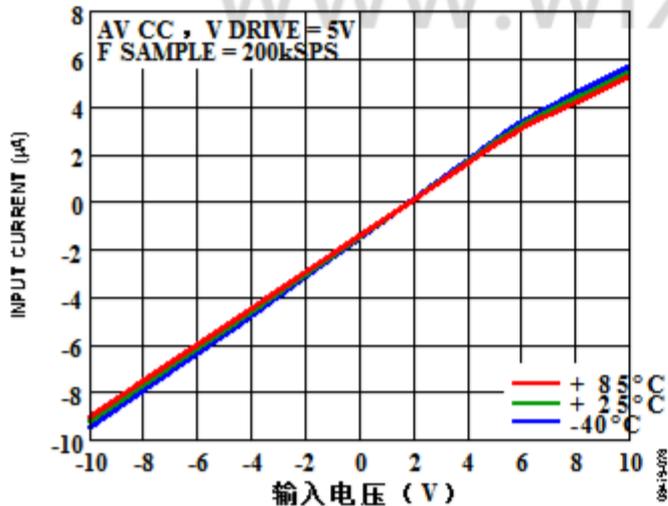


图31.各种电源电压下模拟输入电流与温度的关系

## 术语

**积分非线性**

与通过的直线的最大偏差

ADC传输函数的端点.的终点

传递函数是零标度,比第一个低1/2 LSB

代码转换,并在最后一个代码的上方1/2 LSB处进行满量程编程过渡.

**微分非线性**

测得的和理想的1 LSB之间的差异

在ADC中任何两个相邻的代码之间改变.

**双极性零码错误**

中间尺度转换(全1到全0)的偏离

理想的,这是0 V - 1/4 LSB.

**双极零码错误匹配**

任何之间的双极性零码错误的绝对差异

两个输入通道.

**正满量程误差**

实际的最后代码转换与理想的偏差

最后的代码转换(10 V - 1/4 LSB (9.99954)和5 V - 1/4 LSB

(4.99977))在双极性零码错误调整后.该

积极的全面的错误包括来自的贡献

内部参考缓冲区.

**正面满量程错误匹配**

任何之间的正满量程误差的绝对差异

两个输入通道.

**负的满量程误差**

第一个代码从理想的第一个转变的偏差

代码转换(-10 V + 1/2 LSB (-9.99984)和-5 V + 1/2 LSB)

(-4.99992))在双极性零码错误被调整出来之后.

负面的满量程误差包括来自的贡献

内部参考缓冲区.

**负的满量程错误匹配**

任何之间的负满量程误差的绝对差异

两个输入通道.

**总未调整误差(TUE)**

TUE是一个全面的规范,包括增益

线性和偏移误差.

**信号-(噪声+失真)比**

测量到的信噪比(噪声+失真)

ADC的输出.信号是的有效值振幅

基本的.噪声是所有非基本信号的总和

最高采样频率的一半( $f_S/2$ ,不包括直流).

该比例取决于中的量化级别的数量

数字化过程:越多层次越小

量化噪声.

理想的信号-(噪声+失真)比

具有正弦波输入的N位转换器由下式给出

$$\text{信噪比(噪声+失真)} = (6.02N + 1.76) \text{ dB}$$

因此,对于16位转换器,信号(噪声+失真)

是98分贝.

**总谐波失真(THD)**

谐波的均方根和与基波的比值.

对于AD7606 / AD7606-6 / AD7606-4,其定义如下

$$\text{THD (dB)} =$$

$$20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

哪里:

V1是基波的均方根幅值.

V2到V9是第二到第九的均方根幅值

谐波.

**峰值谐波或杂散噪声**

下一个最大分量的有效值的比率

ADC输出频谱(最高 $f_S/2$ ,不包括直流)到有效值

的根本.通常,这个规范的价值是

由光谱中最大的谐波决定,但是

谐波埋置在本底噪声中的ADC

由噪声峰值决定.

**互调失真**

输入由两个频率的正弦波 $f_a$ 和 $f_b$ 组成,

任何有非线性的有源器件都会产生失真产物

在 $m f_a \pm n f_b$ 的和与不同频率处,其中 $m, n = 0,$

1, 2, 3.互调失真项是那些

既不 $m$ 也 $n$ 等于0.例如,二阶

术语包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ 以及三阶项

包括 $(2f_a + f_b), (2f_a - f_b), (f_a + 2f_b)$ 和 $(f_a - 2f_b)$ .

互调失真的计算是按照

THD规格,它是有效值之和的比率

个别失真产物的总和的均方根振幅

以分贝(dB)表示的基本原理.

**电源抑制比(PSRR)**

电力供应变化影响全面过渡,但不是

转换器的线性.PSR是最大的变化,

由于电源电压的变化而引起的尺度转换点

从名义价值.PSR比(PSRR)被定义为

满量程频率下ADC输出功率的比值 $f$ ,

到施加到ADC的100mV<sub>pp</sub>正弦波的功率

频率 $f_S$ 的V<sub>DD</sub>和V<sub>SS</sub>电源.

$$\text{PSRR (dB)} = 10 \log (P_f / P_{fS})$$

哪里:

$P_f$ 等于ADC输出频率 $f$ 处的功率.

$P_{fS}$ 等于耦合到AV<sub>CC</sub>上的频率 $f_S$ 的功率

供应.

**通道间隔离**

通道间隔离是串扰水平的度量

所有输入通道之间.它是通过全面应用来衡量的

正弦波信号,高达160 kHz,到所有未选定的输入通道

然后确定信号衰减的程度

在选定的通道中施加1 kHz的正弦波信号(参见图1)

图28).

## 操作理论

### 转换器的详细信息

AD7606 / AD7606-6 / AD7606-4是数据采集系统采用高速, 低功耗, 电荷再分配, 逐次逼近型模数转换器 (ADC) 并允许同时采样八个/六个/四个模拟输入通道. AD7606 / AD7606-6 / AD7606-4上的模拟输入可以接受真正的双极性输入信号. RANGE引脚用于选择 $\pm 10$  V或 $\pm 5$  V作为输入范围. AD7606 / AD7606-6 / AD7606-4采用5 V单电源供电.

AD7606 / AD7606-6 / AD7606-4包含输入钳位保护, 输入信号放大放大器, 二阶抗混叠放大器, 混叠滤波器, 采样保持放大器, 片内基准电压源, 参考缓冲器, 高速ADC, 数字滤波器和高速并行和串行接口. 在AD7606 / AD7606-6 / AD7606-4使用CONVST信号进行控制.

### 模拟输入

#### 模拟输入范围

AD7606 / AD7606-6 / AD7606-4可以处理真正的双极性, 单端输入电压. RANGE引脚上的逻辑电平确定所有模拟输入通道的模拟输入范围. 如果该引脚连接到逻辑高电平, 则模拟输入范围为 $\pm 10$  V. 为所有通道. 如果该引脚连接到一个逻辑低电平, 模拟输入所有通道的范围为 $\pm 5$  V. 这个引脚上的逻辑改变有一个对模拟输入范围有直接影响; 但是, 有一般约80微秒的建立时间, 除此之外正常的采集时间要求. 建议实践是根据需要硬连接RANGE引脚系统信号的输入范围.

在正常操作期间, 施加的模拟输入电压应该保持在通过选择的模拟输入范围内. 范围别针. 上电后必须施加RESET脉冲确保为范围配置了模拟输入通道选择.

当处于掉电模式时, 建议将其绑定模拟输入到GND. 根据模拟输入钳位保护部分, 推荐使用过压保护. 在瞬态过压情况下使用, 不应该保持长时间有效. 强调外部的模拟输入. 这里提到的条件可能会降低双极性零点代码错误和THD性能的AD7606 / AD7606-6 / AD7606-4.

#### 模拟输入阻抗

AD7606 / AD7606-6 / AD7606-4是 $1\text{M}\Omega$ . 这是一个固定的输入阻抗. 不随AD7606采样频率而变化. 这个高的模拟输入阻抗消除了驱动器放大器的需要. AD7606 / AD7606-6 / AD7606-4的正面, 允许直接连接到源或传感器. 随着司机的需要. 放大器消除, 双极供应 (这往往是一个来源系统中的噪声) 可以从信号链中去除.

### 模拟输入钳位保护

图34显示了AD7606 / AD7606-6 / AD7606-4. AD7606 / AD7606-6 / AD7606-4包含钳位保护电路. 尽管单个5 V电源工作, 这个模拟输入钳位保护允许输入过压高达 $\pm 16.5$  V.

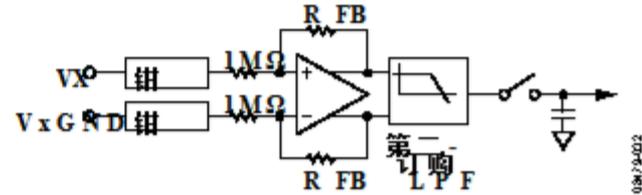


图34. 模拟输入电路

图35显示了该电压的电压与电流特性. 钳位电路. 对于高达 $\pm 16.5$  V的输入电压, 无电流流入钳位电路. 对于高于 $\pm 16.5$  V的输入电压, AD7606 / AD7606-6 / AD7606-4钳位电路开启.

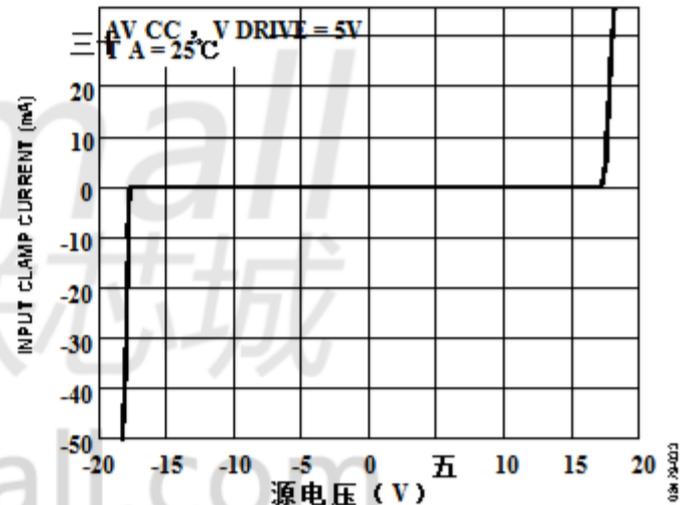


图35. 输入保护钳位配置文件

模拟输入通道上应放置一个串联电阻. 当输入电压高于 $\pm 16.5$  V时, 将电流限制在 $\pm 10$  mA. 在模拟电路上有串联电阻的应用中. 输入通道 $V_x$ , 需要相应的电阻. 模拟输入GND通道,  $V_{xGND}$  (见图36). 如果有 $V_{xGND}$ 通道上没有相应的电阻, 一个偏移量该通道发生错误. 建议输入过压保护电路用于保护电路. AD7606 / AD7606-6 / AD7606-4以防瞬态过压事件. 建议不要将AD7606 / AD7606-6 / AD7606-4处于钳位保护电路的情况下. 在正常或断电条件下是有效的. 因为这可能会降低双极性零码错误. AD7606 / AD7606-6 / AD7606-4的性能.

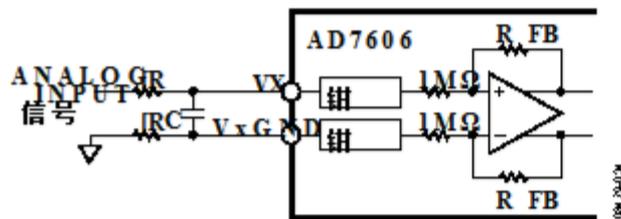


图36.模拟输入上的输入电阻匹配  
AD7606 / AD7606-6 / AD7606-4

**模拟输入抗混叠滤波器**

模拟抗混叠滤波器（二阶巴特沃斯）也是提供在AD7606 / AD7606-6 / AD7606-4上.图37和图38分别显示了频率和相位响应，的模拟抗混叠滤波器.在±5 V范围内，-3 dB频率通常是15 kHz.在±10 V范围内，-3 dB频率通常为23 kHz.

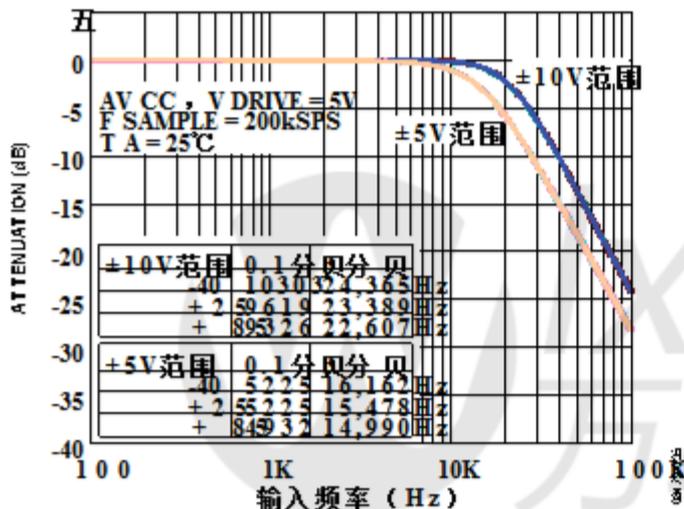


图37.模拟抗混叠滤波器频率响应

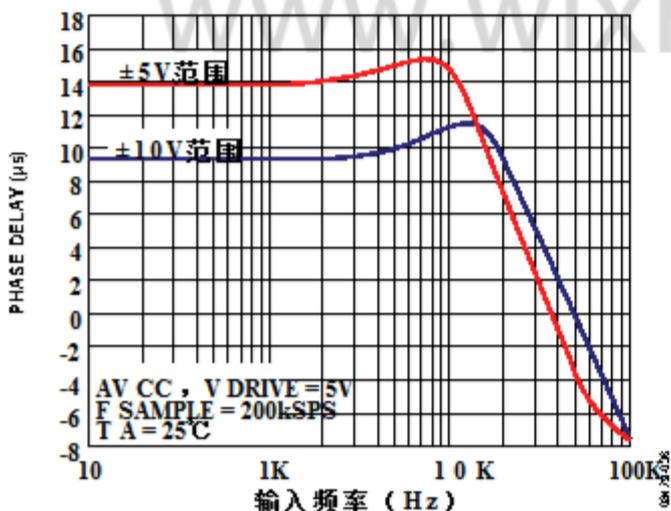


图38.模拟抗混叠滤波器相位响应

**跟踪保持放大器**

AD7606 / AD7606-6 / 2上的采样保持放大器，AD7606-4允许ADC准确采集输入正弦波的全幅度到16位分辨率.跟踪和保持放大器同时对其各自的输入进行采样 CONVST x的上升沿 轨道 - 和 -

保持（即，外部CONVST x之间的延迟时间）信号和实际持有的轨道）是好的匹配，通过设计，跨所有八个追踪和保持在一个设备和设备之间.这个匹配允许更多比要采样的一个AD7606 / AD7606-6 / AD7606-4器件要多同时在一个系统中.

所有八个通道的转换过程结束由BUSY的下降沿指示;而在这一点上呢追踪并保持返回到追踪模式，以及获取时间为下一组转换开始.

该部分的转换时钟是在内部生成的AD7606上所有通道的转换时间为4µs，AD7606-6上为3µs，AD7606-4上为2µs.在AD7606上，所有8个转换后，BUSY信号返回低电平表示转换过程结束.在繁忙的下降，采样保持放大器返回到跟踪模式.新数据可以通过并行，并行的方式从输出寄存器中读取字节或BUSY变低后的串行接口;或者可选地，在BUSY时，可以读取以前转换的数据.高.读取AD7606 / AD7606-6 / AD7606-4的数据而转换正在进行对性能影响不大并允许实现更快的吞吐量.在并行模式下在V DRIVE > 3.3 V时，读取时SNR会降低~1.5 dB在转换期间.

**ADC转换功能**

AD7606 / AD7606-6 / AD7606-4的输出编码为二补.设计的代码转换发生在中途在连续的整数LSB值之间，即1/2 LSB和3/2 LSB. AD7606的LSB大小为FSR / 65,536.理想的转移显示了AD7606 / AD7606-6 / AD7606-4的特性在图39中.

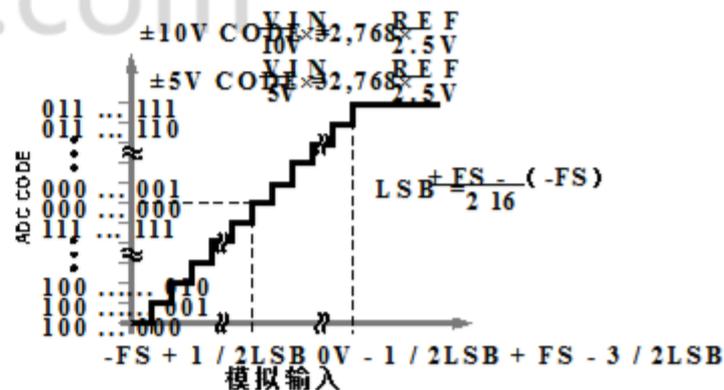


图39. AD7606 / AD7606-6 / AD7606-4传输特性

LSB大小取决于所选的模拟量输入范围.

### 内部/外部参考

AD7606 / AD7606-6 / AD7606-4包含片内2.5 V电源带隙参考。REFIN / REFOUT引脚允许访问2.5 V基准电压产生片内4.5 V基准电压内部，或允许应用2.5 V的外部参考到AD7606 / AD7606-6 / AD7606-4。一个外部应用内部使用2.5 V的参考电压也可以达到4.5 V。缓冲。这个4.5 V的缓冲基准是该基准所使用的基准SAR ADC。

REF SELECT引脚是一个允许用户使用的逻辑输入引脚在内部参考和外部参考之间进行选择。

如果该引脚设置为逻辑高电平，则选择内部参考并启用。如果该引脚设置为逻辑低电平，则为内部参考被禁用，必须施加外部参考电压

到REFIN / REFOUT引脚。内部参考缓冲器是始终启用。复位后，AD7606 / AD7606-6 / AD7606-4在REF SELECT引脚选择的参考模式下工作。

两个REFIN / REFOUT引脚都需要去耦

内部和外部参考选项。一个10  $\mu$ F陶瓷REFIN / REFOUT引脚需要电容。

AD7606 / AD7606-6 / AD7606-4包含一个参考缓冲器配置为获得高达~4.5 V的REF电压，如图所示图40。REFCAPA和REFCAPB引脚必须短路外加一个10  $\mu$ F的陶瓷电容器REFGND，以确保参考缓冲器处于闭环状态操作。REFIN / REFOUT处的参考电压引脚为2.5 V。

当AD7606 / AD7606-6 / AD7606-4配置为外部参考模式下，REFIN / REFOUT引脚为高电平输入阻抗引脚。针对使用多个AD7606的应用设备，建议使用以下配置，取决于应用要求。

### 外部参考模式

一个ADR421外部参考可以用来驱动所有AD7606器件的REFIN / REFOUT引脚（见图41）。在这个配置中，每个REFIN / REFOUT引脚的AD7606 / AD7606-6 / AD7606-4应使用至少一个100 nF的去耦电容。

### 内部参考模式

一个AD7606 / AD7606-6 / AD7606-4器件，配置为工作在内部参考模式下，可以用来驱动剩余的AD7606 / AD7606-6 / AD7606-4器件，其配置为在外部参考模式下工作（见图42）。REFIN / REFOUT，已配置的AD7606 / AD7606-6 / AD7606-4的REFOUT引脚在内部参考模式下，应该使用10  $\mu$ F去耦陶瓷去耦电容器。另一个AD7606 / AD7606-6 / AD7606-4器件在外部参考模式下配置，应在其上使用至少100 nF的去耦电容REFIN / REFOUT引脚。

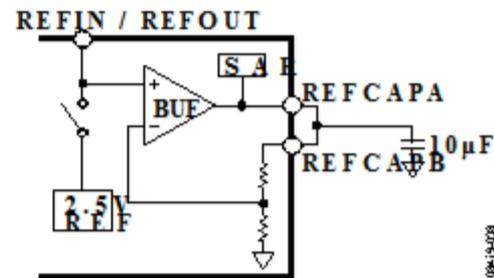


图40. 参考电路

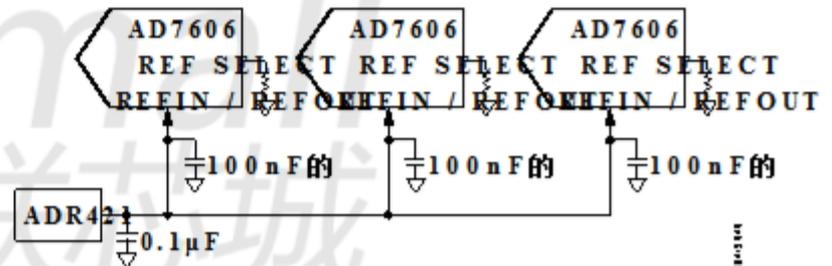


图41. 驱动多个AD7606 / AD7606-6 / AD7606-4 REFIN引脚

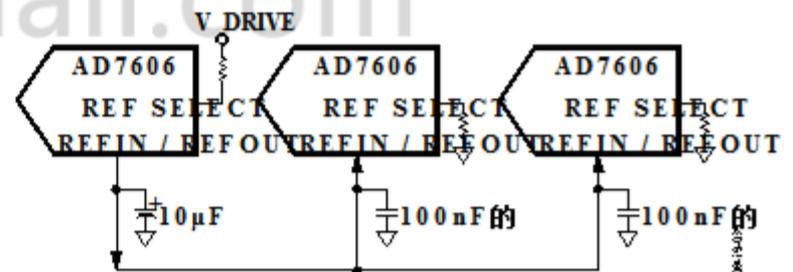


图42. 驱动多个AD7606 / AD7606-6 / AD7606-4的内部参考电压REFIN引脚

**典型连接图**

图43显示了AD7606 /

AD7606-6 / AD7606-4. 有四个AV CC 供应引脚上部分, 四个引脚中的每一个都应该使用100 nF去耦电容在每个电源引脚和一个10μF电容在电源资源. AD7606 / AD7606-6 / AD7606-4可以使用内部参考或外部参考. 在这配置, AD7606被配置为使用内部参考. 当使用单个AD7606 / AD7606-6 / 板上的AD7606-4器件REFIN / REFOUT引脚应该用10 F电容去耦. 参考内部/外部参考部分使用应用程序与多个AD7606 / AD7606-6 / AD7606-4器件. 该REFCAPA和REFCAPB引脚短接在一起用一个10μF陶瓷电容去耦.

V DRIVE 电源连接到与电源相同的电源处理器. V DRIVE 电压控制的电压值输出逻辑信号. 用于布局, 去耦和接地提示, 请参阅布局指南部分.

将电源应用于AD7606 / AD7606-6 / AD7606-4后, 应对AD7606 / AD7606-6 / AD7606-4进行复位以确保它被配置为正确的操作模式.

**省电模式**

两种掉电模式可在AD7606 / AD7606-6 / AD7606-4: 待机模式和关断模式. STBY引脚控制AD7606 / AD7606-6 / AD7606-4是否处于正常模式或两种掉电模式之一.

掉电模式是通过状态选择的

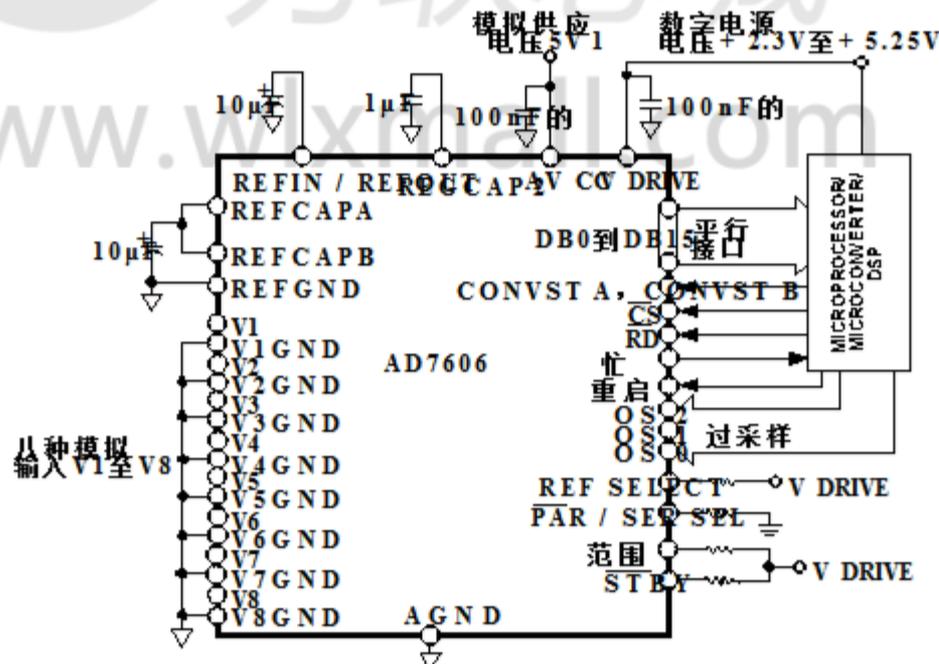
STBY引脚为低电平时的RANGE引脚. 表7显示了需要选择所需的掉电模式的配置.

当AD7606 / AD7606-6 / AD7606-4处于待机状态时模式下, 电流消耗最大为8 mA, 上电时间约为100μs, 因为电容器上REFCAPA和REFCAPB引脚必须充电. 在待机模式下, 片上基准电压和稳压器保持上电状态. 放大器和ADC内核断电.

当AD7606 / AD7606-6 / AD7606-4处于关断状态时模式下, 电流消耗最大为6μA, 上电时间约为13毫秒 (外部参考模式). 在shut-所有电路都关闭. 当AD7606 / AD7606-6 / AD7606-4在关断模式下上电, 必须将RESET信号施加于AD7606 / AD7606-6 / AD7606-4在所需的上电时间过后.

表7. 掉电模式选择

掉电模式	STBY	范围
支持	0	1
关掉	0	0



1 AV CC 引脚上显示的 解耦 适用于每个 AV CC 引脚 (PIN 1, PIN 37, PIN 38, PIN 48). 解耦电容可以在 AV CC 引脚37和引脚38之间共享.  
2 REGCAP PIN上显示的解密适用于每个 REGCAP PIN (PIN 36, PIN 39).

图43. AD7606典型连接图

**转换控制****所有模拟输入通道上的同时采样**

AD7606 / AD7606-6 / AD7606-4允许同时采样的所有模拟输入通道.所有通道都采样同步,当两个CONVST引脚 (CONVST A, CONVST B) 绑在一起.一个CONVST信号用于控制两者CONVST x输入.这个普通的CONVST的上升沿信号启动所有模拟输入通道的同步采样 (AD7606的V1至V8, AD7606-6的V1至V6和V1到AD7606-4的V4) .

AD7606包含一个用于的片上振荡器

执行转换.所有ADC的转换时间

通道是 CONV. BUSY信号在何时向用户指示

转换正在进行中,所以当CONVST的上升沿

BUSY变为逻辑高电平,最后变为低电平

整个转换过程. BUSY的下降沿

信号用于放回所有八个采样保持放大器

进入追踪模式. BUSY的下降也表明了这一点

现在可以从并行总线 (DB [15: 0]) 读取新数据,

D OUT A和D OUT B串行数据线或并行字节总线,

DB [7: 0].

**同时采样两组通道**

AD7606 / AD7606-6 / AD7606-4也支持模拟输入

通道同时采样两组.这可以

用于电力线路保护和测量系统中

补偿由PT和CT引入的相位差

变压器.在50赫兹的系统中,这允许高达9°的相位补偿;而在60赫兹的系统,它允许高达10°相位补偿.

这是通过脉冲两个CONVST引脚来完成的

只有在过采样未被使用的情况下才有可能.

CONVST A是用来启动同时采样的

第一组通道 (V1至V4为AD7606, V1至V3为

AD7606-6和V1和V2用于AD7606-4),和CONVST B

用于启动第二组同时采样

模拟输入通道 (V5至V8为AD7606, V4至V6为

AD7606-6以及用于AD7606-4的V3和V4), 如图所示

在图44中.在CONVST A的上升沿,轨道 -

第一组通道的保持放大器被置于保持状态

模式.在CONVST B的上升,追踪和保持

第二组通道的放大器被置于保持状态

模式.一旦两个上升沿都转换过程开始

的CONVST x已经发生;所以BUSY就高

后来的CONVST x信号的上升沿.在表3中,时间t<sub>5</sub>

表示CONVST x之间的最大允许时间

采样点.

使用两个数据读取过程没有改变

单独的CONVST x信号.

将所有未使用的模拟输入通道连接到AGND.结果

因为任何未使用的通道仍然包含在读取的数据中

所有频道总是被转换.

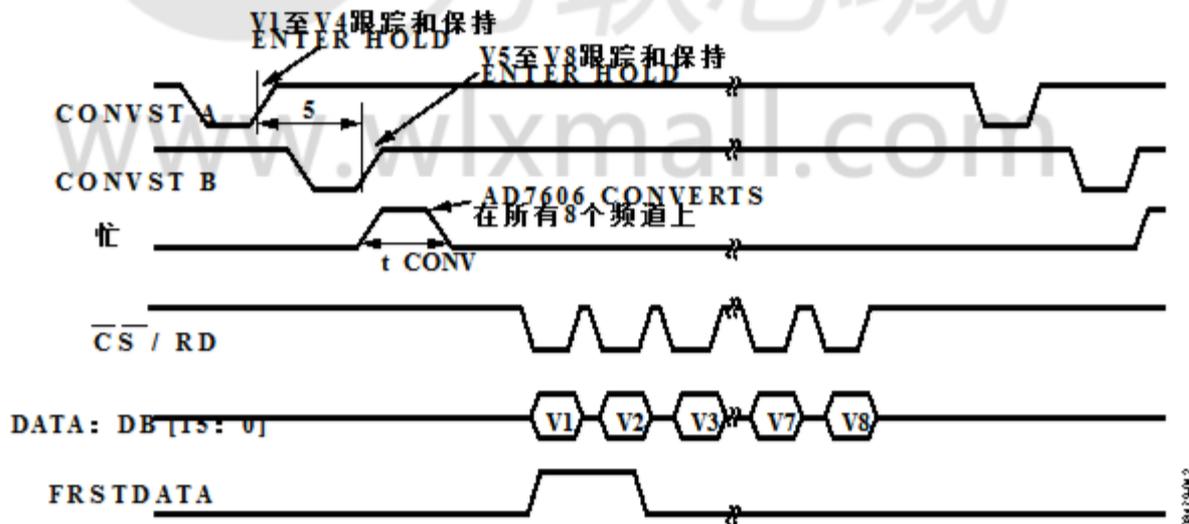


图44.使用独立的CONVST A和CONVST B信号时, AD7606在通道组上同时采样 - 并行模式

## 数字接口

AD7606 / AD7606-6 / AD7606-4提供三个接口

选项：并行接口，高速串行接口和

一个并行字节接口。所需的接口模式被选中

通过PAR / SER / BYTE SEL和DB15 / BYTE SEL引脚。

表8. 接口模式选择

PAR / SER / BYTE SEL	DB15	接口模式
0	0	并行接口模式
1	0	串行接口模式
1	1	并行字节接口模式

接口模式的操作在下面讨论部分。

### 并行接口 (PAR / SER / BYTE SEL = 0)

数据可通过AD7606 / AD7606-6 / AD7606-4读取

具有标准CS和RD信号的并行数据总线。阅读

数据通过并行总线，PAR / SER / BYTE SEL引脚应该

被束缚在低位。CS和RD输入信号内部门控到

将转换结果启用数据总线上。数据线，

DB15到DB0，当两个CS都保持高阻抗状态

和RD是逻辑低。

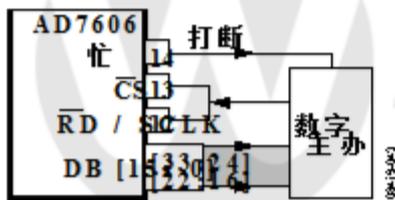


图45. AD7606接口图。一个AD7606使用并行总线，CS和RD一起短路

CS输入信号的上升沿使得总线处于三态

CS输入信号的下降沿将总线带出

高阻抗状态。CS是使能的控制信号

数据线；它是允许多个AD7606 /

AD7606-6 / AD7606-4器件共享相同的并行

数据总线。

CS信号可以永久连接低电平，RD信号

可以用来访问转换结果，如图4所示。

新数据的读取操作可以在繁忙后进行

信号变低（见图2）；或者可选地，读取操作

来自之前转换过程的数据可以发生

而BUSY很高（见图3）。

RD引脚用于从输出转换中读取数据

结果登记。将一系列RD脉冲施加到RD引脚

的AD7606 / AD7606-6 / AD7606-4时钟转换

从每个通道输出到并行总线DB [15: 0]中

升序。BUSY后的第一个RD下降沿变低

输出通道V1的转换结果。下一个RD

下降沿用V2转换结果更新总线，等等

上。在AD7606上，RD的第8个下降沿输出

频道V8的转换结果。

当RD信号为逻辑低电平时，使能数据转换

每个通道的结果都要传送到数字主机

（DSP，FPGA）。

当只有一个AD7606 / AD7606-6 / AD7606-4时

一个系统/电路板，它不共享并行总线，数据可以

只需使用来自数字主机的一个控制信号即可读取。该

CS和RD信号可以连接在一起，如图5所示。

在这种情况下，数据总线出现三态下降

CS / RD的边缘。组合的CS和RD信号允许数据

从AD7606 / AD7606-6 / AD7606-4时钟输出

由数字主机读取。在这种情况下，CS是用来构造的

每个数据通道的数据传输。

### 并行字节 (PAR / SER / BYTE SEL = 1, DB15 = 1)

并行字节接口模式与并行模式非常类似

接口模式，只读取每个通道转换结果

在两个8位传输。因此，需要16个RD脉冲

从AD7606读取所有八个转换结果。为了

AD7606-6需要12个RD脉冲；而在AD7606-4上，

需要八个RD脉冲来读取所有通道结果。

配置AD7606 / AD7606-6 / AD7606-4以使其工作

并行字节模式，PAR / SER / BYTE SEL和BYTE SEL /

DB15引脚应连接到逻辑高电平（见表8）。在并行下

字节模式下，DB [7: 0]用于将数据传送到数字里

主办。DB0是数据传输的LSB，DB7是MSB

数据传输。在并行字节模式下，DB14充当HBEN

销。当DB14 / HBEN绑定到逻辑高，最

首先输出转换结果的有效字节（MSB）

随后是转换结果的LSB。DB14绑定时

到逻辑低时，转换结果的LSB首先被输出，

其次是转换结果的MSB。FRSTDATA

引脚保持高电平直到转换结果的整个16位

从V1读取AD7606 / AD7606-6 / AD7606-4。

### 串行接口 (PAR / SER / BYTE SEL = 1)

要通过串行接口从AD7606读回数据，

PAR / SER / BYTE SEL引脚必须连接到高电平。CS和SCLK

信号用于从AD7606传输数据。AD7606 /

AD7606-6 / AD7606-4具有两个串行数据输出引脚D OUT A

和D OUT B。数据可以从AD7606 / AD7606-

6 / AD7606-4使用其中一个或两个D OUT线。为了

AD7606将转换结果从通道V1转换为通道V4

首先出现在D OUT A上，转换结果来自通道V5

通道V8首先出现在D OUT B上。对于AD7606-6，

从通道V1到通道V3的转换结果首先出现

在D OUT A上，并将频道V4转换成频道

V6首先出现在D OUT B上。对于AD7606-4，转换结果

从通道V1和通道V2首先出现在D OUT A上

首先从通道V3和通道V4转换结果

出现在D OUT B。

CS下降沿取数据输出线D OUT A和D OUT B, 从三态转换出来的MSB

结果. SCLK的上升沿为所有后续数据位提供时钟到串行数据输出, D OUT A和D OUT B. CS输入可以在整个串行读操作中保持低电平, 否则可以脉冲来构成16个SCLK周期的每个通道读取. 图46

显示使用两个同时读取八个同时转换结果AD7606上的D OUT线. 在这种情况下, 使用64个SCLK传输从AD7606访问数据, 并且CS保持低电平

整个64个SCLK周期. 数据也可以使用正确的时钟一个D OUT线, 在这种情况下, 建议D OUT A是用于访问所有转换数据, 因为通道数据是输出按升序排列. 为AD7606访问全部八个一个D OUT线上的转换结果, 总共128个SCLK周期是必须的. 这些128个SCLK周期可以由一个CS构成信号, 或每组16个SCLK周期可以单独进行由CS信号构成. 只使用一个的缺点

D OUT线是如果读数发生, 吞吐率降低转换后. 未使用的D OUT线应悬空

在串行模式下. 对于AD7606, 如果将D OUT B用作单个D OUT线, 通道结果按以下顺序输出:

V5, V6, V7, V8, V1, V2, V3和V4; 然而, FRSTDATA在D OUT B上读取V5后, 指示器返回低电平. 对于AD7606-6和AD7606-4, 如果D OUT B用作单个D OUT线, 通道结果按以下顺序输出: V4, V5, V6, V1, V2和V3为AD7606-6; 和V3, V4, V1和V2 AD7606-4.

图6显示了读取一个通道的时序图

数据由CS信号构成, 由AD7606 / AD7606-6 / AD7606-4处于串行模式. SCLK输入信号提供用于串行读取操作的时钟源. CS低到访问AD7606 / AD7606-6 / AD7606-4的数据.

CS的下降沿从三态和时钟中取出总线

取出16位转换结果的MSB. 这个MSB是有效的在CS下降沿之后的SCLK的第一个下降沿.

随后的15个数据位从AD7606 / AD7606-6 / AD7606-4的SCLK上升沿. 数据有效SCLK下降沿. 要访问每个转换结果, 16个时钟周期必须提供给AD7606 / AD7606-6 / AD7606-4.

FRSTDATA输出信号指示何时第一个通道,

V1正在被读回. 当CS输入为高电平时, FRSTDATA输出引脚处于三态. 在串行模式下,

CS将FRSTDATA置于三态, 并设置FRSTDATA引脚为高电平, 表明V1的结果可用

D OUT 输出数据线. FRSTDATA输出返回

在第16个SCLK下降沿之后为逻辑低电平. 如果所有通道

在D OUT B上读取时, FRSTDATA输出不会变高

此串行数据输出引脚上正在输出V1. 它变高

只有当D OUT A上有V1时 (V5是时)

可在D OUT B上获得AD7606).

### 阅读在转换

数据可以从AD7606 / AD7606-6 / AD7606-4中读取

BUSY很高, 转换正在进行中. 这个很少

对转换器的性能有影响, 并且允许更快

吞吐率要达到. 并行, 并行字节或串行

可以在转换和过采样时进行读取

可能会或可能不会被使用. 图3显示了时序图

BUSY高并行或串行模式时读取. 读

在转换期间允许达到全吞吐率

当使用串行接口V DRIVE 高于4.75 V.

数据可以在AD7606以外的任何时间读取

BUSY的下降沿, 因为这是输出数据

寄存器更新为新的转换数据. 时间t<sub>6</sub>, 如

在表3中列出, 应该在这种情况下观察.

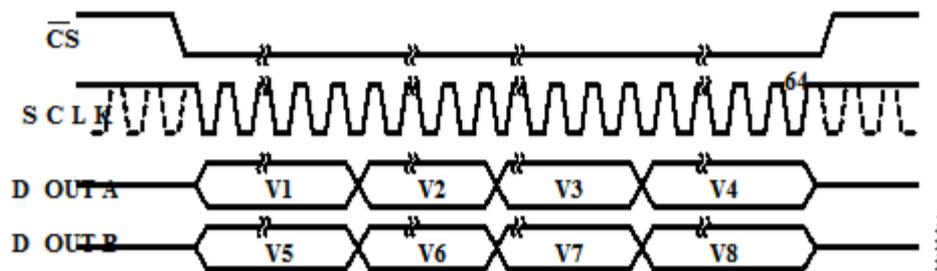


图46. 具有两个D OUT线路的AD7606串行接口

数字滤波器

AD7606 / AD7606-6 / AD7606-4包含一个可选的数字

一阶sinc滤波器应该在应用中使用。使用较慢的吞吐率或较高的信噪比率或动态范围是理想的。过采样率的数字滤波器使用过采样引脚OS [2: 0]控制(表9)。OS 2是MSB控制位，OS 0是LSB控制位。表9提供了过采样位解码来选择不同的过采样率。OS引脚在下降时锁定BUSY的边缘。这设定了下一个的过采样率转换(见图48)。除了过采样之外功能，输出结果被抽取为16位分辨率。

如果OS引脚被设置为选择8的OS比率，则下一个CONVST x上升沿为每个通道取第一个采样，其余7个样本全部采用一个内部产生的采样信号。这些样品是平均得到SNR性能的改善。表9显示±10 V和±5 V的典型SNR性能范围。如表9所示，信噪比有所提高。OS比率增加。随着OS比率的增加，3 dB的频率被降低，并且允许的采样频率也被降低。在需要采样频率的应用中10 kSPS，可以使用高达16的OS比率。在这种情况下，应用程序看到SNR的改善，但输入3 dB带宽被限制在~6 kHz。

CONVST A和CONVST B引脚必须连接/驱动。当过采样被打开时一起。当over-采样功能打开，BUSY为高电平时间转换过程延伸。实际繁忙的高时间取决于所选的过采样率：越高过采样率，BUSY高或总转换时间越长(见表3)。

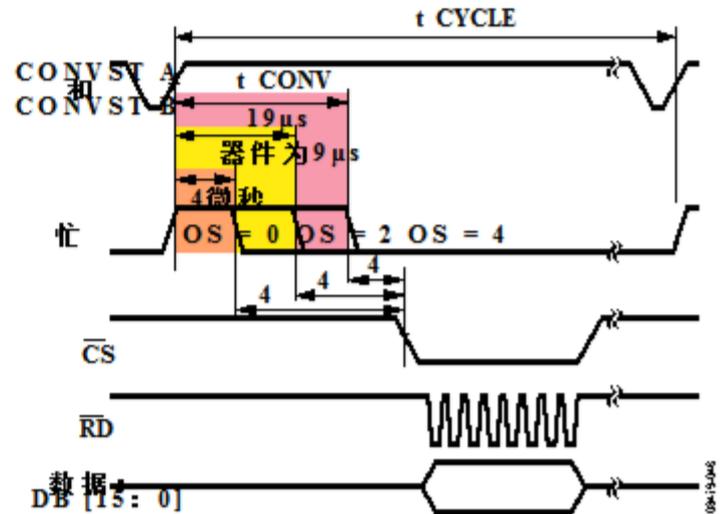


图47. AD7606-无过采样，过采样×2和过采样×4使用转换后读取

图47显示了转换时间随着过载而延长，采样率增加，BUSY信号延长。不同的过采样率。例如，一个采样频率的10kSPS产生100μs的循环时间。图47显示了OS×2和OS×4;对于10 kSPS的例子，有充足的周期时间进一步提高过采样率，信噪比性能。在最初的应用程序中例如，采样率或吞吐率为200 kSPS。过采样打开，吞吐率必须降低以适应更长的转换时间，并允许读。为了实现最快的吞吐速率，采样打开，读取可以在执行期间执行繁忙的时间。BUSY的下降沿被用来更新输出数据寄存器与新的转换数据;因此，转换数据的读取不应该发生在这个边缘上。

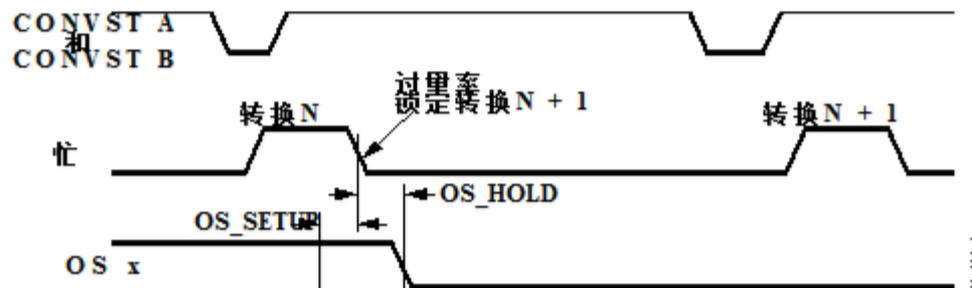


图48. OS x引脚时序

表9.过采样位解码

OS [2: 0] 比	OS 比	SNR 5 V范围 (D b)	SNR 10 V范围 (D b)	3 dB BW 5 V范围 (千赫)	3 dB BW 10 V范围 (千赫)	最大吞吐量 CONVST频率 (kHz)
000	没有操作	90.8	90	15	22	200
001	2	91.2	92	15	22	100
010	4	92.6	93.6	13.7	18.5	50
011	8	94.2	95	10.3	11.9	25
100	16	95.5	96	6	6	12.5
101	32	96.4	96.7	3	3	6.25
110	64	96.9	97	1.5	1.5	3.125
111	无效					

图49到图55说明了过采样对其的影响  
代码在直方图中展开.作为超采样率  
被增加,代码的传播被减少.

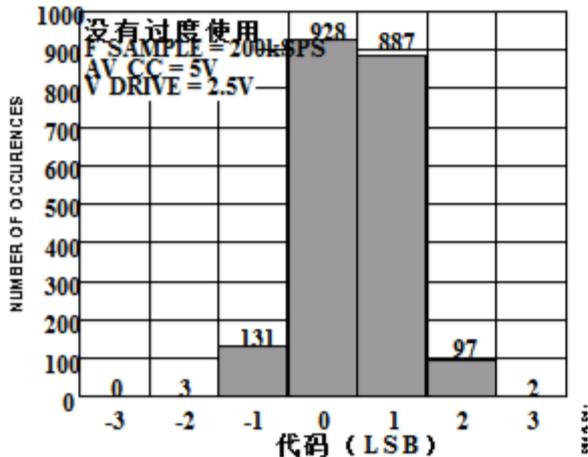


图49.代码的直方图 - 无OS (六个代码)

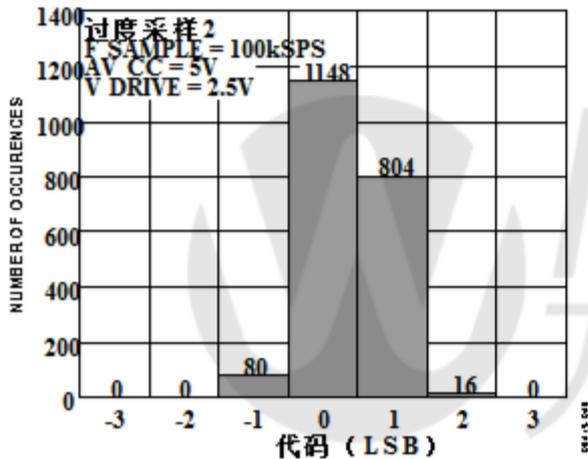


图50.代码的直方图-OS×2 (四个代码)

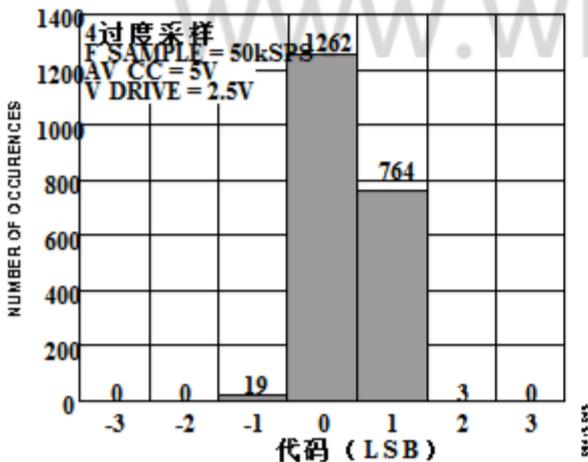


图51.代码的直方图-OS×4 (四个代码)

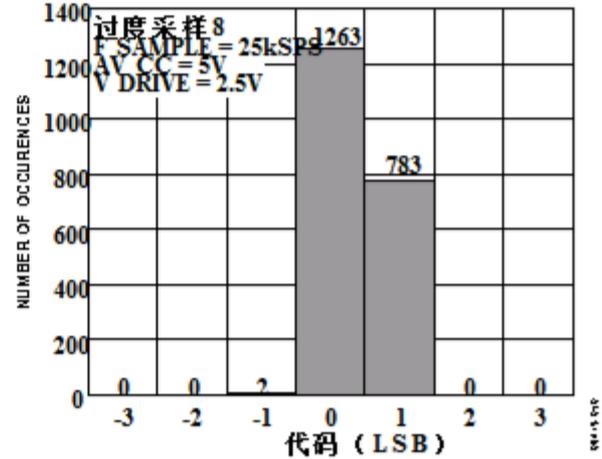


图52.代码的直方图-OS×8 (三个代码)

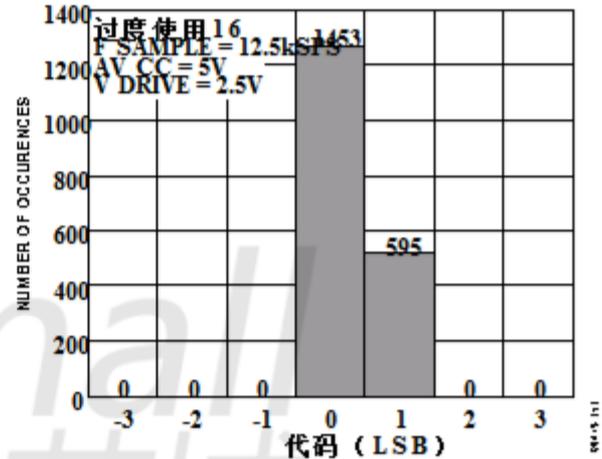


图53.代码的直方图-OS×16 (两个代码)

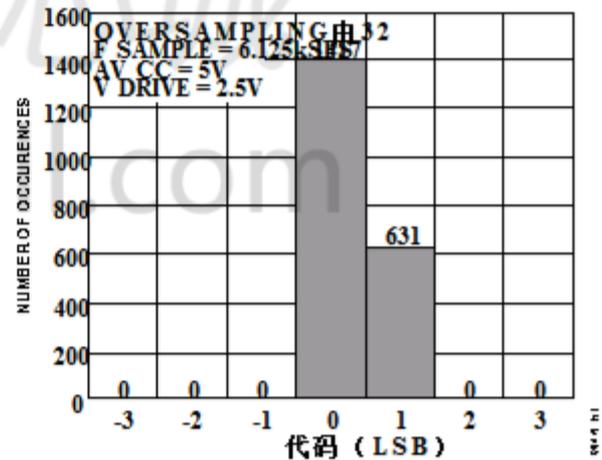


图54.代码的直方图-OS×32 (两个代码)

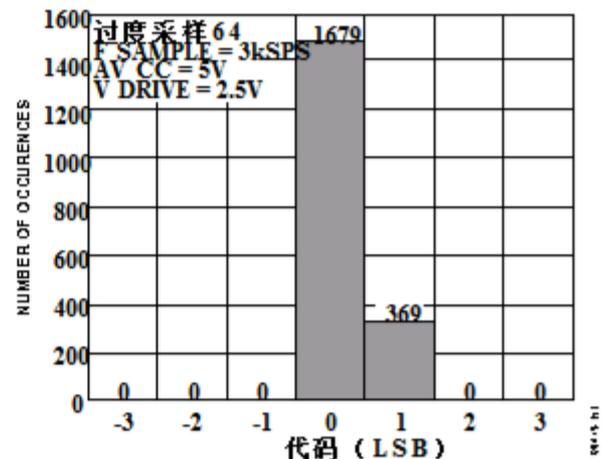


图55.代码的直方图-OS×64 (两个代码)

当过采样模式选择为AD7606 / AD7606-6 / AD7606-4，具有添加数字滤波器的功能。可以在ADC之后，不同的过采样率和CONVST采样频率产生不同的数字滤波器频率曲线。

图56到图61显示了数字滤波器的频率曲线。不同的过采样率、模拟的组合，可以使用抗混叠滤波器和过采样数字滤波器，消除和降低任何滤波器设计的复杂性。在AD7606 / AD7606-6 / AD7606-4之前，数字滤波结合了陡峭的滚降和线性相位响应。

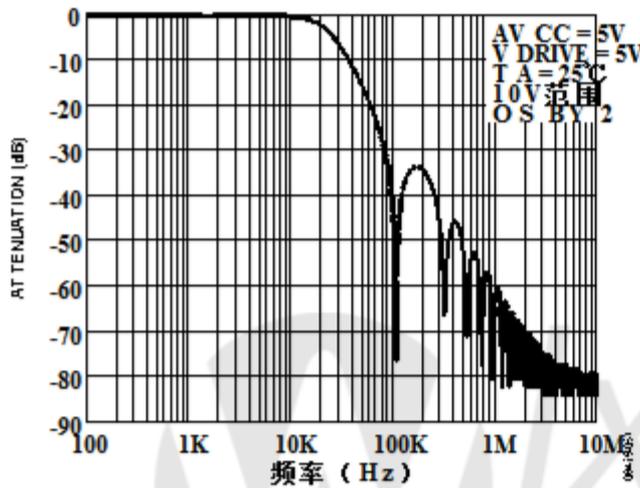


图56. OS 2的数字滤波器响应

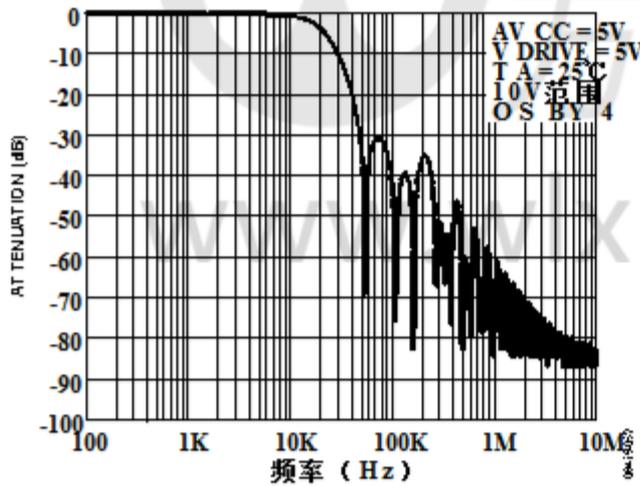


图57. OS 4的数字滤波器响应

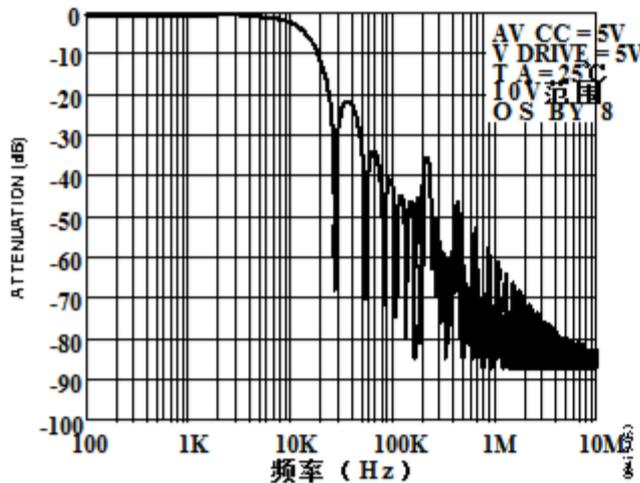


图58. OS 8的数字滤波器响应

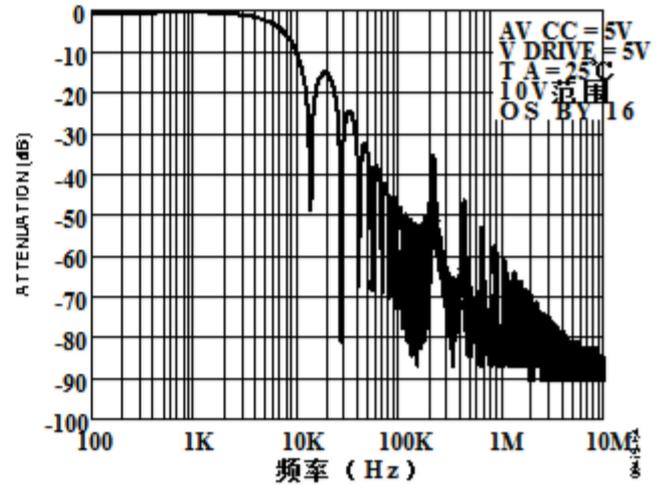


图59. OS 16的数字滤波器响应

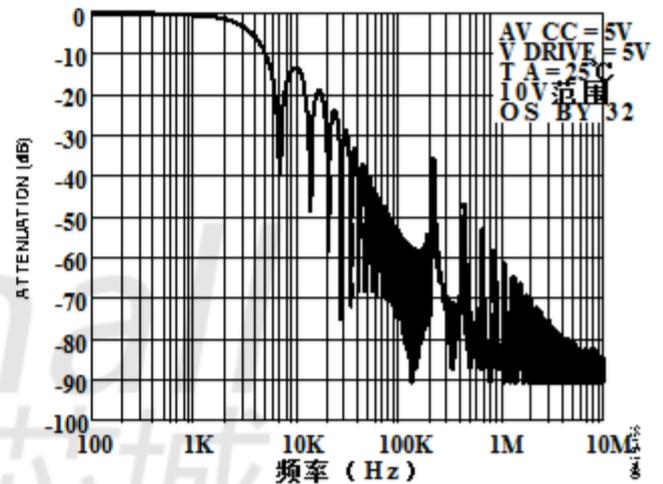


图60. OS 32的数字滤波器响应

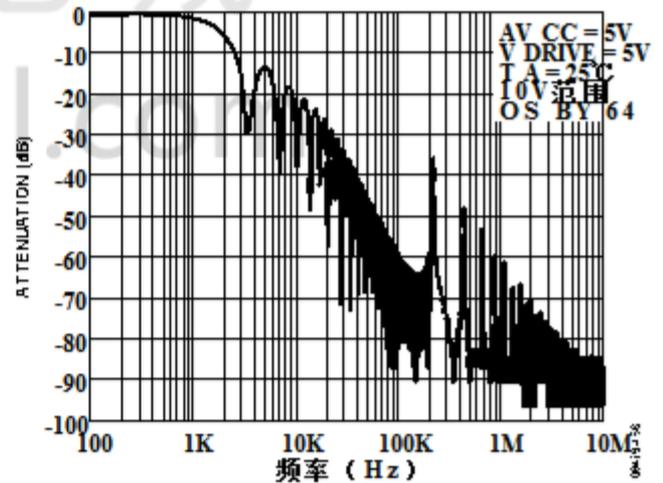


图61. OS 64的数字滤波器响应

## 布局指南

印有AD7606 / AD7606-6 /

AD7606-4的设计应该使模拟和数字部分是分开的，局限于董事会的不同领域。

至少应该使用一个地平面。这可能是常见的或在数字和模拟部分之间分割。在的情况下分体式飞机，数字和模拟地平面应该是加入只有一个地方，最好尽可能接近AD7606 / AD7606-6 / AD7606-4。

如果AD7606 / AD7606-6 / AD7606-4在一个系统中多个设备需要模拟到数字的接地连接，连接仍然应该只在一个点：一个明星应该建立尽可能接近的地面点。

AD7606 / AD7606-6 / AD7606-4。良好的联系应该是对地面飞机做了。避免共享一个连接多个接地引脚。使用单独的过孔或多个过孔每个地面引脚的地平面。

避免在设备下运行数字线路，因为这样做将噪音耦合到模具上。模拟地平面应该是允许运行在AD7606 / AD7606-6 / AD7606-4之下。避免噪音耦合。快速切换信号如CONVST A，CONVST B或时钟应该用数字地屏蔽。避免将噪音传播给董事会的其他部门，以及他们不应该在模拟信号路径附近运行。避免交叉数字和模拟信号。在靠近层的痕迹。电路板应该以相互垂直的角度运行，以减少电路板的损耗。馈通穿过板的效果。

AV CC和V DRIVE 引脚上的电源线

AD7606 / AD7606-6 / AD7606-4应该像使用一样大可能提供低阻抗路径并降低效果。电源线故障。如有可能，请使用供应并在AD7606电源之间建立良好的连接。引脚和电路板上的电源线。使用一个或多个通道每个电源引脚的过孔。

良好的去耦对降低电源阻抗也很重要。呈现给AD7606 / AD7606-6 / AD7606-4并降低供应峰值的幅度。去耦电容应该放在靠近（理想情况下，正确对抗）这些引脚和相应的接地引脚。放置去耦

REFIN / REFOUT引脚和REFCAPA和REFCAPA的电容。REFCAPB引脚尽可能靠近各自的AD7606 / AD7606-6 / AD7606-4引脚。如果可能的话，他们应该是与AD7606器件放置在电路板的同一侧。

图62显示了顶层推荐的去耦的AD7606板。图63显示了底层去耦，用于四个AV CC引脚和V DRIVE 引脚去耦。用于AV CC引脚的陶瓷100 nF电容器被放置在哪里靠近各自的器件引脚，一个100nF的电容可以在引脚37和引脚38之间共享。

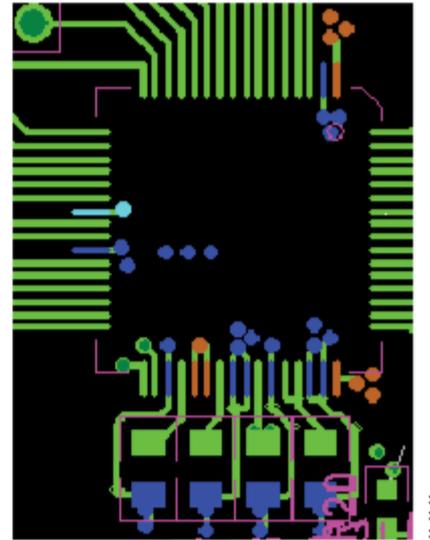


图62.顶层解耦REFIN / REFOUT, REFCAPA, REFCAPB和REGCAP引脚

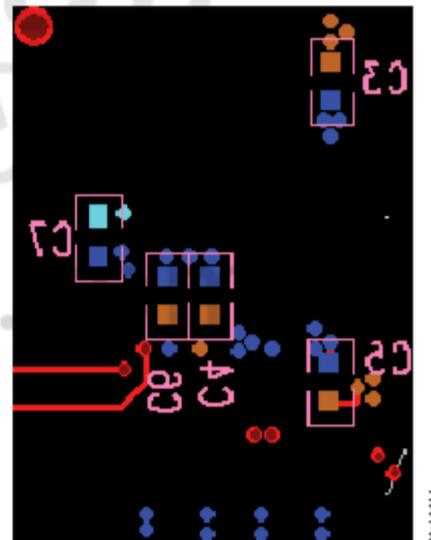


图63.底层解耦

确保良好的设备到设备性能匹配

一个包含多个AD7606 / AD7606-6 / AD7606-4的系统  
器件，AD7606 / AD7606-6 /  
AD7606-4器件非常重要。

图64显示了两个AD7606 / AD7606-6 / AD7606-4的布局  
设备。AV CC 供应平面运行在两个设备的右侧，  
而V DRIVE 电源轨道则运行在两个设备的左侧。  
参考芯片位于两个器件之间，  
参考电压轨迹北向U1的Pin 42和南方  
到U2的42脚。使用坚实的地平面。

这些对称的布局原则也可以应用于一个系统  
包含两个以上的AD7606 / AD7606-6 / AD7606-4  
设备。可以放置AD7606 / AD7606-6 / AD7606-4器件  
在南北方向，参考电压位于  
装置和参考轨道之间的中间  
南北方向，类似于图64。

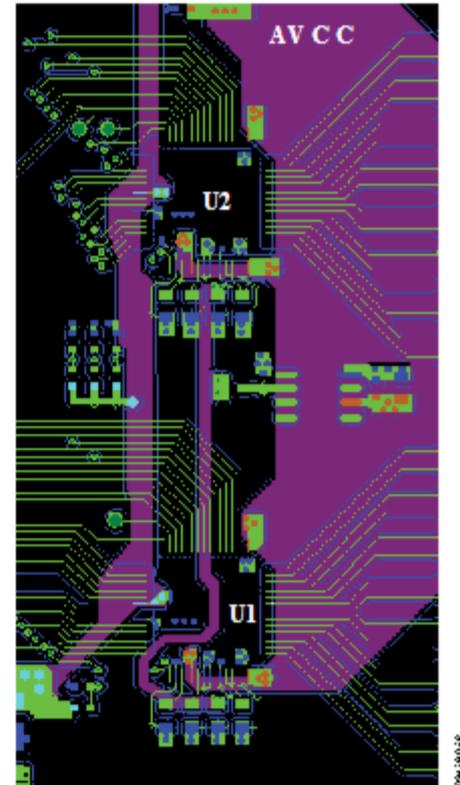
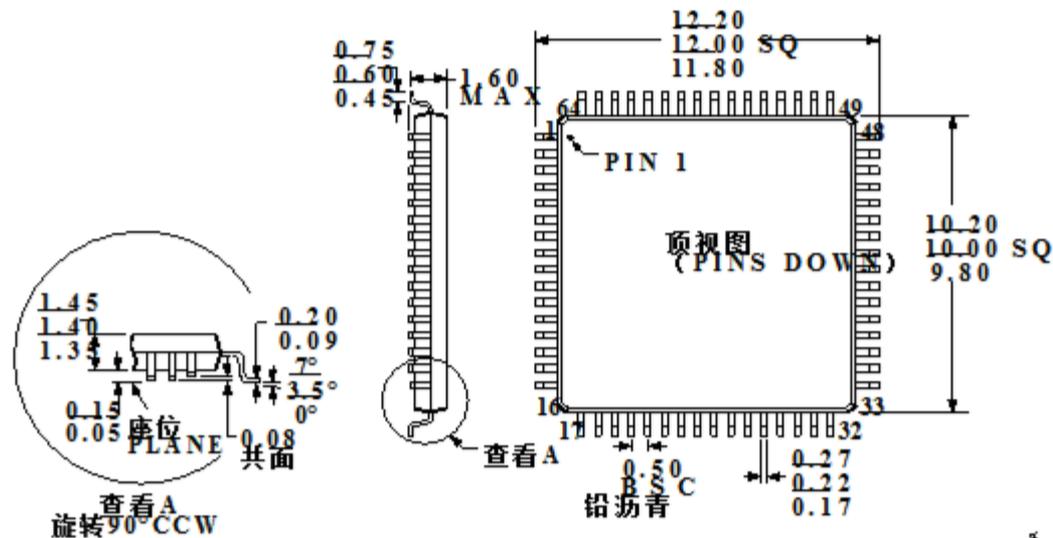


图64.多个AD7606器件的布局 - 顶层和底层  
供应平面层

## 外形尺寸



符合JEDEC标准MS-026-BCD

图65. 64引脚薄型四方扁平封装[LQFP]  
(ST-64-2)

尺寸以毫米为单位显示

## 订购指南

模型 1, 2, 3	温度范围	包装说明	包装选项
AD7606BSTZ	-40°C至+ 85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7606BSTZ-RL	-40°C至+ 85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7606BSTZ-6	-40°C至+ 85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7606BSTZ-6RL	-40°C至+ 85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7606BSTZ-4	-40°C至+ 85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7606BSTZ-4RL	-40°C至+ 85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
EVAL-AD7606SDZ		AD7606评估板	
EVAL-AD7606-6SDZ		AD7606-6评估板	
EVAL-AD7606-4SDZ		AD7606-4评估板	
EVAL-SDP-CB1Z		评估控制器板	

1 Z =符合RoHS的部分。

2 EVAL-AD7606SDZ, EVAL-AD7606-6SDZ和EVAL-AD7606-4SDZ可以用作独立评估板, 也可以与EVAL-SDP-CB1Z一起使用评估/演示的目的。

3 EVAL-SDP-CB1Z允许PC控制所有ADI公司的评估板, 并以SDZ标志结尾进行通信。

笔记



笔记

