

特征

低功耗，低中频收发器

频段

135 MHz至650 MHz，直接输出

80 MHz至325 MHz，2分频模式

数据速率支持

FSK，0.15kbps到200kbps

0.15 kbps到64 kbps，ASK

2.3 V至3.6 V电源

可编程输出功率

-20dBm到+13dBm，63步

接收灵敏度

在1 kbps时为-119 dBm，FSK为315 MHz

在9.6 kbps时为-114 dBm，FSK为315 MHz

在9.6 kbps时为-111.8 dBm，ASK为315 MHz

低功耗

接收模式下为17.6 mA

发射模式下为21 mA (10 dBm输出)

片上VCO和小数N分频PLL

片上7位ADC和温度传感器

全自动频率控制回路(AFC)补偿

低容忍的晶体

数字RSSI

集成TRx交换机

掉电模式下的漏电流<1μA

应用

低成本的无线数据传输

无线医疗应用

远程控制/安全系统

无线测量

无钥匙进入

家庭自动化

过程和建筑控制

功能框图

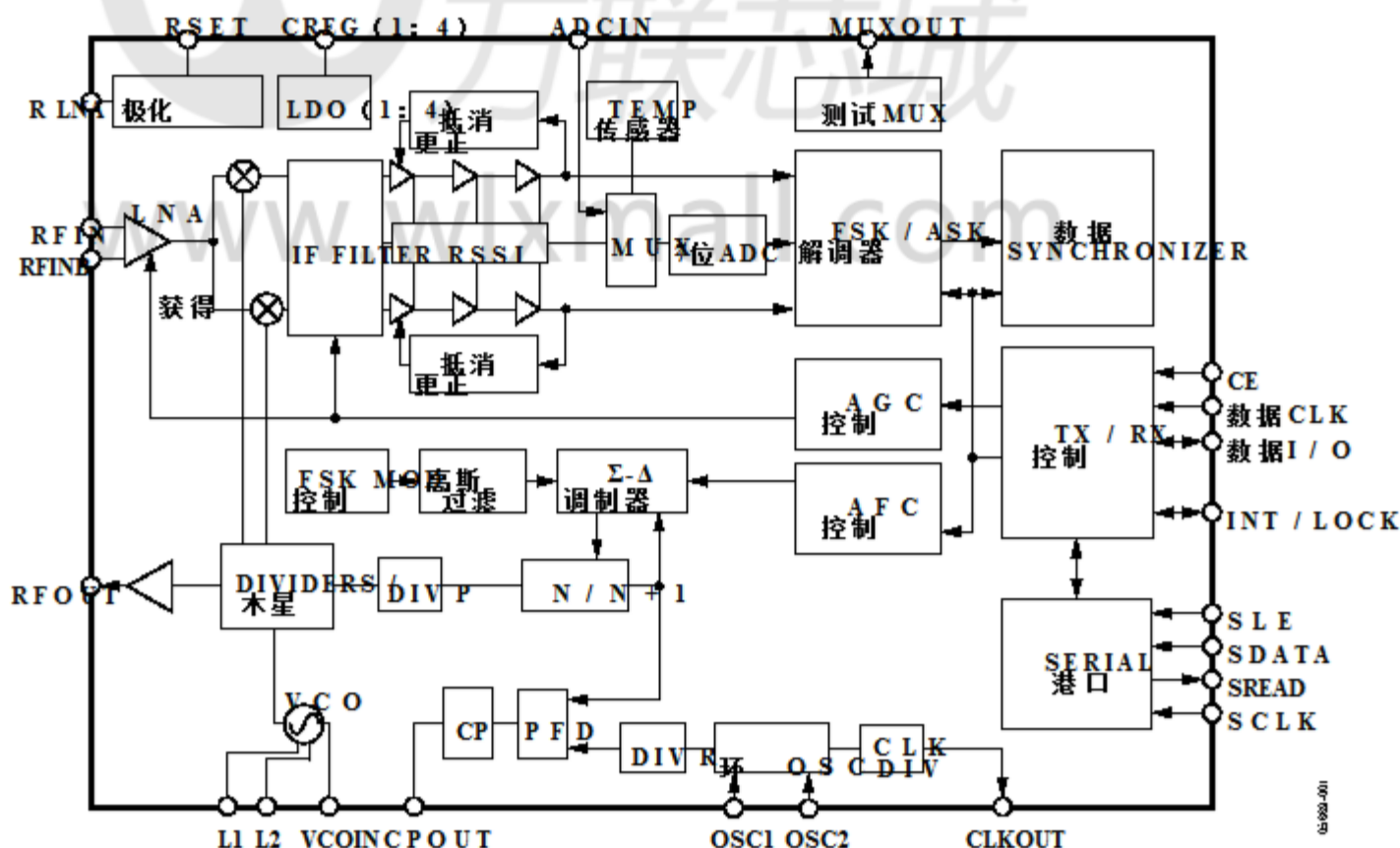


图1.

修订版0

ADI公司提供的信息被认为是准确和可靠的,但是,没有

使用模拟器件的责任,专利或其他方面的损害

rightsofthirdpartiesthatmayresultfromitsuse.Specificationssubjecttochange without notice.No

ADI公司的任何专利或专利权均以暗示或其他方式授予许可。

Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U

电话: 781.329.4700

www.analog.com

传真: 781.461.3113 ©2005 Analog Devices, Inc.保留所有权利。

目录

特征	1	LNA / PA匹配	25
应用	1	传输协议和编码注意事项	26
功能框图	1	初始上电后的器件编程	26
修订记录	2	连接到单片机/ DSP	26
一般说明	3	串行接口	29
规格	4	回读格式	29
时序特征	8	寄存器0-N寄存器	30
绝对最大额定值	10	寄存器1-振荡器/滤波器寄存器	31
ESD警告	10	寄存器2发送调制寄存器 (ASK / OOK模式)	32
引脚配置和功能描述	11	寄存器2-发送调制寄存器 (FSK模式)	33
典型的性能特点	13	寄存器2发送调制寄存器 (GFSK / GOOK模式)	34
频率合成器	15	寄存器3-接收器时钟寄存器	35
参考输入	15	寄存器4-解调器设置寄存器	36
选择最佳系统性能的渠道	17	寄存器5-同步字节寄存器	37
发射机	18	寄存器6-相关器/解调器寄存器	38
射频输出级	18	寄存器7-回读设置寄存器	39
调制方案	18	寄存器8-掉电测试寄存器	40
收款人部分	20	注册9-AGC注册	41
RF前端	20	注册10-AGC 2注册	42
RSSI / AGC	21	注册11-AFC注册	42
ADF7020-1上的FSK解调器	21	寄存器12测试寄存器	43
FSK相关器/解调器	21	寄存器13-偏移消除和信号增益寄存器	44
线性FSK解调器	23	外形尺寸	45
亚足联部	23	订购指南	45
自动同步字识别	24		
应用	25		

修订记录

12/05版本0: 初始版本

一般描述

ADF7020-1是一款低功耗，高度集成的FSK / GFSK / ASK / OOK / GOOK收发器设计用于在低UHF和VHF频段。ADF7020-1使用外部VCO电感，允许用户设置工作频率在135 MHz和650 MHz之间的任何地方。使用分割 - 由2个电路允许用户操作低至80 MHz的设备。VCO的典型范围大约是工作的10%频率。一个完整的收发器可以使用一个小的外部分立元件的数量，使得ADF7020-1非常适合对价格敏感和区域敏感应用。

发射部分包含一个VCO和低噪音输出分辨率<1 ppm的小数N分频PLL。这个频率捷变PLL允许在ADF7020-1中使用跳频扩频（FHSS）系统。VCO以两倍于基频的频率运行以减少寄生排放和频率拉动问题。

发射机输出功率可以从63步骤编程-20 dBm到+13 dBm。收发器RF频率，频道间隔和调制是可编程的使用一个简单的3-有线接口。该器件的电源范围为2.3 V至3.6 V，不用时可以关闭。

接收器（200 kHz）采用低中频架构，最大限度地降低功耗和外部组件统计和避免低频干扰问题。

ADF7020-1支持多种可编程特性包括Rx线性度，灵敏度和IF带宽，允许用户权衡接收器的灵敏度和选择性为当前消费，根据应用程序。该接收机还具有正在申请专利的自动频率控制（AFC）环路，允许PLL进行补偿输入信号中的频率误差。

片内ADC提供了一个集成的温度 - 固定传感器，外部模拟输入，电池电压或RSSI信号，它在一些ADC中提供了节省应用。温度传感器精确到 $\pm 10^{\circ}\text{C}$ 以上完整的工作温度范围为 -40°C 至 $+ 85^{\circ}\text{C}$ 。这个通过在1点进行校准可以提高准确度室温并将结果存储在内存中。

lxmall
万联芯城
www.wlxmall.com

规格

$V_{DD} = 2.3V$ 至 $3.6V$, $GND = 0V$, $T_A = T_{MIN}$ 至 T_{MAX} , 除非另有说明. 典型的规格是 $V_{DD} = 3V$, $T_A = 25^{\circ}C$.

除非另有说明, 否则所有测量均使用EVAL-ADF7020-1-DBX和PN9数据序列进行.

表格1.

参数	敏	典型	马克斯	单元	测试条件
射频特性					
频率范围 (直接输出)	135		650	兆赫	VCO偏置设置请参见表5 频率
频率范围 (2分频模式)	80		325	兆赫	
VCO频率范围	1.1	1.2		比	F_{MAX}/F_{MIN} , 使用表5中的VCO偏置设置
相位频率检测器频率	RF / 256		20.96	兆赫	PFD必须小于直接输出 频率 / 31
传输参数					
数据速率					
FSK / GFSK	0.15		200	kbps的	使用曼彻斯特biphase-L编码
OOK / ASK	0.15		641	kbps的	
OOK / ASK	0.3		100	千波特	
频移键控					
GFSK / FSK频率偏差 2,3	1		110	千赫	PFD = 3.625MHz
	4.88		620	千赫	PFD = 20 MHz
偏差频率分辨率	100			赫兹	PFD = 3.625MHz
高斯滤波器BT		0.5			
幅移键控					
ASK调制深度			三十	D b	
OOK-PA关闭Feedthrough		-50		dBm的	
传输Power4	-20		+13	dBm的	$V_{DD} = 3.0V$, $T_A = 25^{\circ}C$, $FRF > 200MHz$
发射功率	-20		+11	dBm的	$V_{DD} = 3.0V$, $T_A = 25^{\circ}C$, $FRF < 200MHz$
传输功率变化与温度		± 1		D b	从 $-40^{\circ}C$ 至 $+85^{\circ}C$
传输功率变化与 V_{DD}		± 1		D b	在 315MHz, 从 2.3V 到 3.6V, $T_A = 25^{\circ}C$
可编程步长					
-20 dBm到+13 dBm		0.3125		D b	请参见图13了解输出功率如何变化 与PA设置
整数边界		-55		dB c的	50千赫循环带宽
参考		-65		dBc的	
谐波					
二次谐波		-27		dBc的	未经过滤的导电
三次谐波		-21		dB c的	
所有其他谐波		-35		dB c的	
VCO频率拉动, OOK模式		三十		kHz rms	DR = 9.6kbps
最佳PA负载阻抗 5		$79.4 + j64$			FRF = 140MHz
		$109 + j64$			FRF = 320MHz
		$40 + j47.5$			FRF = 590MHz

参数	敏	典型	马克斯	单元	测试条件
接收机参数					
FSK / GFSK输入灵敏度					在BER = 1E-3时, FRF = 315MHz, LNA和PA分别匹配6
灵敏度在1 kbps		-119.2		dBm的	FDEV = 5 kHz, 高灵敏度模式7
灵敏度9.6 kbps		-114.2		dBm的	FDEV = 10 kHz, 高灵敏度模式
OOK输入灵敏度					在BER = 1E-3时, FRF = 315MHz
灵敏度在1 kbps		-118.2		dBm的	高灵敏度模式
灵敏度9.6 kbps		-111.8		dBm的	高灵敏度模式
LNA和混频器, 输入IP37					
增强的线性模式		6.8		dBm的	Pin = -20 dBm, 2个CW干扰信号,
低电流模式		-3.2		dBm的	FRF = 315MHz, F1 = FRF + 3MHz,
高灵敏度模式		-35		dBm的	F2 = FRF + 6 MHz, 最大增益
接收杂散辐射8			-57 -47	dBm的 dBm的	天线输入 < 1 GHz 天线输入 > 1 GHz
AFC					
拉入范围		±50		千赫	IF_BW = 200 kHz
响应时间		48		位	调制指数 = 0.875
准确性		1		千赫	
通道过滤					
相邻信道抑制 (偏移量=±1×IF滤波器带宽设置)		27		Db	IF滤波器BW设置= 100 kHz, 150 kHz, 200千赫;所需信号高于输入3 dB
第二个相邻信道抑制 (偏移量=±2×IF滤波器带宽设置)		50		Db	敏感度水平; CW干扰功率水平
第三个相邻信道抑制 (偏移量=±3×IF滤波器带宽设置)		55		Db	直到BER = 10 ⁻³ ;图像频道排除
图像通道拒绝		35		Db	图像在FRF - 400千赫
同信道拒绝					
宽带干扰抑制		-2 70		Db Db	从100 MHz扫描到2 GHz, 测量结果如下信道拒绝
阻断					
±1 MHz		60		Db	所需信号比输入灵敏度高3 dB
±5 MHz		68		Db	水平, CW干扰功率水平增加
±10 MHz		65		Db	直到BER = 10 ⁻²
±10 MHz (高线性模式)		72		Db	
饱和度 (最大输入电平)		12		dBm的	FSK模式, BER = 10 ⁻³
LNA输入阻抗		237 - j193 101.4 - j161.6 49.3 - j104.6		Ω Ω Ω	FRF = 130 MHz, RFIN至GND FRF = 310MHz FRF = 610MHz
RSSI					
输入范围		-100到-36		dBm的	
线性		±2		Db	
绝对准确度		±3		Db	
响应时间		150		微秒	请参阅RSSI / AGC部分

ADF7020-1

参数	敏	典型	马克斯	单元	测试条件
锁相环路					
VCO增益		40		兆赫 / V	433 MHz, VCO调整 = 0, VCO_BIAS_SETTING = 2
		35		兆赫 / V	315 MHz, VCO调整 = 0, VCO_BIAS_SETTING = 2
		16.5		兆赫 / V	135 MHz, VCO调整 = 0, VCO_BIAS_SETTING = 1
相位噪声 (带内)		-89		dBc的/赫兹	PA = 0dBm, VDD = 3.0V, PFD = 10MHz, FRF = 315MHz, VCO_BIAS_SETTING = 2
归一化的带内相位噪声 9楼		-198		dBc的/赫兹	
相位噪声 (带外)		-110		dBc的/赫兹	MHz偏移量
剩余FM		128		赫兹	从200 Hz到20 kHz, FRF = 315 MHz
PLL稳定		40		微秒	测量一个10 MHz的频率步进 精度在5 ppm以内, PFD = 20 MHz, LBW = 50kHz
参考输入					
水晶参考	3.625		24	兆赫	必须确保不超过PFD的最大值
外部振荡器	3.625		24	兆赫	
负载电容		33		pF的	参考晶体的数据表
水晶启动时间		2.1		女士	11.0592 MHz晶振, 使用33 pF负载 电容器
		1.0		女士	使用16 pF负载电容
输入级别				CMOS 水平	请参阅参考输入部分
ADC参数					
INL		±1		LSB	从2.3 V到3.6 V, TA = 25°C
DNL		±1		LSB	从2.3 V到3.6 V, TA = 25°C
时间信息					
芯片启用到稳压器就绪		10		微秒	C REG = 100 nF
芯片启用RSSI就绪		3.0		女士	有关详细信息, 请参阅表13
Tx-to-Rx周转时间		150µs+ (5×T BIT)			包括数据同步的时间 AGC解决. 见AGC信息和 定时部分的更多细节.
逻辑输入					
输入高电压, VINH	0.7×VDD			V	
输入低电压, VINL			0.2×VDD	V	
输入电流, IINH/IINL			±1	µA	
输入电容, CIN			10	pF的	
控制时钟输入			50	兆赫	
逻辑输出					
输出高电压, VOH	DVDD - 0.4			V	IOH = 500µA
输出低电压, VOL			0.4	V	我OL = 500µA
CLKOUT上升/下降			五	NS	
CLKOUT负载			10	pF的	
温度范围-TA	-40		+ 85	C	

参数	敏	典型	马克斯	单元	测试条件
电源					
电压供应					
V DD	2.3		3.6	V	所有V DD 引脚必须连接在一起
传输电流消耗					FRF = 315MHz, V DD = 3.0V, PA匹配到50Ω
433 MHz, 0 dBm / 5 dBm / 10 dBm		13/16/21		嘛	VCO_BIAS_SETTING = 2
接收电流消耗					
低电流模式		17.6		嘛	VCO_BIAS_SETTING = 2
高灵敏度模式		20.1		嘛	VCO_BIAS_SETTING = 2
掉电模式					
低功耗睡眠模式		0.1	1	μA	

1 根据当地法规, 可以获得更高的数据速率。

2 有关频率偏差的定义, 请参见寄存器2发送调制寄存器 (FSK模式) 部分。

3 有关GFSK频率偏差的定义, 请参见寄存器2发送调制寄存器 (GFSK / GOOK模式) 部分。

4 测量为最大未调制功率。输出功率随供应和温度而变化。

5 有关匹配的详细信息, 请参阅LNA / PA匹配部分。

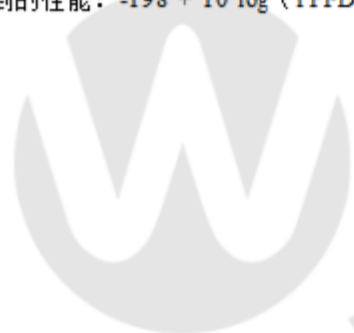
6 组合匹配网络情况下的灵敏度通常比单独的匹配网络低2 dB。表11列出了各种数据速率下的灵敏度值。

7 有关不同接收器模式的说明, 请参见表6。

8 按照匹配和布局指南达到相关的FCC / ETSI规范。

9 此图可用于计算任何工作频率的带内相位噪声。使用以下公式计算带内相位噪声。

在PA输出端看到的性能: $-198 + 10 \log(f \text{ PFD}) + 20 \log N$ 。


Wlxmall
 万联芯城
www.wlxmall.com

时间特征

VDD = 3V±10%，VGND = 0V，TA = 25℃，除非另有说明，由设计保证，但没有经过生产测试。

表2

参数	在T MIN时限制 为T MAX	单元	测试条件/评论
t1	<10	NS	SDATA到SCLK建立时间
t2	<10	NS	SDATA到SCLK保持时间
t3	<25	NS	SCLK持续时间长
4	<25	NS	SCLK持续时间较短
5	<10	NS	SCLK到SLE建立时间
6	<20	NS	SLE脉冲宽度
t8	<25	NS	SCLK-SREAD数据有效，回读
9	<25	NS	SREAD在SCLK之后保持时间，回读
t10	<10	NS	SCLK-to-SLE禁用时间，回读

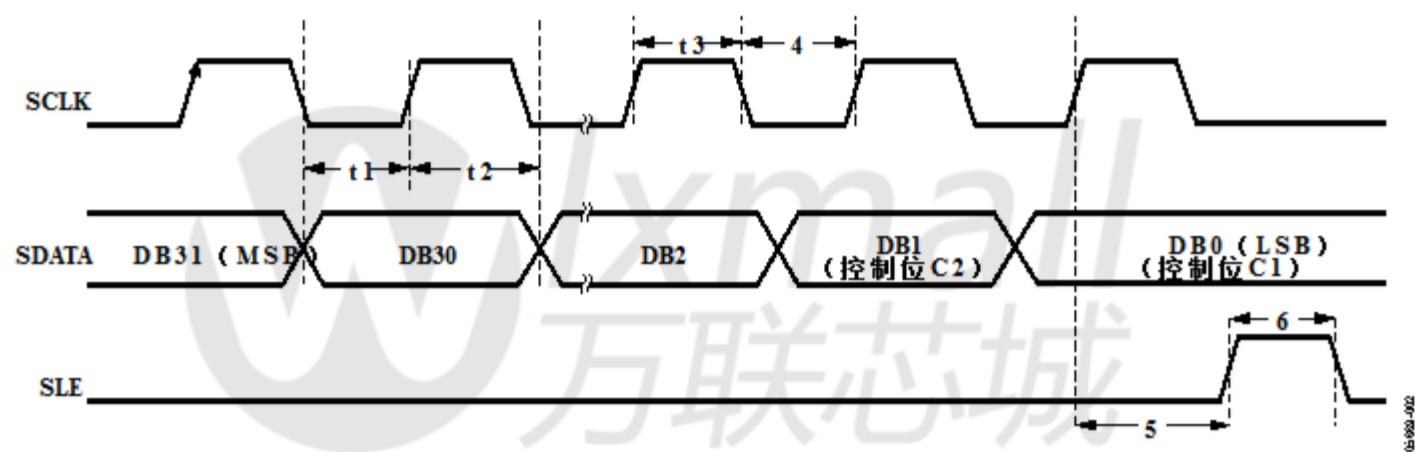


图2.串行接口时序图

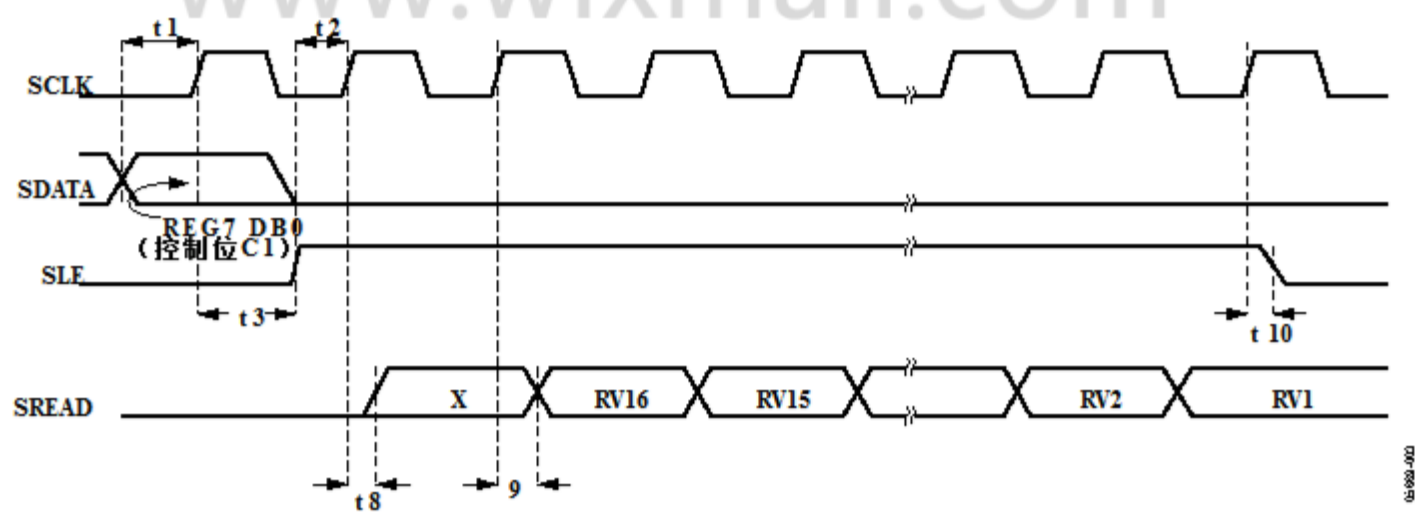


图3.回读时序图

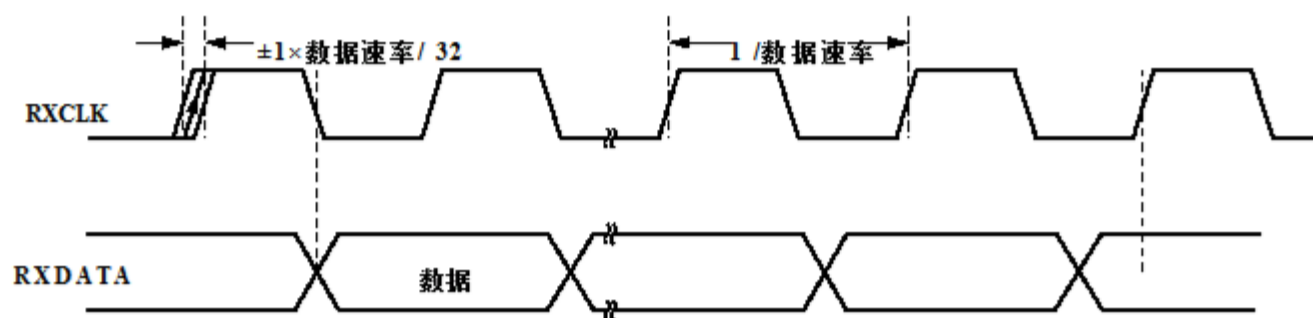
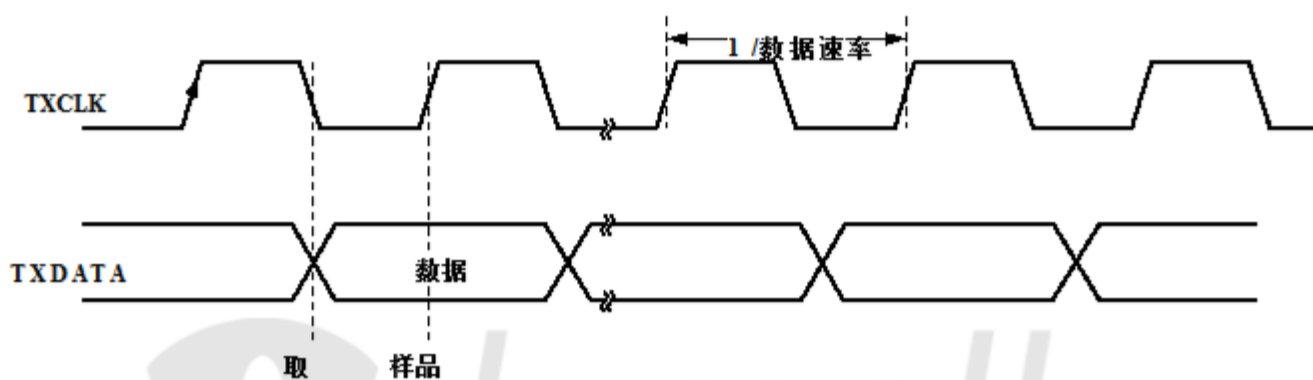


图4. RxData / RxCLK时序图



笔记
1. TxCLK只能在GFSK模式下使用。

图5. TxData / TxCLK时序图

www.wlxml.com

绝对最大额定值

T A = 25°C，除非另有说明。

表3.

参数	评分
V DD 到GND1	-0.3 V至+5 V
模拟I / O电压至GND	-0.3 V到AV DD + 0.3 V
数字I / O电压至GND	-0.3 V到DV DD + 0.3 V
工作温度范围	
工业（B版）	-40°C至+ 85°C
存储温度范围	-65°C至+ 125°C
最高结温	150°C
MLF0JA 热阻抗	26°C / W
回流焊接	
峰值温度	260°C
时间在最高温度	40秒

强调超出绝对最大额定值列出的那些可能会导致设备永久性损坏.这是一个压力只有评级.在这些或任何设备的功能操作其他情况超出业务指标不是暗示本规范的一部分.接触绝对延长期限的最大额定条件可能会影响设备可靠性.

该器件是一款高性能射频集成电路，ESD额定值<2 kV.这是ESD敏感的适当的预防措施应该采取处理和组装.

1 GND = CPGND = RFGND = DGND = AGND = 0 V.

ESD警告

ESD（静电放电）敏感装置.高达4000V的静电电荷容易积累人体和测试设备，可以不经检测而放电.虽然这个产品的功能专有的ESD保护电路，在高能里设备上可能会发生永久性损坏静电放电.因此，建议采取适当的ESD防范措施以避免性能下降功能退化或丧失.



www.wlxmall.com

引脚配置和功能说明

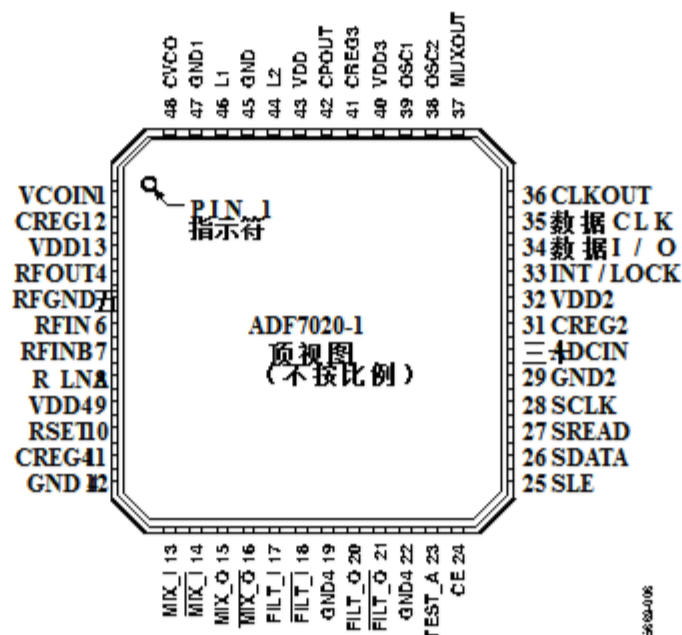


图6.引脚配置

表4.引脚功能描述

销号	助记符	描述
1	VCOIN	VCO输入引脚.该引脚上的调谐电压决定了受控电压的输出频率振荡器 (VCO).调谐电压越高,输出频率越高.
2	CREG1	PA模块的稳压器电压.该引脚之间应该并联一个100 nF的5.1 pF电容并为稳压器稳定性和噪声抑制而研发.
3	VDD1	PA模块的电源电压.0.1μF和10 pF的去耦电容应尽可能靠近这个引脚.所有V DD引脚应该连在一起.
4	RFOUT	PA输出引脚.调制信号在此引脚可用.输出功率级别从-20 dBm到+13 dBm.输出应该使用合适的元件阻抗匹配到所需的负载.见变送器部分.
五	RFGND	变送器输出级接地.所有的GND引脚应该连在一起.
6	RFIN	接收器部分的LNA输入.天线和差分LNA输入之间需要输入匹配确保最大的功率传输.请参阅LNA / PA匹配部分.
7	RFINB	互补LNA输入.请参阅LNA / PA匹配部分.
8	R LNA	LNA的外部偏置电阻.最佳电阻为1.1kΩ,容差为5%.
9	VDD4	LNA / MIXER模块的电源电压.该引脚应通过一个10 nF电容去耦到地.
10	RSET	外部电阻设置电荷泵电流和一些内部偏置电流.使用3.6kΩ,容差为5%.
11	CREG4	LNA / MIXER模块的稳压器电压.这个引脚和GND之间应该放置一个100 nF的电容稳压器稳定性和噪声抑制.
12	GND 4	低噪声放大器/混频器模块的接地.
13至18岁	MIX / FILT	信号链测试引脚.这些引脚在正常情况下是高阻抗,应该留下悬空.
19, 22	GND 4	低噪声放大器/混频器模块的接地.
20, 21, 23	FILT / TEST_A	信号链测试引脚.这些引脚在正常情况下是高阻抗,应该留下悬空.
24	CE	芯片启用.使CE处于低电平, ADF7020-1完全关断. CE时寄存器值会丢失是低的,并且一旦CE被提高,该部分必须被重新编程.
25	SLE	加载使能, CMOS输入.当LE变高时,存储在移位寄存器中的数据被加载到其中的一个中四个锁存器.使用控制位选择一个锁存器.
26	SDATA	串行数据输入.串行数据首先加载MSB,以2个LSB作为控制位.这个针脚很高阻抗CMOS输入.

销号	助记符	描述
27	SREAD	串行数据输出.该引脚用于将ADF7020-1的回读数据反馈给微控制器. SCLK输入用于为SREAD引脚上的每个回读位 (AFC, ADC回读) 提供时钟.
28	SCLK	串行时钟输入.该串行时钟用于将串行数据输入到寄存器.数据被锁存到CLK上升沿上的24位移位寄存器.该引脚是数字CMOS输入.
29	GND2	数字部分的理由.
三十	ADCIN	模数转换器输入.内部7位ADC可通过此引脚访问.满量程为0至1.9 V.使用SREAD引脚进行回读.
31	CREG2	数字模块的稳压器电压.应该在这个之间放置一个100 nF的并联5.1 pF电容器.引脚和地面稳压器的稳定性和噪声抑制.
32	VDD2	数字模块的电压电源.10 nF的去耦电容应尽可能靠近此引脚放置.
33	INT / LOCK	双向引脚.在输出模式 (中断模式) 下, ADF7020-1在找到INT / LOCK引脚后置位.前导序列的匹配.在输入模式 (锁定模式) 下, 单片机可以用来锁定.当检测到有效的前导码时, 解调器阈值.一旦阈值被锁定, NRZ数据可以可靠地收到.在这种模式下, 解调器锁定可以以最小的延迟被断言.
34	数据I / O	传输数据输入/接收数据输出.这是一个数字引脚, 正常的CMOS电平适用.
35	数据CLK	发送/接收时钟引脚.在接收模式下, 引脚输出同步的数据时钟.积极的时钟边缘与接收到的数据的中心相匹配.在GFSK发送模式下, 该引脚输出一个精确的时钟.以精确的数据速率将来自微控制器的数据锁存到发送部分.看到了高斯频移键控 (GFSK) 部分.
36	CLKOUT	具有输出驱动器的晶体参考的分频版本.数字时钟输出可用于驱动其他几个CMOS输入, 如单片机时钟.输出具有50:50的标记空间比率.
37	MUXOUT	多路复用器输出引脚.该引脚提供Lock_Detect信号, 用于确定PLL是否被锁定到正确的频率.其他信号包括Regulator_Ready, 这是串行状态的一个指示.接口调节器.
38	OSC2	振荡器输出引脚.该引脚和OSC1之间应连接参考晶振. TCXO参考.可以通过使用CMOS电平驱动此引脚并禁用晶体振荡器来使用.
39	OSC1	振荡器输入引脚.该引脚和OSC2之间应连接参考晶振.
40	VDD3	电荷泵和PLL分频器的电压电源.该引脚应该与0.01μF的地线去耦电容.
41	CREG3	电荷泵和PLL分频器的稳压器电压.一个100 nF的并联5.1 pF电容应该是放置在此引脚和地之间稳压器的稳定性和噪声抑制.
42	CPOUT	电荷泵输出.该输出产生集成在环路滤波器中的电流脉冲.综合电流改变VCO输入端的控制电压.
43	VDD	VCO储能电路的电源电压.该引脚应通过一个0.01μF电容去耦到地.
44, 46	L2, L1	外部VCO电感引脚.应该在引脚之间连接片式电感, 以设置VCO工作频率.有关选择适当的值的详细信息, 请参见压控振荡器 (VCO) 部分.
45, 47	GND, GND1	VCO块的理由.
48	CVCO	VCO噪声补偿节点.该引脚和CREG1之间应该放置一个22 nF的电容以减小电容VCO噪声.

典型的性能特征

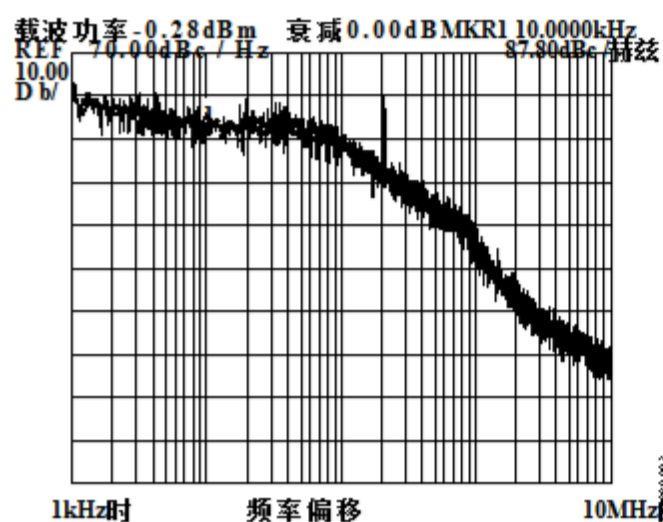
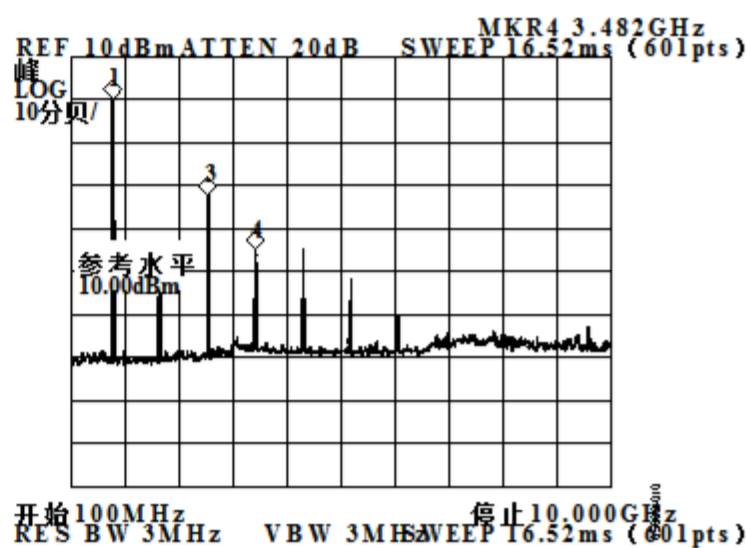
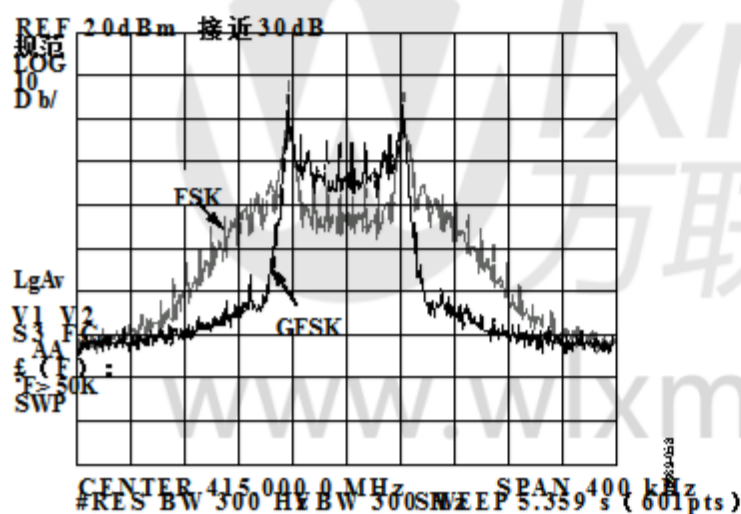
图7. 315 MHz时的相位噪声响应, $V_{DD} = 3.0\text{ V}$, $I_{CP} = 1.5\text{ mA}$ 图10. 谐波响应, RF OUT 与 50 Ω 匹配, 无滤波器

图8. FSK和GFSK调制的输出频谱

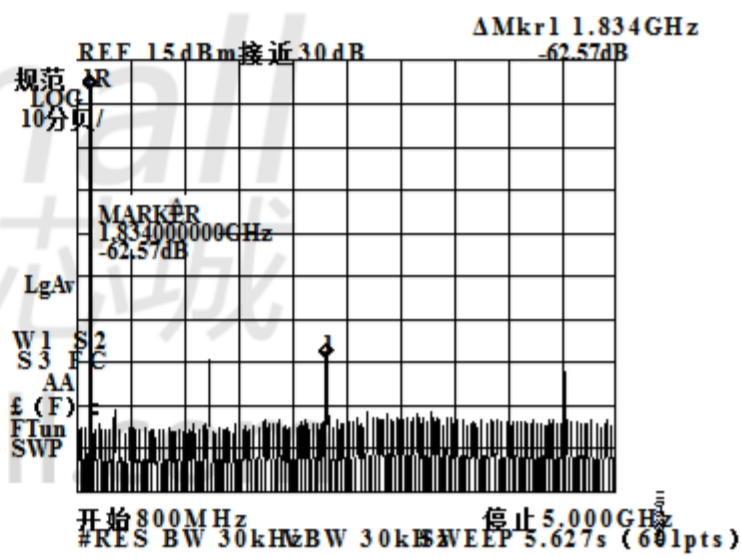


图11. 谐波响应, Murata 介质滤波器

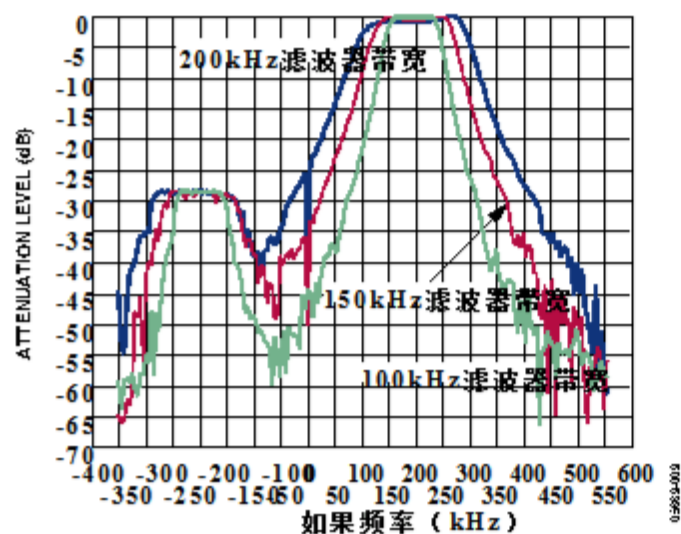


图9. IF 滤波器响应

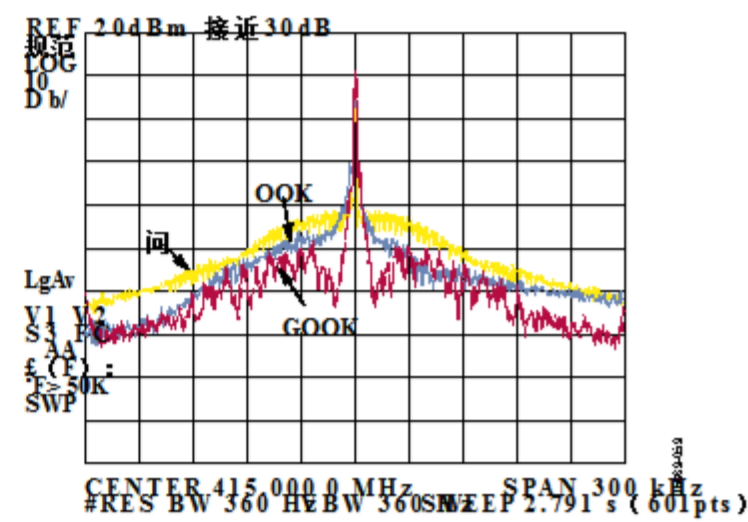


图12. ASK, OOK和GOOK模式下的输出频谱, DR = 10 kbps

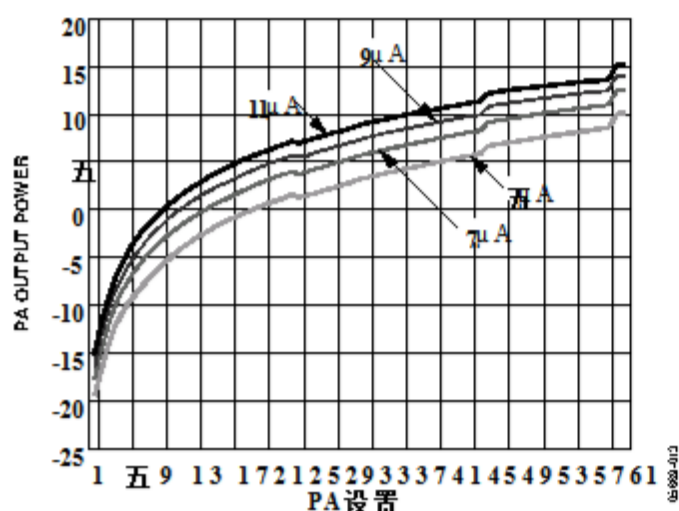


图13. PA输出功率与设置

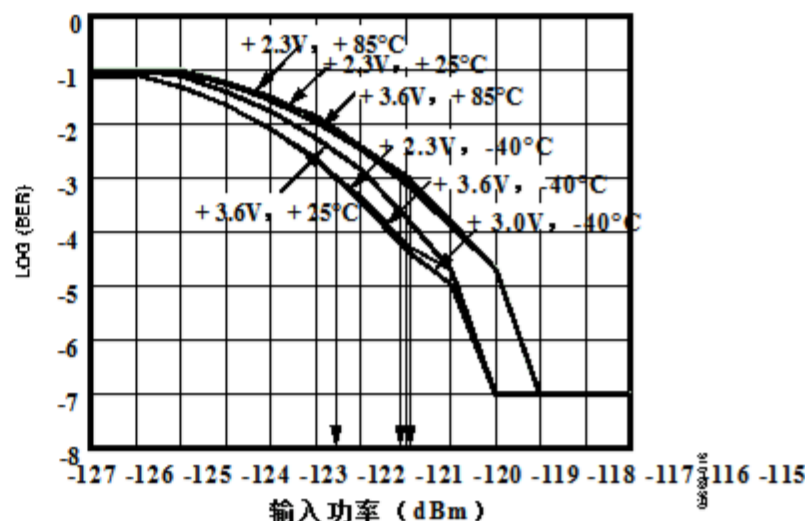


图16. 灵敏度与V_{DD}和温度，
RF = 315MHz, DR = 1kbps, 相关器解调

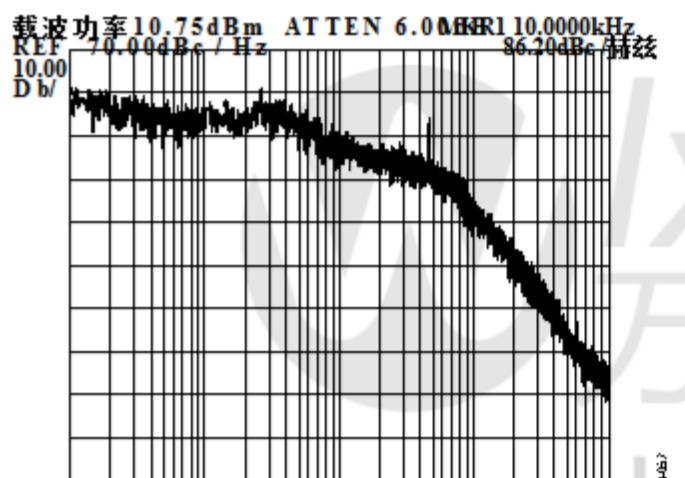


图14. 宽带干扰抑制想要的信号 (880 MHz) 在3dB
以上灵敏度干扰器 = FM干扰器 (9.76 kbps, 10k偏差)

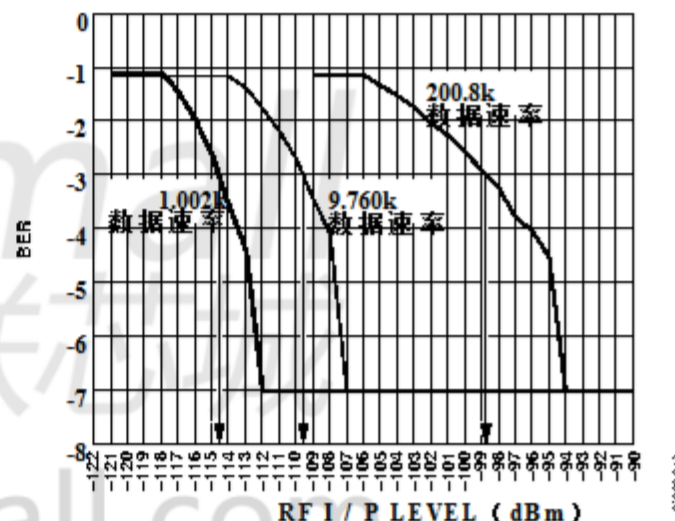


图17. BER与数据速率 (组合匹配网络) 独立的LNA
和PA匹配路径通常可提高2 dB的性能

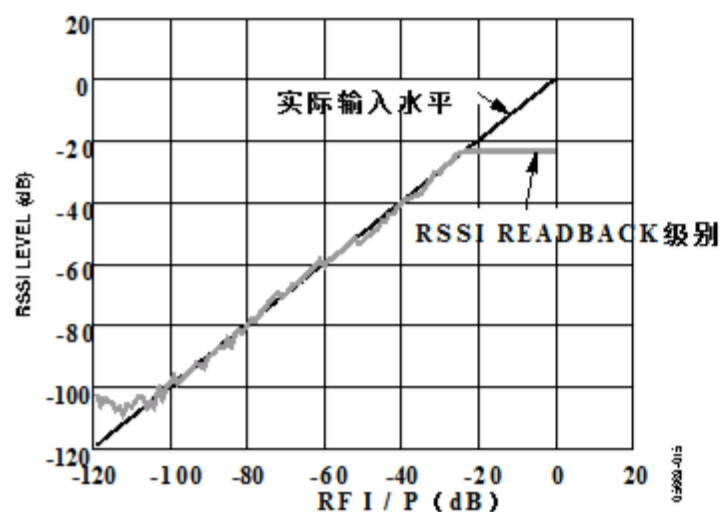


图15. 数字RSSI回读线性

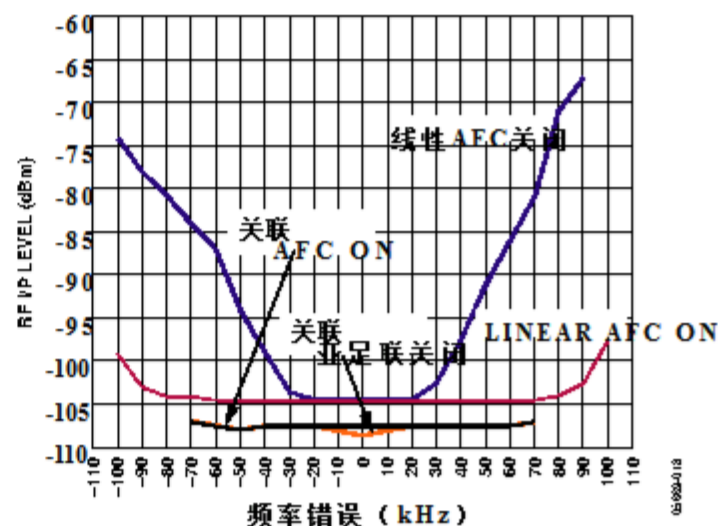


图18. AFC开/关时的灵敏度与频率误差

频率合成器

参考输入

板载晶体振荡器电路（见图19）可以使用一个廉价的石英晶体作为PLL的参考。振荡 - 通过将R1_DB12设置为高来使能电路。它是由启用上电时的默认值，并且通过将CE设置为低来禁用。错误在晶体中可以使用自动频率进行校正控制（请参阅AFC部分）功能或通过调整小数N值（参见N计数器部分）。单端参考（TCXO，CXO）也可以使用。CMOS级别应该将R1_DB12设置为低电平应用于OSC2。

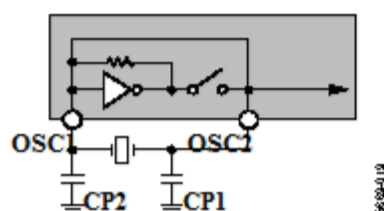


图19. ADF7020-1上的振荡器电路

振荡时需要两个并联谐振电容。正确的频率：他们的价值取决于水晶规范。他们应该选择，使系列的价值电容添加到PCB轨道电容加起来。加载晶体的电容，通常为20 pF跟踪电容值从2 pF到5 pF不等，具体取决于电路板布局。在可能的情况下，选择电容值非常低的电容。温度系数确保频率稳定运行。在所有情况下。

CLKOUT分频器和缓冲器

CLKOUT电路从基准时钟信号中提取振荡器部分（见图19）并提供分频。50：50标记空间信号到CLKOUT引脚。平分秋色从2到30是可用的。该分频数在R1_DB中设置（8:11）。上电时，CLKOUT默认为8分频块。

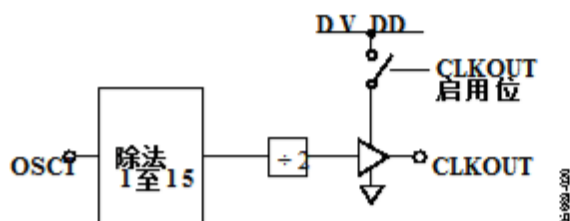


图20. CLKOUT阶段

要禁用CLKOUT，请将分频数设置为0。输出缓冲器可以驱动高达20 pF的负载，上升时间为10% 4.8 MHz。更快的边缘会导致一些伪反馈到输出。可以使用一个小型串联电阻（50Ω）来减速时钟沿减少F CLK的这些杂散。

R计数器

3位R计数器将参考输入频率除以a整数从1到7。分频信号表示为参考时钟到相位频率检测器（PFD）。该分频比在寄存器1中设置。最大化PFD频率降低了N值。这减少了以一定比率乘以的噪声的20日志（N）到输出，以及减少的事件虚假的组件。R寄存器默认为R = 1充电：

$$\text{PFD [Hz]} = \text{XTAL} / R$$

MUXOUT和锁定检测

MUXOUT引脚允许用户访问各种数字点在ADF7020-1。控制MUXOUT的状态由位R0_DB（29:31）。

调节器就绪

调节器准备好之后是MUXOUT上的默认设置。收发器已通电。的开机时间稳压器典型值为50μs。因为串口是由调节器供电，调节器必须处于其供电状态。ADF7020-1之前的标称电压可以被编程。调节器的状态可以在MUXOUT上进行监控。当MUXOUT上的稳压器就绪信号为高电平时，可以开始对ADF7020-1进行编程。

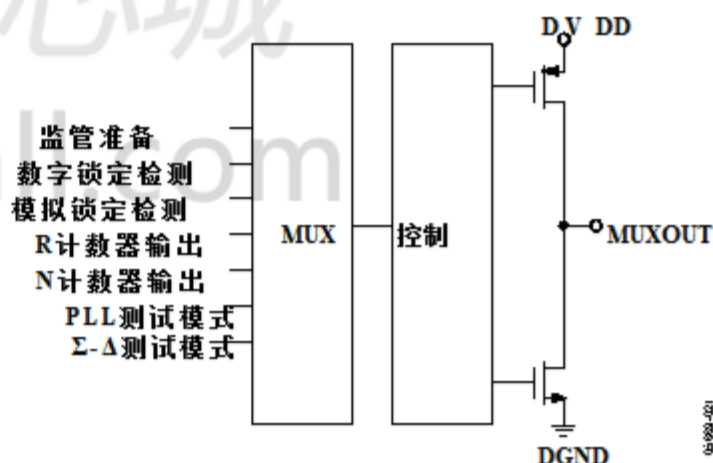


图21. MUXOUT电路

数字锁定检测

数字锁定检测高电平有效。锁定检测电路是位于PFD。当连续五个相位误差周期小于15 ns，锁定检测设置为高。锁定检测在PFD上检测到25ns的相位误差之前保持高电平。因为数字锁定不需要外部元件检测，比模拟锁检测更为广泛。

模拟锁定检测

应该操作这个N沟道漏极开路锁定检测。带有10kΩ标称的外部上拉电阻。当一个锁已经被检测到，这个输出是高的，窄的低脉冲。

稳压器

ADF7020-1包含四个稳压器以提供稳定的电源电压的部分。标称调节器电压为2.3 V。

每个稳压器应连接一个100 nF电容。

CREG和GND之间。当CE高，监管机构和其他相关电路开机，总计

电源电流2 mA。将芯片使能引脚拉低。禁用稳压器，将供电电流降至不足

1μA，并擦除保存在寄存器中的所有值。串口接口从一个调节器供应运行。因此，写信给该部分，用户必须有CE高和稳压器电压必须稳定。稳压器状态（CREG4）可以被监控使用来自muxout的稳压器就绪信号。

环路滤波器

环路滤波器将来自电荷的电流脉冲进行积分泵，形成一个电压，调整VCO的输出到期望的频率。它也减少了由...产生的虚假水平PLL。典型的环路滤波器设计如图22所示。

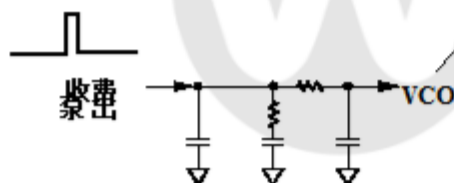


图22.典型的环路滤波器配置

在FSK中，应该设计循环带宽（LBW）大约是数据速率的5倍。扩大LBW过度缩短了跳跃之间的时间频率，但可能导致寄生衰减不足。

对于ASK系统，推荐使用更宽的LBW。突然两个功率水平之间的大转换可能导致VCO拉动，可能会导致比所需的更宽的输出频谱。通过将LBW扩大到数据速率的10倍以上，VCO牵引里减少，因为回路稳定迅速回到正确的频率。更宽的LBW可能限制基于ASK的系统的输出功率和数据速率比基于FSK的系统更多。

窄环路带宽可能导致环路耗时过长。一段时间才能锁定。仔细设计环路滤波器对于获得准确的FSK / GFSK调制至关重要。

对于GFSK，建议使用2.0到2.5倍的LBW

数据速率被用来确保足够的样本

在对系统噪声进行滤波的同时采集输入数据。免费

设计工具ADIsimPLL可用于设计环路滤波器

ADF7020-1。

N计数器

ADF7020-1 PLL中的反馈分频器由一个8位分频器组成

整数计数器和一个15位Σ-Δ分数N分频器。该

整数计数器是常见的标准脉冲吞吐类型

锁相环。这将最小整数除数值设置为31

分数除法值在输出处给出非常好的分辨率，

其中PLL的输出频率被计算为

$$F_{OUT} = \frac{XTAL}{[R]} \times \left(\text{整数} - \tilde{n} + \frac{\text{部分的} - \tilde{n}}{2^{15}} \right)$$

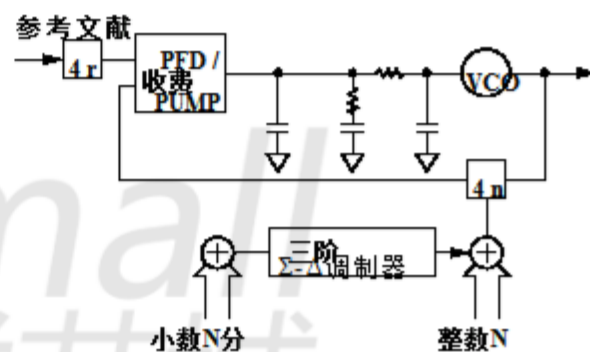


图23.小数N分频PLL

整数N（最大值= 255）和

小数N（最大= 16,383 / 16,384）给出最大的N

255 + 1的分频器。因此，最小可用的PFD是

$$PFD_{MIN} [Hz] = \text{最大所需输出频率} / (255 + 1)$$

例如，在620 MHz运行时，PFD MIN 等于2.42 MHz。

压控振荡器（VCO）

ADF7020-1具有带外部储能电路的片上VCO

电感器，用来设置频率范围。中心

VCO的频率由内部变容二极管电容设定

和外部芯片电感的组合电感，

键合线和PCB轨道。VCO工作范围vs.

显示了总外部电感（芯片电感+ PCB轨迹）

图24.使用FR4的PCB轨道的电感

材料大约是0.57nH / mm。这应该是

从总值中减去以确定正确的芯片

电感值。

包括一个额外的频率除以2块允许

从80 MHz到325 MHz的操作。启用除以2

块，将R1_DB13设置为1。

VCO可以根据需要重新调整
操作频率，通过编程VCO调整位
R1_DB (20:21)。

VCO通过PLL使能位作为PLL的一部分使能，
R0_DB28。

VCO和VCO之间需要外部22 nF
调节器来减少内部噪音。

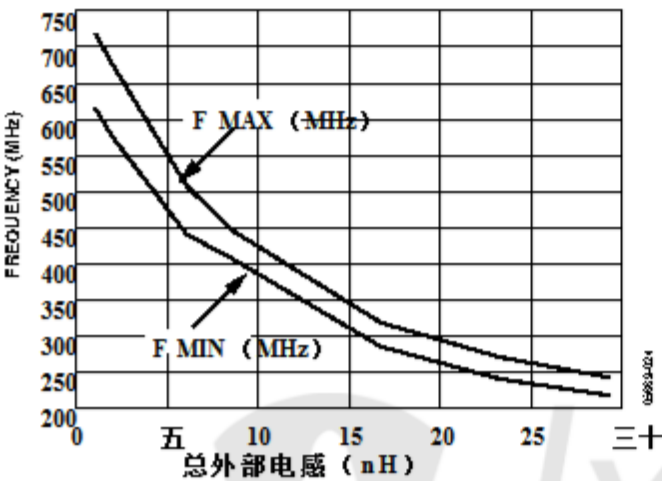


图24.外部电感与频率

VCO偏置电流

VCO偏置电流可以使用位R1_DB19来调整
R1_DB16.为了最小化电流消耗，偏置电流
设置应如表5所示。

表5.推荐的VCO偏置电流

直接频率输出 (f)	VCO偏置R1_DB (19:16)
f < 200MHz	0001
200MHz < f < 450MHz	0010
f > 450 MHz	0011

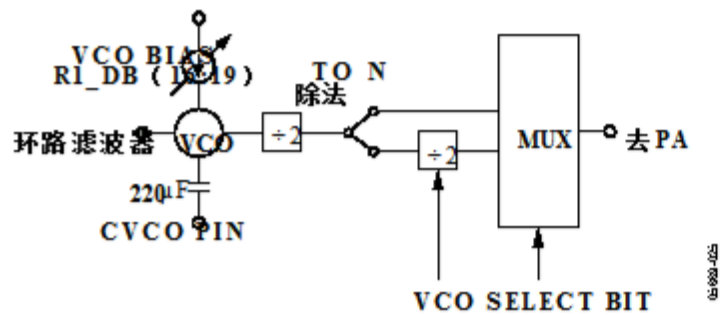


图25.压控振荡器 (VCO)

选择最佳系统的通道
性能

小数N分频PLL允许选择其中的任何通道
80 MHz到650 MHz，分辨率<300 Hz.这也是
有助于跳频系统。

必须仔细选择射频发射通道
以达到最佳的虚假表现.的体系结构
小数N会导致某个级别的最接近的整数通道
通过环路移动到RF输出.这些拍子
如果期望的RF信道，则杂散不会被环路衰减
和最接近的整数通道以频率相隔
小于LBW.

beat-note杂散的发生是罕见的，因为整数
频率是参考的倍数，这通常是
> 10 MHz.

拍音刺激的幅度可以显著降低
通过使用倍频器来避免非常小或非常大
分数寄存器中的值.通过1 MHz的通道
远离整数频率，一个100 kHz的环路滤波器可以
降低到<45 dBc的水平。

发射机

射频输出阶段

ADF7020-1的PA基于单端，
控制电流，已设计的开漏放大器
最大可提供高达13 dBm的50Ω负载
频率为650 MHz.

功率放大器的输出电流，因此，输出功率是
可编程范围很广.中的PA配置
显示FSK / GFSK和ASK / OOK调制模式
图26和图27分别在FSK / GFSK调制中
模式下，输出功率与状态无关
DATA_IO引脚.在ASK / OOK调制模式下，它是依赖的
在DATA_IO引脚的状态和位R2_DB29，其中
选择TxData输入的极性.对于每个传输
模式，输出功率可以调整如下：

- FSK / GFSK：输出功率使用位设置
R2_DB (9:14) .
- ASK：TxData的非激活状态的输出功率
输入由位R2_DB (15:20) 设置.输出功率为
TxData输入的活动状态由位R2_DB (9:14) 设置.
- OOK：TxData的激活状态的输出功率
输入由位R2_DB (9:14) 设置. PA在静音时被静音
TxData输入无效.

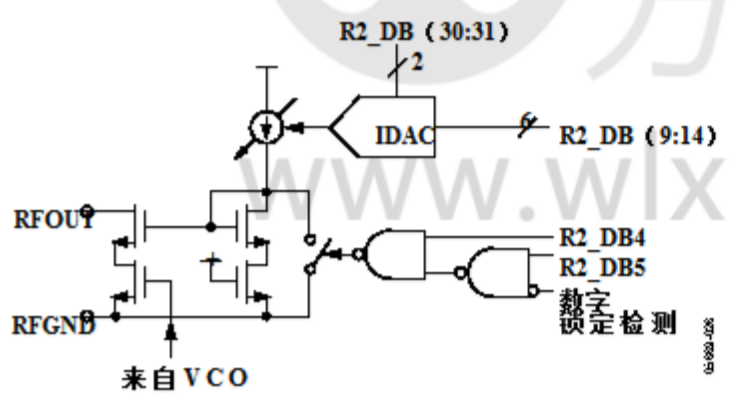


图26. FSK / GFSK模式下的PA配置

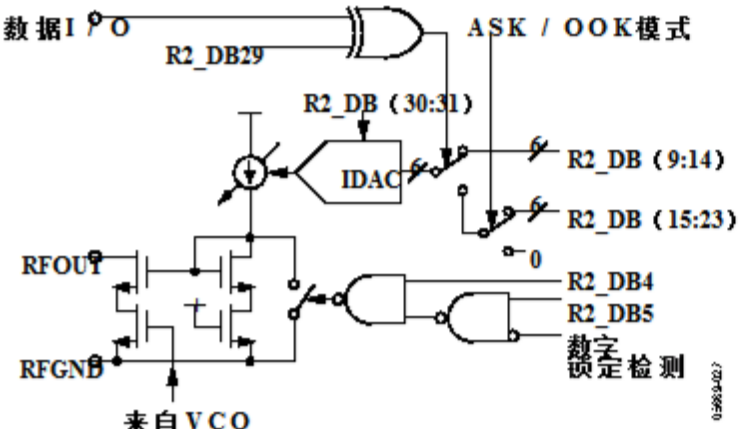


图27. ASK / OOK模式下的PA配置

功率放大器配有过压保护，这使得它
在严重不匹配的情况下强健.取决于
应用程序，用户可以为PA设计一个匹配的网络
在期望的辐射输出功率下呈现最佳效率
用于各种不同的天线，例如环路或单声道天线，
极天线.有关详细信息，请参见LNA / PA匹配部分.

PA偏置电流

控制位R2_DB (30:31) 便于调整PA
如果偏置电流进一步延长输出功率控制范围
必要.如果此功能不是必需的，则默认值为
建议使用9μA.输出级被掉电
重置位R2_DB4.为了减少不需要的虚假的水平
发射，PA可以在PLL锁定阶段被静音
切换这一点.

调制方案

频移键控（FSK）

频移键控通过设置N值来实现
中心频率，然后用TxData切换
线.与中心频率的偏差使用位设置
R2_DB (15:23) .与中心频率的偏差
赫兹是

$$\text{FSK 偏差 [赫兹]} = \frac{\text{PFD} \times \text{调制数}}{2^{14}}$$

调制号码是从1到511的数字
(R2_DB (15:23)) .

使用位R2_DB (6: 8) 选择FSK.

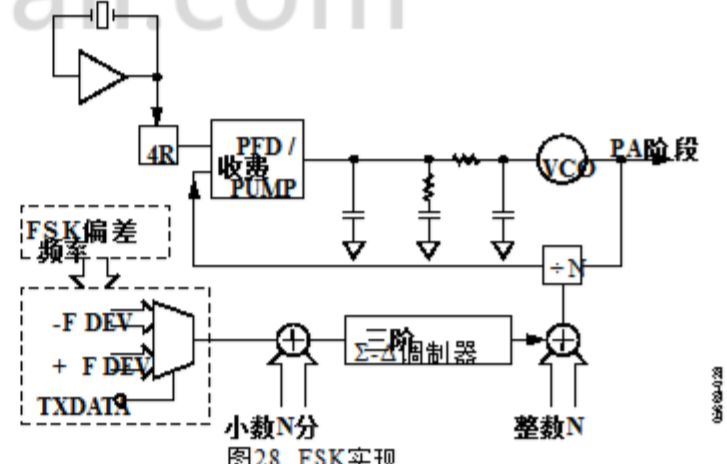


图28. FSK实现

高斯频移键控 (GFSK)

高斯频移键控降低了带宽
由透射光谱通过数字预滤波占据
TxData。一个TxCLK输出线是从
ADF7020-1用于从微处理器同步TxData，
控制器。TxCLK线可以连接到时钟输入
一个移位寄存器，准确地将数据记录到发送器
数据速率。

为GFSK设置ADF7020-1

要设置频率偏差，请设置PFD和
调制器控制位根据以下等式：

$$\text{GFSK 偏差 [赫兹]} = \frac{\text{PFD} \times 2^m}{2^{12}}$$

其中m是使用R2_DB (24:26) 设置的GFSK_MOD_CONTROL。

要设置GFSK数据速率，请设置PFD和调制器
控制位根据以下公式：

$$\text{DR [BPS]} = \frac{\text{PFD}}{\text{除法因子} \times \text{指数计数器}}$$

DIVIDER_FACTOR和INDEX_COUNTER是
在位R2_DB (15:21) 和R2_DB (27:28) 中编程，
分别。有关更多信息，请参阅使用GFSK
EVAL-ADF7010EB1数据手册中的ADF7010部分。

幅移键控 (ASK)

幅移键控通过切换输出来实现
两个离散的功率级之间的阶段。这是通过
切换DAC，它控制两个之间的输出电平
在寄存器2中设置6位值。0 TxData位发送位R2_DB
(15:20) 给DAC。高TxData位发送位R2_DB (9:14)
DAC。最大调制深度为30 dB是可能的。

开关键控 (OOK)

开关键控通过将输出级切换到a来实现
一个高TxData位的某个功率电平并切换
输出级关闭，以获得低TxData位。对于OOK，传送
高输入功率使用位R2_DB (9:14) 进行编程。

高斯开关键控 (GOOK)

高斯开关键控表示OOK的预过滤形式
调制。通常尖锐的符号转换被替换
与光滑的高斯滤波转换，结果是一个
减少VCO的频率提升。频率拉动
OOK模式下的VCO可能会导致宽于期望的BW，
特别是如果不可能增加环路滤波器BW>
300千赫。GOOK采样时钟在数据处采样数据
率。（请参阅设置GFSK的ADF7020-1部分。）

接收部分

射频前端

ADF7020-1基于完全集成的低中频接收器建筑.低中频架构便利性非常低
外部元件数量并不受电力线损伤，诱发干扰问题.

图29显示了接收器前端的结构.该许多编程选项允许用户权衡折衷，线性度和电流消耗最多
适合他们的应用的方式.实现高水平的抵御虚假接收的抵御能力，低噪声放大器的特点之一
差分输入.开关SW2短接LNA输入发送模式被选择（R0_DB27 = 0）.这个功能facili-
指出组合的LNA / PA匹配网络的设计，避免了对外部Rx / Tx开关的需要.看到了
LNA / PA匹配部分的详细设计匹配网络.

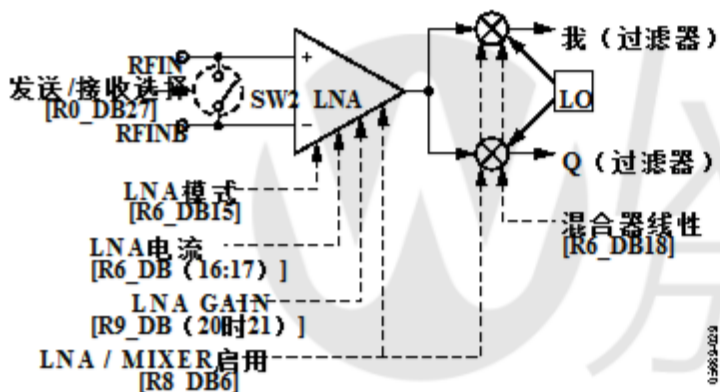


图29. ADF7020-1 RF前端

LNA之后是正交下变频混频器，它将RF信号转换成200kHz的IF频率.它重要的是要考虑同步的输出频率，必须将该器件编程为低于200 kHz的值接收频道的中心频率.

低噪声放大器有两种基本工作模式：高增益/低噪声模式和低增益/低功耗模式.在这些之间切换两种模式，使用LNA_mode位R6_DB15.混频器也是可在低电流和增强线性之间进行配置模式使用mixer_linearity位，R6_DB18.

基于特定的灵敏度和线性要求
在应用程序中，建议调整控制位
LNA_mode（R6_DB15）和mixer_linearity（R6_DB18）一样在表6中列出.

LNA的增益由LNA_gain字段配置，R9_DB（20:21），可以由用户或者设置自动增益控制（AGC）逻辑.

IF滤波器设置/校准

带外干扰被四阶拒绝
巴特沃斯多相中频滤波器，以一个频率为中心
200 kHz. IF滤波器的带宽可以编程在100 kHz和200 kHz之间通过控制位R1_DB（22:23分）;它应该被选择作为一个折衷之间的妥协，衰减拒绝，期望信号的衰减和AFC拉入范围.

为了弥补制造公差，IF滤波器上电后应校准一次. IF滤波器校准逻辑要求将IF滤波器分频位R6_DB（20:28）根据晶振频率来设置.一旦开始设置位R6_DB19，校准自动执行，无需任何用户干预.该校准时间为200μs，ADF7020-1应在此期间进行校准不被访问.重要的是不要开始校准在晶体振荡器完全稳定之前进行循环.如果AGC环路被禁用，中频滤波器的增益可以设置为三个级别使用filter_gain字段，R9_DB（22:23）.滤波器增益是自动调整，如果AGC循环启用.

表6. LNA /混频器模式

接收机模式	LNA模式 (R6_DB15)	LNA增益 值 R9_DB（21:20）	混频器 线性 (R6_DB18)	灵敏度 (DR = 9.6kbps, f DEV = 10kHz)	接收电流 消耗 (嘛)	输入IP3 (DBM)
高灵敏度模式（默认）	0	三十	0	-112.5	20.1	-35
RxMode2	1	10	0	-105.8	19.0	-15.9
低电流模式	1	3	0	-92.2	17.6	-3.2
增强的线性模式	1	3	1	-102.5	17.6	+6.8
RxMode5	1	10	1	-99	19.0	-8.25
RxMode6	0	三十	1	-105	20.1	-28.8

RSSI / AGC

RSSI被实现为连续压缩对数放大器跟随基带信道过滤.对数放大器达到 $\pm 3\text{dB}$ 的对数线性.它也兼作限制器来转换FSK解调器的信号到数字电平. RSSI本身用于幅移键控(ASK)解调.在ASK模式,对RSSI值执行额外的数字滤波.偏移校正使用开关电容器integrator在对数放大器周围反馈.这使用BB偏移里时钟鸡沟. RSSI级别转换为用户回读和由一个80级(7位)闪存ADC进行数字控制的AGC.这个电平可以转换成以dBm为单位的输入功率.

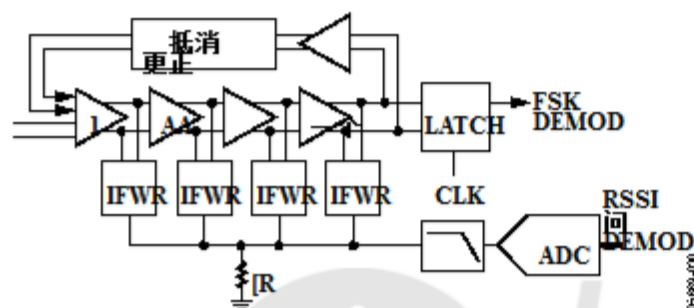


图30. RSSI框图

RSSI阈值

当RSSI高于AGC_HIGH_THRESHOLD时,增益为降低.当RSSI低于AGC_LOW_THRESHOLD时,收益增加.延迟(AGC_DELAY)被编程为允许用于解决循环.用户编程这两个阈值(建议默认值30和70)和延迟(默认值10).大多数情况下,默认的AGC设置值应该是足够的应用.阈值必须超过30个设置.除了自动增益控制器能够正常工作.

偏移校正时钟

在寄存器3中,用户应该设置BB偏移时钟分频位R3_DB(4:5)给出1MHz和2MHz之间的偏移时钟,哪里:

$$\text{BBOS_CLK (Hz)} = \text{XTAL} / (\text{BBOS_CLK_DIVIDE})$$

BBOS_CLK_DIVIDE可以设置为4,8或16.

AGC信息和时间

AGC是默认选择的,为测量的RSSI电平设置初始LNA和滤波器增益设置.如果需要,可以通过写入寄存器9来禁用AGC.例如,进入表6列出的模式之一.该AGC电路需要时间,因此需要花费时间.尽管如此,精确的RSSI测量通常为150 μs .这取决于AGC电路有多少增益设置.绕圈穿过.每次增益改变后,AGC环路等待一个编程时间以允许瞬变结束.这等待时间可以通过调整来加快这个安定适当的参数.

$$\text{AGC_等待_时间} = \frac{\text{AGC_延迟} \times \text{SEQ_CLK_划分}}{\text{XTAL}}$$

$$\text{AGC建立时间} = \text{AGC_Wait_Time} \times \text{增益变化次数}$$

因此,在最坏的情况下,如果AGC环路必须经历全部五个增益变化,AGC延迟=10,然后SEQ_CLK=200kHz. AGC建立=10 $\times$ 5 μs $\times$ 5=250 μs .最小AGC_Wait_Time必须至少25 μs .

RSSI公式(转换为dBm)

$$\text{Input_Power [dBm]} = -120 \text{ dBm} + (\text{Readback_Code} + \text{Gain_Mode_Correction}) \times 0.5$$

哪里:

Readback_Code由回读中的位RV7至RV1给出寄存器(请参阅回读格式部分).

Gain_Mode_Correction由表7中的值给出.

LNA增益和滤波器增益(LG2/LG1, FG2/FG1)也是如此从回读寄存器获得.

表7.增益模式校正

LNA增益 (LG2, LG1)	过滤增益 (FG2, FG1)	增益模式修正
H (1,1)	H (1,0)	0
M (1,0)	H (1,0)	24
M (1,0)	M (0,1)	45
M (1,0)	L (0,0)	63
L (0,1)	L (0,0)	90
EL (0,0)	L (0,0)	105

应该引入一个额外的因素来解释损失在前端匹配网络/天线.

FSK解调器ADF7020-1

ADF7020-1上的两个FSK解调器都是

- FSK相关器/解调器
- 线性解调器

使用解调器选择位R4_DB(4:5)选择这些位.

FSK CORRELATOR / DEMODULATOR

IF滤波器的正交输出首先被限制,然后馈送给一对数字频率相关器,(IF + F DEV)处的二进制FSK频率的低通滤波(IF - F DEV).通过比较输出水平来恢复数据来自两个相关器中的每一个.这个表现鉴频器近似匹配滤波器的频率检测器,这是众所周知的提供最佳的检测AWGN的存在.

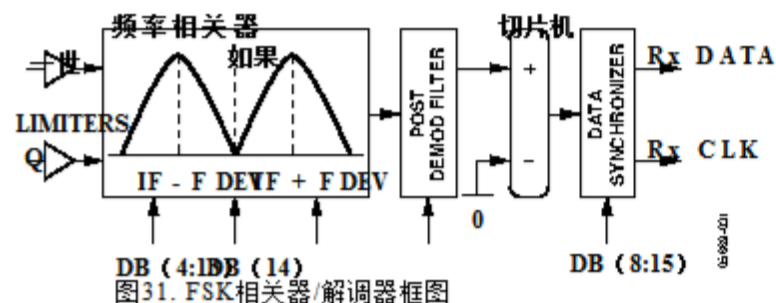


图31. FSK相关器/解调器框图

后解调器滤波器

二阶数字低通滤波器可消除多余的噪声

鉴别器输出端的解调比特流。

这个后解调滤波器的带宽是可编程的

并且必须针对用户的数据速率进行优化。如果带宽

设置得太窄，性能因符号间差而降低

干扰（ISI）。如果带宽设置得太宽，则会产生过多的噪音

降低接收机的性能。通常，3dB带宽

这个滤波器的设置大约是用户数据的0.75倍

速率，使用位R4_DB（6:15）。

位切片器

接收的数据被检测到的阈值恢复

后解调器低通滤波器的输出。在相关器/

解调器，频率的二进制输出信号电平

鉴别器总是以零为中心。所以，切片器

门限电平可以固定为零，而解调器

性能是独立于游程长度的限制的

传输数据比特流。这导致了强大的数据恢复，

它不受经典基线漂移概率的影响，

存在于更传统的FSK解调器中。

频率误差由内部AFC环路去除

测量限制器输出端的平均中频频率

将频率校正值应用于小数N

合成。这个循环应该在频率被激活的时候

误差大于传输的大约40%

频率偏差（见AFC部分）。

数据同步器

过采样数字PLL用于重新同步接收

比特流到本地时钟。过采样的时钟频率

PLL（CDR_CLK）必须设置为数据速率的32倍。看到了

寄存器3-接收器时钟寄存器部分的注释

定义如何编程各种片上时钟。时钟

恢复PLL可以容纳高达±2%的频率误差。

FSK相关器寄存器设置

要启用FSK相关器/解调器，位R4_DB（5:4）

应该设置为[01]。要实现最佳性能，带宽

的FSK相关器必须针对具体偏差进行优化

频率由FSK发射机使用。

鉴别器BW由R6_DB在寄存器6中进行控制

（4:13）被定义为

$$\text{Discriminator_BW} = \text{DEMOM_CLK} \times k / (600 \times 10^3)$$

哪里：

DEMOM_CLK如寄存器3-接收器时钟中所定义注册部分，注2。

$$K = \text{round}(200e3 / \text{FSK偏差})$$

为了优化FSK相关器的系数，两个

必须分配额外的位R6_DB14和R6_DB29。

这些位的值取决于是否K（如定义的

以上）是奇数还是偶数。这些位是根据

表8和表9中列出的条件。

表8.当K是偶数时

k	K/2	R6_DB14	R6_DB29
甚至	甚至	0	0
甚至	奇	0	1

表9.当K是奇数时

k	(K+1)/2	R6_DB14	R6_DB29
奇	甚至	1	0
奇	奇	1	1

后解调器带宽寄存器设置

后解调器滤波器的3dB带宽受到控制

由位R4_DB（6:15），由给出

$$\text{后解调器_BW_设置} = \frac{2^{10} \times 2\pi \times F_{\text{CUTOFF}}}{\text{DEMOM_CLK}}$$

其中F_CUTOFF是以赫兹为单位的目标3dB带宽，

解调器滤波器。这通常应该被设置为0.75倍

数据速率（DR）。

FSK相关器/解调器的一些示例设置是

$$\text{DEMOM_CLK} = 5 \text{ MHz}$$

$$\text{DR} = 9.6 \text{ kbps}$$

$$F_{\text{DEV}} = 20 \text{ kHz}$$

因此

$$F_{\text{CUTOFF}} = 0.75 \times 9.6 \times 10^3 \text{ Hz}$$

$$\text{Post_Demod_BW} = 2^{11} \pi \times 7.2 \times 10^3 \text{ Hz} / (5 \text{ MHz})$$

$$\text{Post_Demod_BW} = \text{Round}(9.26) = 9$$

和

$$K = \text{Round}(200 \text{ kHz}) / 20 \text{ kHz} = 10$$

$$\text{Discriminator_BW} = (5 \text{ MHz} \times 10) / (800 \times 10^3) = 62.5 =$$

$$63 \text{ (四舍五入到最接近的整数)}$$

表10.注册设置

设置名称	注册地址	值
Post_Demod_BW	R4_DB（6:15）	×09
Discriminator_BW	R6_DB（4:13）	0x3F的
点产品	R6_DB14	0
Rx数据反转	R6_DB29	1

线性FSK解调器

图32显示了线性FSK解调器的框图。

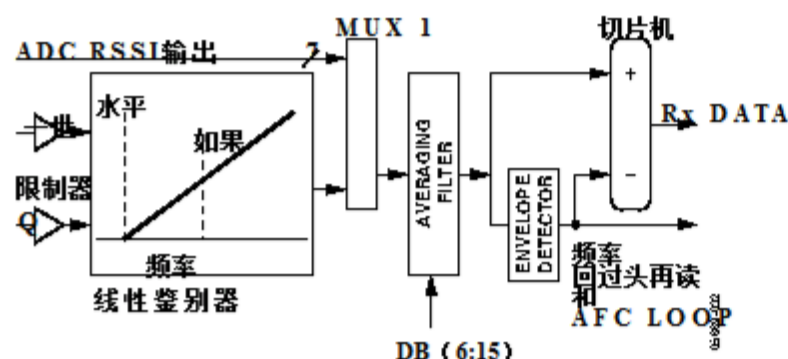


图32. 频率测量系统框图
ASK / OOK / 线性FSK解调器

这种频率解调方法非常有用，需要短的前导码长度和系统协议不能支持内部建立时间的开销。反馈AFC回路稳定。

数字鉴频器提供一个输出信号，与限幅器输出的频率成线性比例。鉴别器输出然后过滤和平均使用一个结合平均滤波器和包络检波器。解调通过比较滤波器的输出来恢复FSK数据其平均值，如图32所示。在这种模式下，切片器图32中显示的输出被路由到数据同步器PLL用于时钟同步。启用线性FSK解调器，将R4_DB (4:5) 位设为[00]。

后解调滤波器的3dB带宽设置在设置的FSK相关器/解调器相同。R4_DB (6:15) 被定义为

$$\text{后解调_BW_设置} = \frac{2^{10} \times 2\pi \times F_{\text{截止}}}{\text{DEMOM_CLK}}$$

哪里：

F CUTOFF 是以赫兹为单位的目标3dB带宽后解调器滤波器。DEMOM_CLK的定义如下：寄存器3-接收器时钟寄存器部分，注2。

ASK / OOK操作

ASK / OOK解调由位R4_DB (4:5) 到[10]。

ASK / OOK解调通过数字滤波进行RSSI输出，然后比较过滤器输出与其平均值。与FSK解调类似，带宽的数字滤波器必须进行优化，以消除任何多余的在接收到的ASK / OOK信号中没有引起ISI的噪声。

该滤波器的3 dB带宽通常设置为近似值用户数据速率的0.75倍，由R4_DB (6:15) 分配

$$\text{Post_Demod_BW_Setting} = \frac{2^{10} \times 2\pi \times F_{\text{截止}}}{\text{DEMOM_CLK}}$$

其中F CUTOFF 是以赫兹为单位的目标3dB带宽后解调器滤波器。

还建议在ASK / OOK中使用曼彻斯特编码模式来确保数据运行长度限制(RLL)是2位。如果更长RLL，最多4位是必需的，用户应该禁用通过将0x3C00C写入测试模式来实现超低增益设置寄存器。

AFC部分

ADF7020-1支持使用的实时AFC环路以消除由于不匹配而可能出现的频率错误。发射晶体和接收晶体之间。AFC循环使用鉴频器模块，如Linear FSK中所述解调器部分（见图32）。鉴别器输出经过滤波并平均去除FSK频率使用组合平均滤波器和包络进行调制探测器。在FSK模式下，包络检波器的输出提供平均IF频率的估计。两种方法ADF7020-1支持外部和内部AFC（仅在FSK模式下）。

外部AFC

用户通过回读频率信息ADF7020-1串行端口并应用频率校正直到分数N合成器的N分频器。

频率信息是通过读取16位获得的。如回读格式中所述，已签名的AFC_readback部分，并应用以下公式：

$$\text{FREQ_RB [Hz]} = (\text{AFC_READBACK} \times \text{DEMOM_CLK}) / 2^{15}$$

请注意，虽然AFC_READBACK值是一个有符号的数字，在正常的操作条件下，这是积极的。离席期间的频率误差，FREQ_RB值等于IF 200 kHz的频率。

内部AFC

ADF7020-1支持实时内部自动频率控制回路。在这种模式下，一个内部控制循环自动监测频率误差并调整合成器N分频器使用内部PI控制回路。

内部AFC控制回路参数受控于寄存器11。通过设置激活内部AFC环路R11_DB20设置为1。还必须输入标度系数，基于使用的晶体频率。这是在R11_DB中设置的(4:19)，应该使用计算

$$\text{AFC_Scaling_Coefficient} = (500 \times 2^{24}) / \text{XTAL}$$

因此，使用10 MHz XTAL会产生AFC缩放系数839。

亚足联表现

AFC的Rx灵敏度提高了
在显示频率错误的情况下显示

图18.最大AFC拉入范围为±50 kHz，
对应于868 MHz处的±58 ppm.这是总的错误
在链接允许的容忍度.例如，在一个点到点
系统，AFC可以补偿两个±29 ppm晶体或一个
±50 ppm的晶体和一个±8 ppm的TCXO.

AFC建立通常需要48位来稳定在±1 kHz之内.这个
可以通过增加后解调器带宽来改善
在寄存器4中以牺牲接收灵敏度为代价.

当AFC错误已被删除使用内部
或外部AFC，接收机的灵敏度进一步提高
可以通过使用减小IF滤波器带宽来获得
位R1_DB（22:23）.

自动同步字识别

ADF7020-1还支持自动检测同步
或ID字段.要激活此模式，同步（或ID）字必须
可以在ADF7020-1中预编程.在接收模式下，这个

预编程的字与接收的比特流进行比较，
而外部引脚INT / LOCK由ADF7020-1置位
当有效的比赛被识别时.

此功能可用于警告微处理器有效
频道已被检测到.它放松了计算的需求 -
微处理器的功能，并降低整体功耗
消费. INT / LOCK再次自动取消断言
经过九个数据时钟周期.

自动同步 / ID字检测功能由启用
在解调器设置中选择解调器模式2或3
寄存器.通过设置R4_DB（25:23）= [010]或[011]来做到这一点.
位R5_DB（4: 5）用于设置同步 / ID的长度
字，其可以是12,16,20或24位长.发射机
必须首先传输同步字节的MSB，最后传输LSB
确保接收器同步字节检测正确对齐
硬件.

对于使用FEC的系统，容错参数也可以
被编程，在高达三位时接受有效的匹配
这个词是不正确的.容错值被分配
在R5_DB（6: 7）中.

表11.变化的RF频率和数据速率的灵敏度值

频率	数据速率（NRZ）	偏差 FSK模式	FSK灵敏度 在BER = 1E-3时， 相关器解调器	FSK灵敏度 在BER = 1E-3时， 线性解调器	ASK灵敏度 在BER = 1E-3时
135兆赫	9.6 kbps	±10 kHz	-113.2 dBm	-106.2 dBm	-110.8
135兆赫	1.0 kbps	±5 kHz	-119.5 dBm	-109.2 dBm	-116.8 dBm
315 MHz	9.6 kbps	±10 kHz	-114.2 dBm	-108.0 dBm	-111.8 dBm
315 MHz	1.0 kbps	±5 kHz	-120 dBm	-110.1 dBm	-118 dBm
610兆赫	9.6 kbps	±10 kHz	-113.2 dBm	-107.0 dBm	-110.5dBm
610兆赫	1.0 kbps	±5 kHz	-119.8 dBm	-109.0 dBm	-116.8 dBm

应用

LNA / PA 匹配

ADF7020-1具有最佳的性能灵敏度，传输功率和电流消耗仅限于其射频输入和输出端口与天线正确匹配阻抗。对于成本敏感的应用，ADF7020-1是配备了一个内部Rx / Tx开关，方便了使用一个简单的组合无源PA / LNA匹配网络。或者，外部Rx / Tx开关，如模拟器件ADG919，可以使用，产量略有提高接收器灵敏度和较低的发射器功耗。

外部Rx / Tx开关

图33显示了使用外部Rx / Tx开关的配置。这个配置允许独立的优化在发射和接收路径中匹配和滤波网络。因此比以往更灵活，更难以设计使用内部Rx / Tx开关的配置。PA是通过电感L1进行偏置，C1阻止直流电流。都元素L1和C1也构成了匹配网络。将源阻抗转换为最佳PA负载阻抗， Z_{OPT_PA} 。

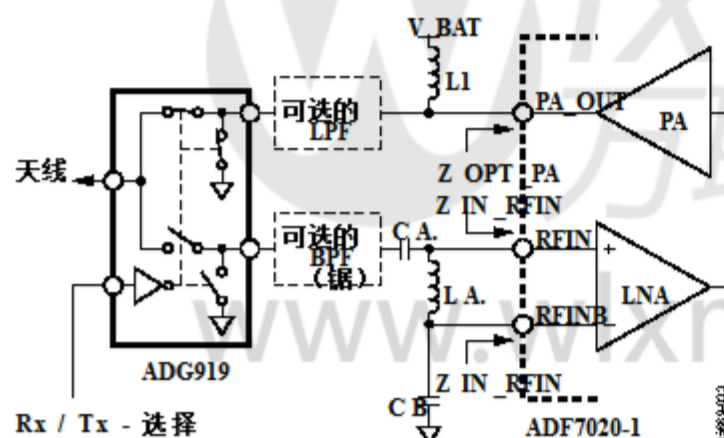


图33.具有外部Rx / Tx开关的ADF7020-1

Z_{OPT_PA} 取决于各种因素，如要求输出功率，频率范围，电源电压范围，和温度范围。选择一个合适的 Z_{OPT_PA} 有助于最大限度地减少Tx中的电流消耗应用。规格部分列出了一些 Z_{OPT_PA} 值代表条件。根据一定的条件，但是，建议获得一个合适的 Z_{OPT_PA} 值通过负载拉动测量。

由于差分LNA输入，LNA匹配网络必须设计为提供一个单端到差分转换和复共轭阻抗匹配。该可以满足这些要求的组件数最少的网络要求是图33所示的配置。由两个电容器和一个电感器组成。一阶匹配网络的实现可以通过把这个安排理解成两个L型匹配网络。

在背靠背配置。由于这种不对称性网络相对于地面，输入之间妥协反射系数和最大差分信号摆幅。在LNA输入必须建立。使用适当的强烈建议使用CAD软件进行此优化。

根据天线配置，用户可能会在PA输出端需要一个谐波滤波器来满足杂散适用的政府规定的排放要求。谐波滤波器可以以各种方式实现，例如作为离散LC pi或T级滤波器。的免疫力可以改善ADF7020-1强大的带外干扰。通过在Rx路径中添加一个带通滤波器，或者通过添加一个带通滤波器选择表6中列出的高线性模式之一。

内部接收/发送开关

图34显示了ADF7020-1的配置。内部Rx / Tx开关与组合的LNA / PA一起使用匹配网络。这是在配置中使用的ADF7020-1DBX评估板。对于大多数应用程序来说，略有性能下降1dB至2dB所造成的内部Rx / Tx开关是可以接受的，允许用户获取这个解决方案的成本节约潜力的优势。该组合匹配网络的设计必须补偿Tx和Rx中的网络呈现的电抗。考虑到Rx / Tx开关的状态。

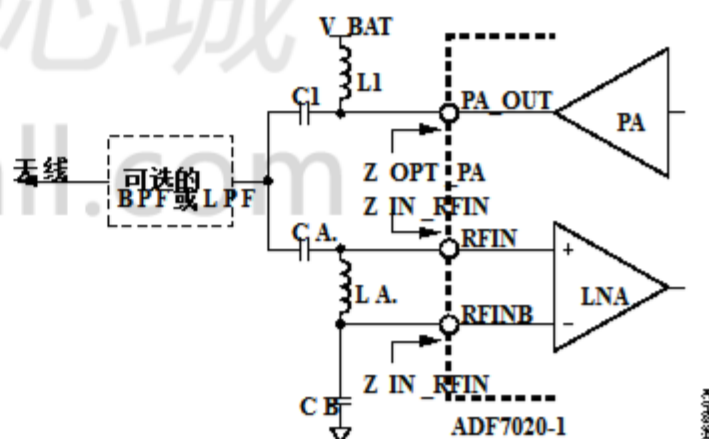


图34.带有内部Rx / Tx开关的ADF7020-1

该过程通常需要几次迭代，直到一个达成可接受的妥协。成功实施ADF7020-1的组合式LNA / PA匹配网络关键取决于准确电气的可用性。型号为PC板。在这种情况下，使用合适的CAD包强烈建议。为了避免这种努力，然而，a提供ADF7020-1的小型参考设计，包括匹配和谐波滤波器组件。该设计是在一个2层PCB上以最小化成本。Gerber文件可用在www.analog.com网站上。

发送协议和编码
注意事项



图35.发送协议的典型格式

建议将FSK / ASK / OOK解调.推荐的前导码模式是a
无直流模式, 如10101010 ...模式.前言
具有较长游程约束的模式, 如
11001100 ..., 也可以使用.但是, 这会导致更长的时间
接收器中接收的比特流的同步时间.

曼彻斯特编码可以用于整个传输协议.
但是, 前导首部后面的其余字段
不必使用无直流编码.对于这些领域,
ADF7020-1可以适应编码方案,
长度可达6位而不会降低性能.

如果必须支持更长的游程编码, 则ADF7020-1
有几个其他功能可以被激活.这涉及到a
允许包络检测器的可编程选项范围
输出在导言采集后被冻结.

初始化后的器件编程
充电

表12列出了设置所需的最少写入次数
在CE之后, ADF7020-1处于Tx或Rx模式
高.还可以写入其他寄存器来定制零件
到一个特定的应用程序, 比如设置同步字节
检测或启用AFC.当从Tx到Rx或副
相反, 用户只需要写入N寄存器来改变
LO乘以200 kHz, 并切换Tx / Rx位.

表12. Tx / Rx设置所需的最小寄存器写入

模式	寄存器				
TX	注册 0	Reg 1	Reg 2		
RX	注册 0	Reg 1	Reg 2	注册 4	注册 6
(OOK)					
RX	注册 0	Reg 1	Reg 2	注册 4	注册 6
(G / FSK)					
Tx < - > RX	注册 0				

图38和图39显示了推荐的编程
序列和相关的时间从上电
待机模式.

接口到微控制器/ DSP

低级设备驱动程序可用于连接到
ADF7020-1, ADI公司的ADuC84x微控制器部件, 或者
Blackfin ADSP-BF53x DSP使用硬件连接
如图36和图37所示.

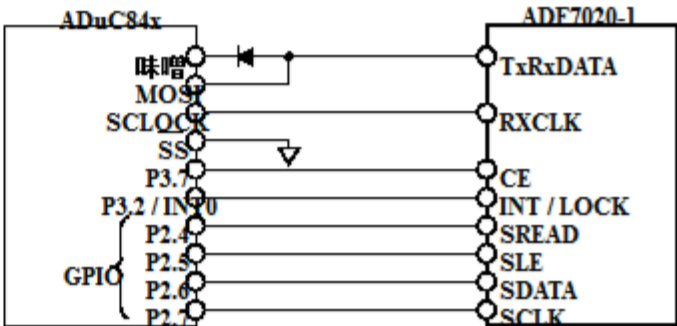


图36. ADuC84x至ADF7020-1连接图

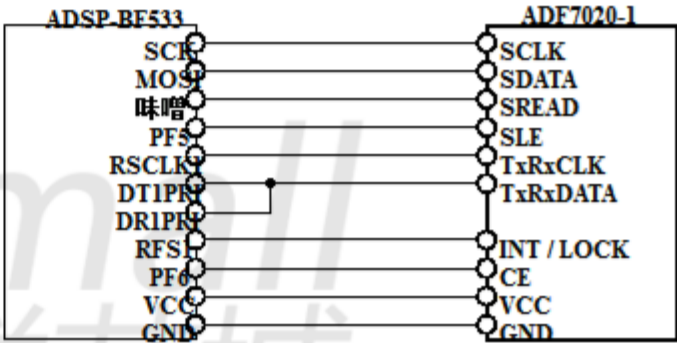


图37. ADSP-BF533至ADF7020-1连接图

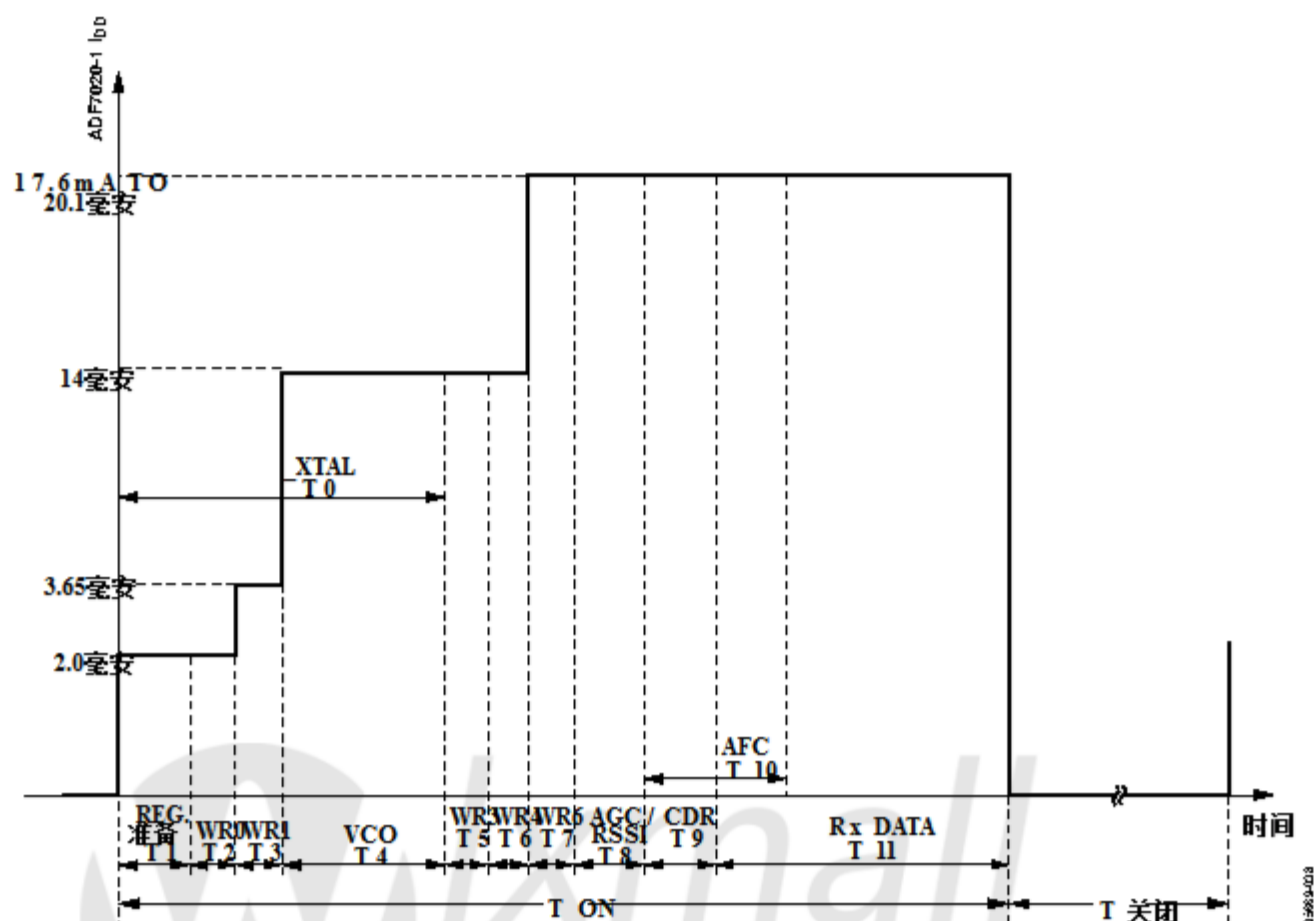


图38. Rx编程序列和时序图

表13.上电顺序说明

参数	值	说明/注意事项	信号监视
T0	2毫秒	CE上电后, 晶体开始上电.这通常取决于对晶体类型和指定的负载电容.	CLKOUT引脚
T1	10 μ s	调节器加电的时间.串口可以写入之后这次.	MUXOUT引脚
T2, T3, T5, T6, T4	$T2 \times 1 / \text{SPI_CLK}$ 1毫秒	时间写入一个单一的寄存器.最大SPI_CLK是25 MHz. VCO可以与晶体并联供电.这取决于使用CVCO电容值.建议将22 nF的值作为a相位噪声性能和上电时间之间的折衷.	CVCO引脚
T8	150 μ s	这取决于AGC环路需要循环的增益变化的数量通过和编程的AGC设置.这是更详细的描述在AGC信息和时间部分.	模拟RSSI在TEST_A引脚 (可通过写入0x3800 000C)
T9	5 $\times$ Bit_Period	这是时钟和数据恢复电路的时间.这通常需要5位转换来获取同步,并通常包括在内前言.	
T10	16 $\times$ Bit_Period	这是自动频率控制电路稳定的时间.这个通常需要16位转换才能获取锁定,通常会被覆盖通过适当的长度序言.	
T11	数据包长度	位周期中的有效载荷中的位数.	

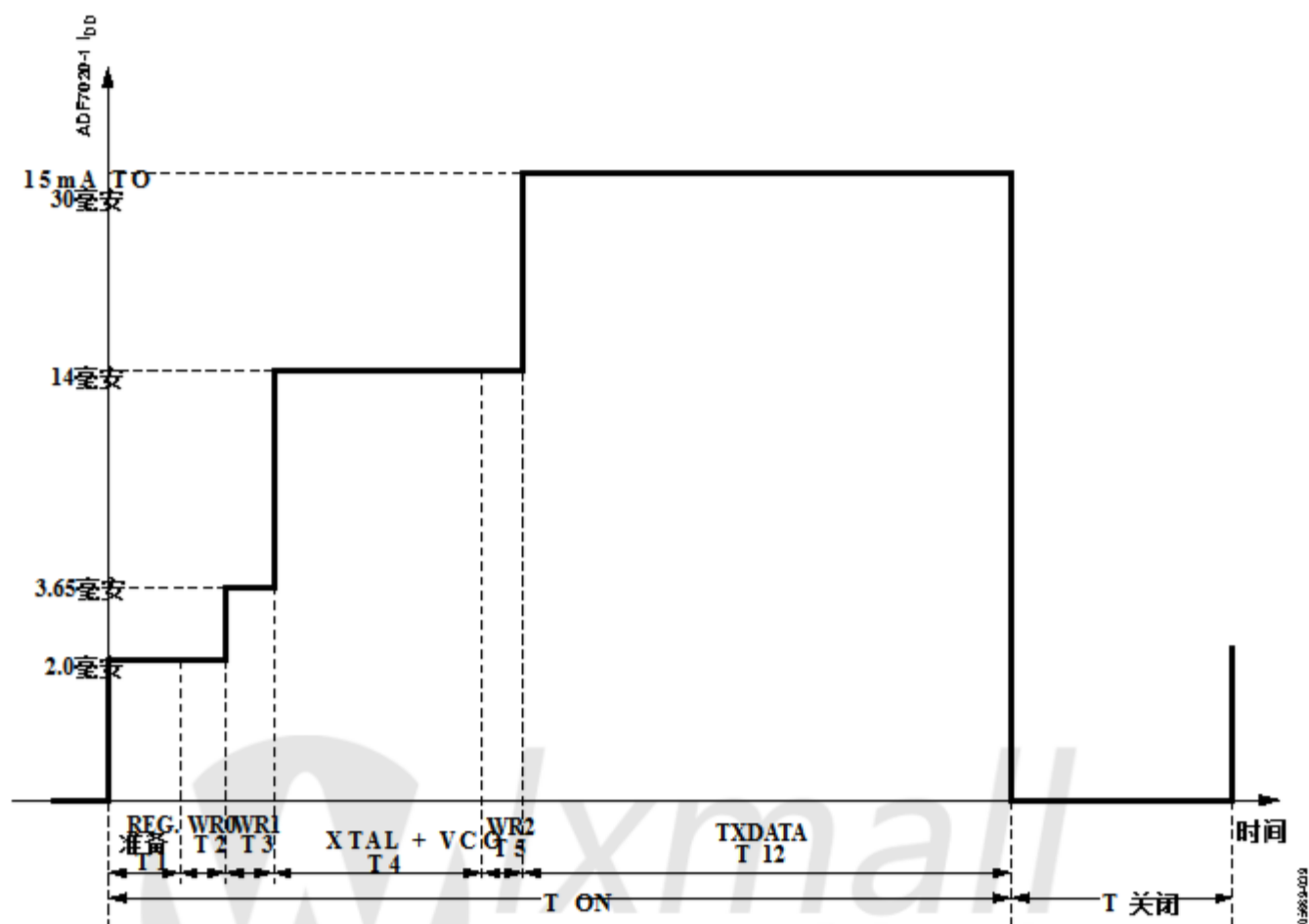


图39. Tx编程序列和时序图

串行接口

串行接口允许用户编程十一个32位

使用3线接口（SCLK，SDATA和SLE）进行寄存器。它

由一个电压电平转换器，一个32位移位寄存器组成

11个锁存器。信号应该是CMOS兼容的。串口

接口由稳压器供电，因此无效

当CE低时。

数据首先在上升沿移入寄存器MSB

每个时钟（SCLK）数据传输到11个锁存器之一

在SLE的上升。目标锁存器已确定

由四个控制位（C4到C1）的值决定。这些是

底部4个LSB，DB3到DB0，如时序图所示

图2。数据也可以在SREAD引脚上读回。

READBACK格式

回读操作是通过编写一个有效的控件来启动的

字读回寄存器并设置回读使能

位（R7_DB8 = 1）。回读可以在控制之后开始

字已经与SLE信号锁存。SLE必须保持

数据读出时为高电平。SCLK的每个有效边沿

引脚在SREAD上依次将读回字连续输出

引脚，如图3所示，先从MSB开始。数据

出现在锁存操作之后的第一个时钟周期

必须被忽略。

AFC回读

AFC回读仅在接收FSK期间有效

信号与线性或相关器解调器激活。

AFC回读值被格式化为一个有符号的16位整数

由位RV1到RV16组成，并按照

以下公式：

$$FREQ_RB [Hz] = (AFC_READBACK \times DEMOD_CLK) / 2^{15}$$

在没有频率误差的情况下，FREQ_RB值相等

到200 kHz的IF频率。请注意，下转换

输入信号不得超出模拟带宽

IF滤波器的AFC回读产生一个有效的结果。在低速

输入信号电平，回读值的变化可以是

通过平均提高。

RSSI回读

RSSI回读操作在Rx模式下产生有效的结果

与ASK或FSK信号。回读字的格式是

如图40所示。它由RSSI级别informa-

（位RV1到RV7），当前滤波器增益（FG1，FG2）和

当前的LNA增益（LG1，LG2）设置。滤波器和LNA

增益按照寄存器9中的定义进行编码。

随着接收ASK调制信号，平均的

测量的RSSI值提高了准确性。输入功率可以

从RSSI回读值中计算出来

RSSI / AGC。

电池电压ADCIN / 温度传感器回读

电池电压在引脚VDD4进行测量。回读

信息包含在位RV1到RV7中。这也适用

用于读回ADCIN引脚的电压

温度感应器。从回读信息，电池

或者可以使用ADCIN电压来确定

$$VBATTERY = (Battery_Voltage_Readback) / 2^{11}$$

$$VADCIN = (ADCIN_Voltage_Readback) / 2^{11}$$

芯片版本回读

硅版本回读字是有效的，没有任何设置

其他寄存器，特别是在上电之后。硅

修订字是用BCD格式的四个四进制编码的。该

产品代码（PC）被编码为三个四重延伸

从位RV5到RV16。版本代码（RV）用编码

从RV1到RV4的四分之一。产品代码

对于ADF7020-1应读回PC = 0x200。该

当前的修订代码应该读回为RC = 0x6。

过滤器校准回读

滤波器校准回读字包含在位RV1到

RV8，仅用于诊断目的。使用自动

滤波器校准功能，可通过寄存器6访问

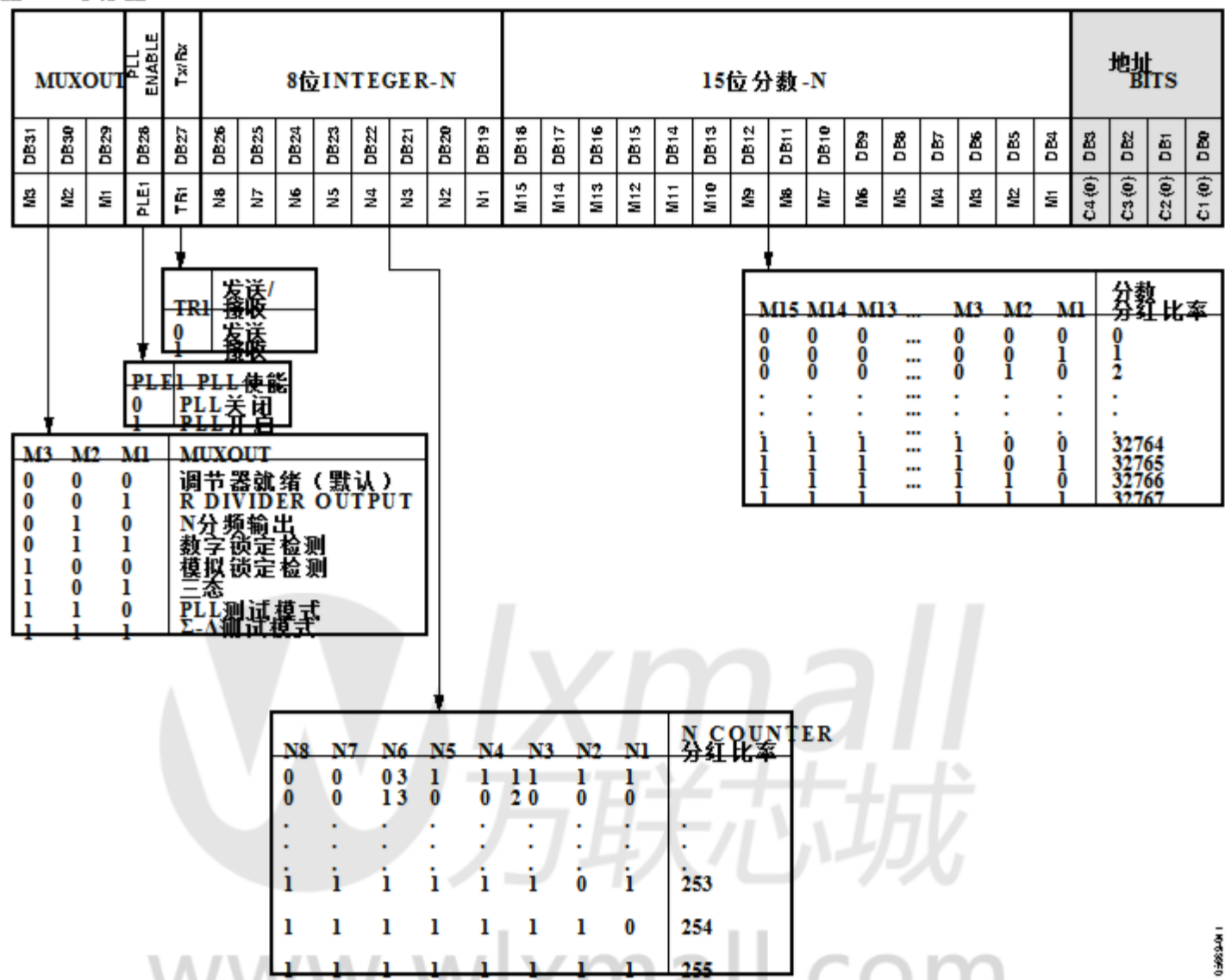
推荐的。过滤器校准开始之前十进制32

应该读回来。

回读模式	READBACK VALUE															
	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
AFC回读	RV16	RV15	RV14	RV13	RV12	RV11	RV10	RV9	RV8	RV7	RV6	RV5	RV4	RV3	RV2	RV1
RSSI READBACK	X	X	X	X	LG2	LG1	FG2	FG1	RV7	RV6	RV5	RV4	RV3	RV2	RV1	
电池电压 / ADCIN / TEMP. 传感器读数	X	X	X	X	X	X	X	X	X	RV7	RV6	RV5	RV4	RV3	RV2	RV1
硅版本	RV16	RV15	RV14	RV13	RV12	RV11	RV10	RV9	RV8	RV7	RV6	RV5	RV4	RV3	RV2	RV1
FILTER CAL READBACK	0	0	0	0	0	0	0	0	RV8	RV7	RV6	RV5	RV4	RV3	RV2	RV1

图40. 回读值表

寄存器0-N寄存器



笔记

- 1. Tx / Rx位 (R0_DB27) 将器件配置为Tx或Rx模式，并控制内部Tx / Rx开关的状态。
- 2.
$$F_{OUT} = \frac{XTAL}{R} \times \text{整数}N + \frac{\text{部分的}-N}{2^{15}}).$$

寄存器1-OSCILLATOR / FILTER REGISTER

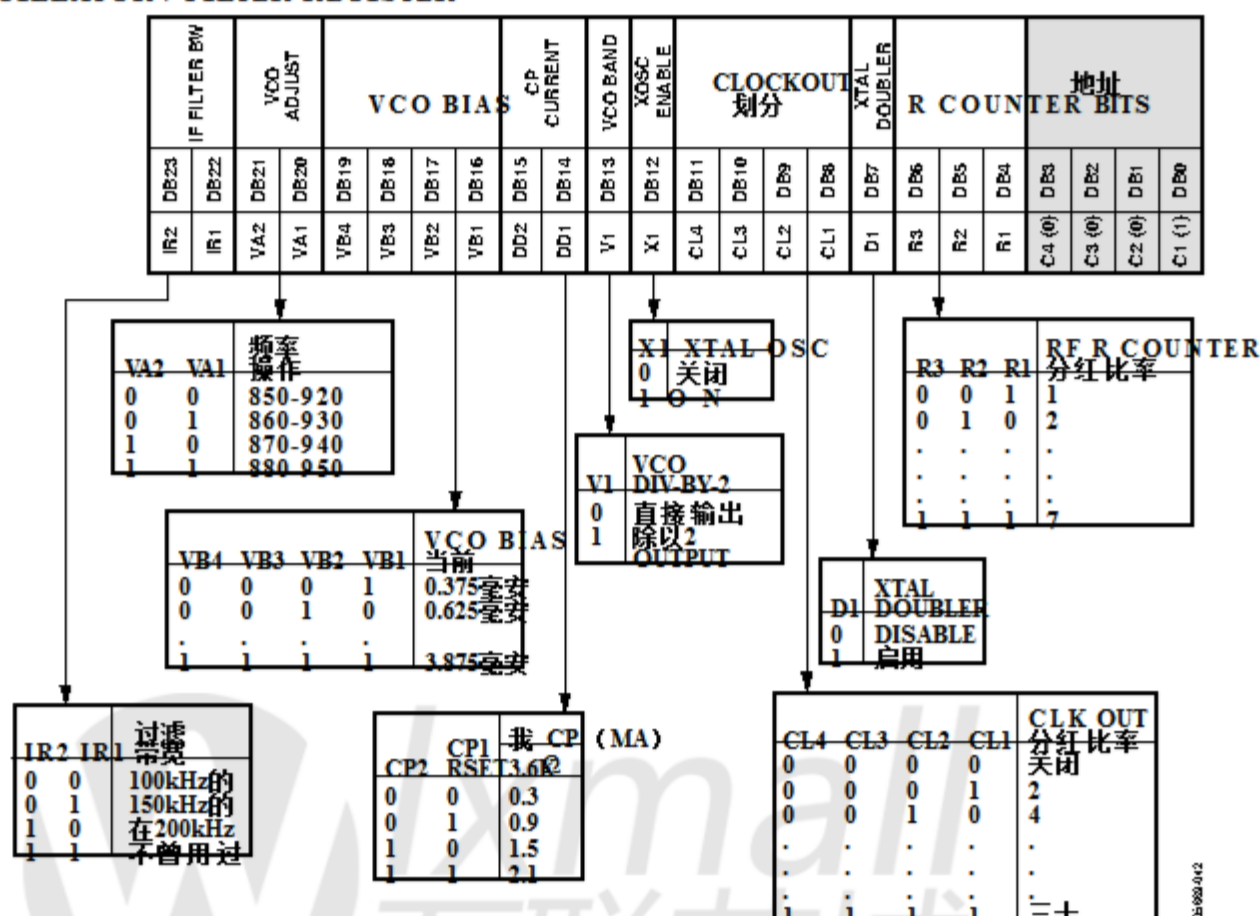


图42.

笔记

1. 将VCO调整位R1_DB (20:21) 设置为0以进行正常操作。
2. 推荐的VCO偏置设置见表5。
3. 通过设置R1_DB13可以启用2分频块.由于这个分频块在PLL环路之外, 用户必须编程一个N值对应于2分频输出频率的两倍.当启用分频2时偏差频率也减半。

寄存器2-发送调制寄存器（询问/传送模式）

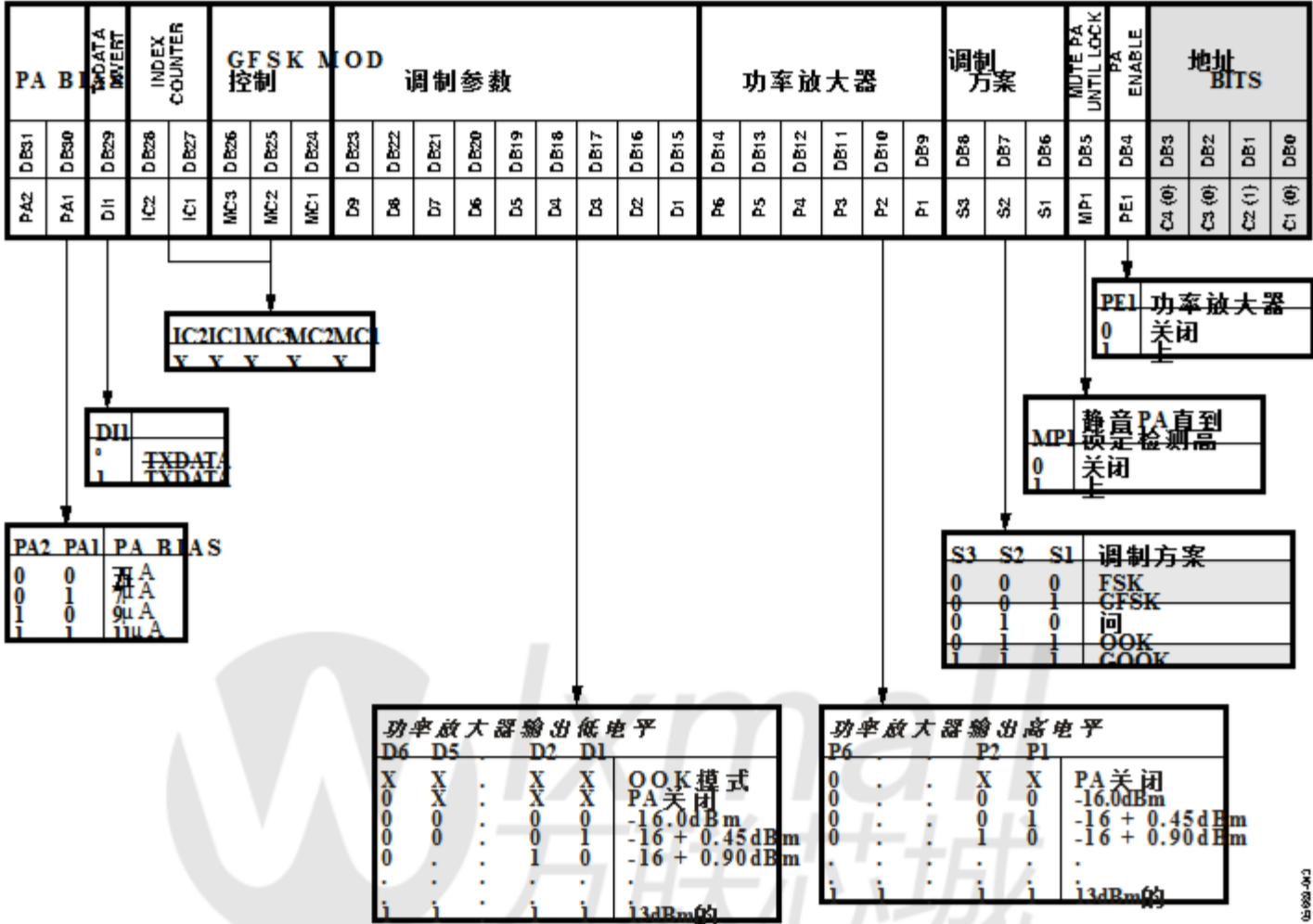


图43.

笔记

1. 图13显示了PA偏置如何影响功率放大器的电平。默认级别是9 μ A。如果您需要最大的权力，编程这个值为11 μ A。
2. 在ASK / OOK中，建议使用曼彻斯特编码将数据运行长度限制为2位。请参阅ASK / OOK操作有关处理较长运行长度的更多细节。
3. D7，D8和D9不关心位。

寄存器2-发送调制寄存器 (FSK模式)

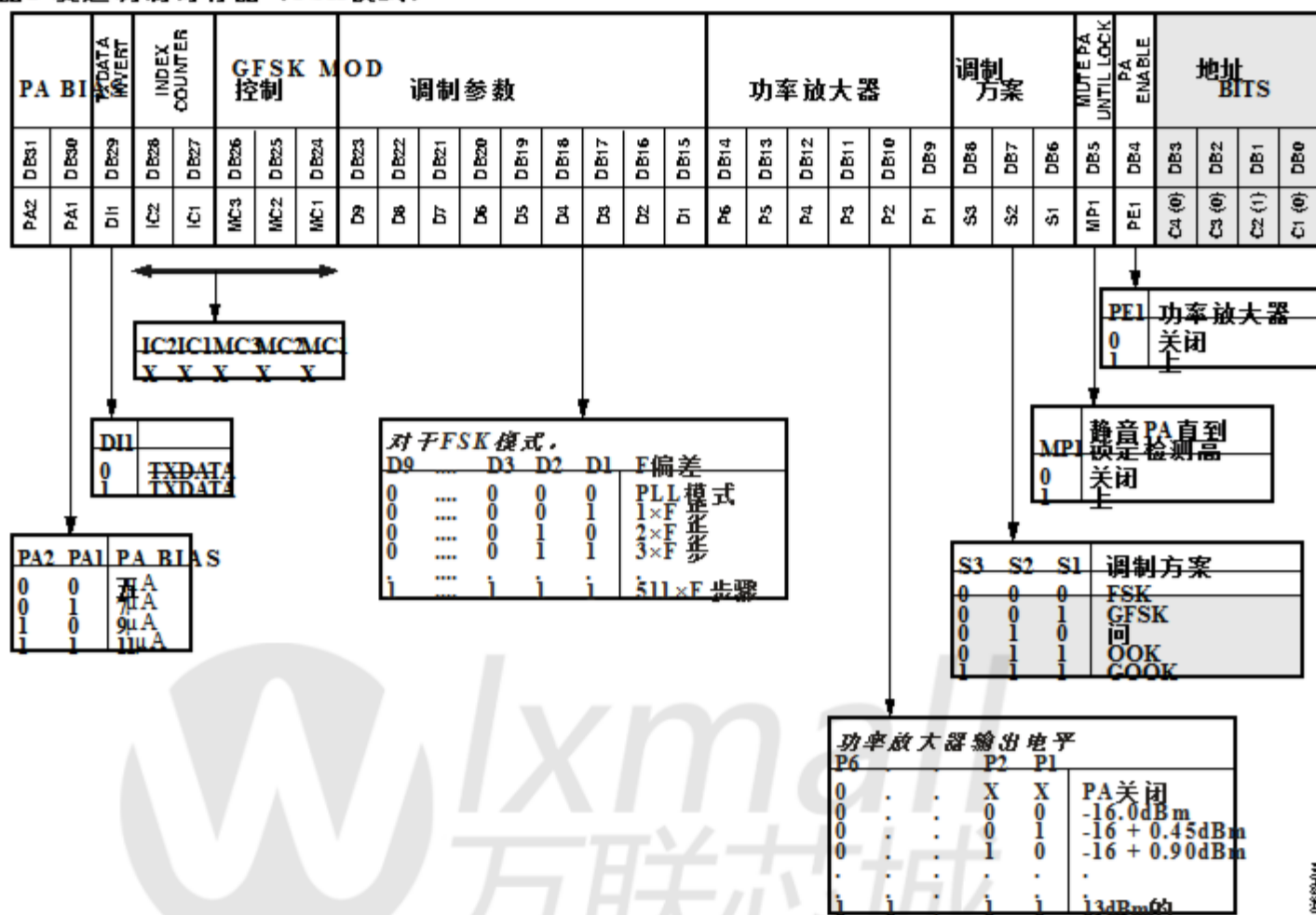


图44.

笔记

1. $F \text{ STEP} = \text{PFD} / 214$.
2. PA偏置默认值 = $9\mu\text{A}$.

寄存器2-发送调制寄存器 (GFSK / GOOK MODE)

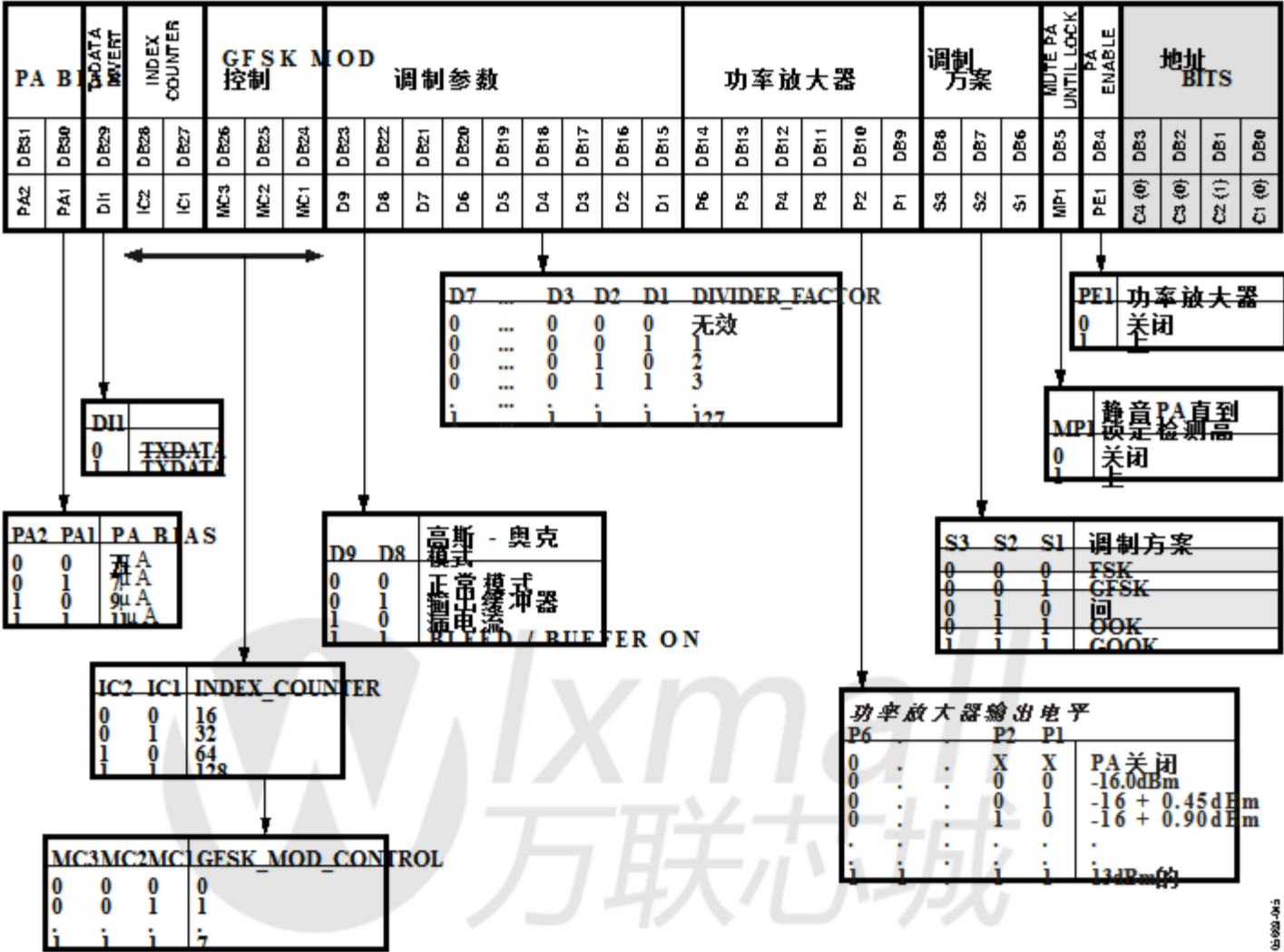


图45.

笔记

1. $GFSK_DEVIATION = (2 \times GFSK_MOD_CONTROL \times PFD) / 2^{12}$.
2. 数据速率 = $PFD / (INDEX_COUNTER \times DIVIDER_FACTOR)$.
3. PA偏置默认值 = 9μA.

寄存器3 - 接收器时钟寄存器

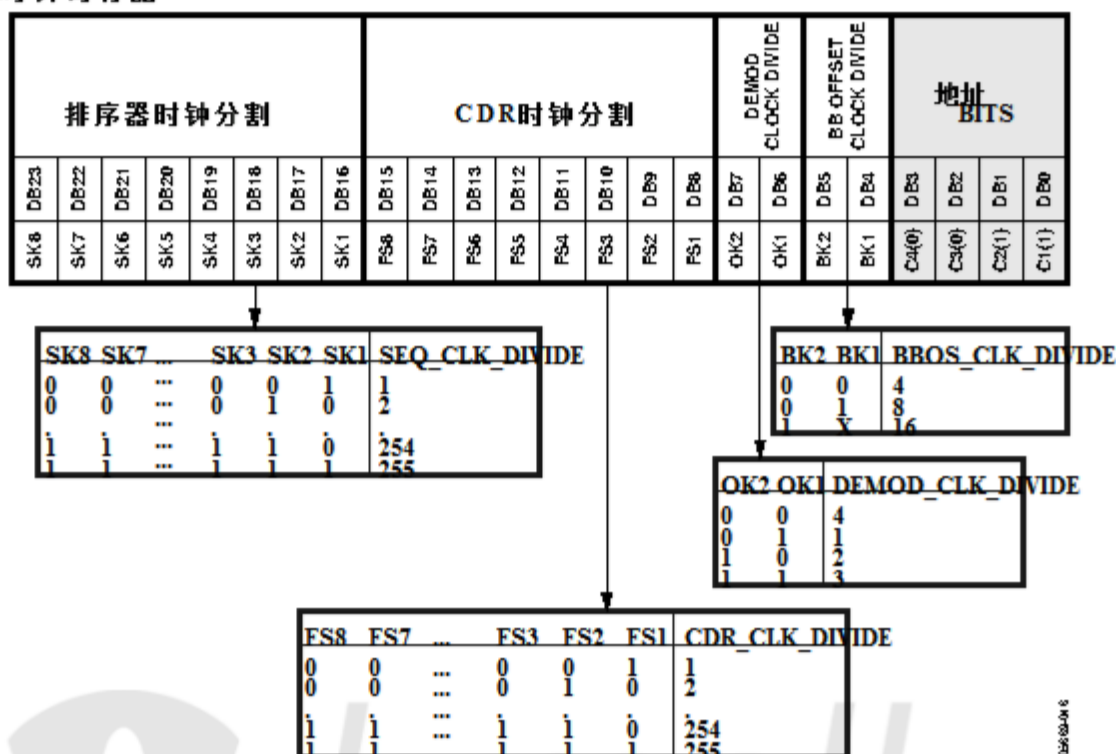


图46.

笔记

- 基带偏移时钟频率 (BBOS_CLK) 必须大于1 MHz且小于2 MHz, 其中

$$\text{BBOS_CLK} = \frac{\text{XTAL}}{\text{BBOS_CLK_划分}}$$
- 对于FSK, 解调器时钟 (DEMOD_CLK) 必须<12 MHz, 而对于ASK, 解调器时钟 (DEMOD_CLK) 必须<6 MHz

$$\text{DEMOD_CLK} = \frac{\text{XTAL}}{\text{DEMOD_CLK_划分}}$$
- 数据/时钟恢复频率 (CDR_CLK) 应在 (32×数据速率) 的2% 以内

$$\text{CDR_CLK} = \frac{\text{DEMOD_CLK}}{\text{CDR_CLK_划分}}$$

请注意, 这可能会影响您对XTAL的选择, 具体取决于所需的数据速率.
- 定时器时钟 (SEQ_CLK) 将时钟提供给数字接收模块. FSK接近100 kHz应该接近40千赫ASK:

$$\text{SEQ_CLK} = \frac{\text{XTAL}}{\text{SEQ_CLK_划分}}$$

寄存器4-DEMODULATOR设置寄存器

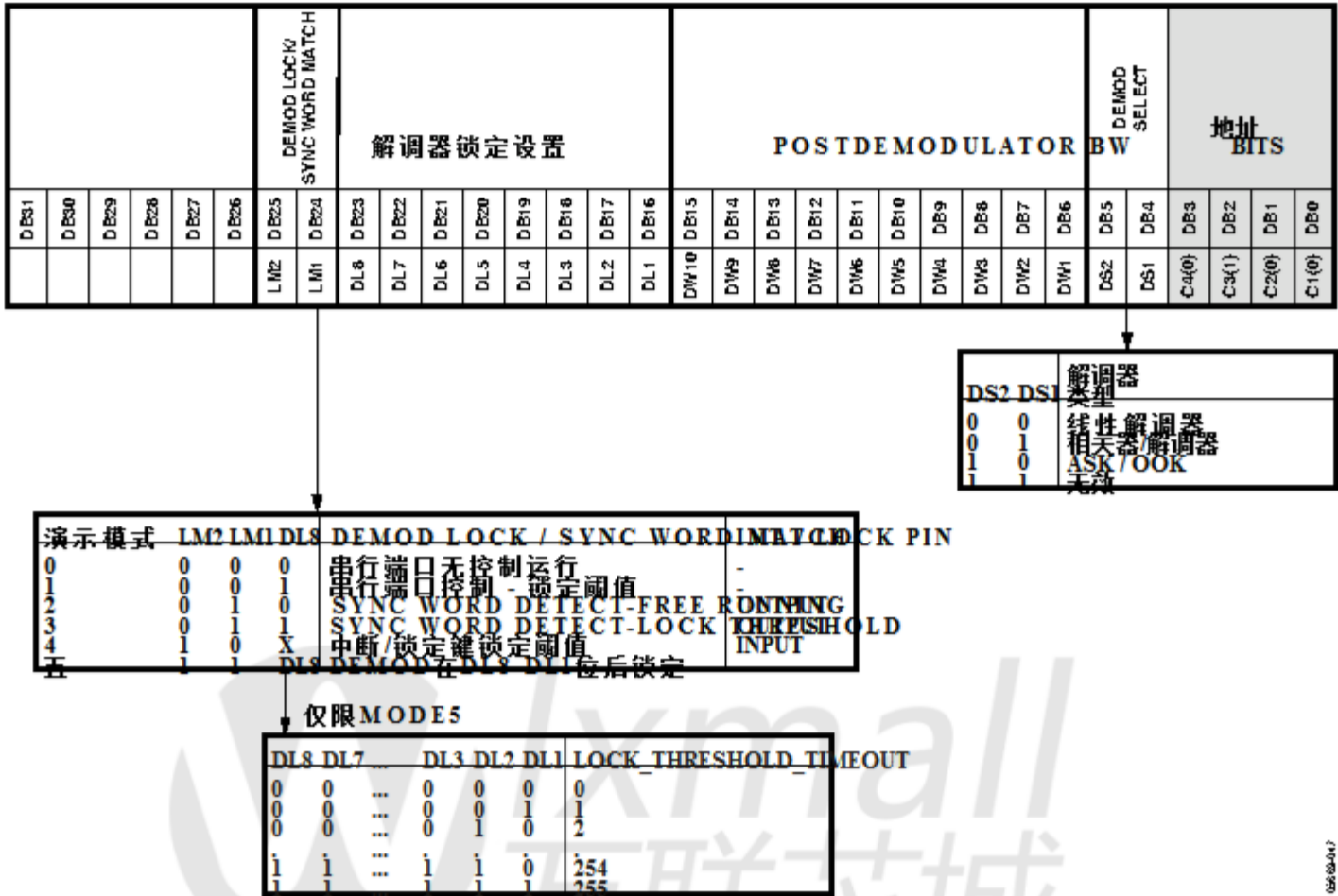


图47.

笔记

- 解调器模式1,3,4和5是可以被激活的模式，以允许ADF7020-1解调数据编码方案那些游程长度约束大于7的游戏。
- $Post_Demod_BW = 2 \cdot 11\pi F_{CUTOFF} / DEMOD_CLK$ ，其中 后解调器滤波器的截止频率 (F_{CUTOFF}) 通常是数据速率的0.75倍。
- 对于模式5，锁定阈值的超时延迟= $(LOCK_THRESHOLD_SETTING) / SEQ_CLK$ ，其中SEQ_CLK在寄存器3-接收器时钟寄存器部分。

寄存器5-同步字节寄存器

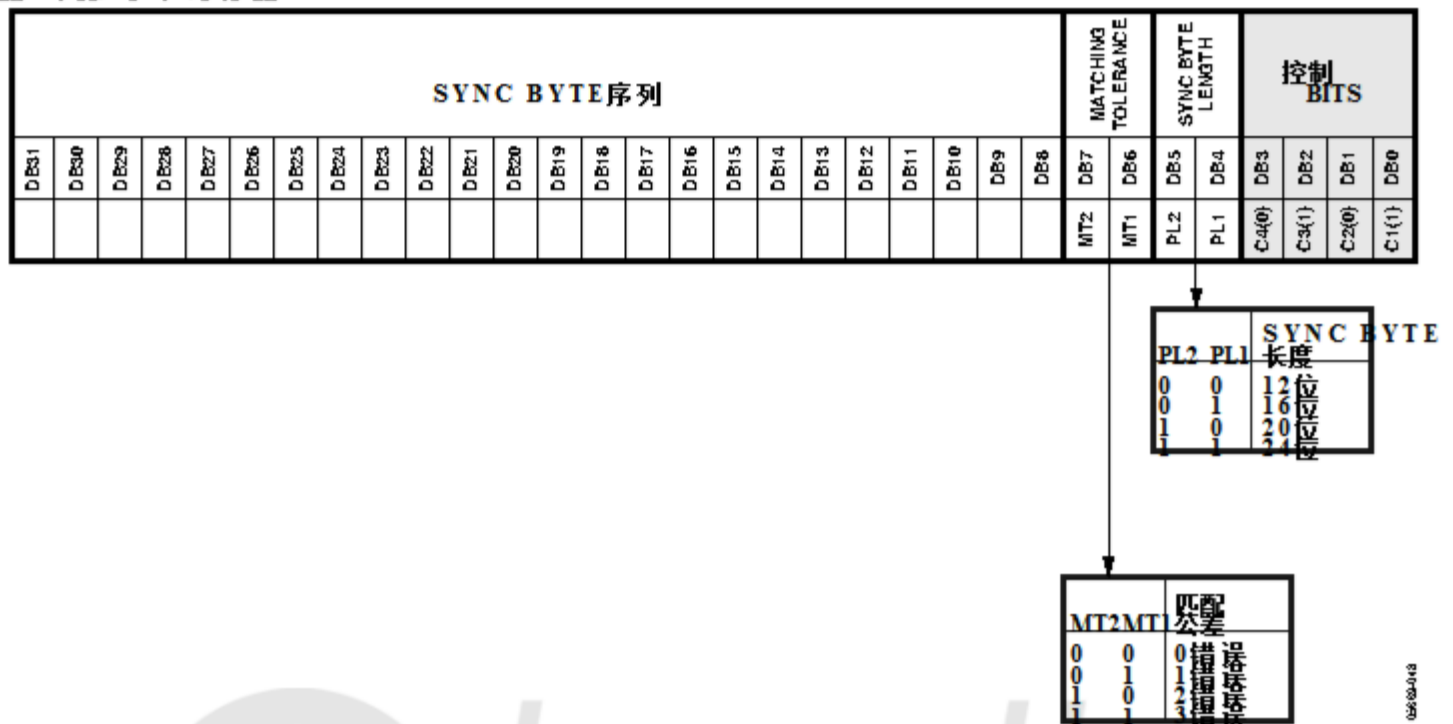


图48.

笔记

1. 通过编程R4_DB (25:23) 到[010]或[011]来启用同步字节检测.
2. 该寄存器允许24位同步字节序列在内部存储.如果选择同步字节检测模式, 则为INT / LOCK引脚在Rx模式下检测到同步字节时, 变为高电平.一旦同步字检测信号变高, 在9个数据位之后再次变为低电平.
3. 发送器必须首先发送同步字节的MSB, 最后发送LSB以确保接收器同步字节正确对齐检测硬件.
4. 选择具有良好自相关属性的同步字节模式, 例如数字1和0不等.



笔记

1. 有关如何确定寄存器设置的示例, 请参见FSK相关器/解调器部分。
2. 不相关的编程指南会导致较差的灵敏度。
3. 滤波器时钟用于校准IF滤波器, 应该调整滤波器的时钟分频比, 使频率为50 kHz。该公式是 $XTAL / FILTER_CLOCK_DIVIDE$ 。
4. 滤波器只有在晶体振荡器稳定后才能进行校准。每次位R6_DB19时, 都会启动过滤器校准设置高。
5. $Discriminator_BW = (DEMOM_CLK \times K) / (800 \times 10^3)$ 。请参阅FSK相关器/解调器部分。最大值 = 600。
6. 当LNA模式 = 1 (降低增益模式) 时, 这会阻止Rx选择最高的LNA增益设置。这可能会被使用当线性是一个问题。有关Rx模式的详细信息, 请参见表6。

寄存器7 - 读数设置寄存器

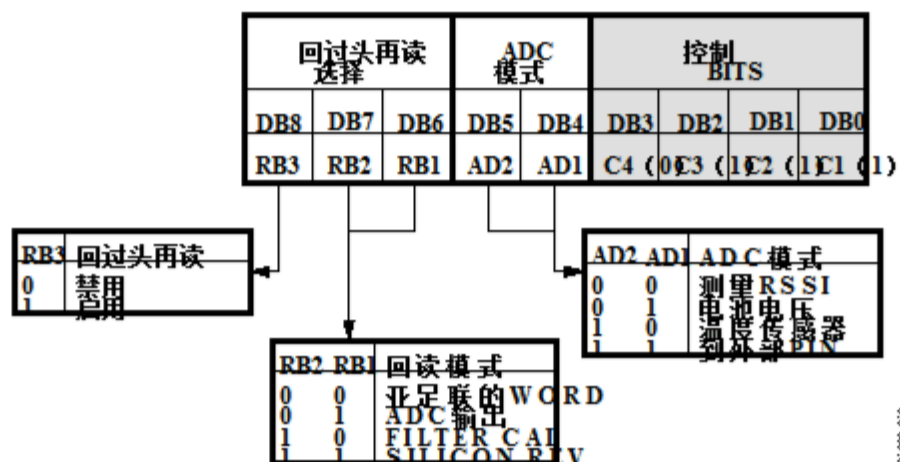


图50.

笔记

1. 测量的RSSI值的回读仅在Rx模式下有效. 为了能够回读电池电压, 温度传感器, 或在Rx模式下外部引脚的电压, 用户必须禁用寄存器9中的AGC功能. 在Tx中读回这些参数模式下, 用户必须首先使用寄存器8给ADC加电, 因为在Tx模式下默认为关闭以节省功耗. 这是推荐使用电池回读功能的方法, 因为大多数配置通常需要使用AGC功能.
2. 只有线性解调器或相关器/解调器处于活动状态, AFC字的回读在Rx模式下才有效.
3. 请参阅回读格式部分了解更多信息.

寄存器8掉电测试寄存器

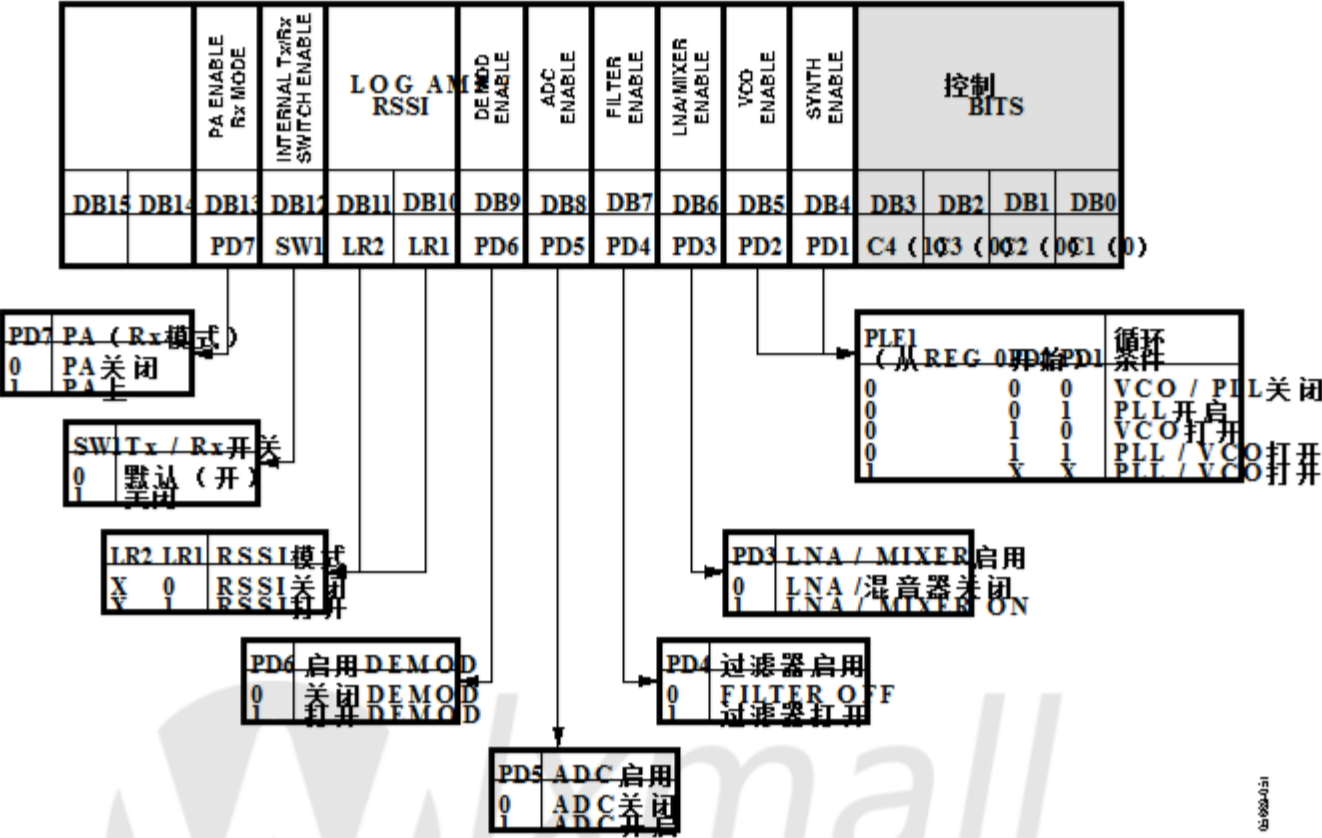


图 51.

笔记

1. 对于组合的 LNA / PA 匹配网络，位 R8_DB12 应始终设置为 0. 这是上电默认条件.
2. 在正常的操作条件下，不需要写入该寄存器.

寄存器9-AGC寄存器

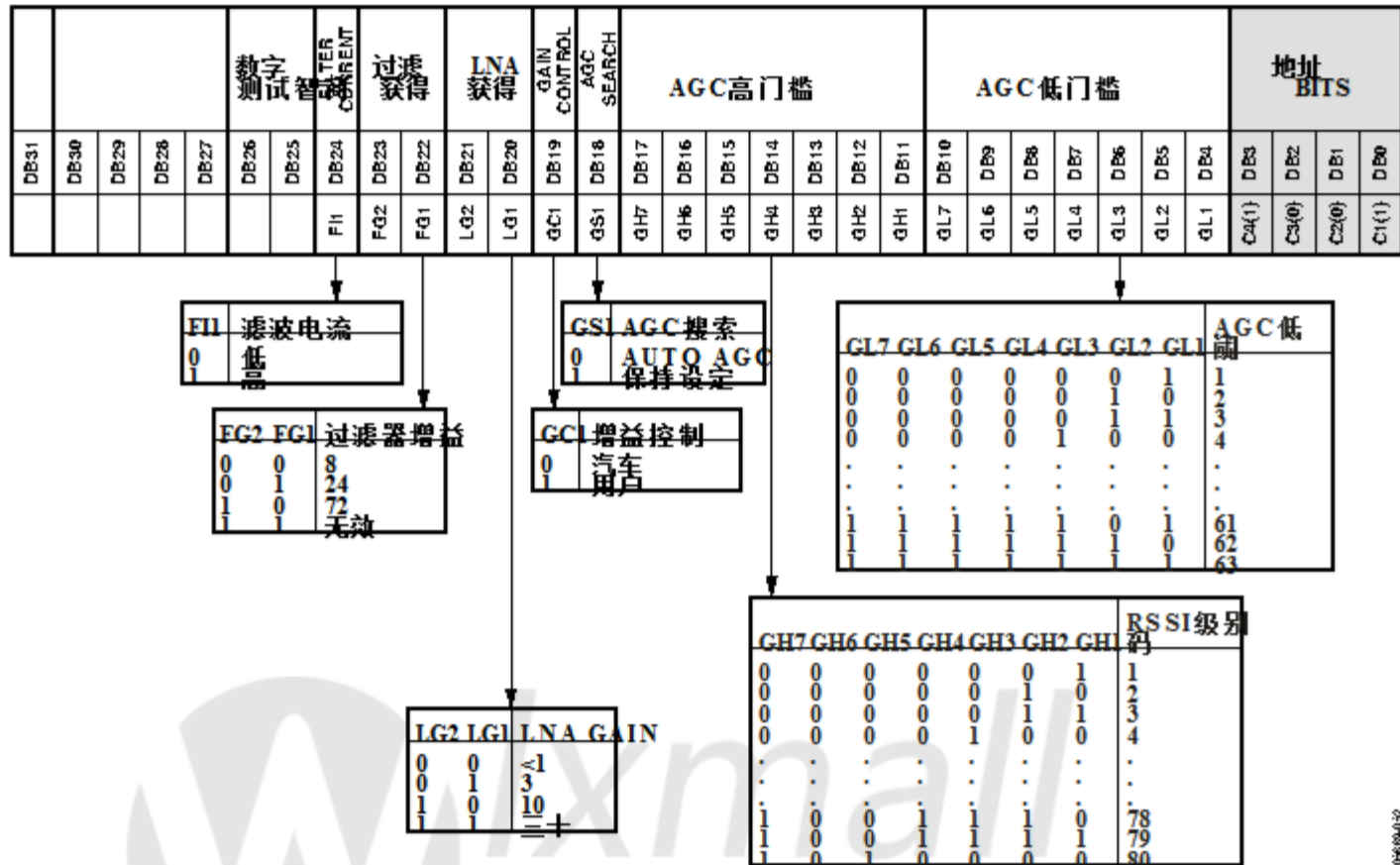


图 52.

笔记

- 默认 AGC_LOW_THRESHOLD = 30, 默认 AGC_HIGH_THRESHOLD = 70. 有关详细信息, 请参阅 RSSI / AGC.
- AGC 的高低设置必须超过 30 个设置, 以确保正确操作.
- 仅当 LNA 模式位 R6_DB15 设置为 0 时, LNA 增益为 30 才可用.

寄存器10-AGC 2寄存器

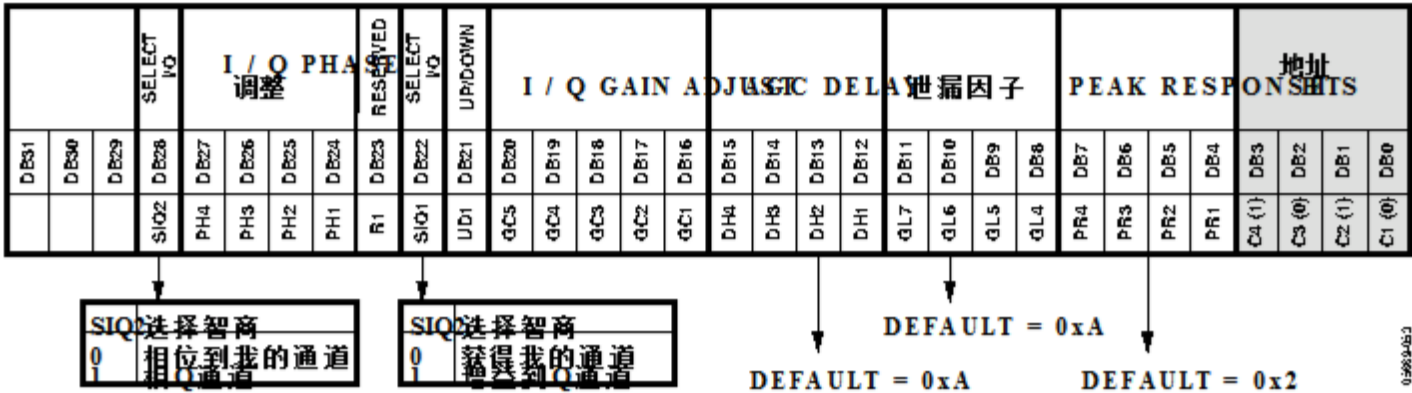


图 53.

笔记

- 1. 该寄存器在正常操作条件下不使用。

寄存器11-AFC寄存器

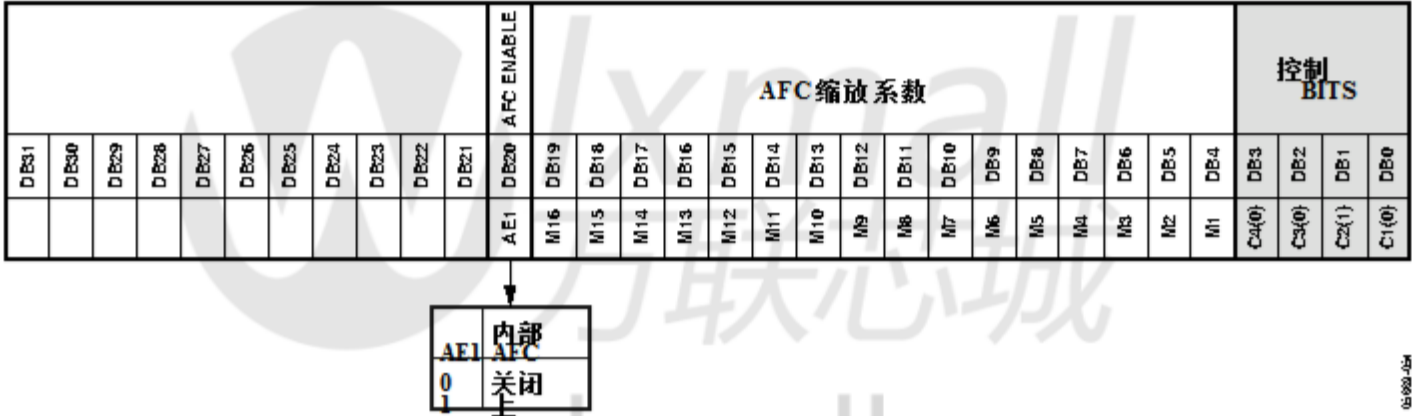


图 54.

笔记

- 1. 请参阅内部AFC部分以编程AFC缩放系数位。
- 2. AFC标度系数位可以使用以下公式进行编程：
 $AFC_Scaling_Coefficient = Round((500 \times 2^{24}) / XTAL)$ 。

寄存器12-测试寄存器



图55.

使用ADF7020-1上的测试DAC来实现模拟FM解调和SNR测量

测试DAC允许后解调器滤波器的输出对于线性和相关器/解调器(图31和31)图32)被外部查看.它需要16位过滤器输出并将其转换为高频单比特输出.使用二阶误差反馈 Σ - Δ 转换器.输出可以在CLKOUT引脚上查看.这个信号,当IF过滤得当,然后可以用来

- 监视FSK / ASK后解调器滤波器的信号输出.这使解调器的输出SNR成为可能测量.眼图也可以构建的接收比特流以测量接收的信号质量.
- 提供模拟FM解调.

当相关器和滤波器由DEMOD_CLK时钟时, CDR_CLK为测试DAC提供时钟.请注意,虽然测试DAC在常规用户模式下运行,性能最好当CDR_CLK增加到或超过时达到DEMOD_CLK的频率. CDR块不起作用当这种情况存在.

编程测试寄存器,寄存器12,启用测试DAC.在相关模式下,可以通过编写数字来完成测试模式7或0x0001C00C.

要在使用线性解调器时查看测试DAC输出,用户必须从信号中删除固定的偏移项寄存器13.这个偏移量名义上等于IF频率.用户可以通过使用该值来确定要编程的值.频率误差回读确定实际IF然后将这个值的一半编程到偏移去除区域.它也是有一个信号增益项允许使用最大动态DAC的范围.

设置测试DAC

- 数字测试模式= 7: 启用测试DAC, 无偏移消除 (0x0001 C00C).
- 数字测试模式= 10: 使能测试DAC 偏移去除 (仅需线性解调, 0x02 800C).

有源解调器的输出驱动DAC.那就是,如果选择FSK相关器/解调器,相关器滤波器输出驱动DAC.

寄存器13偏移量和信号增益寄存器

测试DAC增益						测试DAC偏移量删除										脉冲延期				KI				KP				控制BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
																PE4	PE3	PE2	PE1									C4(1)	C3(1)	C2(0)	C1(1)

PE4

PE3

PE2

PE1

0

0

0

0

0

0

0

1

0

0

1

0

.

.

.

.

.

.

.

.

1

1

1

1

脉冲扩展

正常的脉冲宽度

2×脉冲宽度

3×脉冲宽度

.

.

16×脉冲宽度

0.069456

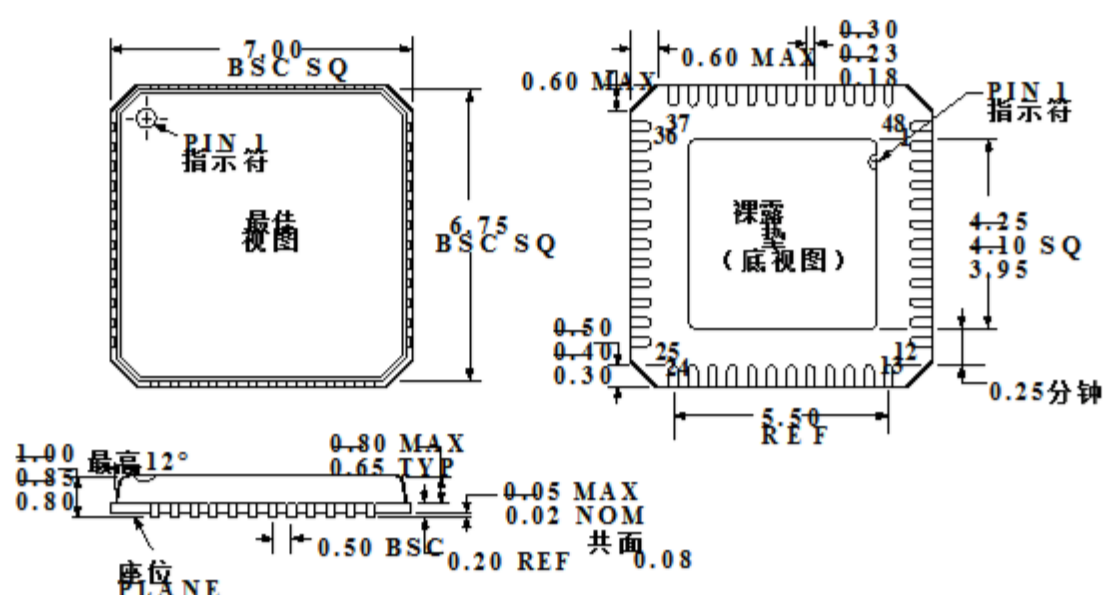
图56.

笔记

1. 由于线性解调器的输出与频率成正比，因此它通常由一个相对较低的偏移量组成信号.可以去掉最大300kHz的偏移量，并使用DAC的全部动态范围：
DAC_input = (2 Test_DAC_Gain) × (Signal-Test_DAC_Offset_Removal / 4096) .



外形尺寸



符合 JEDEC 标准 MO-220-VKGD-2
图 57. 48 引脚引线框架芯片级封装 [LFCSP_VQ]
7 毫米 × 7 毫米的身体，非常薄四
(CP-48-3)
尺寸以毫米为单位显示

订购指南

模型	温度范围	包装说明	包装选项
ADF7020-1BCPZ1	-40°C 至 + 85°C	48 引脚引线框架芯片级封装 [LFCSP_VQ]	CP-48-3
ADF7020-1BCPZ-RL1	-40°C 至 + 85°C	48 引脚引线框架芯片级封装 [LFCSP_VQ]	CP-48-3
ADF7020-1BCPZ-RL71	-40°C 至 + 85°C	48 引脚引线框架芯片级封装 [LFCSP_VQ]	CP-48-3
EVAL-ADF70XXMB		控制主板	
EVAL-ADF70XXMB2		评估平台	
EVAL-ADF7020-1DB4		400 MHz 至 435 MHz 子板	
EVAL-ADF7020-1DB5		135 MHz 至 650 MHz 的子板	

1 Z = 无铅部分.

笔记



笔记



笔记

