



目录

1.概述.....	4
2.特点.....	4
3.引脚配置.....	5
3.1球分配: LPDDR x16	5
3.2球分配: LPDDR x32	5
4.引脚说明.....	6
4.1信号描述.....	6
4.2寻址表.....	7
5.框图.....	8
5.1方框图.....	8
5.2简化状态图.....	9
6.功能描述.....	10
6.1初始化.....	10
6.1.1初始化流程图.....	11
6.1.2初始化波形序列.....	12
6.2寄存器定义.....	12
6.2.1模式寄存器设置操作.....	12
6.2.2模式寄存器定义.....	13
6.2.3突发长度.....	13
6.3突发定义.....	14
6.4突发类型.....	15
6.5读取延迟.....	15
6.6扩展模式寄存器说明.....	15
6.6.1扩展模式寄存器定义.....	16
6.7状态寄存器读取.....	16
6.7.1 SRR寄存器 (A[n: 0] = 0)	17
6.7.2状态寄存器读取时序图.....	18
6.8部分阵列自刷新.....	19
6.9自动温度补偿自我刷新.....	19
6.10输出驱动强度.....	19
6.11命令.....	19
6.11.1命令的基本时序参数.....	19
6.11.2真值表 - 命令.....	20
6.11.3真值表 - DM操作.....	21
6.11.4真值表 - CKE	21
6.11.5真值表 - 当前状态BANKn - 对BANKn的命令.....	22
6.11.6真值表 - 当前状态BANKn, BANKn命令.....	23
7.操作.....	24
7.1取消.....	24
7.2无操作.....	24
7.2.1 NOP命令.....	25
7.3模式寄存器设置.....	25



7.3.1模式寄存器设置命令.....	25
7.3.2模式寄存器设置命令时序.....	26
7.4.活跃.....	26
7.4.1主动命令.....	26
7.4.2银行激活命令循环.....	27
7.5.阅读.....	27
7.5.1读命令.....	28
7.5.2基本读取时序参数.....	28
7.5.3读取显示CAS潜伏期的爆发.....	29
7.5.4阅读阅读.....	29
7.5.5连续读爆发.....	30
7.5.6非连续读取突发.....	30
7.5.7随机读取突发.....	31
7.5.8读取突发终止.....	31
7.5.9读写.....	32
7.5.10阅读预充电.....	32
7.6写.....	33
7.6.1写命令.....	34
7.6.2基本写时序参数.....	34
7.6.3写突发（最小和最大tDQS）.....	35
7.6.4写入写入.....	35
7.6.5连写突发.....	36
7.6.6非连续写突发.....	36
7.6.7随机写周期.....	37
7.6.8写入阅读.....	37
7.6.9不中断写入读取.....	37
7.6.10中断写入读取.....	38
7.6.11写入预充电.....	38
7.6.12不间断写入预充电.....	38
7.6.13中断写入预充电.....	39
7.7预收费.....	39
7.7.1预充命令.....	40
7.8自动预充电.....	40
7.9刷新要求.....	40
7.10自动刷新.....	40
7.10.1自动刷新命令.....	41
7.11自我更新.....	41
7.11.1自刷新命令.....	42
7.11.2自动刷新周期背靠背.....	42
7.11.3自刷新进入和退出.....	43
7.12关机.....	43
7.12.1关机进入和退出.....	43
7.13深度断电.....	44
7.13.1深度掉电进入和退出.....	44
7.14时钟停止.....	45



7.14.1 时钟停止模式进入和退出..... 45

8. 电气特性..... 46

8.1 绝对最大额定值..... 46

8.2 输入/输出电容..... 46

8.3 电气特性和AC / DC工作条件..... 47

8.3.1 电气特性和AC / DC工作条件..... 47

8.4 IDD规格参数和测试条件..... 48

8.4.1 IDD规格参数和测试条件..... 48

8.5 交流计时..... 51

8.5.1 CAS延迟定义 (CL = 3)..... 54

8.5.2 输出转换速率特性..... 55

8.5.3 交流过冲/下冲规格..... 55

8.5.4 AC过冲和下冲定义..... 55

9. 包装尺寸..... 56

9.1: LPDDR X 16..... 56

9.2: LPDDR X 32..... 57

10. 订购信息..... 58**11. 修订历史..... 59**



1. 概述

W948D6FB / W948D2FB是一款高速低功耗双数据速率同步动态随机存取

内存 (LPDDR SDRAM)，对LPDDR SDRAM的访问是以突发为导向的。在一个连续的内存位置当通过ACTIVE命令选择一个存储体和一行时，可以以2,4,8和16的突发长度访问页面。

列地址由突发操作中的LPDDR SDRAM内部计数器自动生成。随机

通过在每个时钟周期提供其地址，列读也是可能的。多银行性质使能

在内部银行之间交错以隐藏预充电时间。通过设置可编程模式寄存器，

系统可以改变突发长度，等待时间周期，交织或连续突发以最大化其性能。该

设备支持特殊的省电功能，如部分阵列自刷新 (PASR) 和自动

温度补偿自我刷新 (ATCSR)。

2. 特点

VDD = 1.7~1.95V

VDDQ = 1.7~1.95V

数据宽度: x16 / x32

时钟频率: 200MHz (-5), 166MHz (-6), 133MHz (-75)

部分阵列自我刷新 (PASR)

自动温度补偿自我刷新 (ATCSR)

掉电模式

深度掉电模式 (DPD模式)

可编程输出缓冲驱动强度

四个内部银行用于并行操作

用于写入数据的数据掩码 (DM)

空闲期间的时钟停止功能

每个突发访问的自动预充电选项

数据输出的双倍数据速率

差分时钟输入 (CK和CK)

双向数据选通 (DQS)

CAS延迟: 2和3

突发长度: 2,4,8和16

突发类型: 顺序或交错

64 ms刷新周期

接口: LVCMOS

支持包:

60球VFBGA (x16)

90球VFBGA (x32)

工作温度范围

延长 (-25°C至+ 85°C)

工业 (-40°C至+ 85°C)



3.引脚配置

3.1球分配：LPDDR x16

60球 VFBGA									
	1	2	3	4	五	6	7	8	9
一个	VSS	DQ15	VSSQ				VDDQ	DQ0	VDD
乙	VDDQ	DQ13	DQ14				DQ1	DQ2	VSSQ
C	VSSQ	DQ11	DQ12				DQ3	DQ4	VDDQ
d	VDDQ	DQ9	DQ10				DQ5	DQ6	VSSQ
Ė	VSSQ	UDQS	DQ8				DQ7	LDQS	VDDQ
F	VSS	UDM	NC				NC	LDM	VDD
G	CKE	CK	CK				我们	CAS	RAS
H	A9	A11	A12				CS	BA0	BA1
j	A6	A7	A8				A10 / AP	A0	A1
k	VSS	A4	A5				A2	A3	VDD

(顶视图) 引脚配置

3.2球分配：LPDDR x32

90球 VFBGA									
	1	2	3	4	五	6	7	8	9
一个	VSS	DQ31	VSSQ				VDDQ	DQ16	VDD
乙	VDDQ	DQ29	DQ30				DQ17	DQ18	VSSQ
C	VSSQ	DQ27	DQ28				DQ19	DQ20	VDDQ
d	VDDQ	DQ25	DQ26				DQ21	DQ22	VSSQ
Ė	VSSQ	DQS3	DQ24				DQ23	DQS2	VDDQ
F	VDD	DM3	NC				NC	DM2	VSS
G	CKE	CK	CK				我们	CAS	RAS
H	A9	A11	NC				CS	BA0	BA1
j	A6	A7	A8				A10 / AP	A0	A1
k	A4	DM1	A5				A2	DM0	A3
大号	VSSQ	DQS1	DQ8				DQ7	DQS0	VDDQ
中号	VDDQ	DQ9	DQ10				DQ5	DQ6	VSSQ
ñ	VSSQ	DQ11	DQ12				DQ3	DQ4	VDDQ
P	VDDQ	DQ13	DQ14				DQ1	DQ2	VSSQ
[R	VSS	DQ15	VSSQ				VDDQ	DQ0	VDD

(顶视图) 引脚配置



4.引脚说明

4.1信号描述

信号名称	类型	功能	描述
A[n: 0]	输入	地址	提供ACTIVE命令的行地址和列地址和AUTO PRECHARGE位用于读/写命令，以从内存数组中选择一个位置各自的银行.地址输入也提供操作码在MODE REGISTER SET命令期间. A10用于自动预充电选择.
BA0, BA1	输入	银行选择	定义到哪个银行ACTIVE, READ, WRITE或正在应用PRECHARGE命令.
DQ0~DQ15 (×16) DQ0~DQ31 (×32)	I/O	数据输入/ 产里	数据总线: 输入/输出.
$\overline{\text{CS}}$	输入	芯片选择	$\overline{\text{CS}}$ 使能(注册低)和禁用(注册高)命令解码器.所有命令在被屏蔽时注册高. $\overline{\text{CS}}$ 提供外部银行选择拥有多家银行的系统. $\overline{\text{CS}}$ 被认为是其中的一部分命令代码.
$\overline{\text{RAS}}$	输入	行地址 频闪	$\overline{\text{RAS}}$, $\overline{\text{CAS}}$ 和 $\overline{\text{WE}}$ (与 $\overline{\text{CS}}$ 一起)定义命令正在进入.
$\overline{\text{CAS}}$	输入	列地址 频闪	提到 $\overline{\text{RAS}}$
$\overline{\text{WE}}$	输入	写入启用	提到 $\overline{\text{RAS}}$
UDM / LDM (x16) DM0到DM3 (x32)	输入	输入掩码	输入数据掩码: DM是用于写入数据的输入掩码信号.输入当DM与该输入一起被采样为高电平时,数据被屏蔽在WRITE访问期间的数据. DM在两边都采样DQS.尽管DM引脚仅为输入,但DM装载相匹配DQ和DQS加载. x16: LDM: DQ0 - DQ7, UDM: DQ8- DQ15 x32: DM0: DQ0 - DQ7, DM1: DQ8- DQ15, DM2: DQ16 - DQ23, DM3: DQ24 - DQ31
CK / $\overline{\text{CK}}$	输入	时钟输入	CK和 $\overline{\text{CK}}$ 是差分时钟输入.所有地址和控制输入信号在正边沿的交叉处被采样 CK和 $\overline{\text{CK}}$ 的下降沿,输入和输出数据被参考到CK和 $\overline{\text{CK}}$ 的交叉点(交叉的两个方向). 内部时钟信号来源于CK / $\overline{\text{CK}}$.



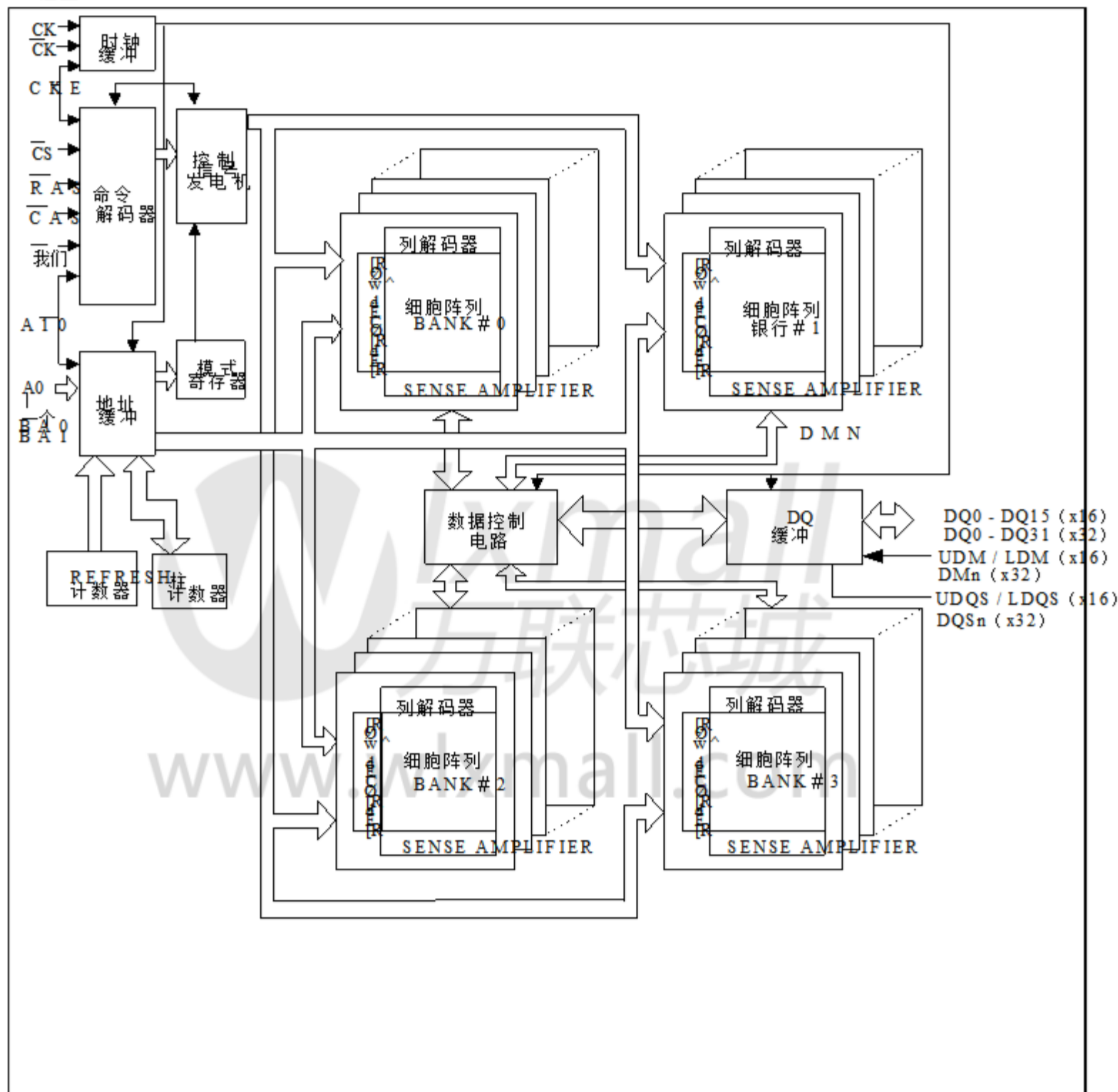
信号名称	类型	功能	描述
CKE	输入	时钟启用	CKE HIGH激活, CKE LOW停用内部时钟信号和器件输入缓冲器和输出驱动器.以CKE LOW提供PRECHARGE, POWER DOWN和SELF REFRESH操作(所有银行空闲)或主动关机(在任何银行中为ACTIVE ACTIVE).CKE对所有功能都是同步的除了SELF REFRESH EXIT, 这是实现的异步.输入缓冲区, 不包括CK, CK和CKE在掉电和自刷新模式下都是禁用的设计低待机功耗.
LDQS, UDQS (×16); DQS0~DQS3 (X32)	I/O	数据选通	用读数据输出, 用写数据输入.与边缘对齐读取数据, 以写入数据为中心.用于捕获写入数据. X16: LDQS: DQ0~DQ7; UDQS: DQ8~DQ15. X32: DQS0: DQ0~DQ7; DQS1: DQ8~DQ15; DQS2: DQ16~DQ23; DQS3: DQ24~DQ31.
VDD	供应	功率	输入缓冲器和内部电路的电源.
VSS	供应	地面	输入缓冲器和内部电路的地.
VDDQ	供应	I/O电源缓冲	电源与VDD分开, 用于输出驱动器改善噪音.
VSSQ	供应	I/O接地缓冲	输出驱动器的地.
NC	-	无连接	非连接引脚.

4.2寻址表

项目		256 Mb
银行数量		4
银行地址引脚		BA0, BA1
自动预充电引脚		A10 / AP
X16	行地址	A0-A12
	列地址	A0-A8
	的tREFI (微秒)	7.8
X32	行地址	A0-A11
	列地址	A0-A8
	的tREFI (微秒)	15.6

5.框图

5.1框图







6. 功能描述

6.1 初始化

LPDDR SDRAM必须以预定义的方式启动并初始化. 操作程序以外那些指定的可能会导致未定义的操作. 如果设备电源有任何中断, 则进行初始化应遵循例行程序. 下面列出了设备初始化要遵循的步骤.

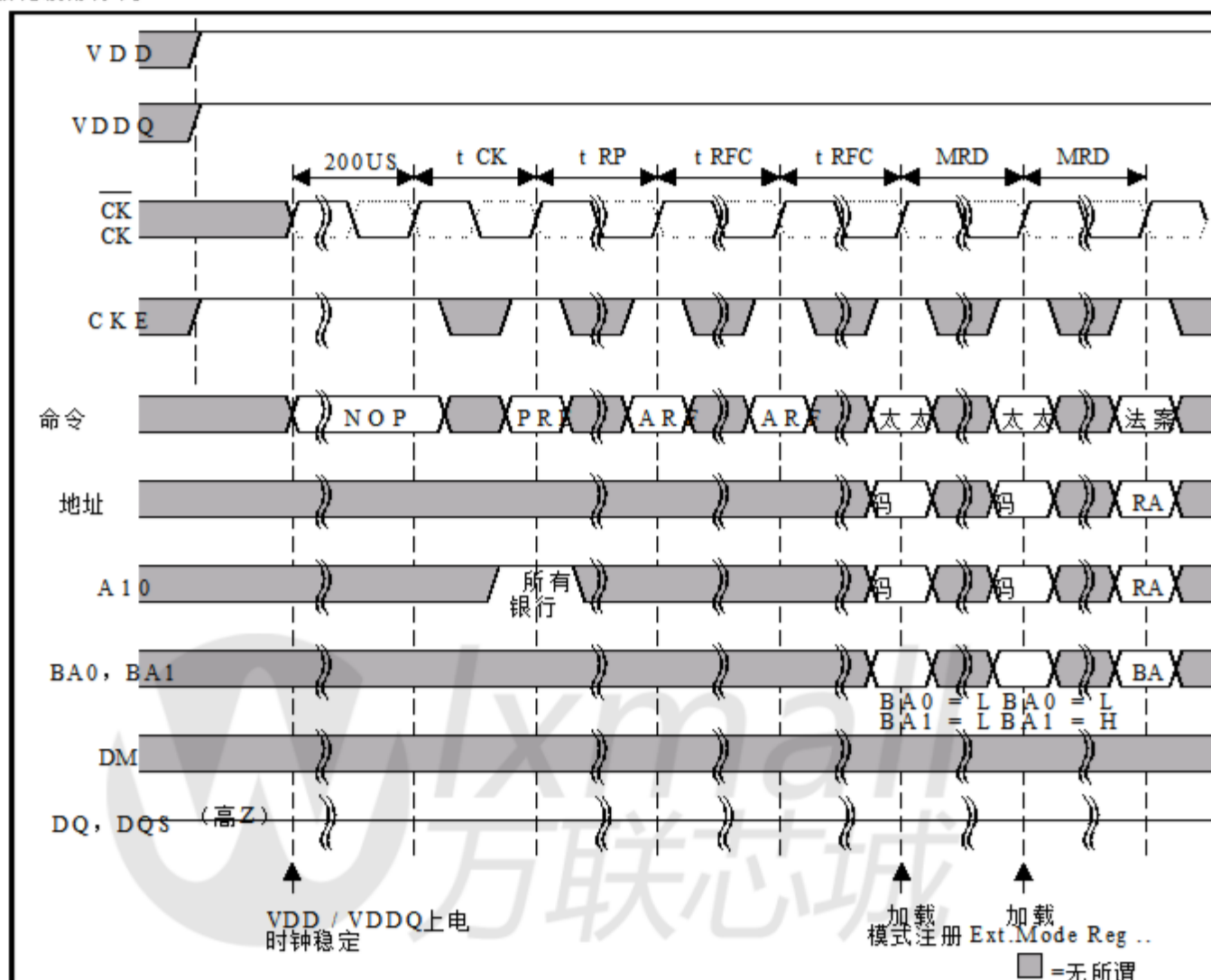
模式寄存器和扩展模式寄存器没有默认值. 如果它们在编程期间没有编程初始化序列, 可能导致未指定的操作. 直到设备才能使用时钟停止功能已从步骤1到步骤11正确初始化.

- ≡ 步骤1: 提供电源, 必须提供器件内核电源 (VDD) 和器件I/O电源 (VDDQ) 同时防止器件闭锁. 尽管不是必需的, 但建议VDD和VDDQ来自同一个电源. 还置位并保持时钟使能 (CKE) 为LVCMOS逻辑高电平.
- ≡ 步骤2: 一旦系统建立了一致的设备电源并且CKE被驱动为高电平, 则可以安全应用稳定的时钟.
- ≡ 步骤3: 必须至少有200个 μs 的任何命令之前的有效时钟可能会提供给DRAM. 在这必须在命令总线上发出时间NOP或DESELECT命令.
- ≡ 步骤4: 发出PRECHARGE ALL命令.
- ≡ 步骤5: 至少tRP时间提供NOP或DESELECT命令.
- ≡ 步骤6: 发出一个AUTO REFRESH命令, 然后发出NOP或DESELECT命令至少tRFC时间. 至少发出第二个AUTO REFRESH命令, 然后发出NOP或DESELECT命令tRFC时间. 注意, 作为初始化序列的一部分, 必须发出两个自动刷新命令. 典型的流程是在步骤6中发布它们, 但它们也可以在步骤10和11之间发布.
- ≡ 步骤7: 使用MRS命令, 编程基本模式寄存器. 设置所需的操作模式.
- ≡ 步骤8: 至少提供tMRD时间的NOP或DESELECT命令.
- ≡ 步骤9: 使用MRS命令, 对扩展模式寄存器进行编程以获取所需的操作模式. 注意编程的基址和扩展模式寄存器的顺序并不重要.
- ≡ 步骤10: 至少提供tMRD时间的NOP或DESELECT命令.
- ≡ 步骤11: DRAM已经正确初始化并准备好任何有效的命令.

6.1.1 初始化流程图



6.1.2 初始化波形序列



6.2 寄存器定义

6.2.1 模式寄存器设置操作

模式寄存器用于定义LPDDR SDRAM的特定工作模式. 这个定义包括突发长度的定义, 突发类型, CAS延迟, 如下图所示.

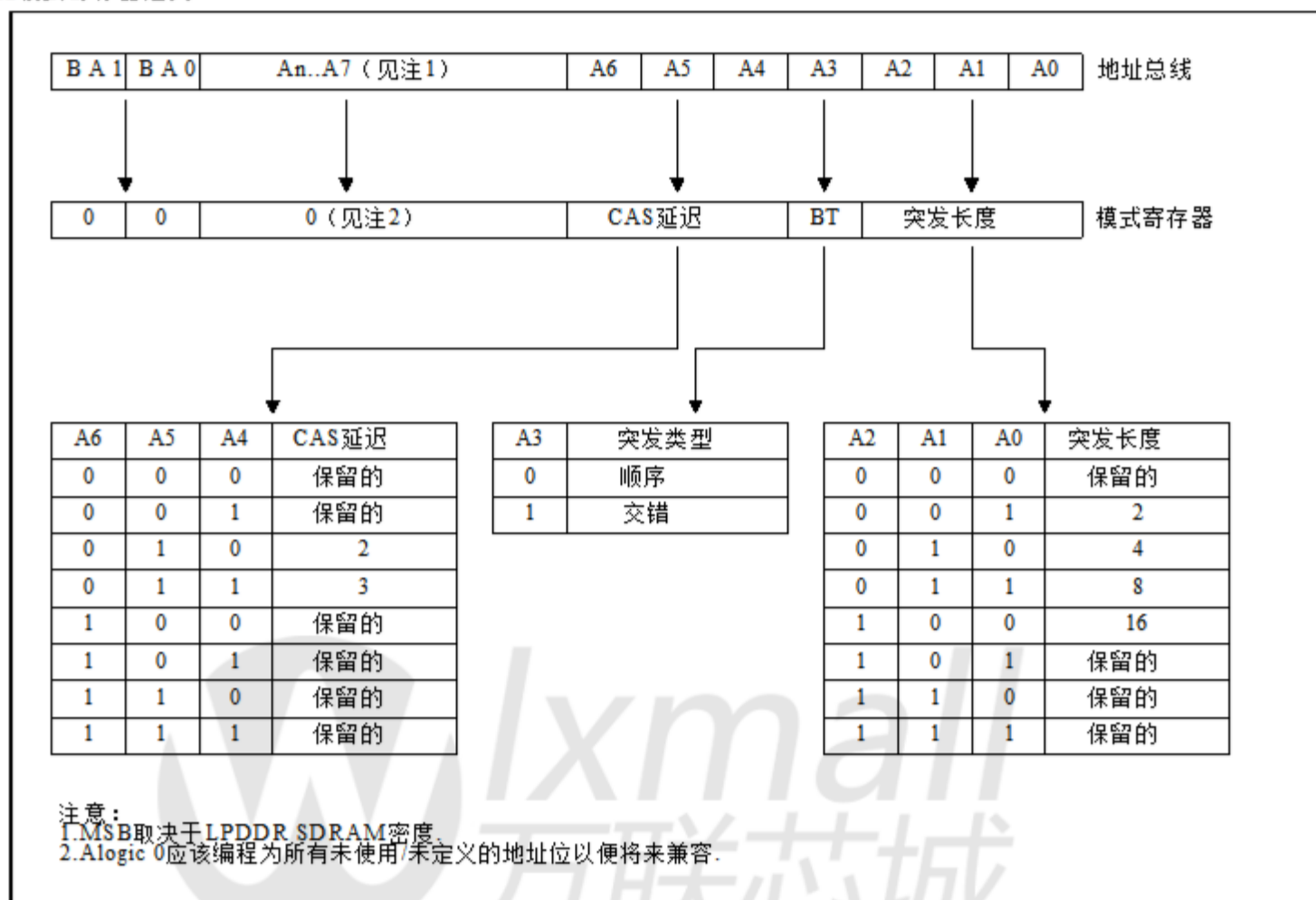
模式寄存器通过MODE REGISTER SET命令编程 (BA0 = 0且BA1 = 0) 并且将被执行保留存储的信息, 直到重新编程, 设备进入深度掉电模式或设备失去电力.

模式寄存器位A0-A2指定突发长度, A3突发类型 (顺序或交错), A4-A6 CAS潜伏. 一个逻辑0应该被编程到所有未定义的地址位, 以确保未来的兼容性.

当所有银行空闲并且没有突发正在进行时, 模式寄存器必须被加载, 并且控制器必须在启动任何后续操作之前, 请等待指定的时间tMRD. 违反这些要求之一将会导致未指定的操作.

不应使用保留状态, 因为可能会导致未知操作或与未来版本不兼容.

6.2.2 模式寄存器定义



6.2.3 突发长度

对LPDDR SDRAM的读写访问是突发导向的，突发长度和突发类型都是可编程的。

突发长度决定了给定READ或者可以访问的列位置的最大数量

WRITE命令.突发长度为2,4或8个位置可用于顺序和交错突发类型。

当发出READ或WRITE命令时，有效地选择一个等于脉冲串长度的列.所有对于该突发的访问发生在该块内，这意味着如果边界是突发将在该块内包装到达。

该块由A1唯一选择 - 当突发长度设置为2时，通过A2-An设置突发长度

到4，由A3 - 当突发长度设置为8（其中An是给定的最高有效列地址位

组态）。剩余的（最不重要的）地址位被用来选择内部的起始位置

块.编程的突发长度适用于读和写突发。



6.3突发定义

爆裂 长度	起始列 地址				突发事件中的接入顺序 (HEXADECIMAL NOTATION)	
	A3	A2	A1	A0	序贯	交错
2				0	0 - 1	0 - 1
				1	1 - 0	1 - 0
4			0	0	0 - 1 - 2 - 3	0 - 1 - 2 - 3
			0	1	1 - 2 - 3 - 0	1 - 0 - 3 - 2
			1	0	2 - 3 - 0 - 1	2 - 3 - 0 - 1
			1	1	3 - 0 - 1 - 2	3 - 2 - 1 - 0
8		0	0	0	0 - 1 - 2 - 3 - 4 - 5 - 6 - 7	0 - 1 - 2 - 3 - 4 - 5 - 6 - 7
		0	0	1	1 - 2 - 3 - 4 - 5 - 6 - 7 - 0	1 - 0 - 3 - 2 - 5 - 4 - 7 - 6
		0	1	0	2 - 3 - 4 - 5 - 6 - 7 - 0 - 1	2 - 3 - 0 - 1 - 6 - 7 - 4 - 5
		0	1	1	3 - 4 - 5 - 6 - 7 - 0 - 1 - 2	3 - 2 - 1 - 0 - 7 - 6 - 5 - 4
		1	0	0	4 - 5 - 6 - 7 - 0 - 1 - 2 - 3	4 - 5 - 6 - 7 - 0 - 1 - 2 - 3
		1	0	1	五- 6 - 7 - 0 - 1 - 2 - 3 - 4	五- 4 - 7 - 6 - 1 - 0 - 3 - 2
		1	1	0	6 - 7 - 0 - 1 - 2 - 3 - 4 - 5	6 - 7 - 4 - 5 - 2 - 3 - 0 - 1
		1	1	1	7 - 0 - 1 - 2 - 3 - 4 - 5 - 6	7 - 6 - 5 - 4 - 3 - 2 - 1 - 0
16	0	0	0	0	0-1-2-3-4-5-6-7-8-9-ABCDEF 0-1-2-3-4-5-6-7-8-9-ABCDEF	
	0	0	0	1	1-2-3-4-5-6-7-8-9-ABCDEF-0 1-0-3-2-5-4-7-6-9-8-BADCFE	
	0	0	1	0	2-3-4-5-6-7-8-9-ABCDEF-0-1 2-3-0-1-6-7-4-5-AB-8-9-EFCD	
	0	0	1	1	3-4-5-6-7-8-9-ABCDEF-0-1-2 3-2-1-0-7-6-5-4-BA-9-8-FEDC	
	0	1	0	0	4-5-6-7-8-9-ABCDEF-0-1-2-3 4-5-6-7-0-1-2-3-CDEF-8-9-AB	
	0	1	0	1	5-6-7-8-9-ABCDEF-0-1-2-3-4 5-4-7-6-1-0-3-2-DCFE-9-8-BA	
	0	1	1	0	6-7-8-9-ABCDEF-0-1-2-3-4-5 6-7-4-5-2-3-0-1-EFCDAB-8-9	
	0	1	1	1	7-8-9-ABCDEF-0-1-2-3-4-5-6 7-6-5-4-3-2-1-0-FEDCBA-9-8	
	1	0	0	0	8-9-ABCDEF-0-1-2-3-4-5-6-7 8-9-ABCDEF-0-1-2-3-4-5-6-7	
	1	0	0	1	9-ABCDEF-0-1-2-3-4-5-6-7-8 9-8-BADCFE-1-0-3-2-5-4-7-6	
	1	0	1	0	ABCDEF-0-1-2-3-4-5-6-7-8-9 AB-8-9-EFCD-2-3-0-1-6-7-4-5	
	1	0	1	1	BCDEF-0-1-2-3-4-5-6-7-8-9-A BA-9-8-FEDC-3-2-1-0-7-6-5-4	
	1	1	0	0	CDEF-0-1-2-3-4-5-6-7-8-9-AB CDEF-8-9-AB-4-5-6-7-0-1-2-3	
	1	1	0	1	DEF-0-1-2-3-4-5-6-7-8-9-ABC DCFE-9-8-BA-5-4-7-6-1-0-3-2	
	1	1	1	0	EF-0-1-2-3-4-5-6-7-8-9-ABCD EFCDA-8-9-6-7-4-5-2-3-0-1	
	1	1	1	1	F-0-1-2-3-4-5-6-7-8-9-ABCDE FEDCBA-9-8-7-6-5-4-3-2-1-0	



笔记：

1. 对于两个突发长度，A1-An选择两个数据元素块；A0选择块内的第一个访问。
2. 对于四个突发长度，A2-An选择四个数据元素块；A0-A1选择块内的第一个访问。
3. 对于八个突发长度，A3-An选择八个数据元素块；A0-A2选择块内的第一个访问。
4. 对于16的可选突发长度，A4-An选择十六个数据元素块；A0-A3选择第一个访问块。
5. 只要在给定的序列内达到块的边界，下列访问将在块内进行包装。
 当发出READ或WRITE命令时，有效地选择一个等于脉冲串长度的列。所有访问对于该突发发生在块内，这意味着如果达到边界则突发将在块内包裹。
 当突发长度设置为2时由A1-An唯一地选择该块，当突发长度设置为4时由A2-An唯一地选择该块，由A3-
 当突发长度被设置为8时，以及当突发长度被设置为16（其中An是最多时）的A4-An
 给定配置的地址位。剩余的（最不重要的）地址位被用来选择起始位置
 在块内。编程的突发长度适用于读和写突发。

重要的专栏

6.4 突发类型

给定突发内的访问可以被编程为顺序或交错；这被称为突发类型，并通过位A3选择。突发内访问的顺序由突发长度决定。突发类型和起始列地址，如上表所示。

6.5 阅读延迟

READ等待时间是READ命令的注册与第一部分的可用性之间的延迟输出数据。等待时间应设为2或3个时钟。
 如果READ命令在时钟边缘n注册并且等待时间为3个时钟，则第一个数据元素将在时有效 $n + 2 \text{ tCK} + \text{tAC}$ 。如果READ命令在时钟边缘n注册并且等待时间是2个时钟，则第一个数据元素将在 $n + \text{tCK} + \text{tAC}$ 时有效。

6.6 扩展模式寄存器说明

扩展模式寄存器控制超出模式寄存器控制的功能；这些额外的功能包括输出驱动强度选择和部分阵列自刷新（PASR）。PASR是仅限刷新模式。

在自我中有效

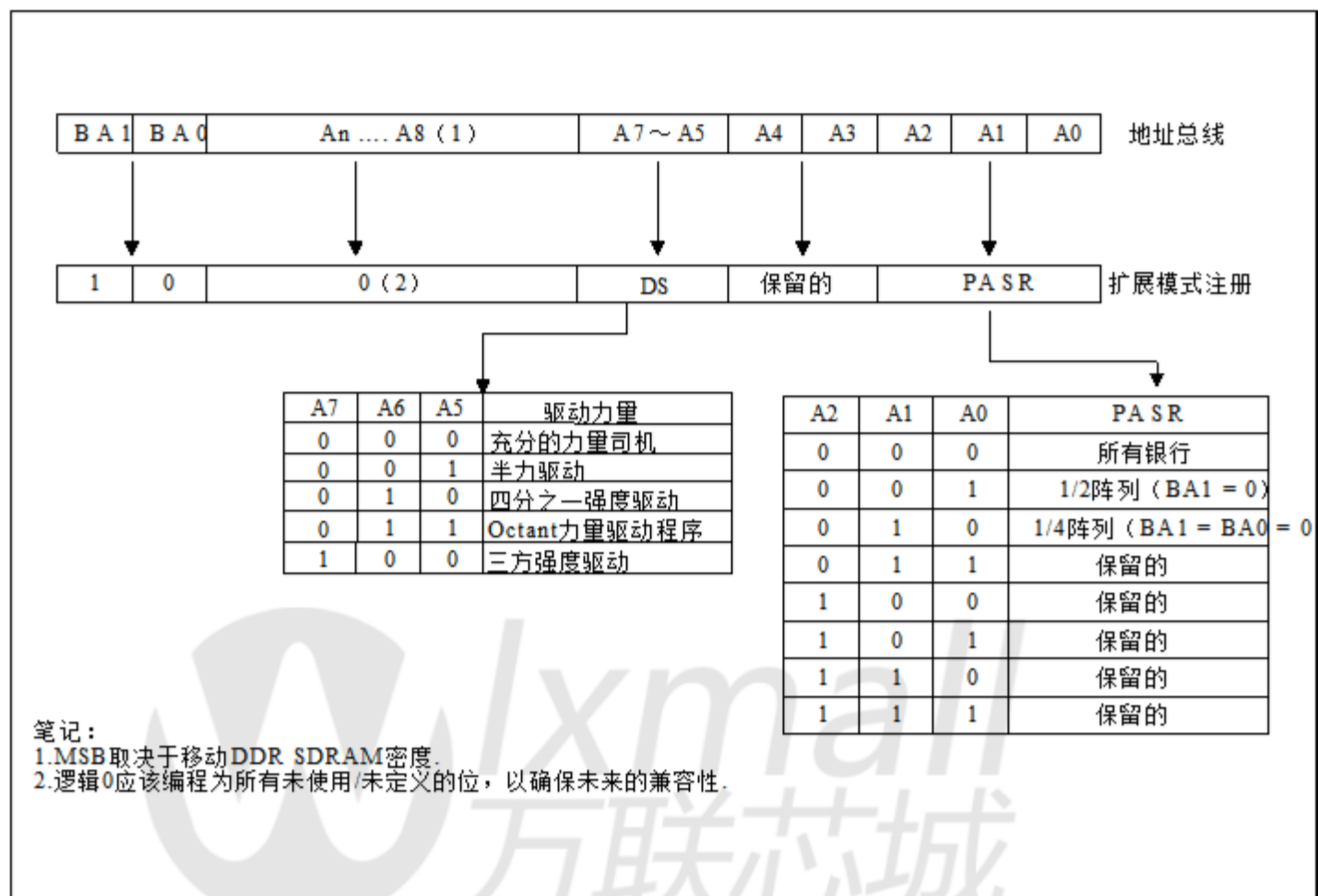
扩展模式寄存器通过MODE REGISTER SET命令编程（BA1 = 1且BA0 = 0）并将保留存储的信息，直到它被重新编程，设备处于深度掉电模式，或者设备失去能量。

当所有银行空闲并且没有突发正在进行时，扩展模式寄存器必须被加载，并且控制器必须在启动后续操作之前等待指定的时间tMRD。违反这些要求将导致未指定的操作。

地址位A0-A2指定PASR，A5-A7驱动程序强度。一个逻辑0应该被编程为所有未定义的寻址位以确保未来的兼容性。

不应使用保留状态，因为可能会导致未知操作或与未来版本不兼容。

6.6.1 扩展模式寄存器定义



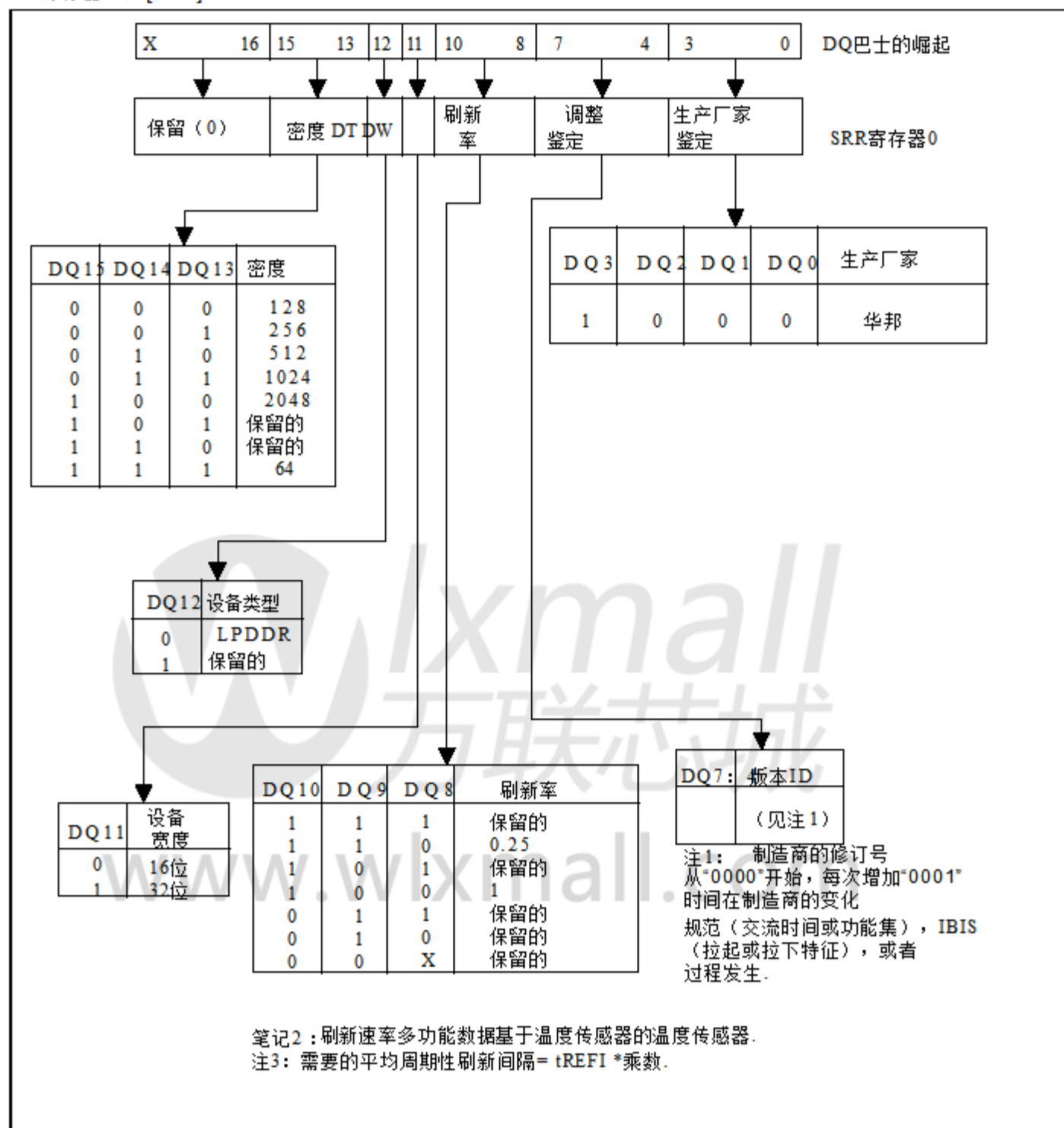
6.7 状态寄存器读取

状态寄存器读取 (SRR) 是JEDEC中的一项可选功能，在此器件中实现。有了SRR，a方法被定义为从设备读取寄存器。SRR命令的编码与MRS相同。BA[1:0] = "01"。地址引脚 (A[n:0]) 编码要读取哪个寄存器。目前只有一个寄存器被定义在A[N:0] = 0。执行SRR命令的顺序如下：

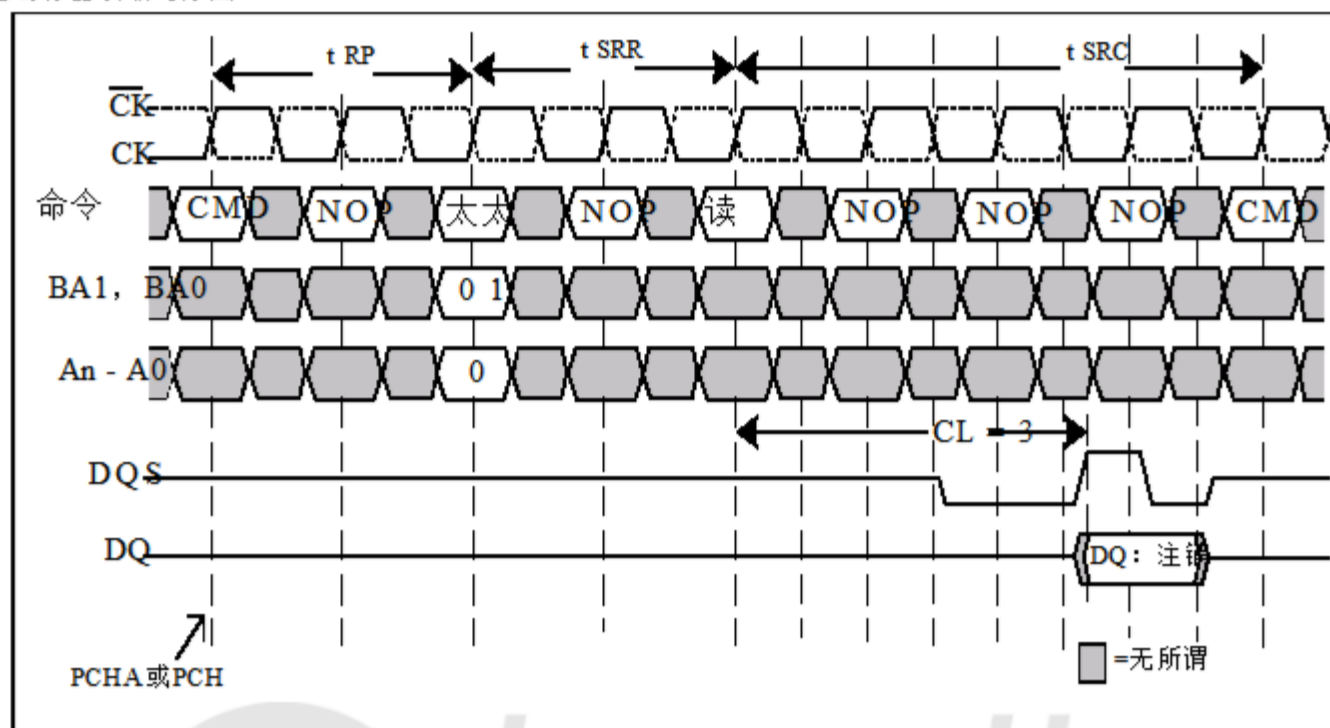
- ≡ 所有的读写操作都必须完成
- ≡ 所有银行必须关闭
- ≡ 发布BA = 01的MRS (SRR)
- ≡ 等待tRRR
- ≡ 阅读发给任何银行/页面
- ≡ CAS延迟周期后，器件返回寄存器数据，就像正常读取一样
- ≡ 读取命令发出后，下一个设备命令可以发送到tSRC。

SRR读取的突发长度始终固定为2。

6.7.1 SRR寄存器 (A[n: 0] = 0)



6.7.2 状态寄存器读取时序图



备注:

1. SRR只能在上电序列完成后发出。
2. SRR只能在所有银行预付费的情况下发行。
3. SRR CL与模式寄存器中的值保持不变。
4. SRR BL固定为2。
5. $t_{SRR} = 2$ (分钟)。
6. $t_{SRC} = CL + 1$; (读取到下一个有效命令之间的最短时间)。
7. 在SRR和READ之间不允许除NOP和DES之外的命令。

6.8 部分阵列自刷新

使用部分阵列自刷新 (PASR)，自刷新可能会限制在整个阵列的可变部分。该整个阵列 (默认)，1/2 阵列或 1/4 阵列可以被选择。定义区域外的数据将丢失。地址位 A0 到 A2 用于设置 PASR。

6.9 自动温度补偿自刷新

该设备具有自动温度补偿自刷新功能。它会自动调整刷新基于器件温度的速率，无需任何寄存器更新。为了保持向后兼容性，这个具有自动 TCSR 的设备，在 EMRS 期间忽略 (不关心) 输入以寻址位 A3 和 A4 节目。

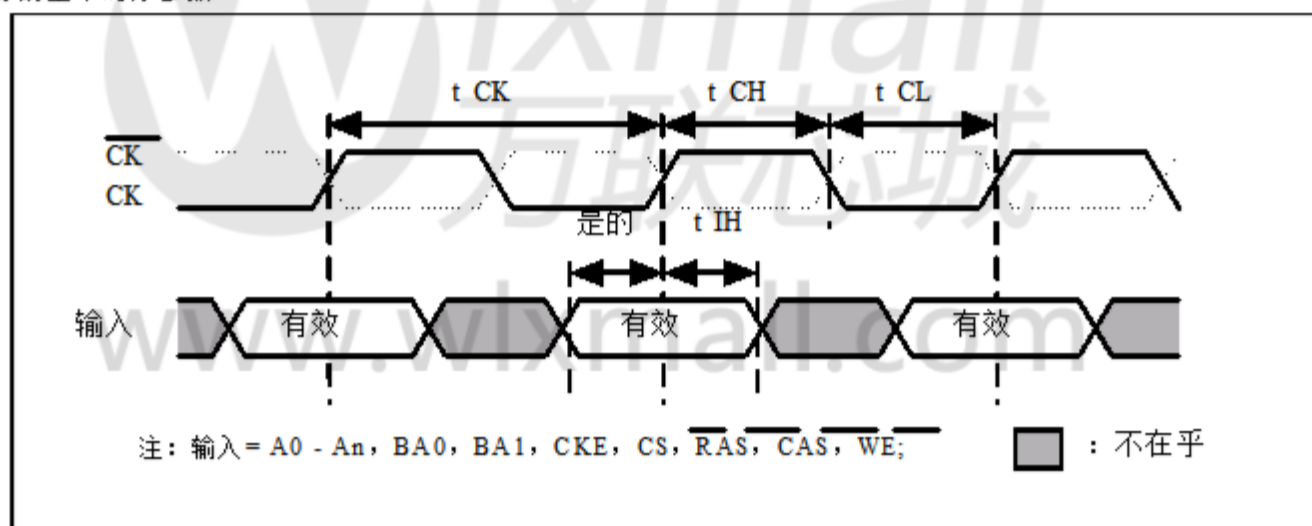
6.10 输出驱动强度

驱动强度可以通过地址位 A5 和 A6 设置为完整的一半或四分之三强度。一半的驱动器强度选项适用于较轻负载或点对点环境。

6.11 命令

所有命令 (地址和控制信号) 都被注册在时钟的上升沿 (CK 的交叉变高 CK 低)。

6.11.1 命令的基本时序参数





6.11.2 真值表 - 命令

名称 (功能)	$\overline{\text{CS}}$	$\overline{\text{RAS}}$	$\overline{\text{CAS}}$	我们	BA	A10 / AP	ADDR	笔记
DESELECT (NOP)	H	X	X	X	X	X	X	2
没有操作 (NOP)	大号	H	H	H	X	X	X	2
ACTIVE (选择银行并激活行)	大号	大号	H	H	有效	行	行	
读取 (选择银行和列并开始读取突发)	大号	H	大号	H	有效	大号	关口	
使用AP读取 (使用自动预充电读取脉冲串)	大号	H	大号	H	有效	H	关口	3
写 (选择银行和专栏并开始写突发)	大号	H	大号	大号	有效	大号	关口	
使用AP写入 (使用自动预充电写入脉冲串)	大号	H	大号	大号	有效	H	关口	3
突然终止或进入深度掉电	大号	H	H	大号	X	X	X	4, 5
PRECHARGE (取消所选银行中的行)	大号	大号	H	大号	有效	大号	X	6
PRECHARGE ALL (全部删除行)	大号	大号	H	大号	X	H	X	6
AUTO REFRESH或进入SELF REFRESH	大号	大号	大号	H	X	X	X	7, 8, 9
模式寄存器设置	大号	大号	大号	大号	有效	操作码		10

笔记:

1. 所有未显示的状态和序列都是非法的或保留的。
2. DESELECT和NOP在功能上是可以互换的。
3. 自动预充电是非持续性的。A10高电平使能自动预充电，而A10低电平使能自动预充电。
4. 突发终止仅适用于读取已禁用自动预充电的突发。这个命令是未定义的，不应该是用于启用自动预充电的读取和写入突发。
5. 如果CKE为高电平，则此命令为BURST TERMINATE，如果CKE为Low，则此命令为DEEP POWER DOWN。
6. 如果A10低，银行地址决定哪个银行预充电。如果A10高，所有银行都预先收取和BA0~BA1不在乎。
7. 如果CKE为高电平，则该命令为自动刷新，如果CKE为低电平，则该命令为自整定。
8. 除了CKE之外，所有的地址输入和I/O都“不在乎”。内部刷新计数器控制银行和行寻址。
9. 在发出AUTO-REFRESH或SELF REFRESH命令之前，所有的bank必须预充电。
10. BA0和BA1值在MRS和EMRS之间选择。
11. 显示的所有命令的CKE均为高电平，但SELF REFRESH和DEEP POWER-DOWN除外。



6.11.3真值表 - DM操作

功能	DM	DQ	笔记
写入启用	大号	有效	1
写入禁止	H	X	1

笔记：

1. 用于屏蔽写入数据，与相应的数据一致。

6.11.4真值表 - CKE

CKEN-1	CKEN	当前状态	COMMAND _n	ACTION _n	笔记
大号	大号	掉电	X	保持关机	
大号	大号	自我刷新	X	保持自我刷新	
大号	大号	深度掉电	X	保持深度断电	
大号	H	掉电	NOP或DESELECT	退出掉电	5, 6, 9
大号	H	自我刷新	NOP或DESELECT	退出自我刷新	5, 7, 10
大号	H	深度掉电	NOP或DESELECT	退出深度掉电	5, 8
H	大号	所有银行闲置	NOP或DESELECT	预充电关机输入	五
H	大号	银行活跃	NOP或DESELECT	有源断电条目	五
H	大号	所有银行闲置	自动刷新	自刷新条目	
H	大号	所有银行闲置	爆发终止	进入深度掉电	
H	H	查看其他真值表			

笔记：

1. CKEN是时钟沿n的CKE的逻辑状态；CKEN-1是前一个时钟沿的CKE状态。
2. 当前状态是状态 LPDDR SDRAM紧接在时钟沿n之前。
3. COMMAND_n是在时钟沿n注册的命令，ACTION_n是COMMAND_n的结果。
4. 所有未显示的状态和序列都是非法的或保留的。
5. DESELECT和NOP在功能上是可以互换的。
6. 在发出除NOP或DESELECT以外的命令之前应经过掉电退出时间（tXP）。
7. SELF REFRESH退出时间（tXSR）应在NOP或DESELECT以外的命令发出之前过去。
8. 必须按照功能的深度掉电部分所述执行深度掉电退出程序描述。
9. 时钟在tXP周期内必须至少切换一次。
10. 在tXSR时间内，时钟必须至少切换一次。



6.11.5真值表 - 当前状态BANKn - 到BANKn的命令

当前状态	CS	RAS	CAS	我们	命令	行动	笔记
任何	H	X	X	X	DESELECT	NOP或继续之前的操作	
	大号	H	H	H	没有操作	NOP或继续之前的操作	
闲	大号	大号	H	H	活性	选择并激活行	
	大号	大号	大号	H	自动刷新	自动刷新	10
	大号	大号	大号	大号	太 太	模式寄存器设置	10
行激活	大号	H	大号	H	读	选择列和开始读取突发	
	大号	H	大号	大号	写	选择列和开始写突发	
	大号	大号	H	大号	预充电	取消银行（或银行）中的行	4
阅读（自动预充电禁用）	大号	H	大号	H	读	选择列并开始新的读取突发	5, 6
	大号	H	大号	大号	写	选择列和开始写突发	5, 6, 13
	大号	大号	H	大号	预充电	截断读取突发，开始预充电	
	大号	H	H	大号	爆裂 TERMINATE	突发终止	11
写入（自动预充电禁用）	大号	H	大号	H	读	选择列和开始读取突发	5, 6, 12
	大号	H	大号	大号	写	选择列并开始新的写入突发	5, 6
	大号	大号	H	大号	预充电	截断写入突发和开始预充电	12

笔记：

- 当CKEn-1和CKEn均为高电平时，并且在tXSR或tXP满足后，如果先前的状态为自我刷新或关机。
- DESELECT和NOP在功能上是可以互换的。
- 所有未显示的状态和序列都是非法的或保留的。
- 该命令可能会或可能不是银行特定的。如果所有的银行都预先收费，那么它们必须处于有效状态预充电。
- 当有自动预充电的读或写脉冲串时，不应将NOP以外的命令发送到同一存储区启用。
- 新的读取或写入命令可以是自动预先激活或禁用自动预充电。
- 当前状态定义：
 - 闲置：银行已预先收取，而tRP已经满足。
 - 行激活：银行中的一行已被激活，并且tRCD已被满足。没有数据突发/访问和没有注册访问正在进行中。
 - 阅读：READ脉冲串已启动，禁用了自动预充电功能，但尚未终止或终止。
 - 写入：写入脉冲串已启动，自动预充电禁用，尚未终止或终止。
- 下列状态不得被发给同一家银行的命令所中断。DESEDECT或NOP命令或应在这些状态期间发生的任何时钟边沿发出允许的命令给另一个银行。允许对其他银行的命令由其当前状态和该表确定，并根据下表确定。
 - 预充电：从注册PRECHARGE命令开始，到达tRP时结束。一旦tRP得到满足，银行将处于闲置状态。
 - 行激活：从注册ACTIVE命令开始，到达tRCD时结束。一旦tRCD被满足，银行将会在“行激活”状态。
 - 使用AP Enabled读取：从启用自动预充电的READ命令注册开始，在tRP时结束已经得到满足。一旦tRP得到满足，银行将处于闲置状态。
 - 启用接入点写入：从注册启用自动预充电的WRITE命令开始，到tRP时结束得到满足。一旦符合tRP，银行将处于闲置状态。
- 以下状态不得被任何可执行命令中断；必须应用DESEDECT或NOP命令到这些状态期间的每个正时钟沿。
 - 刷新：以注册AUTO REFRESH命令开始，并在tRFC满足时结束。一旦tRFC被满足，LPDDR SDRAM将处于“所有银行空闲”状态。



访问模式寄存器：从注册MODE REGISTER SET命令开始，到tMRD结束时结束

满足。一旦满足tMRD，LPDDR SDRAM将处于“所有银行空闲”状态。

预充所有：从注册PRECHARGE ALL命令开始，并在tRP满足时结束。一旦tRP被满足，该银行将处于闲置状态。

10. 不是针对银行的；要求所有银行都处于闲置状态，没有爆发正在进行中。
11. 不是银行特定的。无论银行是什么，突发终止均会影响最近一次读取突发。
12. 需要适当的DM掩膜。
13. WRITE命令可以在READ突发完成后应用；否则，必须有一个BURST TERMINATE用于在断言WRITE命令之前结束READ。

6.11.6真值表 - 当前状态BANKn，到BANKn的命令

当前 州	$\overline{\text{CS}}$	$\overline{\text{RAS}}$	$\overline{\text{CAS}}$	我们	命令	行动	笔记
任何	H	X	X	X	DESELECT	NOP或继续之前的操作	
	大号	H	H	H	NOP	NOP或继续之前的操作	
闲	X	X	X	X	任何	任何命令允许银行m	
行激活， 活跃，或 预充电	大号	大号	H	H	活性	选择并激活行	
	大号	H	大号	H	读	选择列和开始读取突发	8
	大号	H	大号	大号	写	选择列和开始写突发	8
	大号	大号	H	大号	预充电	预充电	
使用自动阅读 预充电 残	大号	大号	H	H	活性	选择并激活行	
	大号	H	大号	H	读	选择列并开始新的读取突发	8
	大号	H	大号	大号	写	选择列和开始写突发	8,10
	大号	大号	H	大号	预充电	预充电	
用自动写入 预充电 残	大号	大号	H	H	活性	选择并激活行	
	大号	H	大号	H	读	选择列和开始读取突发	8, 9
	大号	H	大号	大号	写	选择列并开始新的写入突发	8
	大号	大号	H	大号	预充电	预充电	
使用自动阅读 预充电	大号	大号	H	H	活性	选择并激活行	
	大号	H	大号	H	读	选择列并开始新的读取突发	5, 8
	大号	H	大号	大号	写	选择列和开始写突发	5, 8, 10
	大号	大号	H	大号	预充电	预充电	
用自动写入 预充电	大号	大号	H	H	活性	选择并激活行	
	大号	H	大号	H	读	选择列和开始读取突发	5, 8
	大号	H	大号	大号	写	选择列并开始新的写入突发	5, 8
	大号	大号	H	大号	预充电	预充电	



笔记：

1. 当CKEn-1和CKEn均为高电平时，并且在tXSR或tXP满足后，如果先前的状态为自我刷新或关机。
2. DESELECT和NOP在功能上是可以互换的。
3. 所有未显示的状态和序列都是非法的或保留的。
4. 当前状态定义：
 - 闲置：银行已预先收取，而tRP已经满足。
 - 行激活：银行中的一行已被激活，并且tRCD已被满足。没有数据突发/访问和没有注册访问正在进行中。
 - 阅读：READ脉冲串已启动，禁用了自动预充电功能，但尚未终止或终止。
 - 写入：写入猝发已启动，禁用了自动预充电，并且尚未终止或终止。
5. 使能AP并使能AP写入时进行读取：启用自动预充电或使用自动预充电写入进行读取。使能状态可以分为两部分：访问时间段和预充电时间段。用AP读取预充电周期被定义为在自动预充电被禁用的情况下执行相同的突发，然后最早跟随可能的PRECHARGE命令仍然可以访问突发中的所有数据。用自动预充电写入时，预充电周期从tWR结束时开始，tWR如同自动预充电被禁用一样测量。访问期限以注册命令并结束预充电时间（或tRP）开始的地方。在预充期间，使用自动预充电启用或使用自动预充电启用状态，ACTIVE，PRECHARGE，READ和写入来读取可以应用WRITE命令给其他银行；在访问期间，只有ACTIVE和PRECHARGE命令到其他银行可能会被应用。无论哪种情况，所有其他相关限制均适用（例如，READ数据之间的争用并且必须避免写入数据）。
6. AUTO REFRESH，SELF REFRESH和MODE REGISTER SET命令只能在所有银行空闲时发出。
7. 爆发终止命令不能发给另一家银行；它适用于由现状所代表的银行只要。
8. “命令”列中列出的READ或WRITE包括启用了自动预充电和READ的READ和WRITE和禁用自动预充电的写入。
9. 需要适当的DM掩膜。
10. WRITE命令可以在完成数据输出后应用，否则必须使用BURST TERMINATE命令在断言WRITE命令之前发出以结束READ。

7. 操作

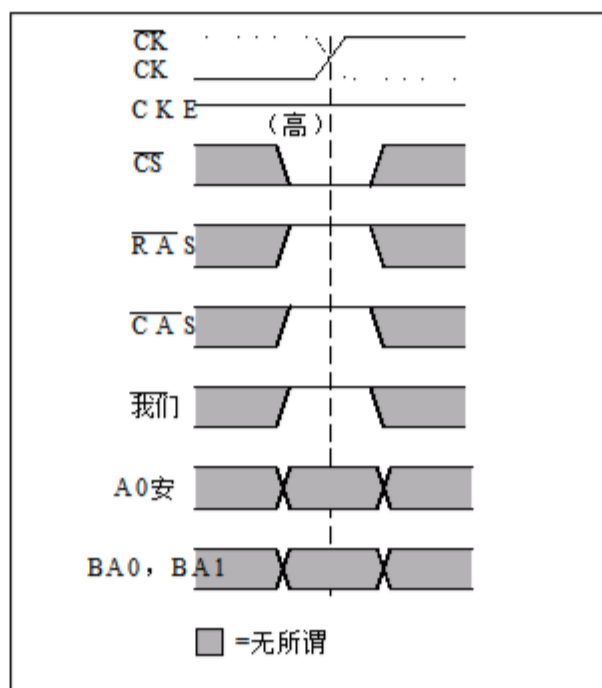
7.1. 取消

DESELECT函数（ $\overline{\text{CS}}$ = 高电平）阻止LPDDR SDRAM执行新命令。该LPDDR SDRAM被有效取消选择。已经在进行的操作不受影响。

7.2. 没有操作

NO OPERATION（NOP）命令用于对所选的LPDDR SDRAM执行NOP（ $\overline{\text{CS}}$ = 低电平）。这可以防止在空闲或等待状态期间注册不需要的命令。操作已在进行中不受影响。

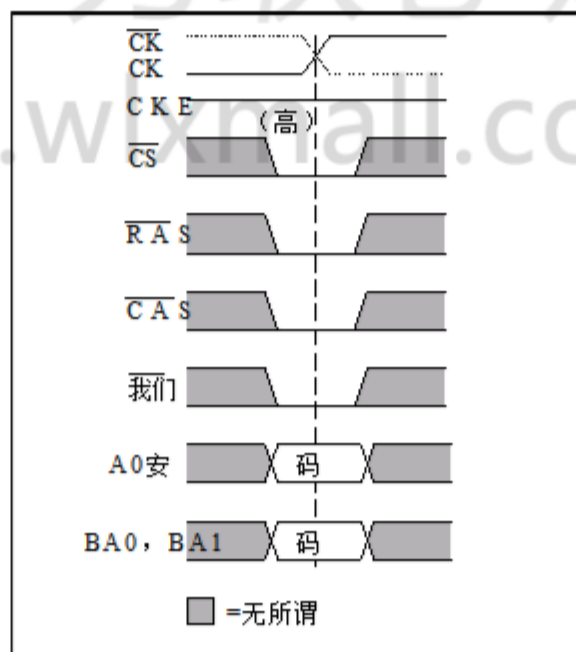
7.2.1 NOP命令



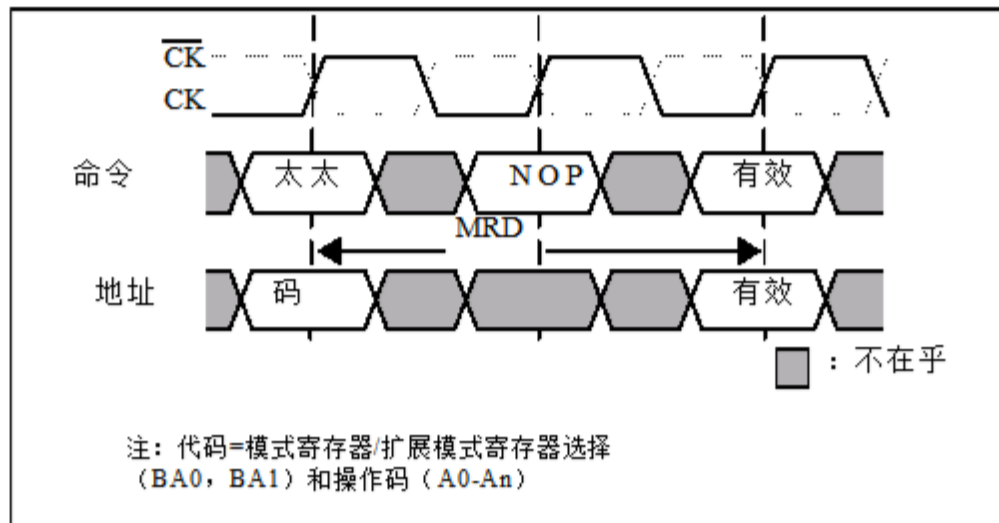
7.3 模式寄存器设置

模式寄存器和扩展模式寄存器通过地址输入加载.模式寄存器设置命令只能在所有银行空闲并且没有正在进行突发时发出，以及后续的可执行文件命令不能发布，直到满足tMRD.

7.3.1 模式寄存器设置命令



7.3.2 模式寄存器设置命令时序



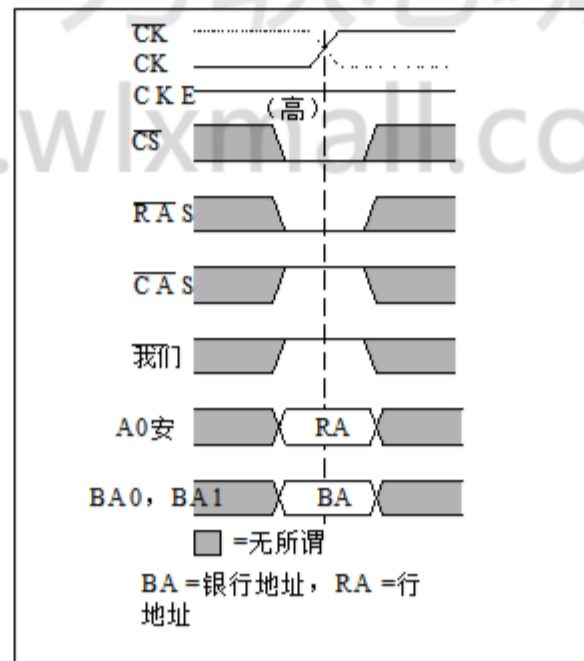
7.4. 活性

在任何READ或WRITE命令可以发布到LPDDR SDRAM中的一个bank之前，该bank中的一行必须是打开。这由ACTIVE命令完成：BA0和BA1选择存储区和地址输入。选择要激活的行。不止一家银行可以随时处于活动状态。

一行打开后，可以向该行发送READ或WRITE命令，但要遵循tRCD规范。

后续的激活命令到同一银行的另一行只能在前一行之后发出。已关闭。定义同一存储体上两个连续ACTIVE命令之间的最小时间间隔由RC。

7.4.1 主动命令





在访问第一个银行的同时，可以发出对其他银行的随后的ACTIVE命令，从而产生结果

减少了总的行访问开销.两个连续的ACTIVE命令之间的最小时间间隔

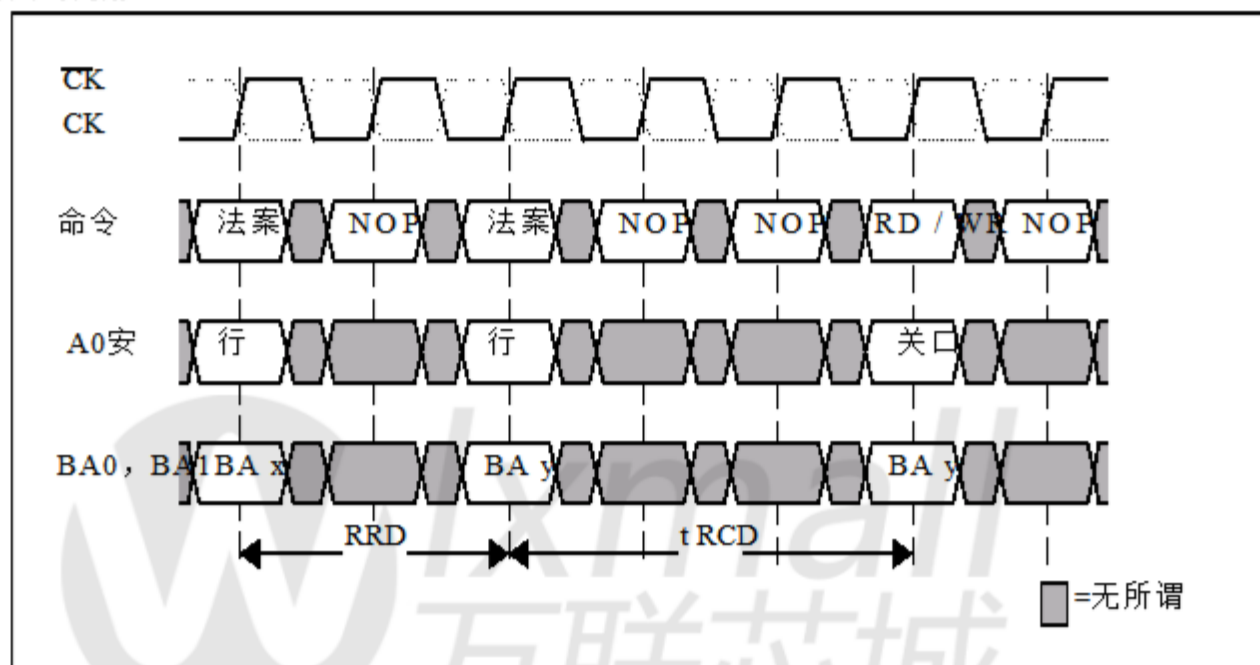
在不同的银行由 t_{RRD} 定义。

该行保持有效，直到PRECHARGE命令（或带有自动预充电的READ或WRITE命令）为止发给银行。

PRECHARGE（或自动预充电或自动预充电写入）命令必须先发出

在同一家银行开设不同的行。

7.4.2 银行激活命令周期



7.5. 读

READ命令用于启动对活动行的突发读取访问，具有在模式中设置的突发长度

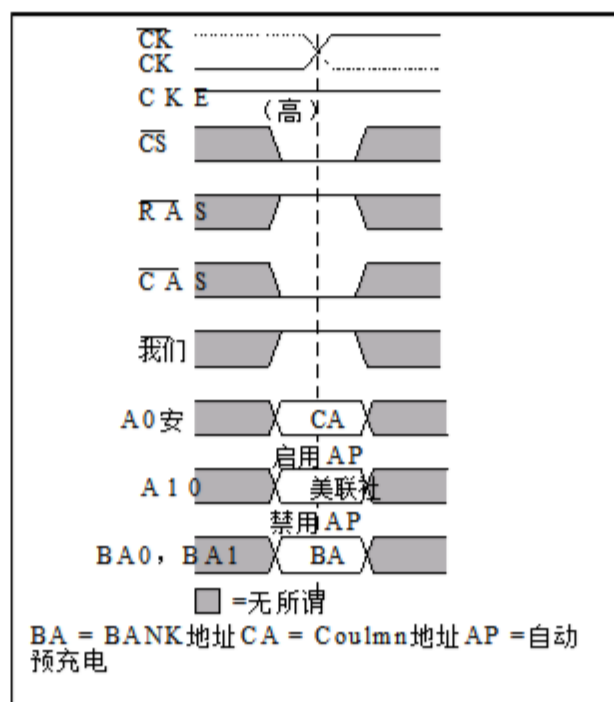
寄存器. BA0和BA1选择银行，地址输入选择起始列位置. A10的值

确定是否使用自动预充电.如果选择自动预充电，则被访问的行将为

在读取突发结束时预充电;如果未选择自动预充电，该行将保持打开状态以供后续使用

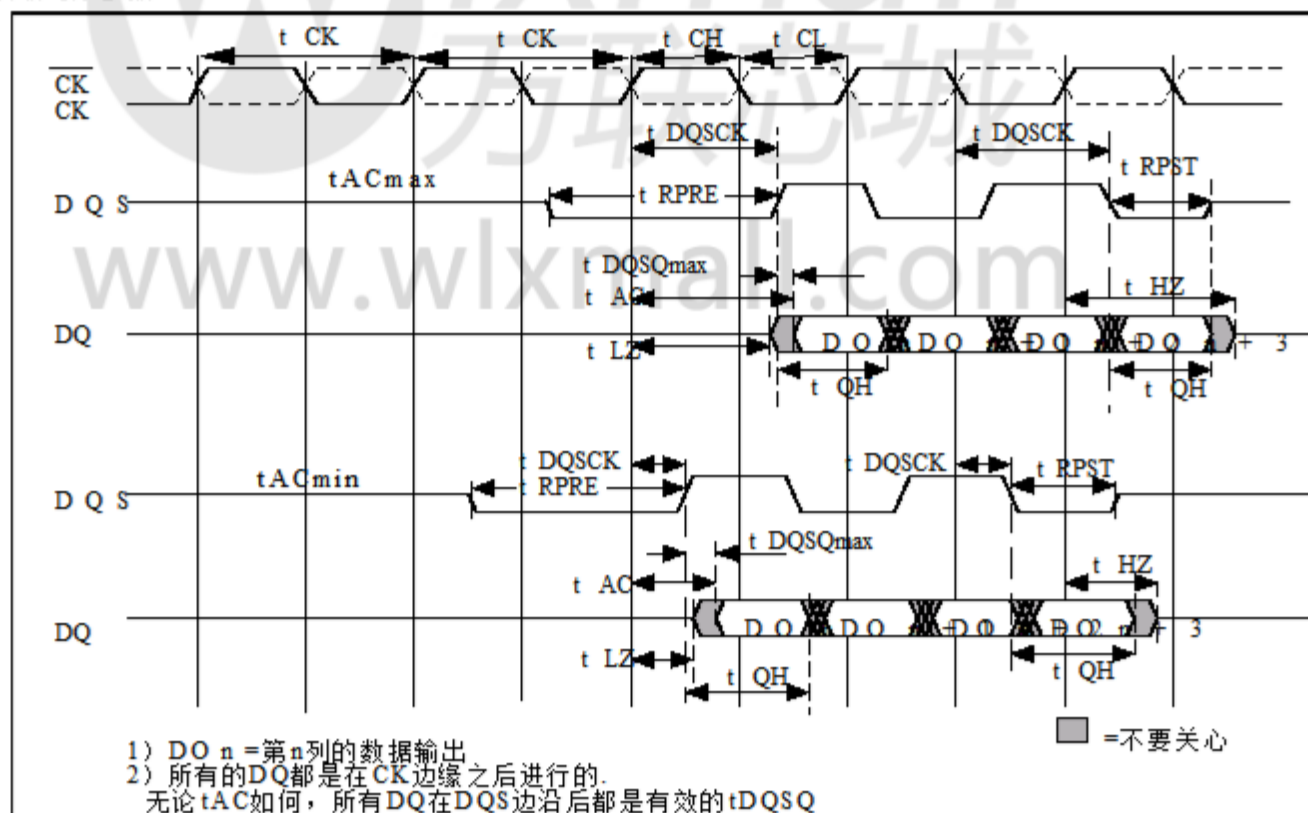
访问。

7.5.1 读取命令



DQ的基本读取时序参数如下图所示;它们适用于所有的读取操作。

7.5.2 基本读取时序参数

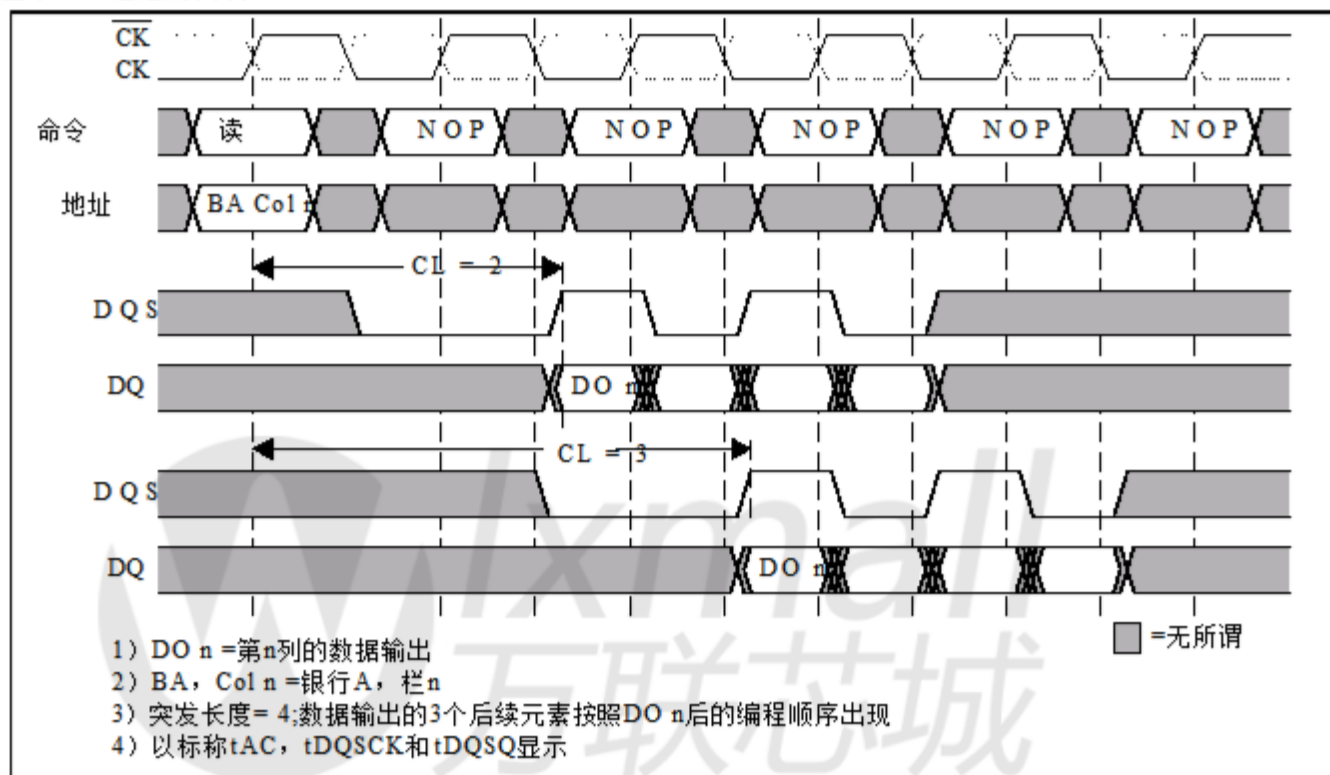




在读突发期间，DQS由LPDDR SDRAM和输出数据驱动。最初的Low状态DQS被称为读取前导码；与最后一个数据输出元素一致的低状态被称为读后处理，缓存。第一个数据输出元件与DQS的第一个上升沿和连续的数据输出沿对齐元素边缘对齐到DQS的连续边缘。如下图所示，CAS延迟为2和3。

读完一个突发后，假设没有其他的READ命令已经启动，DQ将进入高阻态。

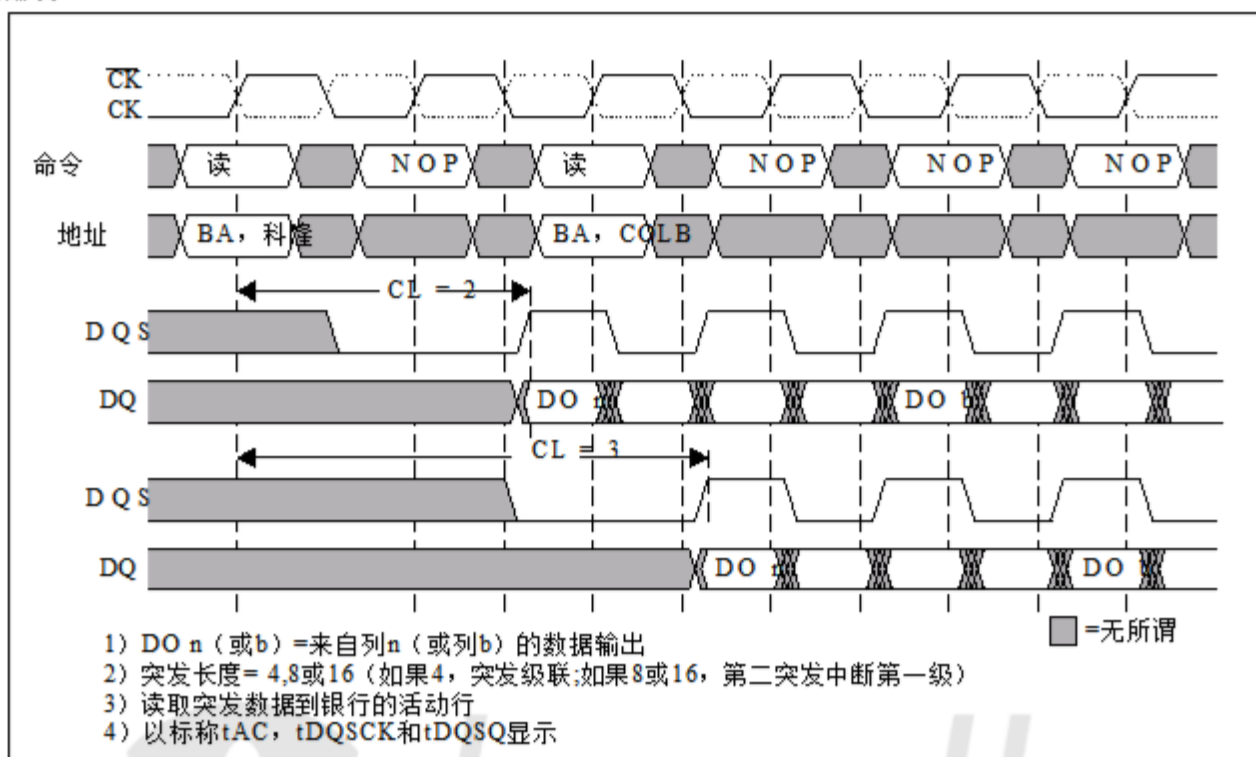
7.5.3 读取显示CAS延迟的突发



7.5.4 阅读阅读

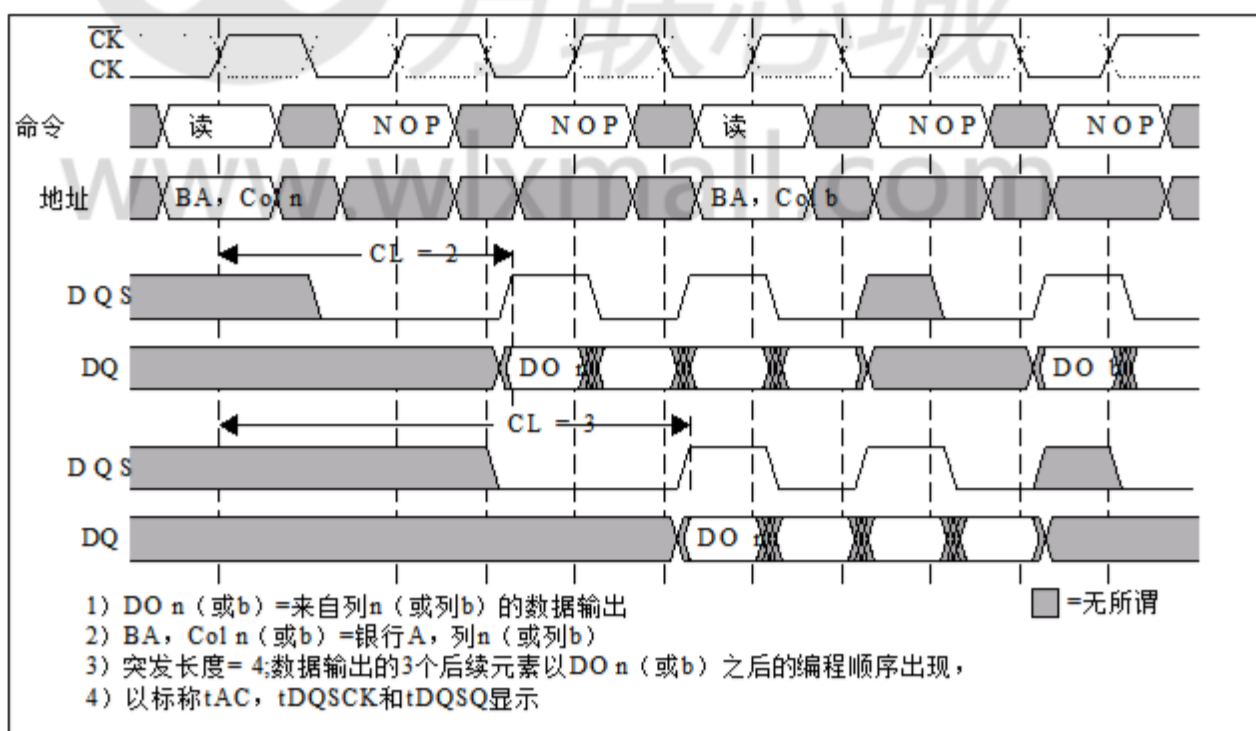
来自读取突发的数据可以被连续或被后续的READ命令截断。第一个数据来自新的突发跟随完整突发的最后一个元素或更长突发的最后一个期望元素被截断。新的READ命令应在第一个READ命令（其中X）后X个周期发出等于所需数据输出元素对的数量（2n预取体系结构需要配对）。这是如下图所示。

7.5.5连续读爆发



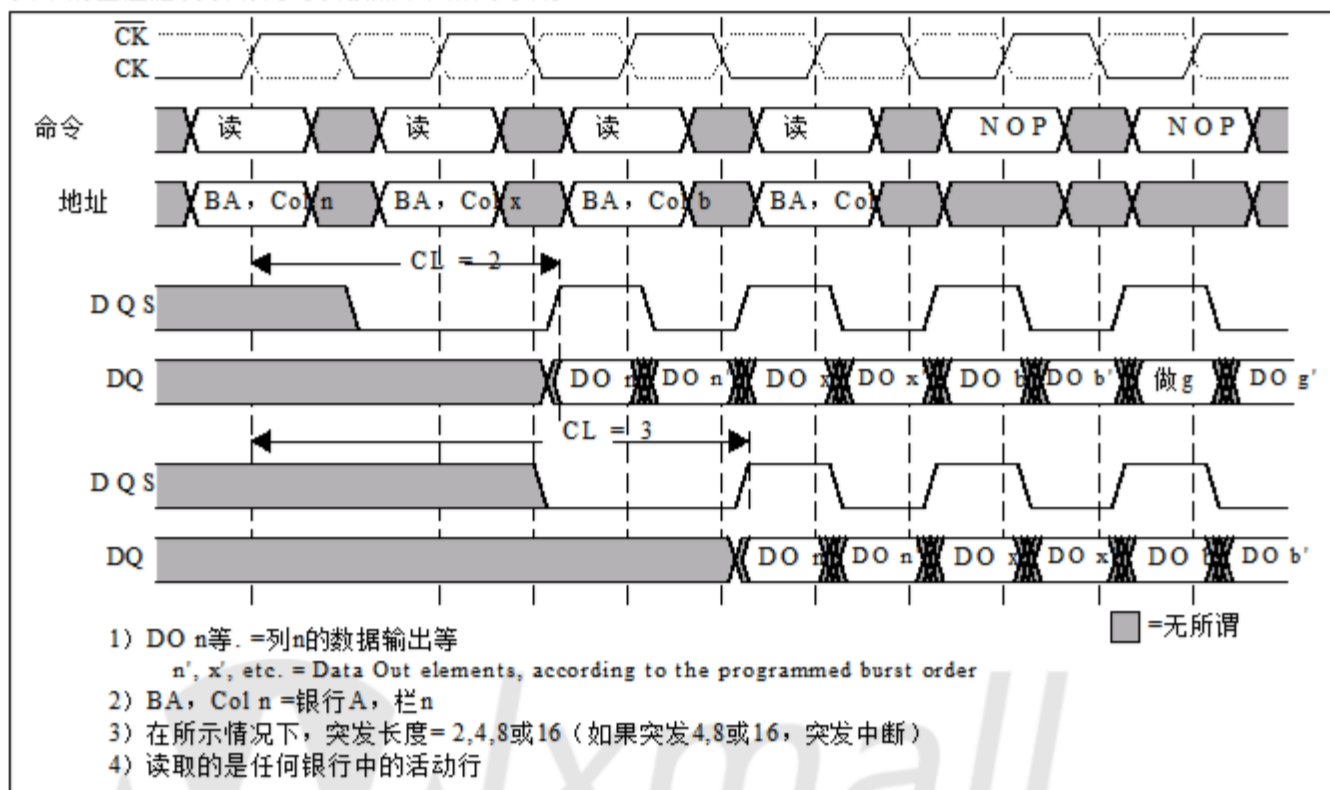
7.5.6非连续读取突发

READ命令可以在前一个READ命令之后的任意时钟周期启动.非连续
读数如下图所示.



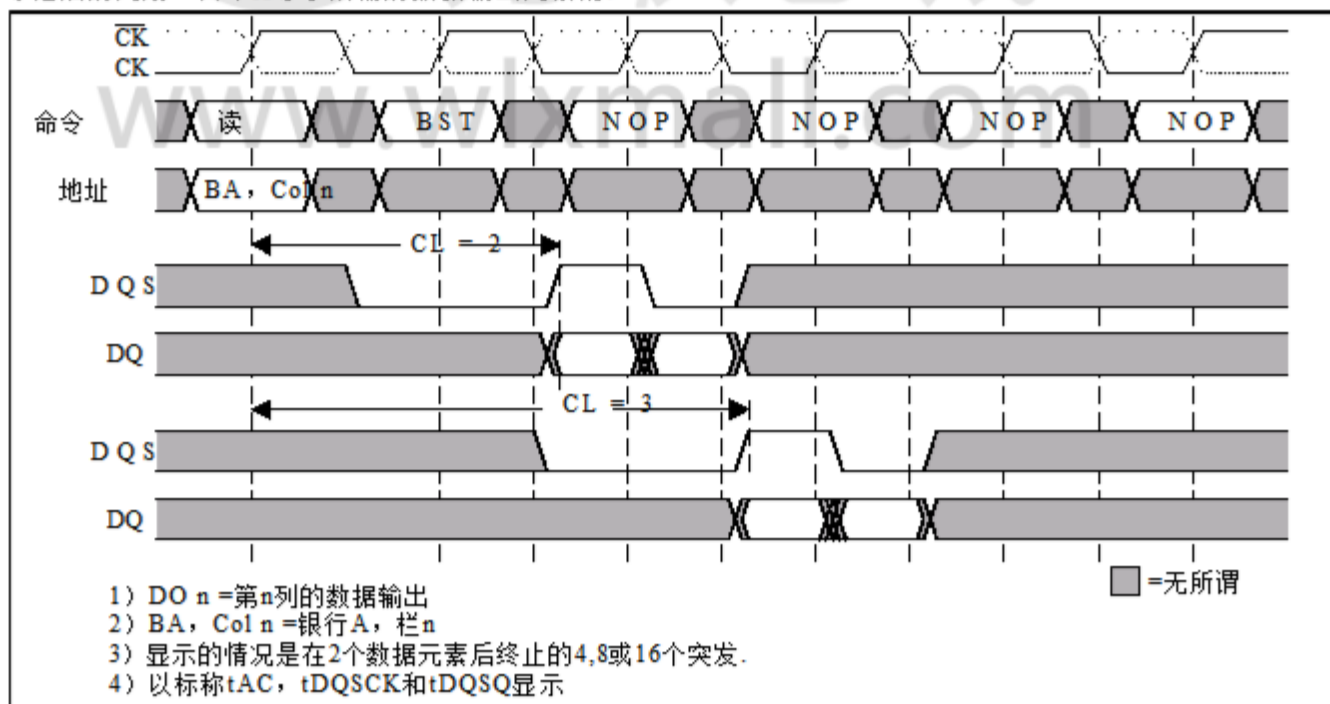
7.5.7 随机读取突发

一页或多页中的全速随机读访问可以按照下图所示执行。



7.5.8 读取突发终止

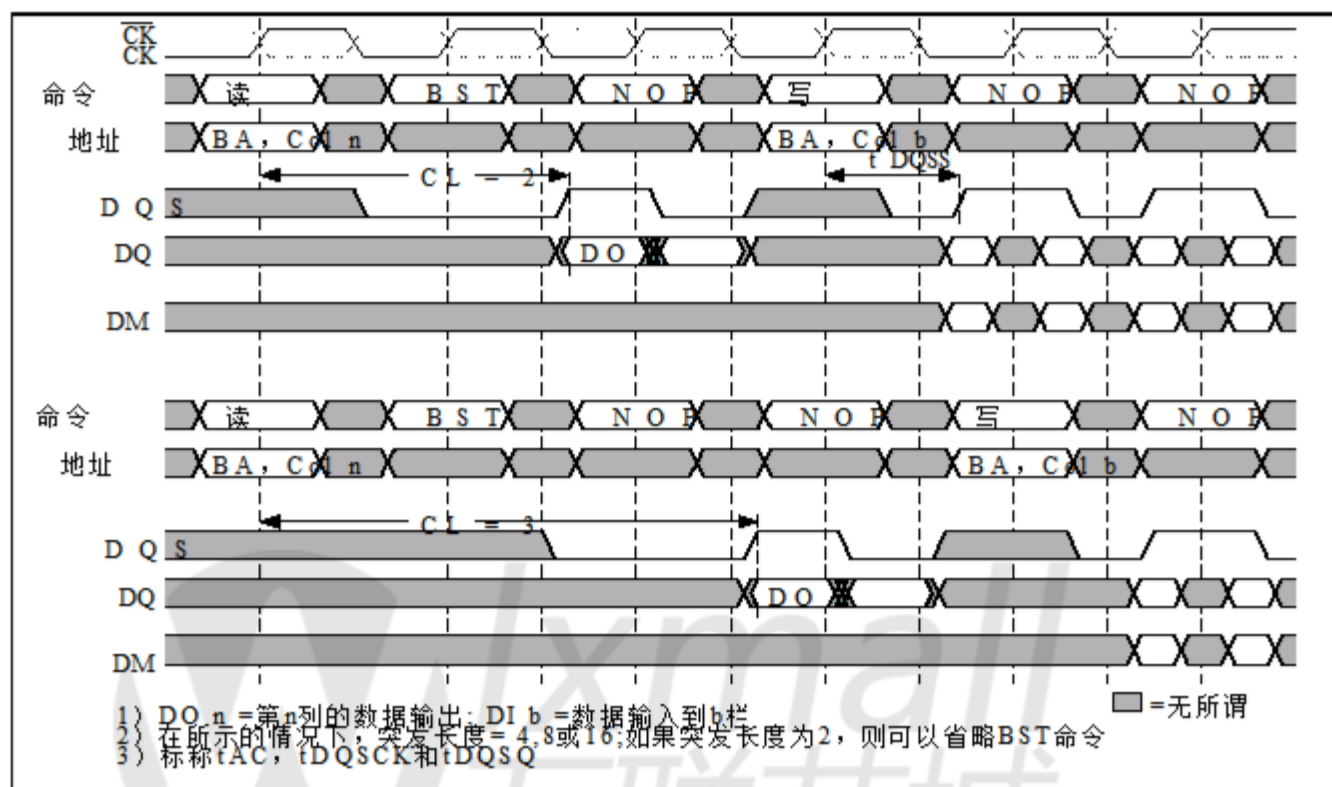
来自任何READ突发的数据可能会被BURST TERMINATE命令截断, 如图所示. 爆炸TERMINATE延迟等于读取(CAS)等待时间, 即应发出BURST TERMINATE命令X READ命令之后的周期, 其中X等于所需的数据输出元素对。





7.5.9 读取写入

来自READ突发的数据必须在发出后续WRITE命令之前完成或截断.如果截断是必要的,必须使用BURST TERMINATE命令,如下图所示的名义 t_{DQS}

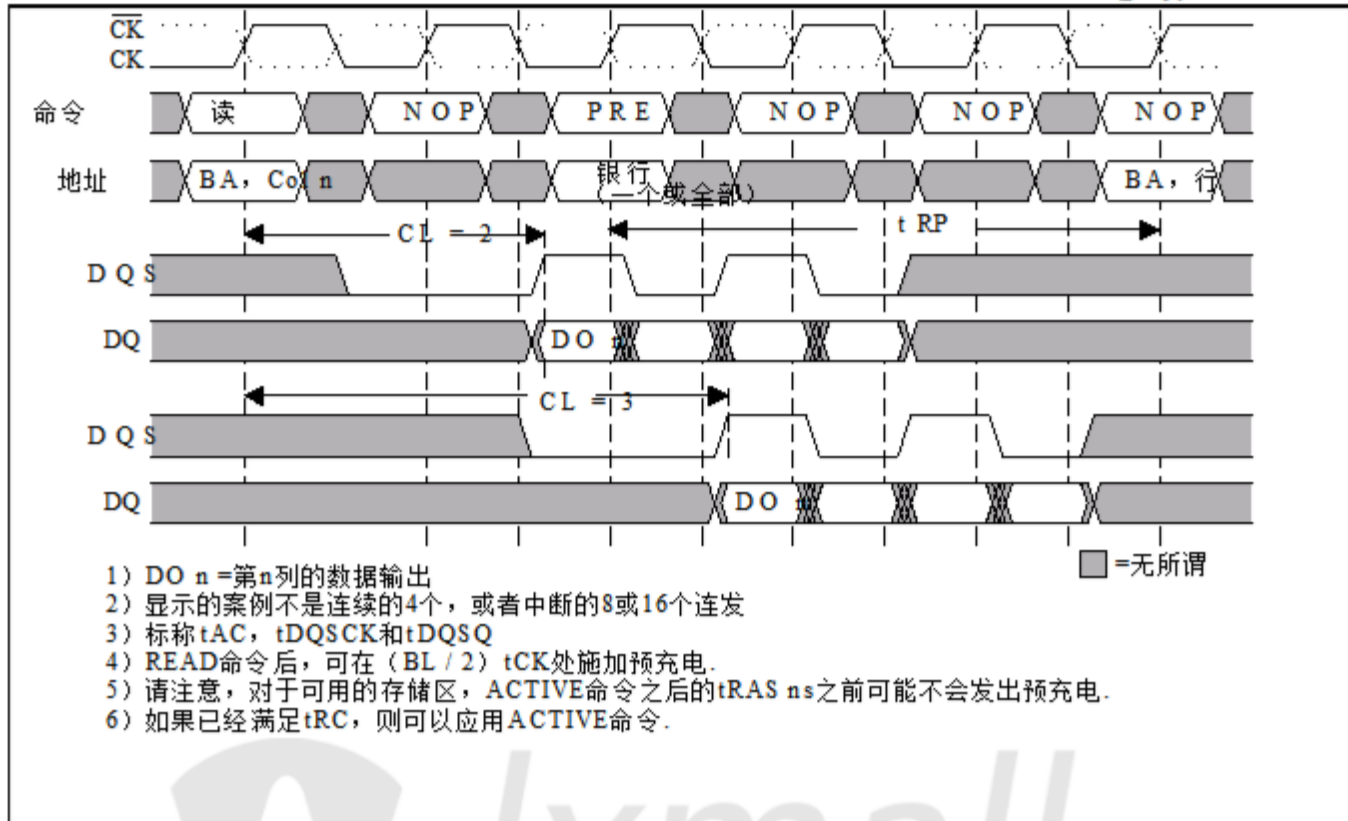


7.5.10 阅读预充电

读取突发可能会跟随或截断与PRECHARGE命令到同一个银行(提供自动预充电未被激活). PRECHARGE命令应在READ命令之后的 X 个周期发出, 其中 X 等于期望的数据输出元件对的数量. 这在下图中显示. 在PRECHARGE之后命令, 只有在满足 t_{RP} 的情况下, 才能发出对同一银行的后续命令. 请注意, 在访问最后一个数据输出元素期间隐藏充电时间.

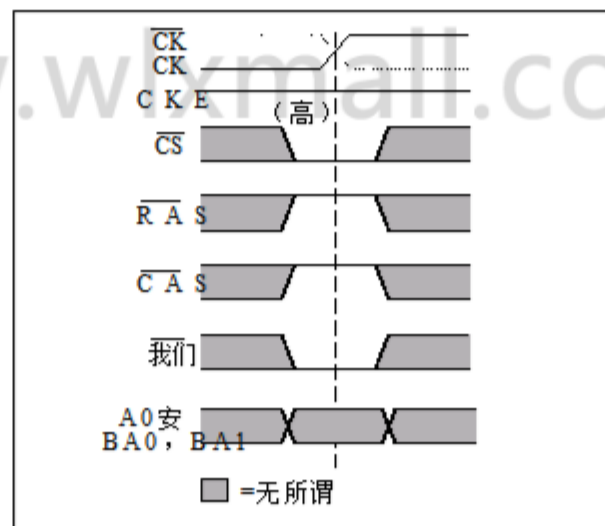
在读取被执行完成的情况下, 在最佳时间发出PRECHARGE命令(如如上所述)提供与启用自动预充电的读取脉冲串相同的操作. 该

PRECHARGE命令的缺点是它要求命令和地址总线可用发出命令的适当时间. PRECHARGE命令的优点是它可以用于截断突发.



7.5.11 突发读取终止

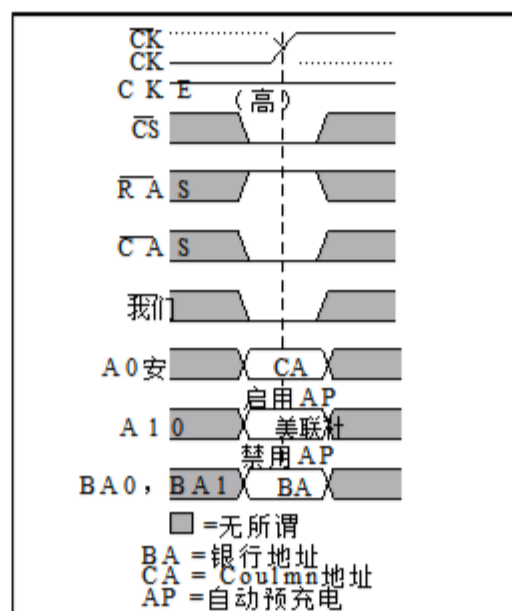
BURST TERMINATE 命令用于截断读取突发 (禁用自动预充电). 最多最近在 BURST TERMINATE 命令之前注册的 READ 命令将被截断. 请注意 BURST TERMINATE 命令不是特定于银行的. 该命令不应该用于终止写入突发.



7.6 写

WRITE 命令用于启动对活动行的突发写入访问, 并具有在模式中设置的突发长度寄存器. BA0 和 BA1 选择银行, 地址输入选择起始列位置. A10 的值确定是否使用自动预充电. 如果选择自动预充电, 则被访问的行将为在写入脉冲结束时预充电; 如果未选择自动预充电, 该行将保持打开状态以供后续使用访问.

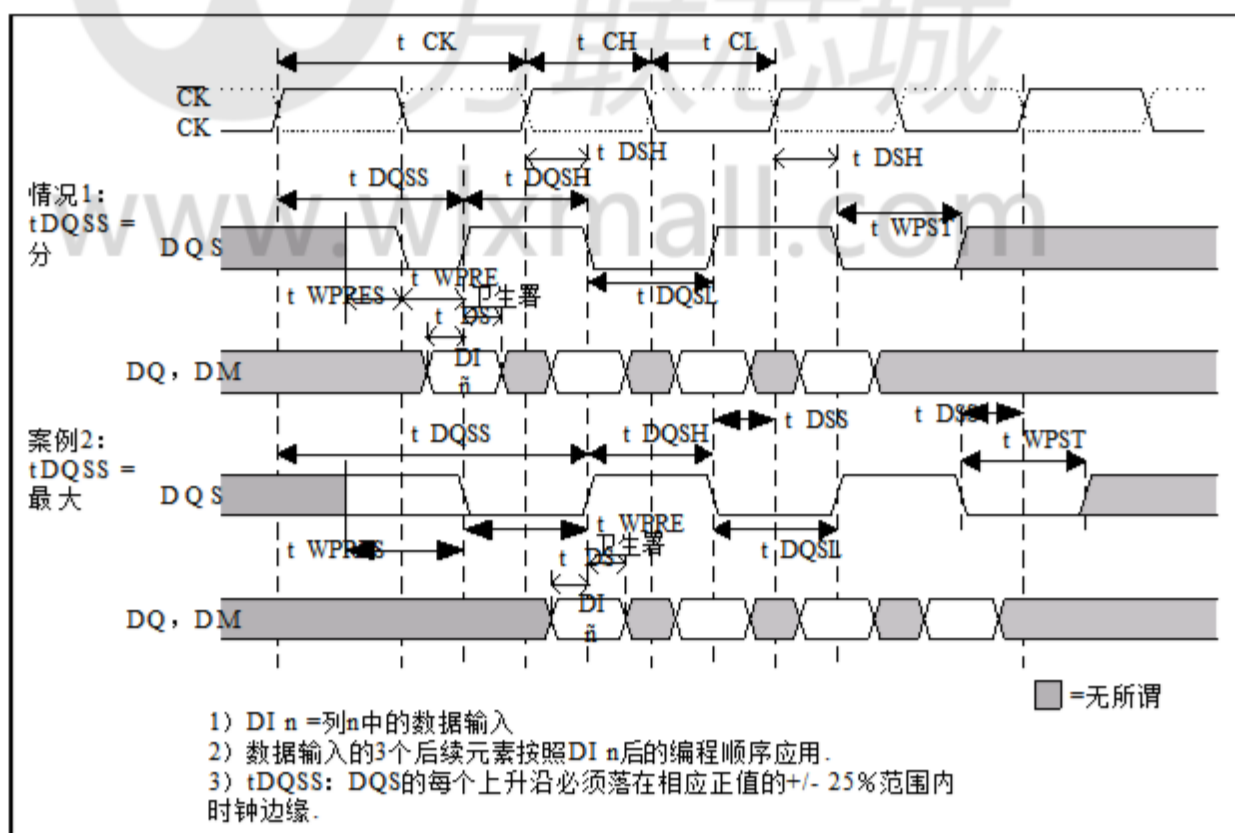
7.6.1 写命令



7.6.2 基本写时序参数

DQ的基本写入时序参数如下图所示;它们适用于所有写入操作。

出现在数据总线上的输入数据被写入出现DM输入逻辑电平的存储器阵列与数据一致。如果给定的DM信号被注册为低，相应的数据将被写入存储器；如果DM信号被注册为高电平，相应的数据输入将被忽略，并且不会执行写操作该字节/列的位置。



7.6.3 写突发 (最小和最大 t_{DQSS})

在写突发期间, 第一个有效的数据输入元素将在DQS的第一个上升沿之后进行注册

WRITE命令, 随后的数据元素将在DQS的连续边缘注册. 低状态

在写入命令和第一个上升沿之间的DQS被称为写入前导码, 并且低态开启

在最后一个数据输入元素之后的DQS被称为写后置码.

WRITE命令与DQS (t_{DQSS}) 的第一个相应上升沿之间的时间由a指定

相对较宽的范围 - 从一个时钟周期的75%到125%. 下图显示了a DQSS的两个极端情况

突发4, 在突发完成后, 假设没有其他命令已经启动, DQ将保持高阻态

并且任何其他输入数据都将被忽略.



7.6.4 写入写入

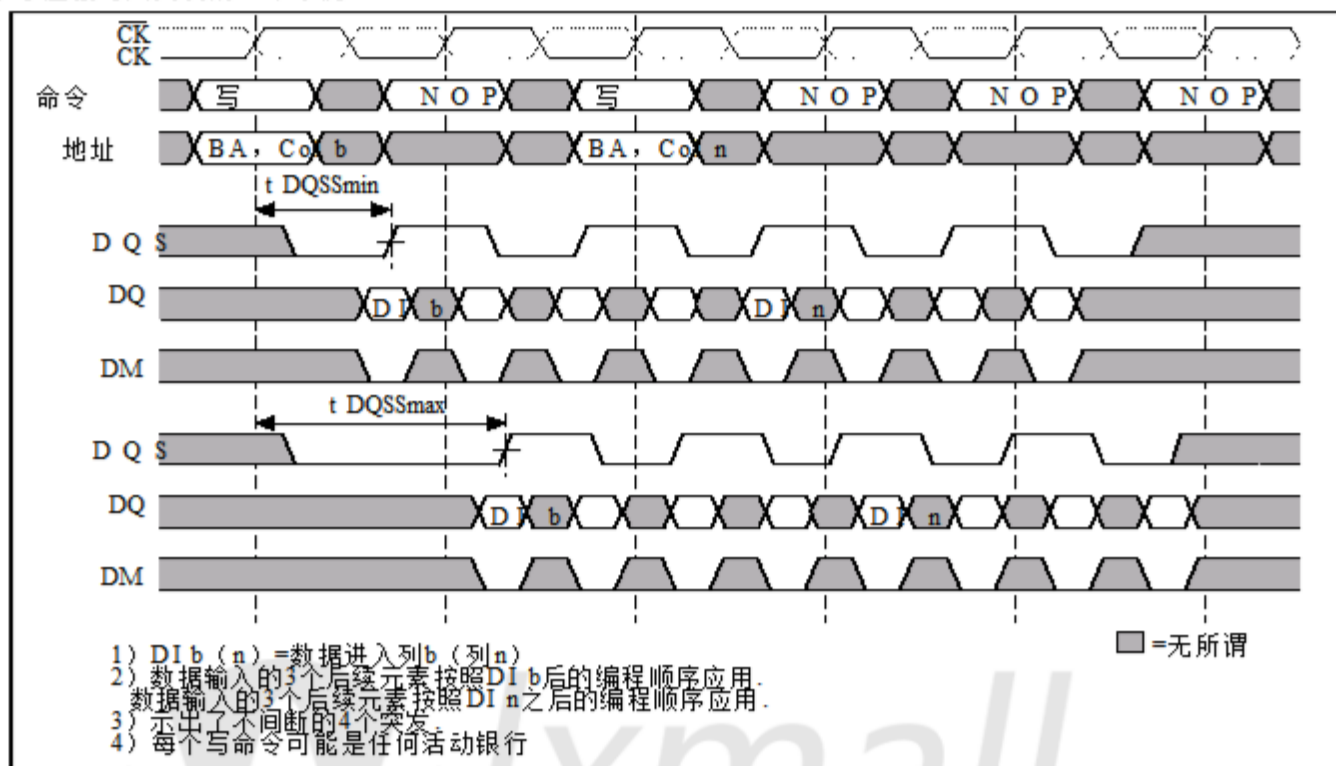
任何WRITE突发的数据可以与后续的WRITE命令串联或截断. 在任何一个情况下, 可以保持输入数据的连续流动. 新的WRITE命令可以在任何正面发出前一个WRITE命令之后的时钟沿.

来自新突发的第一个数据输入元素应用于完成突发的最后一个元素或最后一个元素之后被截短的较长突发的期望数据元素. 新的WRITE命令应该被发布X.

在第一个WRITE命令之后循环, 其中X等于所需数据输入元素对的数量.

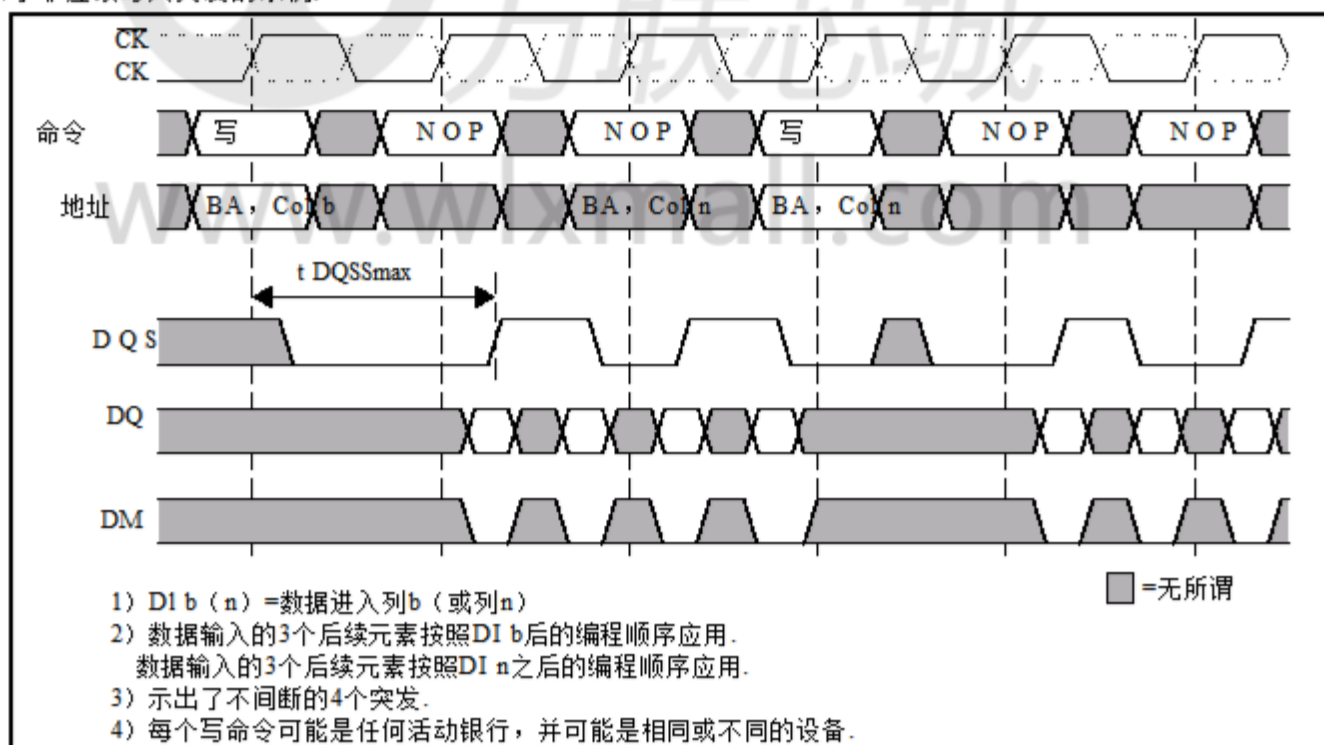
7.6.5 连续写入突发

下图显示了连接写入突发的一个示例。



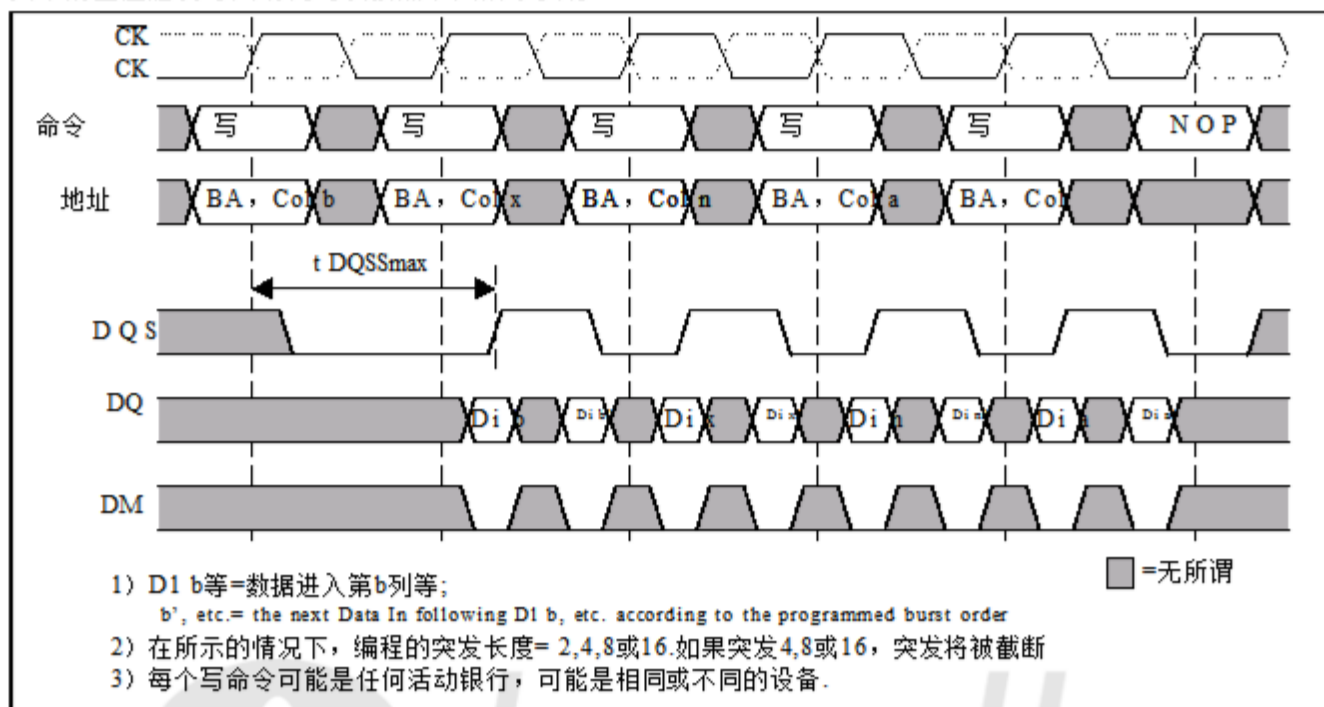
7.6.6 非连续写入突发

下图显示了非连续写入突发的示例。



7.6.7 随机写周期

一页或多页中的全速随机写入访问可以按照下图所示执行。

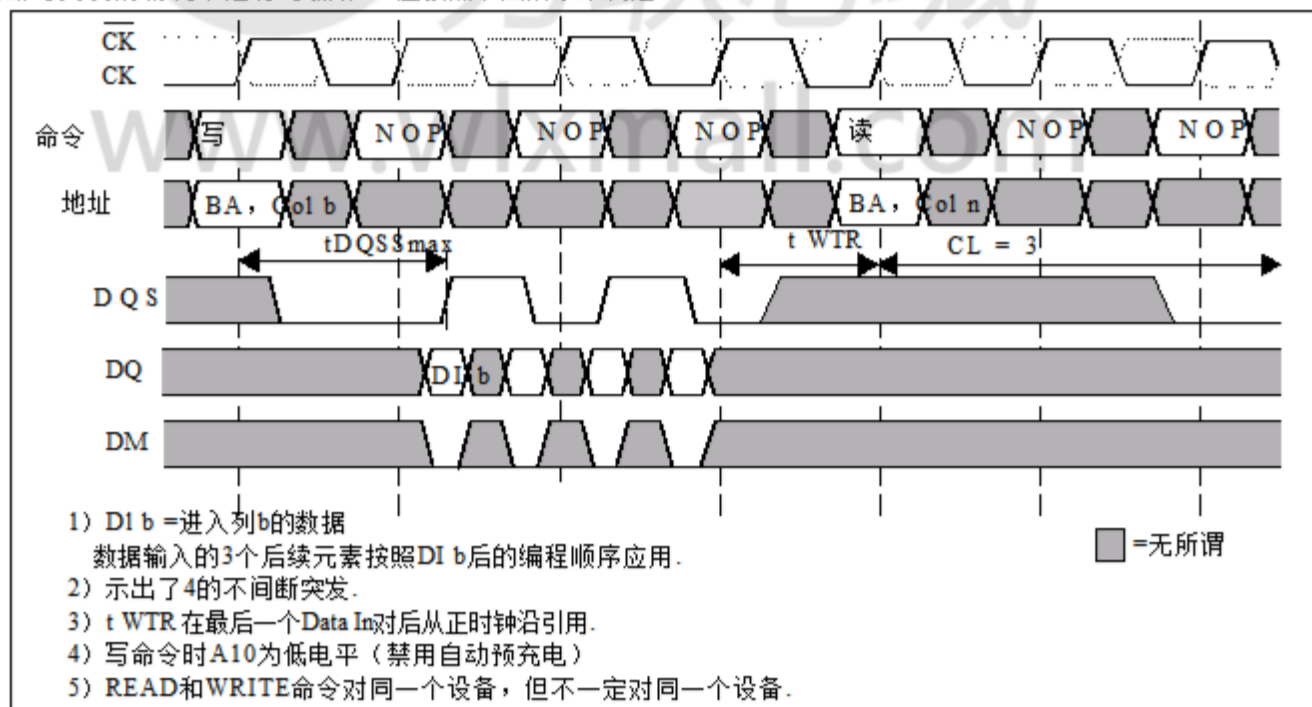


7.6.8 写入读取

任何写入突发的数据后面都可以跟随一个后续的读取命令。

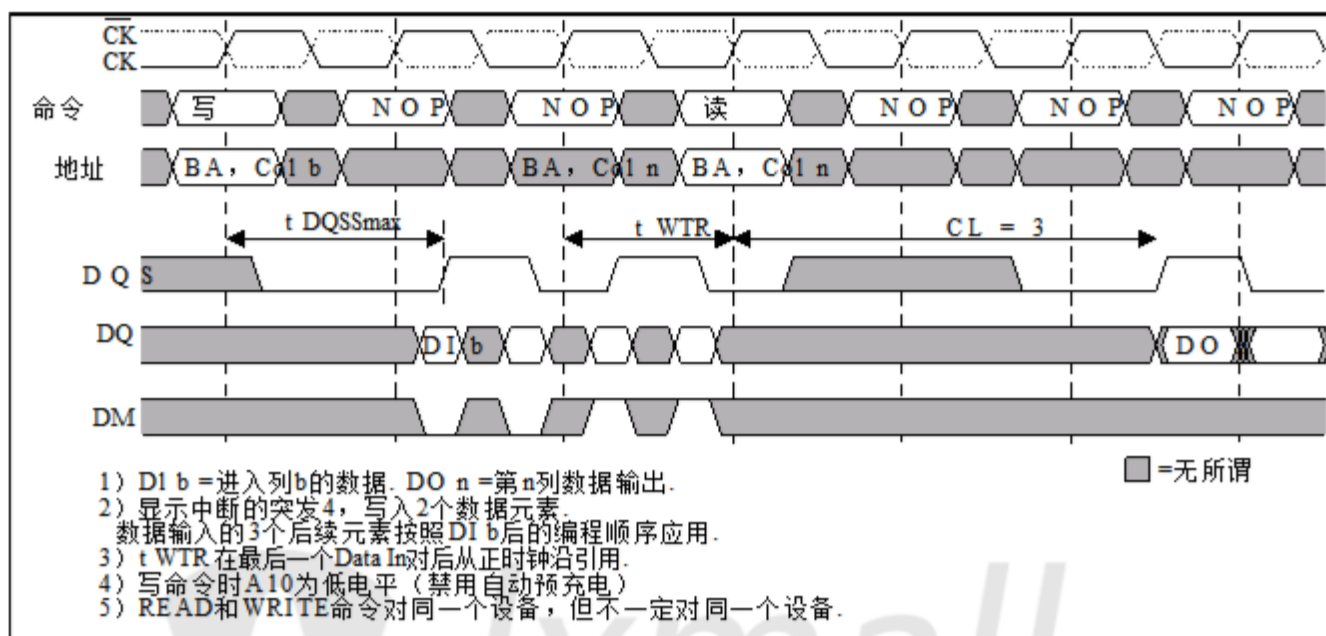
7.6.9 不中断写入读取

要在不截断写突发的情况下进行写操作, 应按下图所示来满足 t_{WTR} 。



7.6.10 中断写入读取

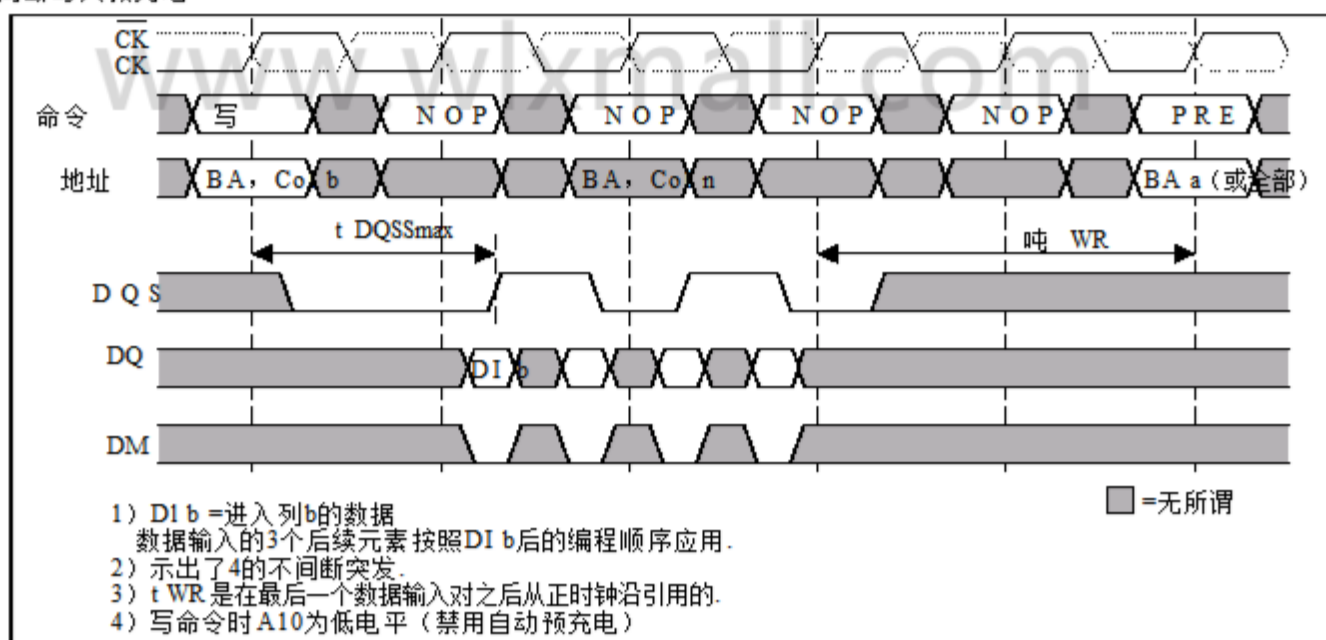
如下图所示，任何写入突发的数据都可能被后续的READ命令截断。注意在 t_{WTR} 周期之前注册的唯一数据输入对将被写入内部阵列以及随后的任何数据输入必须用DM屏蔽。



7.6.11 写入预充电

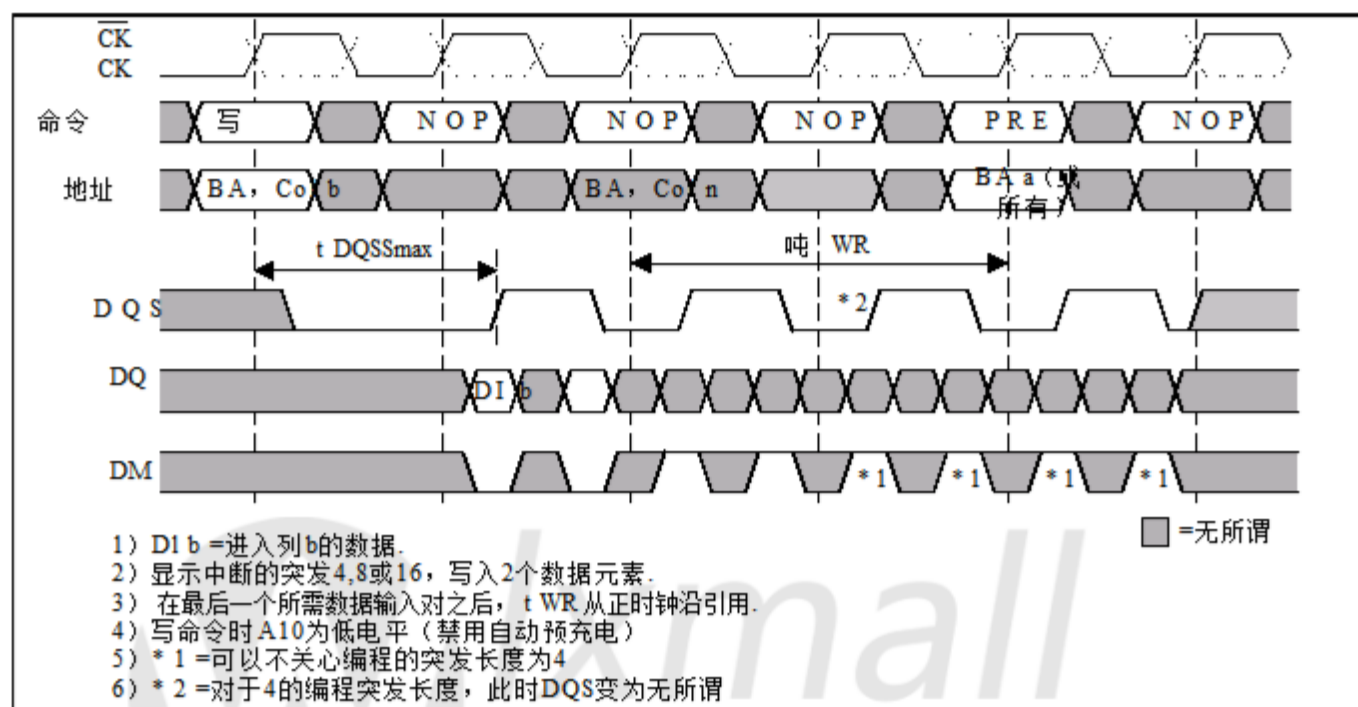
任何WRITE突发的数据后可以跟随一个后续的PRECHARGE命令到同一个bank (提供自动预充电未被激活). 要在不截断WRITE突发的情况下遵循WRITE, t_{WR} 应该满足如下图所示.

7.6.12 不间断写入预充电



7.6.13 中断写入预充电

任何WRITE突发数据可能会被后面的PRECHARGE命令截断，如下图所示。请注意，只有在 t_{WR} 周期之前注册的数据输入对才会写入内部阵列，而任何随后的数据输入应该用DM屏蔽，如图所示。遵循PRECHARGE命令，a 后续命令到同一家银行不能发出，直到满足 t_{RP} 。



7.7 预充电

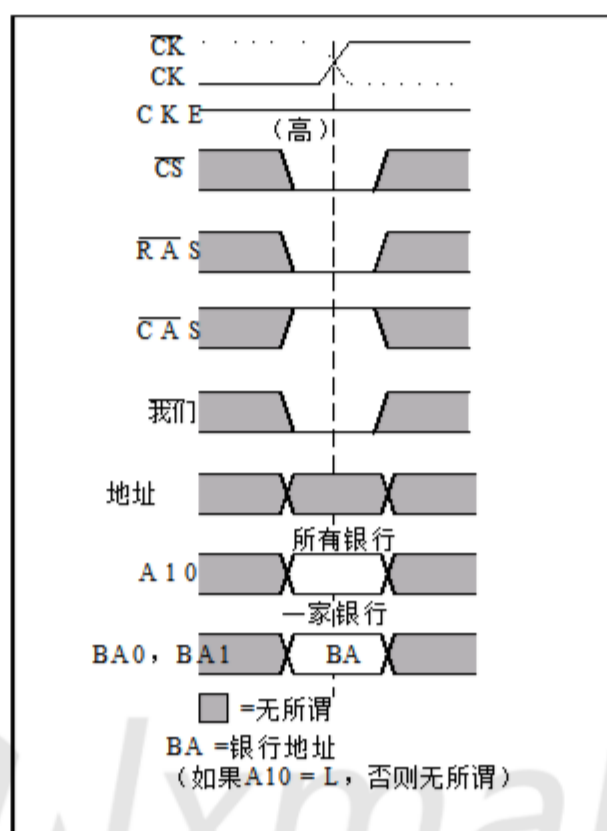
PRECHARGE 命令用于停用特定银行中的开放行或所有银行中的开放行。在 PRECHARGE 命令之后，银行将在指定的时间（ t_{RP} ）后续行访问发行。

输入 A10 决定是否预先对一个或所有的组进行预充电。在只有一家银行的情况下预充电，输入 BA0，BA1 选择银行。否则 BA0，BA1 被视为“不要照顾”。

一旦银行预充电，其处于空闲状态，并且必须在任何读或写之前被激活

命令正在发布。如果该银行没有开放行，或者如果，则 PRECHARGE 命令将被视为 NOP。先前打开的行已经处于预充过程中。

7.7.1 预充命令



7.8 自动预充电

自动预充电是执行与上述相同的单个组预充电功能的功能，但是而不需要明确的命令。这是通过使用 A10 (A10 = 高) 来实现自动预充电与特定的 READ 或 WRITE 命令结合使用。银行/行的预付款，与银行解决 READ 或 WRITE 命令在读或写突发完成时自动执行。自动预充电是对于每个 READ 或 WRITE 命令启用或禁用都是非持久性的。

自动预充电确保预充电在突发内的最早有效阶段启动。用户不得发出另一个命令到同一家银行，直到预先分配时间 (t_{RP}) 完成。这被确定为一个明确的 PRECHARGE 命令是在尽可能早的时候发布的，正如每个突发类型所描述的本规范的操作部分。

7.9 刷新要求

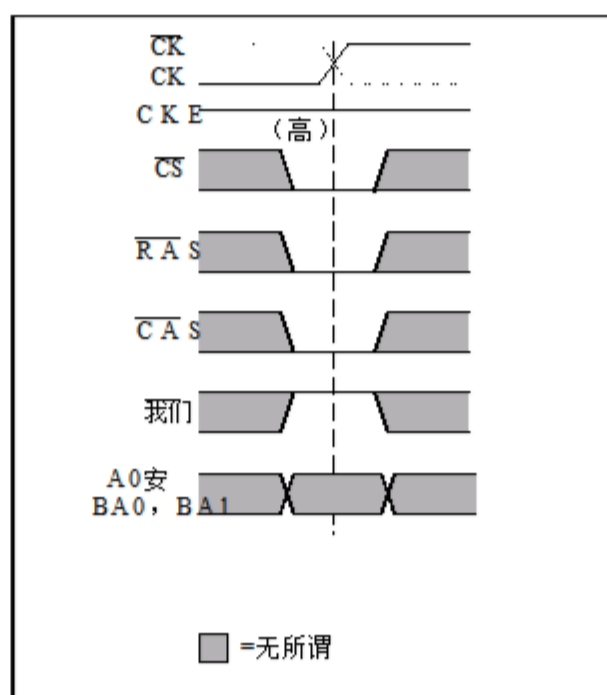
LPDDR SDRAM 设备要求以任何滚动 64ms 间隔刷新所有行。每个刷新都在一个中生成有两种方法：通过显式 AUTO REFRESH 命令，或通过 SELF REFRESH 模式中的内部定时事件。将设备行数分成滚动 64ms 间隔定义平均刷新间隔 (t_{REFI})，即分布式刷新时序的控制器指南。

7.10 自动刷新

在 LPDDR SDRAM 的正常操作期间使用 AUTO REFRESH 命令。该命令不是持久的，所以每次需要刷新时必须发出。

刷新寻址由内部刷新控制器生成。LPDDR SDRAM 需要 AUTO REFRESH 命令的平均周期间隔为 t_{REFI} 。

7.10.1 自动刷新命令



7.11 自我更新

SELF REFRESH命令可用于将数据保留在LPDDR SDRAM中，即使系统的其余部分是断电。处于自刷新模式时，LPDDR SDRAM保留数据而无需外部时钟。该

LPDDR SDRAM器件具有内置定时器以适应自刷新操作。**SELF REFRESH**命令

除了CKE为低电平以外，像**AUTO REFRESH**命令一样启动。除CKE之外的输入信号是“不要在意”。

在自我刷新期间，在**SELF REFRESH**命令之后，用户可以在一个时钟后暂停外部时钟注册。

一旦该命令被注册，CKE必须保持低电平以保持器件处于自刷新模式。时钟是

在自我刷新操作期间内部禁用以节省电力。设备必须保持的最短时间是

自刷新模式是 **RFC**。

退出**Self Refresh**的过程需要一系列命令。首先，时钟必须稳定之前

CKE回归高位。一旦自刷新退出被注册，在有效之前必须满足至少 **t_{XS}** 的延迟

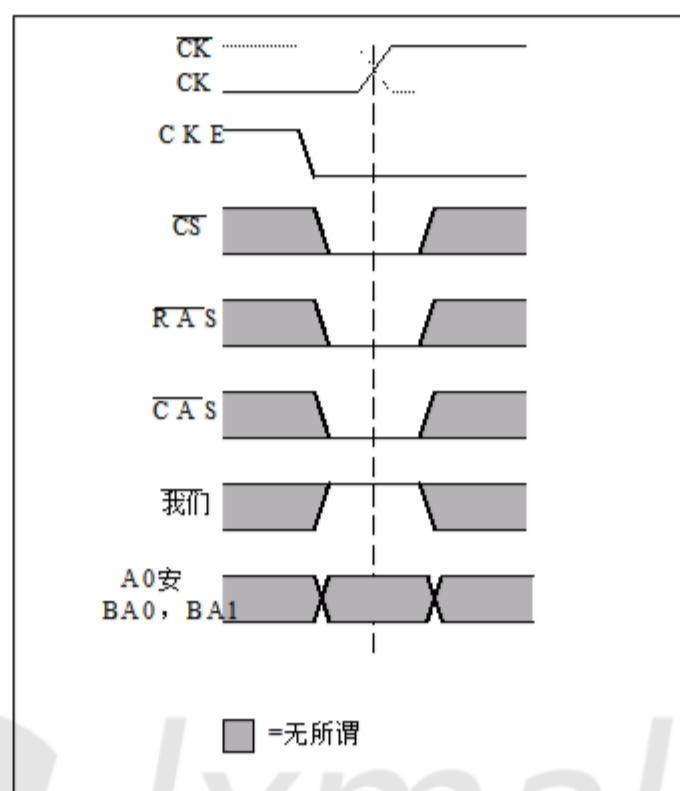
命令可以发送到设备以允许完成正在进行的任何内部刷新。

自刷新模式的使用引入了在内部定时刷新事件可能会被错过的可能性

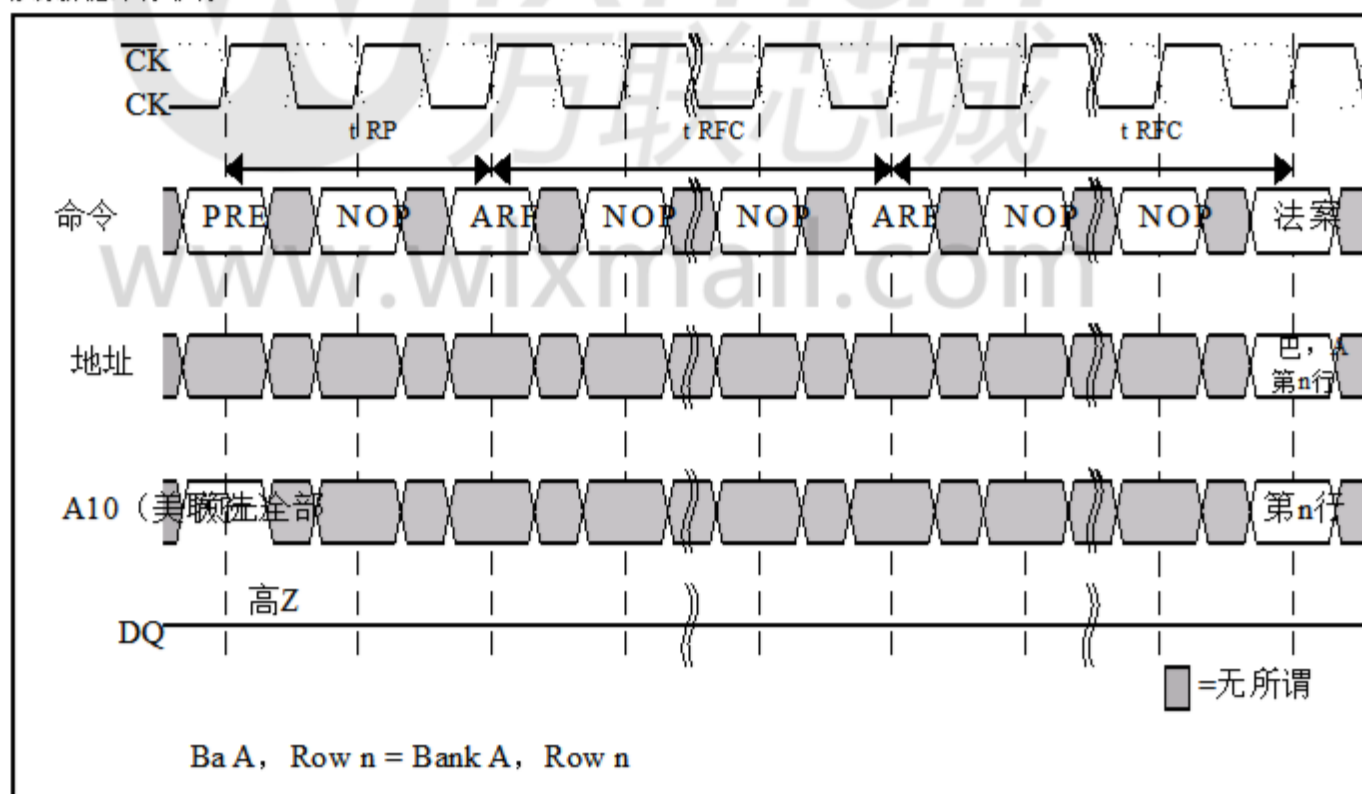
引发CKE以退出**Self Refresh**模式。退出**Self Refresh**后，会有一个额外的**AUTO REFRESH**命令推荐的。

在自刷新模式下，还有一个节能选项：部分阵列自刷新（**PASR**）；它被描述在扩展模式寄存器部分。

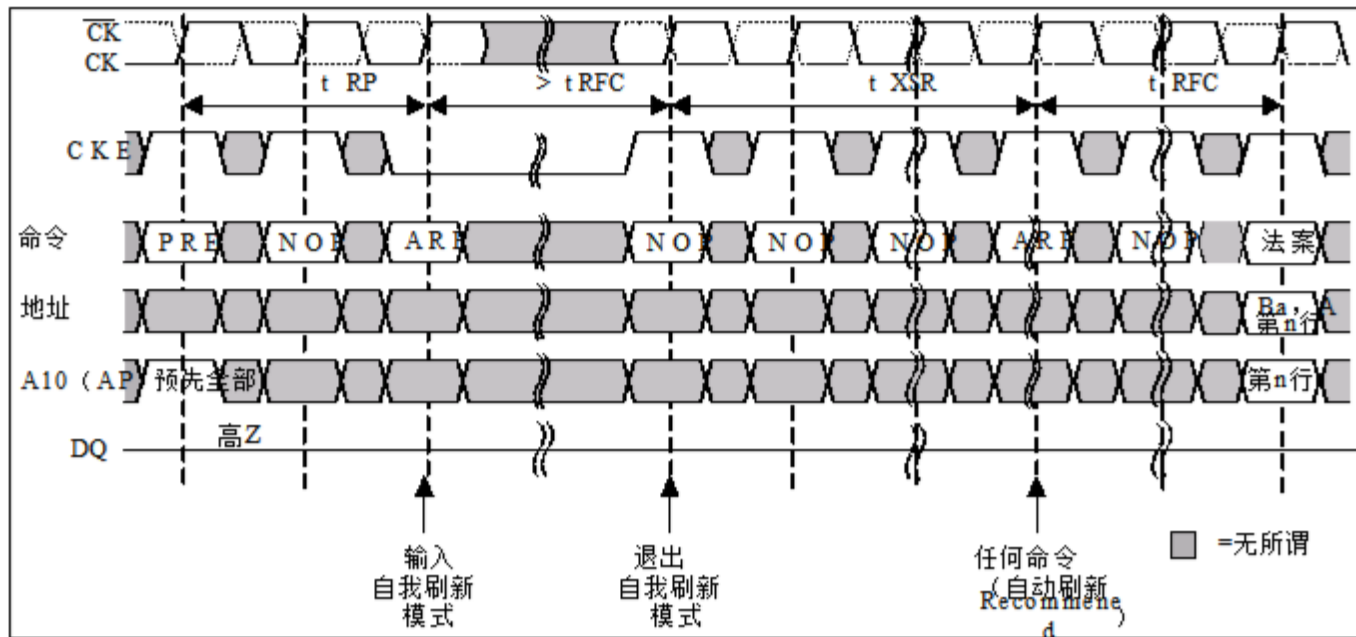
7.11.1 自刷新命令



7.11.2 自动刷新循环背靠背



7.11.3 自刷新进入和退出



7.12 掉电

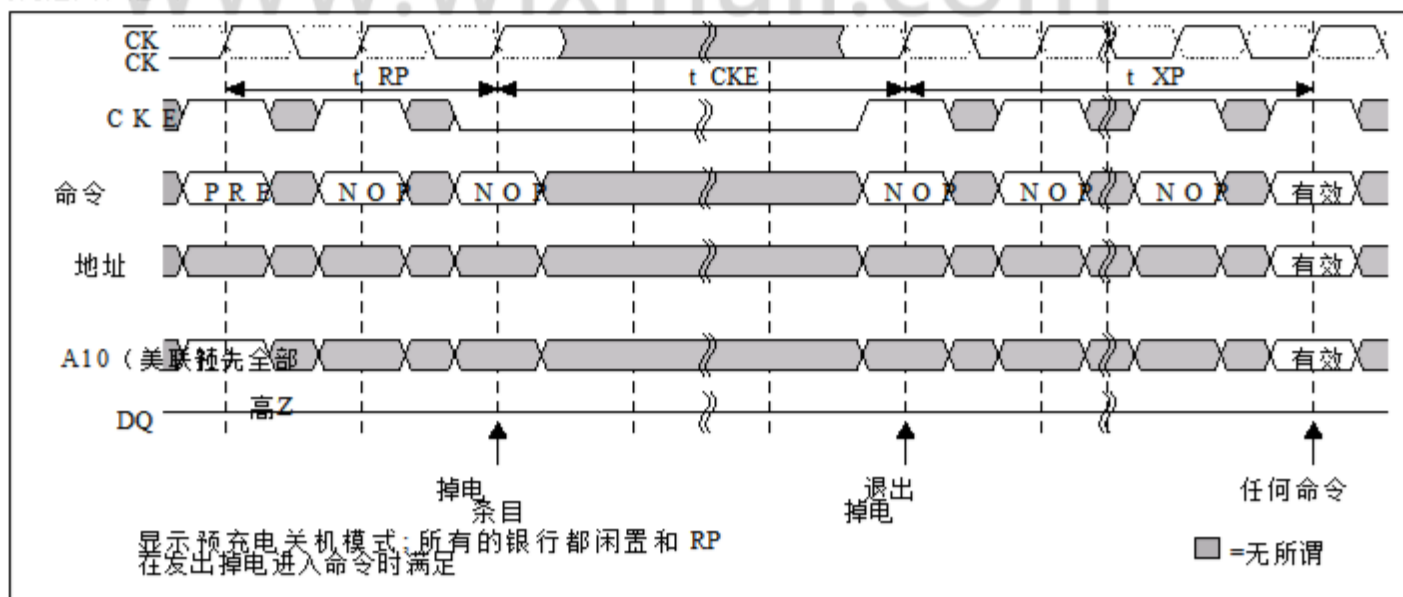
当CKE注册为低电平时（不进行访问），进入掉电模式。如果掉电时发生所有银行都闲置，这种模式被称为预充电掉电；如果在有一行时发生掉电活跃在任何银行，这种模式被称为主动关机。

进入掉电关闭输入和输出缓冲器，不包括CK，CK和CKE。在关机模式下，必须保持CKE低电平，并且所有其他输入信号都是“不要在意”。最小关机时间是由 t_{CKE} 指定。但是，关机时间受设备更新要求的限制。

当CKE被注册为高电平时（与NOP或DESELECT一起，掉电状态被同步退出命令）。关闭电源后，可以应用有效的命令。

关于掉电模式下的时钟停止，请参考本说明书中的时钟停止子部分。

7.12.1 关闭进入和退出



7.13 深度掉电

深度掉电 (DPD) 模式可实现非常低的待机电流。内部所有内部电压发生器 LPDDR SDRAM 停止，所有内存数据在此模式下丢失。模式寄存器中的所有信息扩展模式寄存器丢失。

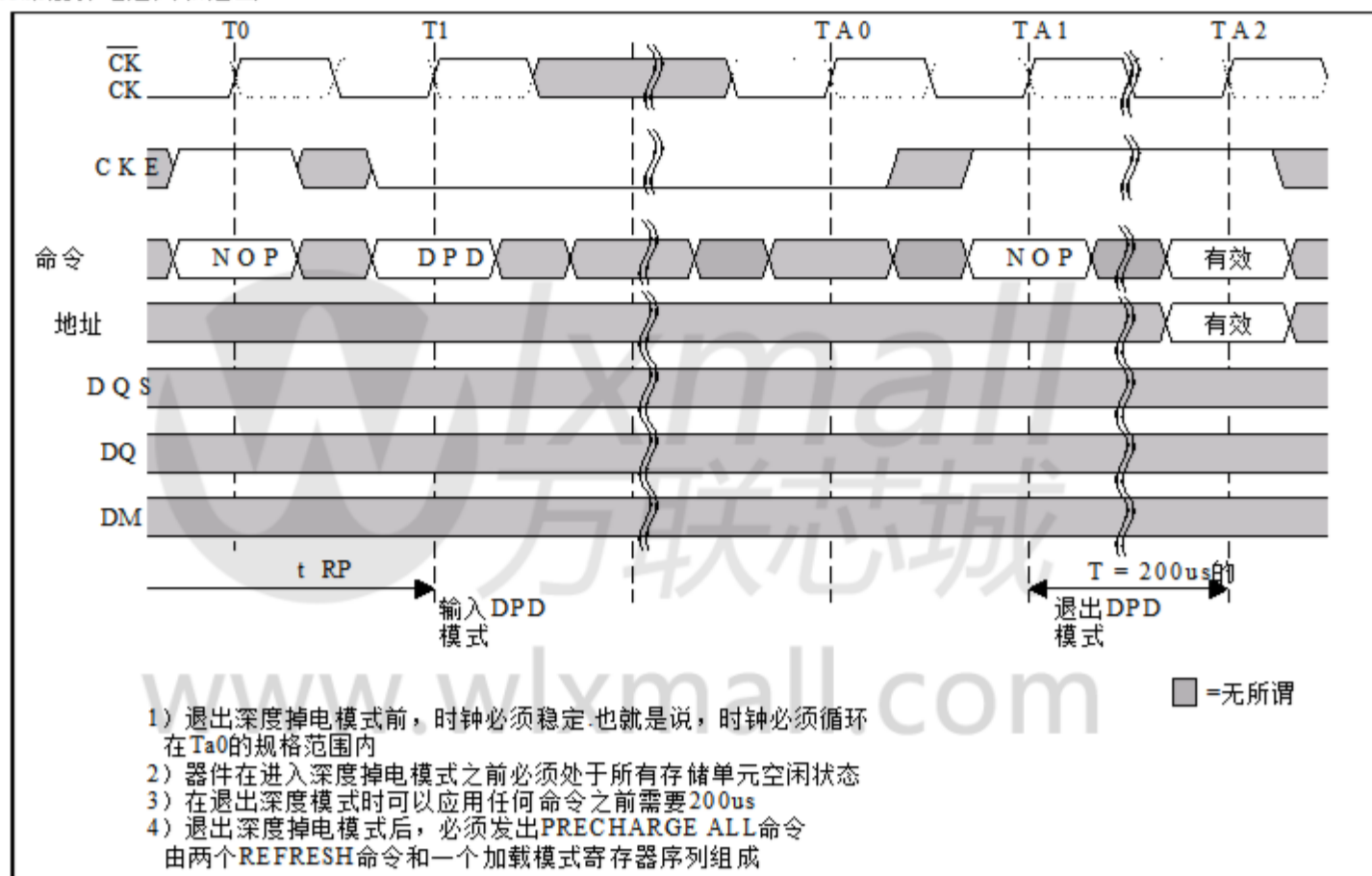
使用 **BURST TERMINATE** 命令输入深度掉电

除了 CKE 被注册为低电平，所有

在进入 DPD 模式之前，银行必须处于空闲状态而数据总线上没有任何活动。在这种状态下，CKE 必须保持在恒定的低状态。

要退出 DPD 模式，时钟稳定后 CKE 变为高电平，并且必须将 NOP 命令保持为至少 200 微秒。在 200 μ s 后，按照定义的步骤 4 到步骤 11 完成重新初始化初始化序列。

7.13.1 深度掉电进入和退出



7.14 时钟停止

在空闲期间停止时钟是降低功耗的有效方法。

在以下情况下，LPDDR SDRAM支持时钟停止：

- ⇒ 最后一个命令（ACTIVE，READ，WRITE，PRECHARGE，AUTO REFRESH或MODE REGISTER SET）有执行完成，包括读突发期间的任何数据输出；每次访问的时钟脉冲数命令d 依赖于设备的交流定时参数和时钟频率；
- ⇒ 相关时序条件（ t_{RCD} ， t_{WR} ， t_{RP} ， t_{RFC} ， t_{MRD} ）已满足；
- ⇒ CKE被保持为高

当所有条件都满足时，器件处于“空闲状态”或“行激活状态”和时钟停止模式

可能会以CK持有低和CK持有高位进入。

时钟停止模式通过重新启动时钟退出。在下一次之前至少要发出一条NOP命令

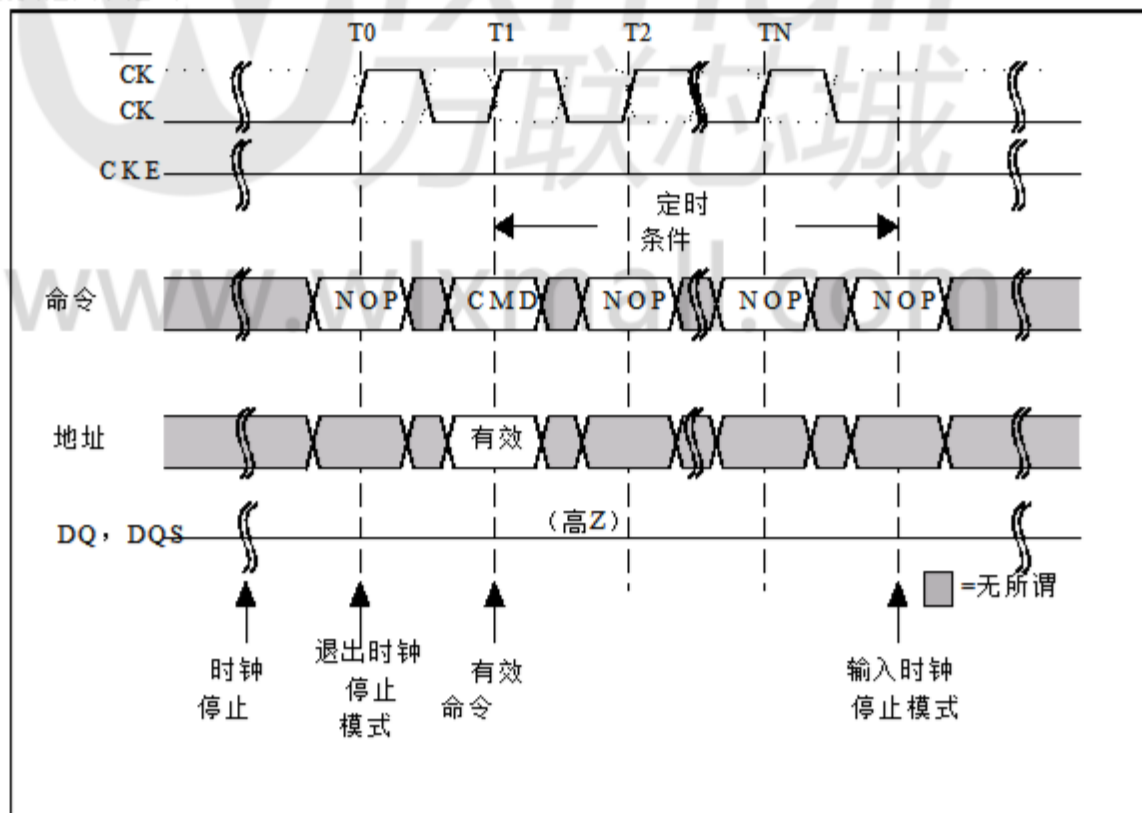
访问命令可能被应用。取决于系统，可能需要额外的时钟脉冲

特点。

下图显示了时钟停止模式的进入和退出。

- ⇒ 最初设备处于时钟停止模式
- ⇒ 时钟通过T0的上升沿和命令输入的NOP重新启动
- ⇒ 在T1中，有效的访问命令被锁存；此命令后面跟着NOP命令以便允许此访问命令完成后，时钟停止
- ⇒ Tn是与T1锁存的访问命令所需的最后一个时钟脉冲
- ⇒ 时钟可以在Tn之后停止

7.14.1 时钟停止模式进入和退出





8. 电气特性

8.1 绝对最大额定值

参数	符号	VALUES		单位
		MIN	MAX	
VDD上的电压相对于VSS	VDD	-0.3	2.7	V
VDDQ上的电压相对于VSS	VDDQ	-0.3	2.7	V
任何引脚上的电压都相对于VSS	VIN, VOUT	-0.3	2.7	V
操作箱温度	TC	-25 -40	85 85	°C
储存温度	TSTG	-55	150	°C
短路输出电流	IOUT		±50	mA
功耗	PD		1.0	W

8.2 输入/输出电容

参数	符号	MIN	MAX	单位	笔记
输入电容, CK, CK	CCK	1.5	3.0	pF的	
输入电容增量, CK, CK	CDCK		0.25	pF的	
输入电容, 所有其他仅用于输入的引脚	CI	1.5	3.0	pF的	
输入电容增量, 所有其他输入引脚	CDI		0.5	pF的	
输入/输出电容, DQ, DM, DQS	CIO	3.0	5	pF的	4
输入/输出电容增量, DQ, DM, DQS	CDIO		0.50	pF的	4

笔记:

1. 这些值由设计保证, 仅在样本库上进行测试.
2. 这些电容值仅适用于单个单片器件. 多芯片封装将具有并联电容负载.
3. 虽然DM是仅输入引脚, 但该引脚的输入电容必须模拟DQ和DQS引脚的输入电容. 这是需要匹配系统中DQ, DQS和DM的信号传播时间.



8.3电气特性和AC / DC工作条件

除非另有说明，所有数值均为推荐的操作条件

8.3.1电气特性和AC / DC工作条件

参数/条件	符号	MIN	MAX	单位	笔记
电源电压	VDD	1.70	1.95	V	
I / O电源电压	VDDQ	1.70	1.95	V	
地址和命令输入 (A0~An, BA0, BA1, CKE, $\overline{\text{CS}}$, $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{WE}}$)					
输入高电压	VIH	$0.8 * \text{VDDQ}$	$\text{VDDQ} + 0.3$	V	
输入低电压	VIL	-0.3	$0.2 * \text{VDDQ}$	V	
时钟输入 (CK, $\overline{\text{CK}}$)					
直流输入电压	VIN	-0.3	$\text{VDDQ} + 0.3$	V	
直流输入差分电压	VID (DC)	$0.4 * \text{VDDQ}$	$\text{VDDQ} + 0.6$	V	2
交流输入差分电压	VID (AC)	$0.6 * \text{VDDQ}$	$\text{VDDQ} + 0.6$	V	2
交流差分交叉电压	VIX	$0.4 * \text{VDDQ}$	$0.6 * \text{VDDQ}$	V	3
数据输入 (DQ, DM, DQS)					
直流输入高电压	VIHD (DC)	$0.7 * \text{VDDQ}$	$\text{VDDQ} + 0.3$	V	
直流输入低电压	VILD (DC)	-0.3	$0.3 * \text{VDDQ}$	V	
交流输入高电压	VIHD (AC)	$0.8 * \text{VDDQ}$	$\text{VDDQ} + 0.3$	V	
交流输入低电压	VILD (AC)	-0.3	$0.2 * \text{VDDQ}$	V	
数据输出 (DQ, DQS)					
直流输出高电压 (IOH = -0.1mA)	VOH	$0.9 * \text{VDDQ}$	-	V	
直流输出低电压 (IOL = 0.1mA)	VOL	-	$0.1 * \text{VDDQ}$	V	
泄漏电流					
输入漏电流	IIL	-1	1	微安	
输出泄漏电流	人工晶体	-5	五	微安	

笔记:

1. 所有参考VSS和VSSQ的电压必须相同.
2. VID (直流) 和VID (交流) 是CK和输入电平之差的大小
3. VIX的值预计为 $0.5 * \text{VDDQ}$, 并且必须跟踪直流电平的变化.

$\overline{\text{CK}}$.



8.4 IDD规格参数和测试条件

8.4.1 IDD规格参数和测试条件

[推荐工作条件;注1-3]

(256Mb, X16)

参数	符号	测试条件	-5	- 6	- 75	单元
操作一个银行主动 - 预充电当前	IDD0	$t_{RC} = t_{RCmin}$; $t_{CK} = t_{CKmin}$; CKE高; $\overline{CS}$ 为高; 之间 有效 命令; 地址 输入 是 交换;数据总线输入稳定	40	38	35	嘛
预充电掉电待机电流	IDD2P	所有银行闲置, CKE为低; $\overline{CS}$ 为高电平, $t_{CK} = t_{CKmin}$;地址和控制输入交换;数据总线输入稳定	低功率	0.3	0.3	嘛
			正常功率	0.4	0.4	
预充电掉电待机电流与时钟停止	IDD2PS	所有银行闲置, CKE为低; $\overline{CS}$ 为高电平, $CK =$ 低, $\overline{CK} =$ 高;地址和控制输入正在开关;数据总线输入稳定	低功率	0.3	0.3	嘛
			正常功率	0.4	0.4	
预充电非掉电待机电流	IDD2N	所有银行闲置, CKE为高; $\overline{CS}$ 为高电平, $t_{CK} = t_{CKmin}$;地址和控制输入为SWITCHING;数据总线输入是稳定的	10	10	10	嘛
预充电非掉电待机电流与时钟停止	IDD2NS	所有银行闲置, CKE为高; $\overline{CS}$ 为高电平, $CK =$ 低电平, $\overline{CK} =$ 高; 地址 和 控制 输入 是 交换;数据总线输入稳定	3	3	3	嘛
有源电力 - 停机待命当前	IDD3P	一家银行活跃, CKE为低; $\overline{CS}$ 为高电平, $t_{CK} = t_{CKmin}$;地址和控制输入为SWITCHING;数据总线输入稳定	3	3	3	嘛
有源电力 - 停机待命目前与时钟停止	IDD3PS	一家银行活跃, CKE为低; $\overline{CS}$ 为高电平, $CK =$ 低电平, $\overline{CK} =$ 高; 地址 和 控制 输入 是 交换;数据总线输入稳定	3	3	3	嘛
活跃的非掉电待机电流	IDD3N	一个银行活跃, CKE为高; $\overline{CS}$ 为高电平, $t_{CK} = t_{CKmin}$;地址和控制输入为SWITCHING;数据总线输入稳定	25	20	20	嘛
活跃的非掉电待机电流与时钟停止	IDD3NS	一个银行活跃, CKE为高; $\overline{CS}$ 为高电平, $CK =$ 低电平, $\overline{CK} =$ 高; 地址 和 控制 输入 是 交换;数据总线输入稳定	15	12	12	嘛
操作爆裂读电流	IDD4R	一家银行活跃 $BL = 4$; $CL = 3$; $t_{CK} = t_{CKmin}$;连续读取连发; $I_{OUT} = 0mA$;地址输入是交换; 50% 数据更改每个突发传输	75	70	70	嘛
操作爆裂写电流	IDD4W	一家银行活跃 $BL = 4$; $t_{CK} = t_{CKmin}$;连续写阵阵;地址输入是SWITCHING; 50% 的数据变化每个突发传输	55	50	50	嘛
自动刷新当前	IDD5	$t_{RC} = t_{RFCmin}$; $t_{CK} = t_{CKmin}$;爆裂刷新; CKE是高;地址和控制输入为SWITCHING;数据总线输入稳定	50	50	50	嘛
深度电源 - 降低电流	IDD8 (4)	地址和控制输入稳定;数据总线输入稳定	10	10	10	微安



(256Mb, X32)

参数	符号	测试条件	-5	-6	-75	单元
操作一个银行主动 - 预充电当前	IDD0	$t_{RC} = t_{RCmin}$; $t_{CK} = t_{CKmin}$; CKE高; $\overline{CS}$ 是 在有效命令之间为高; 地址输入是 交换; 数据总线输入稳定	40	38	35	嘛
预充电 掉电 待机电流	IDD2P	所有银行闲置, CKE为低; $\overline{CS}$ 高, $t_{CK} = t_{CKmin}$; 地址和控制输入 交换; 数据总线输入稳定	低 功率 0.3 正常 功率 0.4	0.3 0.4	0.3 0.4	嘛
预充电 掉电 待机电流 与时钟停止	IDD2PS	所有银行闲置, CKE为低; $\overline{CS}$ 是高, CK = LOW, $\overline{CK} =$ 高; 地址和控制 输入是 SWITCHING; 数据总线输入是 稳定	低 功率 0.3 正常 功率 0.4	0.3 0.4	0.3 0.4	嘛
预充电非 掉电 待机电流	IDD2N	所有银行闲置, CKE为高; $\overline{CS}$ 为高电平, $t_{CK} =$ t_{CKmin} ; 地址和控制输入为 SWITCHING; 数据总线输入稳定	10	10	10	嘛
预充电非 掉电 待机电流 与时钟停止	IDD2NS	所有银行闲置, CKE为高; $\overline{CS}$ 为高电平, CK = 低电平, $\overline{CK} =$ 高; 地址 和 控制 输入 是 交换; 数据总线输入稳定	3	3	3	嘛
有源电力 - 待机待命 当前	IDD3P	一家银行活跃, CKE为低; $\overline{CS}$ 为高电平, $t_{CK} =$ t_{CKmin} ; 地址和控制输入为 SWITCHING; 数据总线输入稳定	3	3	3	嘛
有源电力 - 待机待命 目前与时钟 停止	IDD3PS	一家银行活跃, CKE为低; $\overline{CS}$ 为高电平, CK = 低电平, $\overline{CK} =$ 高; 地址 和 控制 输入 是 交换; 数据总线输入稳定	3	3	3	嘛
活跃的非 掉电 待机电流	IDD3N	一个银行活跃, CKE为高; $\overline{CS}$ 为高电平, $t_{CK} =$ t_{CKmin} ; 地址和控制输入为 SWITCHING; 数据总线输入稳定	25	20	20	嘛
活跃的非 掉电 待机电流 与时钟停止	IDD3NS	一个银行活跃, CKE为高; $\overline{CS}$ 为高电平, CK = 低, $\overline{CK} =$ 高; 地址和控制输入 交换; 数据总线输入稳定	15	12	12	嘛
操作爆裂 读电流	IDD4R	一家银行活跃 BL = 4; CL = 3; $t_{CK} = t_{CKmin}$; 连续读取连发; IOU = 0mA; 地址输入是 交换; 50% 数据更改每个突发传输	75	70	70	嘛
操作爆裂 写电流	IDD4W	一家银行活跃 BL = 4; $t_{CK} = t_{CKmin}$; 连续写 阵阵; 地址输入是 SWITCHING; 50% 的数据 更改每个突发传输	55	50	50	嘛
自动刷新 当前	IDD5	$t_{RC} = t_{RFCmin}$; $t_{CK} = t_{CKmin}$; 爆裂刷新; CKE是 高; 地址和控制输入为 SWITCHING; 数据 总线输入稳定	50	50	50	嘛
深度电源 - 降低电流	IDD8 (4)	地址和控制输入稳定; 数据总线输入 稳定	10	10	10	微安

笔记:

1. IDD规格在设备正确初始化后进行测试。
2. 输入转换速率为 $1V / ns$ 。
3. IDD的定义:
LOW定义为 $V_{IN} \leq 0.1 * V_{DDQ}$; HIGH定义为 $V_{IN} \geq 0.9 * V_{DDQ}$; 稳定定义为输入稳定在高电平或低电平;
SWITCHING被定义为:
- 地址和命令: 每两个时钟周期一次在高电平和低电平之间切换一次;
- 数据总线输入: DQ每个时钟周期在高电平和低电平之间变化一次; DM和DQS稳定。
4. IDD8是25的典型值 $^{\circ}C$ 。



IDD6条件：

IDD6	低电里		正常功率		单位
TCSR范围	45℃	85℃	45℃	85℃	微安
全阵列	200	300	250	400	
1/2阵列	170	250	200	300	
1/4阵列	150	220	180	250	

笔记：

- 1.打开输出测量.
- 2.可以支持内部TCSR.





8.5 AC时间

[推荐使用条件：注释1-9]

参数	符号	- 5		- 6		- 75		单元	笔记
		MIN	MAX	MIN	MAX	MIN	MAX		
DQ输出访问时间 从CK / CK	CL=3 CL=2	的tAC	2.0 2.0	5 6.5	2.0 2.0	5 6.5	2.0 2.0	6 6.5	NS
DQS输出访问时间从CK / CK	CL=3 CL=2		2.0 2.0	5 6.5	2.0 2.0	5 6.5	2.0 2.0	6 6.5	NS
时钟高级宽度	总胆固醇	0.45	0.55	0.45	0.55	0.45	0.55	个tCK	
时钟低电平宽度	TCL	0.45	0.55	0.45	0.55	0.45	0.55	个tCK	
时钟半钟	THP	敏 (tCL, tCH)		敏 (tCL, tCH)		敏 (tCL, tCH)		NS	10, 11
时钟周期时间	CL=3 CL=2	个tCK	五 12		6 12		7.5 12	NS NS	12 12
DQ和DM输入设置 时间	快速 慢		0.48 0.58		0.6 0.7		0.8 0.9	NS NS	13, 14, 15 13, 14, 16
DQ和DM输入保持时间	快速 慢	TDH	0.48 0.58		0.6 0.7		0.8 0.9	NS NS	13, 14, 15 13, 14, 16
DQ和DM输入脉冲宽度	tDIPW		1.6		1.6		1.8	NS	17
地址和控制输入 设置时间	快速 慢	TIS	0.9 1.1		1.1 1.3		1.3 1.5	NS NS	15, 18 16, 18
地址和控制输入 保持时间	快速 慢		0.9 1.1		1.1 1.3		1.3 1.5	NS NS	15, 18 16, 18
地址和控制输入脉冲宽度	tIPW		2.3		2.6		2.6	NS	17
DQ&DQS低阻抗时间从 CK / CK	TLZ		1.0		1.0		1.0	NS	19
DQ&DQS高阻抗 时间从CK / CK	CL=3 CL=2	太赫兹		5 6.5		5 6.5		6 6.5	NS
DQS-DQ歪斜	TDQSQ			0.4		0.5		0.6	NS
DQ / DQS输出保持时间来自DQS	TQH	THP-TQHS			THP-TQHS		THP-TQHS	NS	11
数据保持偏斜因子	TQHS		0.5		0.65		0.75	NS	11
将命令写入第一个DQS锁存 过渡	tDQSS		0.75	1.25	0.75	1.25	0.75	1.25	个tCK
DQS输入高级宽度	tDQSH		0.4	0.6	0.4	0.6	0.4	0.6	个tCK
DQS输入低电平宽度	tDQSL		0.4	0.6	0.4	0.6	0.4	0.6	个tCK
DQS下降到CK建立时间	TDSS		0.2		0.2		0.2		个tCK
DQS从CK下降沿保持时间	tDSH		0.2		0.2		0.2		个tCK
MODE REGISTER SET命令 期	超过tMRD		2		2		2		个tCK

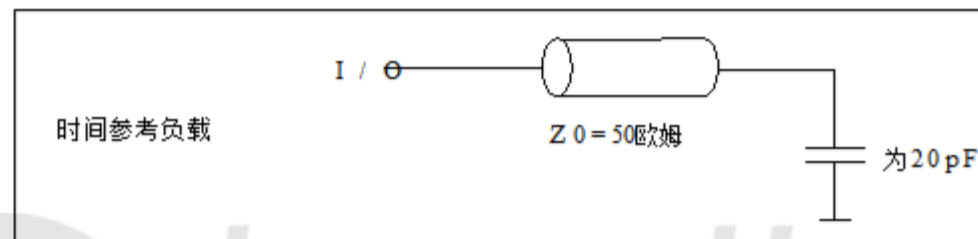


256Mb移动LPDDR

参数		符号	- 5		- 6		- 75		单元	笔记
			MIN	MAX	MIN	MAX	MIN	MAX		
写前导码设置时间		tWPRES	0		0		0		NS	21
写postamble		tWPST	0.4	0.6	0.4	0.6	0.4	0.6	个tCK	22
编写序言		tWPRE	0.25		0.25		0.25		个tCK	
阅读序言	CL = 3	tRPRE	0.9	1.1	0.9	1.1	0.9	1.1	个tCK	23
	CL = 2		0.5	1.1	0.5	1.1	0.5	1.1	个tCK	23
阅读后文		tRPST	0.4	0.6	0.4	0.6	0.4	0.6	个tCK	
ACTIVE以PRECHARGE命令期		tRAS的	40	70000	42	70000	45	70000	NS	
ACTIVE到ACTIVE命令周期		的tRC	tRAS的+ 激进党		tRAS的+ 激进党		tRAS的+ 激进党		NS	
自动刷新到主动/自动REFRESH指令期间		tRFC的	72		72		72		NS	
活动到读取或写入延迟		的tRCD	15		18		22.5		NS	
PRECHARGE指挥期		激进党	3		3		3		个tCK	
主动银行A到主动银行B延迟		TTRD	10		12		15		NS	
写恢复时间		tWR的	15		15		15		NS	24
自动预充电写恢复+预充电时间		tDAL	-		-		-		个tCK	25
内部写入读命令延迟		tWTR	2		2		1		个tCK	
自我刷新退出到下一个有效的命令延迟		TXSR	120		120		120		NS	26
关闭电源到下一个有效的命令延迟		TXP	2		1		1		个tCK	27
CKE分钟.脉冲宽度(高和低脉宽)		tCKE	1		1		1		个tCK	
刷新周期		TREF		64		64		64	女士	
平均周期性刷新间隔(x16)		的tREFI		7.8		7.8		7.8	微秒	28,29
平均周期性刷新间隔(x32)		的tREFI		15.6		15.6		15.6	微秒	28,29
MRR供SRR阅读		TSRR	2		2		2		个tCK	
读取SRR到下一个有效的命令		台橡	CL + 1		CL + 1		CL + 1		个tCK	

笔记：

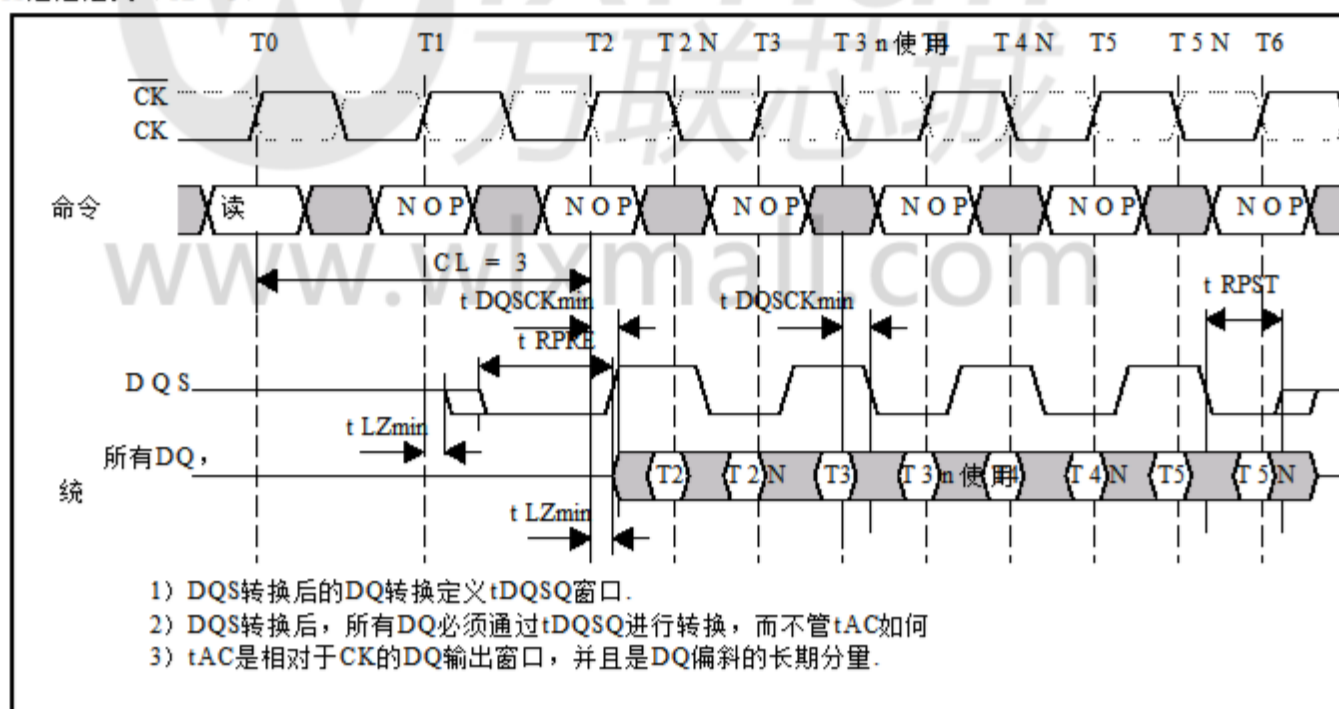
1. 所有电压参考VSS.
2. 所有参数都假定设备正确启动.
3. 交流时间的测试可以在标称电源电压水平下进行，但是相关的规格和器件的操作可以在指定的全电压和温度范围内保证.
4. 下面显示的电路表示用于定义相关时序参数的时序参考负载的部分. 它的目的不是要么是典型系统环境的精确表示，要么是描述生产测试人员提供的实际负载. 系统设计人员将使用IBIS或其他仿真工具将时序参考负载与系统环境相关联. 制造商将与之关联他们的生产测试条件（通常是同轴传输线终止于测试仪电子器件）. 对于具有标称10pF负载参数tAC和tQH的半强度驱动器预期是相同的范围. 但是，这些参数不受生产测试的限制，而是通过设计/表征. 建议使用IBIS或其他仿真工具进行系统设计验证.



5. CK / CK输入参考电压电平（参考CK / CK的时间）是CK和CK的点交叉; CK / CK以外的信号的输入参考电压电平为VDDQ / 2.
6. 定时参考电压电平为VDDQ / 2.
7. AC和DC输入和输出电压电平在电气特性和AC / DC部分中定义运行条件.
8. 假定所有参数的CK / CK差分转换速率均为2.0 V / ns.
9. CAS延迟定义：在CL = 3时，第一个数据元素在（2 * tCK + tAC）READ命令已注册; CL = 2时，第一个数据元素在时钟at后的（tCK + tAC）有效READ命令已注册.
10. 最小值（tCL，tCH）是指实际时钟低电平时间和实际时钟高电平时间中的较小值该设备（即该值可以大于tCL和tCH的最小规格限制）.
11. tQH = tHP - tQHS，其中tHP = 任何给定周期的最小半时钟周期，由时钟高电平或时钟低电平（tCL，tCH），tQHS考虑1）片上时钟电路的脉冲持续时间失真; 和2）最糟糕的情况是在一次转换中推出DQS，然后是下一次转换中最差的DQ引入，这两者分别是由于数据引脚偏斜和输出模式影响以及p沟道到n沟道输出驱动器的变化.
12. 允许时钟频率改变的唯一时间是在时钟停止，掉电或自我刷新期间模式.
13. DQ，DM和DQS输入的转换时间在VIL（DC）至VIH（AC）之间测量以确定上升输入信号和VIH（直流）至VIL（交流）以降低输入信号.
14. DQS，DM和DQ输入摆率指定用于防止数据双时钟并保持设置和保持倍. 通过DC区域的信号转换必须是单调的.
15. 输入转换速率 $\geq 1.0 \text{ V / ns}$.
16. 输入转换速率 $\geq 0.5 \text{ V / ns}$ ， $< 1.0 \text{ V / ns}$.
17. 这些参数保证设备时序，但不一定在每个器件上进行测试.
18. 地址和命令输入的转换时间在VIH和VIL之间测量.

19. t_{HZ} 和 t_{LZ} 转换发生在与有效数据转换相同的存取时间窗口中.这些参数不是指特定的电压电平,而是指定设备何时不再行驶(HZ)或开始驾驶(LZ)。
20. t_{DQSQ} 由数据引脚偏斜和输出模式影响以及输出的p沟道到n沟道变化组成任何给定周期的驱动程序。
21. 具体要求是DQS在之前或之前有效(高,低或有效过渡的某一点)相应的CK边缘.有效的转换定义为单调并满足输入转换速率该设备的规格.当公交车上没有写入信息时,DQS将进行过渡从Hi-Z到逻辑低.如果以前的写入正在进行中,DQS可能会变为高电平,低电平或从中转换从高到低,这取决于 t_{DQSS} 。
22. 此参数的最大限制不是设备限制.该设备对此具有更大的价值参数,但系统性能(总线周转率)会相应降低。
23. 在高阻态(DQS驱动器禁用)期间,DQS的低电平可以通过添加弱上拉电阻来保持,系统中的下拉元素.建议在读写期间关闭弱下拉元件爆发(启用DQS驱动程序)。
24. 在自动预充电模式下,在 t_{WR} 时间内至少需要一个时钟周期。
25. $t_{DAL} = (t_{WR} / t_{CK}) + (t_{RP} / t_{CK})$: 对于每个术语,如果还不是整数,则舍入到下一个更大的整数。
26. 在 t_{XSR} 周期内,必须至少有两个时钟脉冲。
27. t_{XP} 周期内至少有一个时钟脉冲。
28. t_{REFI} 值取决于密度和总线宽度。
29. 最多8个刷新命令可以发布给任何给定的M,这意味着最大绝对值任何刷新命令和下一个刷新命令之间的时间间隔为 $8 * t_{REFI}$ 。

8.5.1 CAS延迟定义 (CL = 3)



8.5.2 输出转换速率特性

参数	MIN	MAX	单元	笔记
全力驱动器的上拉和下拉摆动速率	0.7	2.5	V / NS	1,2
四分之三强度驱动器的上拉和下拉摆动速率	0.5	1.75	V / NS	1,2
半强度驱动器的上拉和下拉摆动速率	0.3	1.0	V / NS	1,2
输出转换速率匹配比率（上拉至下拉）	0.7	1.4	-	3

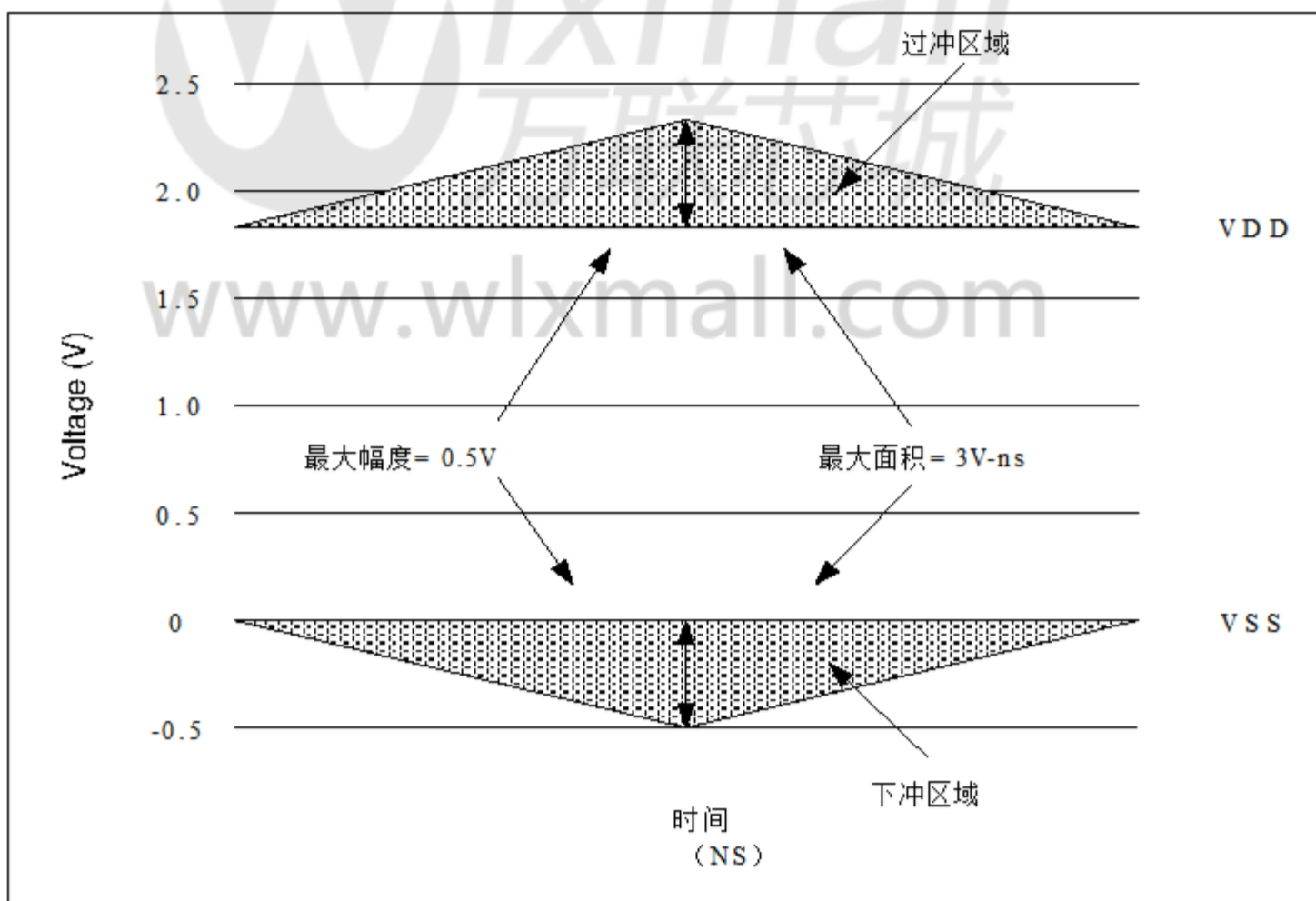
笔记：

1. 使用连接到V_{SSQ}的20 pF的测试负载进行测量。
2. 在V_{ILD} (DC) 至V_{IHD} (AC) 之间以及V_{IHD} (DC) 至V_{ILD} (AC) 之间的下降沿之间测量上升沿的输出转换速率。
3. 在相同的温度和电压下，在整个温度范围内，上拉压摆率与下拉压摆率之比电压范围.对于给定的输出，它表示由于工艺变化导致的上拉和下拉驱动器之间的最大差异。

8.5.3 AC过冲/下冲规范

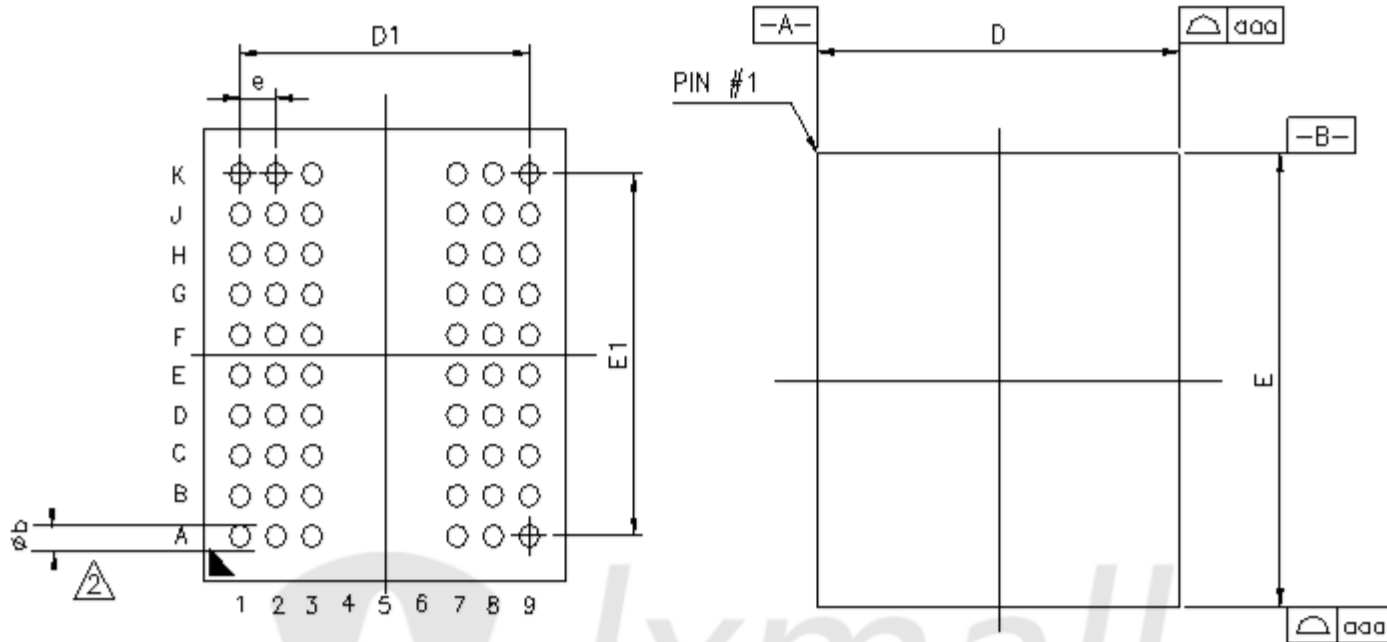
参数	规范
最大峰值幅度允许超调	0.5 V
最大峰值幅度允许下冲	0.5 V
过冲信号和V _{DD} 之间的区域必须小于或等于	3 V·ns
下冲信号和GND之间的区域必须小于或等于	3 V·ns

8.5.4 AC过冲和下冲定义

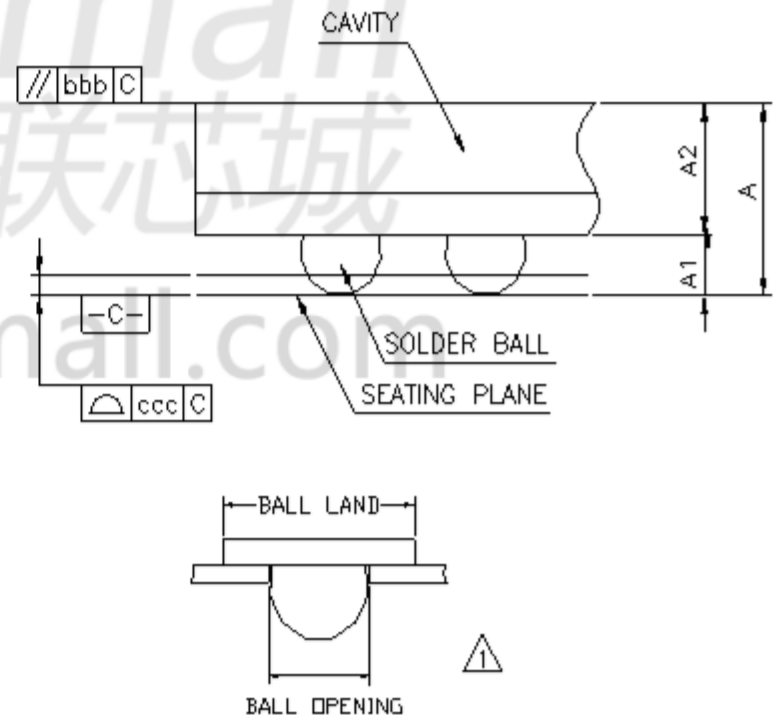


9. 包装尺寸

9.1: LPDDR X 16

VFBGA60Ball (8X9 MM², 球距: 0.8mm)

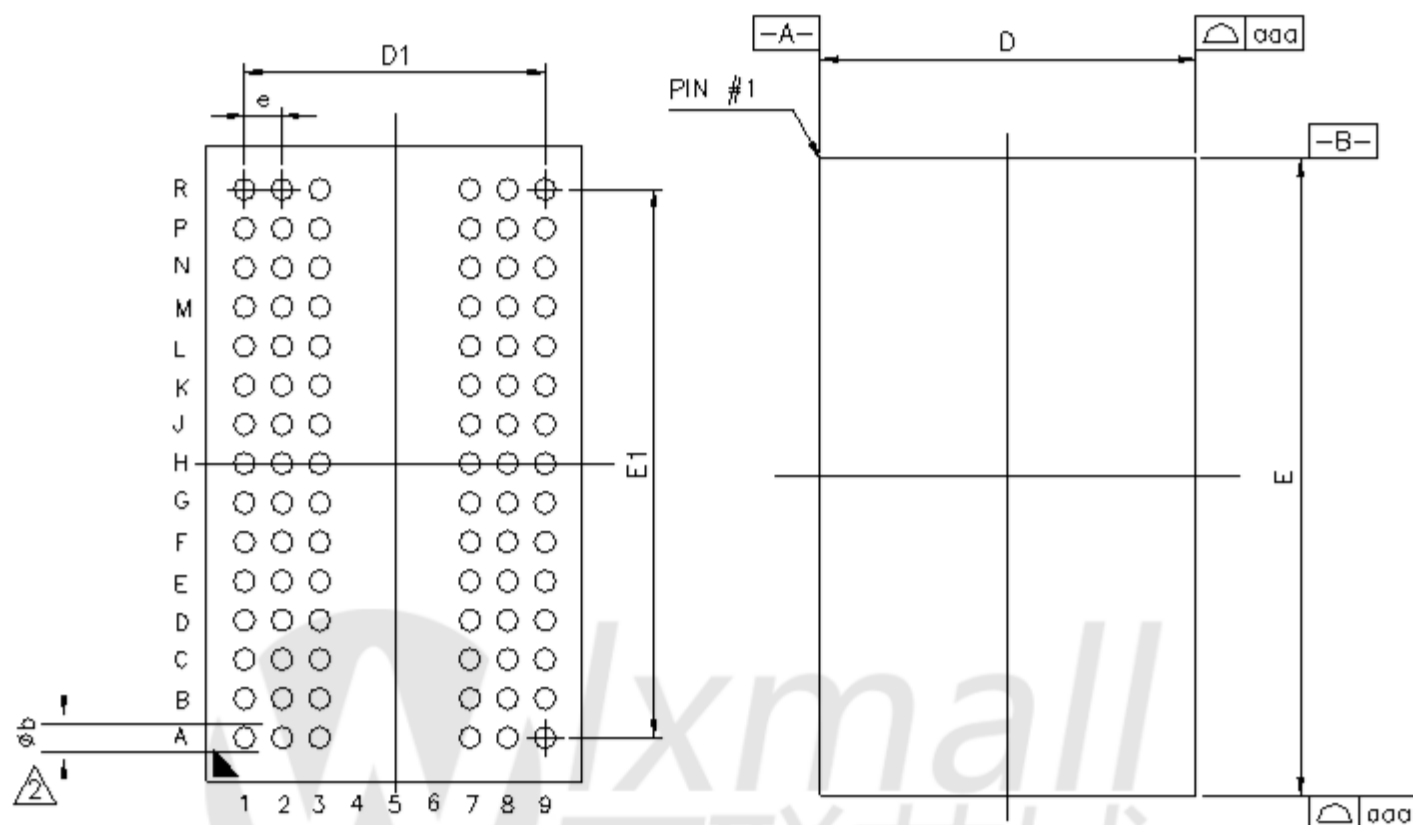
Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	---	---	1.025	---	---	0.040
A1	0.275	0.300	0.325	0.011	0.012	0.013
A2	0.61	0.66	0.71	0.024	0.026	0.028
D	7.90	8.00	8.10	0.311	0.315	0.319
E	8.90	9.00	9.10	0.350	0.354	0.358
D1	---	6.40	---	---	0.252	---
E1	---	7.20	---	---	0.283	---
e	---	0.80	---	---	0.031	---
b	0.40	0.45	0.50	0.016	0.018	0.020
aaa		0.15			0.006	
bbb		0.20			0.008	
ccc		0.12			0.005	



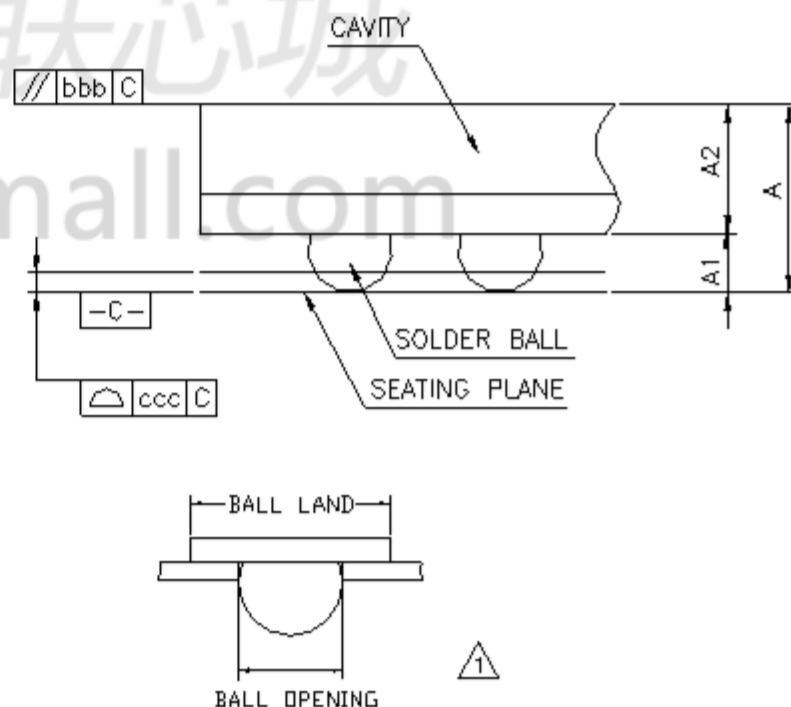
注意:

- 1.球地: 0.5mm.球开口: 0.4mm. PCB球焊面建议 $\leq 0.4\text{mm}$
- 2.尺寸适用于回流焊后的焊球. 0.4 SMD球垫上预回流直径为0.42.

9.2: LPDDR X 32

VFBGA90Ball (8X13 MM², 球距: 0.8mm)

Symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	---	---	1.025	---	---	0.040
A1	0.275	0.300	0.325	0.011	0.012	0.013
A2	0.61	0.66	0.71	0.024	0.026	0.028
D	7.90	8.00	8.10	0.311	0.315	0.319
E	12.90	13.00	13.10	0.508	0.512	0.516
D1	---	6.40	---	---	0.252	---
E1	---	11.20	---	---	0.441	---
e	---	0.80	---	---	0.031	---
b	0.40	0.45	0.50	0.016	0.018	0.020
aaa		0.15			0.006	
bbb		0.20			0.008	
ccc		0.12			0.005	



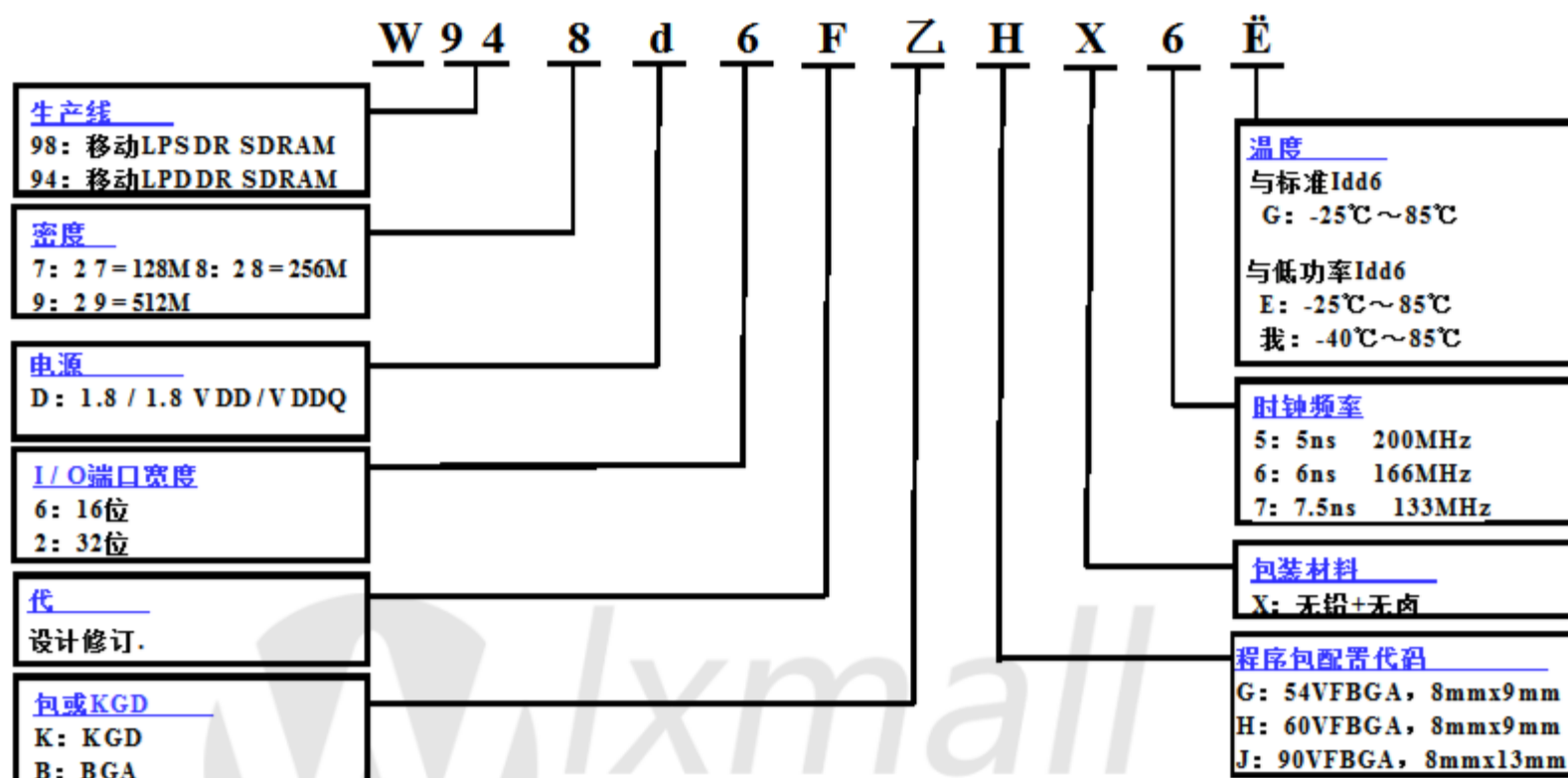
注意:

- 1.球地: 0.5mm. 球开口: 0.4mm. PCB球焊面建议 $\leq 0.4\text{mm}$
- 2.尺寸适用于回流焊后的焊球. 0.4 SMD球垫上预回流直径为0.42.



10. 订购信息

移动LPDDR / LPSDR SDRAM封装部件编号



零件号	V DD / VDDQ	I / O宽度	包	其他
W948D6FBHX5I	1.8V / 1.8V	16	60VFBGA	200MHz, -40°C~85°C, 低功耗
W948D6FBHX6I	1.8V / 1.8V	16	60VFBGA	166MHz, -40°C~85°C, 低功耗
W948D6FBHX5E	1.8V / 1.8V	16	60VFBGA	200MHz, -25°C~85°C, 低功耗
W948D6FBHX6E	1.8V / 1.8V	16	60VFBGA	166MHz, -25°C~85°C, 低功耗
W948D6FBHX6G	1.8V / 1.8V	16	60VFBGA	166MHz, -25°C~85°C
W948D2FBJX5I	1.8V / 1.8V	32	90VFBGA	200MHz, -40°C~85°C, 低功耗
W948D2FBJX5E	1.8V / 1.8V	32	90VFBGA	200MHz, -25°C~85°C, 低功耗
W948D2FBJX6E	1.8V / 1.8V	32	90VFBGA	166MHz, -25°C~85°C, 低功耗
W948D2FBJX6G	1.8V / 1.8V	32	90VFBGA	166MHz, -25°C~85°C



11. 修订历史

版	日期	页	描述
A01-001	04/08/2011	所有	客户的产品数据表。
A01-002	2011年4月18日	17	更新状态寄存器位8~10的说明。
A01-003	2011年5月24日	47 48,49 51,52 55	添加IiL, IoL. 更新IDD4R和IDD4W的值。 更新tHP, tDIPW, tRC, tRP, tXSR和tXP值。 8.5.2添加“三季度”参数。
A01-004	2012年10月15日	58	添加零件编号。





重要的提醒

华邦产品并非设计，打算，授权或担保用作系统或组件的组件
用于外科植入的设备，原子能控制仪器，飞机或飞船
仪器仪表，交通工具，交通信号仪表，燃烧控制仪表等
旨在支持或维持生活的其他应用程序。此外，华邦产品不适用于
其中华邦产品故障可能导致或导致人身伤害，
死亡或严重财产或环境损害可能发生。

华邦客户使用或销售这些产品以用于此类应用程序时，将自行承担风险，并自行承担风险
同意全面赔偿华邦因不正当使用或销售而导致的任何损害。



请注意，所有数据和规格如有更改，恕不另行通知。
数据表中提到的产品和公司的所有商标均属于其各自所有者。