



4M 4 BANKS 16位DDR2 SDRAM

目录-

1.	一般描述	4
2.	特征	4
3.	订单信息	5
4.	主要参数	5
5.	球配置	6
6.	球描述	7
7.	框图	8
8.	功能说明	9
8.1	上电和初始化序列	9
8.2	模式寄存器和扩展模式寄存器操作	10
8.2.1	模式寄存器设置命令 (MRS)	10
8.2.2	扩展模式寄存器设置命令 (EMRS)	11
8.2.2.1	扩展模式寄存器设置命令 (1), EMR (1)	11
8.2.2.2	DLL启用/禁用	12
8.2.2.3	扩展模式寄存器设置命令 (2), EMR (2)	13
8.2.2.4	扩展模式寄存器设置命令 (3), EMR (3)	14
8.2.3	片外驱动器 (OCD) 阻抗调整	15
8.2.3.1	用于OCD阻抗调整的扩展模式寄存器	16
8.2.3.2	OCD阻抗调整	16
8.2.3.3	驱动模式	17
8.2.4	片上终端 (ODT)	18
8.2.5	ODT相关时间	18
8.2.5.1	MRS命令到ODT更新延迟	18
8.3	命令功能	20
8.3.1	银行激活命令	0.20
8.3.2	阅读命令	20
8.3.3	写命令	21
8.3.4	使用自动预充命令突发读取	21
8.3.5	使用自动预充命令进行突发写入	21
8.3.6	预充所有命令	0.21
8.3.7	自刷新输入命令	21
8.3.8	自刷新退出命令	22
8.3.9	刷新命令	22
8.3.10	无操作命令	23
8.3.11	设备取消选择命令	23
8.4	读取和写入访问模式	23
8.4.1	张贴CAS	23



8.4.1.1	发布的CAS操作示例	23
8.4.2	突发模式操作	24
8.4.3	突发读取模式操作	25
8.4.4	突发写入模式操作	25
8.4.5	写数据掩码	26
8.5	突发中断	26
8.6	预充电操作	27
8.6.1	突发读取操作，然后预充电	27
8.6.2	突发写入操作，然后预充电	27
8.7	自动预充电操作	27
8.7.1	使用自动预充电读取突发	28
8.7.2	带自动预充电的突发写入	28
8.8	刷新操作	29
8.9	掉电模式	29
8.9.1	断电条目	30
8.9.2	关机退出	30
8.10	预充电断电时输入时钟频率变化	30
9.	操作模式	31
9.1	命令真相表	31
9.2	用于同步转换的时钟使能 (CKE) 真值表	32
9.3	数据掩码 (DM) 真值表	32
9.4	功能真值表	33
9.5	简化的叙述图	36
10.	电气特性	0.37
10.1	绝对最大额定值	37
10.2	工作温度条件	37
10.3	推荐的直流工作条件	38
10.4	ODT直流电气特性	38
10.5	输入DC逻辑电平	38
10.6	输入AC逻辑电平	38
10.7	电容	39
10.8	泄漏和输出缓冲特性	39
10.9	直流特性	40
10.10	IDD测量测试参数	42
10.11	交流特性	43
10.11.1	-18速度等级的交流特性和工作条件	43
10.11.2	-25 / 25I / 25A / 25K / -3速度等级的交流特性和工作条件	45
10.12	交流输入测试条件	66
10.13	差分输入/输出AC逻辑电平	66
10.14	交流过冲/下冲规格	67
10.14.1	地址和控制针的交流过冲/下冲规格:	67
10.14.2	AC, 时钟, 数据, 频闪和屏蔽引脚的过冲/下冲规范:	67
11.	时序波形	68



11.1	命令输入时序.....	68
11.2	主动/待机模式下的ODT时序.....	69
11.3	掉电模式下的ODT时序.....	69
11.4	进入掉电模式时ODT定时模式切换.....	70
11.5	ODT定时模式在退出掉电模式时切换.....	71
11.6	数据输出(读取)时机.....	72
11.7	突发读取操作: $RL = 5$ ($AL = 2, CL = 3, BL = 4$)	72
11.8	数据输入(写入)时机.....	73
11.9	突发写入操作: $RL = 5$ ($AL = 2, CL = 3, WL = 4, BL = 4$)	73
11.10	无缝突发读取操作: $RL = 5$ ($AL = 2, CL = 3, BL = 4$)	74
11.11	无缝突发写入操作: $RL = 5$ ($WL = 4, BL = 4$)	74
11.12	突发读取中断时序: $RL = 3$ ($CL = 3, AL = 0, BL = 8$)	75
11.13	突发写入中断时序: $RL = 3$ ($CL = 3, AL = 0, WL = 2, BL = 8$)	75
11.14	使用Data Mask进行写操作: $WL = 3, AL = 0, BL = 4$)	76
11.15	突发读取操作, 然后进行预充电: $RL = 4$ ($AL = 1, CL = 3, BL = 4, tRTP \leq 2clks$)	77
11.16	突发读取操作, 然后进行预充电: $RL = 4$ ($AL = 1, CL = 3, BL = 8, tRTP \leq 2clks$)	77
11.17	突发读取操作, 然后进行预充电: $RL = 5$ ($AL = 2, CL = 3, BL = 4, tRTP \leq 2clks$)	78
11.18	爆裂 读操作之后进行预充电: $RL = 6$ ($AL = 2, CL = 4, BL = 4, tRTP \leq 2clks$)	78
11.19	突发读取操作, 然后是预充电: $RL = 4$ ($AL = 0, CL = 4, BL = 8, tRTP > 2clks$)	79
11.20	突发写入操作, 然后进行预充电: $WL = (RL - 1) = 3$	79
11.21	突发写入操作, 然后进行预充电: $WL = (RL - 1) = 4$	80
11.22	带自动预充电的突发读操作: $RL = 4$ ($AL = 1, CL = 3, BL = 8, tRTP \leq 2clks$)	80
11.23	带自动预充电的突发读操作: $RL = 4$ ($AL = 1, CL = 3, BL = 4, tRTP > 2clks$)	81
11.24	突发读取自动预充电, 然后激活到相同的银行 (tRC 限制): $RL = 5$ ($AL = 2, CL = 3$, 内部 $tRCD = 4, tRTP \leq 2clks$)	81
11.25	突发读取自动预充电, 然后激活到相同的银行 (tRP 限制): $RL = 5$ ($AL = 2, CL$ 内部 $tRCD = 3, BL = 4, tRTP \leq 2clks$)	82
11.26	使用自动预充电 (tRC 限制) 进行突发写入: $WL = 2, WR = 2, BL = 4, tRP = 3$	82
11.27	具有自动预充电 ($WR + tRP$ 限制) 的突发写入: $WL = 4, WR = 2, BL = 4, tRP = 3$	0.83
11.28	自刷新时间.....	83
11.29	主动掉电模式进入和退出时序.....	84
11.30	预充电掉电模式进入和退出时间.....	84
11.31	预充电掉电模式下的时钟频率变化.....	85
12.	包装规格.....	86
13.	修订记录	87



1. 一般描述

W9725G6KB是256M位DDR2 SDRAM，组织为4,194,304字

4个银行 16位.

该器件通常可实现高达1066Mb/sec/pin (DDR2-1066) 的高速传输速率

应用. W9725G6KB分为以下速度等级: -18, -25, 25I, 25A, 25K和-3.

-18级零件符合DDR2-1066 (7-7-7) 规范. -25 / 25I / 25A / 25K等级

部件符合DDR2-800 (5-5-5) 或DDR2-800 (6-6-6) 规范 (25I工业

保证支持-40°C的高级部件

≤T CASE≤95°C). -3级零件符合

DDR2-667 (5-5-5) 规范.

汽车级零件温度 (如果提供的话) 同时具有两个要求: 环境温度

设备周围的温度 (T A) 不得低于-40°C或高于+95°C (对于25A),

+105°C (25K), 外壳温度 (T CASE) 不得低于-40°C或高于+95°C

(25A), +105°C (25K). 当T CASE时, JEDEC规范要求刷新率加倍

超过+85°C; 这也需要使用高温自刷新选项. 另外, ODT

当T CASE <0°C或>+85°C时, 电阻和输入/输出阻抗必须降额.

所有的控制和地址输入都与一对外部提供的差分同步

时钟. 输入被锁存在差分时钟的交叉点 (CLK上升和CLK下降). 所有

I/O与源中的单端DQS或差分DQS-DQS对同步

同步时尚.

2. 特征

≡电源: VDD, VDDQ = 1.8V 0.1V

≡双数据速率架构: 每个时钟周期两个数据传输

≡CAS延迟: 3, 4, 5, 6和7

≡突发长度: 4和8

≡双向, 差分数据选通 (DQS和DQS) 通过数据传输/接收

≡与读取数据边缘对齐, 并与写入数据中心对齐

≡DLL与时钟对齐DQ和DQS转换

≡差分时钟输入 (CLK和CLK)

≡数据掩码 (DM) 用于写入数据

≡在每个正CLK边沿上输入的命令, 数据和数据掩码都参考两个边沿的DQS

≡所支持的CAS可编程附加延迟使命令和数据总线效率

≡读延迟=添加延迟加CAS延迟 (RL = AL + CL)

≡片外驱动器阻抗调节 (OCD) 和片上终端 (ODT), 以获得更好的信号质量

≡读取和写入突发的自动预充电操作

≡自动刷新和自刷新模式

≡预充电关机和主动关机

≡写数据掩码

≡写入延迟=读取延迟 - 1 (WL = RL - 1)

≡接口: SSTL_18

≡包装在WBGA 84球 (8X12.5毫米

2), 使用符合RoHS标准的无铅材料



3. 订单信息

零件号	速度等级	工作温度
W9725G6KB-18	DDR2-1066 (7-7-7)	0°C ≤ T CASE ≤ 85°C
W9725G6KB-25	DDR2-800 (5-5-5) 或 DDR2-800 (6-6-6)	0°C ≤ T CASE ≤ 85°C
W9725G6KB25I	DDR2-800 (5-5-5) 或 DDR2-800 (6-6-6)	-40°C ≤ T CASE ≤ 95°C
W9725G6KB25A	DDR2-800 (5-5-5) 或 DDR2-800 (6-6-6)	-40°C ≤ T A, T CASE ≤ 95°C
W9725G6KB25K	DDR2-800 (5-5-5) 或 DDR2-800 (6-6-6)	-40°C ≤ T A, T CASE ≤ 105°C
W9725G6KB-3	DDR2-667 (5-5-5)	0°C ≤ T CASE ≤ 85°C

4. 关键参数

SYM.	速度等级			DDR2-1066	DDR2-800	DDR2-667
	延迟 (CL-tRCD的-TRP)			7-7-7	5-5-5 / 6-6-6	5-5-5
	零件号码扩展			-18	-25 / 25I / 25A / 25K-3	
t CK (平均平均时钟周期)		@CL = 7	最小.	1.875 nS	Ĥ	Ĥ
			最大.	7.5 nS	Ĥ	Ĥ
		@CL = 6	最小.	2.5 nS	2.5 nS	Ĥ
			最大.	7.5 nS	8 nS	Ĥ
		@CL = 5	最小.	3 nS	2.5 nS	3 nS
			最大.	7.5 nS	8 nS	8 nS
		@CL = 4	最小.	3.75 nS	3.75 nS	3.75 nS
			最大.	7.5 nS	8 nS	8 nS
		@CL = 3	最小.	Ĥ	5 nS	5 nS
			最大.	Ĥ	8 nS	8 nS
t RCD	积极读取/写入命令延迟时间		最小.	13.125 nS	12.5 nS	15 nS
t REFI	平均周期性刷新间隔	-40°C ≤ T CASE ≤ 85 °C	最大.	- * 2	7.8 μS * 2, 3	- * 2
		0°C ≤ T CASE ≤ 85 °C		7.8 μS * 1	7.8 μS * 1	7.8 μS * 1
		85 °C < T CASE ≤ 95 °C		3.9 μS * 4	3.9 μS * 4	3.9 μS * 4
		95 °C < T CASE ≤ 105 °C		- 6	3.9 μS * 五	- 6
t RP	预充电到主动指挥期		最小.	13.125 nS	12.5 nS	15 nS
t RC	激活到参考/主动命令周期		最小.	58.125 nS	57.5 nS	60纳秒
RAS	主动预充命令期		最小.	45纳秒	为45nS	45纳秒
我 DD0	操作一个组的有功 - 预充电电流		最大.	70毫安	60毫安	55毫安
我 DD1	操作一个存储区主动读取预充电电流		最大.	80毫安	70毫安	65毫安
我 DD4R	操作突发读取电流		最大.	125毫安	105毫安	95毫安
我 DD4W	操作突发写入电流		最大.	130毫安	110毫安	100毫安
我 DD5E	突发刷新电流		最大.	75毫安	70毫安	65毫安
我 DD6	自刷新电流 (T CASE ≤ 85 °C)		最大.	6毫安	6毫安	6毫安
我 DD7	操作存储体交错读取电流		最大.	160毫安	135毫安	115毫安

笔记:

- 所有速度等级均支持0°C ≤ T CASE ≤ 85°C, 具有完整的JEDEC交流和直流规格.
- 对于-18, -25和-3速度等级, -40°C ≤ T CASE < 0°C不可用.
- 25I, 25A和25K速度等级支持-40°C ≤ T CASE ≤ 85°C, 具有完整的JEDEC交流和直流规格.
- 对于所有速度等级的零件, T CASE 能够将频率增加一倍的自动刷新命令扩展到95°C, 达到32 mS 周期 (t REFI = 3.9μS), 并通过A7在此高温范围进入自刷新模式 EMR上的“1”(2).
- 对于25K汽车速度等级, T CASE 可以将频率增加一倍的Auto Refresh命令扩展到105°C 一个32 mS周期 (t REFI = 3.9μS), 并通过A7在此高温范围进入自刷新模式 EMR上的“1”(2).
- 对于-18, -25, 25I, 25A和-3速度等级, 95°C < T CASE ≤ 105°C不可用.



5. 球配置

1	2	3	4	五	6	7	8	9
VDD	NC	VSS		一个		VSSQ	UDQS	VDDQ
DQ14	VSSQ	UDM		乙		UDQS	VSSQ	DQ15
VDDQ	DQ9	VDDQ		C		VDDQ	DQ8	VDDQ
DQ12	VSSQ	DQ11		d		DQ10	VSSQ	DQ13
VDD	NC	VSS		Ē		VSSQ	UDQS	VDDQ
DQ6	VSSQ	LDM		F		LDQS	VSSQ	DQ7
VDDQ	DQ1	VDDQ		G		VDDQ	DQ0	VDDQ
DQ4	VSSQ	DQ3		H		DQ2	VSSQ	DQ5
VDDL	VREF	VSS		j		VSSDL	CLK	VDD
	CKE	我们		k		RAS	CLK	ODT
NC	BA0	BA1		大号		CAS	CS	
	A10 / AP	A1		中号		A2	A0	VDD
VSS	A3	A5		n		A6	A4	
	A7	A9		P		A11	A8	VSS
VDD	A12	NC		[R		NC	NC	

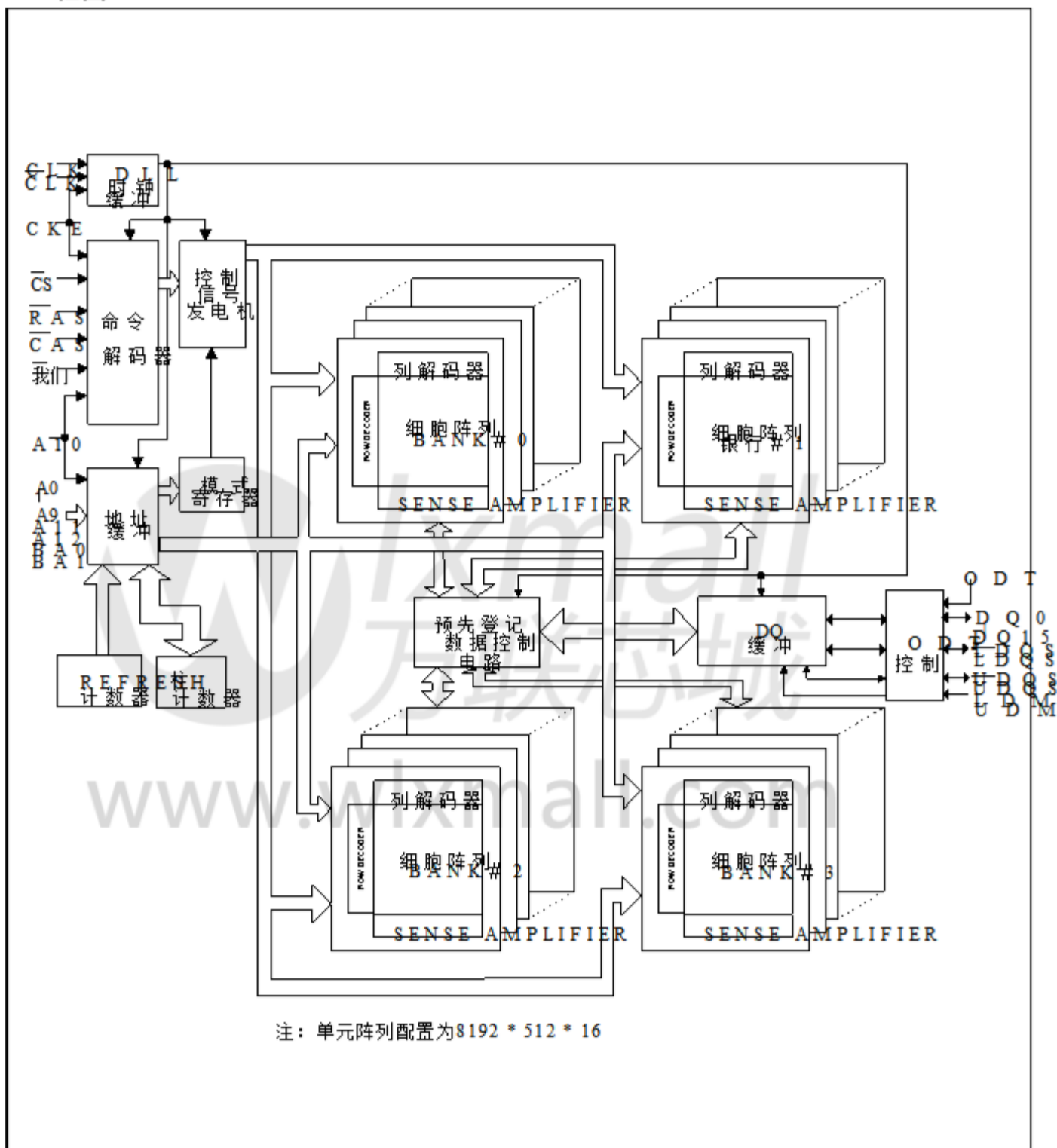


6. 球描述

球数	符号	功能	描述
M8, M3, M7, N2, N8, N3, N7, P2, P8, P3, M0, A2, R2		地址	提供活动命令的行地址和列地址和用于读/写命令的自动预充电位来选择一个位于相应银行的存储器阵列之外。 行地址: A0-A12. 列地址: A0-A8. (A10用于自动预充电)
L2, L3	BA0-BA1	银行选择	BA0-BA1定义哪一个存储体有ACTIVE, READ, WRITE或正在应用PRECHARGE命令.
G8, G2, H7, H3, H1, H9, F1, F9, C8, C2, DQ, DQ4, D1, D9, B1, B9		数据输入/输出	双向数据总线.
K9	ODT	在死亡终止控制	ODT (寄存器高) 使终端电阻内部的DDR2 SDRAM.
F7, E8	LDQS, LDQS	低数据选通	低字节的数据选通: 读数据输出, 写数据输入用于源同步操作. 与读取数据边缘对齐, 与写入数据对齐. LDQS对应于DQ0上的数据 LDQS 仅在差分数据选通模式通过时启用 EMR控制位 (1) [A10 EMRS命令]. -DQ7.
B7, A8	UDQS, UDQS	UP数据闪光灯	高字节的数据选通: 读数据输出, 写数据输入用于源同步操作. 与读取数据边缘对齐, 对齐 同 写 数据. UDQS对应 至 该 数据 上 DQ-DQ15. UDQS 仅用于差分数据选通模式通过EMR控制位 (1) [A10 EMRS命令]启用.
L8	CS	芯片选择	所有命令在被屏蔽时 CS 被注册为高. CS 提供 是 在具有多个等级的系统上进行外部银行选择. CS 考虑到命令代码的一部分.
K7, L7, K3	RAS, CAS, WE	命令输入	RAS, CAS和WE (与CS一起) 定义命令进入.
B3, F3	UDM, LDM	输入数据掩码	DM是用于写入数据的输入掩码信号. 输入数据在被屏蔽时DM在写入期间与该输入数据一致地被采样为高电平访问. DM在DQS的两个边缘被采样. 尽管DM引脚是仅输入, DM装载与DQ和DQS装载相匹配.
J8, K8	CLK, CLK	差分时钟输入	CLK和CLK是差分时钟输入. 所有地址和控制输入信号在CLK的正边沿的交叉处被采样和负边缘 CLK. 输出 (读取) 数据被引用到CLK和CLK的交叉点 (交叉的两个方向).
K2	CKE	时钟启用	CKE (注册 高) 激活 和 CKE (注册 低) 停用DDR2 SDRAM上的时钟电路.
J2	V REF	参考电压	V REF 是输入的参考电压.
A1, E1, J9, M9, R1, V DD		电源	电源: 1.8V 0.1V.
A3, E3, J3, N1, P9, V SS		地面	地面.
A9, C1, C3, C7, G1, G3, G7, G9, C9, E9, V DDQ		DQ电源	DQ电源: 1.8V 0.1V.
A7, B2, B8, D2, F2, F8, H2, H8, D8, E7, V SSQ		DQ地面	DQ地面. 隔离在设备上以提高抗噪声能力.
A2, E2, L1, R3, R7, NC		无连接	无连接.
J7	V SSDL	DLL地面	DLL地面.
J1	V DDL	DLL电源	DLL电源: 1.8V 0.1V.



7. 框图





8. 功能说明

8.1 上电和初始化序列

必须以预定义的方式启动和初始化DDR2 SDRAM. 操作程序除了那些指定的可能会导致未定义的操作. 以下顺序是必需的开机和初始化.

1. 通电并尝试将CKE保持在 $0.2 \times V_{DDQ}$ 和ODT以下
输入可能未定义.) 上电需要以下任一顺序.

* 1 在低状态 (所有其他

答: V_{DD} 电压斜坡时间必须不大于从 V_{DD} 斜升到300 时的200 mS

mV至 $V_{DD\min}$; 并在 V_{DD} 电压斜坡 期间, $|V_{DD} - V_{DDQ}| \leq 0.3$ 伏特.

$\Rightarrow V_{DD}$, V_{DDL} 和 V_{DDQ} 由单个电源转换器输出驱动

$\Rightarrow V_{TT}$ 限制为最大0.95V

$\Rightarrow V_{REF}^* 2$ 跟踪 $V_{DDQ}/2$

$\Rightarrow V_{DDQ}$ 必须始终满足 $\geq V_{REF}$

- B. 在电压斜坡时间内, I/O和输出端的电压电平必须小于 V_{DDQ} 以避免

$\geq V_{DDL} \geq V_{DDQ}$ 必须是

DRAM门锁. 在电源电压升高期间, V_{DD} 保持并适用于交流和直流电平, 直到电源电压上升做完了.

$\Rightarrow$ 应用 $V_{DD}/V_{DDL} * 3$ 之前或与 V_{DDQ} 同时

$\Rightarrow$ 应用 $V_{DDQ} * 4$ 之前或与 V_{TT} 同时

$\Rightarrow V_{REF}^* 2$ 跟踪 $V_{DDQ}/2$

$\Rightarrow V_{DDQ}$ 必须始终满足 $\geq V_{REF}$.

$\Rightarrow$ 应用 V_{TT}

$\Rightarrow$ 从 V_{DDQ} 达到 $V_{DDQ\min}$ 至 $V_{TT\min}$ 时的 V_{TT} 电压斜坡时间
在 V_{TT} 上达到的电压 必须不大于500 mS

2. 启动时钟并保持200 μ S (最小值) 的稳定状态.

3. 在稳定的电源和时钟 (CLK, CLK) 之后, 应用NOP或取消选择并使CKE变为高电平.

4. 等待至少400 nS, 然后发出预充所有命令. 在400中应用NOP或取消选择
nS期间.

5. 向EMR发出EMRS命令 (2). (要向EMR发出EMRS命令 (2), 请将LOW设置为
BA0, 高到BA1.)

6. 向EMR发出EMRS命令 (3). (要将EMRS命令发布到EMR (3), 请提供HIGH
BA0和BA1).

7. 发出EMRS以启用DLL. (要发出DLL启用命令, 请将低电平提供给A0, 将高电平提供给BA0
而低到BA1. 发出此命令时必须使用 $A9 = A8 = A7 = \text{LOW}$.)

8. 发出用于DLL复位的模式寄存器设置命令. (要发出DLL复位命令, 请提供HIGH
到A8和低到BA0和BA1.)

9. 发出预充所有命令.

10. 发出2个或更多自动刷新命令.

11. 使用LOW至A8发出MRS命令以初始化设备操作. (即编程操作
参数而不重置DLL.)

12. 在步骤8之后至少200个时钟, 执行OCD校准 (片外驱动器阻抗调整).

如果不使用OCD校准, 则EMRS至EMR (1) 设置OCD校准默认值

($A9 = A8 = A7 = \text{HIGH}$ 其次 通过 EMRS 至 EMR (1) 至 出口 OCD 校准 模式

($A9 = A8 = A7 = \text{低}$) 必须与EMR的其他运行参数一起发出 (1).

13. DDR2 SDRAM现在已准备好进行正常操作.



笔记：

1. 为保证ODT关闭，V_{REF}必须有效，并且必须将低电平应用于ODT引脚。
2. V_{REF}必须在内 在供电斜坡时间内 相对于V_{DDQ}/2为300 mV。
3. V_{DD}/V_{DDL}电压斜坡时间必须不大于200 mS，从V_{DD}从300 mV斜升至V_{DD min}。
4. 从V_{DD}达到V_{DD min}至V_{DDQ}达到V_{DDQ min}时的V_{DDQ}电压斜坡时间 必须为no 大于500 mS

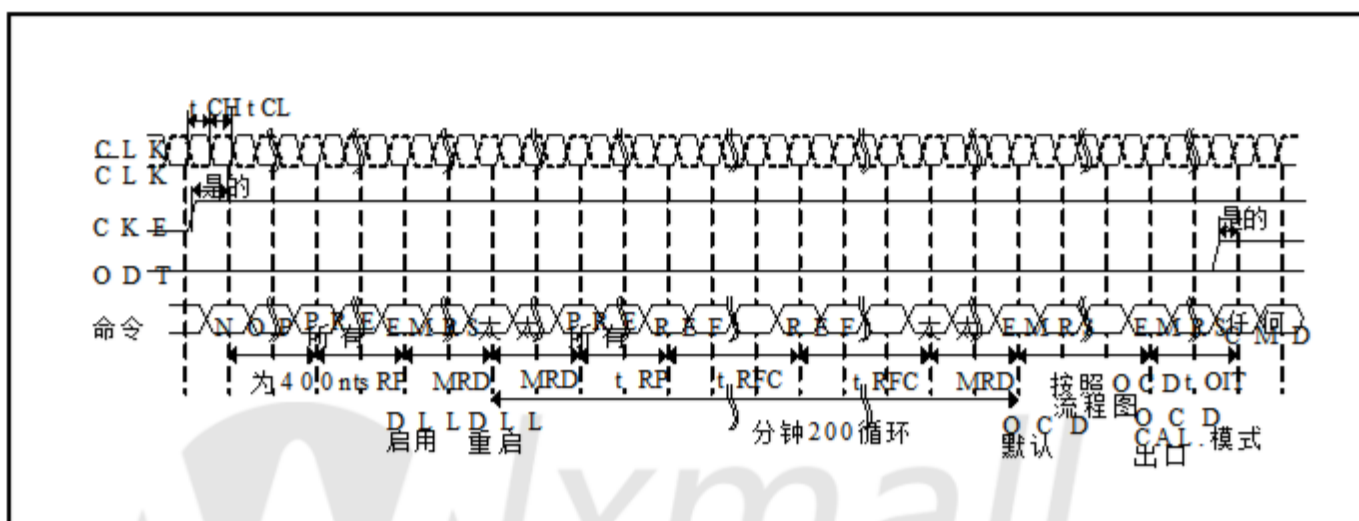


图1 - 加电后的初始化顺序

8.2 模式寄存器和扩展模式寄存器操作

针对应用的灵活性，突发长度，突发类型，CAS延迟，DLL复位功能，写入恢复时间（WR）是用户定义的变量，必须使用模式寄存器组（MRS）进行编程命令。此外，DLL禁用功能，驱动器阻抗，添加剂CAS延迟，ODT（On Die 终端），单端闪光灯和OCD（片外驱动器阻抗调节）也是用户并且必须使用扩展模式寄存器组（EMRS）命令进行编程。

模式寄存器（MR）或扩展模式寄存器EMR（1），EMR（2）和EMR（3）的内容可以通过重新执行MRS或EMRS命令进行更改。即使用户选择只修改一个MR或EMR（1），EMR（2）和EMR（3）变量的子集，所寻址的所有变量寄存器必须在发出MRS或EMRS命令时重新定义。

MRS，EMRS和Reset DLL不影响数组内容，这意味着重新初始化，包括那些可以在加电后随时执行，而不会影响阵列内容。

8.2.1 模式寄存器设置命令（MRS）

（CS="L"，RAS="L"，CAS="L"，WE="L"，BA0="L"，BA1="L"，A0至A12=寄存器数据）

模式寄存器存储用于控制DDR2 SDRAM各种工作模式的数据。它程序CAS延迟，突发长度，突发序列，测试模式，DLL重置，写入恢复（WR）和各种供应商特定的选项，使DDR2 SDRAM可用于各种应用。默认值上电后没有定义模式寄存器中的值，因此模式寄存器必须为在初始化期间编程以正确操作。

在写入之前，DDR2 SDRAM应处于所有存储体预充电状态，且CKE已处于高电平状态。

模式寄存器。模式寄存器设置命令周期时间（t_{MRD}）是完成写操作所必需的。

操作模式寄存器。模式寄存器的内容可以使用相同的命令进行更改。

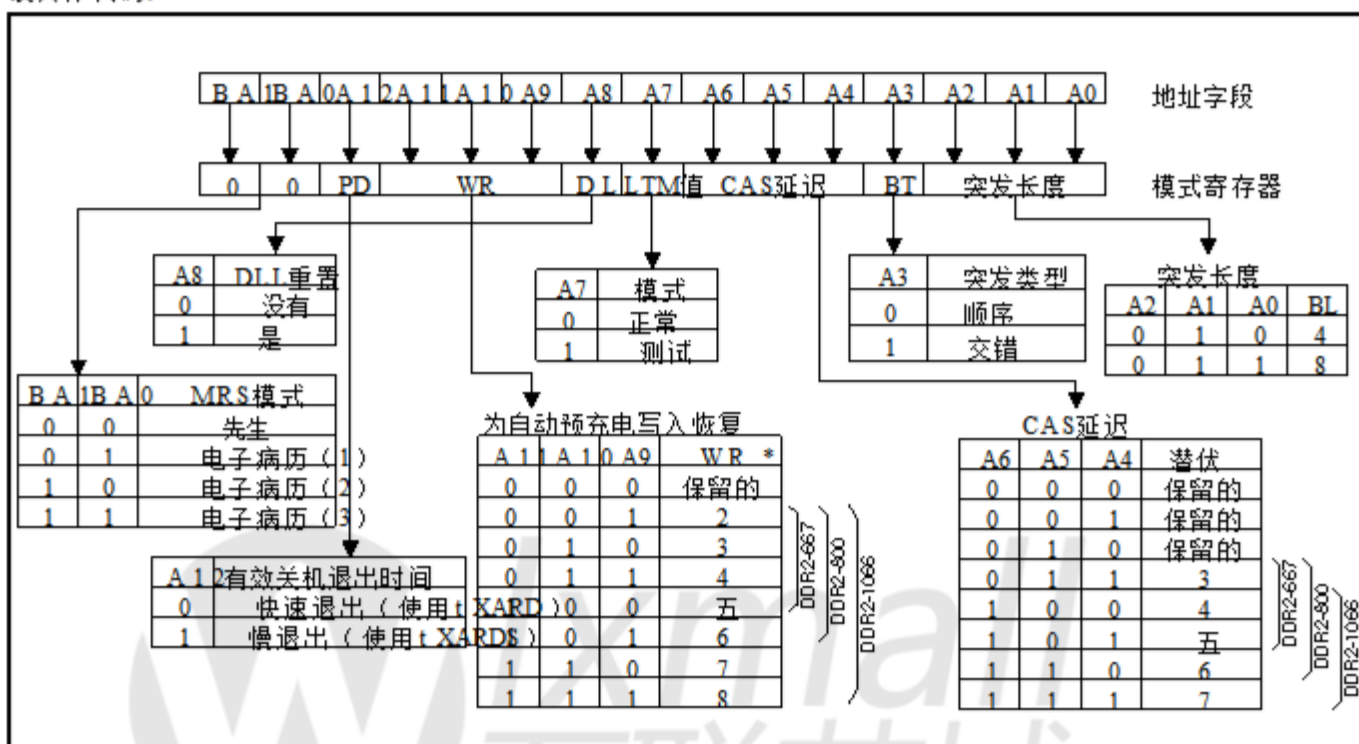
和正常工作期间的时钟周期要求，只要所有的存储体都处于预充电状态即可。

模式寄存器根据功能分为不同的字段。突发长度由...定义。

A[2:0]，可选择4位和8位突发长度。突发长度解码与DDR兼容。



SDRAM. 突发地址序列类型由A3定义, CAS延迟由A[6:4]定义. DDR2
不支持半时钟延迟模式. A7用于测试模式. A8用于DLL复位. A7必须
对于正常的MRS操作设置为低电平. 写入恢复时间WR由A[11:9]定义. 参考
表具体代码.



注意:

- WR (自动预充电的写恢复) min由tCK (avg) max决定, WR max由tCK (avg) min决定.
WR [cycles] = RU {tWR [nS] / tCK (avg) [nS]}, 其中RU代表四舍五入. 模式寄存器必须编程为此值. 这也与tRP一起用来确定tDAL.

图2 - 模式寄存器组 (MRS)

8.2.2 扩展模式寄存器设置命令 (EMRS)

8.2.2.1 扩展模式寄存器设置命令 (1), EMR (1)

(CS="L", RAS="L", CAS="L", WE="L", BA0="H", BA1="L", A0至A12=寄存器数据)

扩展模式寄存器 (1) 存储用于启用或禁用DLL, 输出驱动器的数据

强度, 附加延迟, ODT, DQS禁用, OCD程序. 扩展的默认值

模式寄存器 (1) 未定义, 因此扩展模式寄存器 (1) 必须在编程期间进行编程

初始化正确的操作. DDR2 SDRAM应在所有银行预充CKE

在写入扩展模式寄存器 (1) 之前已经很高. 模式寄存器设置命令

必须满足周期时间 (tMRD) 才能完成对扩展模式寄存器 (1) 的写操作.

扩展模式寄存器 (1) 的内容可以使用相同的命令和时钟周期进行更改

只要所有的银行都处于预充电状态, 就可以正常工作. A0用于

DLL启用或禁用. A1用于启用减小强度的输出驱动器. A[5:3]决定了

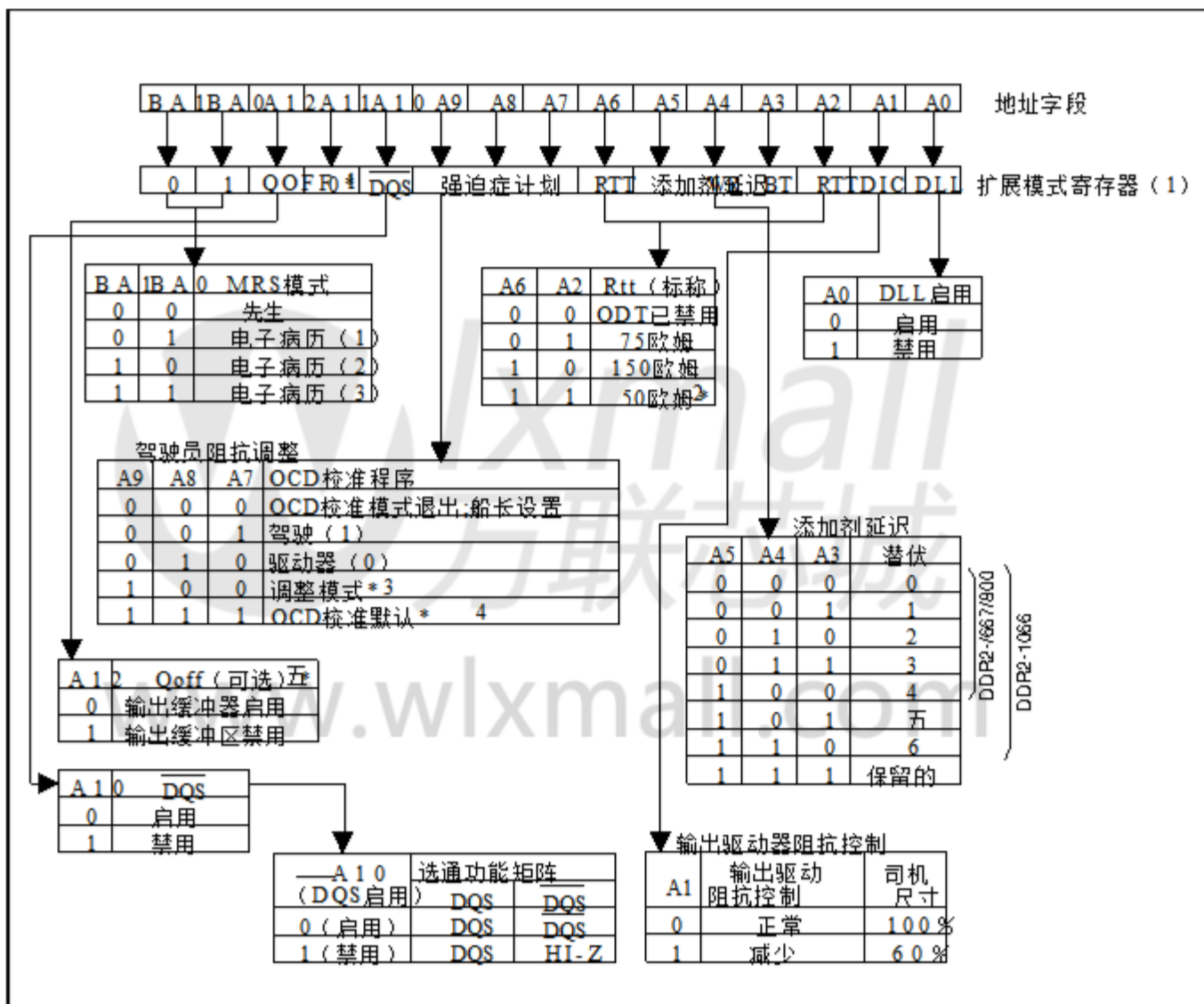
附加延迟A[9:7]用于OCD控制, A10用于DQS禁用. A2和A6被使用

用于ODT设置.



8.2.2.2 DLL启用/禁用

该DLL必须启用正常操作.在启动初始化期间需要启用DLL，并在禁用DLL后返回到正常操作.该DLL是自动的
在进入自刷新操作时被禁用，并在退出时自动重新启用和重置
自刷新操作.任何时候启用DLL（并随后复位），必须有200个时钟周期在发出读命令之前发生，以允许时间同步内部时钟与外部时钟.未能等待同步发生可能会导致违反 t_{AC} 或 t_{DQSCK} 参数.



笔记：

1. A11默认是 “0”RDQS被禁用.
2. DDR2-667可选，DDR2-800和DDR2-1066必须使用.
3. 发出调整模式时，必须应用先前设定值的AL.
4. 设置为默认值后，需要通过将A9-A7设置为000来退出OCD校准模式.有关详细信息，请参阅第8.2.3节详细资料.
5. 禁用输出 - DQ, LDQS, LDQS, UDQS, UDQS.此功能与DIMM1DD 测量 结合使用
当我 不想包含 DDQ时 .

图3 - 电子病历 (1)

(CS="L", RAS="L", CAS="L", WE="L", BA0="L", BA1="H", A0至A12=寄存器数据)

模式寄存器 (2) 未定义, 因此扩展模式寄存器 (2) 必须在编程期间进行编程初始化正确的操作。

所有银行都处于预充电状态。



1. EMR (2) 中的其余位保留供将来使用, EMR (2) 中除 A7, BA0 和 BA1 以外的所有位必须编程为 0 在初始化期间设置扩展模式寄存器 (2) 时。
2. 当 DRAMT 工作在 $85^{\circ}\text{C} < T_{\text{CASE}}$ 时 $\leq 95^{\circ}\text{C}$ 或 105°C , 扩展自刷新率必须通过设置位启用 A7 到在自刷新模式可以输入之前为 “1”。

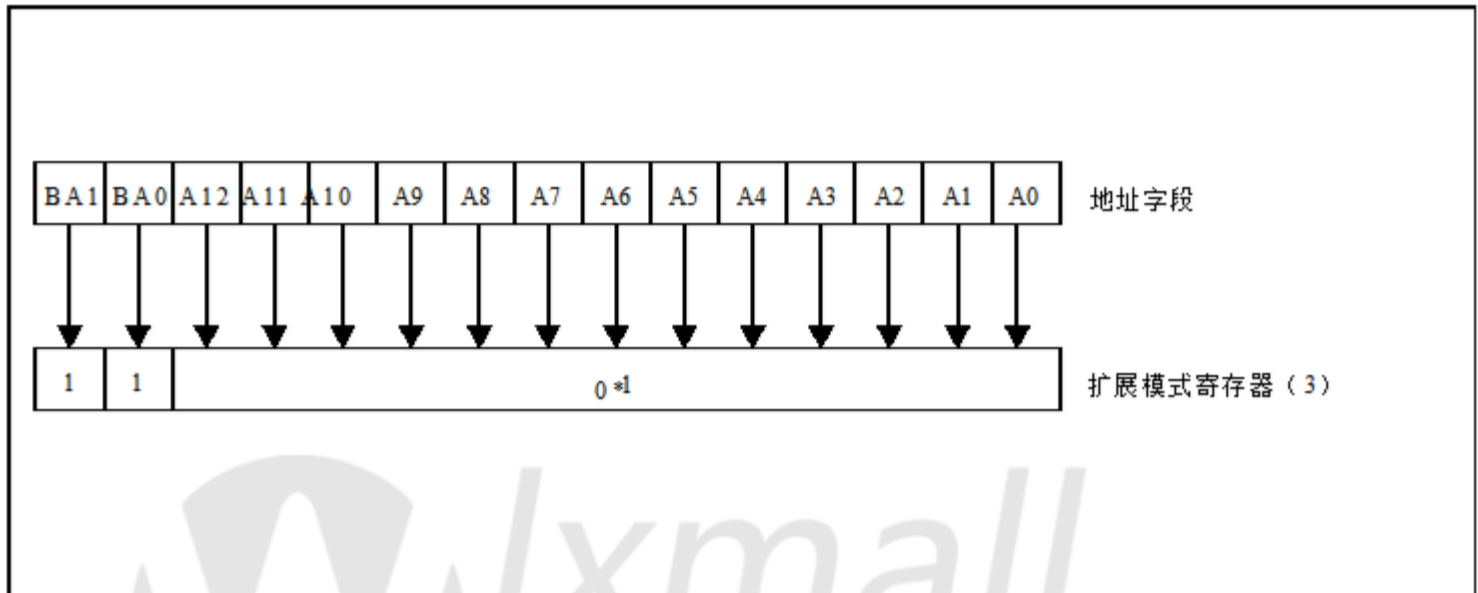
图4 - 电子病历 (2)



8.2.2.4 扩展模式寄存器设置命令 (3)，EMR (3)

($\overline{CS} = "L"$, $\overline{RAS} = "L"$, $\overline{CAS} = "L"$, $\overline{WE} = "L"$, $BA0 = "H"$, $BA1 = "H"$, $A0$ 至 $A12$ = 寄存器数据)

在扩展模式寄存器 (3) 中没有定义功能. EMR (3) 的默认值未定义, 因此必须在初始化期间对EMR (3) 进行编程以正确操作.



注意:

1. 除了BA0和BA1以外, EMR (3) 中的所有位都保留供将来使用, 编程EMR时必须设置为0 (3) .

图5 - 电子病历 (3)

www.wlxml.com



8.2.3 片外驱动器（OCD）阻抗调整

DDR2 SDRAM支持驱动程序校准功能，图6中的流程图就是一个例子序列。每个校准模式命令都应该跟着“OCD校准模式退出”

在任何其他命令发布之前。在进入OCD阻抗之前应设置MRS调整和On Die Termination（ODT）应根据系统进行仔细控制环境。

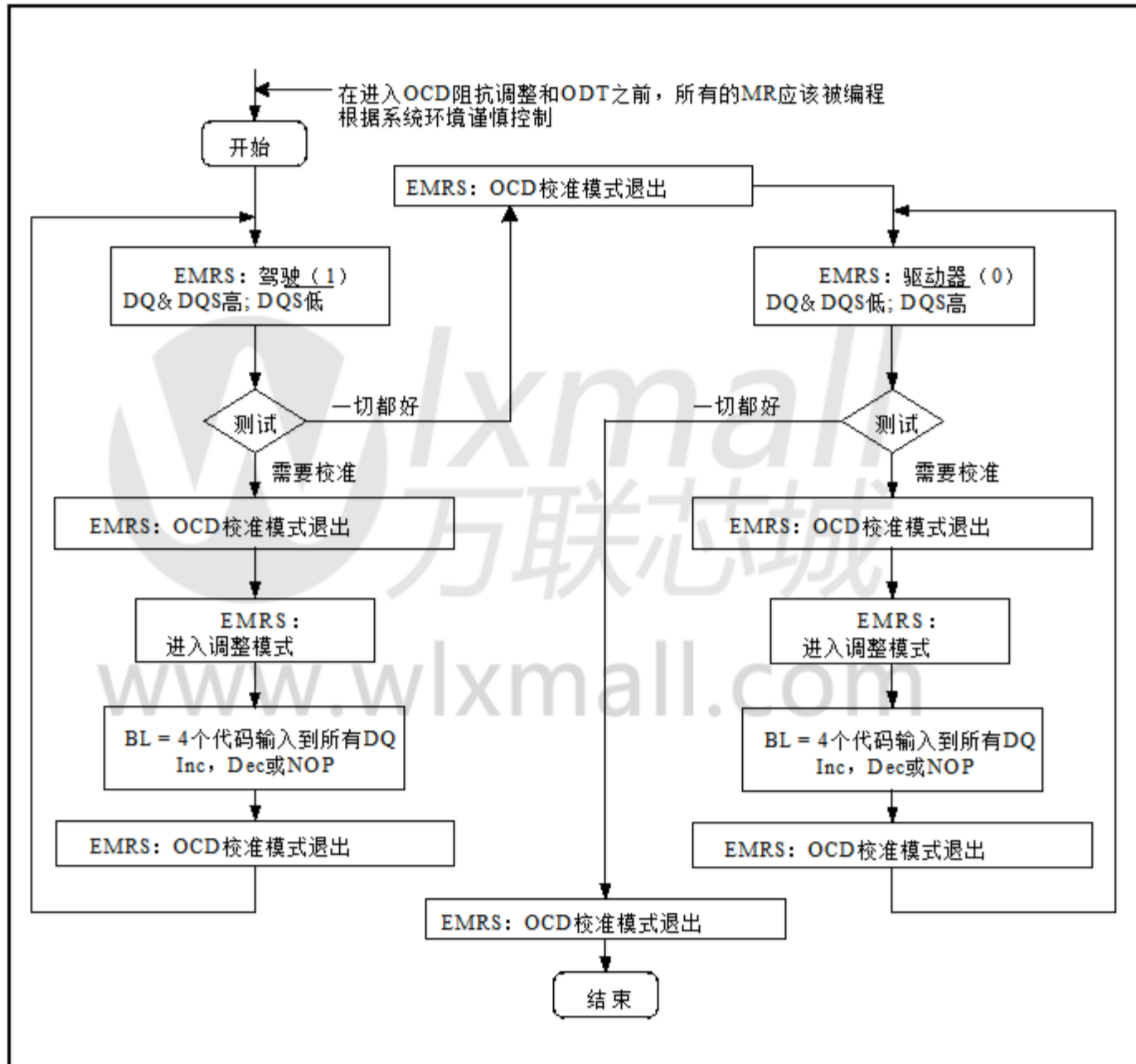


图6 - OCD阻抗调整流程图



8.2.3.1 扩展模式寄存器用于OCD阻抗调整

使用以下EMRS模式可以完成OCD阻抗调整.在驱动模式下所有输出

被DDR2 SDRAM驱动.在Drive (1) 模式下, 所有DQ, DQS信号都被驱动为高电平和全部

DQS信号被驱动为低电平.在Drive (0) 模式下, 所有DQ, DQS信号都被驱动为低电平, 并且全部为DQS 信号被驱动为高电平.在调整模式下, 必须使用操作码数据的BL = 4.在OCD的情况下

校准默认情况下, 输出驱动器特性的标称阻抗值为18欧姆

标称温度和电压条件. OCD仅适用于普通的全强度输出驱动器

由EMR (1) 定义的设置, 并且如果设置了减弱强度, 则OCD默认驱动程序特性不是

适用.当使用OCD校准调整模式时, OCD默认输出驱动器特性为

不适用.在OCD校准完成或驾驶员强度设置为默认值后,

EMRS命令不打算调整OCD特征

cs必须指定A [9: 7]为“000”以便

保持默认值或校准值.

表格1 - OCD驱动模式程序

A9	A8	A7	手术
0	0	0	OCD校准模式退出
0	0	1	驱动 (1) DQ, DQS 高电平且DQS为低电平
0	1	0	驱动 (0) DQ, DQS 为低电平且DQS为高电平
1	0	0	调整模式
1	1	1	OCD校准默认

8.2.3.2 OCD阻抗调整

要调整输出驱动器阻抗, 控制器必须发出ADJUST EMRS命令以及a

4位突发代码到DDR2 SDRAM, 如表2所示.对于此操作, 突发长度必须设置为BL =

4在通过MRS命令激活OCD之前, 控制器必须将突发码驱动到所有DQ上

同时. 表2中的D T0表示比特时间0的所有DQ比特, 比特时间1的D T1等等.司机

所有DDR2 SDRAM DQ同时进行输出阻抗调整, 并在OCD校准后进行调整

给定DDR2 SDRAM的DQ和DQS将被调整为相同的驱动程序强度设置.该

调整的最大步数为16, 达到极限时进一步增加或

递减码不起作用.默认设置可以是16步范围内的任何步骤.什么时候

发出调整模式命令, 必须应用先前设定值的AL.

表2 - OCD调整模式程序

4位突发码输入到所有DQ				手术	
D T0	D T1	D T2	D T3	拉起驾驶员的力量	拉下驾驶员的力量
0	0	0	0	NOP (无操作)	NOP (无操作)
0	0	0	1	增加1步	NOP
0	0	1	0	减少1步	NOP
0	1	0	0	NOP	增加1步
1	0	0	0	NOP	减少1步
0	1	0	1	增加1步	增加1步
0	1	1	0	减少1步	增加1步
1	0	0	1	增加1步	减少1步
1	0	1	0	减少1步	减少1步
其他组合				保留的	



为了正确操作调整模式， $WL = RL - 1 = AL + CL - 1$ 个时钟并且 t_{DS}/t_{DH} 应当满足
如图7所示.对于调整的输入数据模式， $D T0 - D T3$ 是一个固定的顺序，不受影响
按突发类型（即，顺序或交错）。

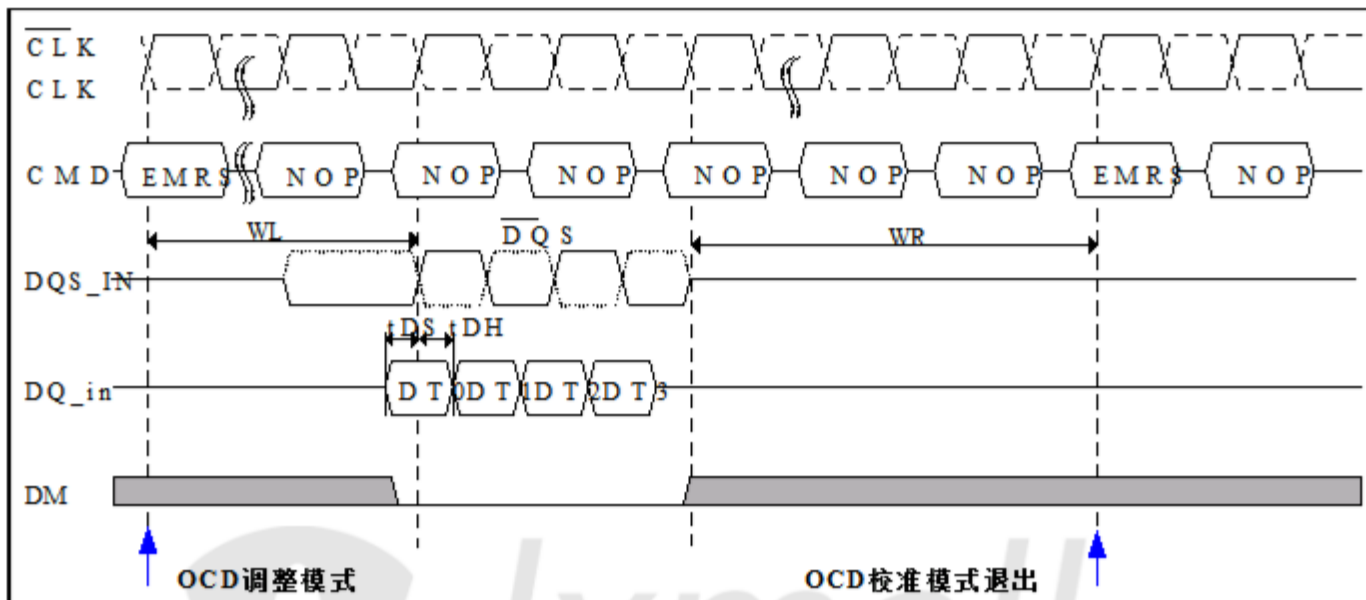


图7 - OCD调整模式

8.2.3.3 驱动模式

驱动器模式下，驱动器（1）和驱动器（0）用于控制器测量DDR2 SDRAM驱动器
阻抗. 在这种模式下，所有输出都被输出 在“进入驾驶模式”命令和全部之后
输出驱动器被关闭 在“OCD校准模式退出”命令之后，如图8所示.

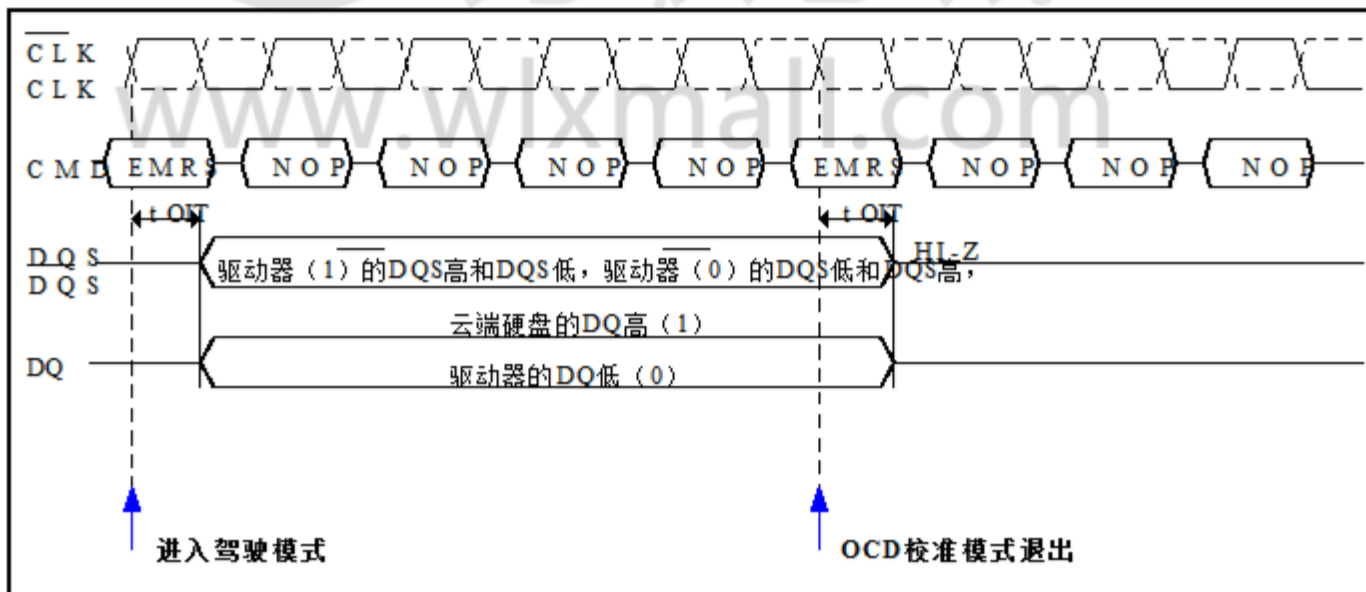


图8 - OCD驱动模式



8.2.4 片上终端 (ODT)

On-Die Termination (ODT) 是DDR2组件的一项新功能, 可让DRAM开启/关闭

通过ODT为每个DQ, UDQS / UDQS, LDQS / LDQS, UDM和LDM信号的终端电阻

控制引脚. 只有在EMR (1) 中通过地址位A10使能UDQS和LDQS时, 才会终止UDQS和LDQS

= 0. ODT功能旨在通过允许内存通道改善内存通道的信号完整性

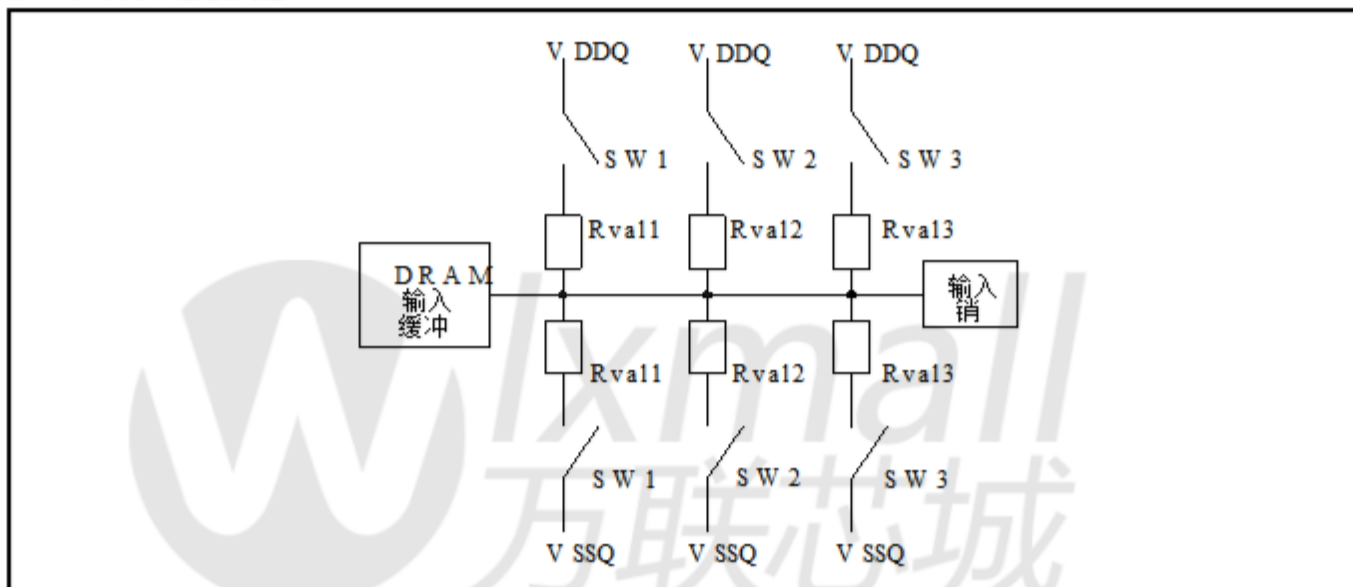
DRAM控制器独立开启/关闭任何或所有DRAM设备的终端电阻.

ODT功能可用于所有活动和待机模式. ODT被关闭并且不被支持

在自我刷新模式下. (示例时序波形参考11.2, 11.3 ODT时序

主动/待机/掉电模式和11.4, 11.5 ODT时序模式切换在进入/退出电源

第11章中的下拉模式图)



开关 (sw1, sw2, sw3) 由ODT引脚启用.

sw1, sw2和sw3中的选择由EMR (1) 中的“Rtt (标称值)”决定.

终止包括在所有DQ, DM, DQS, DQS引脚上.

图9 - ODT的功能表示

8.2.5 ODT相关的时间

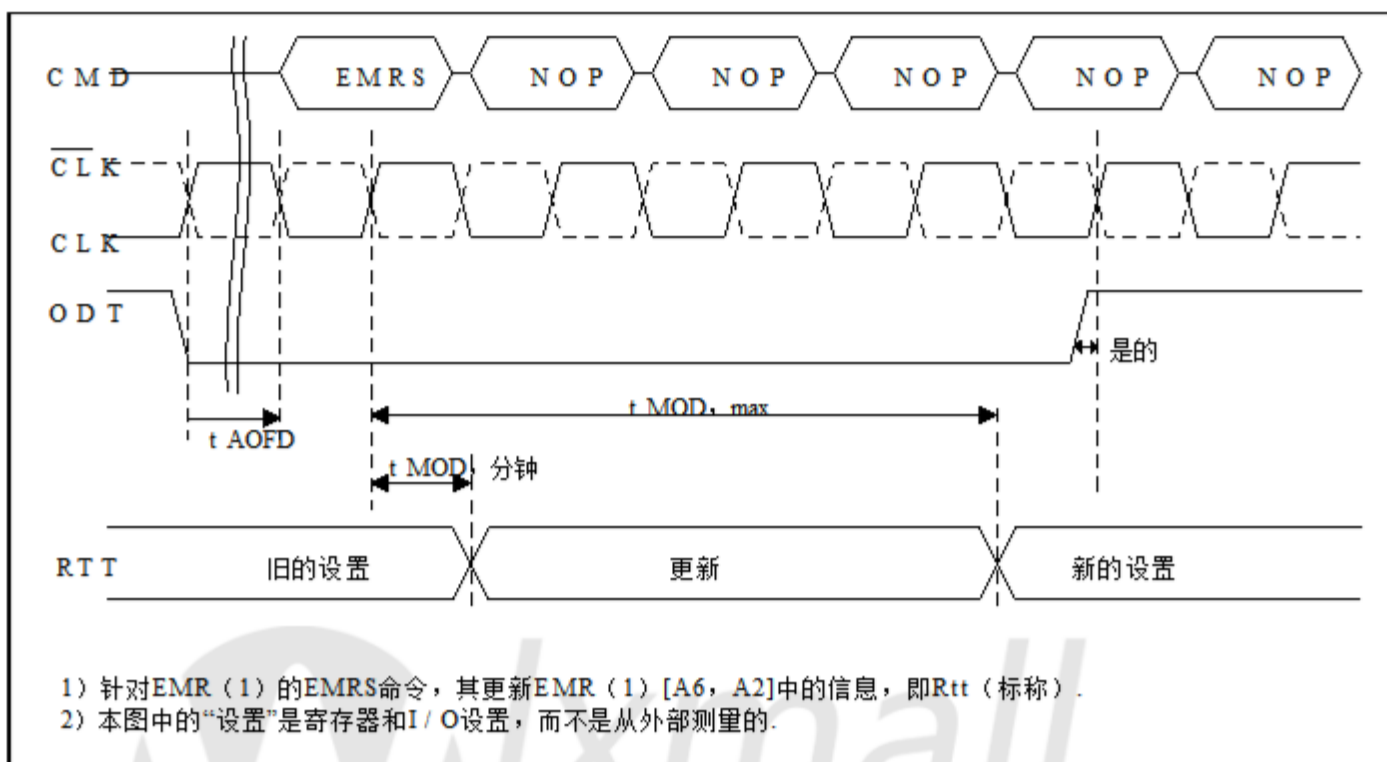
8.2.5.1 MRS命令到ODT更新延迟

在正常操作期间, 有效终端电阻的值可以通过改变

EMRS命令. Rtt设置的更新在 $t_{MOD, min}$ 和 $t_{MOD, max}$ 和CKE之间完成

在MOD MOD窗口的整个持续时间内必须保持高电平, 以便正常操作. 时间显示

在下面的时序图中.

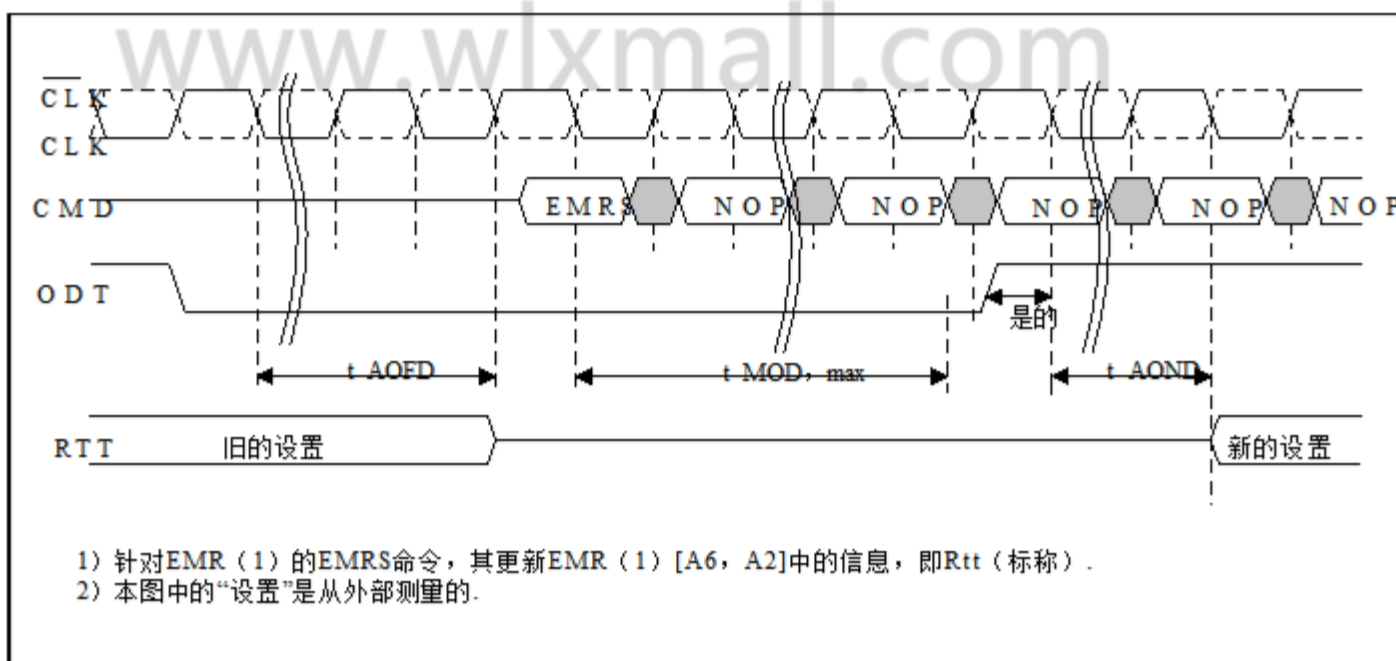
图10 - ODT更新延迟时间 - t_{MOD}

但是, 为了防止通道上出现任何阻抗毛刺, 必须满足以下条件.

≡ 在发出EMRS命令之前必须满足 t_{AOFD} .

≡ 在 t_{MOD} 窗口的整个持续时间内ODT必须保持低电平, 直到满足 t_{MOD_max} .

现在ODT已准备好用于新设置的正常操作, 并且ODT信号可能会升高再次打开ODT. 以下时序图显示了正确的Rtt更新过程.

图11 - ODT更新延迟时间 - t_{MOD} , 从外部测量



8.3 命令功能

8.3.1 银行激活命令

($\overline{\text{CS}} = \text{"L"} , \overline{\text{RAS}} = \text{"L"} , \overline{\text{CAS}} = \text{"H"} , \overline{\text{WE}} = \text{"H"} , \text{BA0}, \text{BA1} = \text{Bank}, \text{A0至A12为行地址})$

必须在执行任何读取或写入操作之前应用银行激活命令。

在存储体激活命令之后, DDR2 SDRAM可以接受读或写命令

在下一个时钟周期. 如果一个读/写命令发出给一个不满足的银行

t_{RCDmin} 规范, 那么必须将附加延迟编程到设备中, 以便延迟

读/写命令在内部发给设备. 附加延迟值必须选择为

确保 t_{RCDmin} 满意. 支持0,1,2,3,4,5和6的添加剂潜伏期. 一旦银行拥有

被激活后, 必须预先充电, 然后才能将另一个银行激活命令应用于该银行

同一家银行. 银行有效和预充电时间分别定义为 t_{RAS} 和 t_{RP} . 该

确定连续的区段激活命令到同一个区段之间的最小时间间隔

由器件的RAS周期时间 (t_{RC}) 决定. 银行激活之间的最小时间间隔

命令是 t_{RRD} .

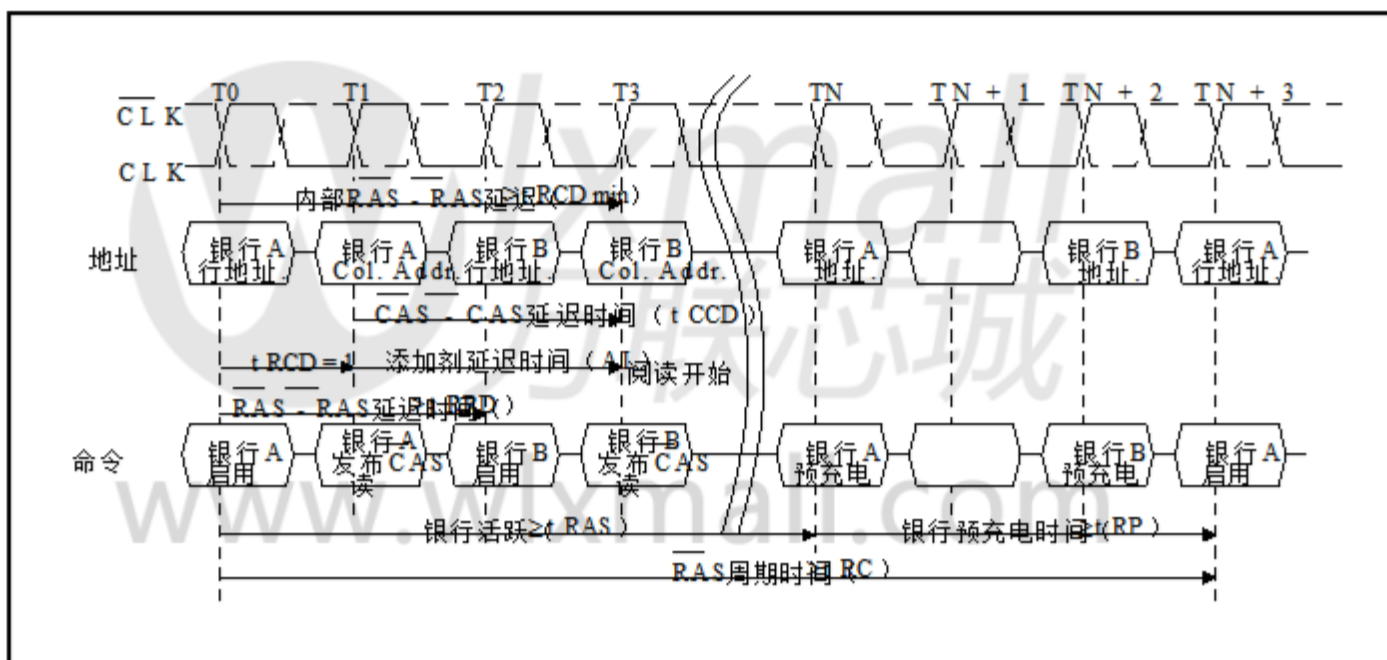


图12 - 存储区激活命令周期: $t_{\text{RCD}}=3, \text{AL}=2, t_{\text{RP}}=3, t_{\text{RRD}}=2, t_{\text{CCD}}=2$

8.3.2 阅读命令

($\overline{\text{CS}} = \text{"L"} , \overline{\text{RAS}} = \text{"H"} , \overline{\text{CAS}} = \text{"L"} , \overline{\text{WE}} = \text{"H"} , \text{BA0}, \text{BA1} = \text{Bank}, \text{A10} = \text{"L"} , \text{A0至A8为列地址})$

READ命令用于启动突发读取访问活动行. BA0, BA1上的值

输入选择存储区, A0到A8地址输入确定起始列地址. 该

地址输入A10决定是否使用自动预充电. 如果选择自动预充电,

被访问的行将在READ突发结束时被预充电. 如果自动预充电不是

选中, 该行将保持打开以供后续访问.



8.3.3 写命令

($\overline{\text{CS}} = \text{"L"} , \overline{\text{RAS}} = \text{"H"} , \overline{\text{CAS}} = \text{"L"} , \overline{\text{WE}} = \text{"L"} , \text{BA0}, \text{BA1} = \text{Bank}, \text{A10} = \text{"L"} , \text{A0至A8} = \text{列地址}$)

WRITE命令用于启动对活动行的突发写入访问。BA0, BA1上的值输入选择存储区, A0到A8地址输入确定起始列地址。该地址输入A10决定是否使用自动预充电。如果选择自动预充电, 被访问的行将在WRITE突发结束时被预充电; 如果自动预充电不是选中, 该行将保持打开以供后续访问。

8.3.4 使用自动预充电命令突发读取

($\overline{\text{CS}} = \text{"L"} , \overline{\text{RAS}} = \text{"H"} , \overline{\text{CAS}} = \text{"L"} , \overline{\text{WE}} = \text{"H"} , \text{BA0}, \text{BA1} = \text{Bank}, \text{A10} = \text{"H"} , \text{A0至A8} = \text{列地址}$)

如果读取命令发出时A10为高电平, 则使用自动预充电读取功能。DDR2 SDRAM在($\text{AL} + \text{BL} / 2$)周期的上升沿开始自动预充电操作。晚于使用AP命令读取, 如果 $t_{\text{RAS}}(\text{min})$ 和 $t_{\text{RTP}}(\text{min})$ 满足。

8.3.5 用自动预充电命令突发写入

($\overline{\text{CS}} = \text{"L"} , \overline{\text{RAS}} = \text{"H"} , \overline{\text{CAS}} = \text{"L"} , \overline{\text{WE}} = \text{"L"} , \text{BA0}, \text{BA1} = \text{Bank}, \text{A10} = \text{"H"} , \text{A0至A8} = \text{列地址}$)

如果写入命令发出时A10为高电平, 则使用自动预充电写入功能。在完成突发写入后, DDR2 SDRAM自动开始预充电操作。加上在模式寄存器中编程的写入恢复时间(WR)。

8.3.6 预充所有命令

($\overline{\text{CS}} = \text{"L"} , \overline{\text{RAS}} = \text{"L"} , \overline{\text{CAS}} = \text{"H"} , \overline{\text{WE}} = \text{"L"} , \text{BA0}, \text{BA1} = \text{不关心}, \text{A10} = \text{"H"} , \text{A0至A9和A11至A12} = \text{不要在意}$)

预充电全部命令可同时预充电所有银行。然后所有的银行都切换到了闲置状态。

8.3.7 自刷新输入命令

($\overline{\text{CS}} = \text{"L"} , \overline{\text{RAS}} = \text{"L"} , \overline{\text{CAS}} = \text{"L"} , \overline{\text{WE}} = \text{"H"} , \text{CKE} = \text{"L"} , \text{BA0}, \text{BA1}, \text{A0至A12} = \text{不关心}$)

即使系统的其他部分通电, “自刷新”命令也可用于保留数据。下。在自刷新模式下, DDR2 SDRAM保留数据而无需外部时钟。该DDR2 SDRAM器件具有内置定时器以适应自刷新操作。ODT必须是在发出自刷新命令之前关闭, 通过驱动ODT引脚为低电平或使用EMRS命令。一旦命令被注册, CKE必须保持低电平以保持设备处于Self刷新模式。进入自我刷新后, DLL会自动禁用并自动关闭。在退出自我刷新时启用。当DDR2 SDRAM进入自刷新模式时, 所有的除CKE以外的外部信号 “不要在乎”。

自刷新操作期间, 内部时钟被禁用以节省电力。用户可能会更改外部时钟频率或在自刷新条目注册后的一个时钟内暂停外部时钟; 然而, 在器件退出自刷新操作之前, 时钟必须重新启动并保持稳定。



8.3.8 自刷新退出命令

($\overline{\text{CKE}} = \text{"H"}$, $\overline{\text{CS}} = \text{"H"}$ 或 $\overline{\text{CKE}} = \text{"H"}$, $\overline{\text{CS}} = \text{"L"}$, $\overline{\text{RAS}} = \text{"H"}$, $\overline{\text{CAS}} = \text{"H"}$, $\overline{\text{WE}} = \text{"H"}$
A0到A12 = 唐 “t护理”)

退出Self Refresh的过程需要一系列命令.首先,时钟必须是
在CKE恢复高点之前保持稳定.一旦自刷新退出被注册,延迟至少为 t_{XSNR}
在向设备发出有效的命令以允许任何内部刷新之前必须满足
进行中.对于整个自刷新退出周期 t_{XSRD} ,CKE必须保持为高电平才能正常工作
自刷新重新进入除外.

退出Self Refresh后,等待后DDR2 SDRAM可以恢复自刷新模式
至少 t_{XSNR} 周期并发出一个刷新命令(t_{RFC} 的刷新周期).NOP或取消选择
命令必须在自刷新退出间隔 t_{XSNR} 期间的每个正时钟沿上进行注册.
在 t_{XSRD} 期间应关闭ODT.

自刷新模式的使用引入了内部定时刷新事件的可能性
当CKE从Self Refresh模式退出时错过了.退出自我刷新后,DDR2
SDRAM在放回Self Refresh之前至少需要一次额外的自动刷新命令
模式.

8.3.9 刷新命令

($\overline{\text{CS}} = \text{"L"}$, $\overline{\text{RAS}} = \text{"L"}$, $\overline{\text{CAS}} = \text{"L"}$, $\overline{\text{WE}} = \text{"H"}$, $\overline{\text{CKE}} = \text{"H"}$, BA0, BA1, A0至A12 = 不关心)

在DDR2 SDRAM的正常操作期间使用刷新.这个命令是非持久的,所以它
必须在每次需要刷新时发出.

刷新寻址由内部刷新控制器生成.这使地址位
“自动刷新”命令中的“不关心”.DDR2 SDRAM需要自动刷新周期
平均周期间隔为 t_{REFI} (最大).

当刷新周期完成时,DDR2 SDRAM的所有存储区都将处于预充电(空闲)
州.自动刷新命令(REF)和下一个激活命令或之间的延迟
后续自动刷新命令必须大于或等于自动刷新周期时间(t_{RFC}).

为了提高任务调度和切换的效率,
提供绝对刷新间隔.最多八个刷新命令可以发布给任何人
给出DDR2 SDRAM,这意味着任何刷新命令之间的最大绝对间隔
并且下一个刷新命令是 $9 \times t_{\text{REFI}}$.

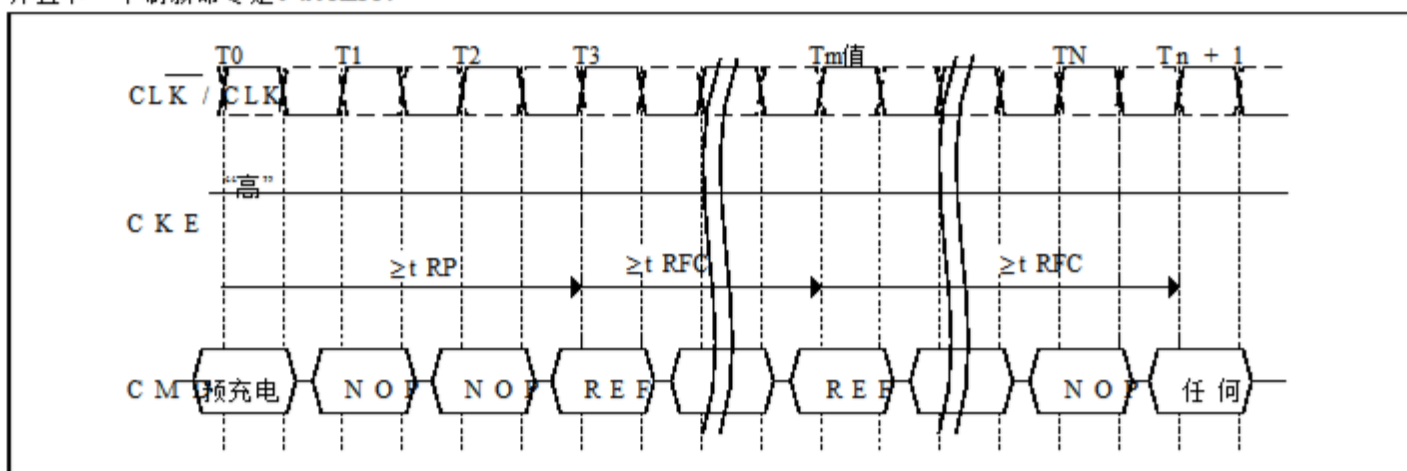


图13 - 刷新命令



8.3.10 无操作命令

($\overline{\text{CS}} = \text{"L"}^*$, $\overline{\text{RAS}} = \text{"H"}^*$, $\overline{\text{CAS}} = \text{"H"}^*$, $\overline{\text{WE}} = \text{"H"}^*$, $\overline{\text{CKE}}$, BA0, BA1, A0至A12 = 不关心)

无操作命令简单地不执行任何操作 (与设备取消选择相同的命令)。

8.3.11 设备取消选择命令

($\overline{\text{CS}} = \text{"H"}^*$, $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{WE}}$, $\overline{\text{CKE}}$, BA0, BA1, A0至A12 = 不关心)

设备取消选择命令禁用命令解码器, 以便 RAS, CAS, WE 和地址输入被忽略。该命令类似于无操作命令。

8.4 读取和写入访问模式

DDR2 SDRAM 提供快速列访问操作。一个读或写命令将会在连续的时钟周期内启动串行读取或写入操作。爆发周期的边界是严格限制在页面长度的特定部分。

4 Mbit x 16 I / O x 4 Bank 芯片的页长为 512 位 (由 CA0 至 CA8 定义) 取决于突发, 512 的长度被划分为 128 或 64 个唯一可寻址的边界分段。长度为 128 位, 4 位突发为 64 位, 8 位突发为 64 位。将发生 4 位或 8 位突发操作完全在提供给设备的列地址开始的 128 个或 64 个组中的一个之内。读或写命令 (CA0 至 CA8) 期间, 第二, 第三和第四次访问也将发生在这个小组中。然而, 突发顺序是起始地址和突发的函数序列。

*. 这一页

在 BL = 4 设置的情况下, 新的突发访问不能中断先前的 4 位突发操作。但是, 在 BL = 8 设置的情况下, 允许两个由新的突发访问中断的情况, 一个是中断由读取中断的读取, 其他写入由具有 4 位突发边界的写入中断。分别, CAS 到 CAS 延迟的最小值由 t_{CCD} 定义, 最小为 2 个时钟读或写周期。

注意: 页长是 I / O 组织和列寻址的函数

4M 比特 x 16 组织 (CA0 到 CA8); 页长 = 512 位

8.4.1 发布 CAS

支持所发布的 CAS 操作, 以使命令和数据总线高效可持续

DDR2 SDRAM 中的带宽。在此操作中, DDR2 SDRAM 允许 CAS 读取或写入

命令在 RAS 银行激活命令之后立即发出 (或在任何时候发生

RAS-CAS-延迟时间, t_{RCD}, 周期)。该命令在添加延迟时间 (AL)

在设备内发布之前。读取延迟 (RL) 由 AL 和 的总和

CAS 潜伏期 (CL)。因此, 如果用户选择在 t_{RCDmin} 之前发出读/写命令,

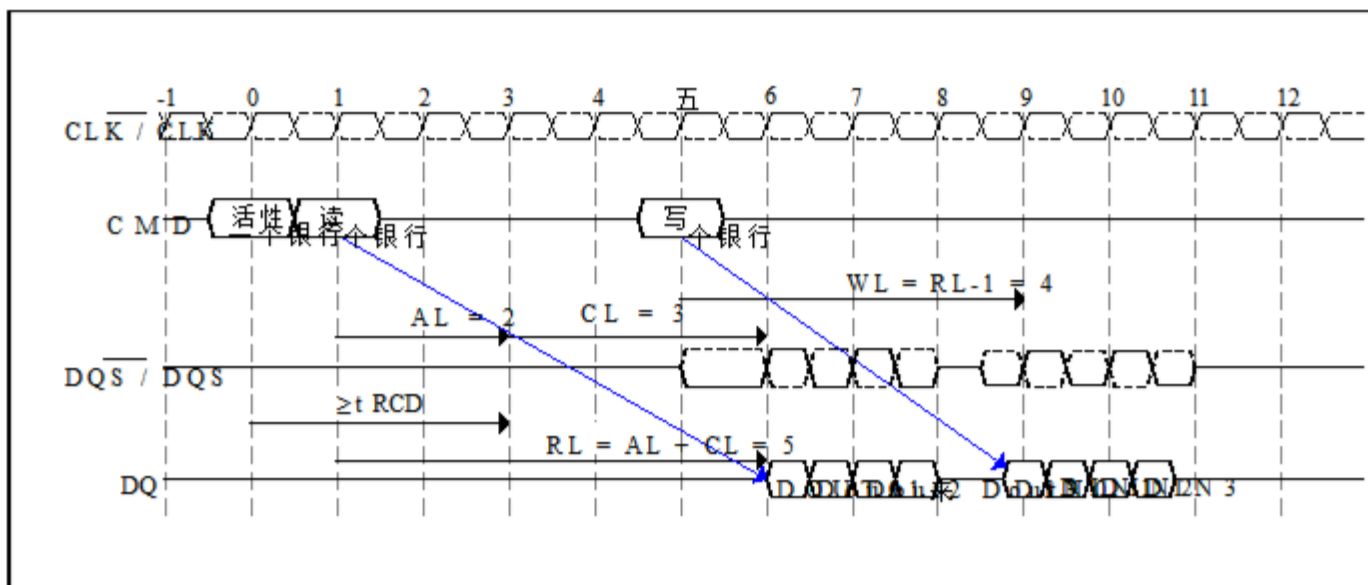
那么必须将 AL (大于 0) 写入 EMR (1)。写延迟 (WL) 总是被定义的

作为 RL - 1 (读取延迟 - 1), 其中读取延迟定义为加性延迟加 CAS 的总和

延迟 (RL = AL + CL)。使用 AL 的读取或写入操作允许无缝突发。(例子时间波形请参阅第 11 章中的 11.10 和 11.11 无缝突发读/写操作图)

8.4.1.1 发布的 CAS 操作示例

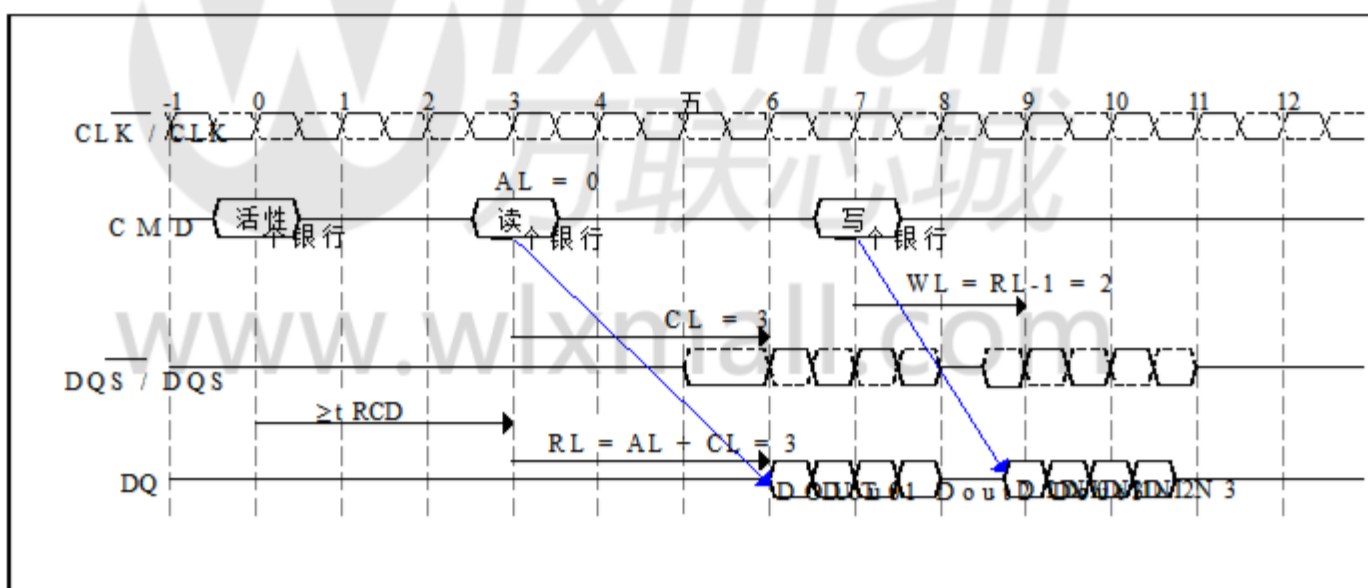
示出了随后写入 AL = 2 和 AL = 0 的相同存储体的读取示例。分别在图 14 和 15 中。



[AL = 2和CL = 3, RL = (AL + CL) = 5, WL = (RL - 1) = 4, BL = 4]

图14 - 示例1: 读取, 然后写入同一个银行,

其中AL = 2和CL = 3, RL = (AL + CL) = 5, WL = (RL - 1) = 4, BL = 4



AL = 0和CL = 3, RL = (AL + CL) = 3, WL = (RL - 1) = 2, BL = 4]

图15 - 示例2: 读取, 然后写入同一个银行,

其中AL = 0和CL = 3, RL = (AL + CL) = 3, WL = (RL - 1) = 2, BL = 4

8.4.2 突发模式操作

突发模式操作用于向存储器位置 (写周期) 提供持续的数据流, 或者

从内存位置 (读周期) 定义突发模式如何操作的参数是

突发序列和突发长度. DDR2 SDRAM仅支持4位和8位突发模式. 8

bit突发模式, 支持全交叉地址排序, 但是, 顺序地址排序是

轻松实现. 突发长度是可编程的并由MR A [2: 0]定义.

突发类型, 无论是顺序还是交错, 都是可编程的, 并由MR [A3]定义. 无缝

支持突发读取或写入操作.



与DDR1器件不同, 在BL = 4模式操作期间突发读取或写入周期的中断是禁止.但是, 在BL = 8模式下, 突发读取或写入操作的中断仅限于两种情况, 由读取中断的读取或由写入中断的写入. (示例时序波形请参阅11.12和11.13第11章中的突发读写中断时序图)

因此DDR2 SDRAM器件不支持Burst Stop命令.

表3 - 突发长度和序列

突发长度	起始地址 (A2 A1 A0)	顺序寻址 (十进制)	交错寻址 (十进制)
4	X00	0,1,2,3	0,1,2,3
	X01	1, 2, 3, 0	1, 0, 3, 2
	X10	2, 3, 0, 1	2, 3, 0, 1
	X11	3, 0, 1, 2	3, 2, 1, 0
8	000	0, 1, 2, 3, 4, 5, 6, 7	0, 1, 2, 3, 4, 5, 6, 7
	001	1,2,3, 0, 5, 6, 7, 4	1, 0, 3, 2, 5, 4, 7, 6
	010	1,2,3, 0,1,6,7,4,5	1,2,3, 0,1,6,7,4,5
	011	3, 0, 1, 2, 7, 4, 5, 6	3, 2, 1, 0, 7, 6, 5, 4
	100	4, 5, 6, 7, 0, 1, 2, 3	4, 5, 6, 7, 0, 1, 2, 3
	101	5, 6, 7, 4, 1, 2, 3, 0	5, 4, 7, 6, 1, 0, 3, 2
	110	6, 7, 4, 5, 2, 3, 0, 1	6, 7, 4, 5, 2, 3, 0, 1
	111	7, 4, 5, 6, 3, 0, 1, 2	7, 6, 5, 4, 3, 2, 1, 0

8.4.3 突发读取模式操作

突发读取使用READ命令启动.地址输入决定起始列
地址为突发.从命令开始到数据从第一个单元格开始的延迟
出现在输出上等于读取延迟(RL)的值.数据选通输出(DQS)为
在有效数据(DQ)被驱动到数据总线之前驱动为低一个时钟周期.突发的第一位
与数据选通(DQS)的上升沿同步.每个后续数据输出都会显示在上面
DQ引脚与源同步方式的DQS信号同相. RL等于一个
附加潜伏期(AL)加上CAS潜伏期(CL). CL由模式寄存器组(MRS)定义.该
AL由扩展模式寄存器EMR(1)定义. (示例时序波形参见11.6和
11.7第11章数据输出(读)定时和突发读操作图)

8.4.4 突发写入模式操作

突发写入使用WRITE命令启动.地址输入决定起始列
地址为突发.写入延迟(WL)由读取延迟(RL)减一并且相等
到(AL + CL - 1);并且是写入时所需的延迟时钟数
命令被注册到与第一个DQS选通关联的时钟边沿.数据选通信号
(DQS)应该在WL之前名义上的半个时钟驱动为低(前导码).第一个数据位
脉冲周期必须在前同步码之后的DQS的第一个上升沿处应用于DQ引脚.
对于每个向其相关时钟边沿的正DQS过渡, 必须满足tDQSS规范
写周期期间.随后的突发比特数据在DQS的连续边缘上发布直到
突发长度完成, 即4或8位突发.当爆发完成后, 任何额外的
提供给DQ引脚的数据将被忽略.在突发写入操作之后, DQ信号被忽略
完成.从突发写入完成到组预充电的时间是写入恢复时间
(WR). (示例时序波形参考11.8和11.9数据输入(写入)时序和突发写入
操作图在第11章)



8.4.5 写数据掩码

DDR2 SDRAM支持每8个数据位(DQ)的写入数据掩码(DM)引脚,与DDR1 SDRAM的实施一致.它在写入操作上具有相同的时序数据位,尽管以单向方式使用,但内部加载的数据位与数据位相同确保匹配的系统时间.DM在读周期中不使用.(示例时序波形参考11.14使用第11章中的数据掩码图进行写操作)

8.5 突发中断

对于突发长度为4的读取或写入突发中断是被禁止的,并且只允许突发长度为8在以下条件下:

- 1.只能由另一个读取命令中断8个读取脉冲串.通过读取突发中断写或预充命令被禁止.
- 2.写入8个脉冲只能被另一个写入命令中断.通过写入突发中断读或预充命令被禁止.
- 3.读取突发中断必须在前一个读取命令之后的两个时钟之后发生.任何其他读取突发中断时序被禁止.
- 4.写入突发中断必须在上一个写入命令之后的两个时钟之后发生.任何其他写入突发中断时序被禁止.
- 5.允许读或写突发中断到DDR2 SDRAM中的任何bank.
- 6.自动预充电启用的读或写突发不允许中断.
7. Read with Auto-precharge命令允许读取突发中断.
- 8.使用自动预充电写入命令允许写入突发中断.
- 9.所有命令时序都参考模式寄存器中设置的突发长度.他们不是参考实际突发.例如下面:
 - ≡ 最小读取到预充电时间是 $AL + BL / 2$, 其中BL是在中设置的突发长度模式寄存器,而不是实际的突发(由于中断而较短).
 - ≡ 最小写入预充电时间为 $WL + BL / 2 + tWR$, 其中 tWR 从上升开始时钟在未中断的突发结束之后,而不是从实际突发结束时结束.

(示例时序波形参考11.12和11.13中的突发读写中断时序图第11章)



8.6 预充电操作

预充电命令用于预充电或关闭已激活的银行.该
预充电命令可用于同时为每个银行独立或所有银行预充电.
三个地址位A10, BA0和BA1用于定义在哪个存储区预充电
命令发出.

表4 - 通过地址位进行预充电的存储区选择

A10	BA1	BA0	预充电银行
低	低	低	仅限银行0
低	低	高	仅限银行1
低	高	低	仅限银行2
低	高	高	仅限银行3
高	唐 “不在乎”	唐 “不在乎”	所有银行

8.6.1 突发读取操作，然后进行预充电

最小读取到预充电命令间隔到同一个存储区 = $AL + BL / 2 + \text{最大}(RTP, 2) - 2$ 个时钟

对于尽可能早的预充电，预充电命令可以在上升沿发出
是在读命令之后的“附加延迟 (AL) + BL / 2 + 最大 (RTP, 2) - 2 个时钟”.新的银行活跃
(命令) 可以在RAS预充电时间 (tRP) 之后发给同一个银行.预充电
直到tRAS 满足时 才能发出命令.

读取至预充电间隔的最小值也必须满足上升时的最小模拟时间
时钟边沿启动读取预充电命令的最后一个4位预取.这一次被称为
tRTP (读取预充电).对于BL=4, 这是从实际读取的时间 (读取后的AL
命令) 预充电命令.对于BL=8, 这是从读取后的AL+2个时钟开始的时间
预充电命令. (示例时序波形参考11.15至11.19突发读取操作
其次是第11章中的预充电图)

8.6.2 突发写入操作，然后进行预充电

最小写入预充电命令间隔到同一个存储单元 = $WL + BL / 2 \text{ clocks} + tWR$

对于写周期，必须在完成最后一次突发写周期之后才能满足延时，直到达到
预充电命令可以发出.这个延迟被称为 参考的写入恢复时间 (tWR)
从突发写入完成到预充电命令.没有预充电命令应该
在tWR 延迟 之前发布. (示例时序波形参考11.20至11.21突发写入操作
其次是第11章中的预充电图)

8.7 自动预充电操作

在活动银行中的新行可以打开之前，活动银行必须使用任一方式预先收取
预充电命令或自动预充电功能.当给出读或写命令时

到DDR2 SDRAM, CAS定时接受一个额外的地址，列地址A10, 以允许
主动银行在突发读取期间的最早时刻自动开始预充电

写周期.如果READ或WRITE命令发出时A10为低电平，则正常读或写
突发操作被执行，并且在突发序列完成时存储体保持激活状态.如果
当发出读取或写入命令时，A10为高电平，则自动预充电功能为
从事.在自动预充电过程中，读取命令将像平常一样执行，不同之处在于
有效存储区将在CAS延迟 (CL) 时钟周期的上升沿开始预充电
读取爆发的结束.



自动预充电也在写入命令期间执行.预充电操作
直到突发写入序列的最后数据正确, 自动预充电命令才会开始
存储在存储阵列中.

此功能允许预充电操作在突发读取期间部分或完全隐藏
周期(取决于CAS延迟), 从而提高随机数据访问的系统性能.

RAS锁定电路在内部延迟预充电操作, 直到阵列恢复操作
已经完成(t_{RAS} 满意), 因此自动预充电命令可以与任何发出
读或写命令.

8.7.1 突发读取与自动预充电

如果读取命令发出时A10为高电平, 则使用自动预充电读取功能.
DDR2 SDRAM在 $(AL + BL / 2)$ 周期的上升沿开始自动预充电操作
如果满足 $t_{RAS}(\min)$ 和 $t_{RTP}(\min)$, 则从AP命令读取. (示例时机
波形请参见第11章中的自动预充电图11.22突发读操作)

如果 在边缘不满足 $t_{RAS}(\min)$, 则自动预充电操作的起始点将延迟到
 $t_{RAS}(\min)$ 满足.

如果 $t_{RTP}(\min)$ 在边沿不满足, 自动预充电操作的起始点将延迟到
 $t_{RTP}(\min)$ 满足.

如果内部预充电由 t_{RTP} 推出, 则 t_{RP} 从 t_{RTP} 结束的位置开始(不是在
此事件之后的下一个上升时钟边缘).因此, 对于 $BL = 4$, 从Read with Auto-
预充电到下一个激活命令变为 $AL + RU\{(t_{RTP} + t_{RP}) / t_{CK}(\text{avg})\}$ (示例时序
对于 $BL = 8$, 请参阅第11章中的自动预充电图11.23的突发读取操作
从自动预充电读取到下一个激活命令的时间为 $AL + 2 + RU\{(t_{RTP} + t_{RP}) / t_{CK}(\text{avg})\}$ 其中RU代表“四舍五入到下一个整数”.无论如何, 内部预充电都是如此
在最后4位预取之后的两个时钟之前不会开始.

如果满足以下两个条件, 新的银行活跃指令可能会发给同一家银行
同时满意.

- ≡ RAS预充电时间(t_{RP})已从自动预充电时钟满足
开始.
- ≡ 来自上一家银行激活的RAS周期时间(t_{RC})已经满足.

(示例时序波形参见11.24至11.25.使用自动预充电后接一个脉冲串进行突发读取
激活到第11章中的同一个银行($t_{RC} \text{ Limit}$)和($t_{RP} \text{ Limit}$)图)

8.7.2 突发写入自动预充电

如果写入命令发出时A10为高电平, 则使用自动预充电写入功能.
在完成突发写入后, DDR2 SDRAM自动开始预充电操作
加上在模式寄存器中编程的写入恢复时间(WR).该银行正在进行自动 -
如果以下两个条件是可以重新激活写突发完成的预充电
满意.

- ≡ 数据输入到存储区激活延迟时间($WR + t_{RP}$)已满足.
- ≡ 来自上一家银行激活的RAS周期时间(t_{RC})已经满足.

(示例时序波形参见11.26至11.27使用自动预充电(t_{RC} 限制)进行突发写入
($WR + t_{RP}$ 极限)图第11章)



表5 - 预充电和自动预充电说明

从命令	命令	“From”之间的最小延迟命令“到”命令“	单元	笔记
读	预收（与Read相同的银行）	$AL + BL / 2 + \max(RTP, 2) - 2$	CLKS	1, 2
	预充所有	$AL + BL / 2 + \max(RTP, 2) - 2$	CLKS	1, 2
阅读w / AP	预付费（与AP一致的同一银行）	$AL + BL / 2 + \max(RTP, 2) - 2$	CLKS	1, 2
	预充所有	$AL + BL / 2 + \max(RTP, 2) - 2$	CLKS	1, 2
写	预充电（写入同一银行）	$WL + BL / 2 + tWR$	CLKS	2
	预充所有	$WL + BL / 2 + tWR$	CLKS	2
写w / AP	预充电（与写有w / AP的同一银行）	$WL + BL / 2 + WR$	CLKS	2
	预充所有	$WL + BL / 2 + WR$	CLKS	2
预充电	预充电（与预充电相同的银行）	1	CLKS	2
	预充所有	1	CLKS	2
预充电所有	预充电	1	CLKS	2
	预充所有	1	CLKS	2

笔记：

1. $RTP [周期] = RU \{tRTP [nS] / tCK (avg) [nS]\}$ ，其中RU代表四舍五入。

对于给定的银行，预充电时间应该从最新的预充电指令中计算出来，或者是一个银行预充电或者预付全部，发给该银行。取决于最新的预充电命令，预充电周期在tRP之后满足发给该银行。

8.8 刷新操作

DDR2 SDRAM需要以64 mS间隔刷新所有行。必要的刷新可以

可以通过以下两种方式之一来生成：通过显式自动刷新命令或通过内部定时Self

刷新模式。将设备行数分成滚动64 mS间隔定义平均值

刷新间隔tREFI，这是分布式刷新时序控制器的指导原则。

当CS，RAS和CAS在时钟的上升沿保持低电平和WE高电平时，芯片

进入刷新模式（REF）。DDR2 SDRAM的所有存储区必须预先充电并闲置一段时间

可以应用刷新命令（REF）之前的预充电时间（tRP）的最小值。一个地址

计数器在设备内部在刷新周期内提供银行地址。没有控制的

一旦这个周期开始，需要外部地址总线。（示例时序波形参见11.28

第11章自刷新图）

8.9 掉电模式

当CKE被注册为低电平时，与NOP或取消选择同时进入掉电模式

命令。模式寄存器或扩展模式寄存器命令时，CKE不允许变为低电平

时间或读或写操作正在进行中。允许CKE在任何其他操作时变为低电平

如行激活，预充电或自动预充电或自动刷新正在进行中，但电源关闭

在完成这些操作之前，我将不会应用DD规范。

进入掉电模式时，DLL应处于锁定状态。否则，DLL应该被重置

在退出掉电模式后进行正确的读操作。



8.9.1 关机输入

器件上可以执行两种掉电模式：预充电掉电模式和主动掉电模式。

如果在所有银行空闲时发生掉电，该模式称为预充电断电；如果当任何一个存储区中有一行有效时，会发生掉电，这种模式称为有功功率下。进入省电模式将关闭输入和输出缓冲器，不包括CLK，CLK，ODT和CKE。此外，DLL在进入预充电电源关闭或慢速退出有功电源关闭时被禁用，但是DLL在快速退出Active Power Down期间保持启用状态。

在掉电模式下，CKE LOW和一个稳定的时钟信号必须保持在输入端DDR2 SDRAM和ODT应处于有效状态，但所有其他输入信号均为“不要在意”。CKE LOW必须保持到t_{CKE}得到满足。最大断电持续时间受限于该设备的刷新要求，允许最多9 x tREFI，如果最大张贴在进入掉电之前立即使用REF。 (示例时序波形参见11.29至11.30第11章中的有功和预充电掉电模式进入和退出图)

8.9.2 关机退出

当CKE被注册为高电平时，掉电状态会同步退出（连同NOP或取消选择命令）。必须保持CKE高，直到t_{CKE}得到满足。有效的可执行文件命令可以在掉电退出延迟，t_{XP}，t_{XARD}或t_{XARDS}后应用，在CKE变为高电平后。本数据手册的AC特性表中定义了掉电退出延迟。

8.10 预充电断电期间输入时钟频率的变化

DDR2 SDRAM输入时钟频率可在以下条件下更改：

DDR2 SDRAM处于预充电断电模式。必须关闭ODT并且CKE必须处于逻辑状态低。在时钟频率可能之前，CKE变为低电平后，必须至少等待2个时钟更改。SDRAM输入时钟频率只允许在最小和最大范围内变化为特定速度等级规定的工作频率。在输入时钟频率变化期间，ODT和CKE必须保持稳定的低电平。

一旦输入时钟频率改变，必须在DRAM之前提供稳定的新时钟。在预充电之后，预充电功率下降可能会退出并且DLL必须通过MRS命令进行复位。断电退出。根据新的时钟频率，可能会有附加的MRS或EMRS命令需要发布适当的WR，CL等。

在DLL重新锁定期间，ODT必须保持关闭状态。在DLL锁定时间之后，DRAM准备好了以新的时钟频率运行。(示例时序波形参考11.31时钟频率变化在第11章的预充电掉电模式图中)



9. 操作模式

9.1 命令真相表

命令	CKE		BA 1 BA 0	A 1 2 A 1 1	A 1 0	A9-A0	$\overline{\text{CS}}$	$\overline{\text{RAS}}$	$\overline{\text{CAS}}$	$\overline{\text{我们}}$	笔记
	以前 周期	当前 周期									
银行激活	H	H	BA	行地址			大号	大号	H	H	1, 2
单一银行 预充电	H	H	BA	X	大号	X	大号	大号	H	大号	1, 2
预充所有 银行	H	H	X	X	H	X	大号	大号	H	大号	1
写	H	H	BA	柱	大号	柱	大号	H	大号	大号	1, 2, 3
用写 自动预充电	H	H	BA	柱	H	柱	大号	H	大号	大号	1, 2, 3
读	H	H	BA	柱	大号	柱	大号	H	大号	H	1, 2, 3
阅读 自动预充电	H	H	BA	柱	H	柱	大号	H	大号	H	1, 2, 3
(扩展) 模式寄存器 组	H	H	BA	OP代码			大号	大号	大号	大号	1, 2
没有操作	H	X	X	X	X	X	大号	H	H	H	1
设备 取消	H	X	X	X	X	X	H	X	X	X	1
刷新	H	H	X	X	X	X	大号	大号	大号	H	1
自我刷新 条目	H	大号	X	X	X	X	大号	大号	大号	H	1, 4
自我刷新 出口	大号	H	X	X	X	X	H	X	X	X	1, 4, 5
							大号	H	H	H	
掉电 模式输入	H	大号	X	X	X	X	H	X	X	X	1, 6
							大号	H	H	H	
掉电 模式退出	大号	H	X	X	X	X	H	X	X	X	1, 6
							大号	H	H	H	

笔记：

1. 所有DDR2 SDRAM命令都由状态定义 $\overline{\text{CS}}$, $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{WE}}$ 和CKE在时钟的上升沿.
2. 银行地址BA [1: 0]决定要操作哪个银行.对于 (E) MRS BA选择 (扩展) 模式寄存器.
3. BL = 4时的突发读取或写入不能终止或中断.有关详细信息, 请参阅第8.5节中的突发中断.
4. 自刷新操作期间必须维持 V REF.
5. 自刷新退出是异步的.
6. 关机不执行任何刷新操作.休眠模式的持续时间因此受到限制
刷新要求在第8.9节中概述.



9.2 时钟使能 (CKE) 真值表用于同步转换

当前 州 ²	CKE		命令 (N) ³ RAS, CAS, WE, CS	行动 (N) ³	笔记
	上一个周期 ¹ (N-1)	当前周期 ¹ (N)			
掉电	大号	大号	X	保持关机	11, 13, 15
	大号	H	DESELECT或NOP	关机退出	4, 8, 11, 13
自我刷新	大号	大号	X	保持关机	11, 15, 16
	大号	H	DESELECT或NOP	自刷新退出	4, 5, 9, 16
银行活跃	H	大号	DESELECT或NOP	主动关机 条目	4, 8, 10, 11, 13
所有银行闲置	H	大号	DESELECT或NOP	预充电关机 条目	4, 8, 10, 11, 13
	H	大号	REFRESH	自刷新条目	6, 9, 11, 13
	H	H	参考命令真值表		7

笔记:

1. CKE (N) 是CKE在时钟沿N的逻辑状态; CKE (N-1) 是前一个时钟沿的CKE状态.
2. 当前状态是时钟沿N之前的DDR2 SDRAM的状态.
3. COMMAND (N) 是在时钟边缘N注册的命令, ACTION (N) 是COMMAND (N) 的结果.
4. 未显示的所有状态和序列都是非法的或保留的, 除非在本文档的其他地方明确描述.
5. 在自刷新时退出在 XSNR 周期期间发生的每个时钟边沿必须发出DESELECT或NOP命令.
只有在满足 t_{XSRD} (200个时钟) 之后才能发出读命令.
6. 自刷新模式只能从所有银行空闲状态进入.
7. 必须是命令真值表中定义的合法命令.
8. 断电进入和退出的有效命令仅为NOP和DESELECT.
9. 自刷新退出的有效命令只有NOP和DESELECT.
10. 读或写操作 (扩展) 模式寄存器设置时, 不能进入掉电和自刷新.
操作或预充电操作正在进行中. 参见8.9节 “掉电模式” 和第8.3.7 / 8.3.8节 “自我刷新进入命令/自刷新退出命令” 有关限制的详细清单.
11. 3个时钟的 t_{CKEmin} 意味着CKE必须在三个连续的正时钟沿上注册. CKE必须留在有效输入电平达到3个注册时间所需的全部时间. 因此, 在任何CKE转换之后, CKE可能不会在 $t_{IS} + 2 \times t_{CK} + t_{IH}$ 的时间段内从其有效水平转换.
12. ODT的状态不会影响本表中所述的状态. ODT功能在自刷新过程中不可用.
参见第8.2.4节.
13. 关机不执行任何刷新操作. 休眠模式的持续时间因此受到限制.
刷新要求在第8.9节中概述.
14. 当SDRAM处于OCD校准模式时, CKE必须保持高电平.
15. “自我刷新和关机” 中的 “X” 表示 “不在意” (包括在 V_{REF} 周围浮动). 但是ODT必须被驱动.
如果启用了ODT功能, 则在掉电时为高或低 (EMR (1) 中的位A2或A6设置为 “1”).
16. 自刷新操作期间必须维持 V_{REF} .

9.3 数据掩码 (DM) 真值表

功能	DM	DQS	注意
写使能	大号	有效	1
写禁止	H	X	1

注意:

1. 用于屏蔽写入数据, 与相应的数据一致.



9.4 功能真值表

当前 州	CS	RAS	CAS	我们	地址	命令	行动	笔记
闲	H	X	X	X	X	DSL	NOP或掉电	
	大号	H	H	H	X	NOP	NOP或掉电	
	大号	H	大号	H	BA, CA, A10	读 / READA	非法	1
	大号	H	大号	大号	BA, CA, A10	WRIT / WRITA	非法	1
	大号	大号	H	H	BA, RA	法案	行激活	
	大号	大号	H	大号	BA, A10	PRE / PREA	预充/预充所有银行	
	大号	大号	大号	H	X	REF / SELF	自动刷新或自刷新	2
	大号	大号	大号	大号	操作码	MRS / EMRS	模式/扩展寄存器访问	2
银行 活性	H	X	X	X	X	DSL	NOP	
	大号	H	H	H	X	NOP	NOP	
	大号	H	大号	H	BA, CA, A10	读 / READA	开始阅读	
	大号	H	大号	大号	BA, CA, A10	WRIT / WRITA	开始写	
	大号	大号	H	H	BA, RA	法案	非法	1
	大号	大号	H	大号	BA, A10	PRE / PREA	预充/预充所有银行	
	大号	大号	大号	H	X	REF / SELF	非法	
	大号	大号	大号	大号	操作码	MRS / EMRS	非法	
读	H	X	X	X	X	DSL	继续爆发结束	
	大号	H	H	H	X	NOP	继续爆发结束	
	大号	H	大号	H	BA, CA, A10	读 / READA	突发中断	1, 3
	大号	H	大号	大号	BA, CA, A10	WRIT / WRITA	非法	1
	大号	大号	H	H	BA, RA	法案	非法	1
	大号	大号	H	大号	BA, A10	PRE / PREA	非法	1
	大号	大号	大号	H	X	REF / SELF	非法	
	大号	大号	大号	大号	操作码	MRS / EMRS	非法	
写	H	X	X	X	X	DSL	继续爆发结束	
	大号	H	H	H	X	NOP	继续爆发结束	
	大号	H	大号	H	BA, CA, A10	读 / READA	非法	1
	大号	H	大号	大号	BA, CA, A10	WRIT / WRITA	突发中断	1, 3
	大号	大号	H	H	BA, RA	法案	非法	1
	大号	大号	H	大号	BA, A10	PRE / PREA	非法	1
	大号	大号	大号	H	X	REF / SELF	非法	
	大号	大号	大号	大号	操作码	MRS / EMRS	非法	



函数真理表，继续

当前 州	CS	RAS	CAS	我们	地址	命令	行动	笔记
阅读 汽车- 预充电	H	X	X	X	X	DSL	继续爆发结束	
	大号	H	H	H	X	NOP	继续爆发结束	
	大号	H	大号	H	BA, CA, A10	读 / READA	非法	1
	大号	H	大号	大号	BA, CA, A10	WRIT / WRITA	非法	1
	大号	大号	H	H	BA, RA	法案	非法	1
	大号	大号	H	大号	BA, A10	PRE / PREA	非法	1
	大号	大号	大号	H	X	REF / SELF	非法	
	大号	大号	大号	大号	操作码	MRS / EMRS	非法	
用写 汽车- 预充电	H	X	X	X	X	DSL	继续爆发结束	
	大号	H	H	H	X	NOP	继续爆发结束	
	大号	H	大号	H	BA, CA, A10	读 / READA	非法	1
	大号	H	大号	大号	BA, CA, A10	WRIT / WRITA	非法	1
	大号	大号	H	H	BA, RA	法案	非法	1
	大号	大号	H	大号	BA, A10	PRE / PREA	非法	1
	大号	大号	大号	H	X	REF / SELF	非法	
	大号	大号	大号	大号	操作码	MRS / EMRS	非法	
预充电	H	X	X	X	X	DSL	NOP-> tRP 后空闲	
	大号	H	H	H	X	NOP	NOP-> tRP 后空闲	
	大号	H	大号	H	BA, CA, A10	读 / READA	非法	1
	大号	H	大号	大号	BA, CA, A10	WRIT / WRITA	非法	1
	大号	大号	H	H	BA, RA	法案	非法	1
	大号	大号	H	大号	BA, A10	PRE / PREA	NOP-> tRP 后空闲	1
	大号	大号	大号	H	X	REF / SELF	非法	
	大号	大号	大号	大号	操作码	MRS / EMRS	非法	
行 激活	H	X	X	X	X	DSL	NOP-> tRCD 后有效	
	大号	H	H	H	X	NOP	NOP-> tRCD 后有效	
	大号	H	大号	H	BA, CA, A10	读 / READA	非法	1
	大号	H	大号	大号	BA, CA, A10	WRIT / WRITA	非法	1
	大号	大号	H	H	BA, RA	法案	非法	1
	大号	大号	H	大号	BA, A10	PRE / PREA	非法	1
	大号	大号	大号	H	X	REF / SELF	非法	
	大号	大号	大号	大号	操作码	MRS / EMRS	非法	



函数真理表，继续

当前 州	CS	RAS	CAS	我们	地址	命令	行动	笔记
写 恢复	H	X	X	X	X	DSL	NOP-> tWR 后存活	
	大号	H	H	H	X	NOP	NOP-> tWR 后存活	
	大号	H	大号	H	BA, CA, A10	读 / READA	非法	1
	大号	H	大号	大号	BA, CA, A10	WRIT / WRITA	新写	
	大号	大号	H	H	BA, RA	法案	非法	1
	大号	大号	H	大号	BA, A10	PRE / PREA	非法	1
	大号	大号	大号	H	X	REF / SELF	非法	
	大号	大号	大号	大号	操作码	MRS / EMRS	非法	
写 恢复 与Auto- 预充电	H	X	X	X	X	DSL	NOP-> tWR 后预充电	
	大号	H	H	H	X	NOP	NOP-> tWR 后预充电	
	大号	H	大号	H	BA, CA, A10	读 / READA	非法	1
	大号	H	大号	大号	BA, CA, A10	WRIT / WRITA	非法	1
	大号	大号	H	H	BA, RA	法案	非法	1
	大号	大号	H	大号	BA, A10	PRE / PREA	非法	1
	大号	大号	大号	H	X	REF / SELF	非法	
	大号	大号	大号	大号	操作码	MRS / EMRS	非法	
清爽	H	X	X	X	X	DSL	NOP-> tRC 后空闲	
	大号	H	H	H	X	NOP	NOP-> tRC 后空闲	
	大号	H	大号	H	BA, CA, A10	读 / READA	非法	
	大号	H	大号	大号	BA, CA, A10	WRIT / WRITA	非法	
	大号	大号	H	H	BA, RA	法案	非法	
	大号	大号	H	大号	BA, A10	PRE / PREA	非法	
	大号	大号	大号	H	X	REF / SELF	非法	
	大号	大号	大号	大号	操作码	MRS / EMRS	非法	
模式 寄存器 访问	H	X	X	X	X	DSL	NOP-> MRD 后空闲	
	大号	H	H	H	X	NOP	NOP-> MRD 后空闲	
	大号	H	大号	H	BA, CA, A10	读 / READA	非法	
	大号	H	大号	大号	BA, CA, A10	WRIT / WRITA	非法	
	大号	大号	H	H	BA, RA	法案	非法	
	大号	大号	H	大号	BA, A10	PRE / PREA	非法	
	大号	大号	大号	H	X	REF / SELF	非法	
	大号	大号	大号	大号	操作码	MRS / EMRS	非法	

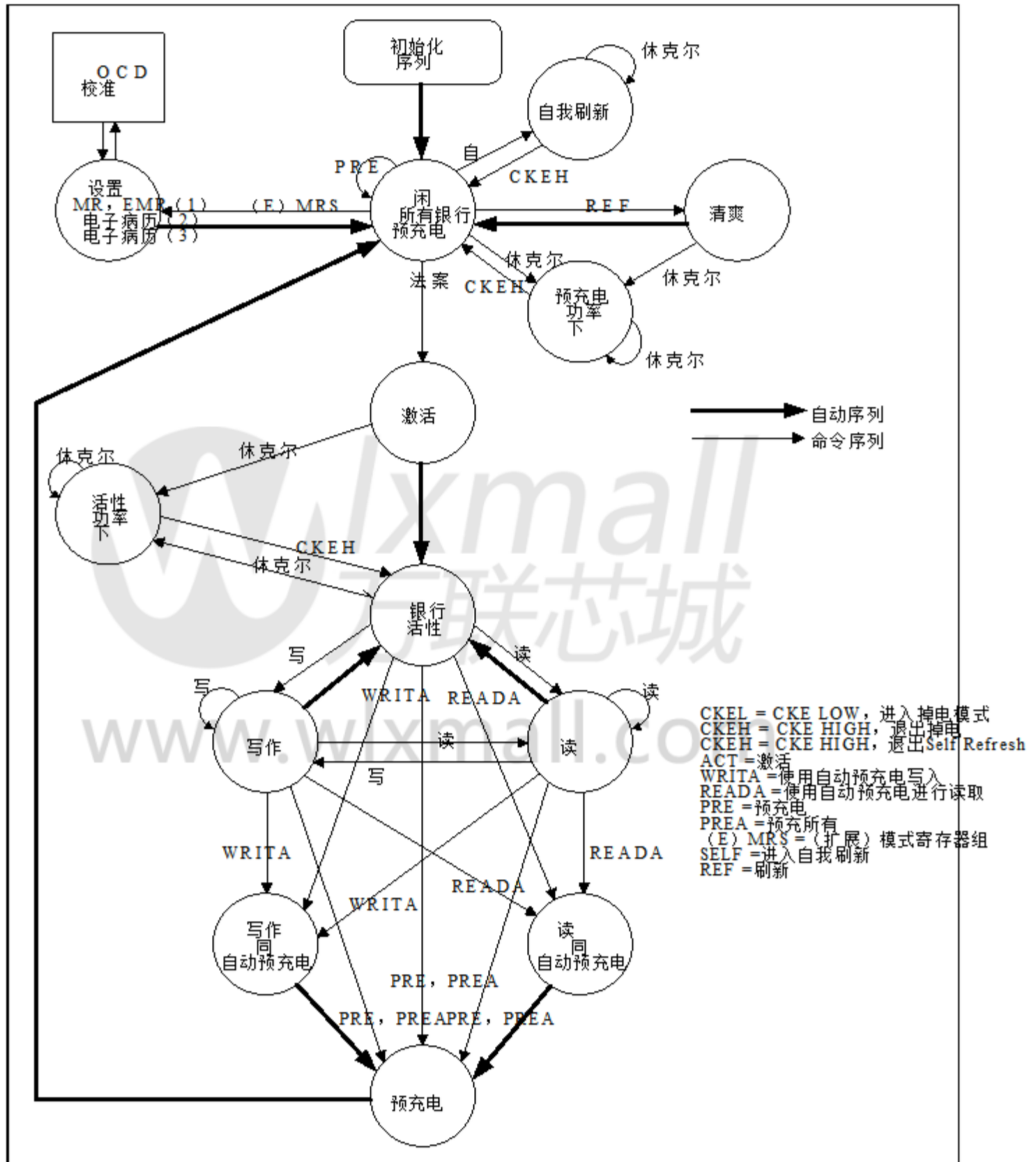
笔记：

1. 该指令可能会针对其他银行发行，具体取决于银行的状态。
2. 所有银行都必须进入“闲”。
3. 对于突发长度为4的读取或写入突发中断是被禁止的，并且只允许突发长度为8的突发读取/写入可以仅被另一个具有4位突发边界的读/写所中断。任何其他读/写中断情况都是不允许的。

备注：H = 高电平，L = 低电平，X = 高电平或低电平（不要在意），V = 有效数据。



9.5 简化的图表





10. 电气特性

10.1 绝对最大额定值

参数	符号	评分	单元	笔记
V DD 引脚上的电压 相对于V SS	V DD	-1.0~2.3	V	1, 2
V DDQ 引脚上的电压 相对于V SS	V DDQ	-0.5~2.3	V	1, 2
V DDL 引脚上的电压 相对于V SS	V DDL	-0.5~2.3	V	1, 2
任何引脚上的电压都相对于V SS	V IN, V OUT	-0.5~2.3	V	1, 2
储存温度	T STG	-55~150	C	1, 3

笔记：

强调gr 不符合“绝对最大额定值”中列出的条件可能会对设备造成永久性损坏.这是一个压力额定值和器件在这些或任何其他高于上述条件的条件下的功能操作本规范的操作部分不作任何暗示.暴露于绝对最大额定值条件下进行延长时期可能影响可靠性.

2.当V DD和V DDQ和V DDL 小于500mV时; V REF 可能等于或小于300mV.

3.存储温度是DRAM中心/顶端的表面温度.

10.2 工作温度条件

参数	符号	MIN.	MAX.	单元	笔记
工作温度 (-18 / -25 / -3)	T CASE	0	85	C	1, 3, 5
工作温度 (25I / 25A)	T CASE	-40	95	C	1, 3, 4, 5, 6, 7
工作温度 (25A)	T A.	-40	95	C	2
工作温度 (25K)	T CASE	-40	105	C	1, 3, 4, 5, 6, 8
工作温度 (25K)	T A.	-40	105	C	2

笔记：

1.工作箱温度是DRAM中心/顶部的表面温度.

2.工作环境温度是DRAM的周围温度.

3.支持0°C ≤T CASE≤85°C, 具有完整的JEDEC交流和直流规格.

4.支持-40°C ≤T CASE≤85°C, 具有完整的JEDEC交流和直流规格.

5.支持0~85°C, 并且可以将频率增加一倍的自动刷新命令延长至95°C, 频率可达32 mS (t REFI=3.9μS), 并通过A7在此高温范围进入自刷新模式 EMR上的“1”(2).

6.支持-40°C ≤T CASE≤85°C, 并且可以延长到95°C (25I / 25A) 或105°C (25K), 加倍自动刷新频率为32 mS周期 (t REFI=3.9μS) 的命令并进入自刷新模式 温度范围通过A7 EMR上的“1”(2).

7.在运行期间, 根据25I / 25A的部件, DRAM外壳温度必须保持在-40至95°C之间 规格参数.

8.在操作过程中, DRAM外壳温度必须维持在-40至105°C之间, 25K部分 规格参数.



10.3 推荐的直流工作条件

SYM.	参数	MIN.	TYP.	MAX.	单元	笔记
V _{DD}	电源电压	1.7	1.8	1.9	V	1
V _{DDL}	DLL的电源电压	1.7	1.8	1.9	V	五
V _{DDQ}	输出电源电压	1.7	1.8	1.9	V	1, 5
V _{REF}	输入参考电压	0.49 × V _{DDQ}	0.5 × V _{DDQ}	0.51 × V _{DDQ}	V	2, 3
V _{TT}	终止电压 (系统)	V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04	V	4

笔记：

1. 不符合SSTL_18的特定器件V_{DD}电源电压要求. 但是在所有情况下V_{DDQ}必须大于或等于V_{DD}.
2. V_{REF}的值可以由用户选择以提供系统中最佳的噪声容限. 通常V_{REF}的预期值为发射设备的大约0.5 × V_{DDQ}, 并且V_{REF}预期追踪V_{DDQ}中的变化. 2% V_{REF} (dc).
3. V_{REF}的峰峰值AC噪声不得超过
4. 发送设备的V_{TT}必须跟踪接收设备的V_{REF}.
5. V_{DDQ}跟踪V_{DD}, V_{DDL}跟踪V_{DD}. 交流参数是用V_{DD}, V_{DDQ}和V_{DDL}连在一起测量的.

10.4 ODT直流电气特性

参数/条件	SYM.	MIN.	NOM.	MAX.	单元	笔记
EMRS的有效阻抗值 (A6, A2) = 0, 1; 75Ω	RTT1 (EFF) 80	75	90	Ω	1	
EMRS的R _{tt} 有效阻抗值 (A6, A2) = 1, 0; 150 Ω	RTT2 (EFF) 20	150	180	Ω	1	
EMRS的R _{tt} 有效阻抗值 (A6, A2) = 1, 1; 50 Ω	R _{tt} 3 (EFF) 40	50	60	Ω	1, 2	
V _M 相对于V _{DDQ} /2的偏差	ΔV _M	-6		+6	%	1

笔记：

1. R_{tt}测量的测试条件.
2. DDR2-667可选, DDR2-800和DDR2-1066必须使用.

R_{tt} (eff) 的测量定义：

应用V_{IH} (ac) 和V_{IL} (ac) 分别测试引脚, 然后测量电流I (V_{IH} (ac)) 和I (V_{IL} (ac)) 分别. V_{IH} (ac), V_{IL} (ac) 和V_{DDQ} 值在SSTL_18中定义.

$$R_{tt} (eff) = (V_{IH} (ac) - V_{IL} (ac)) / (I (V_{IH} (ac)) - I (V_{IL} (ac)))$$

测量定义

ΔV_M：

在无负载情况下 测量 测试引脚 (中点) 的电压 (V_M).

$$\Delta V_M = ((2 \times V_M / V_{DDQ}) - 1) \times 100\%$$

10.5 输入直流逻辑电平

参数	SYM.	MIN.	MAX.	单元
直流输入逻辑高	V _{IH} (dc)	V _{REF} + 0.125	V _{DDQ} + 0.3	V
DC输入逻辑低电平	V _{IL} (dc)	-0.3	V _{REF} - 0.125	V

10.6 输入AC逻辑电平

参数	SYM.	-18		-25 / 25I / 25A / 25K / -3		单元
		MIN.	MAX.	MIN.	MAX.	
AC输入逻辑高	V _{IH} (ac)	V _{REF} + 0.200	∞	V _{REF} + 0.200	V _{DDQ} + V _{PEAK1}	V
AC输入逻辑低	V _{IL} (ac)	∞	V _{REF} - 0.200	V _{SSQ} - V _{PEAK1}	V _{REF} - 0.200	V

注意：

1. 参见第67页10.14.1和10.14.2 V_{PEAK} 值的交流过冲/下冲规格表：最大值
峰值幅度允许过冲/下冲.



10.7 电容

SYM.	参数	MIN.	MAX.	单元
C CK	输入电容, CLK和 $\overline{\text{CLK}}$	1.0	2.0	pF的
C DCK	输入电容增量, CLK和 $\overline{\text{CLK}}$	∅	0.25	pF的
C 我	输入电容, 所有其他仅用于输入的引脚	1.0	1.75	pF的
C DI	输入电容增量, 所有其他输入引脚	∅	0.25	pF的
C IO	输入/输出电容, DQ, LDM, UDM, LDQS, LDQS, UDQS, UDQS	2.5	3.5	pF的
C DIO	输入/输出电容增量, DQ, LDM, UDM, LDQS, LDQS, UDQS, UDQS	∅	0.5	pF的

10.8 泄漏和输出缓冲特性

SYM.	参数	MIN.	MAX.	单元	笔记
我 IL	输入漏电流 ($0V \leq V_{IN} \leq V_{DD}$)	-2	2	μA	1
我 OL	输出泄漏电流 (输出禁用, $0V \leq V_{OUT} \leq V_{DDQ}$)	-5	五	μA	2
V OH	最小需求输出上拉	$V_{TT} + 0.603$	∅	V	
V OL	最大所需输出下拉	∅	$V_{TT} - 0.603$	V	
V OTR	输出时序测量参考电平	$0.5 \times V_{DDQ}$	∅	V	3
I OH (dc)	输出最小源 直流电流	-13.4	∅	嘛	4, 6
我 OL (DC)	输出最小吸收 直流电流	13.4	∅	嘛	5, 6

笔记:

1. 所有其他不受测试的引脚 = 0 V.
2. DQ, LDQS, LDQS, UDQS 被禁用并且 ODT 被关闭.
3. 参考被测设备的 V DDQ.
4. $V_{DDQ} = 1.7V$; $V_{OUT} = 1.42V$. ($V_{OUT} - V_{DDQ}$) 对于 V_{DDQ} 和 V_{DDQ} 之间的 V_{OUT} 值, 必须小于 $21\Omega - 0.28V$.
5. $V_{DDQ} = 1.7V$; $V_{OUT} = 0.28V$. V_{OUT} / I_{OL} 对于 0 V 和 0.28 V 之间的 V_{OUT} 值, 必须小于 21Ω .
6. $I_{OH} (dc)$ 和 $I_{OL} (dc)$ 的值基于注3和4给出的条件. 它们用于测试驱动电流. 确保 V_{IH} 最小值加上噪声容限的能力以及 V_{IL} 最大值减去噪声容限的能力被传送到 SSTL_18 接收器.



10.9 直流特性

SYM.	条件		-18	-25 / 25I / 25A / 25K-3		单元	笔记
			MAX.	MAX.	MAX.		
我 DD0	工作电流 - 一个银行有源预充电 $t_{CK}=t_{CK}(IDD)$, $t_{RC}=t_{RC}(IDD)$, $t_{RAS}=t_{RASmin}(IDD)$; CKE高, $\overline{CS}$ 在有效命令之间为高电平; 地址和控制输入为SWITCHING; 数据总线输入为SWITCHING.		70	60	55	嘛	1,2,3,4,5,6
我 DD1	工作电流 - One Bank Active-Read-预充电 $I_{OUT}=0\text{ mA}$; $BL=4$, $CL=CL(IDD)$, $AL=0$; $t_{CK}=t_{CK}(IDD)$, $t_{RC}=t_{RC}(IDD)$, $t_{RAS}=t_{RASmin}(IDD)$, $t_{RCD}=t_{RCD}(IDD)$; CKE高, $\overline{CS}$ 在有效命令之间为高电平; 地址和控制输入为SWITCHING; 数据总线输入为SWITCHING.		80	70	65	嘛	1,2,3,4,5,6
我 DD2P	预充电关断电流 所有银行闲置; $t_{CK}=t_{CK}(IDD)$; CKE低; 其他控制和地址输入是稳定的; 数据总线输入是浮动的. (T CASE $\leq 85^{\circ}\text{C}$)		6	6	6	嘛	1,2,3,4,5,6,7
我 DD2N	预充电待机电流 所有银行闲置; $t_{CK}=t_{CK}(IDD)$; CKE高, $\overline{CS}$ 为高; 其他控制和地址输入是SWITCHING; 数据总线输入为SWITCHING.		45	40	35	嘛	1,2,3,4,5,6
我 DD2Q	预充电安静待机电流 所有银行闲置; $t_{CK}=t_{CK}(IDD)$; CKE高, $\overline{CS}$ 为高; 其他控制和地址输入是稳定的; 数据总线输入是浮动的.		35	35	三十	嘛	1,2,3,4,5,6
我 DD3PF	有源关断电流 所有银行都开放; $t_{CK}=t_{CK}(IDD)$; CKE低; 其他控制和地址输入是稳定; 数据总线输入是浮动的. (T CASE $\leq 85^{\circ}\text{C}$)	快速PDN退出 $MRS(12)=0$	15	15	15	嘛	1,2,3,4,5,6
我 DD3PS		慢PDN退出 $MRS(12)=1$	10	10	10	嘛	1,2,3,4,5,6,7
我 DD3N	活动待机电流 所有银行都开放; $t_{CK}=t_{CK}(IDD)$; $t_{RAS}=t_{RASmax}(IDD)$, $t_{RP}=t_{RP}(IDD)$; CKE高, $\overline{CS}$ 在有效命令之间为高电平; 其他控制和地址输入是SWITCHING; 数据总线输入为SWITCHING.		60	50	45	嘛	1,2,3,4,5,6



我 DD4R	操作突发读取电流 所有银行都打开，连续突发读取， $I_{OUT} = 0\text{mA}$; $BL = 4$, $CL = CL(IDD)$, $AL = 0$; $t_{CK} = t_{CK}(IDD)$; $t_{RAS} = t_{RASmax}(IDD)$, $t_{RP} = t_{RP}(IDD)$;	105	95	嘛	1,2,3,4,5,6
我 DD4W	操作突发写入电流 所有银行开放，持续突发写入; $BL = 4$, $CL = CL(IDD)$, $AL = 0$; $t_{CK} = t_{CK}(IDD)$; $t_{RAS} = t_{RASmax}(IDD)$, $t_{RP} = t_{RP}(IDD)$;	110	100	嘛	1,2,3,4,5,6
我 DD5B	突发刷新当前 $t_{CK} = t_{CK}(IDD)$; 刷新命令每 $t_{RFC}(IDD)$ 间隔; CKE 高, $\overline{CS}$ 在有效命令之间为高电平; 其他控制和地址输入是 SWITCHING; 数据总线输入为 SWITCHING.	75	70	嘛	1,2,3,4,5,6
我 DD6	自刷新当前 $CKE \leq 0.2V$, 外部时钟关闭, CLK 和 $\overline{CLK}$ 在 $0V$; 其他控制和地址输入是 FLOATING; 数据总线输入是浮动的. ($T_{CASE} \leq 85^\circ C$)	6	6	嘛	1,2,3,4,5,6,7
我 DD7	操作银行交错读取电流 所有的银行交错读取, $I_{OUT} = 0\text{mA}$; $BL = 4$, $CL = CL(IDD)$, $AL = t_{RCD}(IDD) - 1 \times t_{CK}(IDD)$; $t_{CK} = t_{CK}(IDD)$, $t_{RC} = t_{RC}(IDD)$, $t_{RRD} = t_{RRD}(IDD)$, $t_{FAW} = t_{FAW}(IDD)$, $t_{RCD} = t_{RCD}(IDD)$; CKE 高, $\overline{CS}$ 在有效命令之间为高电平; 地址总线输入在取消选择期间保持稳定; 数据总线输入正在切换.	160	135	嘛	1,2,3,4,5,6

笔记:

- $V_{DD} = 1.8V$ $0.1V$; $V_{DDQ} = 1.8V$ $0.1V$.
- 设备正确初始化后, 我会对 DD 规格进行测试.
- 输入转换速率由 AC 参数测试条件指定.
- 我的 DD 参数是在禁用 ODT 的情况下指定的.
- 数据总线由 DQ , LDM , UDM , $LDQS$, $\overline{LDQS}$, $UDQS$ 和 $\overline{UDQS}$.
- IDD 的定义
 - $LOW = V_{IL}(ac)(max)$
 - $HIGH = V_{IH}(ac)(min)$
 - STABLE = 输入稳定在高电平或低电平
 - FLOATING = $V_{REF} = V_{DDQ}/2$ 时的输入
 - SWITCHING = 地址和输入在每隔一个时钟周期 (每两个时钟一次) 在高电平和低电平之间切换
控制信号和输入在每隔一个数据传输的高电平和低电平之间变化 (每个时钟一次)
用于 DQ 信号, 不包括掩模或频闪.
- 当 T_{CASE} 时, 以下 IDD 值必须降额 (IDD 限制增加)
 - 我 DD3P (慢) 必须降低 30%, 而我 DD6 必须降额 80%. (如果 $T_{CASE} < 85^\circ C$, $IDD6$ 将增加此量并且 2X 刷新选项仍处于启用状态)
 - $\geq 85^\circ C$ $IDD2P$ 必须降额 20%;



10.10 IDD测量测试参数

速度等级	DDR2-1066 (-18)	DDR2-800 (-25 / 25I / 25A / 25K)	DDR2-667 (-3)	单元
Bin (CL-tRCD-tRP)	7-7-7	5-5-5 / 6-6-6	5-5-5	
CL (IDD)	7	5/6	五	个tCK
tCK (IDD)	1.875	2.5	3	纳秒
tRCD (IDD)	13.125	12.5	15	纳秒
tRP (IDD)	13.125	12.5	15	纳秒
tRC (IDD)	58.125	57.5	60	纳秒
tRAS min (IDD)	45	45	45	纳秒
tRAS max (IDD)	70000	70000	70000	纳秒
tRRD (IDD) -1KB	7.5	7.5	7.5	纳秒
t—汽 (IDD) -1KB	35	35	37.5	纳秒
tRFC (IDD)	75	75	75	纳秒

Wlxmali
万联芯城
www.wlxmall.com



10.11 交流特性

10.11.1 -18速度等级的交流特性和工作条件

注意：1-3和45-47适用于整个表格

SYM.	速度等级		DDR2-1066 (-18)		单元 ²⁵	笔记
	Bin (CL-t RCD -t RP)		7-7-7			
	参数		MIN.	MAX.		
t RCD	积极读取/写入命令延迟时间		13.125	∞	纳秒	23
t RP	预充电到主动指挥期		13.125	∞	纳秒	23
t RC	激活到参考/主动命令周期		58.125	∞	纳秒	23
RAS	主动预充命令期		45	70000	纳秒	4,23
t RFC	自动刷新到活动/自动刷新命令周期		75	∞	纳秒	五
t REFI	平均周期性刷新间隔	0 °C ≤ T CASE ≤ 85 °C	∞	7.8	μS	五
		85 °C < T CASE ≤ 95 °C	∞	3.9	μS	5,6
t CCD	CAS 到 CAS 命令延迟		2	∞	CK	
t CK (平均平均时钟周期)		t CK (avg) @CL= 4	3.75	7.5	纳秒	30,31
		t CK (avg) @CL= 5	3	7.5	纳秒	30,31
		t CK (avg) @CL= 6	2.5	7.5	纳秒	30,31
		t CK (avg) @ CL= 7	1.875	7.5	纳秒	30,31
t CH (平均平均时钟高脉冲宽度)			0.48	0.52	t CK (平均)	30,31
t CL (平均平均时钟低脉冲宽度)			0.48	0.52	t CK (平均)	30,31
t AC	DQ输出访问时间从CLK / $\overline{\text{CLK}}$		-350	350	PS	35
t DQSCK	DQS输出从CLK / $\overline{\text{CLK}}$		-325	325	PS	35
t DQSQ	用于DQS和相关DQ信号的DQS-DQ偏斜		∞	175	PS	13
t CKE	CKE最小高低脉冲宽度		3	∞	CK	7
RRD	活动到1KB页面大小的活动命令周期		7.5	∞	纳秒	8,23
t 一汽	四个激活窗口, 1KB页面大小		35		纳秒	23
吨 WR	编写恢复时间		15	∞	纳秒	23
t DAL	自动预充电写恢复+预充电时间		WR + t nRP	∞	CK	24
t WTR	内部写入读取命令延迟		7.5	∞	纳秒	9,23
t RTP	内部读取到预充电命令延迟		7.5	∞	纳秒	4,23
吨 (基地)	地址和控制输入设置时间		125	∞	PS	10,26, 40,42,43
t IH (基)	地址和控制输入保持时间		200	∞	PS	11,26, 40,42,43
t IS (ref)	地址和控制输入设置时间		325	∞	PS	10,26, 40,42,43
t IH (ref)	地址和控制输入保持时间		325	∞	PS	11,26, 40,42,43
t IPW	每个输入的地址和控制输入脉冲宽度		0.6	∞	t CK (平均)	
t DOSS	DQS将上升转换锁存到关联的时钟边沿		-0.25	0.25	t CK (平均)	28
t DSS	DQS下降沿到CLK建立时间		0.2	∞	t CK (平均)	28
t DSH	DQS从CLK下降沿保持时间		0.2	∞	t CK (平均)	28
t DQSH	DQS输入高脉冲宽度		0.35	∞	t CK (平均)	
t DQSL	DQS输入低脉冲宽度		0.35	∞	t CK (平均)	



交流特性和工作条件为-18档级，续
注意：1-3和45-47适用于整个表格

SYM.	速度等级		DDR2-1066 (-18)		单位	25	笔记
	Bin (CL-t RCD -t RP)		7-7-7				
	参数		MIN.	MAX.			
t WPRE	编写序言		0.35	H	t CK (平均)		
t WPST	写postamble		0.4	0.6	t CK (平均) 12		
t RPRE	阅读序言		0.9	1.1	t CK (平均)14,36		
t RPST	阅读后文		0.4	0.6	t CK (平均)14,37		
t DS (基准)	DQ和DM输入设置时间		0	H	PS	16,27,29 41,42,44	
DH (基地)	DQ和DM输入保持时间		75	H	PS	17,27,29 41,42,44	
t DS (ref)	DQ和DM输入设置时间		200	H	PS	16,27,29 41,42,44	
卫生署 (裁)	DQ和DM输入保持时间		200	H	PS	17,27,29 41,42,44	
t DIPW	每个输入的DQ和DM输入脉冲宽度		0.35	H	t CK (平均)		
t HZ	数据输出高阻抗从CLK / CLK		H	t AC, max	PS	15,35	
t LZ (DQS)	DQSDQS - 来自CLK / CLK的 低阻抗时间		t AC, min	t AC, max	PS	15,35	
t LZ (DQ)	DQ低阻抗时间从CLK / CLK		2 x t AC, min	t AC, max	PS	15,35	
惠普	时钟半脉宽		阅. (t CH (abs) , t CL (绝对))		H	PS	32
t QHS	数据保持偏斜因子		H	250	PS	33	
t QH	DQ / DQS输出保持时间来自DQS		t HP - t QHS	H	PS	34	
t XSNR	退出自我刷新到非读取命令		t RFC + 10	H	纳秒		23
t XSRD	退出自我刷新到读取命令		200	H	CK		
t XP	将预充电源关闭至任何命令		3	H	CK		
t XARD	将有功率退出至读取命令		3	H	CK		18
X XDS	将有功率退出至读取命令 (慢退出, 低功耗)		10 - AL	H	CK		18,19
t AOND	ODT开启延迟		2	2	CK		20
AON	ODT开启		t AC, min	t AC, max + 2.575	纳秒		20,35
t AONPD	ODT打开 (掉电模式)		t AC, min + 2	3 x t CK (avg) + t AC, 最大 + 1	纳秒		
t AOFD	ODT关闭延迟		2.5	2.5	CK		21,39
t AOF	ODT关闭		t AC, min	t AC, max + 0.6	纳秒		21,38,39
AOFPD	ODT关闭 (掉电模式)		t AC, min + 2	2.5 x CK (平均) + t AC, max + 1	纳秒		
t ANPD	ODT关闭进入延迟		4	H	CK		
t AXPD	ODT关闭退出延迟		11		CK		
MRD	模式寄存器设置命令周期时间		2	H	CK		
t MOD	MRS命令到ODT更新延迟		0	12	纳秒		23
t OIT	OCD驱动模式输出延迟		0	12	纳秒		23
t 延迟	CKE后最短时间时钟保持ON状态 异步降低LOW		t IS + t CK (avg) + t IH		H	纳秒	22



10.11.2 -25 / 25I / 25A / 25K / -3速度等级的交流特性和工作条件

注意：1-3和45-47适用于整个表格

SYM.	速度等级		DDR2-800 (-25 / 25I / 25A / 25K)		DDR2-667 (-3)		单位	25 注释
	Bin (CL-t RCD -t RP)		5-5-5 / 6-6-6		5-5-5			
	参数		MIN.	MAX.	MIN.	MAX.		
t RCD	积极读取 / 写入命令延迟时间		12.5	∞	15	∞	纳秒	23
t RP	预充电到主动指挥期		12.5	∞	15	∞	纳秒	23
t RC	激活到参考 / 主动命令周期		57.5	∞	60	∞	纳秒	23
RAS	主动预充命令期		45	70000	45	70000	纳秒	4, 23
t RFC	自动刷新为主动 / 自动刷新命令期		75	∞	75	∞	纳秒	五
t REFI	平均周期性刷新间隔	-40°C ≤ T CASE ≤ 85 °C *	∞	7.8	∞	∞	μS	五
		0°C ≤ T CASE ≤ 85 °C	∞	7.8	∞	7.8	μS	五
		85°C < T CASE ≤ 95 °C	∞	3.9	∞	3.9	μS	5, 6
		95°C < T CASE ≤ 105 °C *	∞	3.9	∞	∞	μS	5, 6
t CCD	CAS 到 CAS 命令延迟		2	∞	2	∞	CK	
t CK (平均)	平均时钟周期	t CK (avg) @CL=3	五	8	五	8	纳秒	30, 31
		t CK (avg) @CL=4	3.75	8	3.75	8	纳秒	30, 31
		t CK (avg) @CL=5	2.5	8	3	8	纳秒	30, 31
		t CK (avg) @CL=6	2.5	8	∞	∞	纳秒	30, 31
t CH (平均)	平均时钟高脉冲宽度		0.48	0.52	0.48	0.52	t CK (平均)	30, 31
t CL (平均)	平均时钟低脉冲宽度		0.48	0.52	0.48	0.52	t CK (平均)	30, 31
t AC	DQ输出访问时间从CLK / CLK		-400	400	-450	450	PS	35
t DQSK	DQS从CLK / CLK 输出访问时间		-350	350	-400	400	PS	35
t DQSQ	用于DQS和相关DQ信号的DQS-DQ偏斜		∞	200	∞	240	PS	13
t CKE	CKE最小高低脉冲宽度		3	∞	3	∞	CK	7
RRD	活动到1KB页面大小的活动命令周期		7.5	∞	7.5	∞	纳秒	8, 23
t 一汽	四个激活窗口, 1KB页面大小		35	∞	37.5	∞	纳秒	23
吨 WR	编写恢复时间		15	∞	15	∞	纳秒	23
t DAL	自动预充电写恢复+预充电时间		WR + t nRP	∞	WR + t nRP	∞	CK	24
t WTR	内部写入读取命令延迟		7.5	∞	7.5	∞	纳秒	9, 23
t RTP	内部读取到预充电命令延迟		7.5	∞	7.5	∞	纳秒	4, 23
t IS (基准)	地址和控制输入设置时间		175	∞	200	∞	PS	10, 26, 40, 42, 43
t IH (基准)	地址和控制输入保持时间		250	∞	275	∞	PS	11, 26, 40, 42, 43
t IS (ref)	地址和控制输入设置时间		375	∞	400	∞	PS	10, 26, 40, 42, 43
t IH (ref)	地址和控制输入保持时间		375	∞	400	∞	PS	11, 26, 40, 42, 43
t IPW	每个输入的地址和控制输入脉冲宽度		0.6	∞	0.6	∞	t CK (平均)	
t DQSS	DQS将上升转换锁存到相关时钟边缘		-0.25	0.25	-0.25	0.25	t CK (平均)	28
t DSS	DQS下降沿到CLK建立时间		0.2	∞	0.2	∞	t CK (平均)	28
t DSH	DQS从CLK下降沿保持时间		0.2	∞	0.2	∞	t CK (平均)	28
t DQSH	DQS输入高脉冲宽度		0.35	∞	0.35	∞	t CK (平均)	
t DQSL	DQS输入低脉冲宽度		0.35	∞	0.35	∞	t CK (平均)	

* -40°C ≤ T CASE ≤ 85°C仅适用于25I / 25A / 25K等级, 95°C < T CASE ≤ 105°C仅适用于25K等级。



交流特性和工作条件为-25 / 25I / 25A / 25K / -3速度等级，续
注意：1-3和45-47适用于整个表格

SYM.	速度等级	DDR2-800 (-25 / 25I / 25A / 25K)		DDR2-667 (-3)		单位	25 注释
	Bin (CL-t RCD-t RP)	5-5-5 / 6-6-6		5-5-5			
	参数	MIN.	MAX.	MIN.	MAX.		
t WPRE	编写序言	0.35	∞	0.35	∞	t CK (平均)	
t WPST	写 postamble	0.4	0.6	0.4	0.6	t CK (平均)	12
t RPRE	阅读序言	0.9	1.1	0.9	1.1	t CK (平均)	14.36
t RPST	阅读后文	0.4	0.6	0.4	0.6	t CK (平均)	14.37
t DS (基准)	DQ和DM输入设置时间	50	∞	100	∞	PS	16,27,29,41,42,44
DH (基准)	DQ和DM输入保持时间	125	∞	175	∞	PS	17,27,29,41,42,44
t DS (ref)	DQ和DM输入设置时间	250	∞	300	∞	PS	16,27,29,41,42,44
卫生署 (裁判)	DQ和DM输入保持时间	250	∞	300	∞	PS	17,27,29,41,42,44
t DIPW	每个DQ和DM输入脉冲宽度输入	0.35	∞	0.35	∞	t CK (平均)	
t HZ	从数据输出高阻抗时间 CLK / CLK	∞	t AC, max	∞	t AC, max	PS	15,35
t LZ (DQS)	DQSDQS - 低阻抗时间从 CLK / CLK	t AC, min	t AC, max	t AC, min	t AC, max	PS	15,35
t LZ (DQ)	DQ低阻抗时间从CLK / CLK	2 x t AC, min	t AC, max	2 x t AC, min	t AC, max	PS	15,35
惠普	时钟半脉宽	闭. (t CH (abs), t CL (绝对))		闭. (t CH (abs), t CL (绝对))		PS	32
t QHS	数据保持偏斜因子	∞	300	∞	340	PS	33
t QH	DQ / DQS输出保持时间来自DQS	t HP - t QHS	∞	t HP - t QHS	∞	PS	34
t XSNR	退出自我刷新到非读取命令	t RFC + 10	∞	t RFC + 10	∞	纳秒	23
t XSRD	退出自我刷新到读取命令	200	∞	200	∞	CK	
t XP	将预充电功率下降至任意值命令	2	∞	2	∞	CK	
t XARD	将有功率退出至读取命令	2	∞	2	∞	CK	18
X XDS	将有功率退出至读取命令 (慢退出, 低功耗)	8 - AL	∞	7 - AL	∞	CK	18,19
t AOND	ODT开启延迟	2	2	2	2	CK	20
AON	ODT开启	t AC, min	t AC, max + 0.7	t AC, min	t AC, max + 0.7	纳秒	20,35
t AONPD	ODT打开 (掉电模式)	t AC, min + 2 x t CK (avg) + 1	t AC, max + 2 x t CK (avg) + 1	t AC, min + 2 x t CK (avg) + 1	t AC, max + 2 x t CK (avg) + 1	纳秒	
t AOED	ODT关闭延迟	2.5	2.5	2.5	2.5	CK	21,39
t AOF	ODT关闭	t AC, min	t AC, max + 0.6	t AC, min	t AC, max + 0.6	纳秒	21,38,39
AOFPD	ODT关闭 (掉电模式)	t AC, min + 2.5 x t CK (平均) + 1	t AC, max + 2.5 x t CK (平均) + 1	t AC, min + 2.5 x t CK (平均) + 1	t AC, max + 2.5 x t CK (平均) + 1	纳秒	
t ANPD	ODT关闭进入延迟	3	∞	3	∞	CK	
t AXPD	ODT关闭退出延迟	8		8		CK	
MRD	模式寄存器设置命令周期时间	2	∞	2	∞	CK	
t MOD	MRS命令到ODT更新延迟	0	12	0	12	纳秒	23
t OIT	OCD驱动模式输出延迟	0	12	0	12	纳秒	23
t 延迟	最小时间时钟保持ON后 CKE异步降低LOW	t IS + t CK (avg) + 1 t IH	∞	t IS + t CK (avg) + 1 t IH	∞	纳秒	22



笔记：

1. 所有电压参考 V_{SS} 。
2. AC定时， I_{DD} 和电气AC和DC特性的测试可以在额定参考电源电压下进行，但是相关的规格和器件操作在所指定的全电压范围内得到保证。ODT是禁用所有不是ODT特定的测量。
3. 交流时序参考负载：

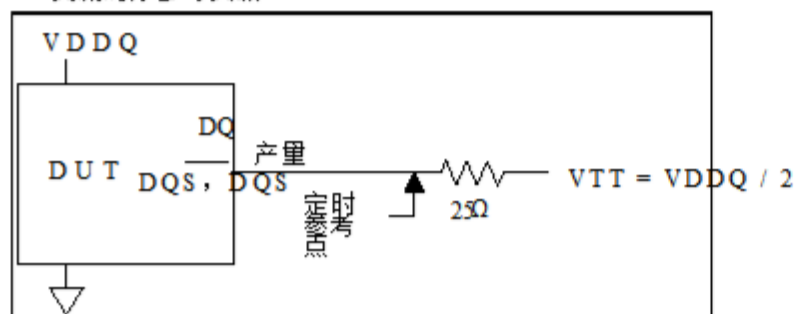


图16 - 交流计时参考负载

4. 这是最低要求。如果 t_{RTP} 和 $t_{RAS}(\min)$ 为最小值，则预充电时间为 $AL + BL / 2$ ，已经满意了。
5. 如果违反刷新时序，可能会发生数据损坏，并且必须在有效READ之前用有效数据重新写入数据可以执行。
6. 这是一个可选功能。有关详细信息，请参阅“工作温度条件”部分10.2英寸本数据表。
7. 3个时钟的 t_{CKE} 最小值意味着CKE必须在三个连续的时钟沿上进行寄存。CKE必须留在有效输入电平达到3个注册时间所需的全部时间。因此，在任何CKE转换之后，CKE可能不会在 $t_{IS} + 2 \times t_{CK} + t_{IH}$ 的时间段内从其有效水平转换。
8. 无论工作频率如何，至少需要两个时钟（ $2 \times n_{CK}$ ）。
9. t_{WTR} 至少有两个时钟（ $2 \times n_{CK}$ ），与工作频率无关。
10. 命令/地址输入设置时间有两组值： $t_{IS}(\text{基准})$ 和 $t_{IS}(\text{ref})$ 。 $t_{IS}(\text{ref})$ 值（for 仅当参考电压为 $1.0V/nS$ 时，与 V_{REF} 的基准电压值（基准值）相等。基准值 $t_{IS}(\text{基准})$ 是JEDEC定义的值，参考输入信号在 $V_{IH}(\text{ac})$ 电平处与上升信号交叉和 $V_{IL}(\text{交流})$ 用于施加于被测器件的下降信号。请参见图17。如果命令/地址转换速率不等于 $1.0V/nS$ ，则基准值必须通过添加DDR2-667的 t_{IS}/t_{IH} 降额表中的值来降额，DDR2-800和DDR2-1066（第55页）。

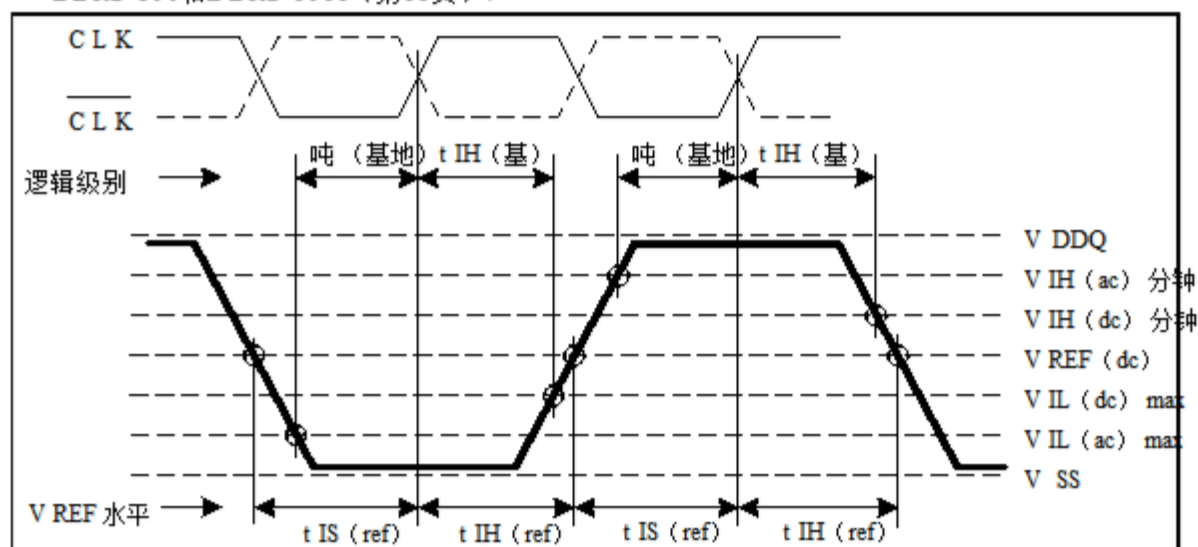


图17 - 差分输入波形时序 - dIS和dIH



11. 命令/地址输入保持时间有两组值: $t_{IH}(\text{base})$ 和 $t_{IH}(\text{ref})$. $t_{IH}(\text{ref})$ 值 (对于仅当参考电压为 $1.0 \text{ V} / \text{nS}$ 时, 相当于 V_{REF} 的 t_{IH} (基极) 的基准值. 基准值 t_{IH} (基极) 是 JEDEC 定义的值, 从输入信号以 V_{IL} (直流) 电平穿越上升信号为参考, V_{IH} (直流) 用于施加于被测设备的下降信号. 请参见图 17. 如果命令/地址转换速率不等于 $1.0 \text{ V} / \text{nS}$, 那么必须通过添加 DDR2-667 的表 t_{IS} / t_{IH} 降额值来降低基准值, DDR2-800 和 DDR2-1066 (第 55 页).
12. t_{WPST} 参数的最大限制不是设备限制. 该设备对此具有更大的价值参数, 但系统性能 (总线周转) 会相应降低.
13. t_{DQSQ} : 包含数据引脚偏斜和输出模式影响, 以及输出驱动器的 p 沟道到 n 沟道变化为 t_{DQS} 和相关的 DQ 在任何给定的周期. 以及输出转换速率不匹配 DQS /
14. t_{RPST} 端点和 t_{RPRE} 开始点不是以特定电压电平为基准, 而是指定器件输出何时不再开车 (t_{RPST}), 或开始驾驶 (t_{RPRE}). 图 18 显示了在设备时计算这些点的方法. 不再行驶 (t_{RPST}), 或通过测量两个不同电压下的信号开始行驶 (t_{RPRE}). 实际电压只要计算结果一致, 测量点并不重要.
15. t_{HZ} 和 t_{LZ} 转换在与有效数据转换相同的存取时间内发生. 这些参数被引用到 a 指定设备输出何时不再驱动 (t_{HZ}) 或开始驱动 (t_{LZ}) 的特定电压电平. 图 18 显示了一种方法来计算设备不再行驶 (t_{HZ}) 时的点, 或者通过测量设备时开始行驶 (t_{LZ}) 信号在两个不同的电压下. 只要计算得到, 实际电压测量点就不是关键的. 是一致的. $t_{LZ}(DQ)$ 是指 t_{LZ} 的 DQ 和 $t_{LZ}(DQS)$ 分别指 ($UDQS$, $LDQS$, $UDQS$ 和 $LDQS$) 的 t_{LZ} 视为单端信号.

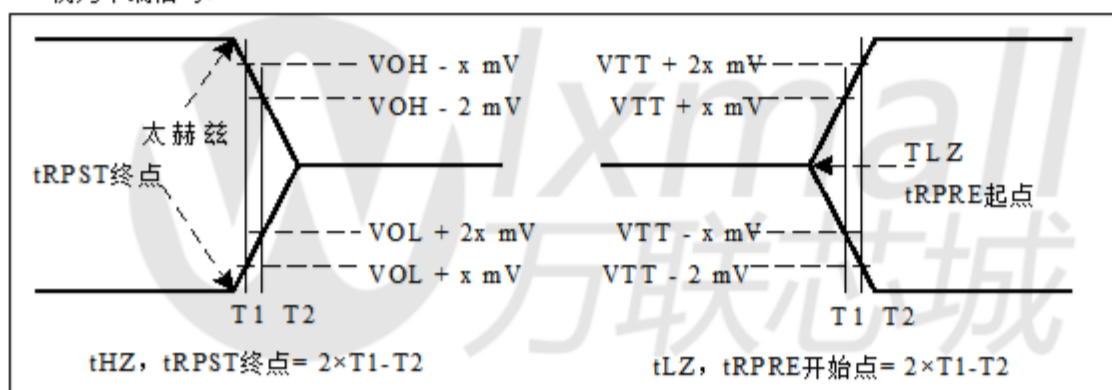


图 18 - 计算转换和端点的方法

16. 输入波形时序 t_{DS} , 差分数据选通使能 $MR[\text{bit}10] = 0$. DQ 和 DQ 列出了两组值. DM 输入设置时间: t_{DS} (基准) 和 $t_{DS}(\text{ref})$. $t_{DS}(\text{ref})$ 值 (仅供参考) 等同于基准值. 当压摆率为 $2.0 \text{ V} / \text{nS}$ 时, V_{REF} 的 t_{DS} (基极) 有差别. 基准值 $t_{DS}(\text{base})$ 是 JEDEC 定义的值, 从 $V_{IH}(\text{ac})$ 电平处的输入信号交叉点到上升信号的差分数据选通交叉点, 以及从在 V_{IL} (交流) 电平交叉的输入信号到差分数据选通交叉点, 用于施加到该信号的下降信号. 被测设备. DQS , DQS 信号必须在 $V_{IL}(\text{dc})_{\text{max}}$ 和 $V_{IH}(\text{dc})_{\text{min}}$ 之间单调. 参见图 19. 如果差分 DQS 压摆率不等于 $2.0 \text{ V} / \text{nS}$, 则基准值必须降低. 表 DDR2-667, DDR2-800 和 DDR2-1066 t_{DS} / t_{DH} 通过差分数据选通进行降容 (第 60 页).
17. 输入波形时序 t_{DH} , 差分数据选通使能 $MR[\text{bit}10] = 0$. DQ 和 DQ 列出了两组值. DM 输入保持时间: t_{DH} (基准) 和 $t_{DH}(\text{ref})$. $t_{DH}(\text{ref})$ 值 (仅供参考) 等同于基准值. 当压摆率为 $2.0 \text{ V} / \text{nS}$ 时, V_{REF} 的 t_{DH} (基极) 有差别. 基准值 $t_{DH}(\text{base})$ 是 JEDEC 定义的值, 从差分数据选通交叉点参考输入信号在 V_{IH} (直流) 电平处交叉下降信号. 从差分数据选通交叉点到输入信号在 V_{IL} (直流) 电平交叉处施加一个上升信号. 被测设备. DQS , DQS 信号必须在 $V_{IL}(\text{dc})_{\text{max}}$ 和 $V_{IH}(\text{dc})_{\text{min}}$ 之间单调. 参见图 19. 如果差分 DQS 压摆率不等于 $2.0 \text{ V} / \text{nS}$, 则基准值必须降低. 表 DDR2-667, DDR2-800 和 DDR2-1066 t_{DS} / t_{DH} 通过差分数据选通进行降容 (第 60 页).

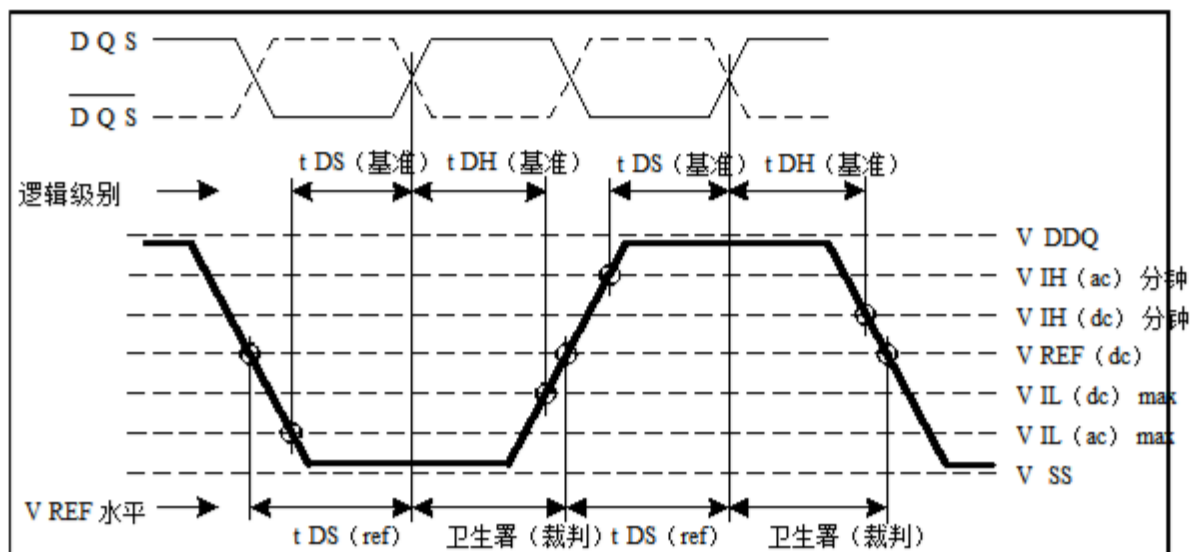


图19 - 差分输入波形时序 - tDS和tDH

18. 用户可以选择通过MRS使用哪个有效断电退出时间（位12）。预计tXARD将用于快速启动关机退出时间。预计tXARDS将用于慢速有效关机退出计时。

19. AL = 添加剂延迟。

20. ODT开启时间min是当器件离开高阻抗并且ODT电阻开始导通时。ODT开启时间最大值是当ODT电阻完全打开时。两者都是从tAOND开始测量的，每个速度档的解释都不同。对于DDR2-667 / 800/1066，tAOND在时钟沿之后的2个时钟周期内记录第一个ODT HIGH，输入时钟边沿。

21. ODT关闭时间min是设备开始关闭ODT电阻的时间。当总线处于高电平时，ODT关闭时间最大值阻抗。两者都是从tAOFD开始测量的，tAOFD在第二个后续时钟沿之后被解释为 $0.5 \times tCK (avg)$ [nS]。从记录第一个ODT低电平的时钟边沿开始计数，并通过计数实际输入时钟沿。

对于DDR2-667 / 800：如果假设 $tCK (avg) = 3 \text{ nS}$ ，则在第二个后续时钟后tAOFD为 $1.5 \text{ nS} (= 0.5 \times 3 \text{ nS})$ 。从记录第一个ODT低电平的时钟边沿开始计数，并计数实际输入时钟沿。

对于DDR2-1066：从第二个后沿时钟沿开始计数后，tAOFD为 $0.9375 \text{ [nS]} (= 0.5 \times 1.875 \text{ [nS]})$ 。通过计数实际输入时钟边沿来记录第一个ODT为低电平的时钟边沿。

22. 在自刷新模式或预充电关断模式期间，允许时钟频率改变。在时钟的情况下，在预充电断电期间的频率变化，需要按照8.10节所述的特定程序。

23. 对于这些参数，DDR2 SDRAM器件的特性和验证支持 $tnPARAM = RU \{tPARAM / tCK (avg)\}$ ，假设所有输入时钟抖动规格均满足，则该时钟周期为时钟周期。

例子：

如果所有输入时钟抖动规范均为时钟周期，器件将支持 $tnRP = RU \{tRP / tCK (avg)\}$ 。满足。这意味着：对于DDR2-667 5-5-5，其中 $tRP = 15 \text{ nS}$ ，器件将支持 $tnRP = RU \{tRP / tCK (avg)\} = 5$ ，即只要满足输入时钟抖动规格， Tm 处的预充电命令和 $Tm + 5$ 处的主动命令。即使由于输入时钟抖动（ $Tm + 5 - Tm$ ）小于 15 nS 也是有效的。对于DDR2-1066 7-7-7，其中 $tRP = 13.125 \text{ nS}$ ，器件将支持 $tnRP = RU \{tRP / tCK (avg)\} = 7$ ，即只要满足输入时钟抖动规范，即使（ $Tm + 7 - Tm$ ）小于 13.125 nS ， Tm 处的预充电指令和 $Tm + 7$ 处的激活指令也有效输入时钟抖动。

24. $tDAL [nCK] = WR [nCK] + tnRP [nCK] = WR + RU \{tRP [pS] / tCK (avg) [pS]\}$ ，其中WR是在模式寄存器组和RU代表四舍五入。

例：

对于DDR2-1066 7-7-7， $tCK (平均) = 1.875 \text{ nS}$ ，WR编程为8 nCK， $tDAL = 8 + RU \{13.125 \text{ nS} / 1.875 \text{ nS}\} [nCK] = 8 + 7 [nCK] = 15 [nCK]$ 。



25. 新 在DDR2-667, DDR2-800和DDR2-1066中引入了“tCK (avg)”和“nCK”单元.

单位“tCK (avg)”表示正在运行的输入时钟的实际tCK (avg).

单位“nCK”表示输入时钟的一个时钟周期, 对实际时钟沿进行计数.

例子:

对于DDR2-667 / 800: $t_{XP} = 2 [nCK]$ 表示:如果在 T_m 注册掉电退出, 则可能会出现激活命令即使 $(T_m + 2 - T_m)$ 是 $2 \times t_{CK} (avg) + t_{ERR} (2per)$, min, 也记录在 $T_m + 2$.

对于DDR2-1066: $t_{XP} = 3 [nCK]$ 表示:如果在 T_m 注册掉电退出, 则可能会出现激活命令即使 $(T_m + 3 - T_m)$ 是 $3 \times t_{CK} (avg) + t_{ERR} (3per)$, min, 也记录在 $T_m + 3$.

这些参数是从命令/地址信号 (CKE,

$\overline{CS}$, $\overline{RAS}$, $\overline{CAS}$, $\overline{WE}$, ODT, BA0, A0, A1等)

过渡沿到其各自的时钟信号 (CLK / $\overline{CLK}$) 交叉. 规格值不受时钟数里的影响

由于建立和保持是相对于时钟信号交叉而言的, 因此应用了抖动 (即, $t_{JIT} (每)$, $t_{JIT} (cc)$ 等) 命令/地址. 也就是说, 无论是否存在时钟抖动, 都应该满足这些参数.

27. 如果违反了 t_{DS} 或 t_{DH} , 可能会发生数据损坏, 并且必须在有效READ之前用有效数据重新写入数据被执行.

这些参数是从数据选通信号 ((L / U) DQS /

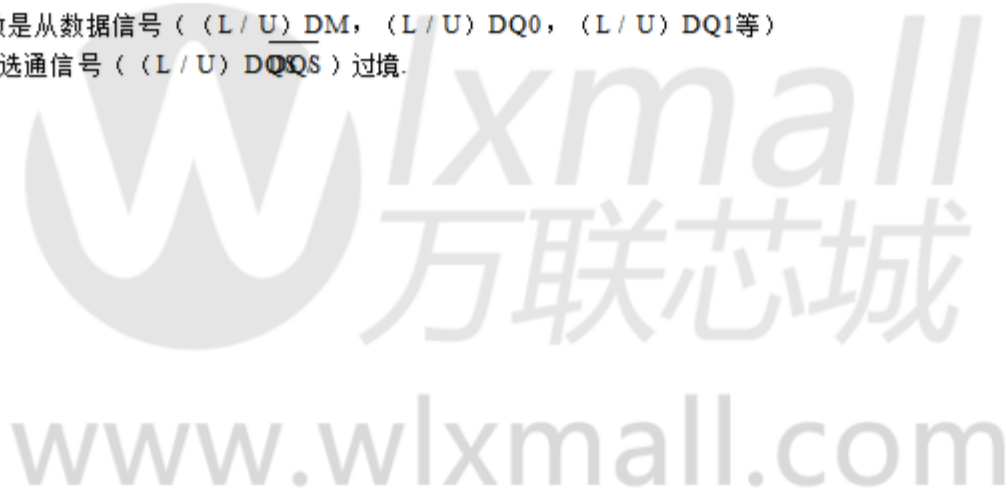
$\overline{DQS}$) 交叉到其各自的时钟信号

($\overline{CLK}$ / $\overline{CLK}$) 交叉. 规格值不受所用时钟抖动里的影响 (即 $t_{JIT} (每)$, $t_{JIT} (cc)$ 等), 作为

这些是相对于时钟信号交叉的. 也就是说, 无论是否存在时钟抖动, 都应该满足这些参数.

这些参数是从数据信号 ((L / U) DM, (L / U) DQ0, (L / U) DQ1等)

数据选通信号 ((L / U) DQ $\overline{DQS}$) 过境.





30. 输入时钟抖动规格参数. 这些参数和下表中的参数称为“输入时钟抖动规格”
参数. 指定的抖动是满足高斯分布的随机抖动.

输入时钟 - DDR2-667, DDR2-800和DDR2-1066的抖动规范参数

参数	符号	DDR2-667		DDR2-800		DDR2-1066		单元
		MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
时钟周期抖动	tJIT (全)	-125	125	-100	100	-90	90	PS
DLL锁定期间的时钟周期抖动	tJIT (每, LCK)-100	100		-80	80	-80	80	PS
循环到周期时钟周期	tJIT (CC)	-250	250	-200	200	-180	180	PS
在DLL期间循环周期时钟周期抖动 锁定期	tJIT (CC, LCK)-200	200		-160	160	-160	160	PS
2个周期的累积误差	TERR (2per)	-175	175	-150	150	-132	132	PS
3个周期的累积误差	TERR (3per)	-225	225	-175	175	-157	157	PS
4个周期的累积误差	TERR (4per)	-250	250	-200	200	-175	175	PS
5个周期的累积误差	TERR (5per)	-250	250	-200	200	-188	188	PS
n个循环累积误差, n = 6 ... 10, 包括	TERR (6-10per)-350	350		-300	300	-250	250	PS
n个循环累积误差, n = 11 ... 50, 包括在内	TERR (11-50per)-450	450		-450	450	-425	425	PS
占空比抖动	tJIT (占空比)-125	125		-100	100	-75	75	PS

定义:

- 为tCK (AVG)

tCK (avg) 计算为任何连续200个循环窗口的平均时钟周期.

$$tCK (avg) = \frac{\sum_{j=1}^N t_{CKj}}{N}$$

哪里 N = 200

- tCH (平均) 和 tCL (平均)

tCH (avg) 被定义为在任何连续的200个HIGH脉冲间计算的平均HIGH脉冲宽度.

$$tCH (avg) = \frac{\sum_{j=1}^N t_{CHj}}{N}$$

哪里 N = 200

tCL (avg) 被定义为在任何连续的200个LOW脉冲间计算的平均LOW脉冲宽度.

$$tCL (avg) = \frac{\sum_{j=1}^N t_{CLj}}{N}$$

哪里 N = 200



- tJIT (占空比)

tJIT (占空比) 被定义为 tCH 抖动和 tCL 抖动的累积集合. tCH 抖动是任何单个 tCH 距离的最大偏差总胆固醇 (AVG). tCL 抖动是来自 tCL (avg) 的任何单个 tCL 的最大偏差.

$$tJIT (duty) = \{tJIT (CH), tJIT (CL)\} \text{的最小值/最大值}$$

哪里,

$$tJIT (CH) = \{tCH_i - tCH (avg) \text{ 其中 } i = 1 \text{ 至 } 200\}$$

$$tJIT (CL) = \{tCL_i - tCL (avg) \text{ 其中 } i = 1 \text{ 至 } 200\}$$

- tJIT (每个), tJIT (每个, lck)

tJIT (每个) 被定义为任何单个 tCK 与 tCK (avg) 的最大偏差.

$$tJIT (per) = \{tCK_i - tCK (avg) \text{ 其中 } i = 1 \text{ 至 } 200\} \text{的最小值/最大值}$$

tJIT (每个) 定义了 DLL 已经被锁定时的单周期抖动.

在 DLL 锁定期间, tJIT (per, lck) 对单周期抖动使用相同的定义.

tJIT (per) 和 tJIT (per, lck) 不能通过最终生产测试来保证.

- tJIT (cc), tJIT (cc, lck)

tJIT (cc) 被定义为两个连续时钟周期之间的时钟周期差异:

$$tJIT (cc) = |tCK_i - tCK_{i+1}| \text{ 的最大值}$$

当 DLL 已经被锁定时, tJIT (cc) 定义了循环抖动周期.

在 DLL 锁定期间, tJIT (cc, lck) 使用相同的周期定义来循环抖动.

tJIT (cc) 和 tJIT (cc, lck) 不能通过最终生产测试进行保证.

- tERR (2per), tERR (3per), tERR (4per), tERR (5per), tERR (6-10per) 和 tERR (11-50per)

tERR 被定义为来自 tCK (avg) 的多个连续周期的累积误差.

$$tERR (nper) = \frac{1}{n} \sum_{i=1}^n tCK_i - n \times tCK (平均)$$

$$n = 2 \quad \text{对于 } tERR (2per)$$

$$n = 3 \quad \text{对于 } tERR (3per)$$

$$n = 4 \quad \text{对于 } tERR (4per)$$

$$n = 5 \quad \text{对于 } tERR (5per)$$

$$6 \leq n \leq 10 \quad \text{对于 } tERR (6-10per)$$

$$11 \leq n \leq 50 \quad \text{对于 } tERR (11-50per)$$

哪里



31. 这些参数是按照它们的平均值来规定的，但是可以理解的是，它们之间的关系如下
 平均时间和绝对瞬时时间始终保持不变。（要使用SPEC值的最小值和最大值
 在下表中进行计算。）

参数	符号	MIN	MAX	单元
绝对时钟周期	为tCK (ABS)	$t_{CK} (avg), min + t_{JIT} (per) \times G_{Km}(avg), max + t_{JIT} (per) \times PS_{max}$		
绝对时钟高脉冲宽度	总胆固醇 (ABS)	$t_{CH} (avg), min \times t_{CK} (avg) - t_{JIT} (占空比), 最小$	$t_{CH} (avg), max \times t_{CK} (avg) + t_{JIT} (占空比), 最大$	$PS_{max} + t_{JIT} (占空比), 最大$
绝对时钟低脉冲宽度	TCL (ABS)	$t_{CL} (avg), min \times t_{CK} (avg) - t_{JIT} (占空比), 最小$	$t_{CL} (avg), max \times t_{CK} (avg) + t_{JIT} (占空比), 最大$	$PS_{max} + t_{JIT} (占空比), 最大$

示例：1) 对于DDR2-667, $t_{CH} (abs), min = (0.48 \times 3000 \text{ pS}) - 125 \text{ pS} = 1315 \text{ pS}$

2) 对于DDR2-1066, $t_{CH} (abs), min = (0.48 \times 1875 \text{ pS}) - 75 \text{ pS} = 825 \text{ pS}$

32. tHP是实际输入时钟的绝对半周期的最小值。tHP是输入参数，但不是输入规格参数。它与tQHS一起使用来导出DRAM输出时序tQH。要用于的值
 tQH的计算由以下公式确定：

$$t_{HP} = \text{Min} (t_{CH} (abs), t_{CL} (abs)),$$

哪里，

tCH (绝对) 是实际瞬时时钟高电平时间的最小值；

tCL (绝对) 是实际瞬时时钟低电平时间的最小值；

33. tQHS帐户：

1) 片上时钟电路的脉冲持续时间失真，代表输入端的实际tHP有多好转移到输出；和

2) 最糟糕的情况是在一次转换之后推出DQS，然后是下一次转换中最差的DQ引入，由于数据引脚偏斜，输出模式影响以及p沟道到n沟道晶体管的影响，两者彼此独立。输出驱动器的通道变化

$t_{QH} = t_{HP} - t_{QHS}$ ，其中：

tHP是实际输入时钟绝对半周期的最小值；和

tQHS是最大列下的规格值。

{存在的半脉宽度失真越小，tQH值越大；并且有效数据眼将会越大。}

例子：

1) 如果系统向DDR2-667 SDRAM提供1315 pS的tHP，则DRAM提供最小975 pS的tQH。

2) 如果系统向DDR2-667 SDRAM提供1420 pS的tHP，则DRAM提供1080 pS最小值的tQH。

3) 如果系统向DDR2-1066 SDRAM提供825 pS的tHP，则DRAM提供最小575 pS的tQH。

4) 如果系统向DDR2-1066 SDRAM提供900 pS的tHP，则DRAM提供最小650 pS的tQH。

35. 当器件在输入时钟抖动的情况下工作时，该参数需要通过实际的tERR (6-10per) 输入时钟。（输出降额与SDRAM输入时钟有关。）

例子：

1) 如果测量到的DDR2-667 SDRAM抖动具有tERR (6-10per)，min = - 272 pS和tERR (6-10per)，max = + 293 pS，则tDQSCK，min (降额) = tDQSCK，min - tERR (6-10per)，max = - 400 pS - 293 pS = - 693 pS和tDQSCK，max (降额) = tDQSCK，max - tERR (6-10per)，min = 400 pS + 272 pS = + 672 pS。

类似地，DDR2-667的tLZ (DQ) 降低至tLZ (DQ)，min (降额) = - 900 pS - 293 pS = - 1193 pS和tLZ (DQ)，max (降额) = 450 pS + 272 pS = + 722 pS。（注意最小/最大使用量！）

2) 如果测量到的DDR2-1066 SDRAM抖动具有tERR (6-10per)，min = - 202 pS和tERR (6-10per)，max = + 223 pS，则tDQSCK，min (降额) = tDQSCK，min - tERR (6-10per)，max = - 300 pS - 223 pS = - 523 pS和tDQSCK，max (降额) = tDQSCK，max - tERR (6-10per)，min = 300 pS + 202 pS = + 502 pS。

类似地，DDR2-1066的tLZ (DQ) 降低到tLZ (DQ)，min (降额) = - 700 pS - 223 pS = - 923 pS和tLZ (DQ)，max (降额) = 350 pS + 202 pS = + 552 pS。（注意最小/最大使用量！）



36.当器件在输入时钟抖动下工作时,该参数需要由输入的实际tJIT(每个)降额时钟。(输出降额与SDRAM输入时钟有关。)

例子:

1)如果测量到的DDR2-667 SDRAM的抖动具有tJIT(每个), $\min = -72 \text{ pS}$ 和tJIT(每个), $\max = +93 \text{ pS}$,则 $t_{\text{RPRE, min}}(\text{降额}) = t_{\text{RPRE, min}} + t_{\text{JIT}}(\text{per})$, $\min = 0.9 \times t_{\text{CK}}(\text{avg}) - 72 \text{ pS} = +2178 \text{ pS}$ 和 $t_{\text{RPRE, max}}(\text{降额}) = t_{\text{RPRE, max}} + t_{\text{JIT}}(\text{per})$, $\max = 1.1 \times t_{\text{CK}}(\text{avg}) + 93 \text{ pS} = +2843 \text{ pS}$ 。(注意最小/最大使用量!)

2)如果测量到的DDR2-1066 SDRAM的抖动具有tJIT(每个), $\min = -72 \text{ pS}$ 和tJIT(每个), $\max = +63 \text{ pS}$,则 $t_{\text{RPRE, min}}(\text{降额}) = t_{\text{RPRE, min}} + t_{\text{JIT}}(\text{per})$, $\min = 0.9 \times t_{\text{CK}}(\text{avg}) - 72 \text{ pS} = +1615.5 \text{ pS}$ 和 $t_{\text{RPRE, max}}(\text{降额}) = t_{\text{RPRE, max}} + t_{\text{JIT}}(\text{per})$, $\max = 1.1 \times t_{\text{CK}}(\text{avg}) + 63 \text{ pS} = +2125.5 \text{ pS}$ 。(注意最小/最大使用量!)

37.当器件在输入时钟抖动下工作时,该参数需要通过输入的实际tJIT(占空比)降额时钟。(输出降额与SDRAM输入时钟有关。)

例子:

1)如果测量到的DDR2-800 SDRAM的抖动具有tJIT(占空比), $\min = -72 \text{ pS}$ 和tJIT(占空比), $\max = +93 \text{ pS}$,则 $t_{\text{RPST, min}}(\text{降额}) = t_{\text{RPST, min}} + t_{\text{JIT}}(\text{duty})$, $\min = 0.4 \times t_{\text{CK}}(\text{avg}) - 72 \text{ pS} = +928 \text{ pS}$ 和 $t_{\text{RPST, max}}(\text{降额}) = t_{\text{RPST, max}} + t_{\text{JIT}}(\text{duty})$, $\max = 0.6 \times t_{\text{CK}}(\text{avg}) + 93 \text{ pS} = +1593 \text{ pS}$ 。(注意最小/最大使用量!)

2)如果测量到的DDR2-1066 SDRAM的抖动具有tJIT(duty), $\min = -72 \text{ pS}$ 和tJIT(duty), $\max = +63 \text{ pS}$,则 $t_{\text{RPST, min}}(\text{降额}) = t_{\text{RPST, min}} + t_{\text{JIT}}(\text{duty})$, $\min = 0.4 \times t_{\text{CK}}(\text{avg}) - 72 \text{ pS} = +678 \text{ pS}$ 和 $t_{\text{RPST, max}}(\text{降额}) = t_{\text{RPST, max}} + t_{\text{JIT}}(\text{duty})$, $\max = 0.6 \times t_{\text{CK}}(\text{avg}) + 63 \text{ pS} = +1188 \text{ pS}$ 。(注意最小/最大使用量!)

38.当器件在输入时钟抖动下工作时,该参数需要由{-tJIT(duty), max-tERR(6-10per), max}和{-tJIT(duty), min-tERR(6-10per), min}的实际输入时钟。(输出降额是相对的SDRAM输入时钟。)

例子:

1)如果测量到的DDR2-667 SDRAM抖动具有tERR(6-10per), $\min = -272 \text{ pS}$, tERR(6-10per), $\max = +293 \text{ pS}$, tJIT(duty), $\min = -106 \text{ pS}$ 和tJIT(duty), $\max = +94 \text{ pS}$,则 $t_{\text{AOF, min}}(\text{降额}) = t_{\text{AOF, min}} + \{-t_{\text{JIT}}(\text{duty}) - t_{\text{ERR}}(6-10\text{per}), \max\} = -450 \text{ pS} + \{-94 \text{ pS} - 293 \text{ pS}\} = -837 \text{ pS}$ 和 $t_{\text{AOF, max}}(\text{降额}) = t_{\text{AOF, max}} + \{-t_{\text{JIT}}(\text{duty}), \min - t_{\text{ERR}}(6-10\text{per}), \min\} = 1050 \text{ pS} + \{106 \text{ pS} + 272 \text{ pS}\} = +1428 \text{ pS}$ 。(注意最小/最大用法!)

2)如果测量到的DDR2-1066 SDRAM抖动具有tERR(6-10per), $\min = -202 \text{ pS}$, tERR(6-10per), $\max = +223 \text{ pS}$, tJIT(duty), $\min = -66 \text{ pS}$ 和tJIT(duty), $\max = +74 \text{ pS}$,则 $t_{\text{AOF, min}}(\text{降额}) = t_{\text{AOF, min}} + \{-t_{\text{JIT}}(\text{duty}) - t_{\text{ERR}}(6-10\text{per}), \max\} = -350 \text{ pS} + \{-74 \text{ pS} - 223 \text{ pS}\} = -647 \text{ pS}$ 和 $t_{\text{AOF, max}}(\text{降额}) = t_{\text{AOF, max}} + \{-t_{\text{JIT}}(\text{duty}), \min - t_{\text{ERR}}(6-10\text{per}), \min\} = 950 \text{ pS} + \{66 \text{ pS} + 202 \text{ pS}\} = +1218 \text{ pS}$ 。(注意最小/最大使用量!)

39.对于DDR2-667 / 800/1066的tAOFD, $2.5 \times n_{\text{CK}}$ 中nCK的1/2时钟采用tCH(avg),平均输入时钟高电平0.5的脉冲宽度相对于tCK(平均)。tAOF, min和tAOF, max应分别与实际值相同存在于DRAM输入端的tCH(avg)偏移量相对于0.5。

例:

如果输入时钟的最坏情况tCH(avg)为0.48,则应通过减去 $0.02 \times t_{\text{CK}}(\text{avg})$ 来降低tAOF, min,而如果一个输入时钟的最坏情况tCH(avg)为0.52,则tAOF, max应该通过加入 $0.02 \times t_{\text{CK}}(\text{avg})$ 。因此,我们有:

$t_{\text{AOF, min}}(\text{降额}) = t_{\text{AC, min}} - [0.5 - \text{Min}(0.5, t_{\text{CH}}(\text{avg}), \min)] \times t_{\text{CK}}(\text{avg})$

$t_{\text{AOF, max}}(\text{降额}) = t_{\text{AC, max}} + 0.6 + [\text{Max}(0.5, t_{\text{CH}}(\text{avg}), \max) - 0.5] \times t_{\text{CK}}(\text{avg})$

要么

$t_{\text{AOF, min}}(\text{降额}) = \text{Min}(t_{\text{AC, min}}, t_{\text{AC, min}} - [0.5 - t_{\text{CH}}(\text{avg}), \min] \times t_{\text{CK}}(\text{avg}))$

$t_{\text{AOF, max}}(\text{降额}) = 0.6 + \text{Max}(t_{\text{AC, max}}, t_{\text{AC, max}} + [t_{\text{CH}}(\text{avg}), \max] - 0.5 \times t_{\text{CK}}(\text{avg}))$

其中tCH(avg), min和tCH(avg), max是在DRAM上实际测量的tCH(avg)的最小值和最大值输入球。

请注意,除了每个输入时钟抖动的tAOF降额(即tJIT(duty)和tERR(6-10per))之外,这些降额也是额外的。然而上面显示的公式中使用的tAC值来自时序参数表,并未降额。

因此tAOF的最终降额值为:

$t_{\text{AOF, min}}(\text{降额_final}) = t_{\text{AOF, min}}(\text{降额}) + \{-t_{\text{JIT}}(\text{duty}), \max - t_{\text{ERR}}(6-10\text{per}), \max\}$

$t_{\text{AOF, max}}(\text{降额_final}) = t_{\text{AOF, max}}(\text{降额}) + \{-t_{\text{JIT}}(\text{duty}), \min - t_{\text{ERR}}(6-10\text{per}), \min\}$

40.定时器的命令/地址输入摆率为1.0 V / nS。

41.定时器的DQ和DM输入摆率为1.0 V / nS。

42.定时器的CLK / CLK差分转换速率为2.0 V / nS。时间保证DQS信号与a差分闪光模式下差分转换速率为2.0 V / nS。



43. tIS和tIH（输入建立和保持）降额。

ΔtS / ΔtIH DDR2-667，DDR2-800和DDR2-1066的降额值

命令/ 地址 转换率 (V / NS)	DDR2-667，DDR2-800和DDR2-1066的ΔtS和ΔtIH降额值						单元
	CLK / CLK差分转换速率						
	2.0 V / nS		1.5 V / nS		1.0 V / nS		
	ΔdS	ΔtIH	ΔdS	ΔtIH	ΔdS	ΔtIH	
4	+150	+94	+180	+124	+210	+154	PS
3.5	+143	+89	+173	+119	+203	+149	PS
3.0	+133	+83	+163	+113	193	+143	PS
2.5	+120	+75	+150	+105	+180	+135	PS
2.0	+100	+45	+130	+75	+160	+105	PS
1.5	+67	+21	+97	+51	+127	+81	PS
1.0	0	0	+30	+30	+60	+60	PS
0.9	-5	-14	+25	+16	+55	+46	PS
0.8	-13	-31	+17	-1	+47	+29	PS
0.7	-22	-54	+8	-24	+38	+6	PS
0.6	-34	-83	-4	-53	+26	-23	PS
0.5	-60	-125	-30	-95	0	-65	PS
0.4	-100	-188	-70	-158	-40	-128	PS
0.3	-168	-292	-138	-262	-108	-232	PS
0.25	-200	-375	-170	-345	-140	-315	PS
0.2	-325	-500	-295	-470	-265	-440	PS
0.15	-517	-708	-487	-678	-457	-648	PS
0.1	-1000	-1125	-970	-1095	-940	-1065	PS

对于所有输入信号，所需的总tIS（设置时间）和tIH（保持时间）通过将数据表tIS（基准）和tIH（基准）值分别与ΔtIS和ΔtIH降额值进行比较。例如：tIS（总安装时间）= tIS（基准）+ ΔtIS。

上升信号的设置（tIS）额定转换速率被定义为VREF（dc）的最后一个交叉点与第一个交叉点之间的转换速率。下降信号的设置（tIS）额定转换速率被定义为最后一次穿越之间的转换速率。VREF（直流）和VIL（交流）最大交叉点。如果实际信号总是早于标称摆率线之间，将“VREF（直流）交流到交流区域”，使用额定压摆率作为降额值。请参见图20 tIS的标称摆率的图示。

如果实际信号晚于shad之间任何位置的标称摆率线

编辑“VREF（直流）到交流区”，转换速率为a

从AC电平到DC电平的实际信号的切线用于降额值。参见图21切线图
为tIS。

上升信号的保持（tIH）额定转换速率被定义为VIL（dc）max的最后一个交叉点与第一个交叉点之间的转换速率。下降信号的保持（tIH）额定压摆率定义为最后一次穿越之间的压摆率。VIH（dc）min和VREF（dc）的第一个交叉点。如果实际信号始终晚于两者之间的标称转换速率线带阴影的“DC到VREF（直流）区域”，使用额定压摆率作为降额值。请参见图22 tIH的标称摆率。

如果实际信号早于阴影“DC至VREF（直流）区域”之间的任何位置的标称压摆率线，压摆率从DC电平到VREF（dc）电平的实际信号的切线用于降额值。参见图23 tIH的切线。

尽管对于慢摆率，整个设置时间可能是负的（即有效输入信号不会在达到VIH / IL（ac）时上升时钟转换的时间）仍然需要有效的输入信号才能完成转换并达到VIH / IL（ac）。

对于DDR2-667，DDR2-800和DDR2-1066表中上述tIS / tIH降额值中列出的值之间的转换速率，降额值可通过线性插值得到。

这些值通常不受生产测试的限制。它们通过设计和特性验证。

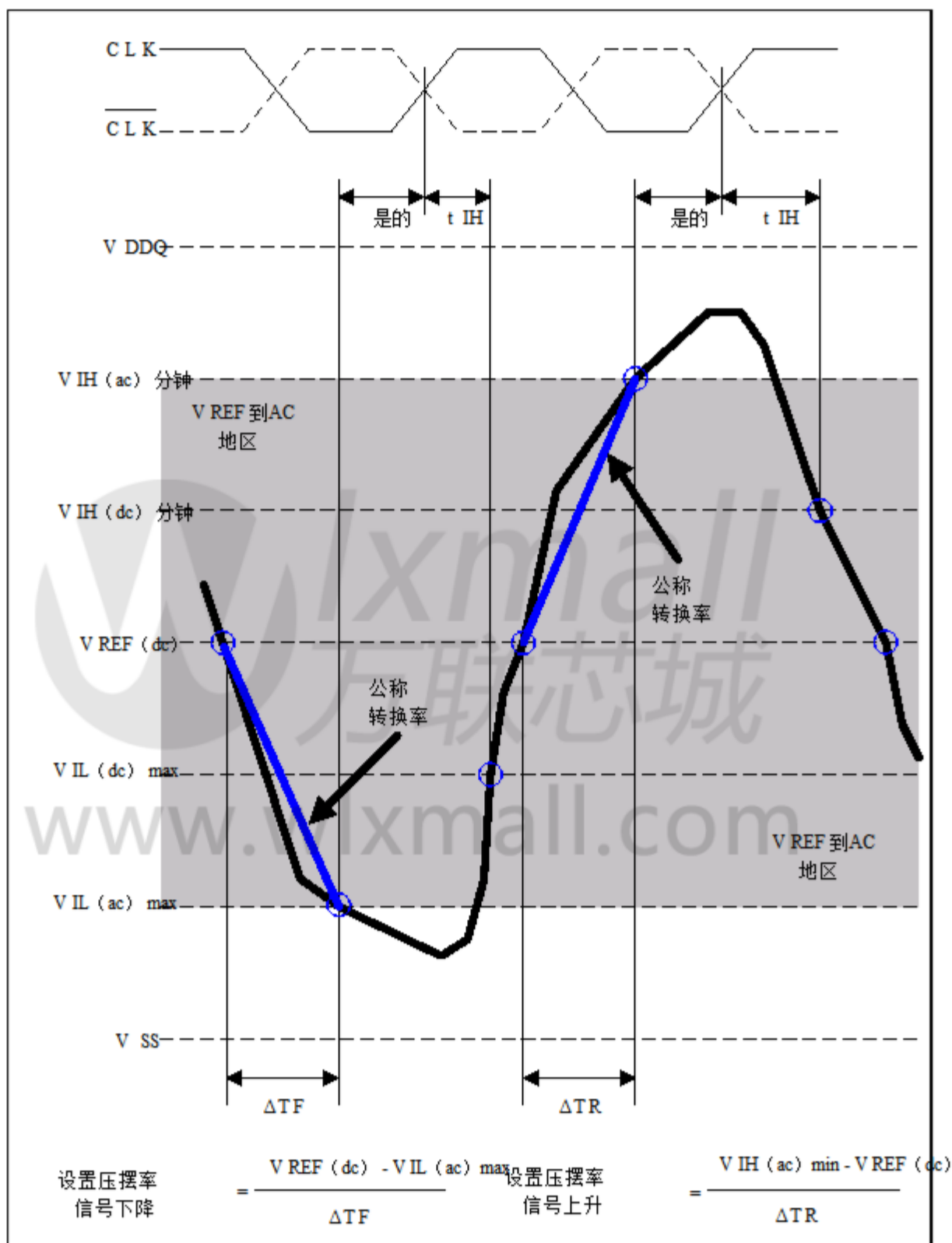


图20 - t IS 的标称摆率的例证

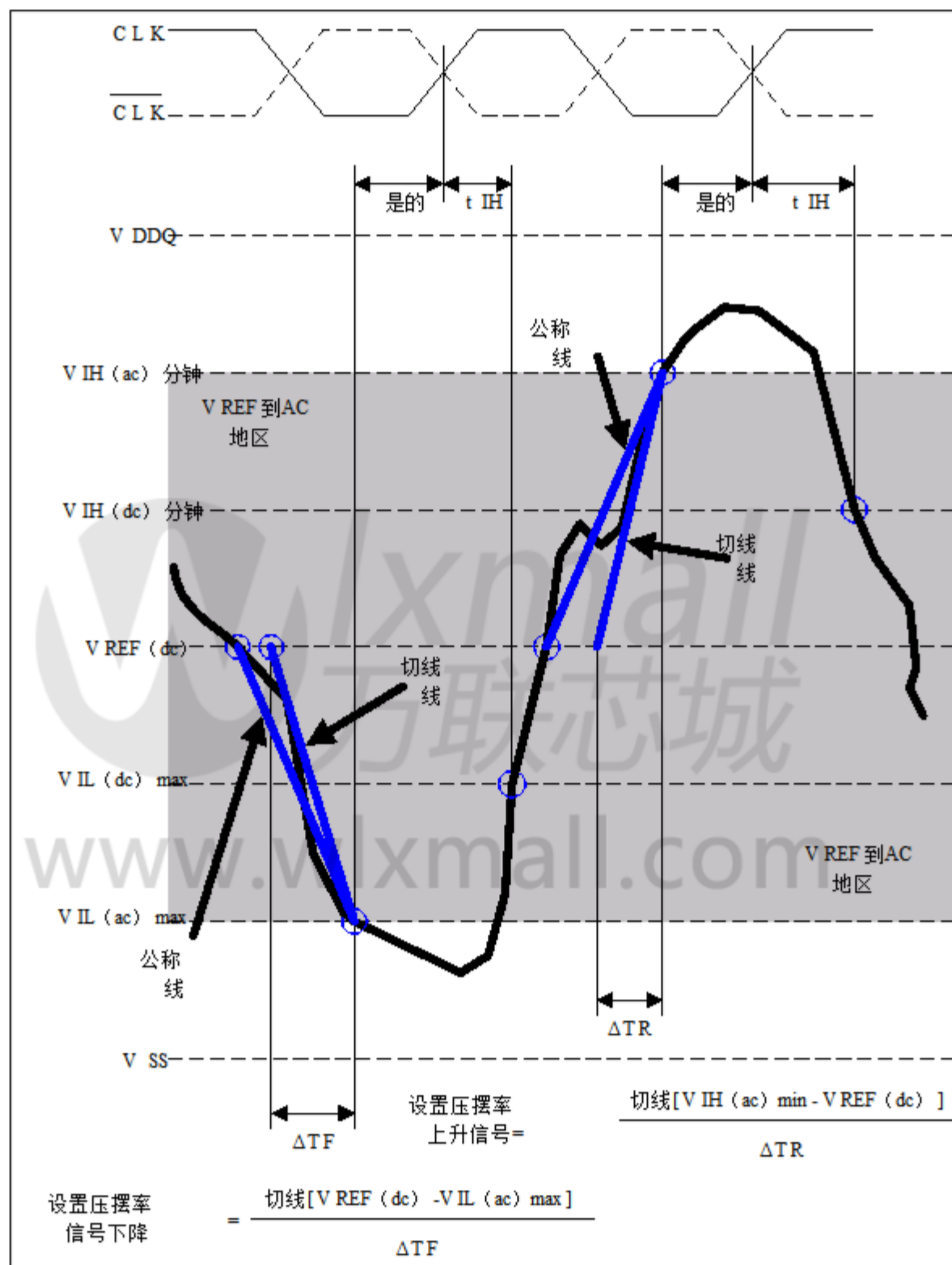


图21 - t_{IS} 的切线图示

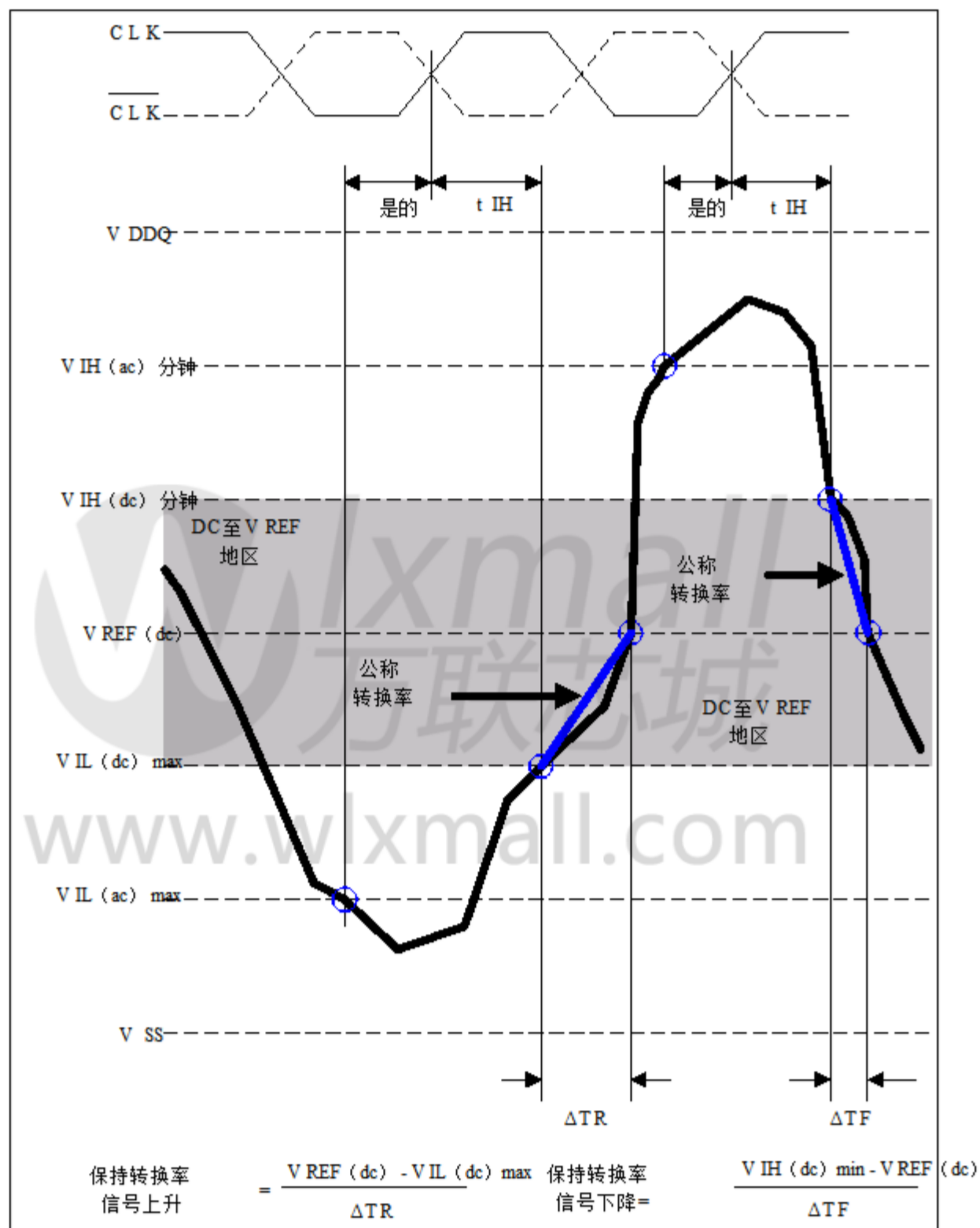


图22 - t_{IH} 的标称摆率的例证

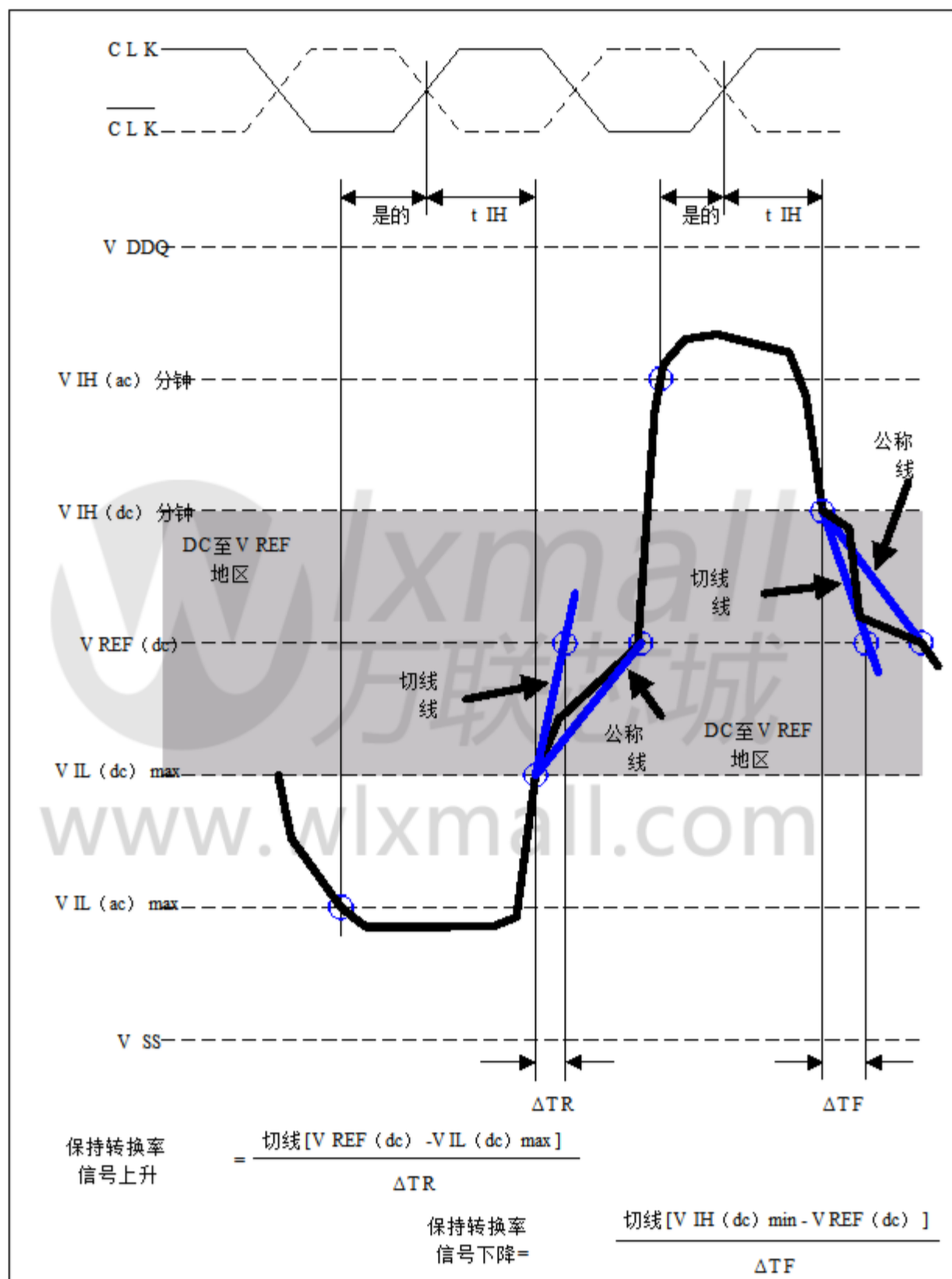


图23 - t_{IH} 的切线插图



44. 数据建立和保持时间降额.

DDR2-667, DDR2-800和DDR2-1066 tDS / tDH通过差分数据选通降容

DQ 摆率 (V / nS)	ΔtDS, ΔtDH DDR2-667, DDR2-800和DDR2-1066的降额值 (“pS”中的所有单位;注释适用于整个桌子)																	
	D Q S D Q S 差分压摆率																	
	4.0 V / nS		3.0 V / nS		2.0 V / nS		1.8 V / nS		1.6 V / nS		1.4 V / nS		1.2 V / nS		1.0 V / nS		0.8 V / nS	
	ΔtDS	ΔtDH	ΔtDS	ΔtDH	ΔtDS	ΔtDH	ΔtDS	ΔtDH	ΔtDS	ΔtDH	ΔtDS	ΔtDH	ΔtDS	ΔtDH	ΔtDS	ΔtDH	ΔtDS	ΔtDH
2.0	100	45	100	45	100	45	-	-	-	-	-	-	-	-	-	-	-	-
1.5	67	21	67	21	67	21	79	33	-	-	-	-	-	-	-	-	-	-
1.0	0	0	0	0	0	0	12	12	24	24	-	-	-	-	-	-	-	-
0.9	-	-	-5	-14	-5	-14	7	-2	19	10	31	22	-	-	-	-	-	-
0.8	-	-	-	-	-13	-31	-1	-19	11	-7	23	五	35	17	-	-	-	-
0.7	-	-	-	-	-	-	-10	-42	2	-30	14	-18	26	-6	38	6	-	-
0.6	-	-	-	-	-	-	-	-	-10	-59	2	-47	14	-35	26	-23	38	-11
0.5	-	-	-	-	-	-	-	-	-	-	-24	-89	-12	-77	0	-65	12	-53
0.4	-	-	-	-	-	-	-	-	-	-	-	-	-52	-140	-40	-128	-28	-116

对于所有输入信号,所需的总tDS (建立时间)和tDH (保持时间)是通过将数据表tDS (base)和tDH (基准)值分别与ΔtDS和ΔtDH降额值进行比较.例如:tDS (总设置时间)=tDS (基准)+ΔtDS.

上升信号的设置 (tDS) 额定转换速率定义为VREF (dc) 的最后一个交叉点与第一个交叉点之间的转换速率超过VIH (ac) 分钟.下降信号的设置 (tDS) 额定转换速率被定义为最后一次穿越之间的转换速率VREF (直流)和VIL (交流) 最大交叉点.如果实际信号总是早于标称摆率线之间,将“VREF (直流) 交流到交流区域”,使用额定压摆率作为降额值.请参见图24的标称摆率的说明tDS (差分DQS, DQS).

如果实际信号晚于标称压摆率线,在阴影“VREF (dc) 到AC区域”之间的任意位置,压摆率a从AC电平到DC电平的信号的实际信号的切线用于降额值.见图25切线图对于tDS (差分DQS, DQS).

上升信号的保持 (tDH) 额定转换速率被定义为VIL (dc) max的最后一个交叉点与第一个交叉点之间的转换速率超过VREF (dc).下降信号的保持 (tDH) 额定转换速率被定义为最后一个交叉点之间的转换速率VIH (dc) min和VREF (dc) 的第一个交叉点.如果实际信号始终晚于两者之间的标称转换速率线,阴影“直流电平到VREF (直流) 区域”,使用额定转换速率进行降容.请参见图26标称摆率的说明为tDH (差分DQS, DQS).

如果实际信号早于标称摆率线,则可以这里介于阴影“直流到VREF (直流) 区域”之间,转换速率为从DC电平到VREF (dc) 电平的信号的实际信号的切线用于降额值.参见图27tDH (差分DQS, DQS) 的切线.

尽管对于慢摆率,整个设置时间可能是负的 (即有效输入信号不会在达到VIH / IL (ac) 时上升时钟转换的时间) 仍然需要有效的输入信号才能完成转换并达到VIH / IL (ac).

对于上述DDR2-667中列出的值之间的转换速率,DDR2-800和DDR2-1066 tDS / tDH通过差分数据选通表,降额值可以通过线性插值得到.

这些值通常不受生产测试的限制.它们通过设计和特性验证.



45. 转换率测量级别:

一个下降沿和上升沿的输出转换速率在单端 $V_{TT} - 250\text{ mV}$ 和 $V_{TT} + 250\text{ mV}$ 之间测量信号。

对于差分信号（例如 $\overline{\text{DQS}} - \text{DQS}$ ），在 $\overline{\text{DQS}} - \text{DQS} = -500\text{ mV}$ 和 $\overline{\text{DQS}} - \text{DQS}$ 之间测量输出转换速率 $= +500\text{ mV}$ 。输出压摆率由设计保证，但不一定在每个器件上测试。

- b) 单端信号的输入转换速率由 $V_{REF}(\text{dc})$ 至 $V_{IH}(\text{ac})$ 测量，min为上升沿，从 $V_{REF}(\text{dc})$ 至 $V_{IL}(\text{ac})$ ，最大值为下降沿。

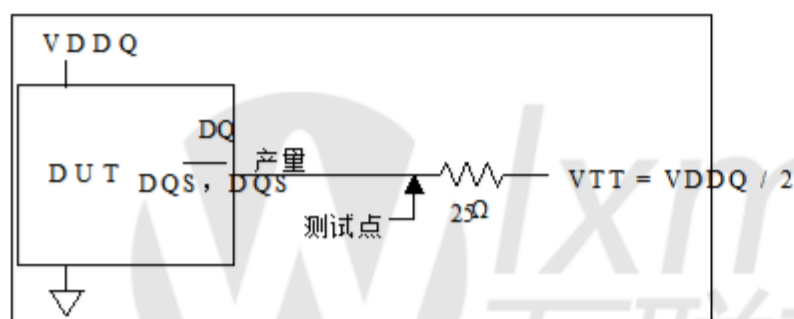
对于差分信号（例如 $\overline{\text{CLK}} - \text{CLK}$ ）上升沿的压摆率从 $\overline{\text{CLK}} - \text{CLK} = -250\text{ mV}$ 至 $\overline{\text{CLK}} - \text{CLK} = +500\text{ mV}$ （下降沿为 $+250\text{ mV}$ 至 -500 mV ）。

- c) V_{ID} 是 $\overline{\text{CLK}}$ 上的输入电压与输入电压之间差值的大小和 $\overline{\text{DQS}}$ 差分闪光灯。

$\overline{\text{CLK}}$ 或 $\overline{\text{DQS}}$ 之间

46. DDR2 SDRAM输出压摆率测试负载:

输出转换速率在测试条件下表征如下图所示。



输出压摆率测试负载

差分数据选通:

根据EMRS的设置，DDR2 SDRAM引脚时序指定为单端模式或差分模式。使能 $\overline{\text{DQS}}$ 模式位:差分模式的时序优势在系统设计中得以实现。DDR2的方法测量SDRAM引脚时序取决于模式。在单端模式下，时序关系是相对于 $\overline{\text{DREF}}$ 在 V_{REF} 处交叉的上升沿或下降沿。在差分模式下，这些时序关系是相对于 $\overline{\text{DQS}}$ 的交叉点及其补充， $\overline{\text{DQS}}$ 。定时方法中的这种区别通过设计和表征来保证。

请注意，当差分数据选通模式通过EMRS被禁用时，互补引脚 $\overline{\text{DQS}}$ 必须连接到外部到 $V_{SS\text{ thr}}$ 。为了确保正确的操作，请使用 20Ω 至 $10k\Omega$ 的电阻。

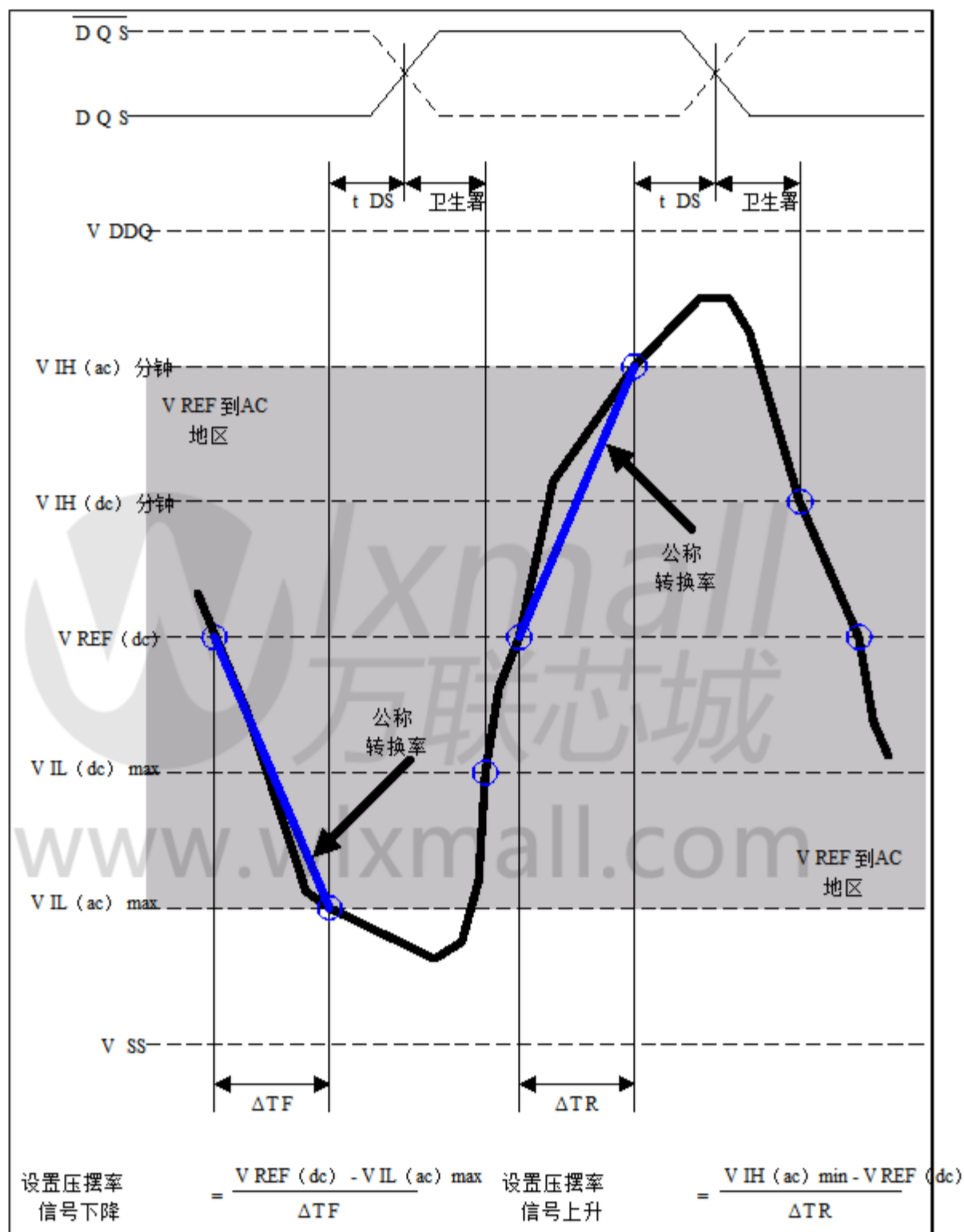
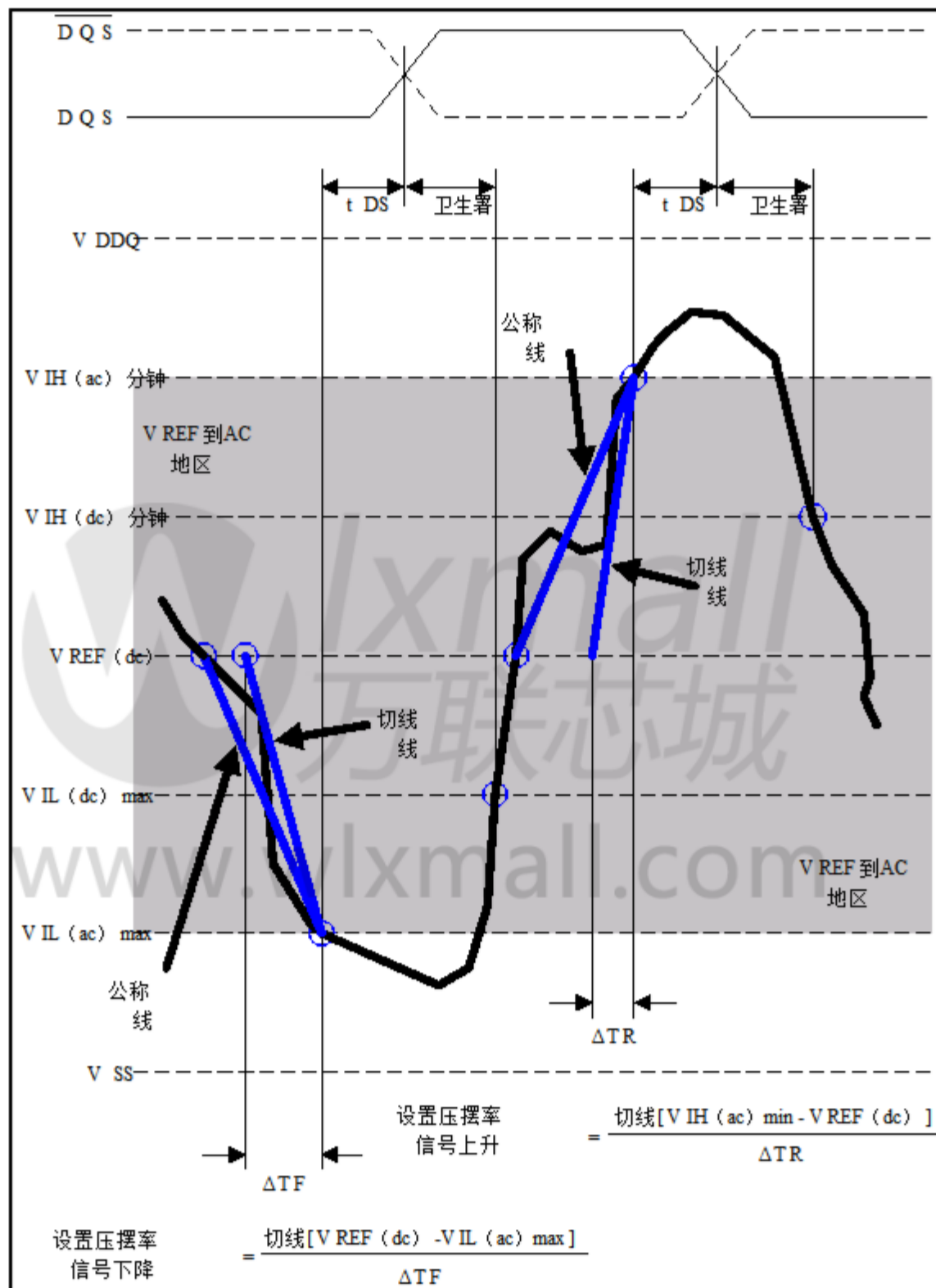


图24 - t_{DS} 标称摆率的示意图 (差分DQS, DQS)

图25 - t_{DS} (差分DQS, DQS) 的切线示意图

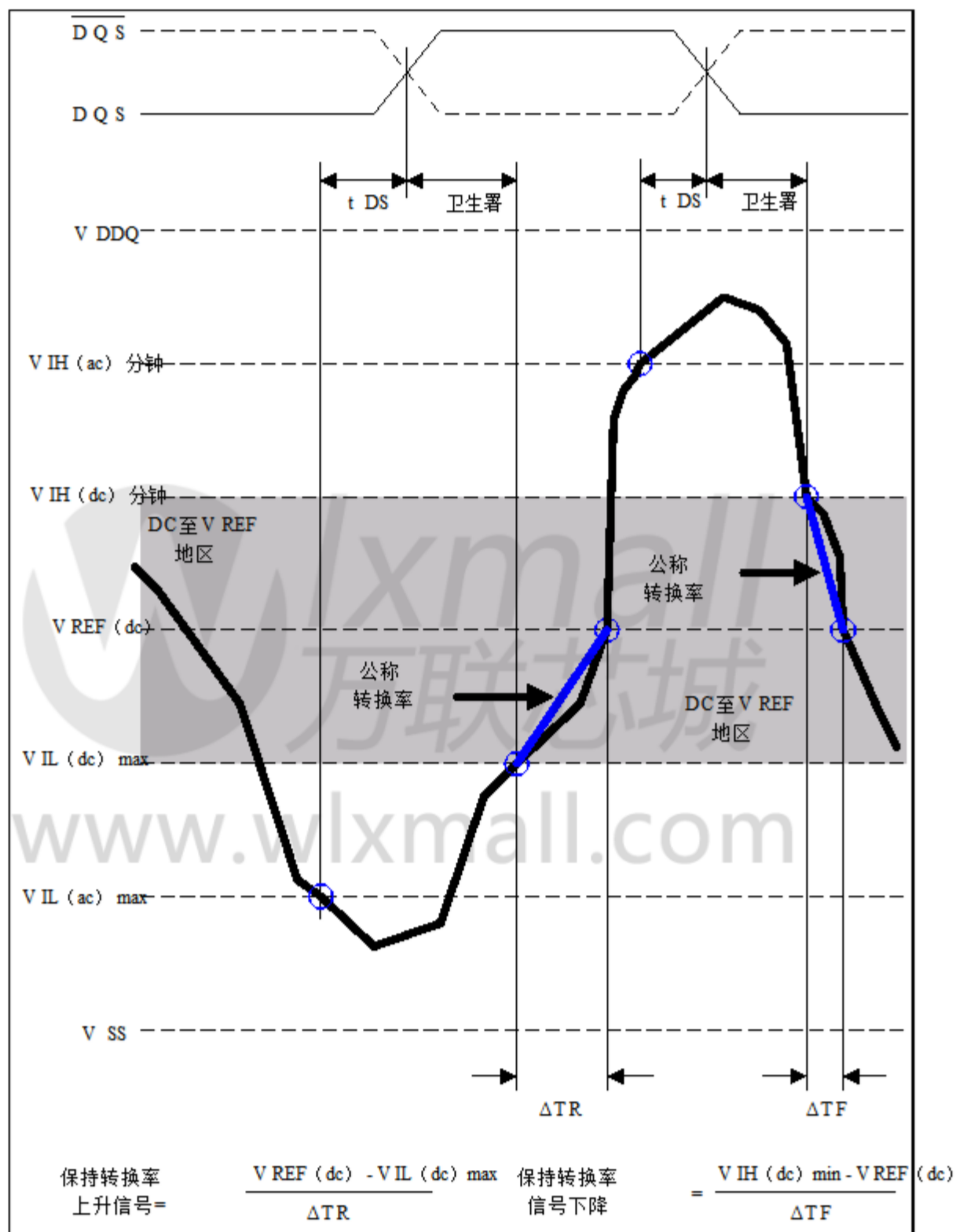


图26 - t_{DH}标称转换速率的示意图（差分DQS，DQS）

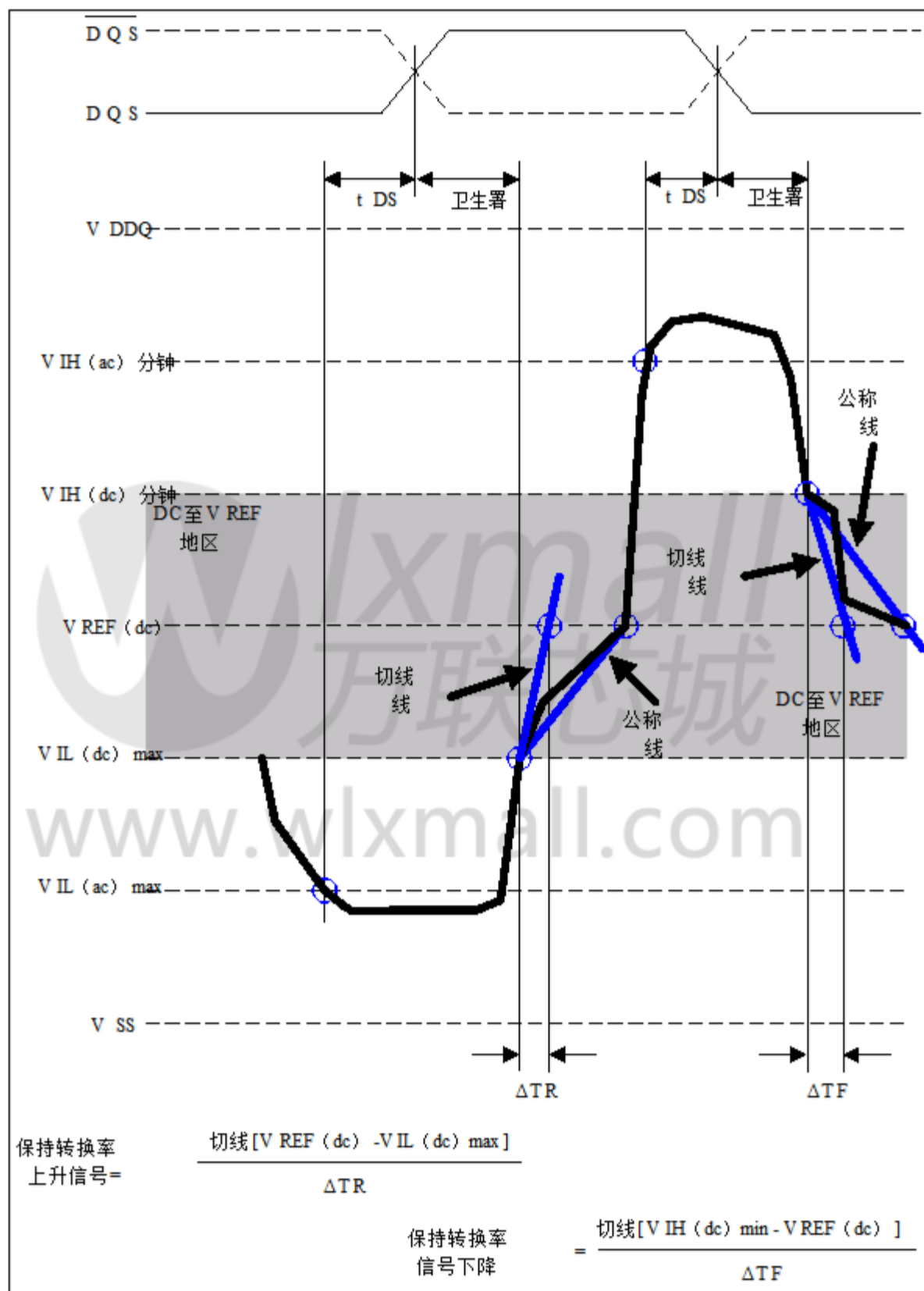


图27 - 说明 t_{DH} 的切线（差分DQS，DQS）



10.12 交流输入测试条件

条件	符号	值	单元	笔记
输入参考电压	V REF	$0.5 \times V_{DDQ}$	V	1
输入信号最大峰峰值摆动	V SWING (MAX)	1.0	V	1
输入信号最小转换速率	SLEW	1.0	V / 纳秒	2, 3

笔记：

1. 输入波形时序是指通过应用于被测器件的 V_{IH} / I_L (交流) 电平的输入信号。
2. 输入信号最小转换速率应保持在 V_{REF} 到 $V_{IH} (ac)_{min}$ 的范围内, 以保证上升沿和范围从 V_{REF} 到 $V_{IL} (ac)_{max}$, 下降沿如下图所示。
3. AC时序参考输入波形, 在正跳变和 $V_{IH} (ac)$ 之间从 $V_{IL} (ac)$ 切换到 $V_{IH} (ac)$ $V_{IL} (ac)$ 上的负迁移。

10.13 差分输入/输出AC逻辑电平

参数	SYM.	MIN.	MAX.	单元	笔记
交流差分输入电压	V ID (ac)	0.5	$V_{DDQ} + 0.6$	V	1
交流差分交叉点输入电压	V IX (ac)	$0.5 \times V_{DDQ} - 0.175$	$0.5 \times V_{DDQ} + 0.175$	V	2
交流差分交叉点输出电压	V OX (ac)	$0.5 \times V_{DDQ} - 0.125$	$0.5 \times V_{DDQ} + 0.125$	V	3

笔记：

1. $V_{ID} (ac)$ 指定输入差分电压 | $V_{TR} - V_{CP}$ | 切换所需的, 其中 V_{TR} 是真正的输入信号 (例如, $\overline{CLK}$, $\overline{LDQS}$ 或 $\overline{UDQS}$), V_{CP} 是互补输入信号 (如 CLK , $LDQS$ 或 $UDQS$)。最低值等于 $V_{IH} (ac) - V_{IL} (ac)$ 。
2. $V_{IX} (ac)$ 的典型值预计为发送设备的约 $0.5 \times V_{DDQ}$, $V_{IX} (ac)$ 预计会跟踪 V_{DDQ} 的变化。 $V_{IX} (ac)$ 表示差分输入信号必须跨越的电压。
3. $V_{OX} (ac)$ 的典型值预计为发送设备的约 $0.5 \times V_{DDQ}$, $V_{OX} (ac)$ 预计为跟踪 V_{DDQ} 的变化。 $V_{OX} (ac)$ 表示差分输出信号必须跨越的电压。

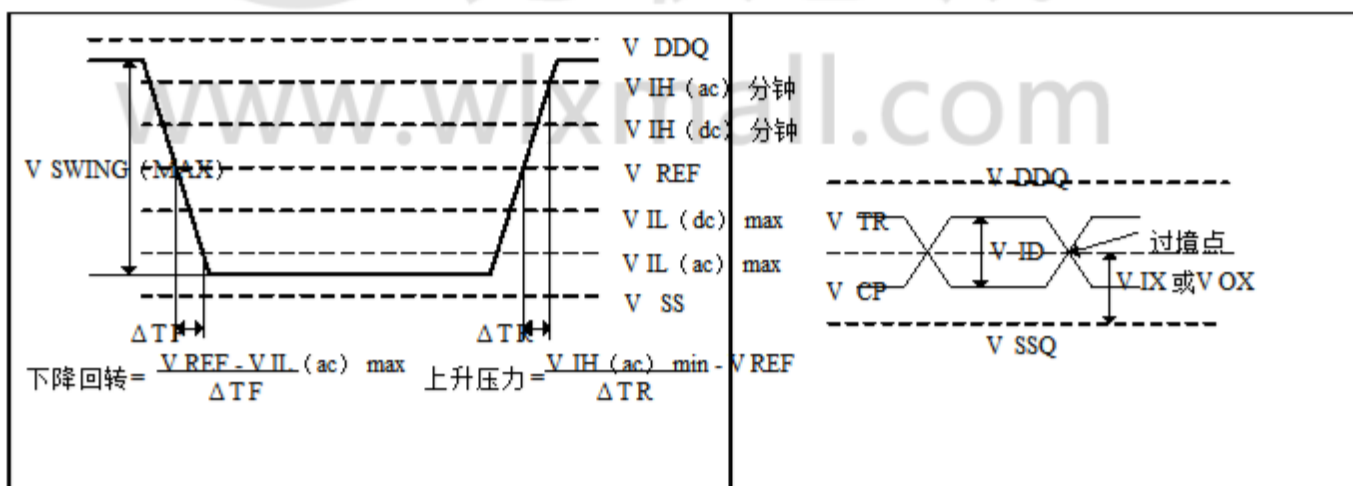


图28 - 交流输入测试信号和差分信号电平波形



10.14 AC过冲/下冲规格

10.14.1地址和控制引脚的交流过冲/下冲规格：

适用于A0-A12，BA0-BA1，/CS，/RAS，/CAS，/WE，CKE，ODT

参数	DDR2-1066	DDR2-800	DDR2-667	单元
允许超调区域的最大峰值幅度	0.5	0.5	0.5	V
下冲区域允许最大峰值幅度	0.5	0.5	0.5	V
V _{DD} 以上的最大过冲区域	0.5	0.66	0.8	V-纳秒
V _{SS} 下面的最大下冲区域	0.5	0.66	0.8	V-纳秒

10.14.2时钟，数据，频闪和屏蔽引脚的交流过冲/下冲规范：

适用于DQ，LDQS，/LDQS，UDQS，/UDQS，LDM，UDM，CLK，/CLK

参数	DDR2-1066	DDR2-800	DDR2-667	单元
允许超调区域的最大峰值幅度	0.5	0.5	0.5	V
下冲区域允许最大峰值幅度	0.5	0.5	0.5	V
V _{DDQ} 以上的最大过冲区域	0.19	0.23	0.23	V-纳秒
V _{SSQ} 以下的最大下冲区域	0.19	0.23	0.23	V-纳秒

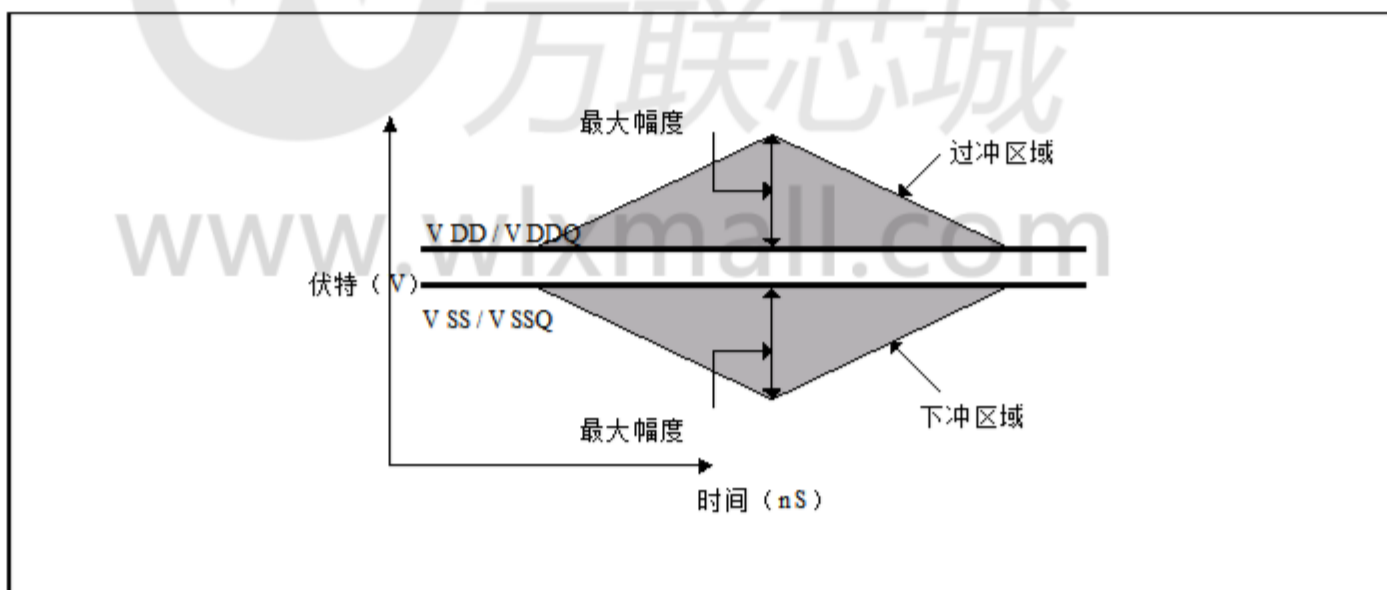
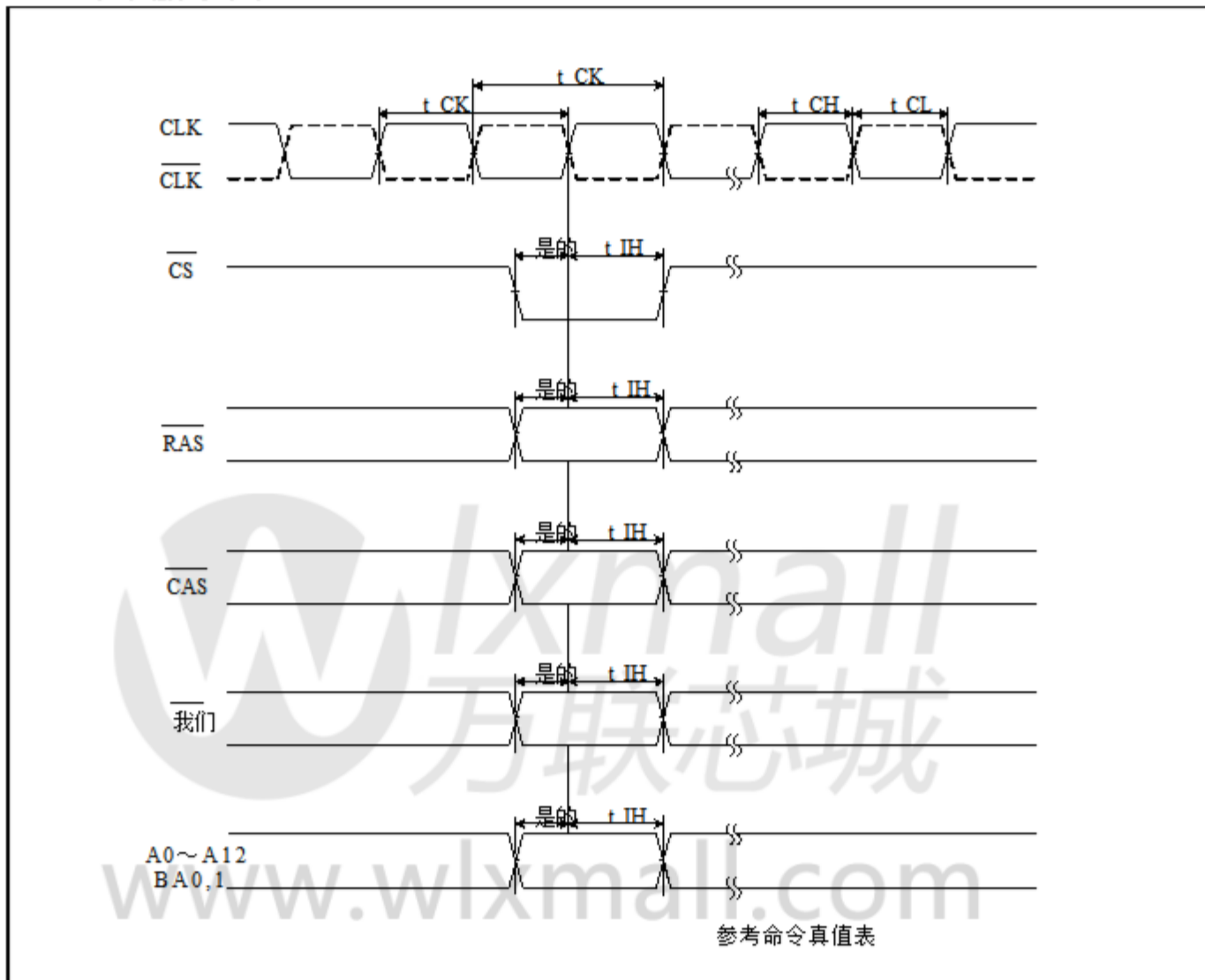


图29 - 交流过冲和下冲定义



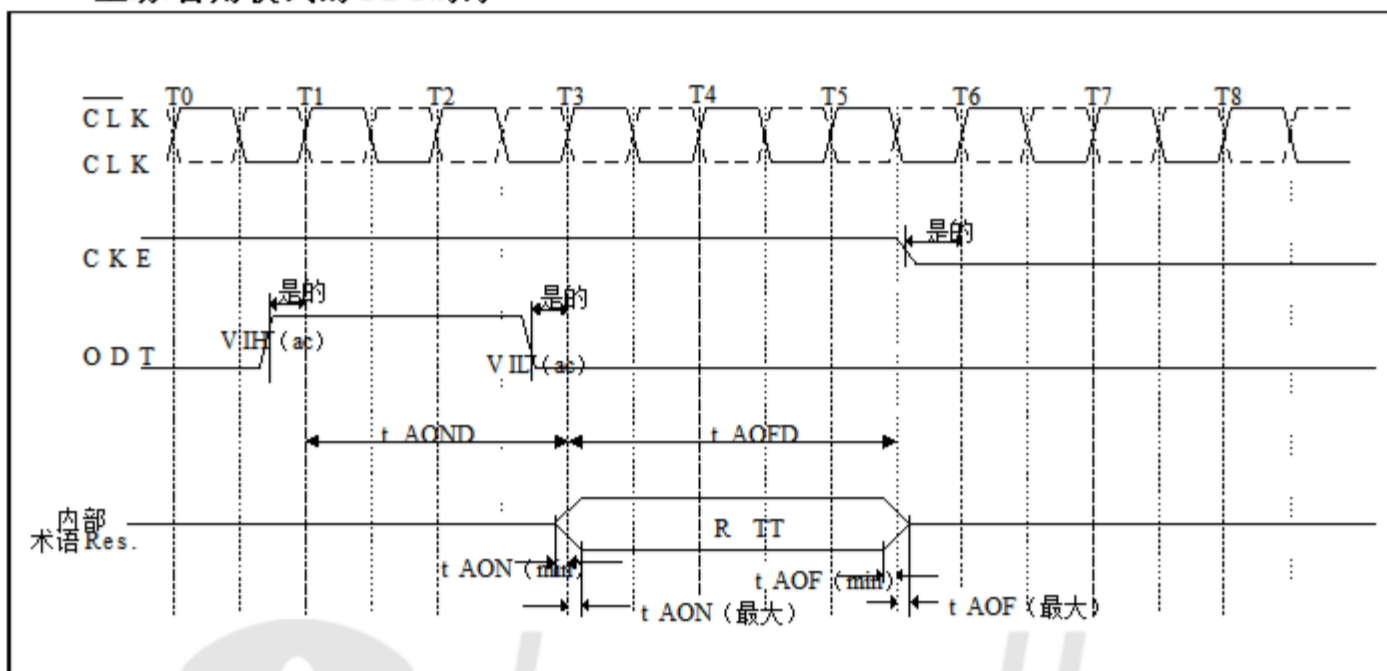
11. 定时波形

11.1 命令输入时序

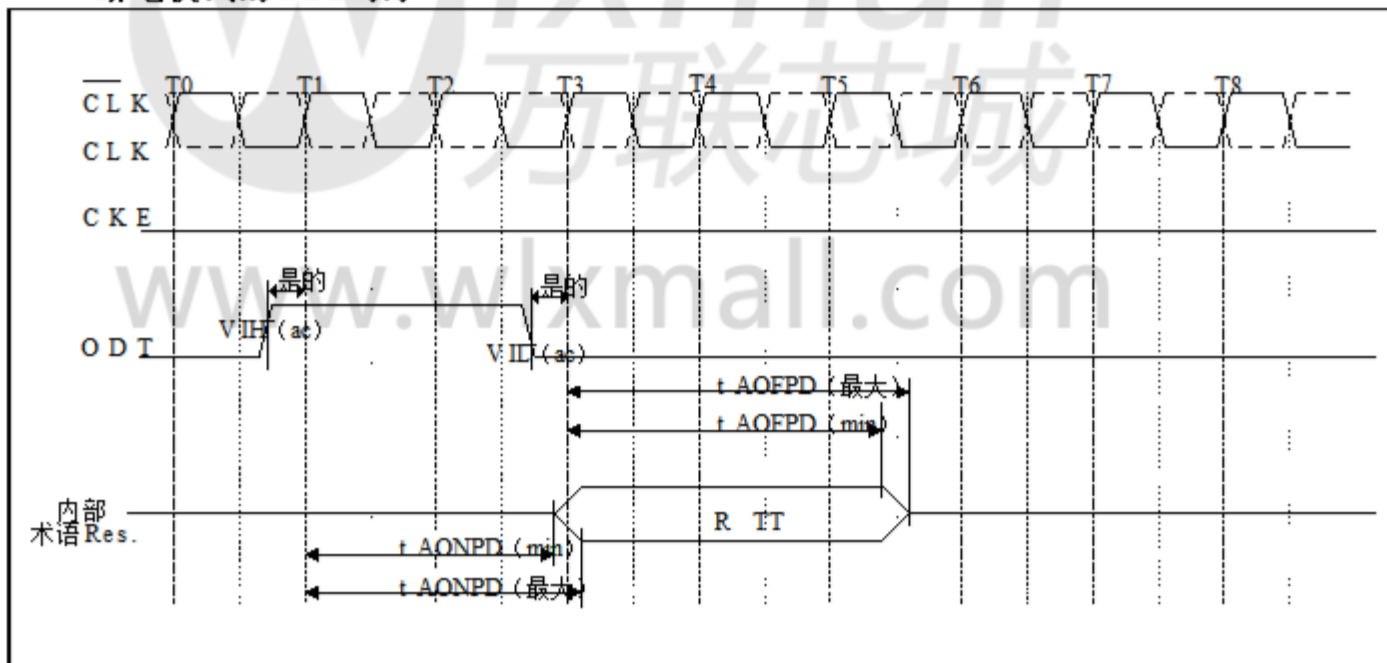




11.2 主动/备用模式的ODT时序

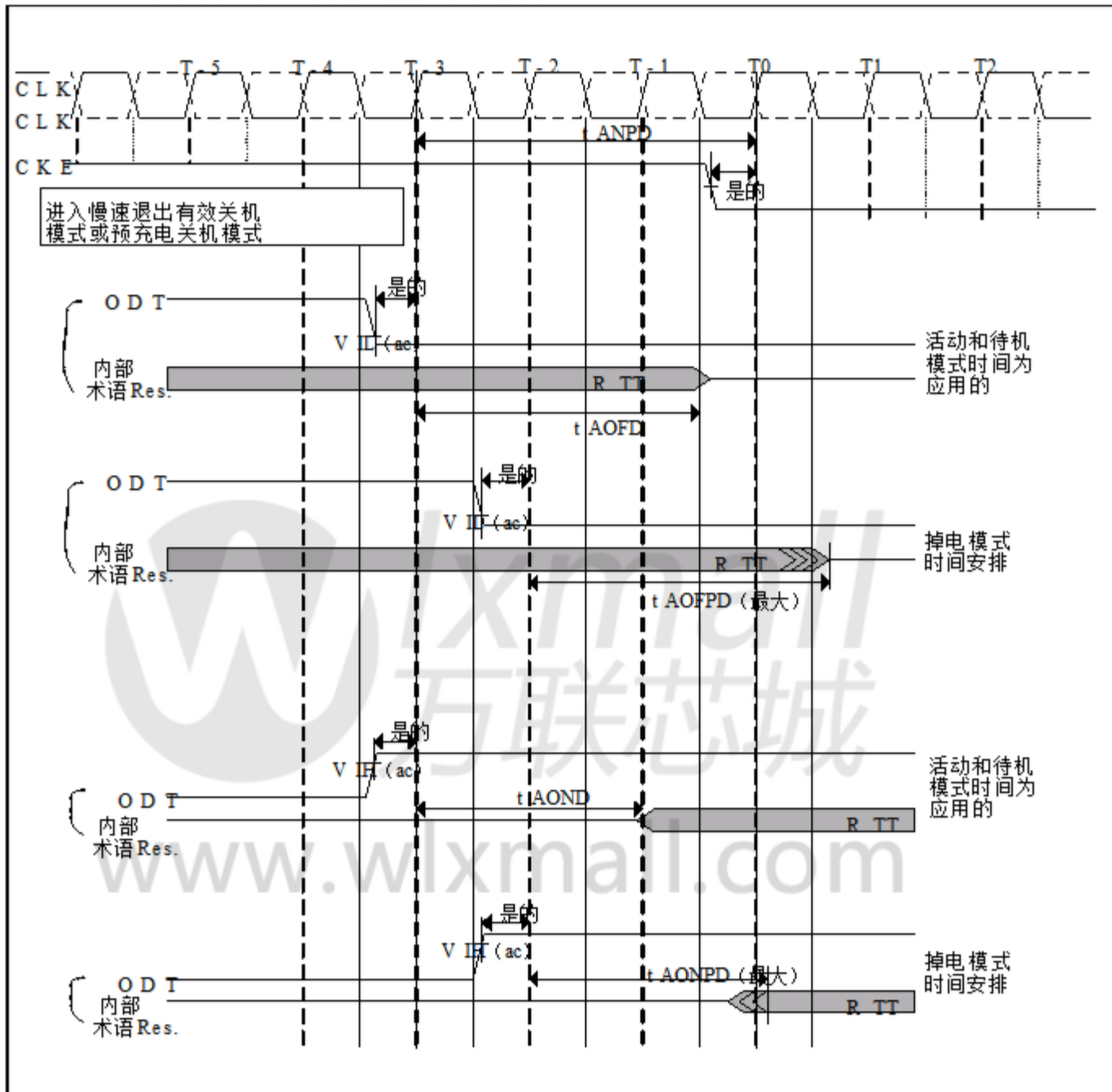


11.3 断电模式的ODT时序



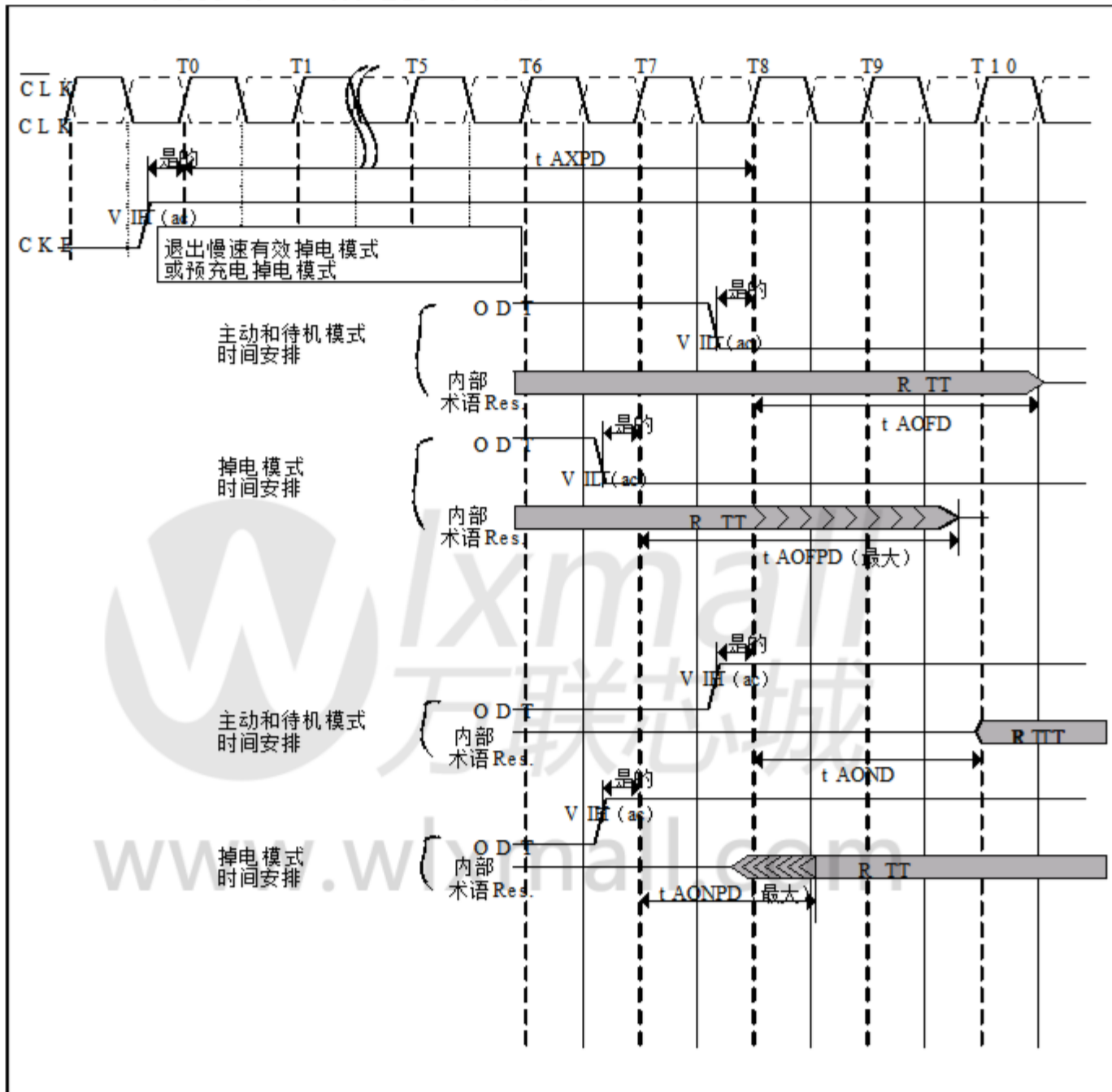


11.4 ODT时序模式在进入掉电模式时切换



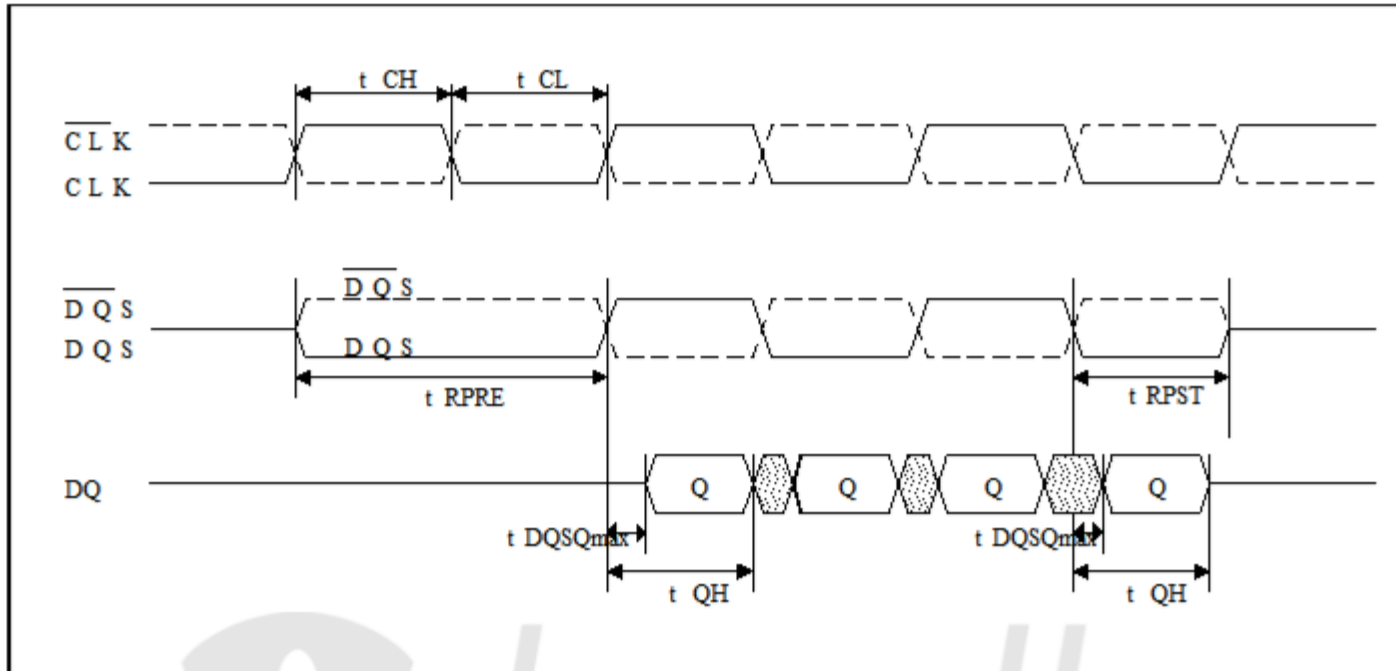


11.5 ODT时序模式在退出掉电模式时切换

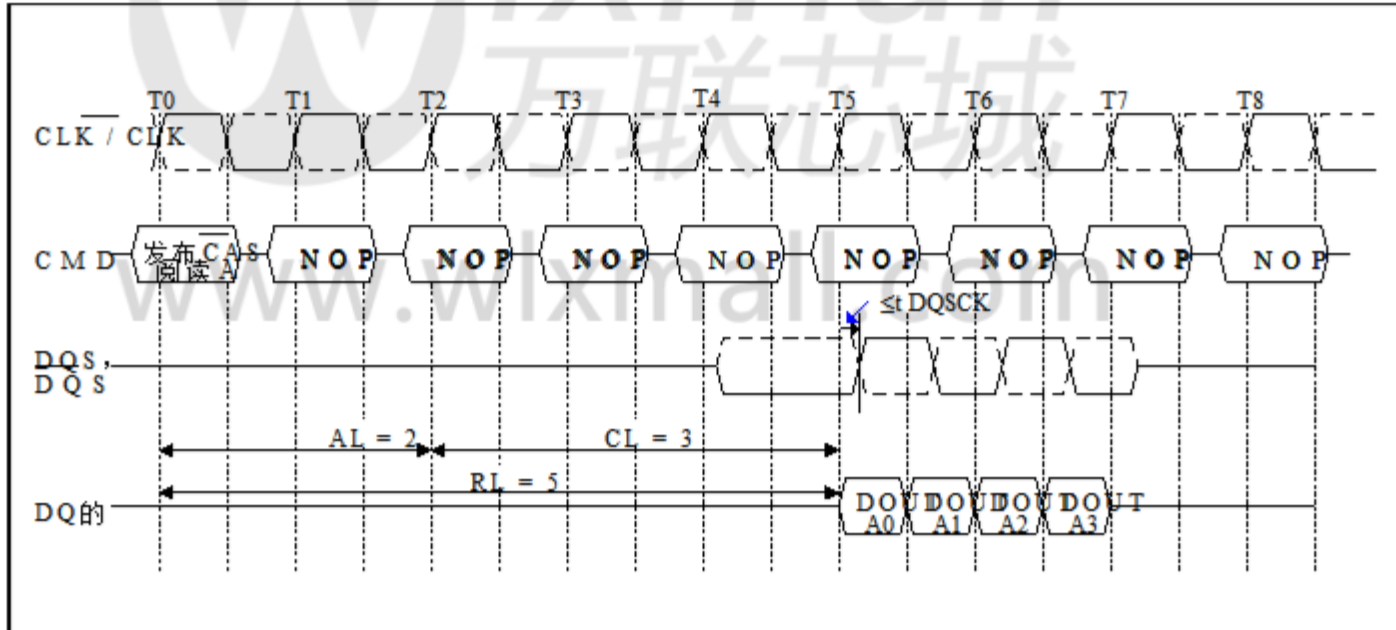




11.6 数据输出（读取）时序



11.7 突发读操作：RL = 5 (AL = 2, CL = 3, BL = 4)



The diagram illustrates the timing relationships for the Data Queue (DQ) and Data Memory (DM) signals. Key parameters shown include:

- t_{DQSH} : Setup time before the clock edge.
- t_{DQSL} : Hold time after the clock edge.
- t_{WPST} : Write pulse setup time.
- t_{DS} : Data strobe setup time.
- Voltage levels: V_{IL} (input low), V_{IH} (input high), D_{MIN} (data minimum), and D_{MAX} (data maximum).
- Signal transitions: The diagram shows the DQ and DM signals transitioning between high and low states, with the data strobe (DS) signal indicating the valid data period.

Timing diagram for DRAM refresh showing two cases: maximum and minimum t_{DQSS} .

The diagram includes signals for CLK, CM, DQS, and DQ across time slots T0 to TN.

Case 1: Maximum t_{DQSS}

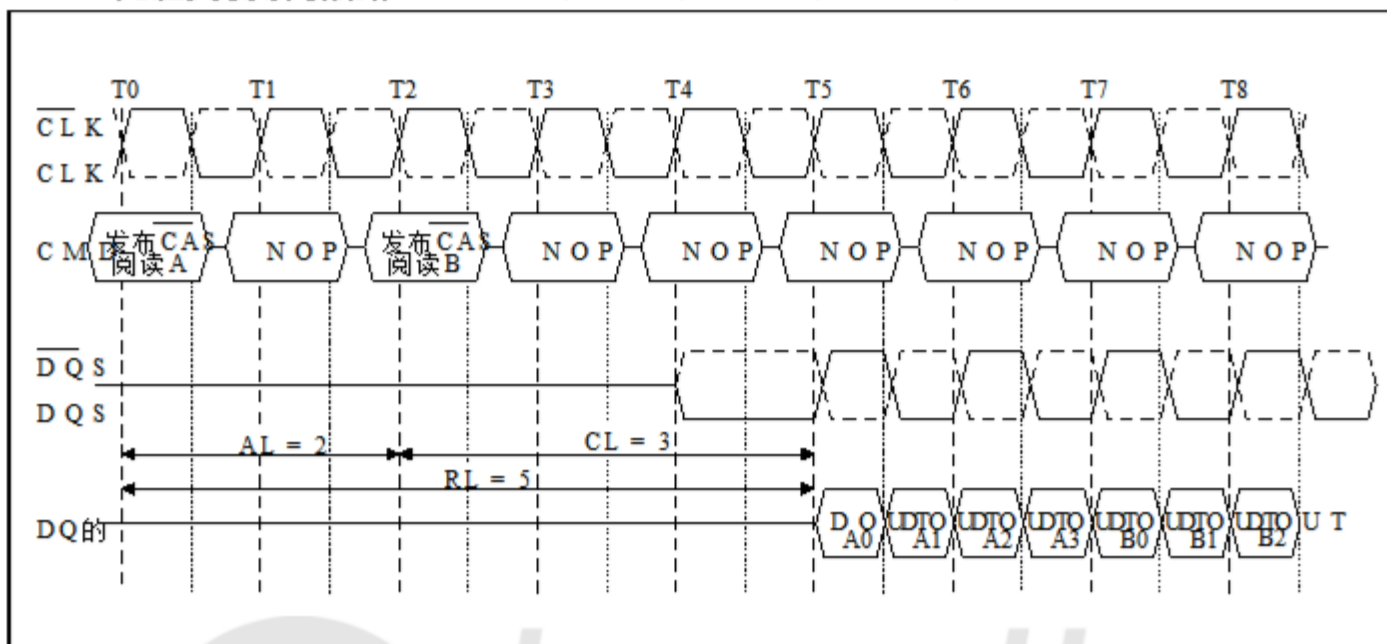
- CM is high for the first cycle (T0), then low for subsequent cycles (T1 to TN).
- DQS is high for the first cycle (T0), then low for subsequent cycles (T1 to TN).
- DQ is high for the first cycle (T0), then low for subsequent cycles (T1 to TN).
- Annotations: t_{DQSS} (max), t_{DSS} (min), t_{DSS} (min), t_{DSS} (min).
- Note: 的完成突发写入 (Completion of burst write).

Case 2: Minimum t_{DQSS}

- CM is high for the first cycle (T0), then low for subsequent cycles (T1 to TN).
- DQS is high for the first cycle (T0), then low for subsequent cycles (T1 to TN).
- DQ is high for the first cycle (T0), then low for subsequent cycles (T1 to TN).
- Annotations: t_{DQSS} (min), t_{DSS} (min), t_{DSS} (min), t_{DSS} (min).
- Note: 的完成突发写入 (Completion of burst write).



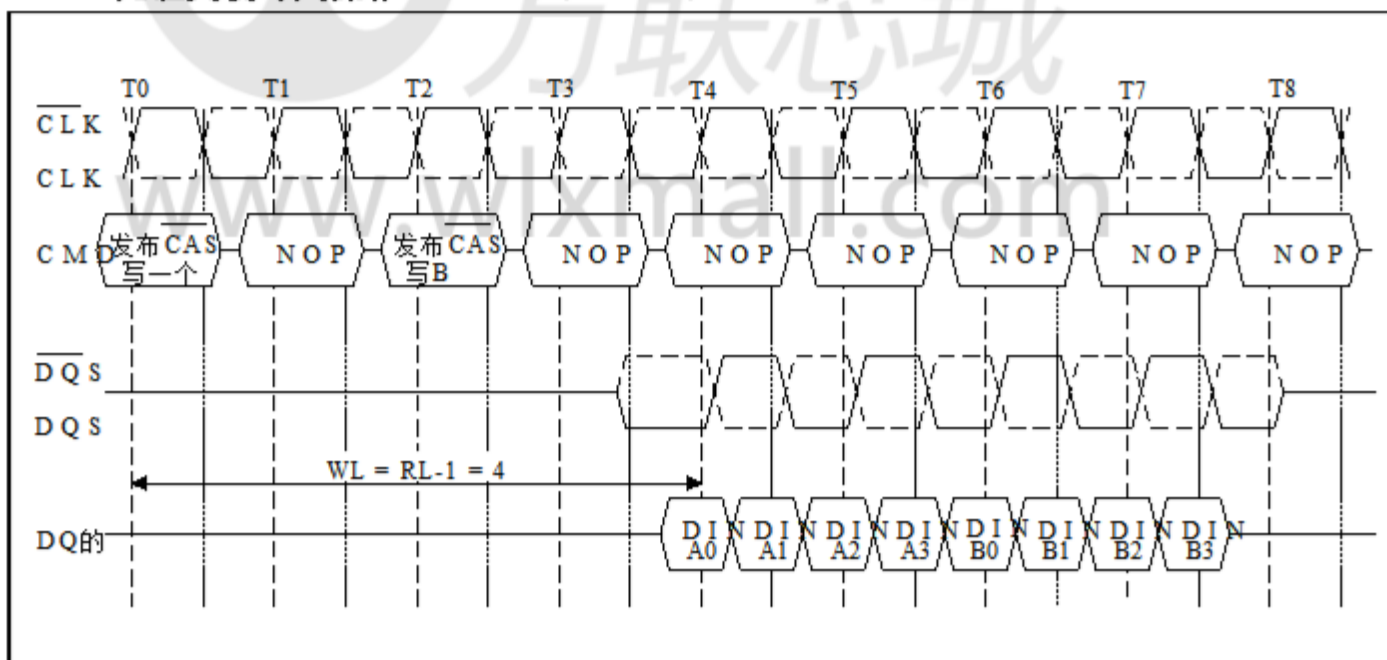
11.10 无缝突发读取操作：RL = 5 (AL = 2, CL = 3, BL = 4)



注意：

无缝突发读取操作通过在每个其他时钟启用BL = 4操作的读命令来支持，并且BL = 8操作每4个时钟。只要银行是同一家或不同银行，就可以进行此项业务活性。

11.11 无缝突发写入操作：RL = 5 (WL = 4, BL = 4)

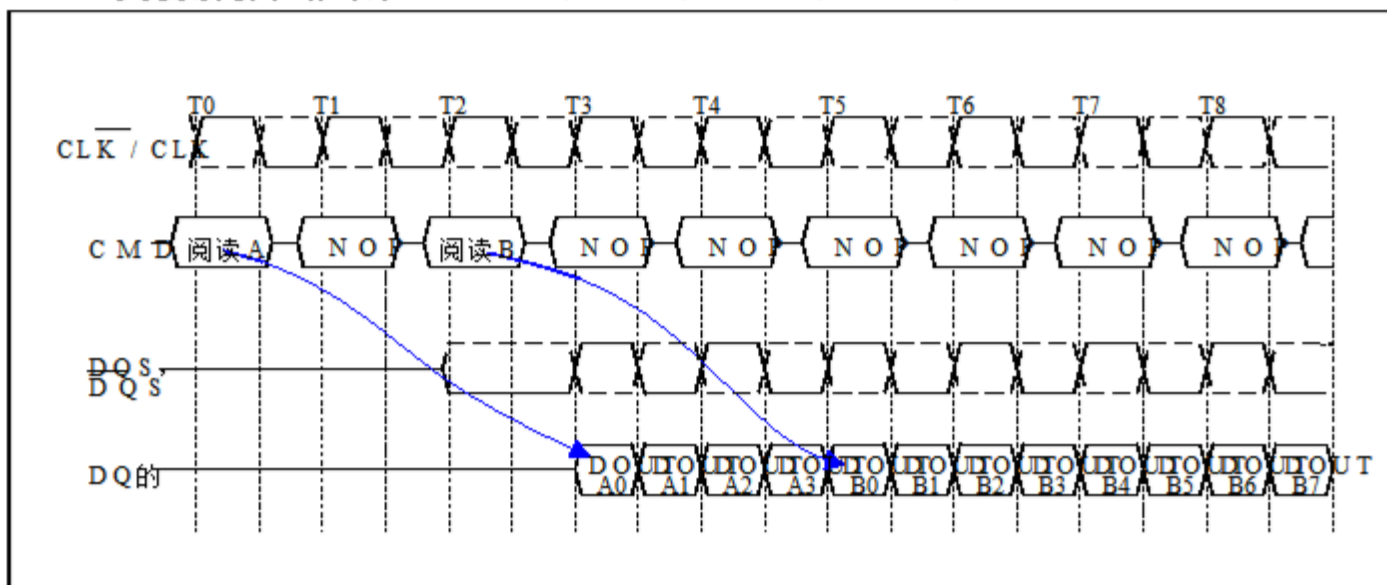


注意：

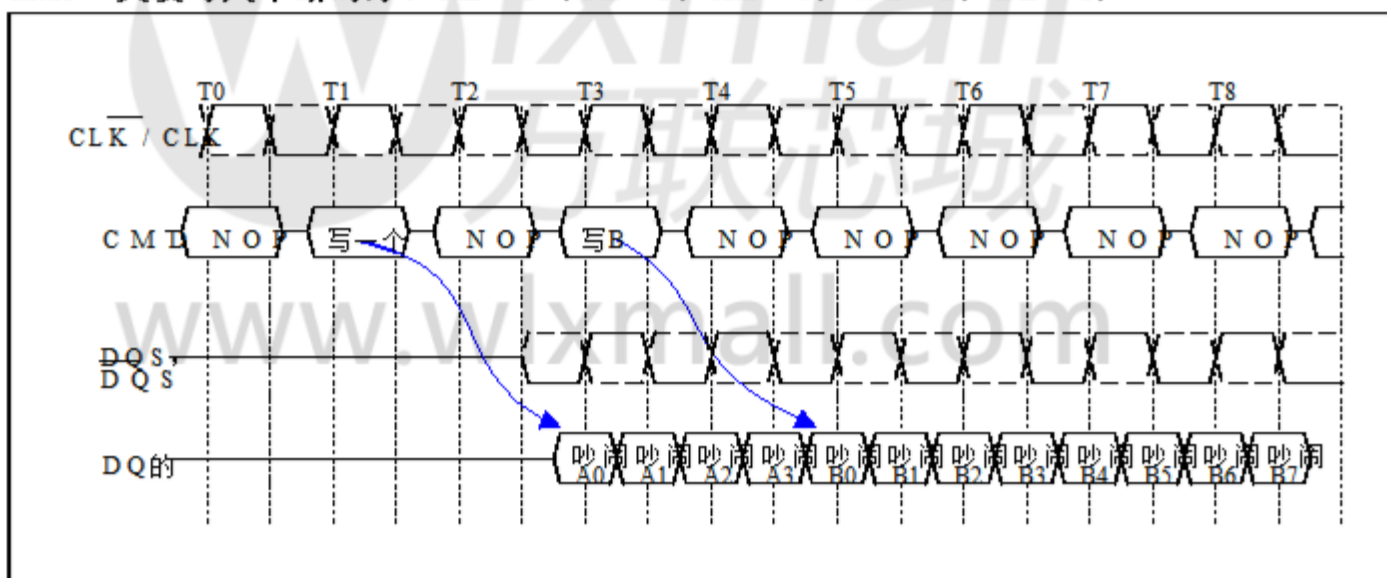
无缝突发写入操作通过每4个BL = 4操作每隔一个时钟启用写入命令来支持。时钟为BL = 8操作。只要银行被激活，无论银行是相同银行还是不同银行，都可以进行此操作。



11.12 突发读取中断时序: $RL = 3$ ($CL = 3$, $AL = 0$, $BL = 8$)

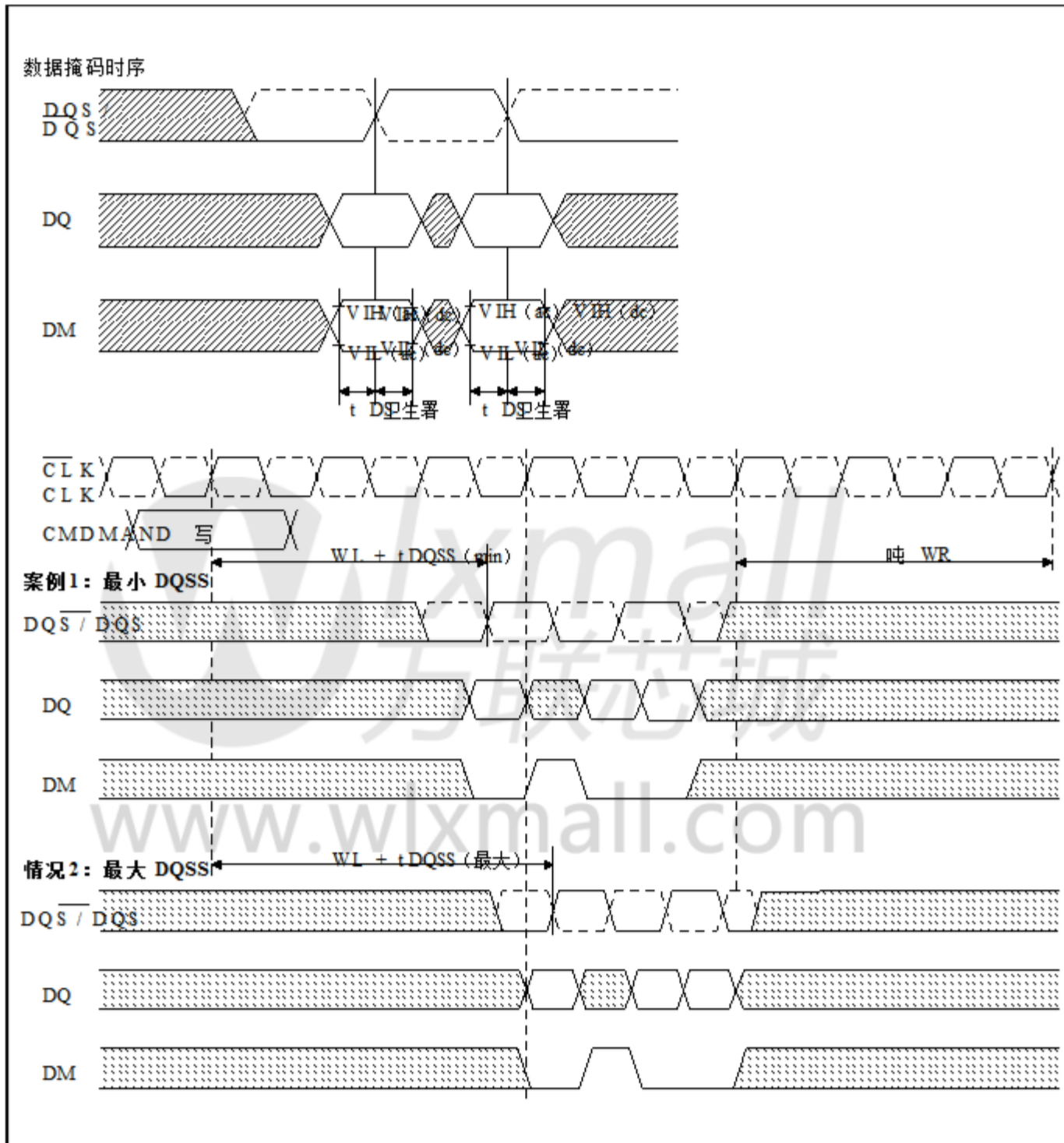


11.13 突发写入中断时序: $RL = 3$ ($CL = 3$, $AL = 0$, $WL = 2$, $BL = 8$)



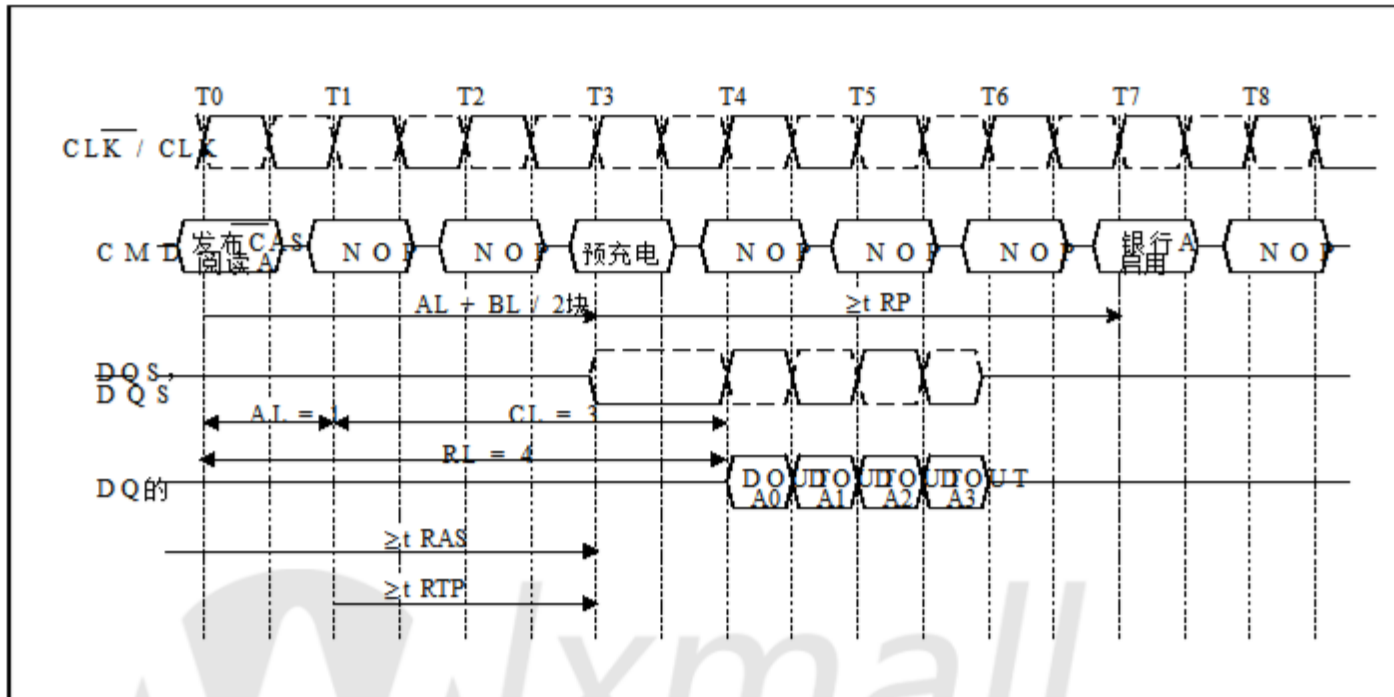


11.14 使用 Data Mask 进行写操作: WL = 3, AL = 0, BL = 4)

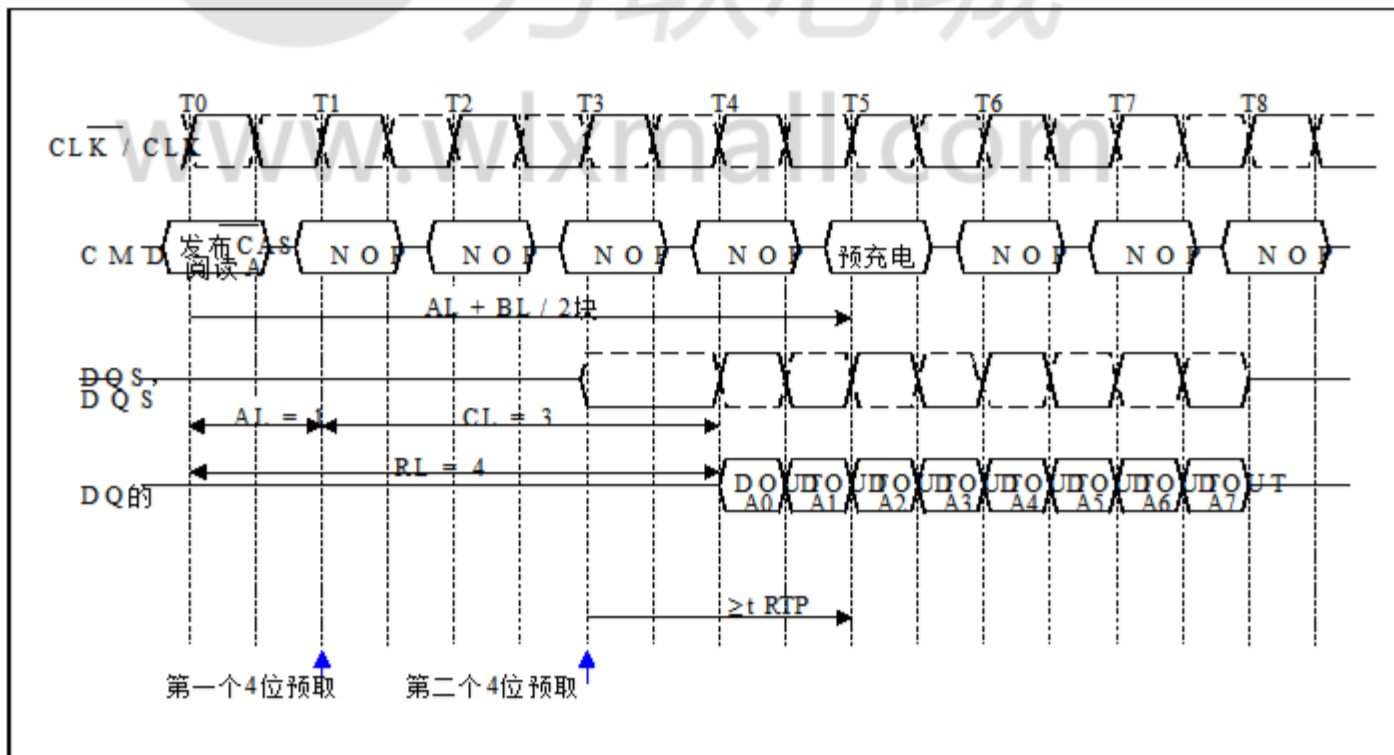




11.15 突发读取操作，然后进行预充电：RL = 4 (AL = 1, CL = 3, BL = 4,
 $t_{RTP} \leq 2\text{clks}$)

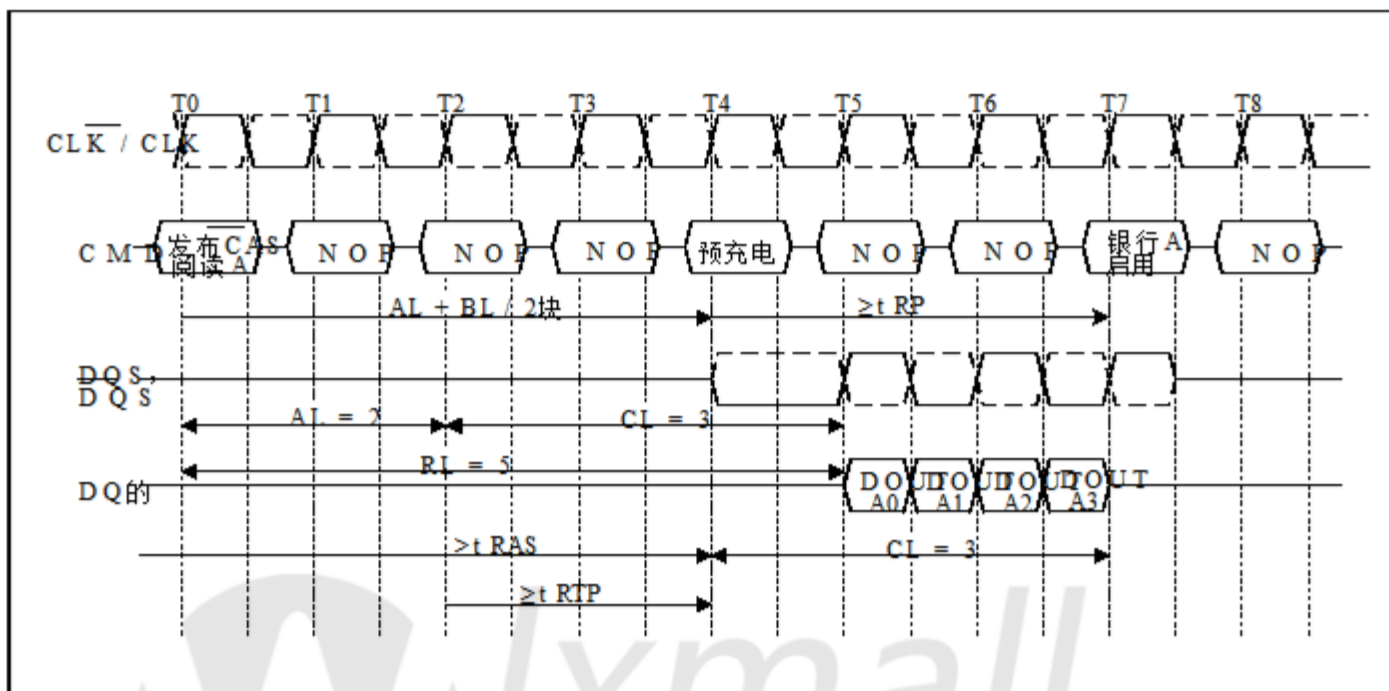


11.16 突发读取操作，然后进行预充电：RL = 4 (AL = 1, CL = 3, BL = 8,
 $t_{RTP} \leq 2\text{clks}$)

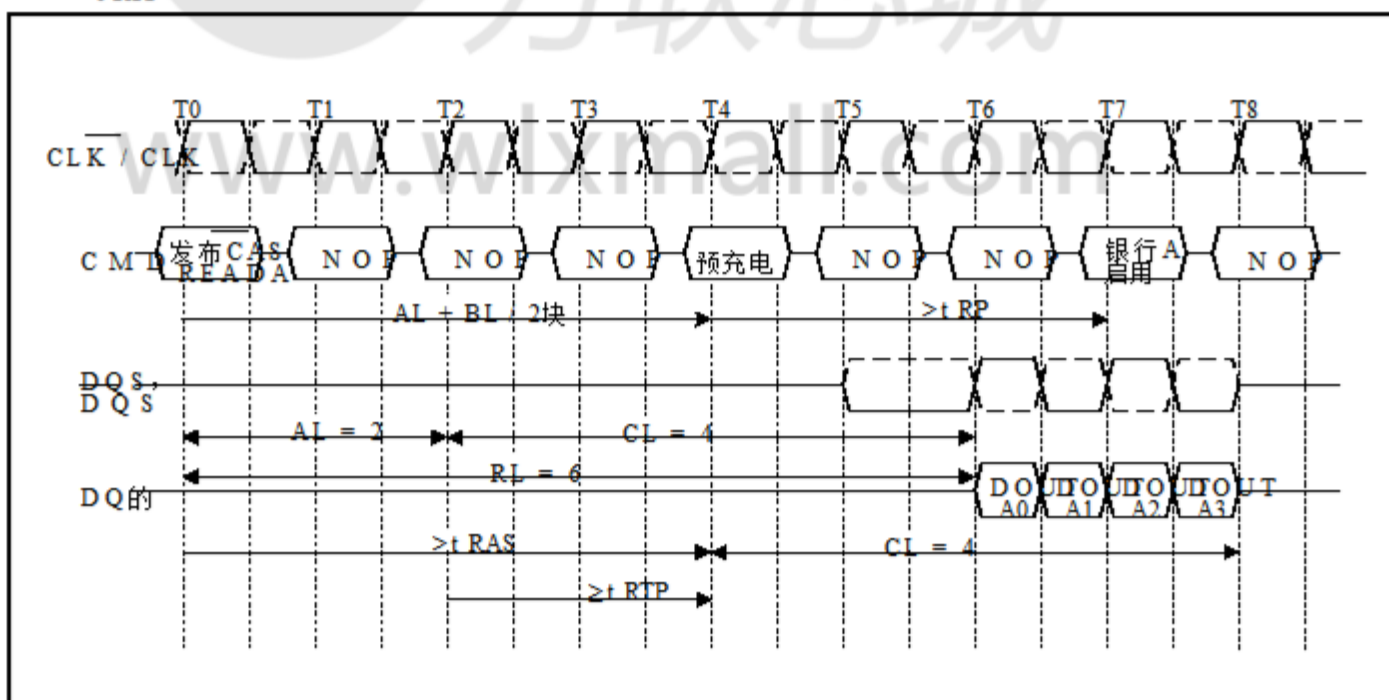




11.17 突发读操作，然后进行预充电：RL = 5 (AL = 2, CL = 3, BL = 4, $t_{RTP} \leq 2\text{clks}$)

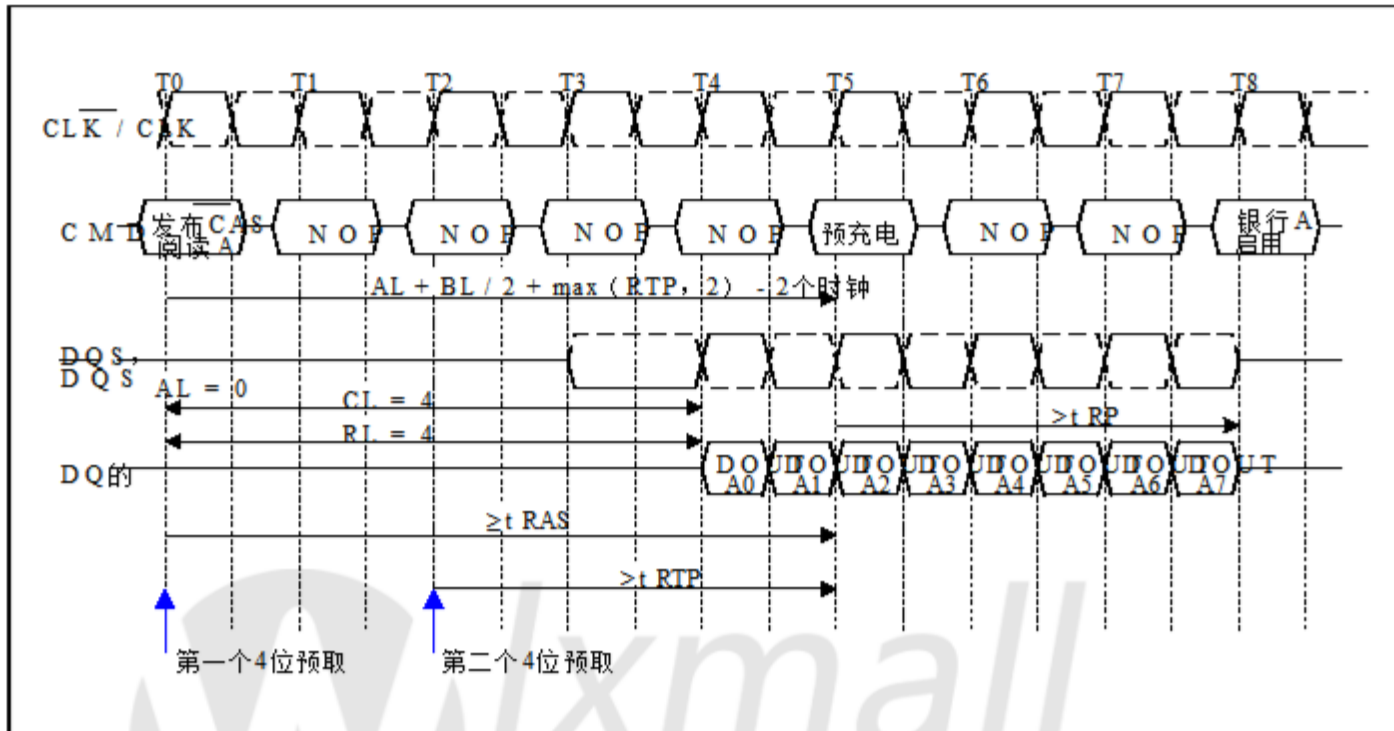


11.18 突发读取操作之后进行预充电：RL = 6 (AL = 2, CL = 4, BL = 4, $t_{RTP} \leq 2\text{clks}$)

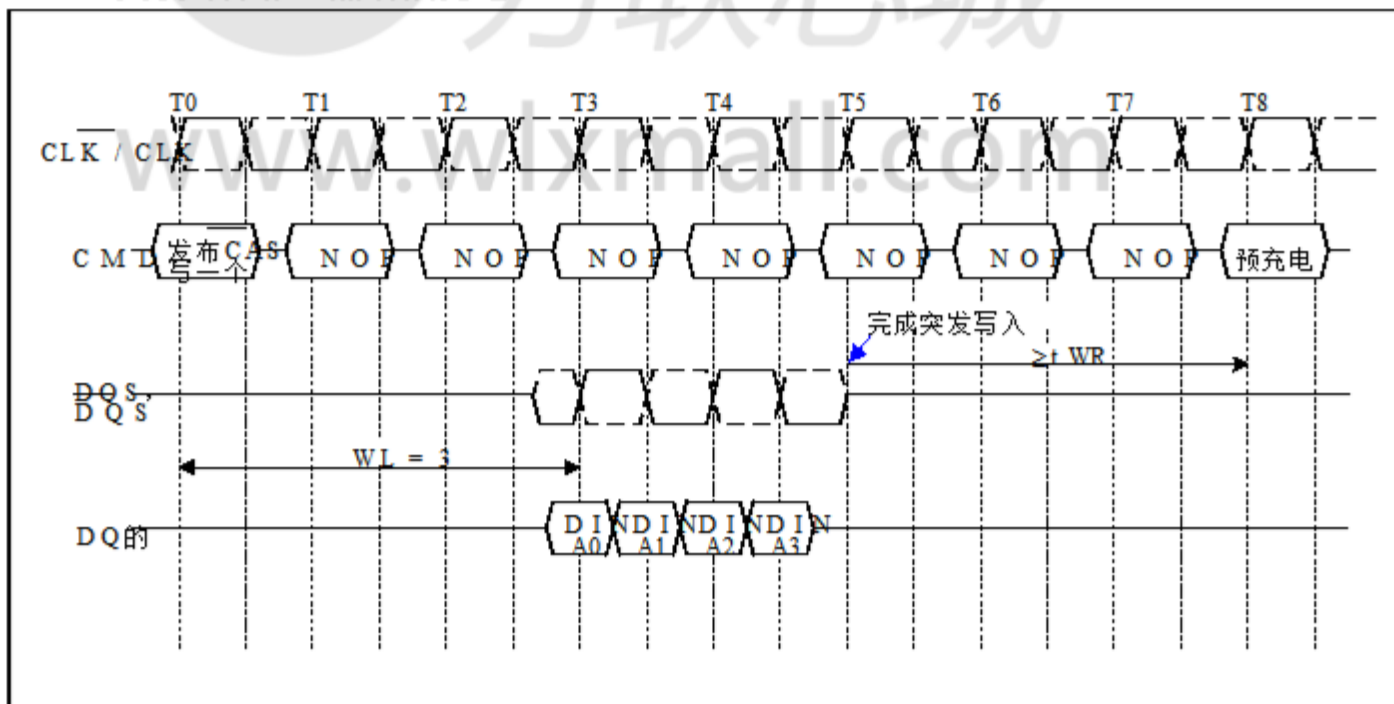




11.19 突发读取操作，然后进行预充电：RL = 4 (AL = 0, CL = 4, BL = 8, $t_{RTP} > 2\text{clks}$)

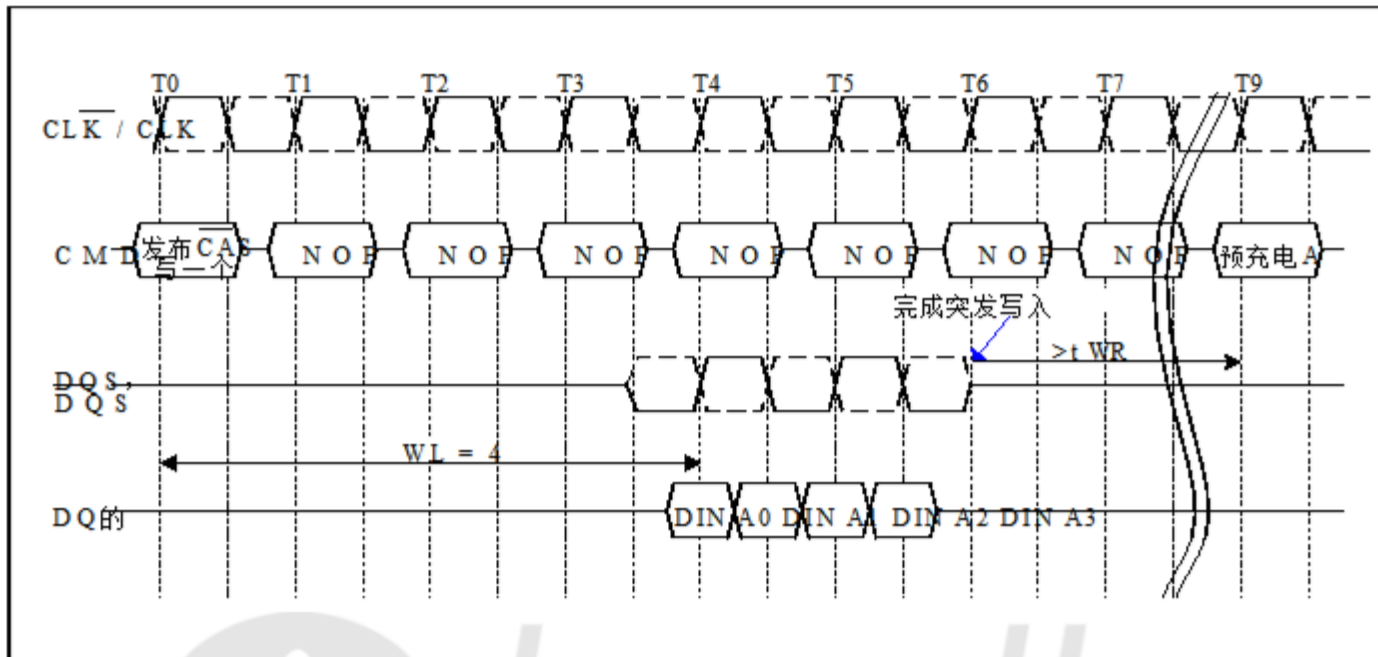


11.20 突发写操作，然后预充电：WL = (RL - 1) = 3

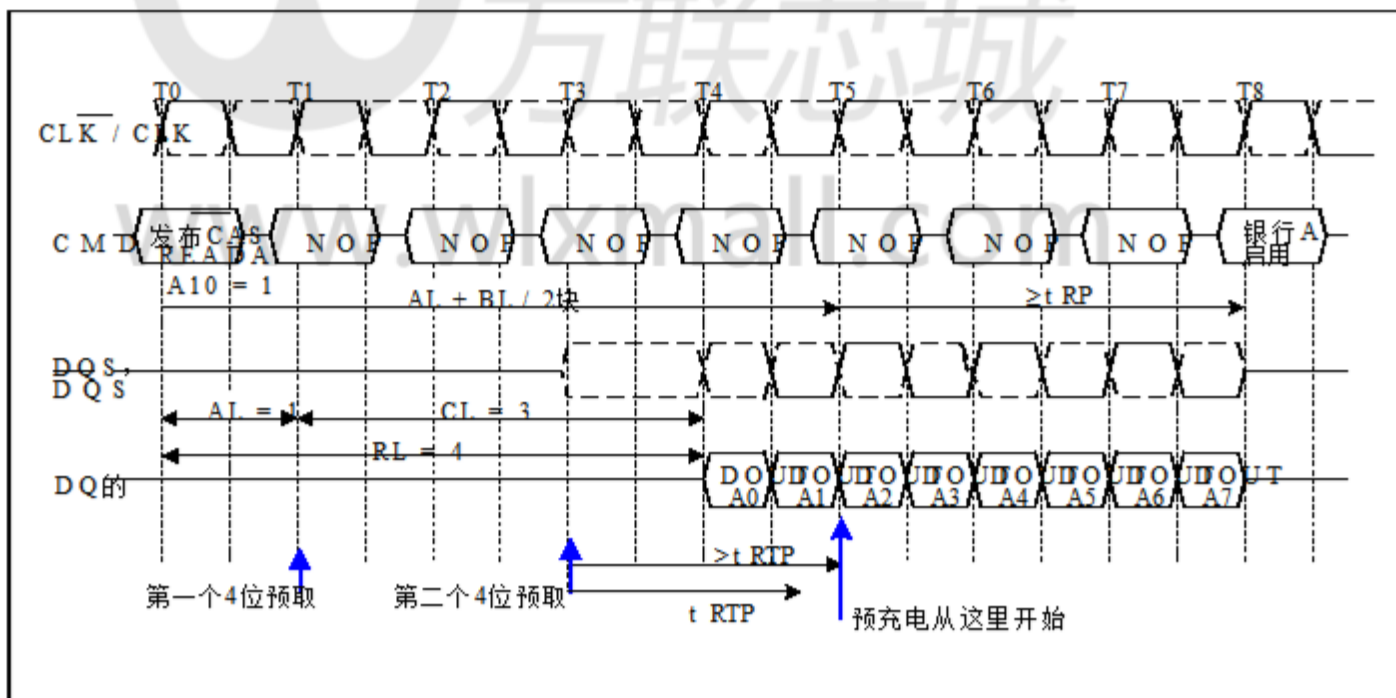




11.21 突发写入操作，然后进行预充电：WL = (RL-1) = 4

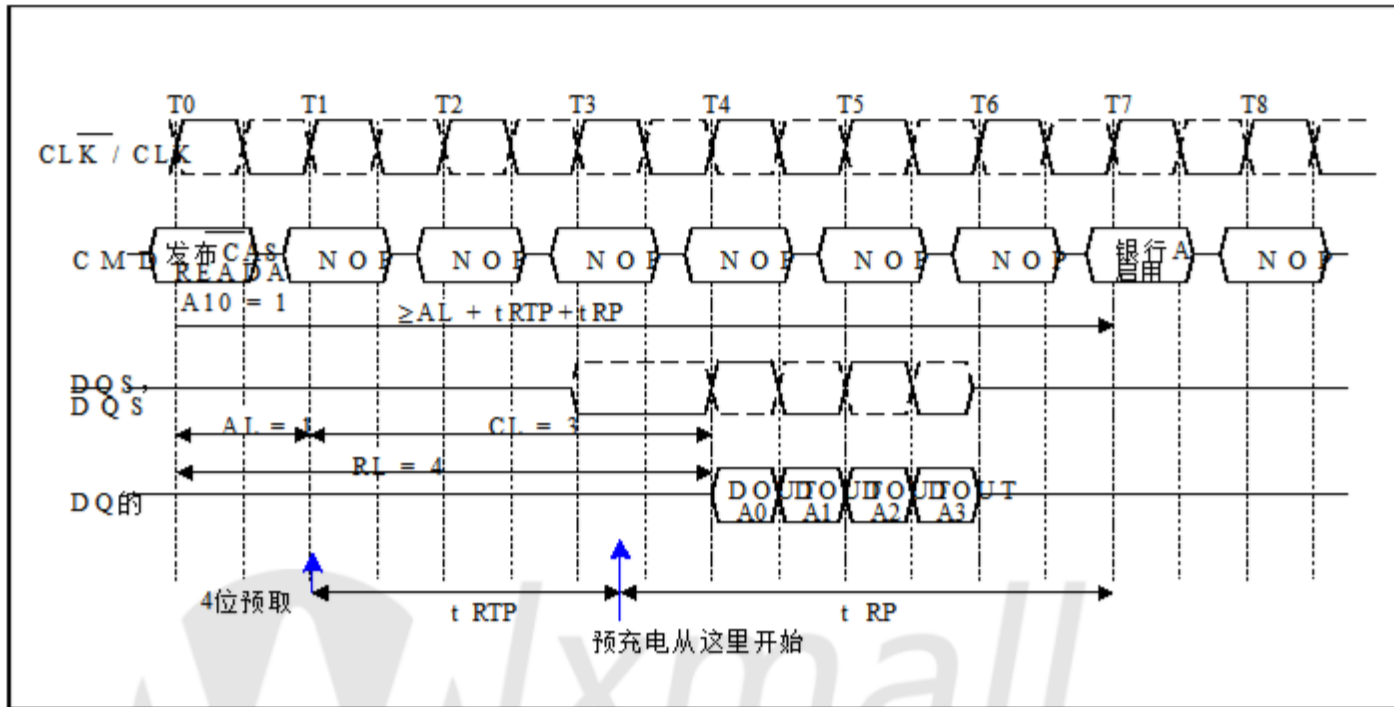


11.22 带自动预充电的突发读操作：RL = 4 (AL = 1, CL = 3, BL = 8, $t_{RTP} \leq 2\text{clks}$)



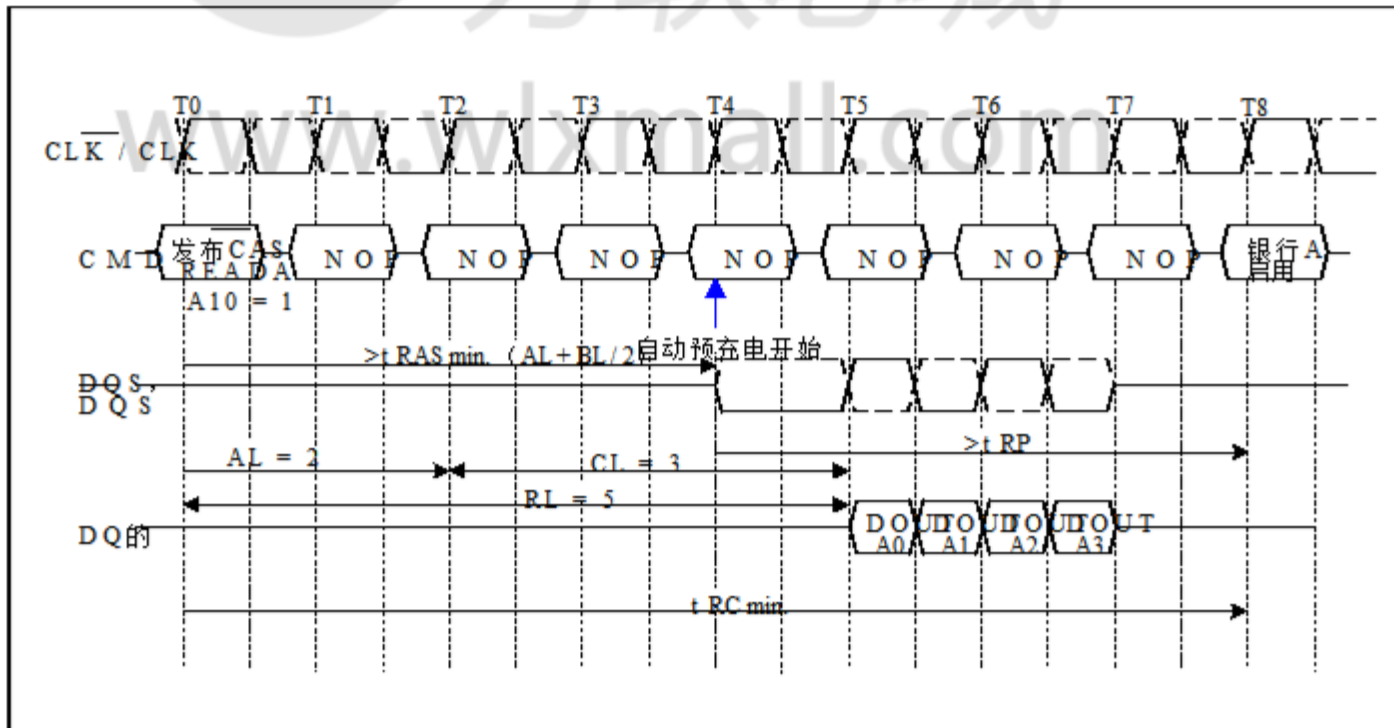


11.23 带自动预充电的突发读操作：RL = 4 (AL = 1, CL = 3, BL = 4, $t_{RTP} > 2\text{clks}$)



11.24 突发读取与自动预充电，然后激活相同

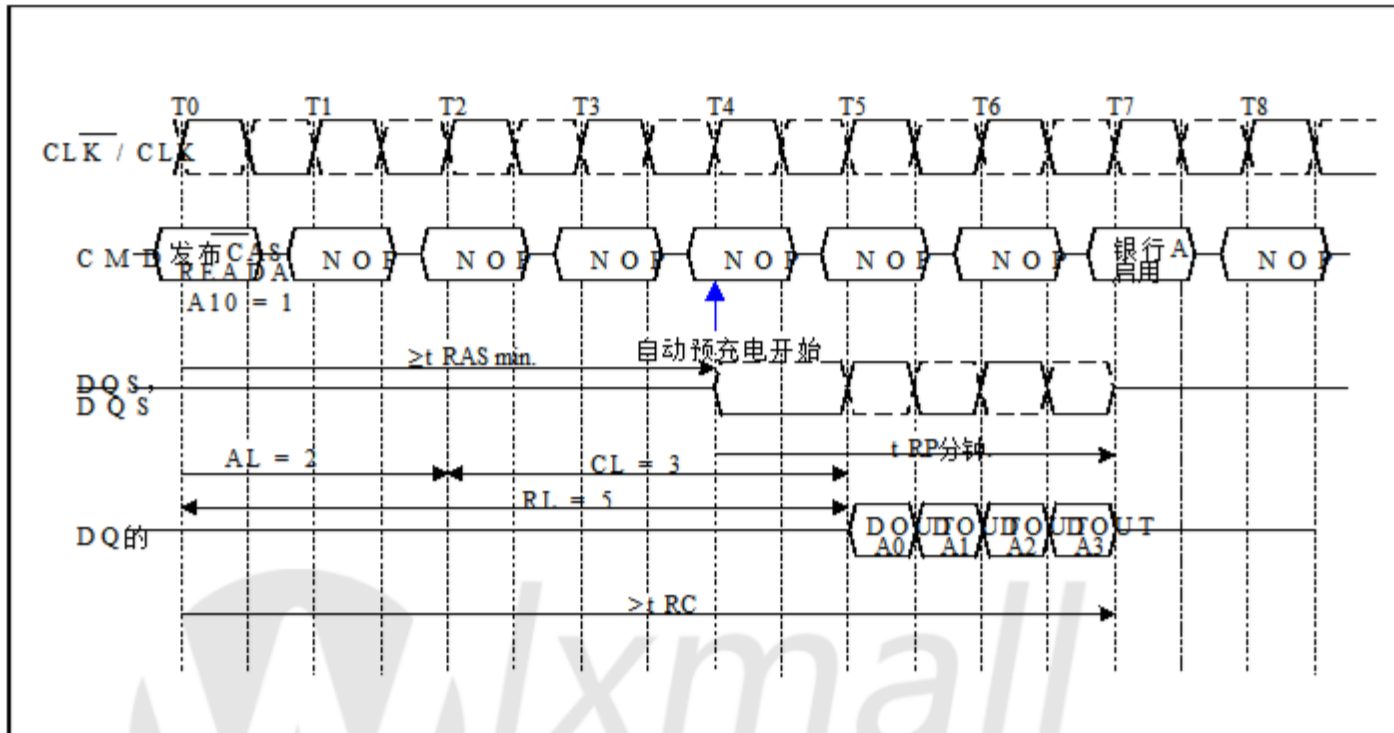
bank ($t_{RC\ Limit}$): RL = 5 (AL = 2, CL = 3, 内部 $t_{RCD} = 3$, BL = 4, $t_{RTP} \leq 2\text{clks}$)



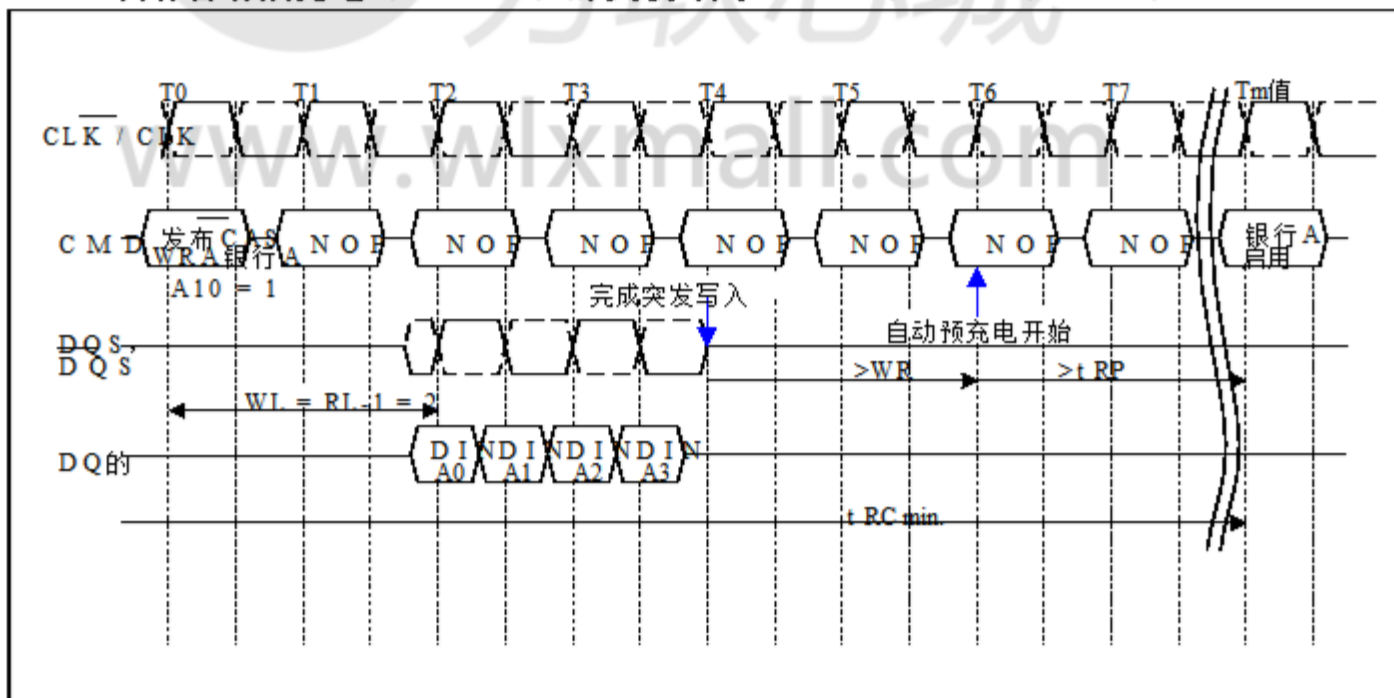


11.25 突发读取与自动预充电，然后激活相同

bank ($t_{RP} \text{ Limit}$) : $RL=5$ ($AL=2$, $CL=3$, 内部 $t_{RCD}=3$, $BL=4$, $t_{RTP} \leq 2 \text{ clks}$)

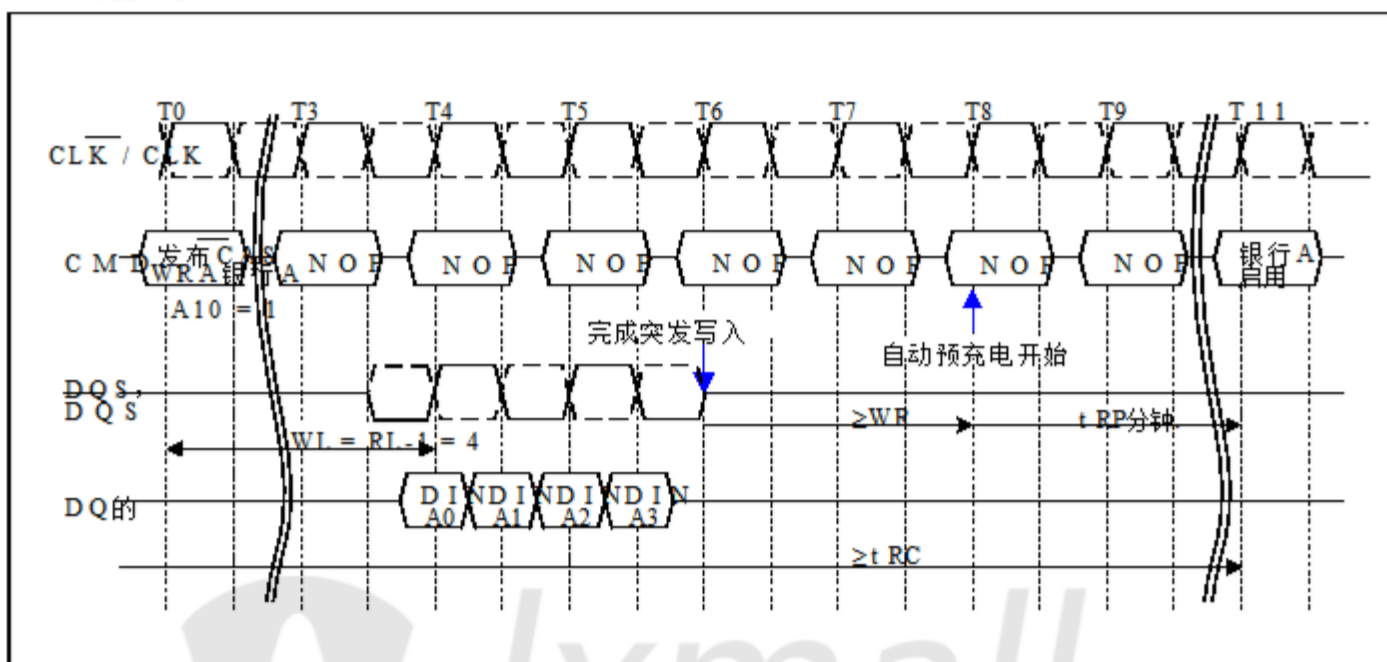


11.26 具有自动预充电 ($t_{RC} \text{ Limit}$) 的突发写入 : $WL=2$, $WR=2$, $BL=4$, $t_{RP}=3$

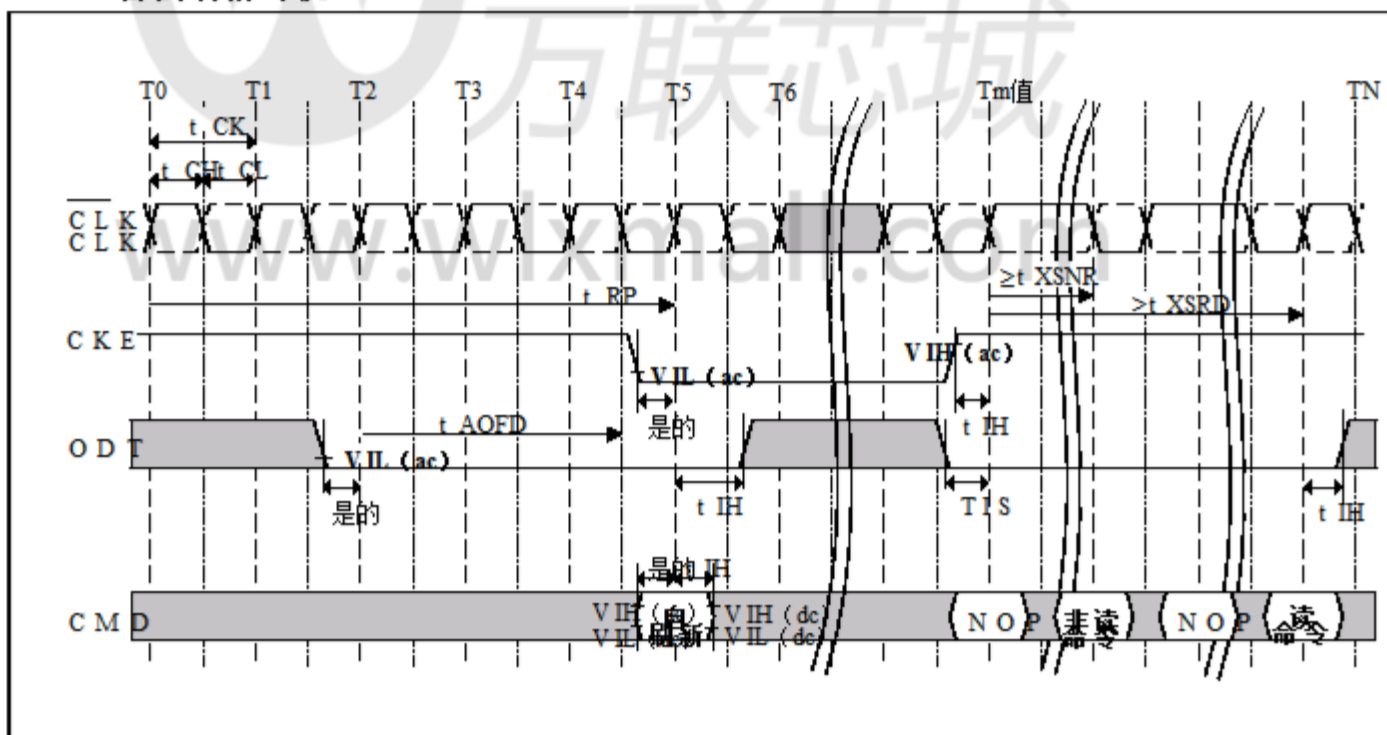




11.27 具有自动预充电 ($WR + t_{RP\ Limit}$) 的突发写入: $WL=4$, $WR=2$, $BL=4$, $t_{RP}=3$



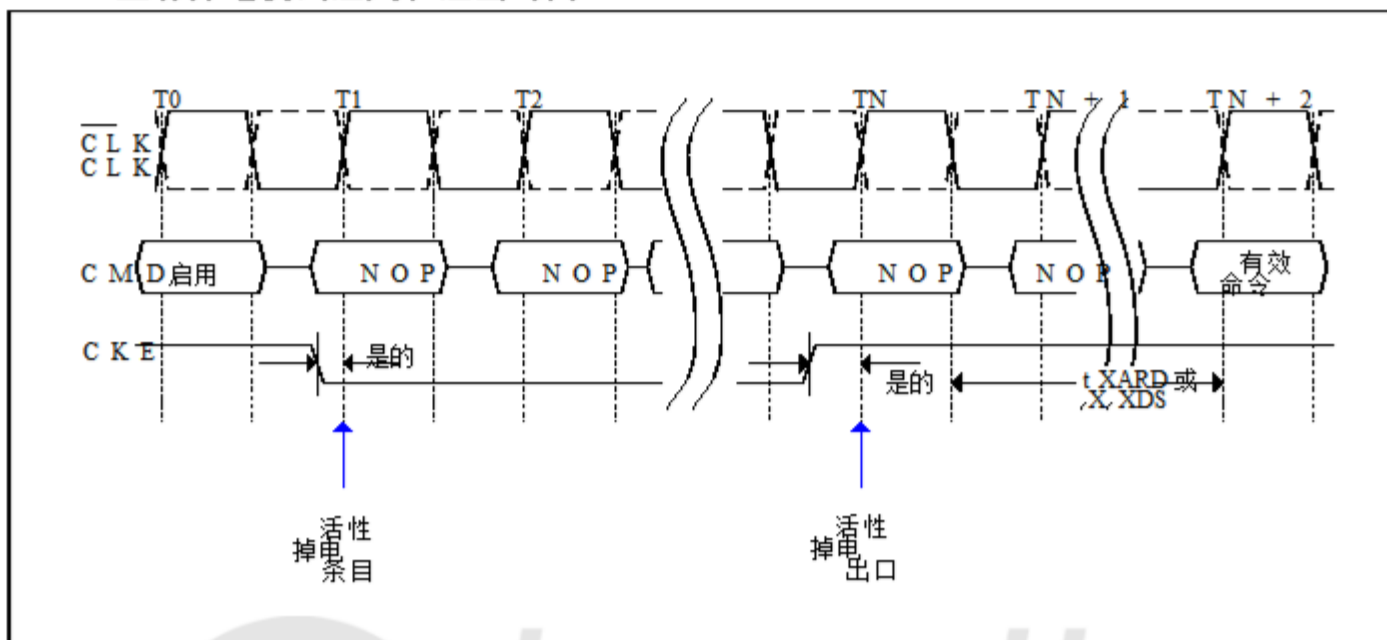
11.28 自我刷新时机



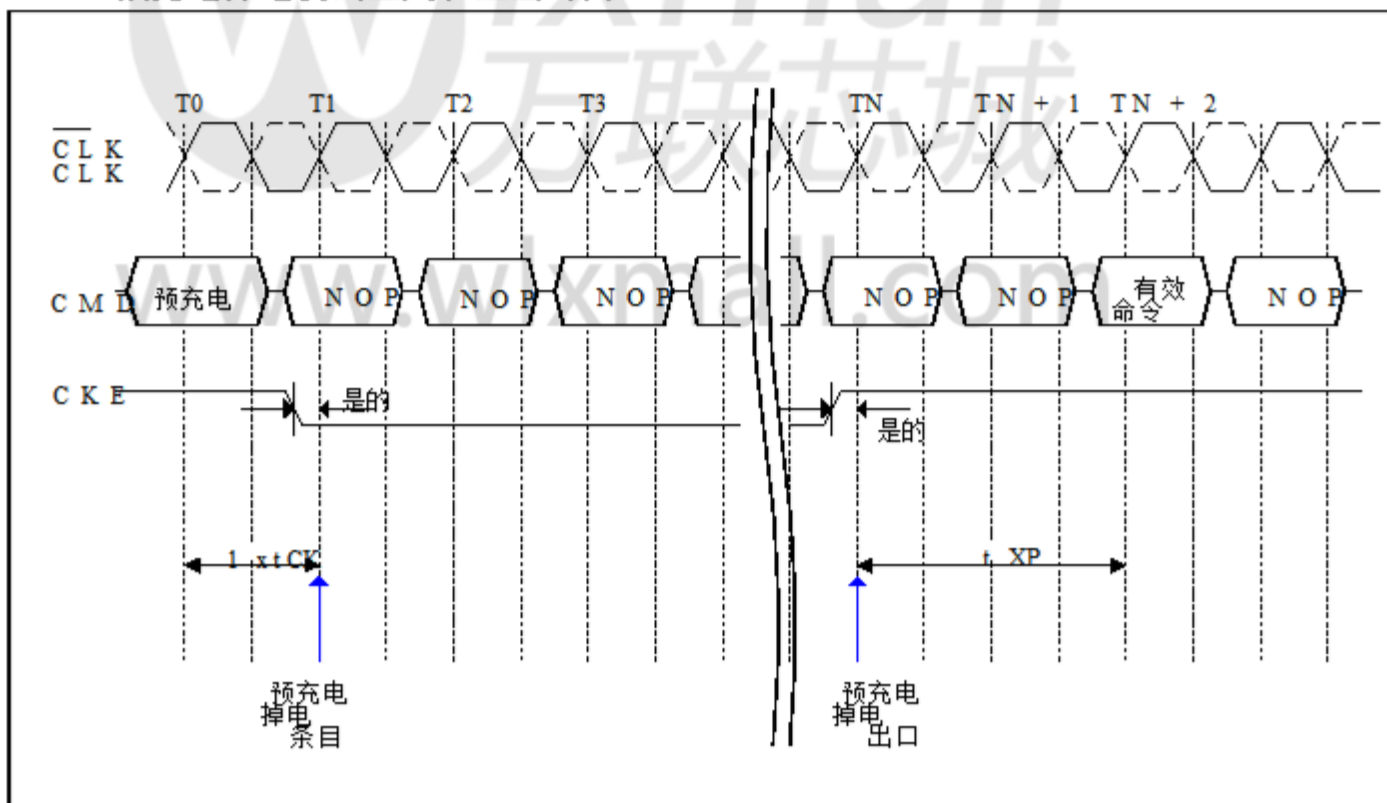
笔记:

1. 在进入自我刷新模式之前, 设备必须处于“所有银行空闲”状态。
2. 在进入自我刷新模式之前, **ODT**必须关闭 t_{AOFD} , 并且可以在 t_{XSRD} 时间到时重新打开满意。
3. t 使用自动预充电命令对 **XSRD** 进行读取或读取. t_{XSNR} 适用于除 Read 或 a 之外的任何命令用自动预充电命令读取。

11.29 主动掉电模式进入和退出时间

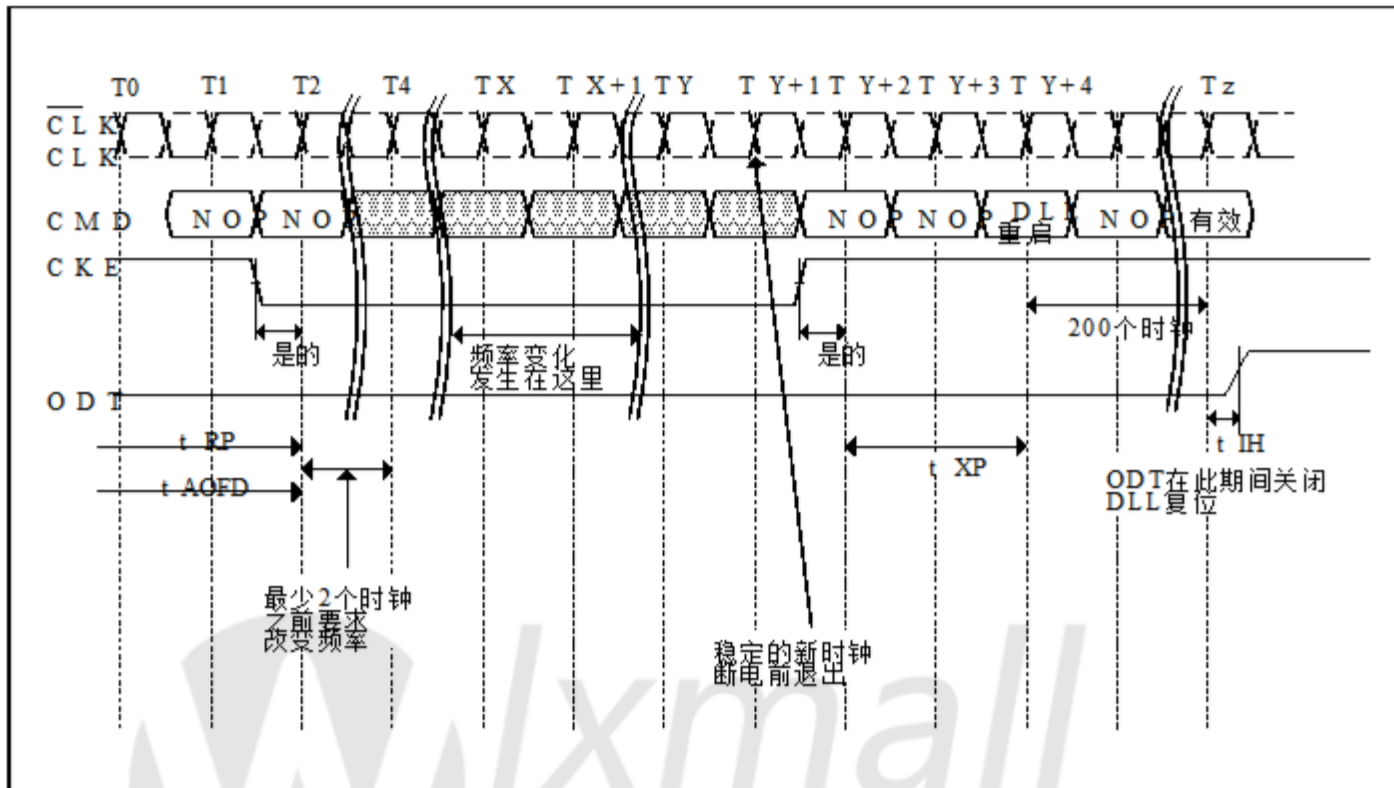


11.30 预充电掉电模式进入和退出时间





11.31 预充电掉电模式下的时钟频率变化

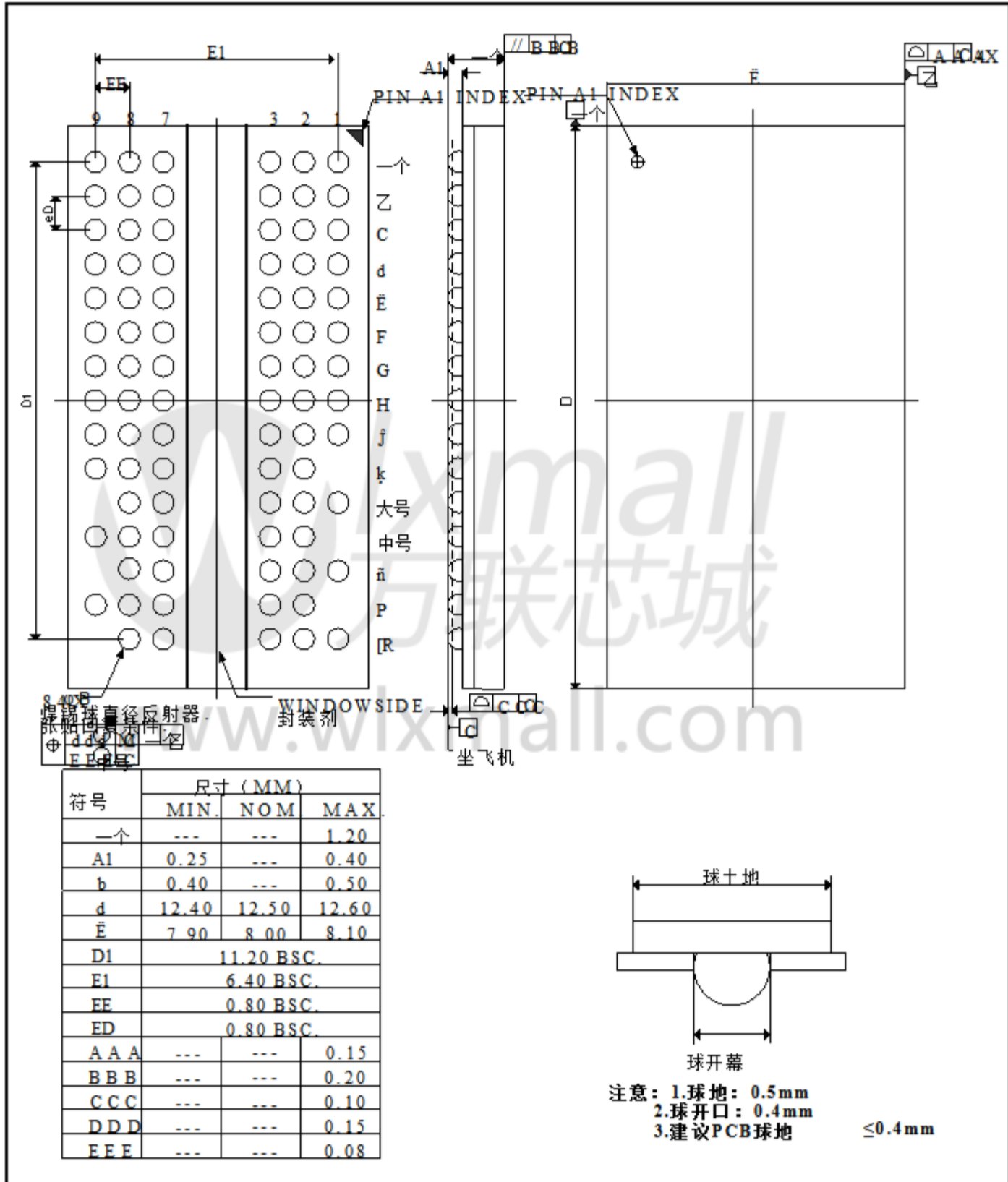




12. 包装规格

封装外形WBGA-84 (8x12.5 mm

2)





13. 修订历史

版	日期	页	描述
A01	2012年4月25日	所有	初始正式数据表
A02	2012年7月6日	4, 5, 13, 37, 38, 40~42, 45, 46	增加了25A和25K汽车级零件
A03	2012年9月3日	9	增加了V _{TT} 电压斜坡时间所需条件 第8.1节开机和初始化序列
		83	添加了11.28自刷新时序图的注释
		86	添加 WBGA84中的“ddd”和“eee”符号 包大纲绘制图

重要的提醒

华邦产品并非设计，打算，授权或担保用作组件
在用于手术植入的系统或设备中，原子能控制
仪器，飞机或太空船仪器，交通工具，交通信号灯
仪器，燃烧控制仪器或用于支持或其他应用的其他应用
维持生命。此外，华邦产品不适用于失败的应用程序
华邦产品可能导致或导致人身伤害，死亡或重伤的情况
严重的财产或环境损害可能发生。

华邦客户使用或销售这些产品用于此类应用程序时，都会这样做
自行承担风险，并同意全面赔偿华邦因此不当所造成的任何损失
使用或销售。

Please note that all data and specifications are subject to change without notice.
All the trademarks of products and companies mentioned in this datasheet belong to their respective owners.

发布日期：2012年9月3日

修订版A03