

2M x 36,4M x 18 72 Mb同步流通 静态RAM

高级信息

2012年10月

特征

- 内部自定时写周期
- 个人字节写入控制和全局写入
- 时钟控制, 注册地址, 数据和
控制
- 使用MODE输入进行突发序列控制
- 三个芯片启用选项, 用于简单的深度扩展 -
sion和地址流水线
- 通用数据输入和数据输出
- 取消选择时自动关机
- 单周期取消选择
- 延迟模式以降低待机功耗
- PBGA封装的JTAG边界扫描
- 电源
 - LF: $V_{dd} 3.3V (+5\%)$, $V_{ddq} 3.3V / 2.5V (+5\%)$
 - VF: $V_{dd} 2.5V (+5\%)$, $V_{ddq} 2.5V (+5\%)$
 - VVF: $V_{dd} 1.8V (+5\%)$, $V_{ddq} 1.8V (+5\%)$
- JEDEC 100引脚TQFP, 119引脚PBGA和165-
引脚PBGA封装
- 无铅可用

描述

72Mb产品系列具有高速, 低功耗
同步静态RAM, 旨在提供可破解,
用于通信和网络的高性能存储器 -
应用程序. IS61LF / VF204836B组织为
由36位2,096,952字. IS61LF / VF409618B是
按18位组织成4,193,904字.用...制造
该器件集成了ISSI 先进的CMOS技术
一个2位突发计数器, 高速SRAM内核,
驱动能力输出到一个单一的单片电路.所有
同步输入通过寄存器控制
一个正边沿触发的单时钟输入.

Writecyclesareinternallyself-timedandareinitiatedbythe
时钟输入的上升沿.写周期可以是一个
四个字节宽由写入控制输入控制.

单独的字节允许单个字节被写入,
十.字节写入操作通过使用字节写入来执行
启用 (BWE) 输入与一个或多个个人相结合
字节写入信号 (BWx).另外, 全球写入 (GW)
可用于一次写入所有字节, 无论如何
字节写入控制.

突发可以通过ADSP (地址状态) 启动
处理器) 或ADSC (地址状态缓存控制器)
输入引脚.随后的突发地址可以是通用的,
并由ADV控制 (突发地址
提前) 输入引脚.

模式引脚用于选择突发序列顺序,
当该引脚连接到低电平时, 会实现线性突发.间
当此引脚连接到高电平或左侧时, 可实现离开突发
浮动.

快速访问时间

符号	参数	-6.5	-7.5	单位
吨 KQ	时钟访问时间	6.5	7.5	NS
t _{kc}	周期	7.5	8.5	NS
	频率	133	117	兆赫

版权所有©2012 Integrated Silicon Solution, Inc.保留所有权利. ISSI保留随时更改本规格及其产品的权利, 恕不另行通知. ISSI不承认
因应用或使用本文所述的任何信息, 产品或服务而产生的责任.建议客户在依赖之前获取此设备规格的最新版本
任何公布的信息和下单前的产品.

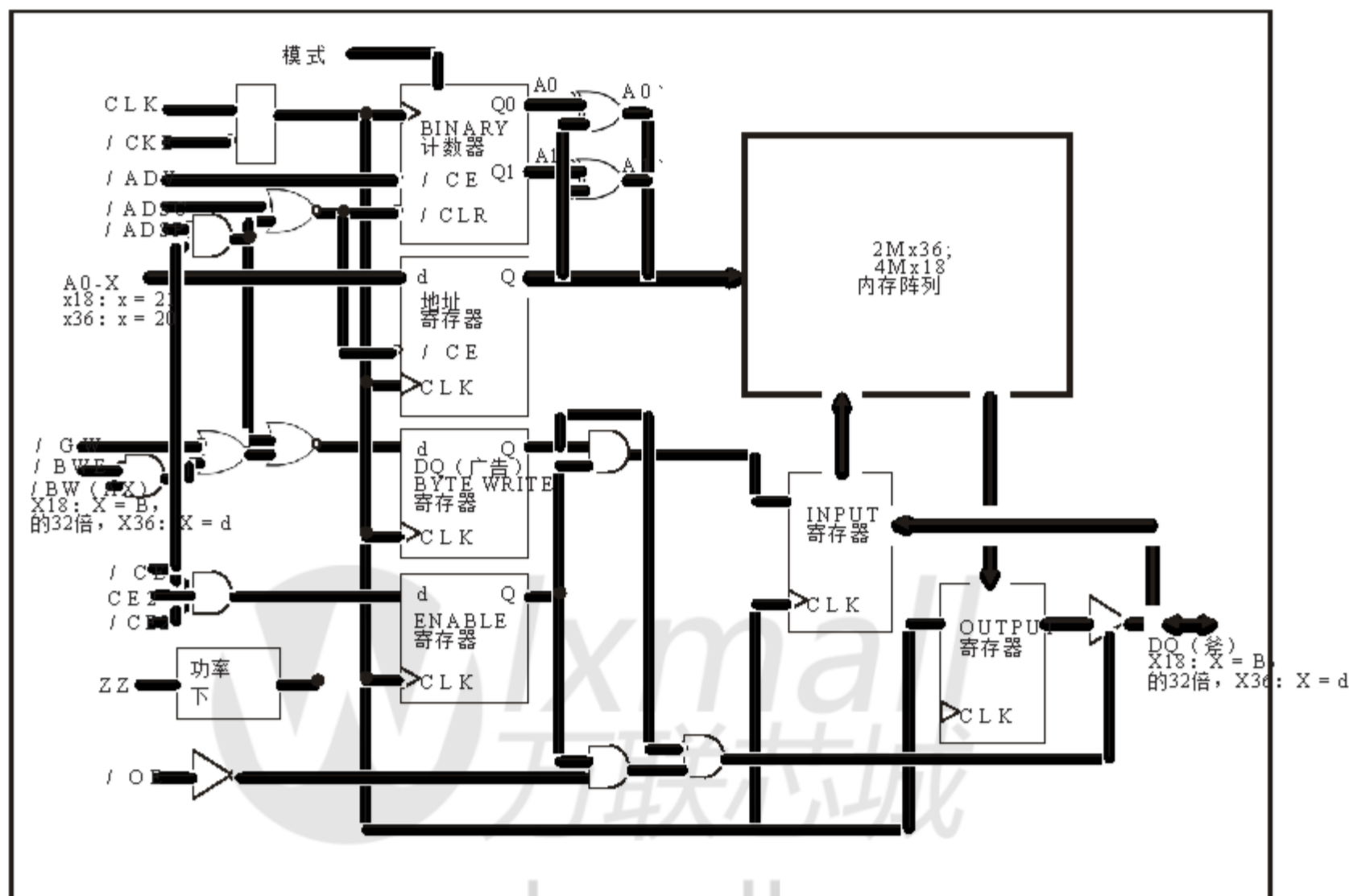
Integrated Silicon Solution, Inc.不建议将其任何产品用于生命支持应用中, 因为这些应用可能会导致产品的故障或故障合理预期
生命支持系统故障或严重影响其安全性或有效性.除非Integrated Silicon Solution, Inc.收到书面材料, 否则产品不得用于此类应用
保证令人满意的是:

- 伤害或损害的风险已经最小化;
- 用户承担所有这些风险;和
- Integrated Silicon Solution, Inc.的潜在责任在此情况下得到充分保护

Integrated Silicon Solution, Inc. - www.issi.com - 1-800-379-4774

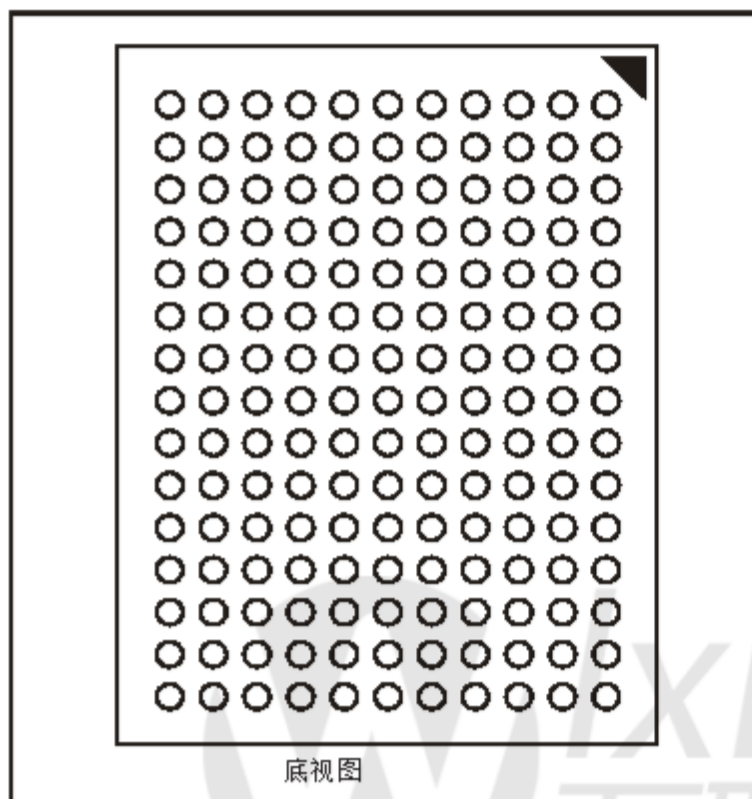
版本00B
2012年10月15日

框图



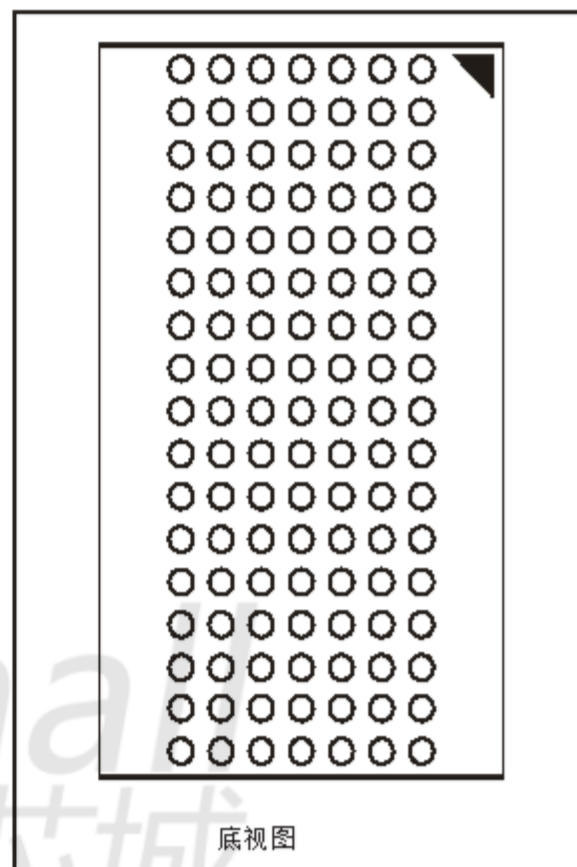
165-PIN BGA

165球, 13x15毫米BGA
165球, 15x17毫米BGA
1毫米球距, 11 x 15球阵



119-PIN BGA

119球, 14x22毫米BGA
1.27毫米球距, 7 x 17球阵



www.wlxmall.com

119 BGA封装引脚配置

2M x 36 (TOP VIEW)

	1	2	3	4	五	6	7
一个	V DDQ	一个	一个	ADSP	一个	一个	V DDQ
乙	NC	一个	一个	ADSC	一个	一个	NC
C	NC	一个	一个	V DD	一个	一个	NC
d	DQC	DQPc	VSS	NC	VSS	DQPb	DQB
Ē	DQC	DQC	VSS	CE	VSS	DQB	DQB
F	V DDQ	DQC	VSS	OE	VSS	DQB	V DDQ
G	DQC	DQC	BWC	ADV	BWB	DQB	DQB
H	DQC	DQC	VSS	GW	VSS	DQB	DQB
J	V DDQ	V DD	NC	V DD	NC	V DD	V DDQ
k	DQD	DQD	VSS	CLK	VSS	DQA	DQA
大号	DQD	DQD	BWD	NC	BWA	DQA	DQA
中号	V DDQ	DQD	VSS	BWE	VSS	DQA	V DDQ
ii	DQD	DQD	VSS	1 *	VSS	DQA	DQA
P	DQD	DQPd	VSS	A 0 *	VSS	DQPa	DQA
[R	NC	一个	模式	V DD	NC	一个	NC
Ť	NC	一个	一个	一个	一个	一个	Z Z
ü	V DDQ	TMS	TDI	TCK	TDO	NC	V DDQ

注：* A 0 和 A 1 是地址字段的两个最低有效位 (LSB)，如果需要突发，则设置内部突发计数器。

引脚说明

符号	引脚名称
一个	同步地址输入
A0, A1	同步突发地址输入
ADV	同步突发地址提前
ADSP	同步地址状态处理器
ADSC	同步地址状态调节器
GW	同步全局写入启用
CLK	同步时钟
CE	同步芯片选择
BWA - BW d	同步字节写入控件
BWE	同步字节写入启用

符号	引脚名称
OE	异步输出启用
Z Z	异步电源睡眠模式
模式	同步突发序列选择
TCK, TDO	JTAG引脚
TMS, TDI	
NC	无连接
DQA-DQD	同步数据输入/输出
DQPa-DQPd	同步奇偶校验数据输入/输出
V dd	电源
V ddq	I / O电源
VSS	地面

119 BGA封装引脚配置

4M x 18 (TOP VIEW)

	1	2	3	4	五	6	7
一个	V DDQ	一个	一个	ADSP	一个	一个	V DDQ
乙	NC	一个	一个	ADSC	一个	一个	NC
C	NC	一个	一个	V DD	一个	一个	NC
d	DQB	NC	VSS	NC	VSS	DQPa	NC
Ē	NC	DQB	VSS	CE	VSS	NC	DQA
F	V DDQ	NC	VSS	OE	VSS	DQA	V DDQ
G	NC	DQB	BWB	ADV	VSS	NC	DQA
H	DQB	NC	VSS	GW	VSS	DQA	NC
J	V DDQ	V DD	NC	V DD	NC	V DD	V DDQ
k	NC	DQB	VSS	CLK	VSS	NC	DQA
大号	DQB	NC	VSS	NC	BWA	DQA	NC
中号	V DDQ	DQB	VSS	BWE	VSS	NC	V DDQ
ñ	DQB	NC	VSS	1 *	VSS	DQA	NC
P	NC	DQPb	VSS	A 0 *	VSS	NC	DQA
[R	NC	一个	模式	V DD	NC	一个	NC
T	一个	一个	一个	NC	一个	一个	Z Z
ü	V DDQ	TMS	TDI	TCK	TDO	NC	V DDQ

注：* A 0 和 A 1 是地址字段的两个最低有效位 (LSB)，如果需要突发，则设置内部突发计数器。

引脚说明

符号	引脚名称
一个	同步地址输入
A0, A1	同步突发地址输入
ADV	同步突发地址提前
ADSP	同步地址状态处理器
ADSC	同步地址状态控制器
GW	同步全局写入启用
CLK	同步时钟
CE	同步芯片选择
BWA - BW b	同步字节写入控件
BWE	同步字节写入启用

符号	引脚名称
OE	异步输出启用
Z Z	异步电源睡眠模式
模式	同步突发序列选择
TCK, TDO	JTAG 引脚
TMS, TDI	
NC	无连接
DQA-DQB	同步数据输入/输出
DQPa-DQPb	同步奇偶校验数据输入/输出
V dd	电源
V ddq	I / O 电源
VSS	地面

165 PBGA封装引脚配置

2M x 36 (TOP VIEW)

	1	2	3	4	五	6	7	8	9	10	11
一个	NC	一个	CE	BWC	BWB	CE2	BWE	ADSC	ADV	一个	NC
乙	NC	一个	CE2	BWD	BWA	CLK	GW	OE	ADSP	一个	NC
C	DQPc	NC	V ddq	VSS	VSS	VSS	VSS	VSS	V ddq	数控	DQPb
d	DQC	DQC	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	DQB	DQB
Ė	DQC	DQC	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	DQB	DQB
F	DQC	DQC	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	DQB	DQB
G	DQC	DQC	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	DQB	DQB
H	NC	NC	NC	V dd	VSS	VSS	VSS	V dd	数控	数控	Z Z
j	DQD	DQD	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	D Q A	D Q A
k	DQD	DQD	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	D Q A	D Q A
大号	DQD	DQD	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	D Q A	D Q A
中号	DQD	DQD	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	D Q A	D Q A
ñ	DQPd	NC	V ddq	VSS	NC	一个	NC	VSS	V ddq	NC	DQPa
P	NC	一个	一个	一个	TDI	1 *	TDO	一个	一个	一个	一个
IR	模式	一个	一个	一个	TMS	A 0 *	TCK	一个	一个	一个	一个

注：* A 0 和 A 1 是地址字段的两个最低有效位 (LSB)，如果需要突发，则设置内部突发计数器。

引脚说明

符号	引脚名称
一个	同步地址输入
A0, A1	同步突发地址输入
ADV	同步突发地址提前
ADSP	同步地址状态处理器
ADSC	同步地址状态调节器
GW	同步全局写入启用
CLK	同步时钟
CE, CE2, CE2	同步芯片选择
BWA - BW d	同步字节写入控制

符号	引脚名称
BWE	同步字节写入启用
OE	异步输出启用
Z Z	异步电源睡眠模式
模式	同步突发序列选择
TCK, TDO TMS, TDI	JTAG 引脚
NC	无连接
DQA-DQD	同步数据输入/输出
DQPa-DQPd	同步数据输入/输出
V dd	电源
V ddq	I / O 电源
VSS	地面

165 PBGA封装引脚配置

4Mx18 (TOP VIEW)

	1	2	3	4	五	6	7	8	9	10	11
一个	NC	一个	CE	BWB	NC	CE2	BWE	ADSC	ADV	一个	一个
乙	NC	一个	CE2	NC	BWA	CLK	GW	OE	ADSP	一个	NC
C	NC	NC	V ddq	VSS	VSS	VSS	VSS	VSS	V ddq	数控	DQP _a
d	NC	DQB	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	NC	DQA
Ē	NC	DQB	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	NC	DQA
F	NC	DQB	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	NC	DQA
G	NC	DQB	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	NC	DQA
H	NC	NC	NC	V dd	VSS	VSS	VSS	V dd	数控	数控	Z Z
j	DQB	NC	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	D Q A	数控
k	DQB	NC	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	D Q A	数控
大号	DQB	NC	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	D Q A	数控
中号	DQB	NC	V ddq	V dd	VSS	VSS	VSS	V dd	V ddq	D Q A	数控
ñ	DQP _b	NC	V ddq	VSS	NC	一个	NC	VSS	V ddq	NC	NC
P	NC	一个	一个	一个	TDI	1 *	TDO	一个	一个	一个	一个
IR	模式	一个	一个	一个	TMS	A 0 *	TCK	一个	一个	一个	一个

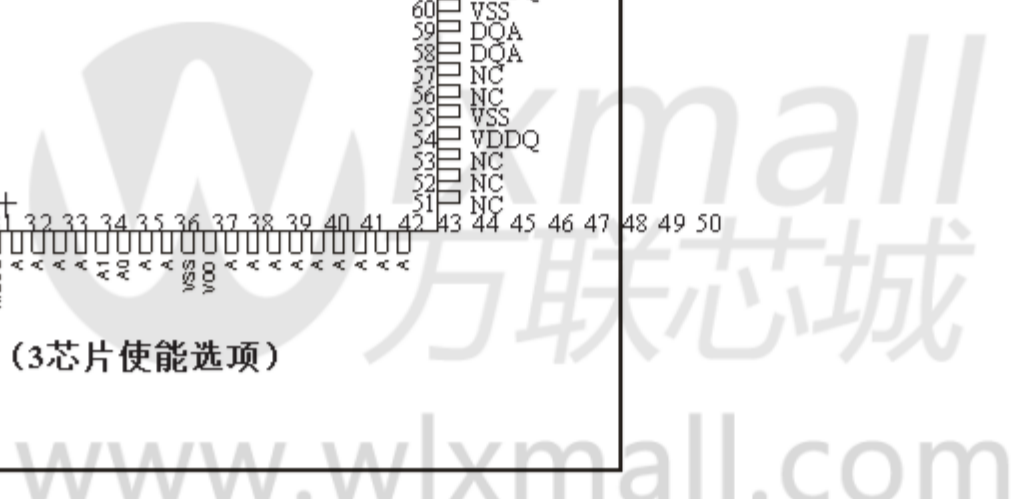
注：* A 0 和 A 1 是地址字段的两个最低有效位 (LSB)，如果需要突发，则设置内部突发计数器。

引脚说明

符号	引脚名称
一个	同步地址输入
A0, A1	同步突发地址输入
ADV	同步突发地址提前
ADSP	同步地址状态处理器
ADSC	同步地址状态调节器
GW	同步全局写入启用
CLK	同步时钟
CE, CE2, CE2	同步芯片选择
BWA - BW _b	同步字节写入控制

符号	引脚名称
BWE	同步字节写入启用
OE	异步输出启用
Z Z	异步电源睡眠模式
模式	同步突发序列选择
TCK, TDO TMS, TDI	JTAG 引脚
NC	无连接
DQA-DQB	同步数据输入/输出
DQP _a -DQP _b	同步数据输入/输出
V dd	电源
V ddq	I / O 电源
VSS	地面

100引脚TQFP (4M X 18)



A0, A1	同步地址输入. 这些引脚必须与两个LSB绑定地址总线.
— 一个	同步地址输入
ADSC	同步控制器地址状态
ADSP	同步处理器地址状态
ADV	同步突发地址提前
BWA -BWb	同步字节写入启用
BWE	同步字节写入启用
CE, CE2, CE2	同步芯片使能
CLK	同步时钟
DQA-DQB	同步数据输入/输出

真理表 (1-8)

操作	地址CE	CE2	CE2	ZZ	ADSP	ADSC	ADV	WRITE	OE	CLK	DQ
取消选择Cycle, Power-Down	没有	H	X	X	大号	X	大号	X	X	X	LH 高-Z
取消选择Cycle, Power-Down	没有	大号	X	大号	大号	大号	X	X	X	X	LH 高-Z
取消选择Cycle, Power-Down	没有	大号	H	X	大号	大号	X	X	X	X	LH 高-Z
取消选择Cycle, Power-Down	没有	大号	X	大号	大号	H	大号	X	X	X	LH 高-Z
取消选择Cycle, Power-Down	没有	大号	H	X	大号	H	大号	X	X	X	LH 高-Z
休眠模式, 关机	没有	X	X	X	H	X	X	X	X	X	X 高-Z
读周期, 开始爆发	外部	大号	大号	H	大号	大号	X	X	X	大号 LH	Q
读周期, 开始爆发	外部	大号	大号	H	大号	大号	X	X	X	H LH	高-Z
写周期, 开始爆发	外部	大号	大号	H	大号	H	大号	X	大号	X LH	d
读周期, 开始爆发	外部	大号	大号	H	大号	H	大号	X	H	大号 LH	Q
读周期, 开始爆发	外部	大号	大号	H	大号	H	大号	X	H	H LH	高-Z
读取周期, 继续突发	下一个	X	X	X	大号	H	H	大号	H	大号 LH	Q
读取周期, 继续突发	下一个	X	X	X	大号	H	H	大号	H	H LH	高-Z
读取周期, 继续突发	下一个	H	X	X	大号	X	H	大号	H	大号 LH	Q
读取周期, 继续突发	下一个	H	X	X	大号	X	H	大号	H	H LH	高-Z
写周期, 继续突发	下一个	X	X	X	大号	H	H	大号	大号	X LH	d
写周期, 继续突发	下一个	H	X	X	大号	X	H	大号	大号	X LH	d
读取周期, 暂停突发	当前	X	X	X	大号	H	H	H	H	大号 LH	Q
读取周期, 暂停突发	当前	X	X	X	大号	H	H	H	H	H LH	高-Z
读取周期, 暂停突发	当前	H	X	X	大号	X	H	H	H	大号 LH	Q
读取周期, 暂停突发	当前	H	X	X	大号	X	H	H	H	H LH	高-Z
写周期, 暂停突发	当前	X	X	X	大号	H	H	H	大号	X LH	d
写周期, 暂停突发	当前	H	X	X	大号	X	H	H	大号	X LH	d

注意:

1. X表示“不关心”.H表示逻辑高. L表示逻辑低电平.
2. 对于WRITE, L表示一个或多个字节写使能信号 (BWA-d), BWE为低电平或GW为低电平.所有的WRITE = H BWA, BWE, GW HIGH.
3. BWA启用写入DQa和DQPa. BWb启用写入DQb和DQPb. BWC支持写入DQc的和DQPc. BWD启用写入DQd和DQPd. DQPa和DQPb在x18版本上可用. DQPa-DQPd是可用的 - 能够在x36版本上运行.
4. 除OE和ZZ以外的所有输入必须满足CLK上升沿 (从低到高) 的建立和保持时间.
5. 等待状态通过暂停突发插入.
6. 对于读操作后的写操作, OE在输入数据建立时间之前必须为高电平, 并在此期间保持高电平输入数据保持时间.
7. 该器件包含确保输出在上电期间处于高阻态的电路.
8. ADSP LOW总是在CLK的LH沿启动内部读取. 写入是通过设置一个或多个字节写入来执行的. 启用CLK的后续LH边缘的信号和BWE LOW或GW LOW. 请参阅WRITE时序图以进行说明.

部分真相表

功能	GW	BWE	BWA	BWB	BWC	BWD
读	H	H	X	X	X	X
读	H	大号	H	H	H	H
写字节1	H	大号	大号	H	H	H
写入所有字节	H	大号	大号	大号	大号	大号
写入所有字节	大号	X	X	X	X	X

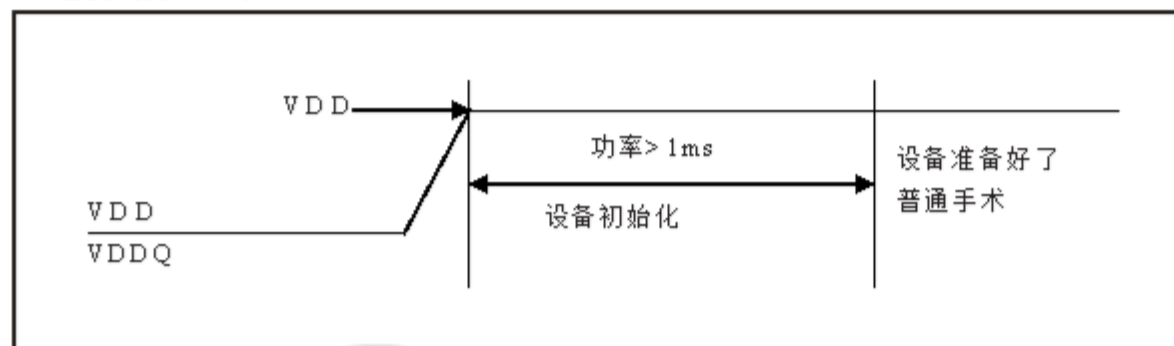
上电顺序

$V_{ddq} \rightarrow V_{dd1} \rightarrow I/O$ 引脚 2

备注：

1. V_{dd} 可以与 V_{ddq} 同时施加
2. V_{ddq} 准备就绪后，建议应用 I/O 输入。 I/O 引脚的输入可以应用于同时 V_{ddq} 提供的 V_{th} (I/O 引脚的电平) 低于 V_{ddq} 。

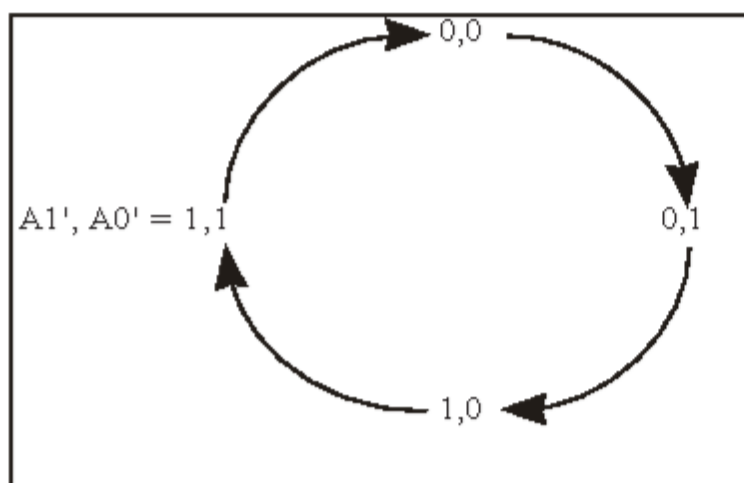
上电初始化时序



交错爆发地址表 (MODE = V_{DD} 或无连接)

外部地址 A1 A0	第一个突发地址 A1 A0	第二次爆发地址 A1 A0	第三个爆发地址 A1 A0
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

线性突发地址表 (MODE = V_{SS})



绝对最大额定值 (1)

符号参数	LF值	VF / VVF值	单元
T _{stg} 储存温度	-55到+150	-55到+150	°C
P _d 功耗	1.6	1.6	W
I _{OUT} 输出电流 (每个I/O)	100	100	mA
V _{IN} , V _{OUT} 电压相对于I/O引脚的V _{SS}	-0.5到V _{DDQ} +0.5	-0.5到V _{DDQ} +0.3	V
V _{IN} 电压相对于V _{SS} 的地址和控制输入	-0.5到V _{DD} +0.5	-0.5到V _{DD} +0.3	V
V _{DD} V _{DD} 电源电压 相对于V _{SS}	-0.5到V _{DD} +0.5	-0.3到V _{DD} +0.3	V

笔记:

1. 超出绝对最大额定值的应力可能会导致器件永久性损坏。
这是一个压力额定值和设备在这些或任何其他高于那些条件的条件下的功能操作本规范的操作部分并不是隐含的.暴露于绝对最大额定值条件下进行延长时期可能影响可靠性.
2. 该设备包含电路以保护输入免受高静电或电场造成的损坏;但是,
可能要注意避免将高于最大额定电压的电压施加到此高阻抗电路.
3. 该器件包含确保输出器件在加电时处于High-Z状态的电路.

操作范围 (IS61LFxxxxx)

范围	环境温度	V _{DD}	V _{DDQ}
广告	0°C至+70°C	3.3V±5%	3.3V / 2.5V±5%
产业	-40°C至+85°C	3.3V±5%	3.3V / 2.5V±5%

操作范围 (IS61VFxxxxx)

范围	环境温度	V _{DD}	V _{DDQ}
广告	0°C至+70°C	2.5V±5%	2.5V±5%
产业	-40°C至+85°C	2.5V±5%	2.5V±5%

工作范围 (IS61VVFxxxxx)

范围	环境温度	V _{DD}	V _{DDQ}
广告	0°C至+70°C	1.8V±5%	1.8V±5%
产业	-40°C至+85°C	1.8V±5%	1.8V±5%

直流电特性 (超过工作范围) 1,2,3

符号参数	测试条件	3.3V		2.5V		1.8V		单元
		闭.	最大.	闭.	最大.	闭.	最大.	
V _{OH}	输出高电压 我 _{OH} = -4.0 mA (3.3V) 我 _{OH} = -1.0 mA (2.5V, 1.8V)	2.4	-	2.0	-	V _{DDQ} - 0.4	-	V
V _{OL}	输出低电压 I _{OL} = 8.0 mA (3.3V) I _{OL} = 1.0 mA (2.5V, 1.8V)	-	0.4	-	0.4	-	0.4	V
V _{IH}	输入高电压	2.0	V _{DD} + 0.3	1.7	V _{DD} + 0.3	0.6	V _{DD} + 0.3	V
V _{IL}	输入低电压	-0.3	0.8	-0.3	0.7	-0.3	0.3 V _{DD}	V
我 _{IS}	输入漏电流 MODE的输入电流 ZZ的输入电流	V _{SS} ≤ V _{IN} ≤ V _{DD} (1,4) V _{SS} ≤ V _{IN} ≤ V _{DD} (5) V _{SS} ≤ V _{IN} ≤ V _{DD} (6)	-5 -30 -5	五 五 三十	-5 -30 -5	五 五 三十	-5 -30 -5	μA
我 _{IO}	输出漏电流 V _{SS} ≤ V _{OUT} ≤ V _{DDQ} , OE = V _{IH}	-5	五	-5	五	-5	五	μA

笔记:

1. 所有电压都以地为参考。
2. 超调:
3.3V和2.5V: V_{IH} (AC) ≤ V_{DD} + 1.5V (脉冲宽度小于 t_{kc} / 2)
1.8V: V_{IH} (AC) ≤ V_{DD} + 0.5V (脉冲宽度小于 t_{kc} / 2)
3. 下冲:
3.3V和2.5V: V_{IL} (AC) ≥ -1.5V (脉冲宽度小于 t_{kc} / 2)
1.8V: V_{IL} (AC) ≥ -0.5V (脉冲宽度小于 t_{kc} / 2)
4. 除MODE和ZZ外
5. MODE连接到内部的上拉电阻。
6. ZZ内部连接到下拉电阻。

电源特性 (1) (超过工作范围)

符号参数	测试条件	温度范围	6.5 MAX		7.5 MAX		单元
			X18	X36	X18	X36	
我 _{CC}	交流运行 电源电流 选择的设备, OE = V _{IH} , ZZ ≤ V _{IL} , 所有输入 ≤ 0.2V 或 ≥ V _{DD} - 0.2V, 周期时间 ≥ t _{kc} min.	COM. 工业.	260 270	260 270	240 250	240 250	嘛
我 _{某人}	待机电流 TTL输入 设备被取消选中, V _{DD} = 最大, 所有输入 ≤ V _{IL} 或 ≥ V _{IH} , ZZ ≤ V _{IL} , f = Max.	COM. 工业.	130 135	130 135	130 135	130 135	嘛
我 _{sbI}	待机电流 cMOS输入 设备被取消选中, V _{DD} = 最大, V _{IN} ≤ V _{SS} + 0.2V 或 ≥ V _{DD} - 0.2V f = 0	COM. 工业.	11.5 120	11.5 120	11.5 120	11.5 120	嘛

电容 (1,2)

符号	参数	条件	最大.	单元
c IN	输入电容	V IN = 0V	6	pF的
c OuT	输入/输出电容	V OuT = 0V	8	pF的

笔记:

- 1.最初和经过可能影响这些参数的任何设计或工艺更改后进行测试.
- 2.测试条件: T A = 25°C, f = 1MHz, V dd = 3.3V.

3.3VI / O AC测试条件

参数	单元
输入脉冲电平	0V至3.0V
输入上升和下降时间	1.5 ns
输入和输出时序 和参考级别	1.5V
输出负载	参见图1和2

AC测试负载

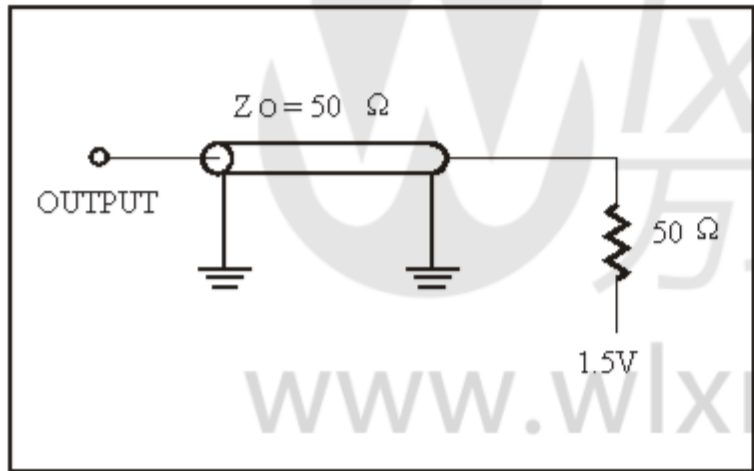


图1

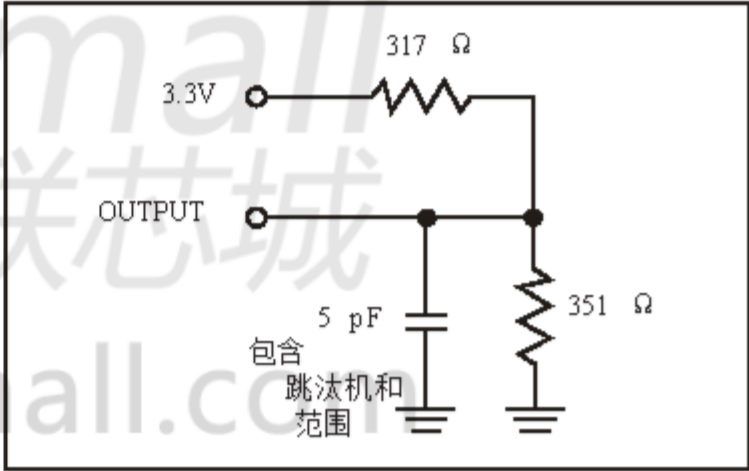


图2

2.5VI / O AC测试条件

参数	单元
输入脉冲电平	0V至2.5V
输入上升和下降时间	1.5 ns
输入和输出时序 和参考级别	1.25V
输出负载	参见图3和4

2.5VI / O输出负载等效

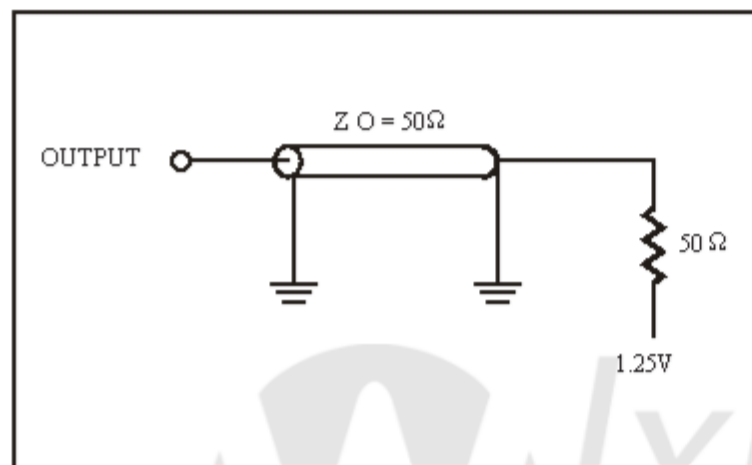


图3

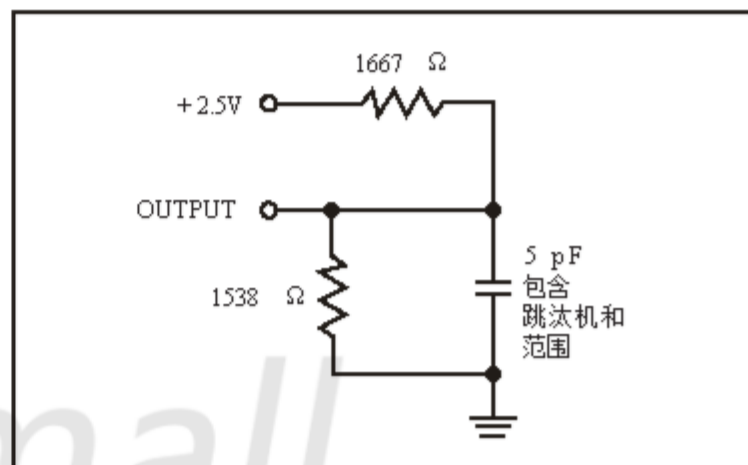


图4

1.8VI / O AC测试条件

参数	单元
输入脉冲电平	0V至1.8V
输入上升和下降时间	1.5 ns
输入和输出时序 和参考级别	0.9V
输出负载	参见图5和6

1.8VI / O输出负载等效

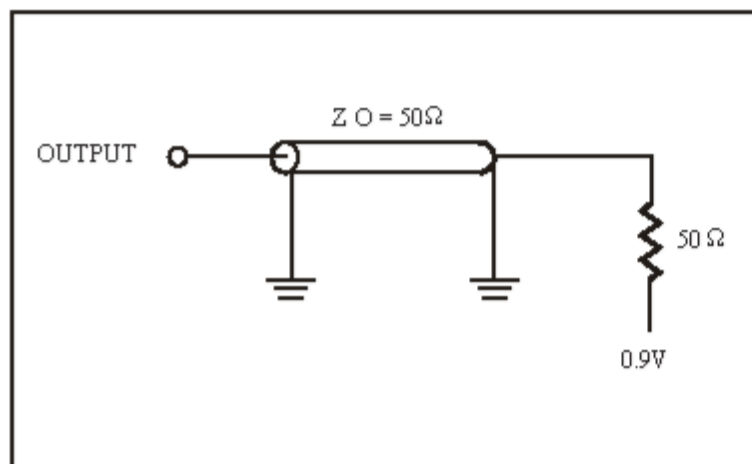


图5

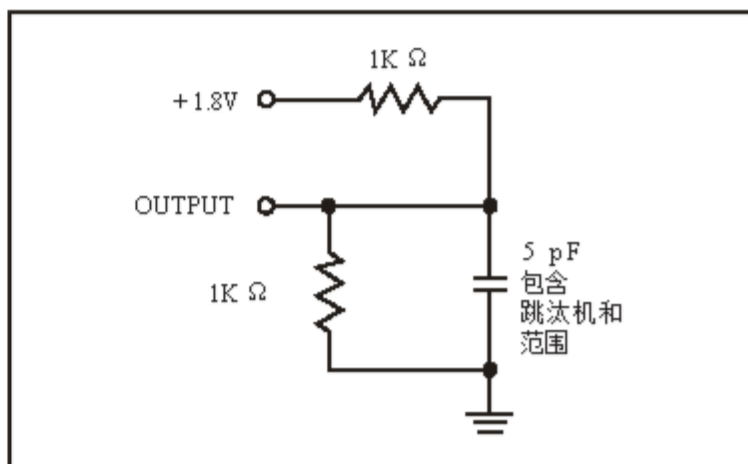


图6

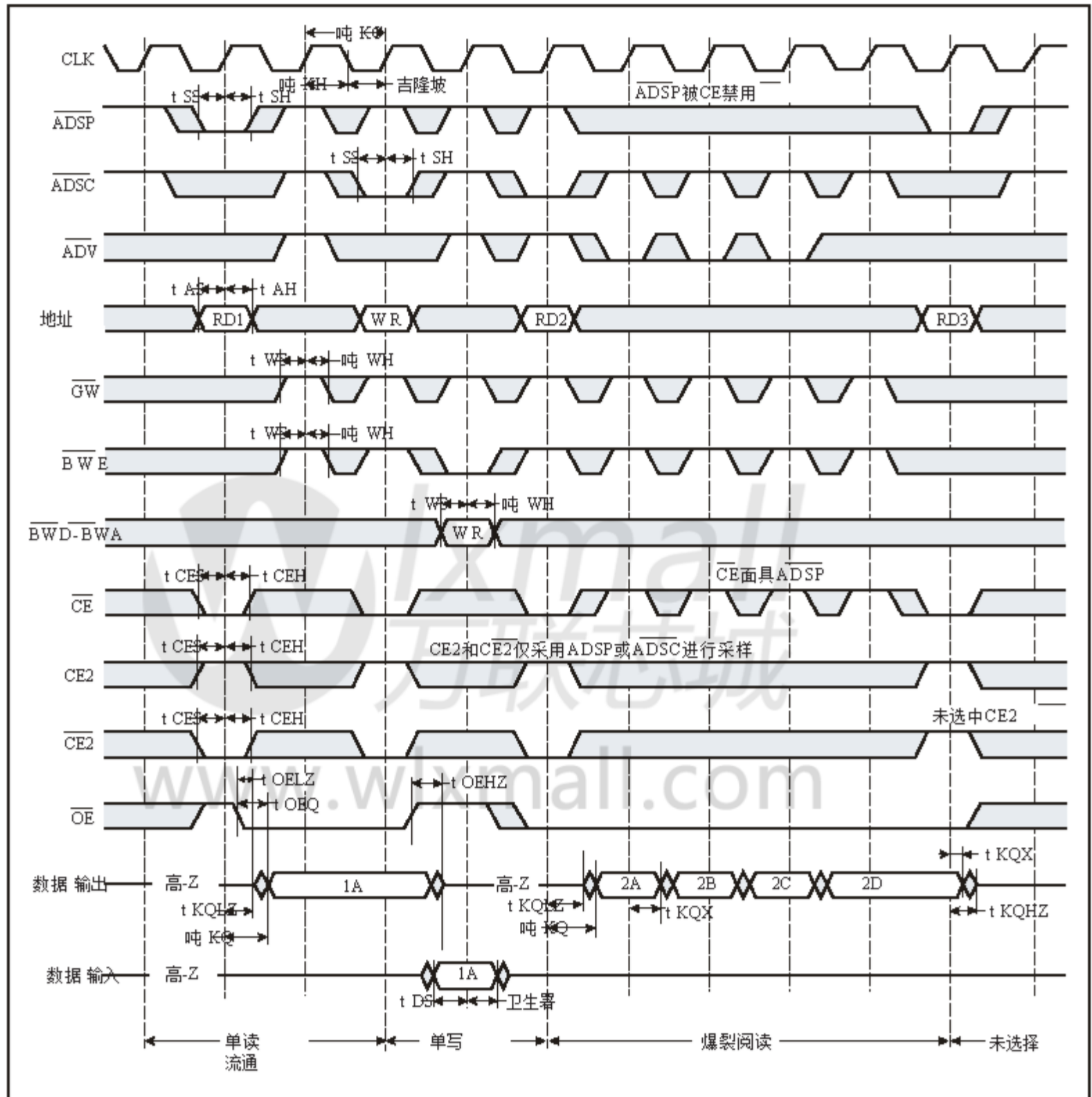
读/写周期切换特性 (1) (超过工作范围)

符号	参数	6.5		7.5		单元
		阅.	最大.	阅.	最大.	
FMAX	时钟频率	-	133	-	117	兆赫
t _{kc}	周期	7.5	-	8.5	-	NS
t _{kh}	时钟高时间	2.2	-	2.5	-	NS
t _{kl}	时钟低时间	2.2	-	2.5	-	NS
t _{KQ}	时钟访问时间	-	6.5	-	7.5	NS
t _{kqx} (2)	时钟高到输出无效	2.5	-	2.5	-	NS
t _{kqLZ} (2,3)	时钟高电平到输出低电平	2.5	-	2.5	-	NS
t _{kqhZ} (2,3)	时钟高到输出高阻态	-	3.8	-	4	NS
t _{OE_q}	输出启用输出有效	-	3.2	-	3.4	NS
t _{OE_{LZ}} (2,3)	输出使能输出低阻抗	0	-	0	-	NS
t _{OE_{hZ}} (2,3)	输出禁止输出高阻态	-	3.5	-	3.5	NS
t _{As}	地址建立时间	1.5	-	1.5	-	NS
t _{ss}	地址状态建立时间	1.5	-	1.5	-	NS
t _{Ws}	读/与建立时间	1.5	-	1.5	-	NS
t _{cEs}	芯片启用安装时间	1.5	-	1.5	-	NS
t _{AVs}	地址高级设置时间	1.5	-	1.5	-	NS
t _{ds}	数据建立时间	1.5	-	1.5	-	NS
t _{ah}	地址保持时间	0.5	-	0.5	-	NS
t _{sh}	地址状态保持时间	0.5	-	0.5	-	NS
t _{Wh}	与保持时间	0.5	-	0.5	-	NS
t _{qEh}	芯片使能保持时间	0.5	-	0.5	-	NS
t _{AVh}	地址提前保持时间	0.5	-	0.5	-	NS
t _{dh}	数据保持时间	0.5	-	0.5	-	NS
t _{POWER} (4)	V _{dd} (典型) 到First Access	1	-	1	-	女士

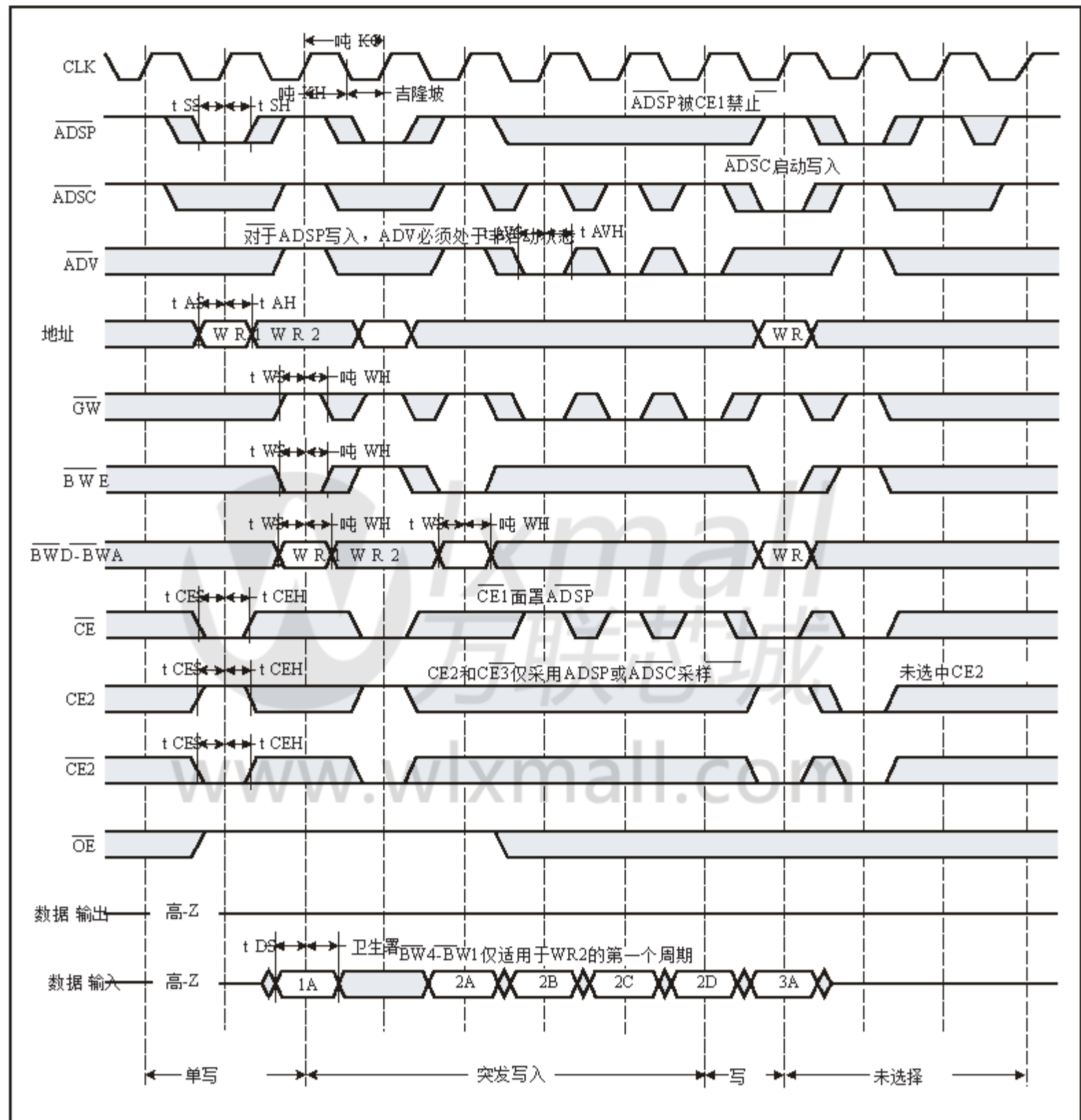
笔记:

1. 配置信号MODE是静态的, 在正常操作期间不能改变.
2. 保证但未经100%测试. 该参数是周期性采样的.
3. 用图2中的负载进行测试.
4. t_{POWER}是在READ或WRITE操作之前, 电源需要在V_{dd} (min) 以上供电的时间启动.

读/写周期时序



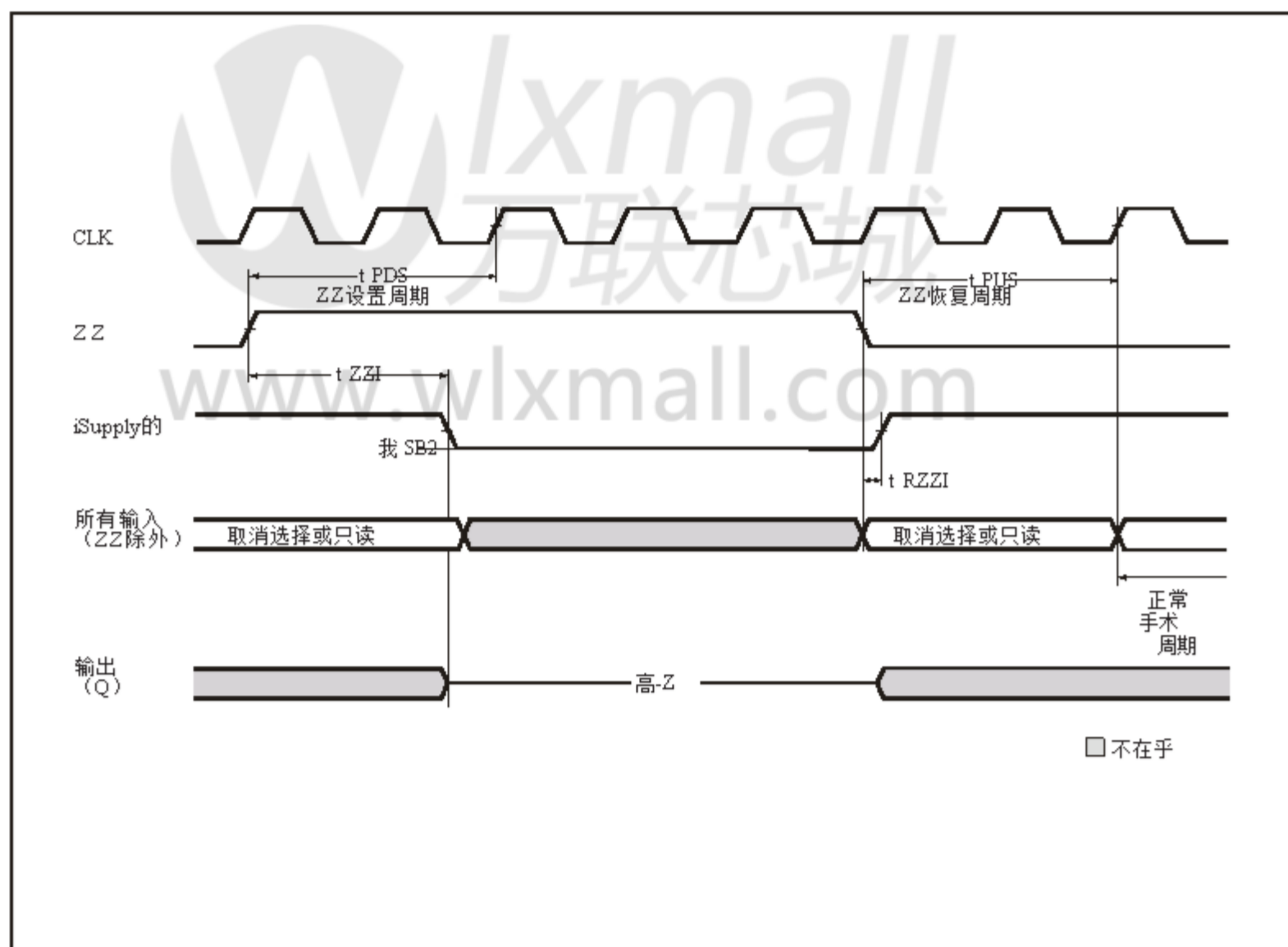
写周期时序



SNOOZE模式电气特性

符号	参数	条件	温度范围	闭.	最大.	单元
我 sb 2	SNOOZE模式期间的电流	$ZZ \geq V_{dd} - 0.2V$	COM. 工业. 汽车.	- - -	80 90 100	嘛
t Pds	ZZ激活输入忽略			-	2	周期
t Pus	ZZ不活动以输入采样			2	-	周期
t ZZI	ZZ活跃到SNOOZE当前			-	2	周期
t rZZI	ZZ无效退出SNOOZE电流			0	-	NS

SNOOZE MODE时间



串行边界扫描测试访问端口 (TAP) 是唯一的可在PBGA封装中找到。此端口在ac-IEEE标准1149.1-1900，但没有包括全面遵守1149.1所需的所有功能。这些来自IEEE规范的功能被排除在外，因为他们在临界速度路径中增加了延迟的SRAM。TAP控制器以某种方式运行，与其他设备的性能不冲突。使用1149.1完全兼容的TAP。

SRAM可以在不使用JTAG功能的情况下工作。要禁用TAP控制器，TCK必须连接到低电平（ V_{SS} ）以防止器件时钟。TDI和TMS是内部拉起并可能断开连接。他们可能会交替地通过一个上拉电阻连接到 V_{DD} 。TDO应该保持断开状态。开机时，该设备将以不会干扰的复位状态开始设备操作。

测试时钟仅用于TAP控制器。所有输入在TCK的上升沿被捕获并且输出是从TCK的下降驱动。

TMS输入用于向TAP发送命令
控制器，并在TCK的上升沿进行采样。这个
如果不使用TAP，引脚可能会保持断开状态。该
引脚内部上拉，导致逻辑高电平。

TDI引脚用于串行输入信息寄存器并且可以连接到任何寄存器的输入端，之三。TDI和TDO之间的寄存器是由TDI选择的指令加载到TAP指令寄存器中。对于有关指令寄存器加载的信息，请参阅TAP控制器状态图。TDI在内部被拉起来。如果TAP未在应用程序中使用，则可以断开连接，灰。TDI连接到最高有效位（MSB）在任何注册表上。

The diagram illustrates the JTAG TAP controller and its connection to the target device. At the bottom, the **TAP控制器** (TAP Controller) receives external signals **TCK** and **TMS**. It sends control signals (represented by arrows) to the **选择电路** (Select Circuit) on both the left and right sides of the target device. The target device contains several internal components connected to these select circuits:

- 绕过寄存器** (Bypass Register): A single-bit register (0) connected to the top select circuit.
- 指令寄存器** (Instruction Register): A 3-bit register (2, 1, 0) connected to the top select circuit.
- 鉴定登记册** (ID Register): A 32-bit register (31, 30, 29, ..., 2, 1, 0) connected to the bottom select circuit.
- 边界扫描寄存器*** (Boundary Scan Register*): A multi-bit register (X, ..., 2, 1, 0) connected to the bottom select circuit.

The output of the right select circuit is **TDO**. The background features a watermark for '万联芯城' (Wanlianxin City) and the website 'www.wlxml.com'.

测试数据输出 (TDO)

TDO输出引脚用于串行时钟输出数据寄存器.输出处于活动状态,具体取决于cur-TAP状态机的租赁状态(请参阅TAP控制器状态图).输出在下降沿改变
的TCK和TDO连接到最低有效位(LSB)的任何注册.

执行TAP重置

复位是通过强制TMS为高(V_{dd})五次来执行的TCK的上升沿.可能会执行RESET
SRAM正在运行,不会影响其操作.在上电后,TAP将在内部复位以确保TDO进入高Z状态.

点击注册

寄存器连接在TDI和TDO引脚之间并允许数据扫描进出SRAM
测试电路.一次只能选择一个寄存器通过指令寄存器.数据被连续加载进入TCK上升沿的TDI引脚并输出TCK引脚在TCK的下降沿.

指令寄存器

三位指令可以串行加载到内部存储器中,结构寄存器.该寄存器在被放置时被加载在TDI和TDO引脚之间.(请参阅TAP控制器块图)加电时,指令寄存器被加载与IDCODE指令.它也装载了
如果控制器置于复位状态,则为IDCODE指令如前所述.

当TAP控制器处于Capture-IR状态时,这两个最低有效位以二进制“01”模式加载以允许板级串行测试路径的故障隔离.

绕过寄存器

为了在通过寄存器串行移位数据时节省时间,跳过某些状态有时是有利的.该旁路寄存器是一个可以放置的单位寄存器TDI和TDO引脚之间.这允许数据被移位通过SRAM以最小的延迟.旁路reg-

身份证明注册的定義

指令字段	描述	2M x 36	4M x 18
修订号码 (31:28)	保留为版本号.	XXXX	XXXX
设备深度 (27:23)	定义SRAM的深度. 2M或4M	01010	01011
设备宽度 (22:18)	由SRAM定义. x36或x18	00100	00011
ISSI设备ID (17:12)	保留以供将来使用.	XXXXXX	XXXXXX
ISSI JEDEC ID (11:1)	允许独立识别SRAM供应商.	00001010101	00001010101
ID注册存在 (0)	指示ID寄存器的存在.	1	1

当BYPASS指令为ister时,ister被设置为低(V_{ss})执行.

边界扫描寄存器

边界扫描寄存器连接到所有输入和SRAM上的输出引脚.几个无连接(NC)引脚也包含在扫描寄存器中以保留更高的引脚密度装置. x36配置有75位长注册和x18配置也有一个75位长寄存器.边界扫描寄存器加载了
当TAP时RAM输入和输出环的内容
控制器处于Capture-DR状态,然后置于“
当控制器移动时,在TDI和TDO引脚之间进行补间到Shift-DR状态. EXTEST, SAMPLE / PRELOAD
并且可以使用SAMPLE-Z指令来捕获输入和输出环的内容.

边界扫描顺序表显示了顺序
这些位是连接的.每个位对应一个在SRAM封装上碰撞.寄存器的MSB是连接到TDI,并且LSB连接到TDO.

扫描寄存器大小

注册名称	位大小 (X18)	位大小 (X36)
指令	3	3
旁路	1	1
ID	32	32
边界扫描	75	75

识别 (ID) 注册

ID寄存器加载了供应商特定的32位代码在Capture-DR状态期间,当IDCODE command被加载到指令寄存器. IDCODE被硬连线到SRAM中,并且可以在时移出TAP控制器处于Shift-DR状态. ID注册表有供应商代码和其他信息描述在识别寄存器定义表.

点击指令集

使用三位指令可以执行八条指令
注册和所有组合都在指令中列出
代码表.三条指令被列为保留
不应该使用和其他五个指令
如下面所描述的.该SRAM中使用的TAP控制器
并不完全符合1149.1公约, 因为
一些强制性说明未完全实施.
TAP控制器不能用于加载地址, 数据或
控制信号并且不能预载输入或输出buf-
FERS. SRAM不执行1149.1命令
EXTEST或INTEST或SAMPLE /
预紧力;相反, 它执行输入的捕获和
执行这些指令时输出环.指令条
在Shift-IR期间tions被加载到TAP控制器中
状态指令寄存器放置在TDI之间时
和TDO.在这种状态下, 指令从偏移
指令寄存器通过TDI和TDO引脚.至
一旦它被移入一个指令就执行, TAP控制-
必须将其移入Update-IR状态.

EXTEST

EXTEST是一个强制性的1149.1指令
每当指令寄存器被加载时执行
全0.因为EXTEST没有在TAP中实现
控制器, 此设备不符合1149.1标准.
The TAP controller recognizes an all-0 instruction. When an
EXTEST指令被加载到指令寄存器中,
the SRAM responds as if a SAMPLE / PRELOAD instruction
已被加载.说明书有所不同,
与SAMPLE / PRELOAD指令EXTEST不同
将SRAM输出置于高阻状态.

IDCODE

IDCODE指令会导致特定于供应商的32位
位代码被加载到指令寄存器中.它也是
将指令寄存器放置在TDI和TDO之间
引脚并允许将IDCODE移出设备
当TAP控制器进入Shift-DR状态时.该
IDCODE指令被加载到指令寄存器中
在通电或每当TAP控制器被给予a时
测试逻辑复位状态.

样品-Z

SAMPLE-Z指令导致边界扫描
寄存器连接在TDI和TDO引脚之间
当TAP控制器处于Shift-DR状态时.它也是地方
所有的SRAM输出都进入High-Z状态.

SAMPLE / PRELOAD

SAMPLE / PRELOAD is a 1149.1 mandatory instruction. The
PRELOAD portion of this instruction is not implemented, 所以
TAP控制器不完全符合1149.1.当...的时候
SAMPLE / PRELOAD指令被加载到指令 -
并且TAP控制器位于Capture-DR中
状态, 输入和输出引脚上的数据快照是
捕获在边界扫描寄存器中.

意识到TAP控制器时钟操作非常重要,
频率高达10 MHz, 而SRAM时钟
运行速度超过一个数量级.因为
时钟频率的差异, 这是可能的
Capture-DR状态, 一个输入或输出将进入 a
过渡. TAP可能会尝试捕获信号
过渡 (metastable state). The device will not be harmed,
但是不能保证将被捕获的价值
或可重复的结果.

保证边界扫描寄存器将被捕获
the correct signal value, the SRAM signal must be stabilized
足以满足TAP控制器的捕捉设置
加上保持时间 (t_{cs} 和 t_{ch}). 确保SRAM时钟
输入被正确捕获, 设计需要一种方法来停止 (或
缓慢) SAMPLE / PRELOAD指令期间的时钟.
如果这不是问题, 那么可以捕获所有其他问题
信号并简单地忽略CLK和CLK的值
捕获在边界扫描寄存器中.

一旦数据被捕获, 就有可能移出数据
通过将TAP置于Shift-DR状态.这个地方
TDI和TDO引脚之间的边界扫描寄存器.
请注意, 由于命令的PRELOAD部分不是
实施, 将TAP纳入更新更新 -
DR状态, 同时执行SAMPLE / PRELOAD指令
将具有与Pause-DR命令相同的效果.

旁路

当BYPASS指令加载到指令中时,
并且TAP处于Shift-DR状态,
旁路寄存器位于TDI和TDO之间
引脚. BYPASS指令的优点在于它
缩短多个设备时的边界扫描路径
在一个电路板上连接在一起.

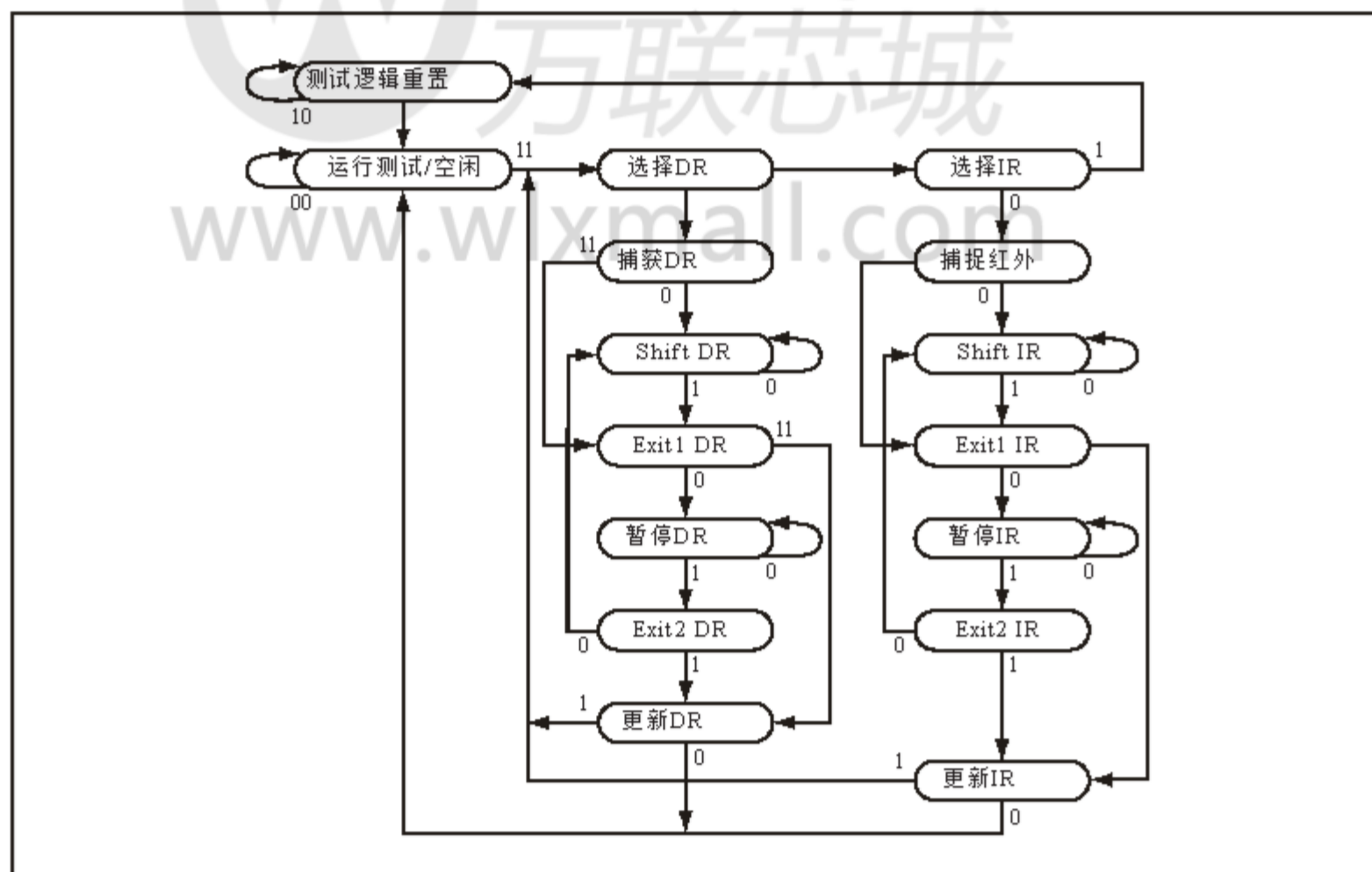
RESERVED

这些说明未实施, 但保留
供未来使用.不要使用这些说明.

指令代码

码	指令	描述
000	EXTEST	捕获输入/输出环内容.放置边界扫描寄存器 - 在TDI和TDO之间.强制所有SRAM输出为高阻状态.这个指令不符合1149.1.
001	IDCODE	使用供应商ID代码加载ID寄存器, 并将该寄存器放置在TDI之间和TDO.该操作不影响SRAM操作.
010	样品-Z	捕获输入/输出内容.放置边界扫描寄存器 TDI和TDO.强制所有SRAM输出驱动器进入高阻状态.
011	RESERVED	不要使用: 此说明保留供将来使用.
100	SAMPLE / PRELOAD	捕获输入/输出环内容.放置边界扫描寄存器 在TDI和TDO之间.不影响SRAM操作.这条指令没有实现1149.1预加载功能, 因此不符合1149.1.
101	RESERVED	不要使用: 此说明保留供将来使用.
110	RESERVED	不要使用: 此说明保留供将来使用.
111	旁路	在TDI和TDO之间放置旁路寄存器.这个操作没有影响SRAM操作.

TAP控制器状态图



TAP电气特性 ($V_{ddq} = 3.3V$ 工作范围)

符号	参数	测试条件	闭.	最大.	单位
V Oh1	输出高电压	我哦 = -4毫安	2.4	-	V
V Oh2	输出高电压	我哦 = -100 μ A	2.9	-	V
V Ol1	输出低电压	I Ol = 8 mA	-	0.4	V
V Ol2	输出低电压	I Ol = 100 μ A	-	0.2	V
V Ih	输入高电压		2.0	V dd +0.3	V
V Il	输入低电压		-0.3	0.8	V
我 x	输入负载电流	$V_{ss} \leq V_{IN} \leq V_{ddq}$	-30	三十	嘛

TAP电气特性 ($V_{ddq} = 2.5V$ 工作范围)

符号	参数	测试条件	闭.	最大.	单位
V Oh1	输出高电压	我哦 = -1毫安	2.0	-	V
V Oh2	输出高电压	我哦 = -100 μ A	2.1	-	V
V Ol1	输出低电压	我 Ol = 1毫安	-	0.4	V
V Ol2	输出低电压	I Ol = 100 μ A	-	0.2	V
V Ih	输入高电压		1.7	V dd +0.3	V
V Il	输入低电压		-0.3	0.7	V
我 x	输入负载电流	$V_{ss} \leq V_{IN} \leq V_{ddq}$	-30	三十	嘛

TAP电气特性 ($V_{ddq} = 1.8V$ 工作范围)

符号	参数	测试条件	闭.	最大.	单位
V Oh1	输出高电压	我哦 = -1.0毫安	V dd -0.4	-	V
V Ol1	输出低电压	I Ol = 1.0 mA	-	0.5	V
V Ih	输入高电压		1.3	V dd +0.3	V
V Il	输入低电压		-0.3	0.7	V
我 x	输入负载电流	$V_{ss} \leq V_{IN} \leq V_{ddq}$	-30	三十	嘛

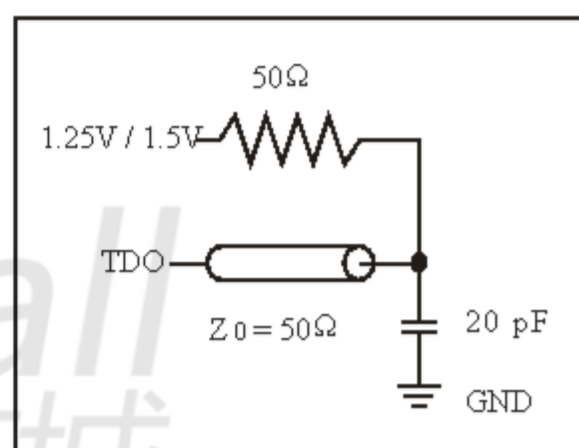
TAP AC电气特性 (超出工作范围)

参数	符号	敏	马克斯	单位
TCK周期时间	t_{THTH}	100	-	NS
TCK高脉宽	THTL	40	-	NS
TCK低脉冲宽度	t_{TLTH}	40	-	NS
TMS设置	t_{MVTH}	10	-	NS
TMS保留	THMX	10	-	NS
TDI设置	t_{DVTH}	10	-	NS
TDI持有	THDX	10	-	NS
TCK低到有效数据	t_{TLOV}	-	20	NS

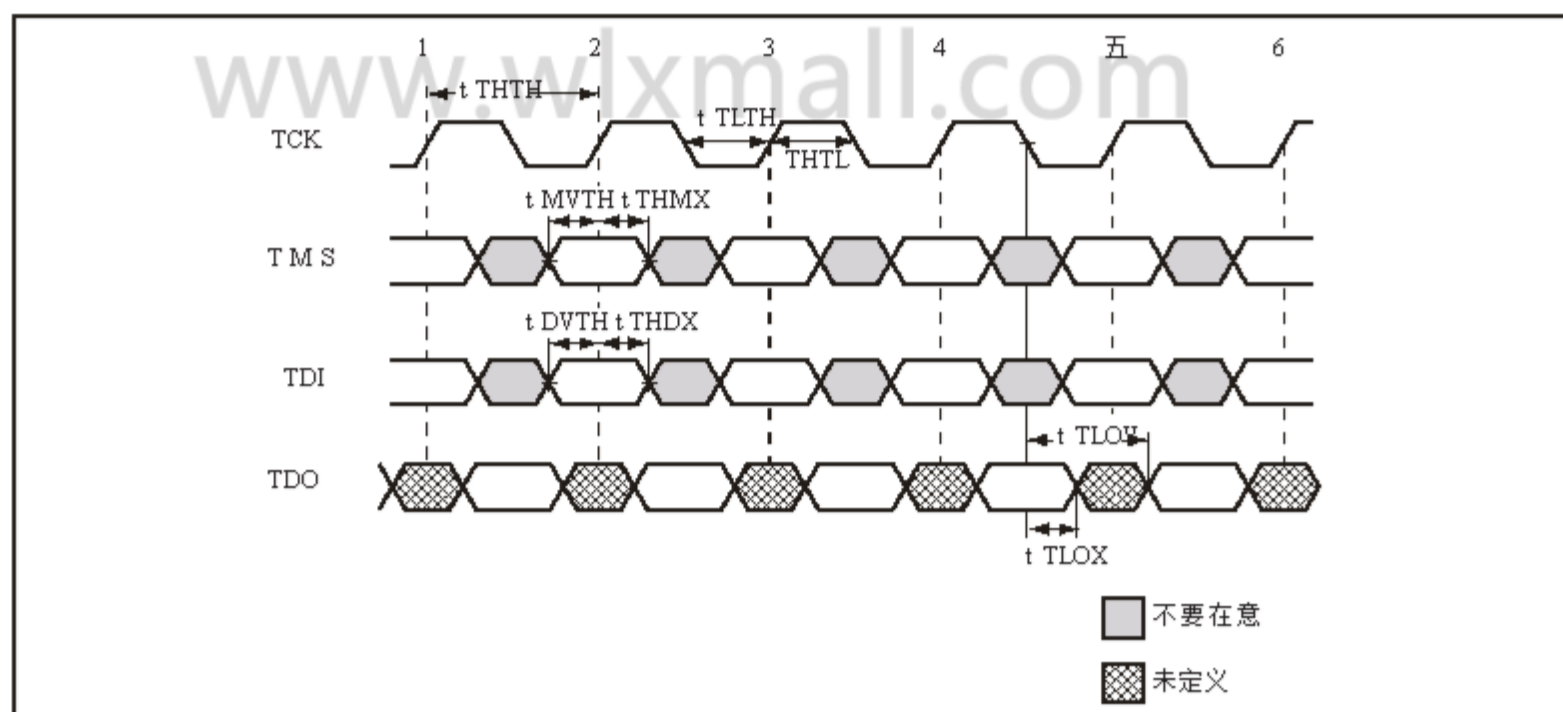
TAP交流测试条件 (1.8V / 2.5V / 3.3V)

输入脉冲电平	0至1.8V / 0至2.5V / 0至3.0V
输入上升和下降时间	1.5ns
输入时序参考电平	0.9V / 1.25V / 1.5V
输出参考水平	0.9V / 1.25V / 1.5V
测试负载终止电源电压	0.9V / 1.25V / 1.5V

TAP输出负载等效



TAP时间



边界扫描命令

165 BGA					119 BGA				
X36		X18			X36		X18		
位 #	凹凸ID	信号	凹凸ID	信号	位 #	凹凸ID	信号	凹凸ID	信号
1	N6	A9	N6	A9	1		NC		NC
2	N7	NC	N7	NC	2		NC		NC
3	N10	NC	N10	NC	3		NC		NC
4	P11	A8	P11	A8	4		NC		NC
五	P8	A18	P8	A18	五		A18		A18
6	R8	A17	R8	A17	6		A17		A17
7	R9	A16	R9	A16	7		A16		A16
8	P9	A15	P9	A15	8		A15		A15
9	P10	A14	P10	A14	9		A14		A14
10	R10	A13	R10	A13	10		A13		A13
11	R11	A12	R11	A12	11		A12		A12
12	H11	ZZ	H11	ZZ	12	T7	ZZ	T7	ZZ
13	N11	DQa0	N11	NC	13	P6	DQa0	P6	NC
14	M11	DQA1	M11	NC	14	N7	DQA1	N7	NC
15	L11	DQA2	L11	NC	15	M6	DQA2	M6	NC
16	K11	DQa6	K11	NC	16	L7	DQa6	L7	NC
17	J11	DQa7	J11	NC	17	K6	DQa7	K6	NC
18	M10	DQa3	M10	DQa8	18	P7	DQa3	P7	DQa8
19	L10	DQa4	L10	DQa7	19	N6	DQa4	N6	DQa7
20	K10	DQa5	K10	DQa6	20	L6	DQa5	L6	DQa6
21	J10	DQa8	J10	DQa5	21	K7	DQa8	K7	DQa5
22	H9	NC	H9	NC	22		NC		NC
23	H10	NC	H10	NC	23		NC		NC
24	G11	DQb8	G11	DQa4	24	H6	DQb8	H6	DQa4
25	F11	DQb7	F11	DQa3	25	G7	DQb7	G7	DQa3
26	E11	DQb5	E11	DQA2	26	F6	DQb5	F6	DQA2
27	D11	DQb4	D11	DQA1	27	E7	DQb4	E7	DQA1
28	G10	DQb6	G10	NC	28	H7	DQb6	H7	NC
29	F10	DQb3	F10	NC	29	G6	DQb3	G6	NC
三十	E10	DQb2	E10	NC	三十	E6	DQb2	E6	NC
31	D10	DQB1	D10	NC	31	D7	DQB1	D7	NC
32	C11	DQb0	C11	DQa0	32	D6	DQb0	D6	DQa0
33	A11	NC	A11	A21	33	T1	NC	T1	A21
34	B11	NC	B11	NC	34		NC		NC
35	A10	A11	A10	A11	35		A11		A11
36	B10	A10	B10	A10	36		A10		A10
37	A9	/ADV	A9	/ADV	37	G4	/ADV	G4	/ADV
38	B9	/ADSP	B9	/ADSP	38	A4	/ADSP	A4	/ADSP
39	C10	NC	C10	NC	39		NC		NC
40	A8	/ADSC	A8	/ADSC	40	B4	/ADSC	B4	/ADSC
41	B8	/OE	B8	/OE	41	F4	/OE	F4	/OE
42	A7	/BWE	A7	/BWE	42	M4	/BWE	M4	/BWE
43	B7	/GW	B7	/GW	43	H4	/GW	H4	/GW
44	B6	CLK	B6	CLK	44	K4	CLK	K4	CLK

接下页

165 BGA					119 BGA				
X36		X18			X36		X18		
位 #	凹凸ID	信号	凹凸ID	信号	位 #	凹凸ID	信号	凹凸ID	信号
45	A6	/CE2	A6	/CE2	45	B6	A9	B6	A9
46	B5	/BWA	B5	/BWA	46	L5	/BWA	L5	/BWA
47	A5	/BWB	A5	NC	47	G5	/BWB	G5	NC
48	A4	/BWC	A4	/BWB	48	G3	/BWC	G3	/BWB
49	B4	/BWD	B4	NC	49	L3	/BWD	L3	NC
50	B3	CE2	B3	CE2	50	B2	A8	B2	A8
51	A3	/CE1	A3	/CE1	51	E4	/CE1	E4	/CE1
52	A2	A7	A2	A7	52		A7		A7
53	B2	A6	B2	A6	53		A6		A6
54	C2	NC	C2	NC	54		NC		NC
55	B1	NC	B1	NC	55		NC		NC
56	A1	NC	A1	NC	56		NC		NC
57	C1	DQc0	C1	NC	57	D2	DQc0	D2	NC
58	D1	DQc1	D1	NC	58	E1	DQc1	E1	NC
59	E1	DQc2	E1	NC	59	F2	DQc2	F2	NC
60	F1	DQc6	F1	NC	60	G1	DQc6	G1	NC
61	G1	DQc7	G1	NC	61	H2	DQc7	H2	NC
62	D2	DQc3	D2	DQb8	62	D1	DQc3	D1	DQb8
63	E2	DQc4	E2	DQb7	63	E2	DQc4	E2	DQb7
64	F2	DQc5	F2	DQb6	64	G2	DQc5	G2	DQb6
65	G2	DQc8	G2	DQb5	65	H1	DQc8	H1	DQb5
66	H1	NC	H1	NC	66		NC		NC
67	H2	NC	H2	NC	67		NC		NC
68	H3	NC	H3	NC	68		NC		NC
69	J1	DQd8	J1	DQb4	69	K2	DQd8	K2	DQb4
70	K1	DQd7	K1	DQb3	70	L1	DQd7	L1	DQb3
71	L1	DQd5	L1	DQb2	71	M2	DQd5	M2	DQb2
72	M1	DQd4	M1	DQB1	72	N1	DQd4	N1	DQB1
73	J2	DQd6	J2	NC	73	K1	DQd6	K1	NC
74	K2	DQd3	K2	NC	74	L2	DQd3	L2	NC
75	L2	DQd2	L2	NC	75	N2	DQd2	N2	NC
76	M2	DQd1	M2	NC	76	P1	DQd1	P1	NC
77	N1	DQd0	N1	DQb0	77	P2	DQd0	P2	DQb0
78	N2	NC	N2	NC	78		NC		NC
79	P1	NC	P1	NC	79		NC		NC
80	R1	模式	R1	模式	80	R3	模式	R3	模式
81	R2	A4	R2	A4	81		A4		A4
82	P3	A3	P3	A3	82		A3		A3
83	R3	A2	R3	A2	83		A2		A2
84	P2	A5	P2	A5	84		A5		A5
85	R4	A19	R4	A19	85		A19		A19
86	P4	A20	P4	A20	86	T2	A20	T2	A20
87	N5	NC	N5	NC	87		NC		NC
88	P6	A1	P6	A1	88	N4	A1	N4	A1
89	R6	A0	R6	A0	89	P4	A0	P4	A0
90	*	诠释	*	诠释	90	*	诠释	*	诠释

订购信息

商业范围：0°C至70°C（VDD = 3.3V / VDDQ = 2.5V / 3.3V）

访问时间x36		X18	包	
6.5ns		IS61LF204836B-6.5TQ	IS61LF409618B-6.5TQ	100 TQFP
		IS61LF204836B-6.5B3	IS61LF409618B-6.5B3	165 PBGA，13x15mm
		IS61LF204836B-6.5M3	IS61LF409618B-6.5M3	165 PBGA，15x17mm
		IS61LF204836B-6.5B2	IS61LF409618B-6.5B2	119 PBGA
		IS61LF204836B-6.5TQL	IS61LF409618B-6.5TQL	100 TQFP，无铅
		IS61LF204836B-6.5B3L	IS61LF409618B-6.5B3L	165 PBGA，13x15mm，无铅
		IS61LF204836B-6.5M3L	IS61LF409618B-6.5M3L	165 PBGA，15x17mm，无铅
		IS61LF204836B-6.5B2L	IS61LF409618B-6.5B2L	119 PBGA，无铅
7.5ns		IS61LF204836B-7.5TQ	IS61LF409618B-7.5TQ	100 TQFP
		IS61LF204836B-7.5B3	IS61LF409618B-7.5B3	165 PBGA，13x15mm
		IS61LF204836B-7.5M3	IS61LF409618B-7.5M3	165 PBGA，15x17mm
		IS61LF204836B-7.5B2	IS61LF409618B-7.5B2	119 PBGA
		IS61LF204836B-7.5TQL	IS61LF409618B-7.5TQL	100 TQFP，无铅
		IS61LF204836B-7.5B3L	IS61LF409618B-7.5B3L	165 PBGA，13x15mm，无铅
		IS61LF204836B-7.5M3L	IS61LF409618B-7.5M3L	165 PBGA，15x17mm，无铅
		IS61LF204836B-7.5B2L	IS61LF409618B-7.5B2L	119 PBGA，无铅

商业范围：0°C至70°C（VDD = 2.5V / VDDQ = 2.5V）

访问时间x36	X18	包	
6.5ns	IS61VF204836B-6.5TQ	IS61VF409618B-6.5TQ	100 TQFP
	IS61VF204836B-6.5B3	IS61VF409618B-6.5B3	165 PBGA，13x15mm
	IS61VF204836B-6.5M3	IS61VF409618B-6.5M3	165 PBGA，15x17mm
	IS61VF204836B-6.5B2	IS61VF409618B-6.5B2	119 PBGA
	IS61VF204836B-6.5TQL	IS61VF409618B-6.5TQL	100 TQFP，无铅
	IS61VF204836B-6.5B3L	IS61VF409618B-6.5B3L	165 PBGA，13x15mm，无铅
	IS61VF204836B-6.5M3L	IS61VF409618B-6.5M3L	165 PBGA，15x17mm，无铅
	IS61VF204836B-6.5B2L	IS61VF409618B-6.5B2L	119 PBGA，无铅
7.5ns	IS61VF204836B-7.5TQ	IS61VF409618B-7.5TQ	100 TQFP
	IS61VF204836B-7.5B3	IS61VF409618B-7.5B3	165 PBGA，13x15mm
	IS61VF204836B-7.5M3	IS61VF409618B-7.5M3	165 PBGA，15x17mm
	IS61VF204836B-7.5B2	IS61VF409618B-7.5B2	119 PBGA
	IS61VF204836B-7.5TQL	IS61VF409618B-7.5TQL	100 TQFP，无铅
	IS61VF204836B-7.5B3L	IS61VF409618B-7.5B3L	165 PBGA，13x15mm，无铅
	IS61VF204836B-7.5M3L	IS61VF409618B-7.5M3L	165 PBGA，15x17mm，无铅
	IS61VF204836B-7.5B2L	IS61VF409618B-7.5B2L	119 PBGA，无铅

IS61LF204836B, IS61VF / VVF204836B

IS61LF409618B, IS61VF / VVF409618B

商业范围: 0°C至70°C (VDD = 1.8V / VDDQ = 1.8V)

访问时间 x36	X18	包	
7.5ns	IS61VVF204836B-7.5TQ	IS61VVF409618B-7.5TQ	100 TQFP
	IS61VVF204836B-7.5B3	IS61VVF409618B-7.5B3	165 PBGA，13x15mm
	IS61VVF204836B-7.5M3	IS61VVF409618B-7.5M3	165 PBGA，15x17mm
	IS61VVF204836B-7.5B2	IS61VVF409618B-7.5B2	119 PBGA
	IS61VVF204836B-7.5TQL	IS61VVF409618B-7.5TQL	100 TQFP，无铅
	IS61VVF204836B-7.5B3L	IS61VVF409618B-7.5B3L	165 PBGA，13x15mm，无铅
	IS61VVF204836B-7.5M3L	IS61VVF409618B-7.5M3L	165 PBGA，15x17mm，无铅
	IS61VVF204836B-7.5B2L	IS61VVF409618B-7.5B2L	119 PBGA，无铅

工业范围: -40°C至+ 85°C (VDD = 3.3V / VDDQ = 2.5V / 3.3V)

访问时间	X36	X18	包
6.5ns	IS61LF204836B-6.5TQI	IS61LF409618B-6.5TQI	100 TQFP
	IS61LF204836B-6.5B3I	IS61LF409618B-6.5B3I	165 PBGA, 13x15mm
	IS61LF204836B-6.5M3I	IS61LF409618B-6.5M3I	165 PBGA, 15x17mm
	IS61LF204836B-6.5B2I	IS61LF409618B-6.5B2I	119 PBGA
	IS61LF204836B-6.5TQLI	IS61LF409618B-6.5TQLI	100 TQFP, 无铅
	IS61LF204836B-6.5B3LI	IS61LF409618B-6.5B3LI	165 PBGA, 13x15mm, 无铅
	IS61LF204836B-6.5M3LI	IS61LF409618B-6.5M3LI	165 PBGA, 15x17mm, 无铅
	IS61LF204836B-6.5B2LI	IS61LF409618B-6.5B2LI	119 PBGA, 无铅
7.5ns	IS61LF204836B-7.5TQI	IS61LF409618B-7.5TQI	100 TQFP
	IS61LF204836B-7.5B3I	IS61LF409618B-7.5B3I	165 PBGA, 13x15mm
	IS61LF204836B-7.5M3I	IS61LF409618B-7.5M3I	165 PBGA, 15x17mm
	IS61LF204836B-7.5B2I	IS61LF409618B-7.5B2I	119 PBGA
	IS61LF204836B-7.5TQLI	IS61LF409618B-7.5TQLI	100 TQFP, 无铅
	IS61LF204836B-7.5B3LI	IS61LF409618B-7.5B3LI	165 PBGA, 13x15mm, 无铅
	IS61LF204836B-7.5M3LI	IS61LF409618B-7.5M3LI	165 PBGA, 15x17mm, 无铅
	IS61LF204836B-7.5B2LI	IS61LF409618B-7.5B2LI	119 PBGA, 无铅

工业范围: -40°C至+ 85°C (VDD = 2.5V / VDDQ = 2.5V)

访问时间	X36	X18	包
6.5ns	IS61VF204836B-6.5TQI	IS61VF409618B-6.5TQI	100 TQFP
	IS61VF204836B-6.5B3I	IS61VF409618B-6.5B3I	165 PBGA, 13x15mm
	IS61VF204836B-6.5M3I	IS61VF409618B-6.5M3I	165 PBGA, 15x17mm
	IS61VF204836B-6.5B2I	IS61VF409618B-6.5B2I	119 PBGA
	IS61VF204836B-6.5TQLI	IS61VF409618B-6.5TQLI	100 TQFP, 无铅
	IS61VF204836B-6.5B3LI	IS61VF409618B-6.5B3LI	165 PBGA, 13x15mm, 无铅
	IS61VF204836B-6.5M3LI	IS61VF409618B-6.5M3LI	165 PBGA, 15x17mm, 无铅
	IS61VF204836B-6.5B2LI	IS61VF409618B-6.5B2LI	119 PBGA, 无铅
7.5ns	IS61VF204836B-7.5TQI	IS61VF409618B-7.5TQI	100 TQFP
	IS61VF204836B-7.5B3I	IS61VF409618B-7.5B3I	165 PBGA, 13x15mm
	IS61VF204836B-7.5M3I	IS61VF409618B-7.5M3I	165 PBGA, 15x17mm
	IS61VF204836B-7.5B2I	IS61VF409618B-7.5B2I	119 PBGA
	IS61VF204836B-7.5TQLI	IS61VF409618B-7.5TQLI	100 TQFP, 无铅
	IS61VF204836B-7.5B3LI	IS61VF409618B-7.5B3LI	165 PBGA, 13x15mm, 无铅
	IS61VF204836B-7.5M3LI	IS61VF409618B-7.5M3LI	165 PBGA, 15x17mm, 无铅
	IS61VF204836B-7.5B2LI	IS61VF409618B-7.5B2LI	119 PBGA, 无铅

工业范围: -40°C至+ 85°C (VDD = 1.8V / VDDQ = 1.8V)

访问时间	X36	X18	包
7.5ns	IS61VVF204836B-7.5TQI	IS61VVF409618B-7.5TQI	100 TQFP
	IS61VVF204836B-7.5B3I	IS61VVF409618B-7.5B3I	165 PBGA, 13x15mm
	IS61VVF204836B-7.5M3I	IS61VVF409618B-7.5M3I	165 PBGA, 15x17mm
	IS61VVF204836B-7.5B2I	IS61VVF409618B-7.5B2I	119 PBGA
	IS61VVF204836B-7.5TQLI	IS61VVF409618B-7.5TQLI	100 TQFP, 无铅
	IS61VVF204836B-7.5B3LI	IS61VVF409618B-7.5B3LI	165 PBGA, 13x15mm, 无铅
	IS61VVF204836B-7.5M3LI	IS61VVF409618B-7.5M3LI	165 PBGA, 15x17mm, 无铅
	IS61VVF204836B-7.5B2LI	IS61VVF409618B-7.5B2LI	119 PBGA, 无铅

汽车 (A3) 范围: -40°C至+ 125°C (VDD = 3.3V / VDDQ = 2.5V / 3.3V)

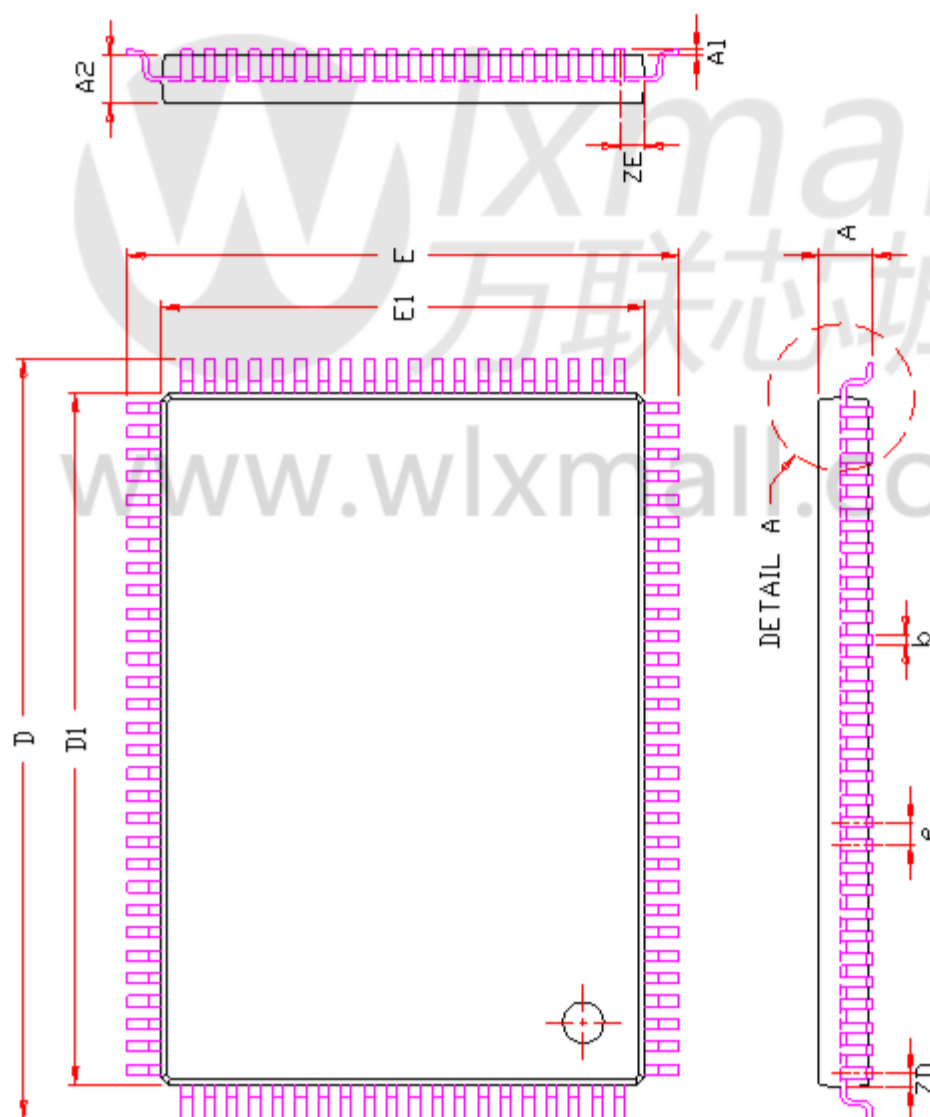
访问时间	X36	X18	包
请联系ISSI SRAM@issi.com			

汽车 (A3) 范围: -40°C至+ 125°C (VDD = 2.5V / VDDQ = 2.5V)

访问时间x36	X18	包
请联系ISSI SRAM@issi.com		

汽车 (A3) 范围: -40°C至+ 125°C (VDD = 1.8V / VDDQ = 1.8V)

访问时间x36	X18	包
请联系ISSI SRAM@issi.com		



NOTE:

1. CONTROLLING DIMENSION : MM
2. DIMENSION D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION.
3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION/INTRUSION.

SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	1.40		1.60	0.055		0.063
A1	0.05		0.15	0.002		0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
b	0.22	0.30	0.38	0.009	0.012	0.015
D	21.90	22.00	22.10	0.862	0.866	0.870
D1	19.90	20.00	20.10	0.783	0.787	0.791
E	15.90	16.00	16.10	0.626	0.630	0.634
E1	13.90	14.00	14.10	0.547	0.551	0.555
e	0.65	BSC.		0.026	BSC.	
L	0.45	0.60	0.75	0.018	0.024	0.030
L1	0.25	BSC.		0.010	BSC.	
ZD	0.575	REF.		0.023	REF.	
ZE	0.825	REF.		0.032	REF.	
θ	0	3.5°	7°	0	3.5°	7°

ISSI	TITLE	100CL14x20x1.4mm LQFP (Footprint : 2.0 mm) Package Outline	REV.	F	DATE	09/01/2009
-------------	-------	--	------	---	------	------------

