

特征

SNR = 75 dB, f_{IN} 15 MHz, 最高105 MSPS
SNR = 72 dB, f_{IN} 200 MHz, 最高105 MSPS
SFDR = 89 dBc, f_{IN} 70 MHz, 最高105 MSPS
100 dBFS多频SFDR
IF采样到200 MHz
采样抖动: 0.1 ps
1.5 W的功耗
差分模拟输入
引脚与AD6644兼容
二进制补码数字输出格式
3.3 V CMOS兼容
数据准备好输出锁存

应用

多通道, 多模式接收器
 基站基础设施
 AMPS, IS-136, CDMA, GSM, W-CDMA
 单通道数字接收机
 天线阵列处理
 通信仪器
 雷达, 红外成像
 仪表

一般描述

AD6645是一款高速, 高性能, 单芯片14位器件模数转换器(ADC)。所有必要的功能, 包括追踪和保持(T/H)和参考, 都包括在内。芯片提供完整的转换解决方案。AD6645提供CMOS兼容数字输出。这是第四个

在AD9042之前的宽带ADC系列中,

(12位, 41 MSPS), AD6640 (12位, 65 MSPS, IF采样), 和AD6644 (14位, 40 MSPS / 65 MSPS)。

AD6645是为多通道, 多模式接收器设计的是ADI公司SoftCell®收发器芯片组的一部分。

AD6645保持100 dB多音频, 无杂散动态范围(SFDR)通过第二奈奎斯特频带。这一突破性能减轻了多模数字的负担。接收器(软件无线电), 通常受到ADC的限制。噪音表现是例外;典型的信噪比(SNR)通过第一奈奎斯特频带是74.5分贝。

AD6645采用ADI公司超快速构建互补双极(XFCB)工艺, 并采用创新, 多通道电路架构。单位是热可用增强型52引脚PowerQuad 4 (LQFP_PQ4) 和52引脚裸露焊盘(TQFP_EP)封装指定从-40°C到+80°C (80 MSPS) 和-10°C至+85°C (105 MSPS)。

产品聚焦

1. 如果采样, AD6645保持卓越的交流性能高达200 MHz的输入频率, 是合适的用于多载波3G宽带蜂窝IF采样接收机。
2. 引脚兼容性: ADC具有相同的占位面积。引脚布局与AD6644 14位, 40 MSPS / 65 MSPS ADC一样。
3. SFDR性能和过采样。多音多频SFDR性能可以降低100 dBFS的要求。高端射频元件, 并允许使用接收信号处理器, 如AD6620, AD6624 / AD6624A, 或AD6636。

功能框图

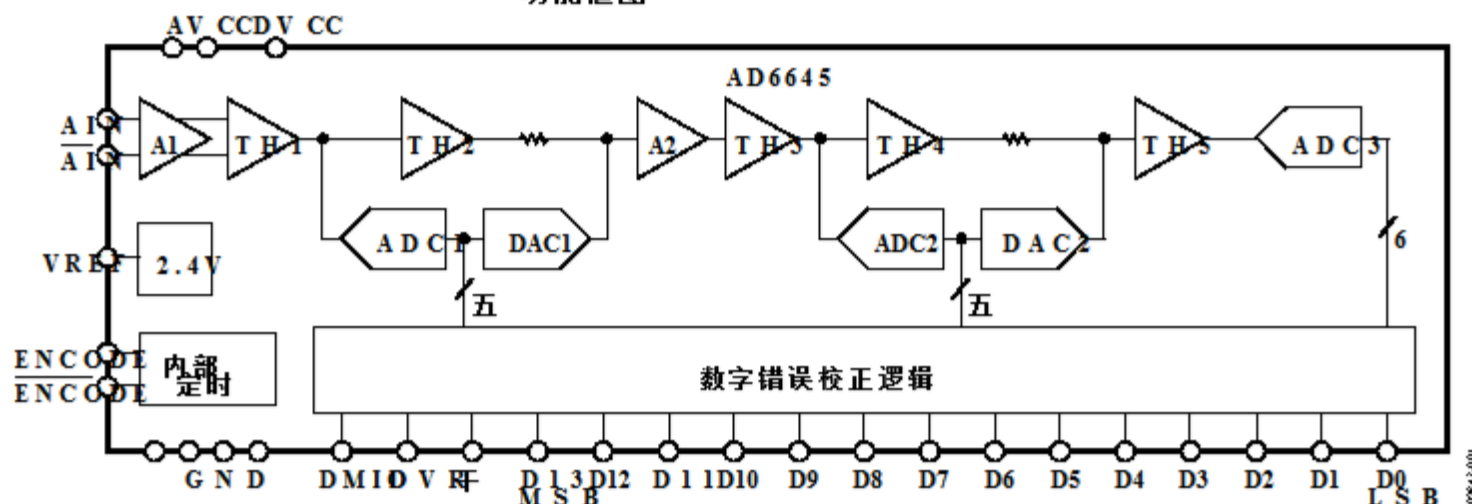


图1.

教师D

ADI公司提供的信息被认为是准确和可靠的, 但是, 没有使用模拟装置所承担的责任, 以及其他专利权的损害。ADI公司的任何专利或专利权均以暗示或其他方式授予许可。Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 电话: 781.329.4700
 传真: 781.461.3100
 2002-2008 Analog Devices, Inc. 保留所有权利。
www.analog.com

目录

特征	1	考试等级说明	7
应用	1	ESD警告	7
一般说明	1	引脚配置和功能描述	8
产品亮点	1	典型的性能特征	9
功能框图	1	等效电路	14
修订记录	2	术语	15
规格	3	操作理论	17
直流规格	3	应用 AD6645	17
数字规格	4	布局信息	19
交流规格	4	抖动考虑	19
切换规格	5	外形尺寸	24
绝对最大额定值	7	订购指南	24
热阻	7		

修订记录

10月8日-REV. C到Rev. D	7/03-REV. A到Rev. B.
增加了TQFP_EP包裹	在整个
更名为热特性部分热阻	标题变更
部分	功能变更
新增了表6;按顺序重新编号	产品描述变更
移动等效电路部分	规格变更
移动术语部分	绝对最大额定值的变更
表9的变更	订购指南的更改
更新了外形尺寸	更新了外形尺寸
订购指南的更改	
12月6日-REV. B至Rev.C	6月2日-REV. 0至Rev. A.
更新格式	更改为DC规格
规格变更	
抖动考虑因素的变化	
表8材料清单的变更	
图43，评估板示意图的变化	
图44和图46的变化	
更新了外形尺寸	
订购指南的更改	

规格

直流规格

AV CC = 5V, DV CC = 3.3V; T MIN 和 T MAX 在额定速度等级, 除非另有说明.

表格 1.

参数	温度	测试级别	AD6645ASQ-80 / AD6645ASV-80			AD6645ASQ-105 / AD6645ASV-105			单元
			敏	典型	马克斯	敏	典型	马克斯	
解析度			14			14			位
准确性			保证			保证			
无失码	充分	II							
偏移错误	充分	II	-10	+1.2	+10	-10	+1.2	+10	毫伏
增益错误	充分	II	-10	0	+10	-10	0	+10	% FS
微分非线性 (DNL)	充分	II	-1.0	±0.25	+1.5	-1.0	±0.5	+1.5	LSB
积分非线性 (INL)	充分	V	±0.5			±1.5			LSB
温度漂移									
偏移错误	充分	V	1.5			1.5			PPM/°C
增益错误	充分	V	48			48			PPM/°C
电源拒绝率 (PSRR)	25°C下	V	±1.0			±1.0			mV/V的
参考输出 (VREF) 1	充分	V	2.4			2.4			V
模拟输入 (AIN, AIN)									
差分输入电压范围	充分	V	2.2			2.2			V pp
差分输入电阻	充分	V	1			1			千欧
差分输入电容	25°C下		1.5			1.5			pF的
电源									
电源电压									
AV CC	充分	II	4.75	5	5.25	4.75	5	5.25	V
DV CC	充分	II	3.0	3.3	3.6	3.0	3.3	3.6	V
电源电流									
I _{AV CC} (AV CC = 5.0 V)	充分	II	275			275	320		嘛
I _{DV CC} (DV CC = 3.3 V)	充分	II	32			32	45		嘛
上升时间 ²									
AV CC	充分	IV	250			5	250		女士
能量消耗	充分	II	1.5			1.5	1.75		w ^

1 VREF用于在需要直流耦合模拟输入时设置差分放大器 (如AD8138) 的共模偏移. VREF应该是如果用于驱动附加电路功能, 则缓冲.

2 指定用于具有线性上升时间特性的直流电源.

AD6645

数字规格

AV CC = 5V, DV CC = 3.3V; T MIN 和T MAX 在额定速度等级, 除非另有说明.

表2

参数	温度	测试水平	AD6645ASQ-80 / AD6645ASV-80	AD6645ASQ-105 / AD6645ASV-105	单位
编码输入 (ENCODE, ENCODE)			敏 典型 马克斯	敏 典型 马克斯	单位
差分输入电压 ¹	充分	IV	0.4	0.4	V pp
差分输入电阻	25°C下	V	10	10	千欧
差分输入电容	25°C下	V	2.5	2.5	pF
逻辑输出 (D13到D0, 干, OVR)					
逻辑兼容性			CMOS	CMOS	
逻辑1电压 (DV CC = 3.3 V) ²	充分	II	2.85	2.85	V
逻辑0电压 (DV CC = 3.3 V) ²	充分	II	0.2	0.2	V
输出编码			二补	二补	
DMID	充分	V	DV CC / 2	DV CC / 2	V

1 通过驱动ENCODE和ENCODE差分测试所有交流规格.
2 数字输出逻辑电平: DV CC = 3.3 V, C LOAD = 10 pF. 容性负载 > 10 pF 会降低性能.

交流规格

所有交流规格都通过驱动ENCODE和ENCODE进行测试. AV CC = 5V, DV CC = 3.3V; ENCODE, ENCODE, T MIN 和 T MAX 在额定速度等级, 除非另有说明.

表3.

参数	温度	测试水平	AD6645ASQ-80 / AD6645ASV-80	AD6645ASQ-105 / AD6645ASV-105	单位	条件
SNR			敏 典型 马克斯	敏 典型 马克斯	单位	
模拟输入 @ -1 dBFS	25°C下	V	75.0	75.0	Db	在15.5 MHz
	充分	II	72.5 74.5		Db	在30.5 MHz
	25°C下	一世		72.5 74.5	Db	在37.7 MHz
	充分	II	72.0 73.5	72.0 73.5	Db	在70.0MHz
	25°C下	V	73.0	73.0	Db	在150.0 MHz
	25°C下	V	72.0	72.0	Db	在200.0 MHz
SINAD						
模拟输入 @ -1 dBFS	25°C下	V	75.0	75.0	Db	在15.5 MHz
	充分	II	72.5 74.5		Db	在30.5 MHz
	25°C下	一世		72.5 74.5	Db	在37.7 MHz
	充分	V	73.0	73.0	Db	在70.0MHz
	25°C下	V	68.5	67.5	Db	在150.0 MHz
	25°C下	V	62.5	62.5	Db	在200.0 MHz
最恶劣的 (第二或第三)						
模拟输入 @ -1 dBFS	25°C下	V	93.0	93.1	dBc的	在15.5 MHz
	充分	II	85.0 93.0		dBc的	在30.5 MHz
	25°C下	一世		85.0 93.0	dBc的	在37.7 MHz
	充分	V	89.0	87.0	dBc的	在70.0MHz
	25°C下	V	70.0	70.0	dBc的	在150.0 MHz
	25°C下	V	63.5	63.5	dBc的	在200.0 MHz

参数	温度	测试水平	AD6645ASQ-80 / AD6645ASV-80	AD6645ASQ-105 / AD6645ASV-105	单元	条件
最恶劣的（第四或更高） 模拟输入 @ -1 dBFS	25°C下 充分	V II	96.0 85.0 95.0	96.0 86.0 95.0	dBc的 dBc的	在15.5 MHz 在30.5 MHz
	25°C下 充分	一世 V	90.0 90.0	90.0 90.0	dBc的 dBc的	在37.7 MHz 在70.0MHz
	25°C下 充分	V	90.0	90.0	dBc的	在150.0 MHz
	25°C下 充分	V	88.0	88.0	dBc的	在200.0 MHz
双色SFDR	25°C下 充分	V V	100 100	98.0 98.0	dBFS的 dBFS的	在30.5MHz1,2 在55.0MHz1,3
	25°C下 充分	V		98.0	dBFS的	在70.0MHz1,4
双音IMD排斥2, 3 F1, F2 @ -7 dBFS	25°C下 充分	V	90	90	dBc的	
模拟输入带宽	25°C下 充分	V	270	270	兆赫	

1 模拟输入信号功率从-10 dBFS扫描到-100 dBFS.

2 F1 = 30.5MHz, F2 = 31.5MHz.

3 F1 = 55.25MHz, F2 = 56.25MHz.

4 F1 = 69.1MHz, F2 = 71.1MHz.

开关规格

AV CC = 5V, DV CC = 3.3V; 在额定速度等级下 编码, 解码, T MIN 和T MAX, 除非另有说明.

表4

参数	符号	温度	测试水平	AD6645ASQ-80 / AD6645ASV-80	AD6645ASQ-105 / AD6645ASV-105	单元
编码输入参数1						
最大转换率		充分	II	80	105	MSPS
最低转换率		充分	IV	三十	三十	MSPS
ENCODE脉冲宽度高, t ENCH2		充分	IV	5.625	4.286	NS
ENCODE脉冲宽度低, t ENCL2		充分	V	6.25	4.75	NS
		充分	IV	5.625	4.286	NS
		充分	V	6.25	4.75	NS
ENCODE Period1	t ENC	充分	V	12.5	9.5	NS
ENCODE / 数据就绪						
ENCODE上升到数据就绪下降	DR	充分	V	1.0 2.0 3.1	1.0 2.0 3.1	NS
编码上升到数据就绪上升	t E_DR	充分	V	t ENCH + t DR	t ENCH + t DR	NS
50%的工作周期		充分	V	7.3 8.3 9.4	5.7 6.75 7.9	NS
编码/数据 (D13: 0), OVR						
编码到数据下降	t E_FL	充分	V	2.4 4.7 7	2.4 4.7 7	NS
编码到数据上升低3	t E_RL	充分	V	1.4 3.0 4.7	1.4 3.0 4.7	NS
编码到数据延迟3 (保持时间)	t H_E	充分	V	1.4 3.0 4.7	1.4 3.0 4.7	NS
编码到数据延迟 (建立时间)	t S_E	充分	V	t ENC - t E_FL (最大)	t ENC - t E_FL (最大)	NS
				t ENC - t E_FL (典型值)	t ENC - t E_FL (典型值)	NS
				t ENC - t E_FL (min)	t ENC - t E_FL (min)	NS
50%的工作周期		充分	V	5.3 7.6 10.0	2.3 4.8 7	NS

AD6645

参数	符号	温度	测试水平	AD6645ASQ-80 / AD6645ASV-80			AD6645ASQ-105 / AD6645ASV-105			单元
				敏	典型	马克斯	敏	典型	马克斯	
DATA-READY (DRY4) / DATA (D13: 0), OVR										
数据就绪到数据延迟 (保持时间)	t_{H_DR}	充分	V		注55			注55		NS
50%的工作周期		充分	V	6.6	7.2	7.9	5.1	5.7	6.4	
数据就绪到数据延迟 (建立时间)	t_{S_DR}	充分	V		注55			注55		NS
50%的工作周期		充分	V	2.1	3.6	5.1	0.6	2.1	3.5	
孔径延迟	t_A	25°C下	V		-500			-500		PS
孔径不确定性 (抖动)	t_J	25°C下	V		0.1			0.1		ps rms

- 1 几个定时参数是 t_{ENC} 和 t_{ENCH} 的函数。
2 几个定时参数是 t_{ENCL} 和 t_{ENCH} 的函数。
3 编码到数据延迟 (保持时间) 是通过ADC的绝对最小传播延迟, $t_{E_RL} = t_{H_E}$ 。
4 DRY是编码时钟的反转和延迟版本。时钟占空比的任何改变都会相应地改变DRY的占空比。
5 数据就绪到数据延迟 (t_{H_DR} 和 t_{S_DR}) 是相对于额定速度等级计算的, 取决于 t_{ENC} 和占空比。

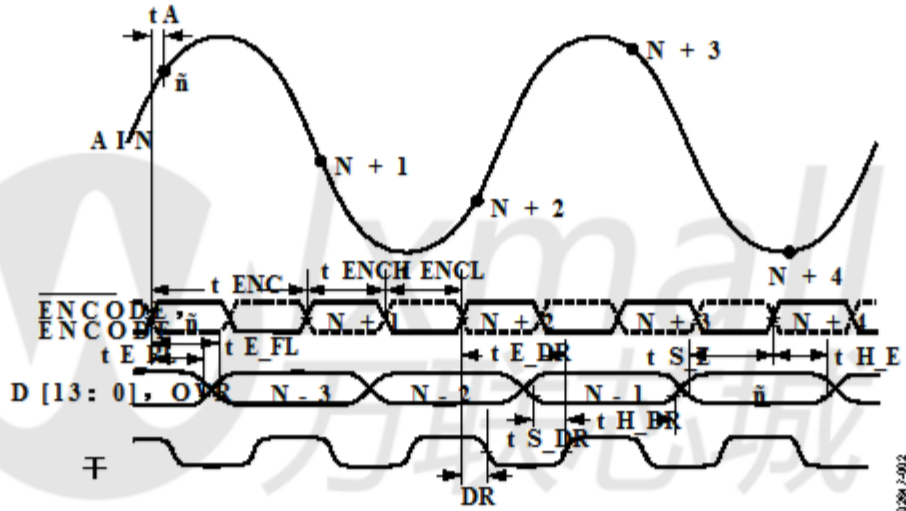


图2.时序图

www.wlxml.com

绝对最大额定值

表5

参数	评分
电动	
AV CC电压	0 V至7 V
DV CC电压	0 V至7 V
模拟输入电压	0 V到AV CC
模拟输入电流	25毫安
数字输入电压	0 V到AV CC
数字输出电流	4毫安
环境的	
工作温度范围（环境）	
AD6645-80	-40°C至+ 85°C
AD6645-105	-10°C至+ 85°C
最高结温	150°C
引线温度（焊接，10秒）	300°C
存储温度范围（环境）	-65°C至+ 150°C

强调超出绝对最大额定值列出的那些可能会导致设备永久性损坏。这是一个压力只有评级。在这些或任何设备的功能操作其他情况超出业务指标。不是暗示本规范的一部分。接触绝对延长期限的最大额定条件可能会影响设备可靠性。

热阻

AD6645ASVZ，52引脚TQFP_EP（SV-52-1）的散热片，封装必须焊接到PCB GND平面以满足热阻要求规格。

表6.热特性

包装类型	评分
52引脚TQFP_EP	
θ_{JA} （0米/秒气流）1,2,3	23°C / W，焊接散热器
θ_{JMA} （1.0米/秒气流）2, 3, 14 ¹ 5C/ W，焊接散热器	
$\theta_{JC6,7}$	2°C / W，焊接散热器
52引脚LQFP_PQ4	
θ_{JA} （0米/秒气流）1,2,3	30°C / W，未焊接的散热器
θ_{JMA} （1.0米/秒气流）2, 3, 14 ¹ 5C/ W，未焊接的散热片	
θ_{JA} （0米/秒气流）1,2,3	23°C / W，焊接散热器
θ_{JMA} （1.0米/秒气流）2, 3, 14 ¹ 5C/ W，焊接散热器	
$\theta_{JC6,7}$	2°C / W

1 根据JEDEC JESD51-2（散热片焊接到PCB）。

2 个 252P JEDEC测试板。

3 的 值 θ_{JA} 提供封装比较和PCB设计注意事项。

4 根据JEDEC JESD51-6（散热片焊接到PCB）。

5 气流增加散热，有效降低 θ_{JA} 。而且，更多与金属包装直接接触的金属轨迹，通孔，地面和电源平面， θ_{JA} 越小。

6 每MIL-STD-883，方法1012.1。

7 的 值 θ_{JA} 提供封装比较和PCB设计当需要外部散热器时需要考虑的因素。

提供 θ_{JA} 的 值 用于封装比较和PCB设计注意事项。 θ_{JA} 可以用于一阶由方程 近似 T_J

$$T_J = T_A + (\theta_{JA} \times PD)$$

哪里：

T_A 是环境温度（°C）。

PD 是功耗（W）。

测试水平的说明

一世. 100% 生产测试。

II. 在25°C下100% 生产测试，并通过设计保证并在极端温度下进行表征。

III. 只进行样品测试。

IV. 参数由设计和表征保证测试。

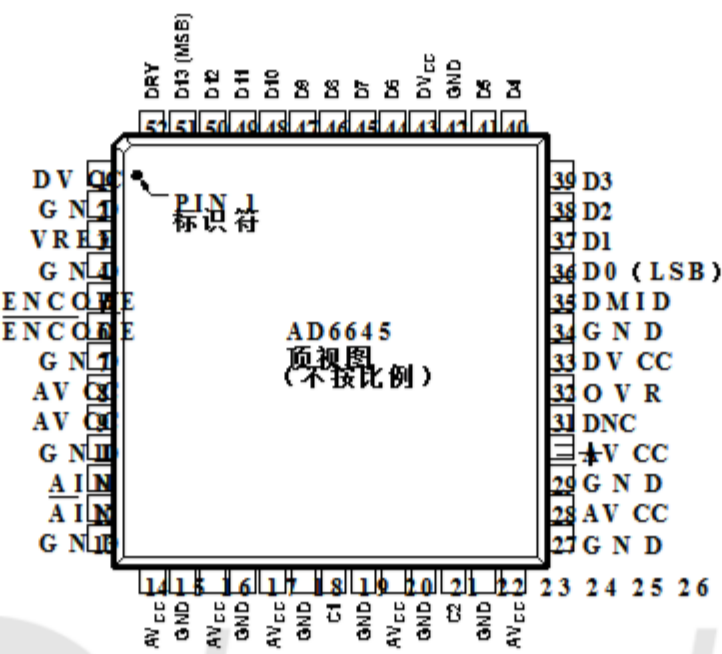
V. 参数只是一个典型值。

ESD警告



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

引脚配置和功能说明



笔记
1. DNC = 不连接。
2. 暴露的垫, 将暴露的焊盘连接到 GND。

图3. 引脚配置

表7. 引脚功能描述

针号	助记符	描述
1, 33, 43	DV CC	仅3.3 V电源 (数字) 输出级。
2, 4, 7, 10, 13, 15, 17, 19, 21, 27, 29, 34, 42	GND 25,	地面。
3	VREF	2.4 V参考. 用0.1μF微波片式电容旁路至地。
五	ENCODE	编码输入. 转换在上升沿启动。
6	ENCODE	ENCODE, 差分输入的补充。
8, 9, 14, 16, 18, 22, 26, 28, 30	AV CC	5 V模拟电源。
11	AIN	模拟输入。
12	AIN	AIN, 差分模拟输入的补充。
20	C1	内部参考电压. 用0.1μF的片式电容旁路至地。
24	C2	内部参考电压. 用0.1μF的片式电容旁路至地。
31	DNC	不要连接这个引脚。
32	OVR	超量程位. 逻辑高电平表示模拟输入超过±FS。
35	DMID	输出数据电压中点. 大约等于 (DV CC) / 2。
36	D0 (LSB)	数字输出位 (最低有效位); 两个补码。
37至41, 44至50	D1至D5, D6至D12	数字输出位在两个补码。
51	D13 (MSB)	数字输出位 (最高有效位); 两个补码。
52	干	数据就绪输出。
53 (EPAD)	裸露浆 (EPAD)	裸露的垫. 将裸露的焊盘连接到GND。

典型的性能特征

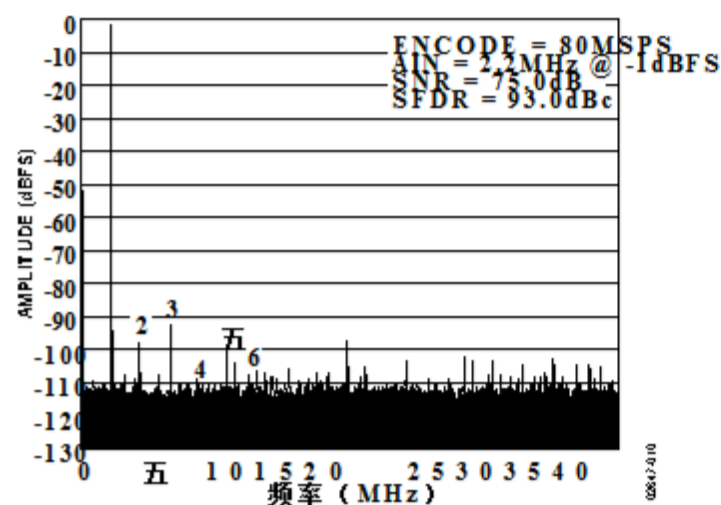


图4. 2.2 MHz单音

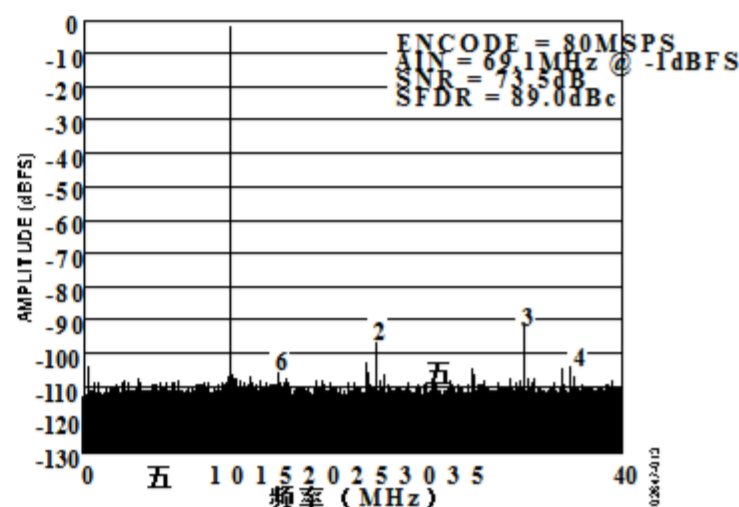


图7.单音@ 69.1 MHz

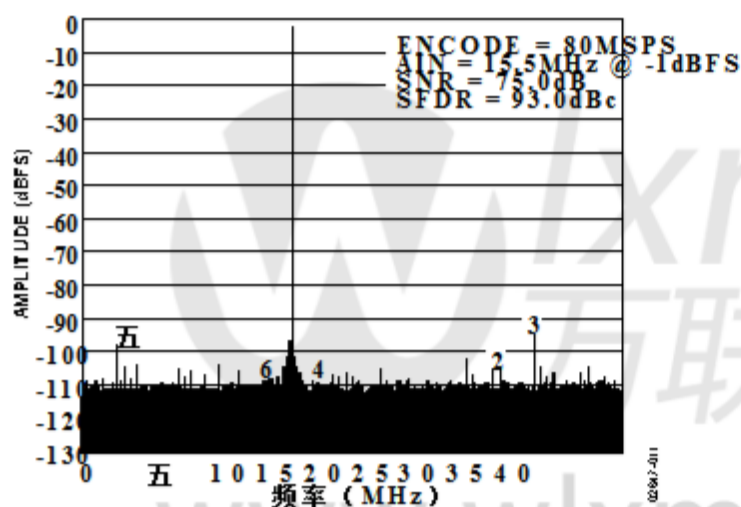


图5. 15.5 MHz的单音

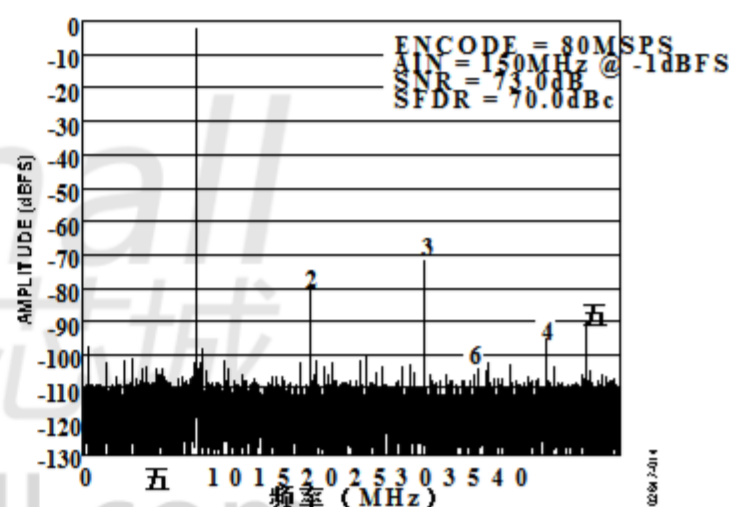


图8. @ 150 MHz的单音

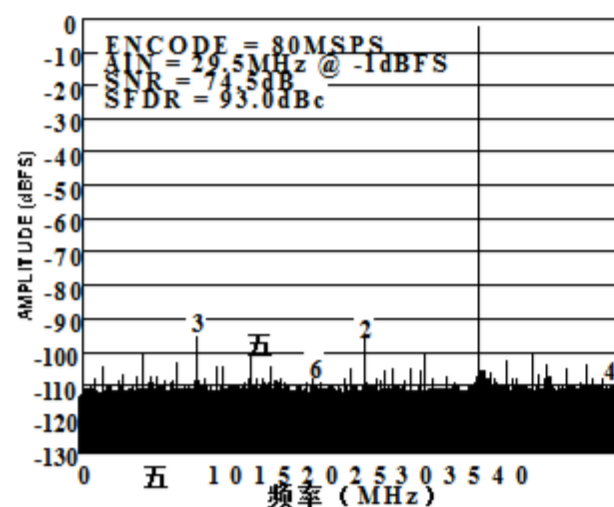


图6. 29.5 MHz单音

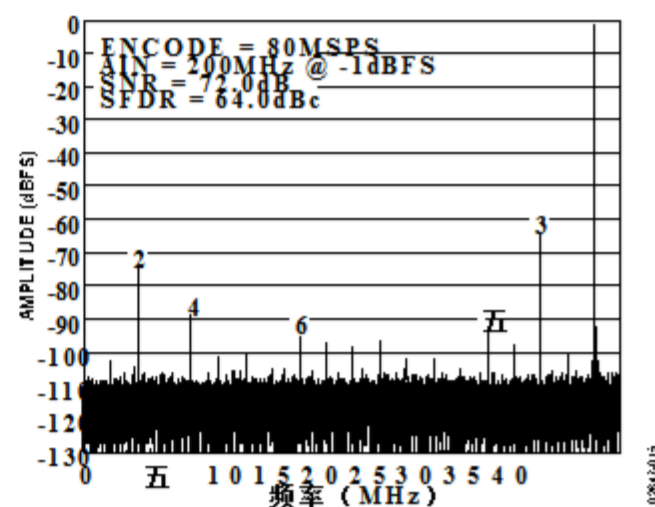


图9. @ 200 MHz的单音

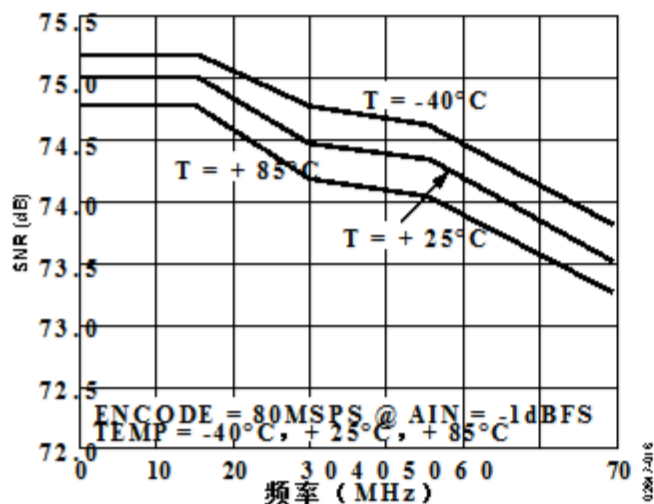


图10.信噪比 (SNR) 与频率的关系

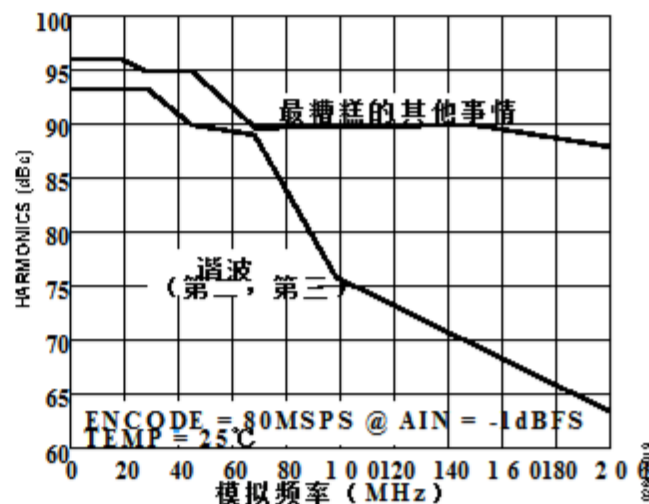


图13.谐波与模拟频率 (IF)

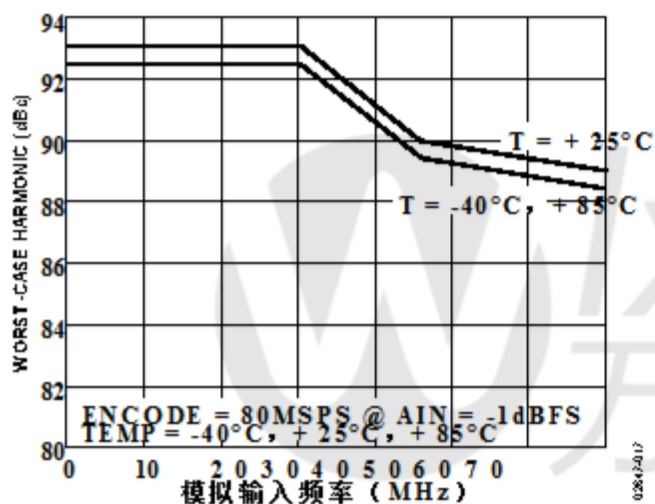


图11.最坏情况谐波与模拟输入频率

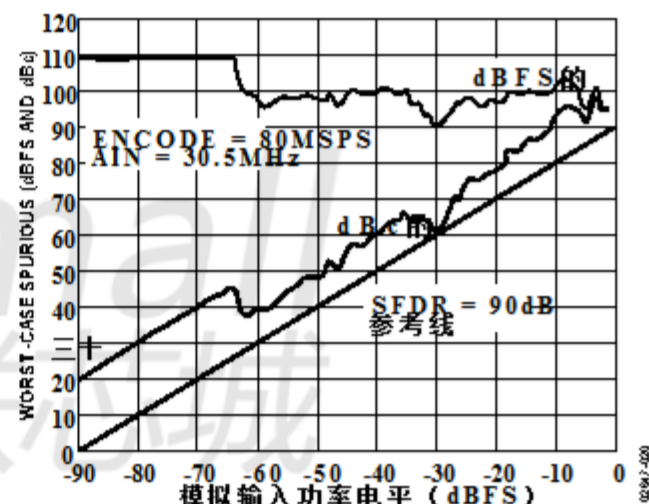


图14.单频SFDR @ 30.5 MHz

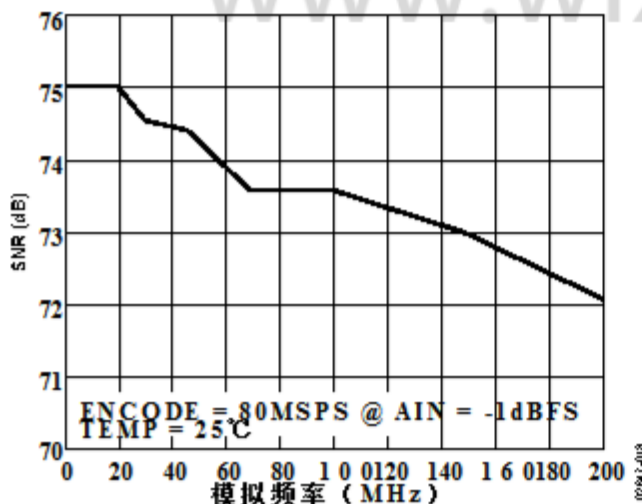


图12.信噪比 (SNR) 与模拟频率 (IF)

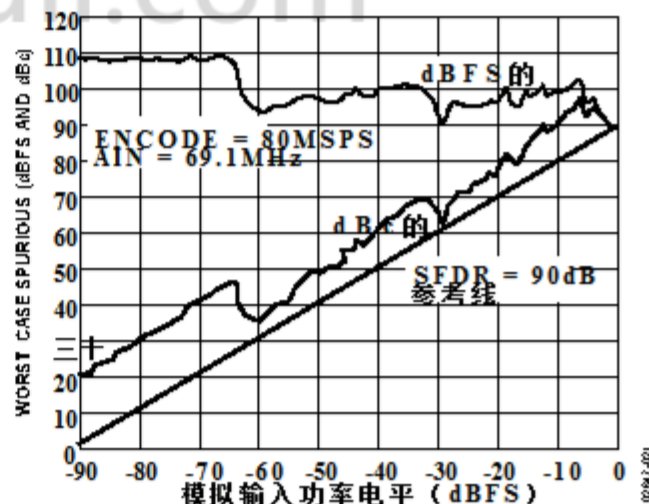


图15.单音SFDR @ 69.1 MHz

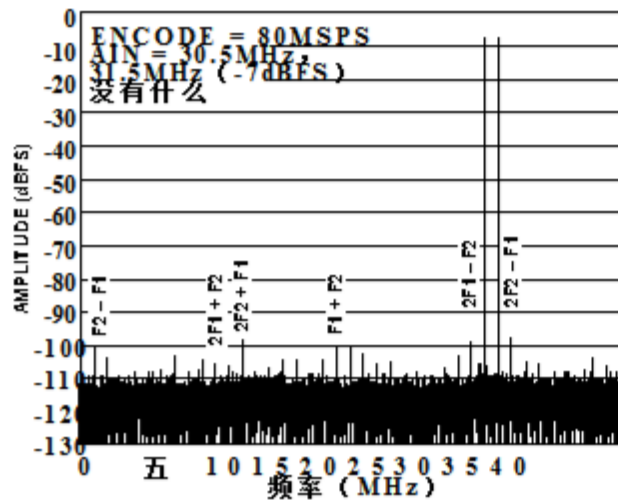


图16. 30.5 MHz和31.5 MHz的双音SFDR

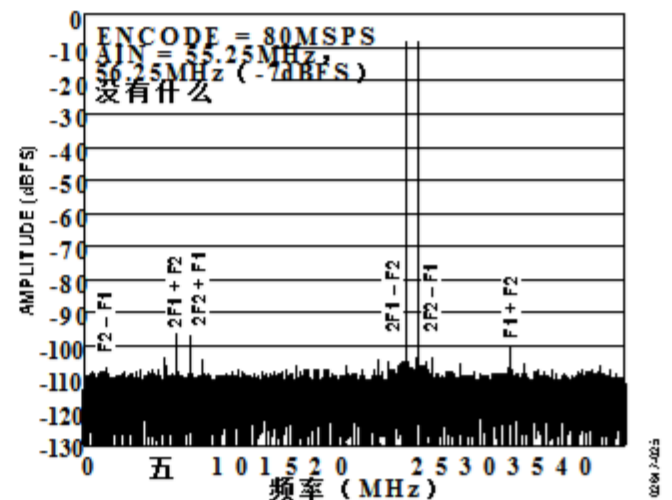


图19. 55.25 MHz和56.25 MHz的双音SFDR

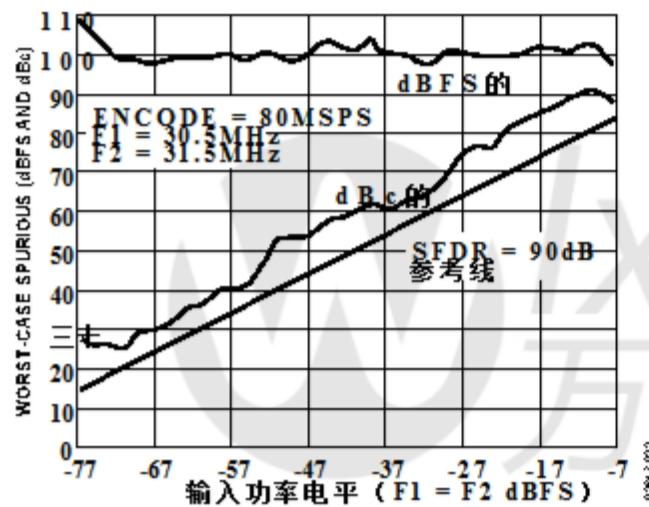


图17. 30.5 MHz和31.5 MHz的双音SFDR

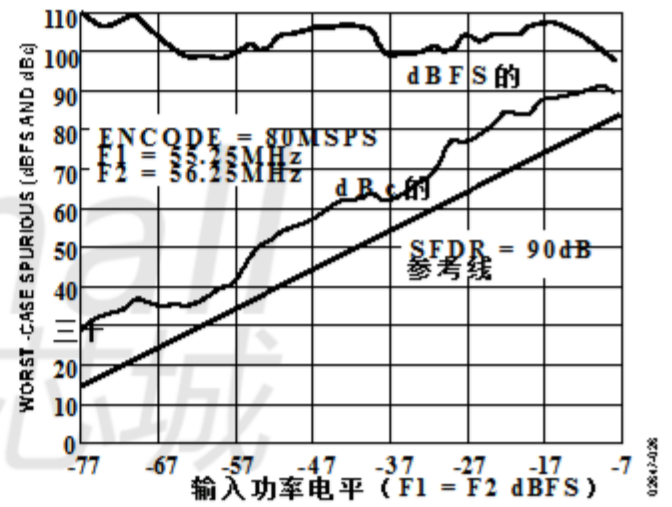


图20. 55.25 MHz和56.25 MHz的双音SFDR

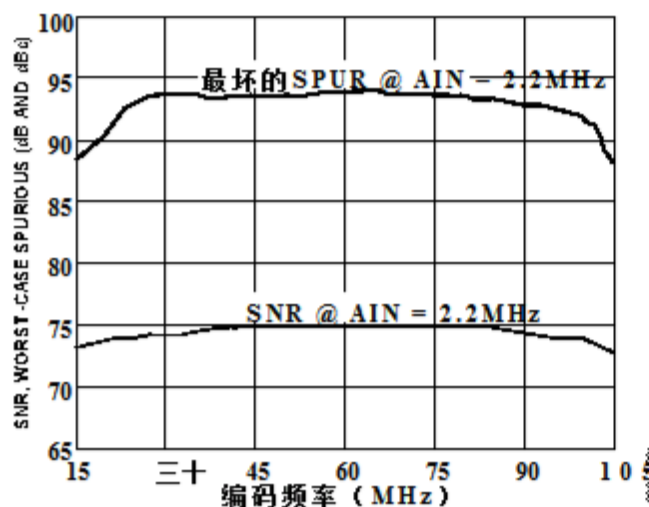


图18. SNR, 最坏情况寄生与编码@ 2.2 MHz

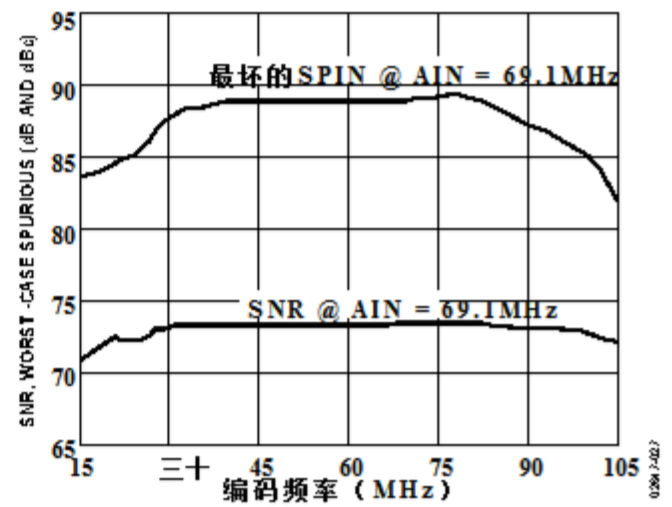


图21. SNR, 最坏情况寄生与编码@ 69.1 MHz

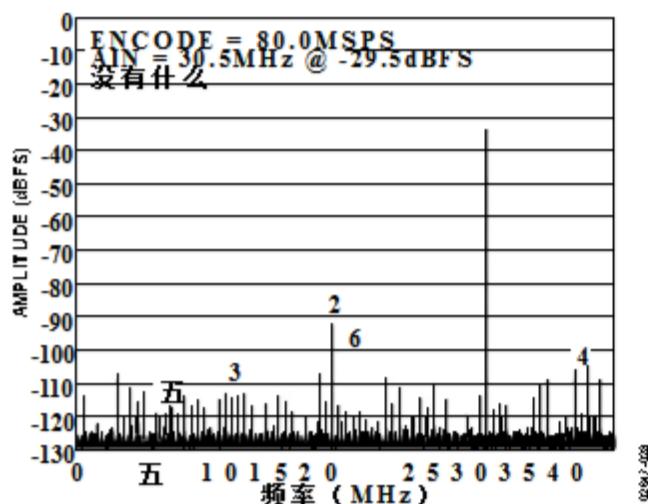


图22.没有抖动的1 M FFT采样

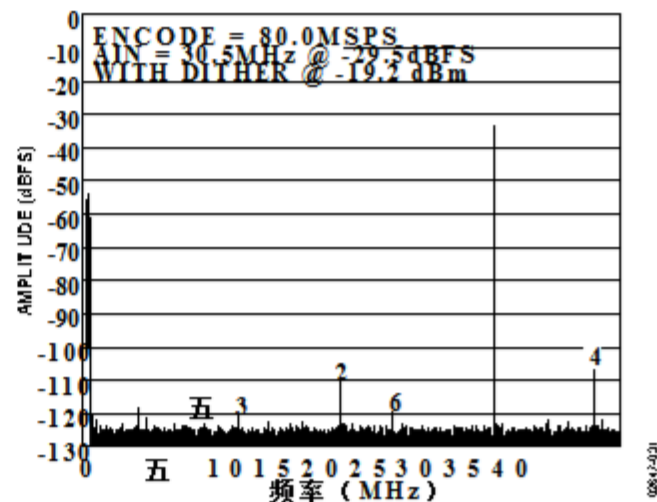


图25.具有抖动的1 M示例FFT

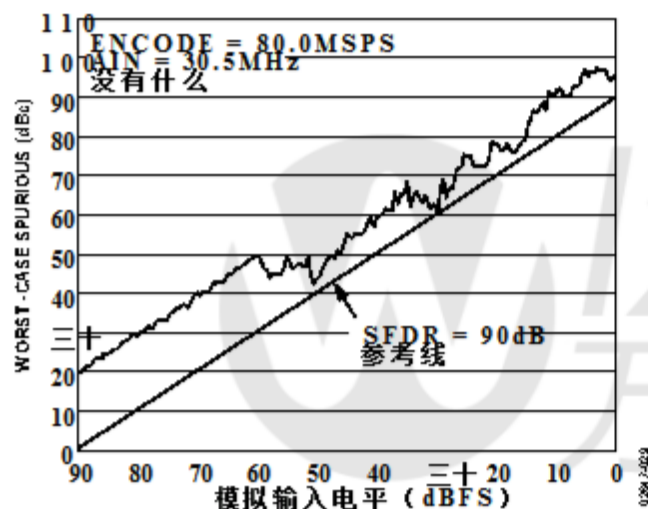


图23.无抖动的SFDR

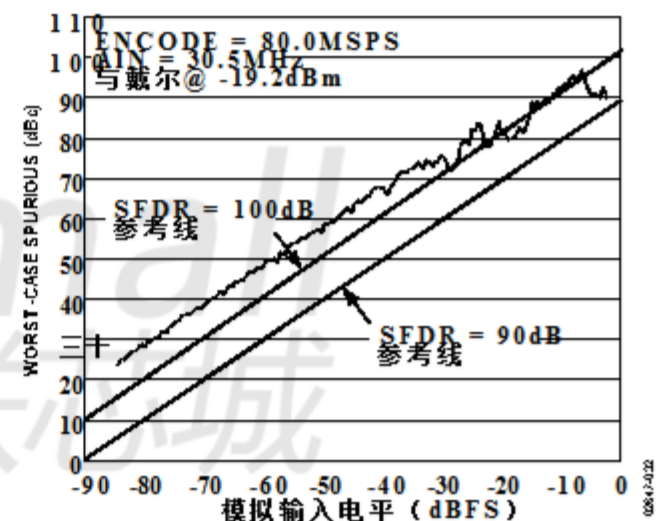


图26.具有抖动的SFDR

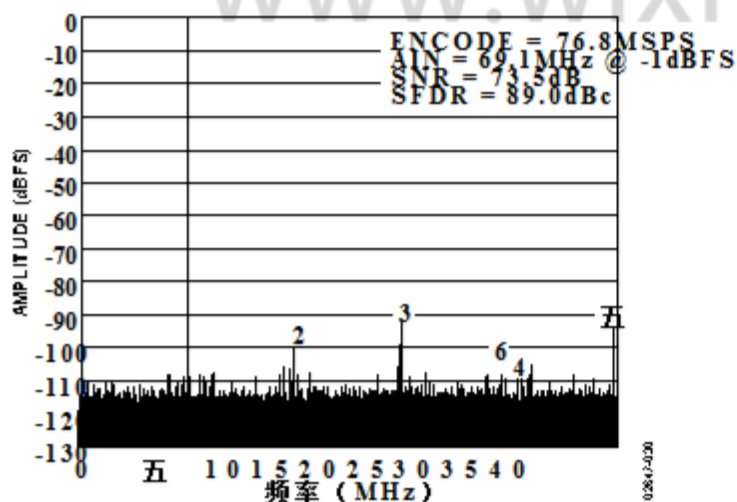


图24.单声道@ 69.1 MHz, 编码= 76.8 MSPS

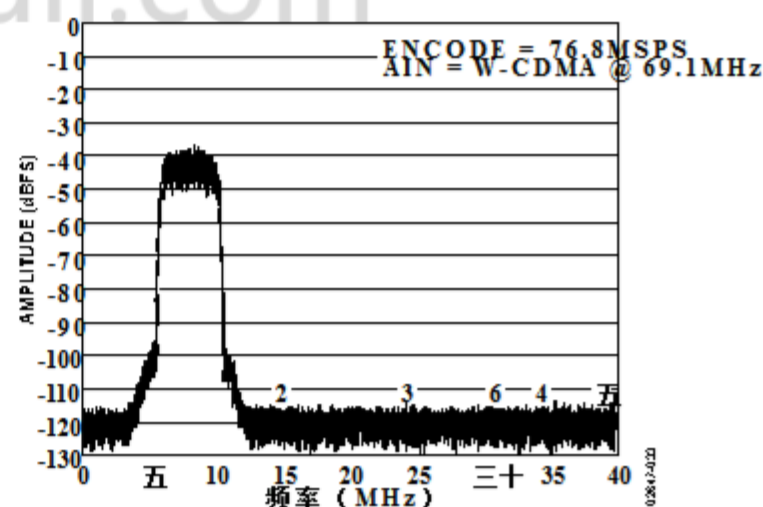


图27.在69.1 MHz的W-CDMA音频, 编码= 76.8 MSPS

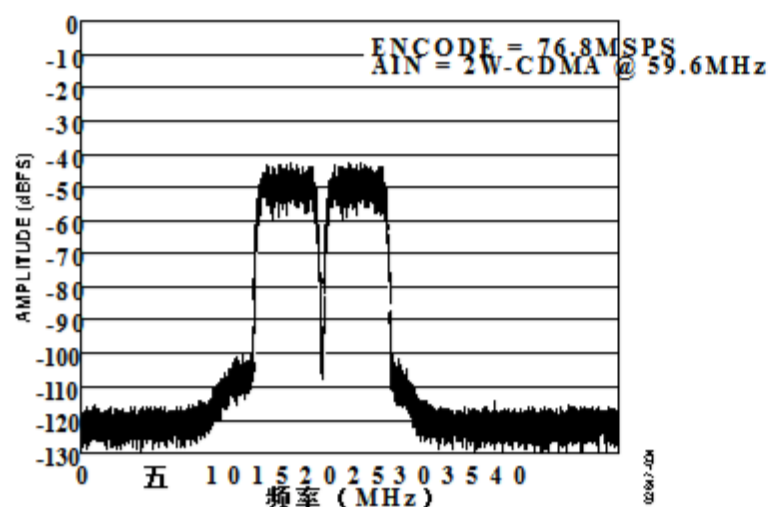


图28. 59.6 MHz两个W-CDMA载波, 编码= 76.8 MSPS

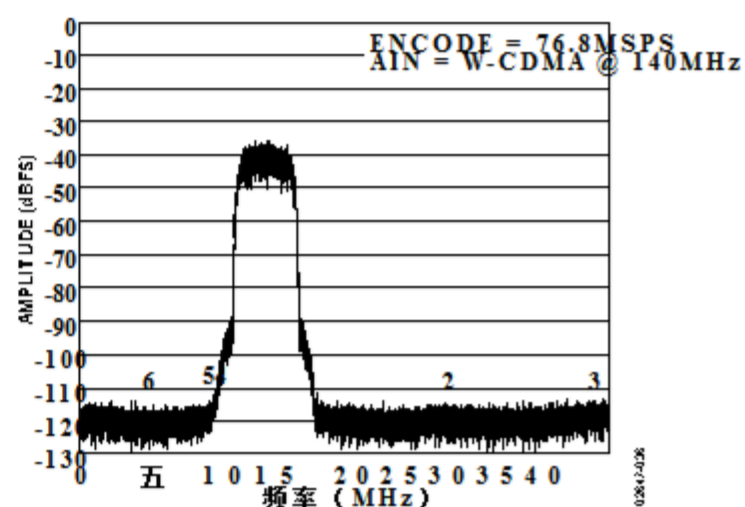


图30. 140 MHz的W-CDMA音调, 编码= 76.8 MSPS

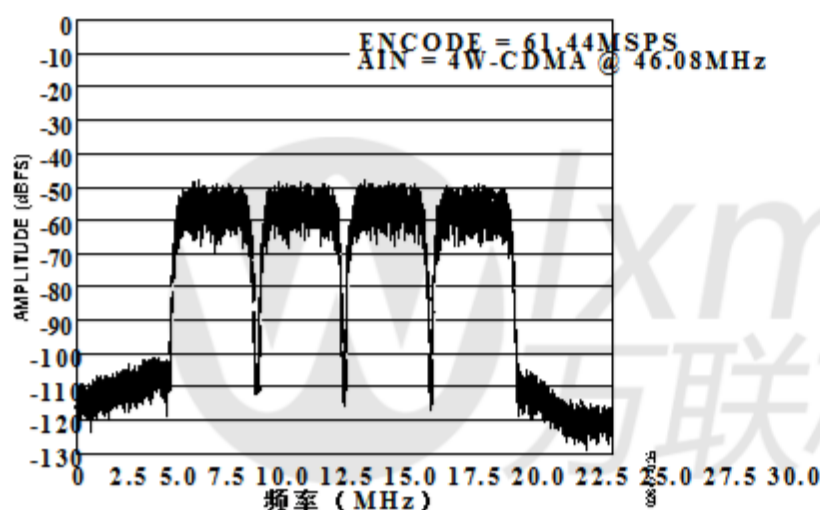


图29. 46.08 MHz四个W-CDMA载波, 编码= 61.44 MSPS

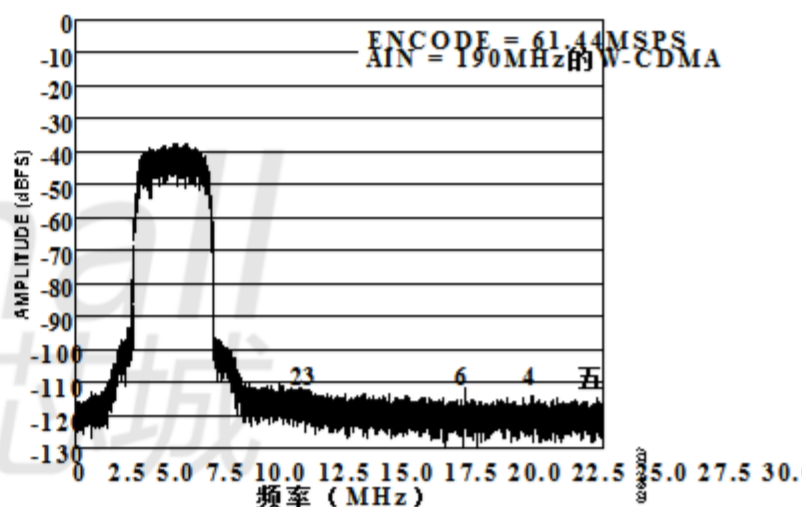


图31. 190 MHz时的W-CDMA音调, 编码= 61.44 MSPS

等效电路

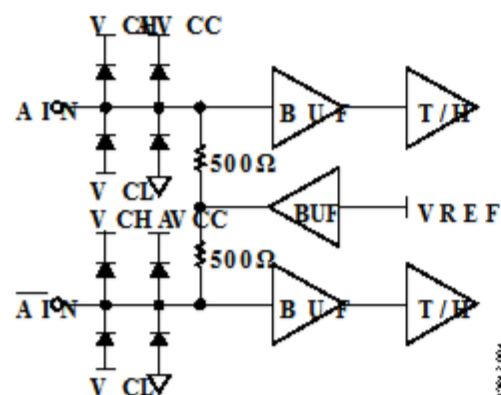


图32.模拟输入级

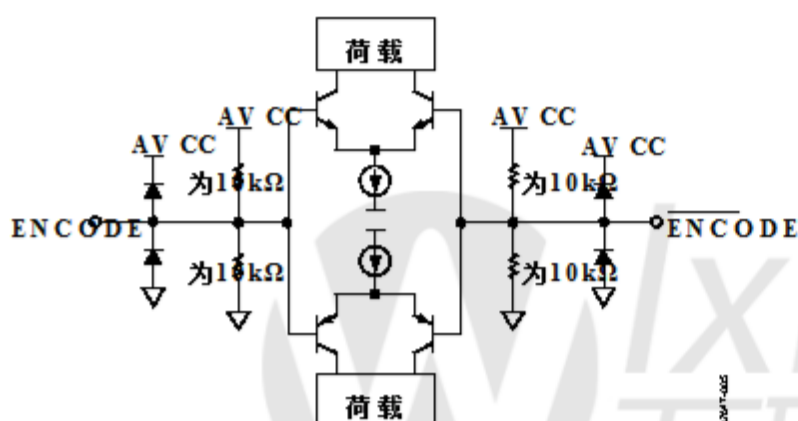


图33.编码输入

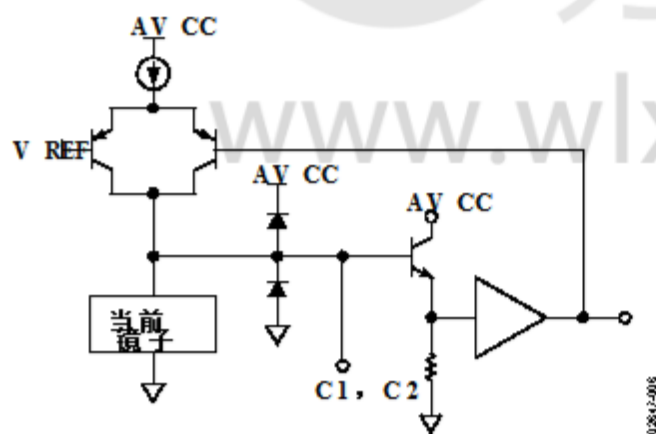


图34.补偿引脚C1或C2

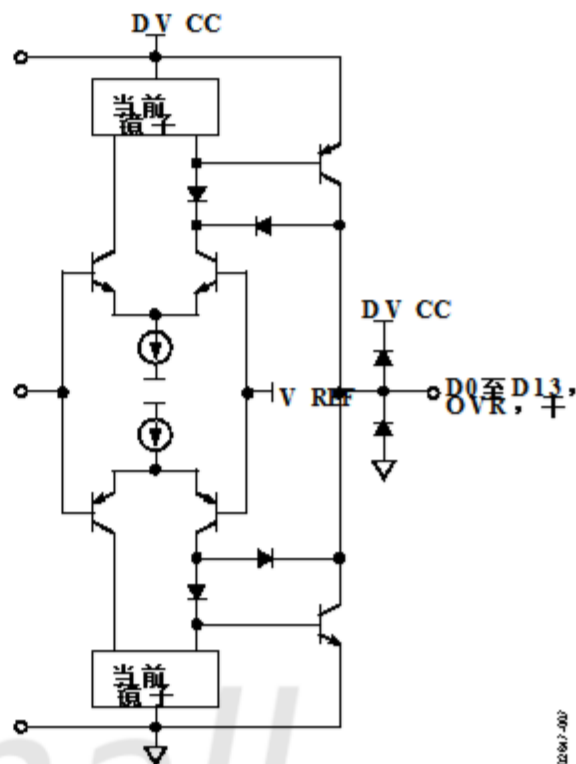


图35.数字输出级

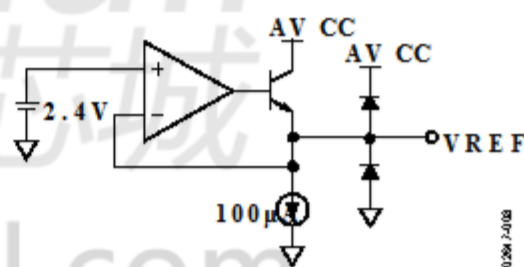


图36. 2.4V参考

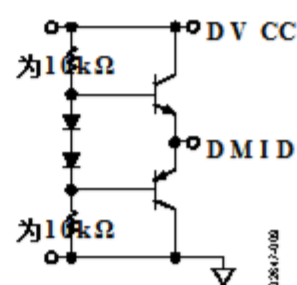


图37. DMID参考

术语

模拟带宽

频谱功率的模拟输入频率
基频（由FFT分析确定）是
降低了3分贝。

光圈延迟

之间的延迟50%之间的上升边缘
编码命令和模拟输入的时刻
采样。

孔径不确定性（抖动）

样本间的孔径延迟变化。

差分模拟输入电阻，差分模拟 输入电容和差分模拟输入阻抗

在每个模拟测量的实际和复杂的阻抗
输入端口.电阻是静态测量的
测量电容和差分输入阻抗
与网络分析仪。

差分模拟输入电压范围

必须施加的峰峰值差分电压
转换器产生一个全面的响应.峰值差
通过观察单个引脚上的电压来计算电压
减去180°以外的另一个引脚的电压
相.峰-峰差分通过旋转来计算
输入相位180°并再次进行峰值测量.该
然后在两个峰值测量之间计算差值。

微分非线性

任何代码宽度与理想的1 LSB步长的偏差。

编码脉冲宽度/占空比

脉冲宽度高是最小的时间里
编码脉冲应该处于高电平状态以达到额定值
性能;脉冲宽度低是最小的时间
编码脉冲应保持在低状态.看时机
在表4中改变t ENCH的含义.在给定的时钟速率下,
这些规范定义了一个可接受的编码占空比

满量程输入功率

满量程输入功率以dBm表示，可以是
通过使用以下等式计算：

$$\text{功率 充分- 规模} = 10 \log \left[\frac{V_{\text{充分- 规模 RMS}}^2}{|Z|_{\text{输入}} \cdot 0.001} \right]$$

谐波失真，第二

有效值信号幅度与有效值之比
二次谐波分量，单位为dBc。

谐波失真，第三

有效值信号幅度与有效值之比
三次谐波分量，单位为dBc。

积分非线性

传递函数与参考线的偏差
使用最佳直线以1 LSB的分数进行测量
由最小二乘曲线拟合确定。

最大转换率

参数测试的编码率。

最低转换率

最低模拟信号的SNR的编码率
频率下降不超过保证限制3dB。

噪声（适用于ADC内的任何范围）

$$V_{\text{噪声}} = \sqrt{|Z| \times 0.001 \times 10^{\left(\frac{FS_{\text{dBm}} - SNR_{\text{dB}}}{10} - \frac{\text{信号}_{\text{dBFS}}}{10} \right)}}$$

哪里：

Z是输入阻抗。

FS是针对所讨论频率的设备的全尺寸。

SNR是特定输入电平的值。

信号是以dB为单位报告的ADC内的信号电平
全尺寸.这个值包括热噪声和量子 -
噪音。

输出传播延迟

ENCODE的差分交叉和延迟之间的延迟
ENCODE和所有输出数据位都在的时间
有效的逻辑电平。

电源抑制比（PSSR）

输入失调电压的变化与
电源电压。

电源上升时间

从直流电源启动到供电的时间
输出达到最小规定的工作电压
ADC.直流电平是在ADC的电源引脚上测得的。

信号与噪声和失真（SINAD）

有效值信号幅度的比值（设置在满量程以下1 dB）
到所有其他频谱分量之和的均方根值，
包括谐波，但不包括直流。

信噪比（无谐波）

有效值信号幅度的比值（设置在满量程以下1 dB）
到所有其他频谱分量之和的均方根值，
不包括前五个谐波和直流。

无杂散动态范围 (SFDR)

有效值信号幅度与有效值之比

峰值杂散频谱分量.峰值杂散成分

可能是也可能不是谐波.可能以dBc报告 (也就是说, 随着信号电平的降低而下降) 或dBFS (总是与之相关) 转换成满量程) .

双音互调失真抑制

输入音调的均方根值与均方根值的比值

最差的三阶互调产物, 以dBc表示.

双音SFDR

输入音调的均方根值与均方根值的比值

的峰值杂散成分.峰值杂散成分

可能是也可能不是IMD产品, 可能会被报告 dBc (即随着信号电平的降低而降低) 或dBFS (总是与转换器满量程相关) .

最坏的其他刺激

有效值信号幅度与有效值之比

最坏的虚假成分 (不包括第二和第三) 谐波), 以dBc表示.



操作理论

AD6645 ADC采用三级子范围架构。这种设计方法达到了要求的精度和速度同时保持低功耗和小模具尺寸。

如功能框图（见图1）所示，

AD6645具有互补的模拟输入引脚AIN和AIN。

每个模拟输入都以2.4 V为中心，摆动范围为 ± 0.55 V。围绕这个参考（见图32）。因为AIN和AIN是180°异相，差分模拟输入信号为2.2 V pp。

两个模拟输入在第一个采样保持之前被缓冲，TH1.编码脉冲的高电平状态使TH1处于保持状态模式。TH1的保持值应用于5位的输入粗ADC1。ADC1的数字输出驱动一个5位数 - 数模转换器DAC1。DAC1需要14位精度这是通过激光微调实现的。DAC1的输出是从TH3输入端的延时模拟信号中减去生成第一个残余信号。TH2提供了一个模拟流水线延迟来补偿ADC1的数字延迟。

第一残余信号被施加到第二转换级由一个5位ADC2，一个5位DAC2和一个流水线TH4组成。第二个DAC需要10位的精度，这是满足的没有修剪的过程。TH5的输入是第二个残余信号是通过减去DAC2的量化输出产生的从TH4保持的第一个残余信号。TH5驾驶决赛6位ADC3。

ADC1，ADC2和ADC3的数字输出被添加一起并在数字纠错逻辑中予以纠正生成最终的输出数据。结果是14位并行数字CMOS兼容字，编码为二进制补码。

应用AD6645

编码AD6645

AD6645编码信号必须是高质量的，非常重要低相位噪声来防止性能下降。

保持14位精度对编码时钟非常重要相位噪声。信噪比性能可轻易降低3 dB至使用高抖动时70 dB模拟输入信号为4 dB时钟源。请参阅AN-501应用说明光圈不确定性和ADC系统性能，完整的细节。

为获得最佳性能，AD6645必须提供时钟差异。编码信号通常交流耦合进入通过一个或多个变压器对ENCODE和ENCODE引脚进行编码。这些引脚内部偏置，不需要额外的偏置。

图38显示了AD6645的一个首选时钟方法。

时钟源（低抖动）从单端转换为差分使用RF变压器。背靠背的肖特基变压器次级的二极管限制了过大的幅度从时钟摆动到AD6645约0.8 V pp微分。这有助于防止电压波动太大从馈送时钟到AD6645的其他部分并限制呈现给编码输入端的噪声。

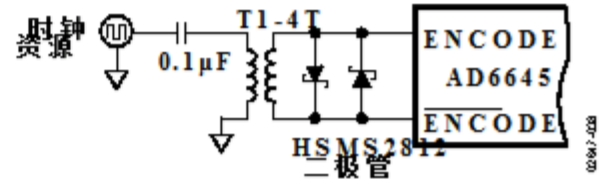


图38. 水晶时钟振荡器，差分编码

如果低抖动时钟可用，另一种选择是交流耦合差分ECL / PECL信号到编码输入引脚

如图39所示。MC100EL16（或同一系列）从安森美半导体提供出色的抖动性能。

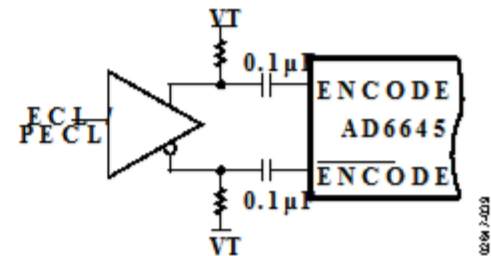


图39. 编码的差分ECL

驱动模拟输入

与大多数新型高速，高动态范围的ADC一样，AD6645的模拟输入是差分的。差分输入通过处理信号来提高片上性能衰减和增益阶段。大部分的改进是一个结果差分模拟级具有较高的偶数阶抑制能力谐波。PCB级也有好处。第一，差分输入具有较高的对杂散的共模抑制信号，如地面和电源噪声。其次，他们提供对本地振荡器等共模信号具有良好的抑制能力馈通。

AD6645模拟输入电压范围偏离地面每个模拟输入通过一个500电阻连接到2.4 V偏置电压和一个差分缓冲器的输入（图32）。输入端的电阻网络正确地偏置了追随者获得最大的线性和范围。所以，模拟驱动AD6645的源极应交流耦合到输入引脚。由于AD6645的差分输入阻抗为1kΩ，模拟输入功率要求只有-2 dBm，简化了驱动器放大器在许多情况下。充分利用这一点高输入阻抗，需要一个20: 1的射频变压器。这是一个大比例，可能会导致不理想的表现。在这种情况下，可以使用较低的升压比。推荐的方法用于驱动AD6645的差分模拟输入正在使用一个4: 1射频变压器。例如，如果RT设置为60.4Ω，并且设置了RS到25Ω，以及一个4: 1阻抗比变压器，输入将与4.8 dBm的满量程驱动器的50Ω源匹配。串联电阻（RS）在变压器的次级侧应该用来隔离变压器与A / D。

这限制了来自A/D的动态电流量
流回变压器的二次侧. 50Ω
阻抗匹配也可以结合在次级
如评估板所示
原理图 (见图43).

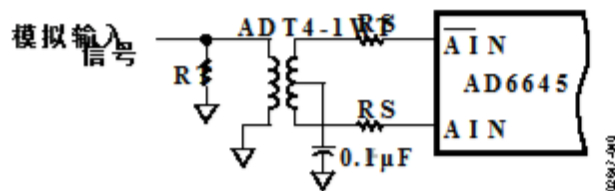


图40. 变压器耦合模拟输入电路

在需要直流耦合的应用中, 差分
输出运算放大器, 如AD8138, 可以用来驱动
AD6645 (见图41). AD8138运算放大器提供单通道,
结束到差分的转换, 这减少了整个系统
成本和最小化布局要求.

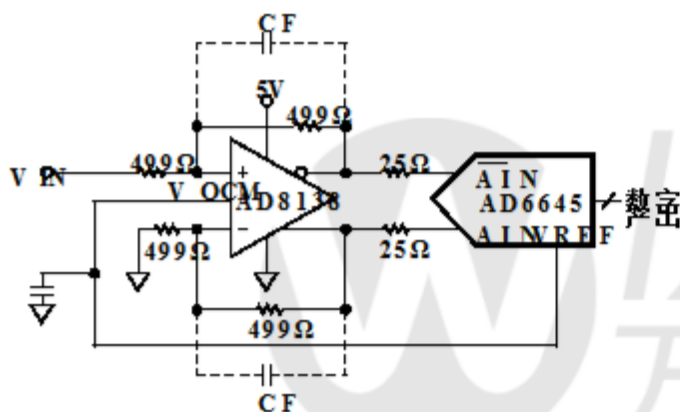


图41. 直流耦合模拟输入电路

电源

选择电源时应小心. 指某东西的用途
非常推荐上升时间 $<45\text{ ns}$ 的线性直流电源.
开关电源倾向于辐射元件
被AD6645接收. 解耦每个电源
引脚尽可能靠近封装, 使用 $0.1\mu\text{F}$ 片式电容器.

AD6645具有独立的数字和模拟电源引脚.
模拟电源是AV CC和数字电源引脚
DV CC. 尽管模拟和数字电源可以连接在一起,
当供应是分开的时, 达到最佳的表现
因为快速数字输出摆动可以耦合开关
电流回到模拟电源. 请注意AV CC必须是
保持在5 V的5%以内. AD6645规定DV CC = 3.3 V, a
数字ASIC的共同供应.

数字输出

设计数据接收器时必须小心
AD6645建议数字输出驱动a
串联电阻后跟一个门, 如74LCX574.

为了最小化电容负载, 应该只有一个门
在每个输出引脚上. 评估中显示了一个例子
图43的电路板原理图. AD6645的数字输出
具有 1 V/ns 的恒定输出转换速率. 一个典型的CMOS门
结合PCB走线的负载大约为 10 pF .
因此, 如每个位切换 10 mA ($10\text{ pF} \times 1\text{ V/ns}$) 的
每个位流进设备的动态电流. 全面的
转换会导致高达 140 mA ($14\text{ 位} \times 10\text{ mA/位}$) 的电流
流过输出级. 将串联电阻尽可能靠近
以尽可能限制AD6645的电流量
流入输出阶段. 这些开关电流是有限的
在地面和DV CC之间. 标准的TTL门应该避免
因为它们可以明显地增加动态切换
AD6645的电流. 请注意, 额外的电容负载
增加输出时序并使时序规格无效.
数字输出时序保证输出负载高达
 10 pF . 给定模拟输入电平的数字输出状态为
如表8所示.

接地

为了获得最佳性能, 强烈建议a
模拟和数字电源之间共同使用
飞机. 分裂的理由主要关心的是
动态电流可能会被迫走过很长的距离
在系统重组之前在共同的来源
地面. 这可能导致大的, 不希望的接地回路. 该
这种情况发生的最常见的地方是数字输出
ADC. 接地回路可能会导致数字噪声
耦合回ADC前端. 这可以体现出来
要么是泛音, 要么是非常高阶的虚假产品
这可能会导致本底噪声过大. 这噪音
耦合不太可能发生在较低的时钟速度, 因为
数字噪声有更多的时间来解决问题. 一般来说,
分裂模拟和数字的理由可以经常作出贡献
到不希望的EMI/RFI, 因此应该避免.

相反, 如果执行不当, 共同接地
实际上可能会因为数字而带来额外的噪音问题
地电流在模拟地电流的顶部
靠近ADC输入. 为了进一步减少
噪音耦合的可能性, 强烈建议
放置多个接地回路迹线/通孔,
数字输出电流不会流回模拟前端
结束, 但从ADC快速路由. 这不是
需要在地平面分割, 可以通过
只需将实质的接地连接直接放回即可
在模拟前端和模拟前端之间的电源
数字输出. 另外, 明智地使用陶瓷芯片
电源和接地层之间的电容器有帮助
抑制数字噪音. 布局应该足够
大容量电容来提供峰值电流要求
在切换期间.

布局信息

评估板的原理图（见图43）
代表了AD6645的典型实现.多层次
建议使用多层板来达到最佳效果.这是高度的
推荐使用高质量的陶瓷片式电容器
用于将每个电源引脚直接去耦至地
设备. AD6645的引脚分配方便了系统的易用性
实施高频率，高分辨率的设计实践.
所有的数字输出都分离到芯片的两侧，
为了隔离的目的，在对面的输入.

布线数字输出迹线时应小心.至
防止通过数字输出耦合到模拟
AD6645的一部分，应该是最小的容性负载
放在这些输出上.这是推荐的扇出
所有AD6645数字输出只能使用一个门.

编码电路的布局同样重要.任何噪音
收到这个电路导致数字化腐败
过程和较低的整体表现.编码时钟必须是
与数字输出和模拟输入隔离.

表8.二进制补码输出编码

AIN级别	AIN级别	输出状态	输出代码
VREF + 0.55 V	VVREF - 0.55 V	积极的FS	01 1111 1111 1111
VREF	VREF	里程	00 ... 0/11 ... 1
VREF - 0.55 V	VREF + 0.55 V	负面的FS	10 0000 0000 0000

抖动考虑

可以预测ADC的SNR.归一化到
ADC码，下面的公式可以准确地预测SNR
基于三个术语：抖动，平均DNL误差和热
噪声.这些术语中的每一个都有助于噪音
转换器.

SNR = 1.76 ·

20 日志 $\left[2^{\pi \times f_{ANALOG} \times t_{j_{RMS}}} + \left(\frac{\epsilon}{2^n} \right)^2 + \left(\frac{2 \times \sqrt{2} \times V_{噪声RMS}}{2^n} \right)^2 \right]^{1/2}$

哪里：

- f ANALOG 是模拟输入频率.
- tj_rms 是编码的均方根抖动（rms编码源总和
和内部编码电路）.
- ε是ADC的平均DNL（典型值为0.41 LSB）.
- n是ADC中的位数.

V 噪声均方根 是指电压有效值的热噪声
ADC的模拟输入（典型值为0.9 LSB rms）.

对于像AD6645这样的14位ADC，孔径抖动可以
大大影响模拟频率的SNR性能
增加.图42显示了一系列曲线
随着抖动的增加，AD6645的预期SNR性能.
该图来源于上述等式.

有关孔径抖动的完整讨论，请参阅AN-756
应用笔记，采样系统和时钟相位的影响
噪声和抖动. AN-756应用笔记可以在这里找到
www.analog.com.

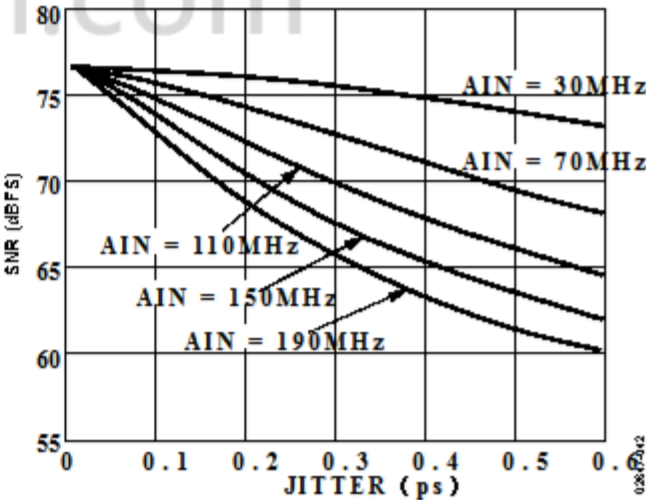


图42. SNR与抖动

AD6645

表9. AD6645 / PCB物料清单

数量 80 MSPS	数量 105 MSPS	参考ID	描述	生产厂家	供应商部件号
1	1	PCB	印刷电路板AD6645 工程评估板	PCSM	6645EE01D REV D
4	4	C1, C2, C31, C38	电容器, 钽, SMT BCAPTAJC, 10 μ F, 16V, 10%	基美	T491C106K016AS
8	8	C3, C7至C10, C16, C301, C32	电容器, 陶瓷, SMT 0508, 0.1 μ F, 16V, 10%	Presidio组件	0508X7R104K16VP3
9	9	C4, C15, C22来 C26, C29, (C33) (C34) 2, 3, C39	电容器, 陶瓷, SMT 0805, 0.1 μ F, 25V, 10%	松下	ECJ-2VB1E104K
0	0	(C5, C6) 2, 3	电容器, 陶瓷, SMT 0805, 0.01 μ F, 50 V, 10%	松下	ECJ-2YB1H103K
10	10	C11至C14, C17到C21, C40	电容器, 陶瓷, SMT 0508, 0.01 μ F, 50 V, 0.2%	Presidio组件	0508X7R103M2P3
0	0	(C27, C28) 2	电容器, 陶瓷, SMT 0805, 限制 amp保证带宽		
1	1	CR13	二极管, 肖特基HSMS2812, SOT-23, 30 V, 20 mA	松下	MA716- (TX)
1	1	E1	安装跨接线 (跨越OPT_LAT 和BUFLAT)		
五	五	F1到F5	EMI抑制铁氧体芯片, SMT 0805	管家	HZ0805E601R-00
1	1	J1	头, 6针, 针脚, 5毫米的节距	维兰德	Z5.530.0625.0
1	1	J1	Pin Strip, 6针, 5 mm间距	维兰德	25.602.2653.0
1	1	J2	头, 40针, 男性, 直角	Samtec公司	TSW-120-08-TD-RA
2	2	(J3) 2, J4, J5	连接器, 金, 女, 同轴电缆, SMA, 垂直	Johnson组件	142-0701-201
1	1	L1	电感器, SMT, 1008-ct封装, 4.7 nH	Coilcraft公司	1008CT-040X-J
0	0	(R1) 2, 3	电阻器, 厚膜, SMT0402, 100 Ω , 1/16 W, 1%	松下	ERJ-2RKF1000
0	0	(R2) 2	电阻器, 厚膜, SMT 1206, 60.4 Ω , 1/4 W, 1%	松下	ERJ-8ENF60R4V
2	2	(R3至R5) 1, 2, (R6) 1, R9, R10	电阻器, 厚膜, SMT0805, 500 Ω , 1/8 W, 1%	松下	ERJ-6ENF4990V
2	2	R6, R7	电阻器, 厚膜, SMT 0805, 25.5 Ω , 1/8 W, 1%	松下	ERJ-6ENF25R5V
0	0	(R11) 2, 3, (R13) 1, R14	电阻器, 厚膜, SMT 0805, 66.5 Ω , 1/8 W, 1%	松下	ERJ-6ENF66R5V
0	0	(R12) 2, 3, (R14) 1, R15	电阻器, 厚膜, SMT0805, 100 Ω , 1/8 W, 1%	松下	ERJ-6ENF1000V
1	1	R151	电阻, 厚膜, SMT 0402, 178 Ω , 1/16 W, 1%	松下	ERJ-2RKF1780X
1	1	R35	电阻器, 厚膜, SMT 0805, 49.9 Ω , 1/8 W, 1%	松下	ERJ-6ENF49R9V
4	4	RN1到RN4	电阻器阵列, SMT 0402; 100 Ω ; 8 ISO RES., 1/4 W; 5%	松下	EXB2HV101JV
2	2	T23, T31	变压器, ADT4-1WT, CD542, 2 MHz至775 MHz	微型电路	ADT4-1WT
1	0	U1	IC, 14位, 80 MSPS ADC	ADI公司	AD6645ASQ / ASV-80
0	1	U1	IC, 14位, 105 MSPS ADC	ADI公司	AD6645ASQ / ASV-105
2	2	U2, U7	IC, SOIC-20, 八路D型触发器	飞兆半导体	74LCX574WM
0	0	(U3) 1, 2	IC, SOIC-8, 低失真差分 ADC驱动程序	ADI公司	AD8138AR
2	2	U4, U6	IC, SOT-23, 微型逻辑UHS 2输入 或门	飞兆半导体	NC7SZ32

数量 80 MSPS	数量 105 MSPS	参考ID	描述	生产厂家	供应商部件号
0	0	(U8) 2, 3	IC, SOIC-8, 差分接收器	摩托罗拉	MC100LVEL16
1	0	Y1	时钟振荡器, 80 MHz	CTS里夫斯	MXO45-80
4	4	Y1	针座, 封闭端	AMP /泰科电子	5-330808-3
4	4		电路板支持	Richco, Inc.	CBSB-14-01

1 交流耦合AIN是标准的: 没有安装R3, R4, R5, R8和U3. 如果需要直流耦合AIN, 则不安装C30, R15和T3.

2 括号内的参考标志未安装在标准单元上.

3 交流耦合编码为标准: C5, C6, C33, C34, R1, R11至R14和U8未安装. 如果需要PECL编码, 则不安装CR1和T2.



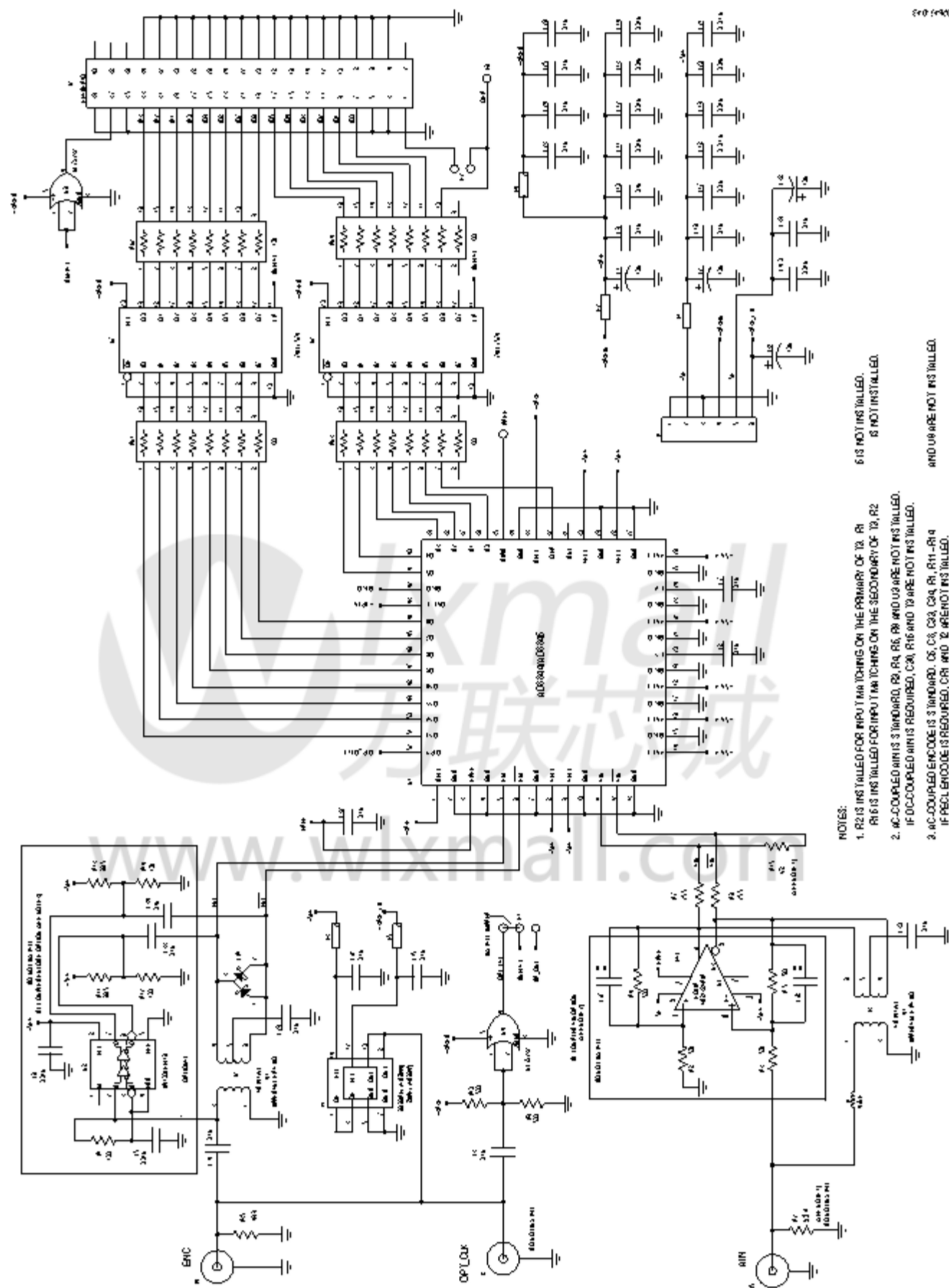


图43.评估板原理图

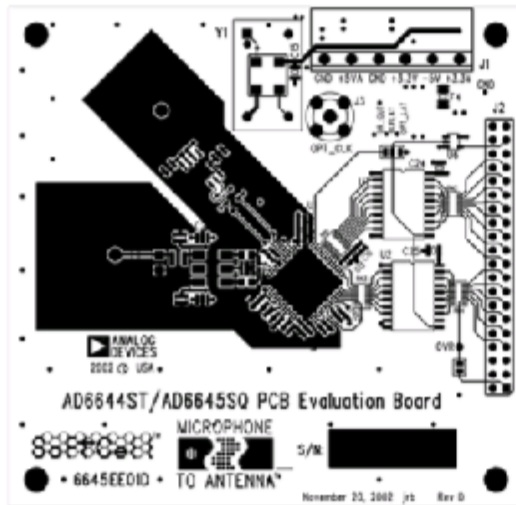


图44.顶部信号电平

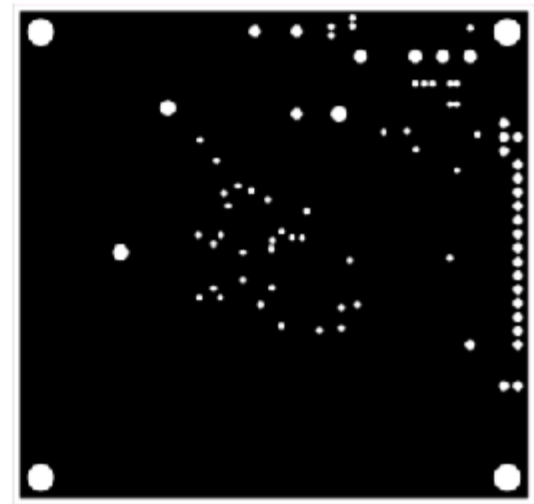


图46.地平面层2和地平面层5

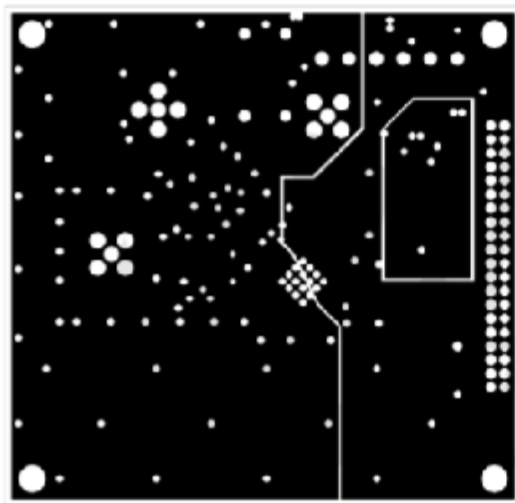


图45. 5.0 V平面层3和3.3 V平面层4

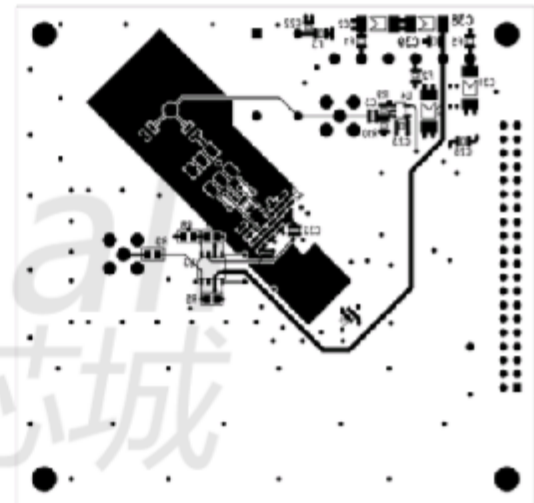


图47.底部信号层

外形尺寸

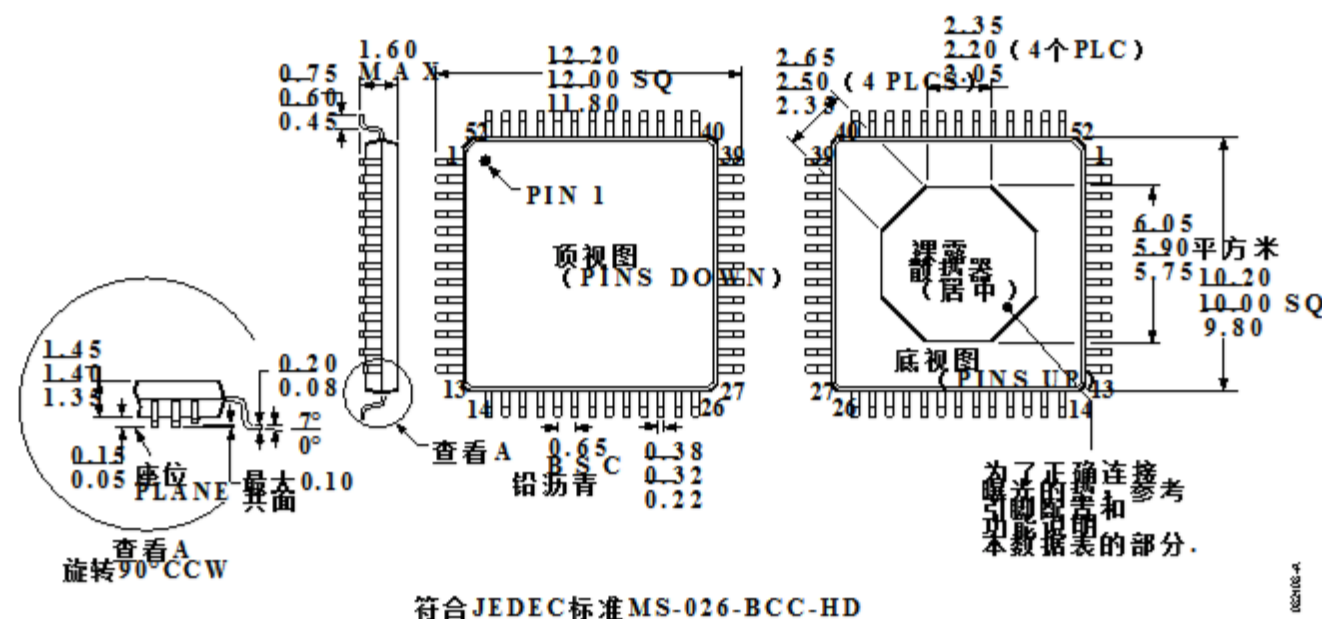


图48. 52引脚薄型四方扁平封装PowerQuad [LQFP_PQ4]
(SQ-52-1)
尺寸以毫米为单位显示

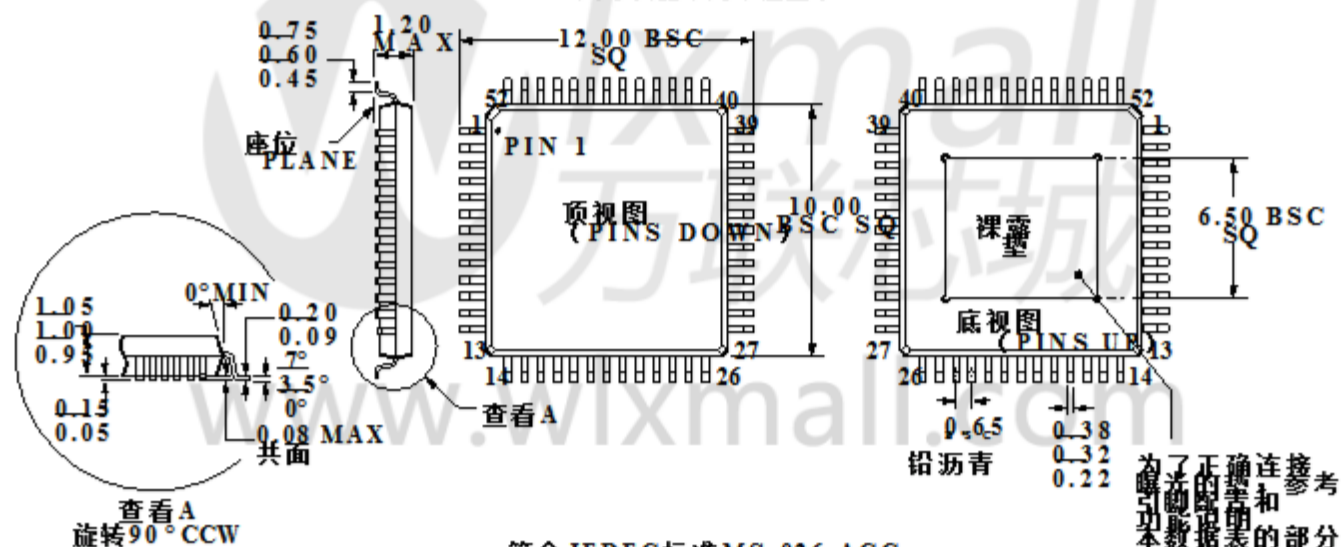


图49. 52引脚薄型四方扁平封装，裸露焊盘[TQFP_EP]
(SV-52-1)
尺寸以毫米为单位显示

订购指南

模型	温度范围	包装说明	包装选项
AD6645ASQ-80	-40°C至+ 85°C	52引脚薄型四方扁平封装，PowerQuad (LQFP_PQ4)	SQ-52-1
AD6645ASQZ-801	-40°C至+ 85°C	52引脚薄型四方扁平封装，PowerQuad (LQFP_PQ4)	SQ-52-1
AD6645ASVZ-801	-40°C至+ 85°C	52引脚薄型四方扁平封装，裸露焊盘[TQFP_EP]	SV-52-1
AD6645ASQ-105	-10°C至+ 85°C	52引脚薄型四方扁平封装，PowerQuad (LQFP_PQ4)	SQ-52-1
AD6645ASQZ-1051	-10°C至+ 85°C	52引脚薄型四方扁平封装，PowerQuad (LQFP_PQ4)	SQ-52-1
AD6645ASVZ-1051	-10°C至+ 85°C	52引脚薄型四方扁平封装，裸露焊盘[TQFP_EP]	SV-52-1
AD6645-80 / PCB Z1		评估板	
AD6645-105 / PCB Z1		评估板	

1 Z =符合RoHS的部分.