

3相MOSFET驱动器

特点和优点

- 5至50 V电源电压
- 带故障输出的锁存TSD
- 驱动6个N沟道高电流MOSFET
- 内部控制的同步整流
- 速度电压输入启用内部PWM占空比控制全桥
- 中心对齐PWM
- 内部UVLO和交叉电流保护
- 霍尔开关输入
- 可调节的死区时间保护
- 电池供电应用的低功耗睡眠模式

包：



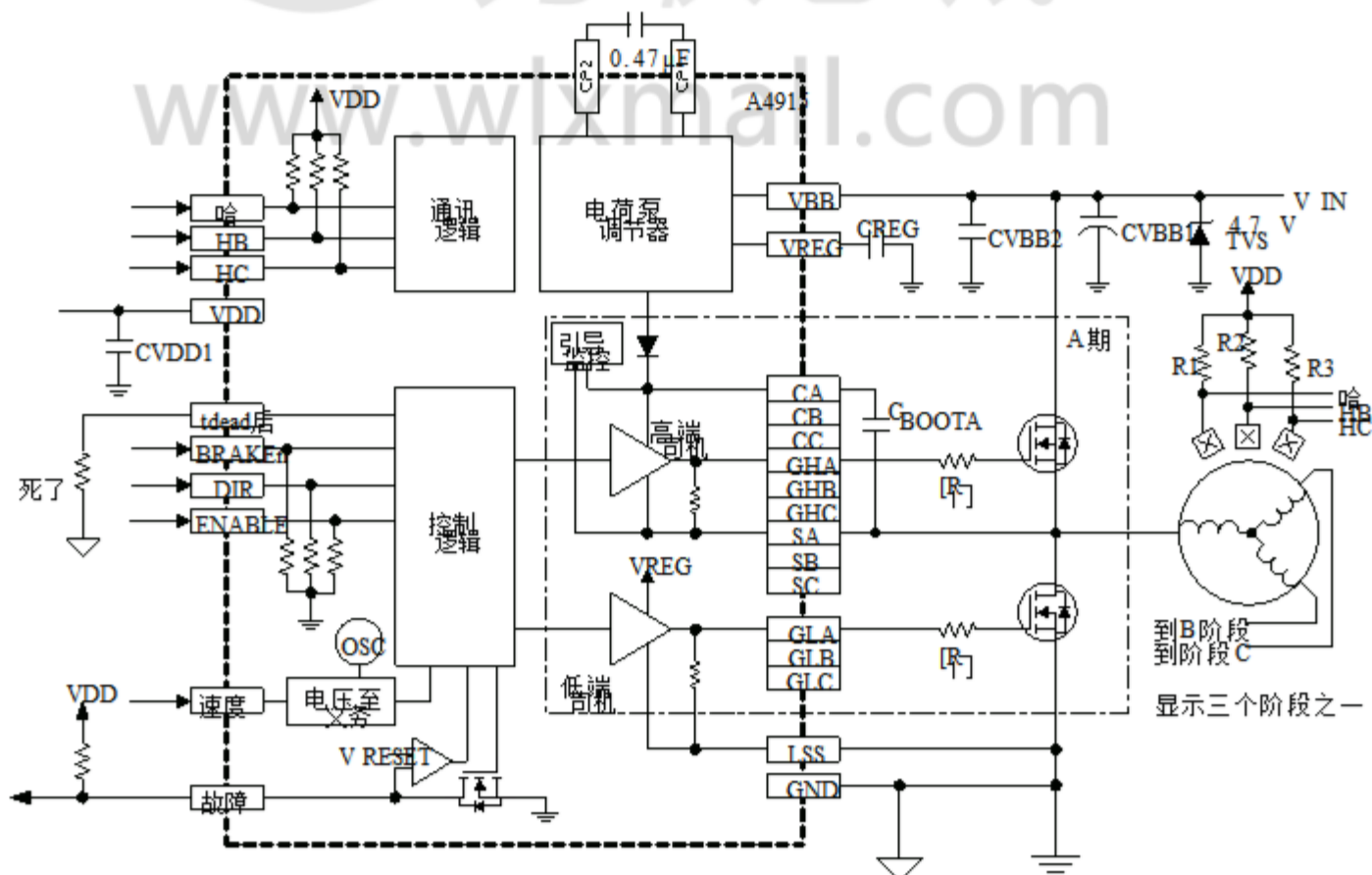
描述

A4915专为脉宽调制（PWM）电流控制三相无刷直流电机。A4915能够对6个全N通道电源进行高电流栅极驱动的MOSFET。内部电荷泵确保门极驱动器关闭提供7 V电源，并提供有限的栅极驱动，降至5 V。自举电容器用于产生更大的电源电压比所需的高端MOSFET的源极电压高用于N沟道MOSFET。

内部同步整流控制电路提供以改善外部MOSFET在工作期间的功耗。PWM操作。内部电路保护包括锁定、热关断，死区时间保护和欠压闭锁。特殊的加电排序不是必需的。

A4915采用裸露的28引脚TSSOP封装、导热垫（后缀LP）和28触点5×5 mm QFN封装、裸露的导热垫（后缀ET）。这些软件包是领先的（Pd），具有100%哑光锡引线框架镀层。

功能框图



选择指南

零件号	包	填料*
A4915METTR-T	28触点QFN 裸露的导热垫	1500件 每7英寸卷轴
A4915MLPTR-T	28引脚TSSOP 裸露的导热垫	4000件 每13英寸卷轴



绝对最大额定值

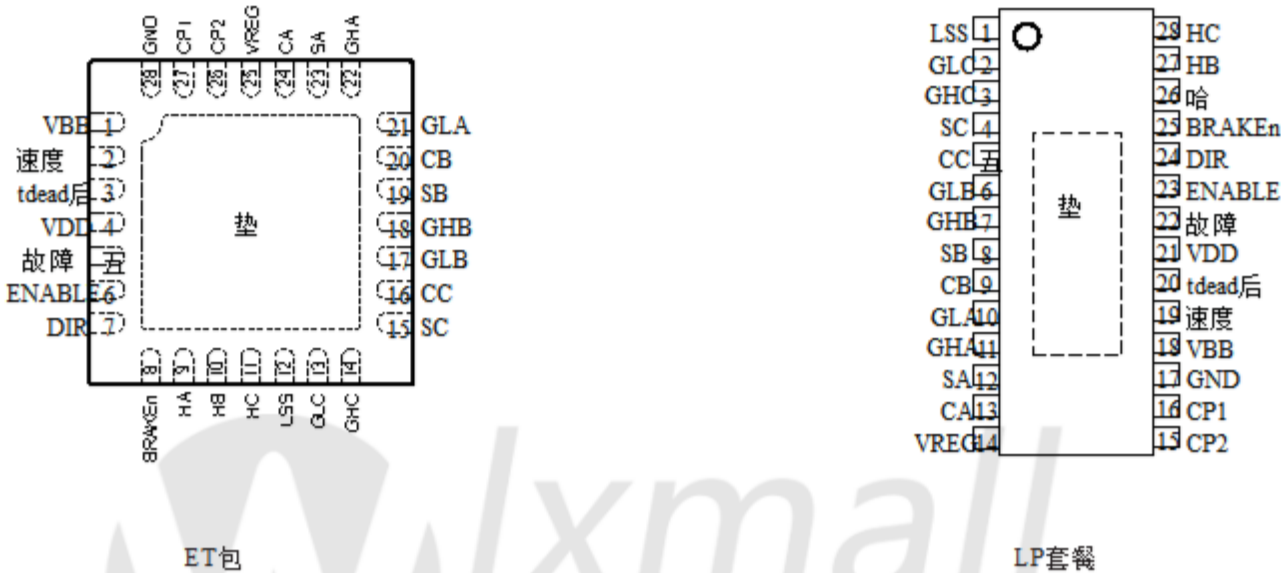
特性	符号	笔记	评分	单元
负载电源电压	V BB		-0.3至50	V
逻辑电源电压	V DD		-0.3至6	V
VREG Pin	V REG		-0.3至16	V
CP1引脚	V CP1		-0.3至16	V
CP2引脚	V CP2		V CP1 - 0.3至 V REG + 0.3	V
逻辑输入	V I		-0.3至6	V
大厅输入	V Hx		-0.3至6	V
逻辑输出	V O		-0.3至6	V
SPEED输入	V SPEED		-0.3至6	V
CA, CB和CC引脚	V Cx		-0.3到 V REG + 50	V
GHA, GHB和GHC引脚	V GHx		V Cx - 16到 V CX + 0.3	V
SA, SB和SC引脚	V Sx		V Cx - 16到 V Cx + 0.3	V
GLA, GLB, GLC引脚	V GLx		V REG - 16至18	V
最大连续结 温度	T J (最大)		150	C
存储温度范围	T stg		-55至150	C
工作环境温度 范围	T A		-20至105	C

热特性 可能需要在最大条件下降容，请参阅应用信息

特性	符号	测试条件*	值	单元
封装热阻	RθJA	封装ET，基于JEDEC标准的4层PCB	32	C/W
		封装LP，基于JEDEC标准的4层PCB	28	C/W

* Allegro网站提供更多热量信息。

引脚图



终端列表表

名称	功能	数		名称	功能	数	
		ET	唱片			ET	唱片
VBB	电源电压	1	18	SC	高端源连接	15	4
速度	参考电压输入	2	19	CC	Bootstrap输出阶段C	16	五
tdead后	终端设置死亡时间	3	20	GLB	低端栅极驱动器	17	6
VDD	逻辑电源输入	4	21	GHB	高端栅极驱动器	18	7
故障	故障输出	五	22	SB	高端源连接	19	8
ENABLE	逻辑输入，PWM控制	6	23	CB	Bootstrap输出阶段B	20	9
DIR	逻辑输入，电机方向	7	24	GLA	低端栅极驱动器	21	10
BRAKE	逻辑输入，电机制动（低电平有效）	8	25	GHA	高端栅极驱动器	22	11
哈	霍尔输入A相	9	26	SA	高端源连接	23	12
HB	霍尔输入阶段B	10	27	CA	Bootstrap输出阶段a	24	13
HC	霍尔输入阶段C	11	28	VREG	栅极驱动电源输出	25	14
LSS	感觉输入	12	1	CP2	电荷泵电容器端子	26	15
GLC	低端栅极驱动器	13	2	CP1	电荷泵电容器端子	27	16
GHC	高端栅极驱动器	14	3	GND	地面	28	17
				垫	裸露焊盘增强散热	-	-

电气特性 在 $T_A = 25^\circ\text{C}$, $V_{BB} = 24\text{ V}$ 时有效; 除非另有规定

特性	符号	测试条件	阈.	典型.	最大.	单元
供应和参考						
工作电压范围	V BB	操作，输出活动	5	-	50	V
电机电源电流	我 BB	ENB = 30kHz，C LOAD = 10nF	-	10	20	嘛
		f PWM≈20 kHz，C LOAD = 10 nF	-	12	24	嘛
		V REG = 13 V，输出禁用	-	3	3.5	嘛
		睡眠模式	-	-	1	μA
自举二极管正向电压	V fBOOT	我 D = 10毫安	0.4	0.7	1.0	V
		I D = 100 mA	1.5	2.2	2.8	V
自举二极管电流限制	V DBOOT		250	500	750	嘛
VDD输入电压	V DD		3	-	5.5	V
VDD输入电流	我 DDQ	ENABLE =高，输出禁用	-	6	10	嘛
	我 DDS	睡眠模式	-	-	10	μA
启用输入电流睡眠模式	我 ENB (SLP)	ENABLE =低于t 睡眠时间， SPEED =高	--1			μA
SPEED输入电流睡眠模式	我 SPEED (SLP)	ENABLE =高， SPEED =低于t 睡眠时间	--1			μA
BRAKEN输入当前的睡眠模式	I BRAKE (SLP)	ENABLE =低于t 睡眠时间	--1			μA
DIR输入当前的睡眠模式	我 DIR (SLP)	ENABLE =低于t 睡眠时间	--1			μA
启用输入频率范围	ENB	V SPEED = V DD	1	-	100	千赫
内部PWM频率	f PWM	V ENABLE = V DD	14	20	26	千赫
SPEED输入电压范围	V SPEED		0-		V DD	V
SPEED禁用电压	V SPEED (D)	测量为V SPEED / V DD，占空比= 0%	10	15	20	%
SPEED使能电压*	V SPEED (E)	测量为V SPEED / V DD，占空比= 100%	79	82	86	%
速度偏置电流	我速度 (偏差)	V SPEED = V DD = 5 V	-25	0	25	μA
VREG输出电压	V REG	V BB = 9V	11.8	13	13.75	V
		V BB = 7.5V	11.5	13	13.75	V
		V BB = 6V	2×V BB - 3.5 V	-		V
		V BB = 5.5V	8	9.5	-	V
保护						
热关断温度	T TSD	FAULT在上升	155	170	185	C
VREG欠压	V REGON	V REG 上升	7	7.8	8.6	V
	V REGOFF	V REG 下降	6.39	7.1	7.81	V
VREG欠压迟滞	V REGhys		-	700	-	毫伏

续下页.....

电气特性

(续) 在 $T_A = 25^\circ\text{C}$, $V_{BB} = 24\text{V}$ 时有效; 除非另有规定

特性	符号	测试条件	阈	典型	最大	单元
保护 (续)						
自举欠压	V BOOTUV	V 测量为V REG 的百分比	55	-	65	%
自举欠压迟滞	V BOOTUVhys	测量为V REG 的百分比	- 2 0 -			%
VDD欠压	V DDUV	V DD 上升	-	2.75	2.95	V
		V DD 下降	2.45	2.6	-	V
VDD欠压迟滞	V DDUVhys		50	100	150	毫伏
睡眠唤醒延迟	t 唤醒		-3			女士
门驱动器						
高端栅极驱动输出	V GHx	C BOOTx 完全充电, C LOAD = 10 nF	V Cx - 0.2	-	-	V
		我 GHx <10μA-		-	V Sx + 0.3	V
低端栅极驱动输出	V GLx	V REG = 13 V, C LOAD = 10 nF	V REG - 0.2	-	-	V
		我 GLx <10μA	-	-	0.3	V
门驱动器上拉电阻	R GHx (ON) UP	T J = 25°C, I GHx = -150mA	6	9	12	Ω
		T J = 125°C, I GHx = -150mA	-	17	-	Ω
门驱动器下拉电阻	R GLx (ON) DN	T J = 25°C, I GLx = -150mA	2.4	3.5	4.6	Ω
		T J = 125°C, I GLx = -150mA	-	五	-	Ω
GHx被动拉下	R GHx (PFD)	V GHx - V Sx <0.3V	-	5000	-	Ω
GLx被动拉下	R GLx (PFD)	V GLx - V LSS <0.3 V	-	5000	-	Ω
输出切换时间	t rGx	20% 至 80%, C LOAD = 10 nF	-	200	-	NS
	t fGx	80% 至 20%, C LOAD = 10 nF	-	150	-	NS
死的时间	死亡	TDEAD连接到GND	10	-	-	NS
		R TDEAD = 12kΩ	-	150	-	NS
		R TDEAD = 64kΩ	800	925	1050	NS
		R TDEAD = 220kΩ	-	2.9	-	微妙
逻辑 I / O						
逻辑输入电压	V IN (H)	BRAKEN, DIR, ENABLE, HA, HB和HC引脚	0.7×V DD	-		V
	V IN (L)		-	-	0.3×V DD	V
逻辑输入电流	我在 (H) V IN =高		-	10	-	μA
	我 IN (L) V IN =低, ENABLE =低		-1	0	1	μA
FAULT输出电压	V FAULT	没有故障存在, I SINK = 1mA	-	-	0.2	V
ENABLE和SPEED睡眠定时器	t 睡眠	ENABLE = 低, SPEED =高	1	2	3	女士
		ENABLE = 高, SPEED =低	1	2	3	女士

续下页.....

电气特性 (续) 在T A = 25°C，V BB = 24 V时有效; 除非另有规定

特性	符号	测试条件	阈.	典型.	最大.	单元
逻辑I / O (续)						
SPEED睡眠阈值	V SPEEDSLP	PTH SPEED = 低于t 睡眠时间	-	-	295	毫伏
故障锁存器复位电压	V RESET	故障存在，输出锁定	-	-	0.8	V
故障锁存器复位脉冲时间	t 故障	故障存在，输出锁定	12	-	-	微秒
霍尔输入上拉电阻	R Hx (PU)	Hx引脚，V IN = 0 V	-	100	-	千欧
霍尔输入电流	我是 霍尔	Hx引脚，V IN = 5 V	-	0	1	μA
逻辑输入下拉电阻	R IN (PD)	ENABLE，DIR，BRAKE n，V IN = 5 V	-	50	-	千欧
登录输入当前睡眠模式	我 IN (SL)	ENABLE，DIR，BRAKE n	-	-	1	μA
传播延迟	t pd (上)	DIR或BRAKE n输入到输出变化，C LOAD = 0 nF	-	-	1200	NS
		ENABLE输入到输出变化，C LOAD = 0 nF	-	-	900	NS
	t pd (关闭)	DIR或BRAKE n输入到输出变化，C LOAD = 0 nF	-	-	1200	NS
		ENABLE输入到输出变化，C LOAD = 0 nF	-	-	900	NS
输入引脚毛刺拒绝	t 故障	ENABLE	-	-	900	NS
		DIR，BRAKE n	-	-	1000	NS

*输出占空比受t DEAD限制。

功能说明

基本操作

A4915是一款3相MOSFET驱动器，用于驱动高电平目前的MOSFET.它设计用于电池供电低压操作至关重要的设备. A4915还具有禁用该设备的低电流休眠模式并吸取最小的电源电流. A4915有能力驱动6个N沟道MOSFET.换向逻辑包括外部PWM控制的使能，方向和制动模式.

速度输入提供允许外部来源典型值为30 kHz的PWM桥. PWM占空比是通过将模拟电压施加于SPEED引脚来控制0 V至VDD.

引脚说明

DIR 方向引脚用于改变换向方向，三座桥的重刑.相换流参见表1信息.

ENABLE ENABLE输入端子允许外部PWM控制.将ENABLE设置为高可打开选定的信宿对，并将其设置为低电平将关闭适当的驱动程序和负载电流衰减.如果使用外部PWM，SPEED引脚必须连接到VDD.

当ENABLE输入保持低电平超过t睡眠时间A4915关闭所有内部电路并吸收最小电流

来自供应.当从睡眠中出来时允许3毫秒电荷泵稳压器稳定.

速度 内部产生的载波频率的占空比速度通过在SPEED上施加直流电压来控制输入.显示速度与占空比的关系的图表是如图1所示.当SPEED被直接拉到VDD时内部载波被禁用，可以使用Enable输入PWM桥.当V SPEED < V SPEED (D) 时，输出为瓜尔脱 - 保证为0%. 当V SPEED > V SPEED (E) 时，输出保证 - 注定是100%.

BRAKEN 制动模式会打开所有三个水槽驱动器，有力地缩短了电机产生的BEMF. BRAKEN输入覆盖ENABLE和SPEED输入，除非处于休眠状态模式.逻辑真值表参见表2.为了遵守通过故障模式影响和分析（FMEA），制动功能通常是有效的（逻辑低）.如果在BRAKEN引脚上设备由于焊点或微粒的某些故障而断开 - 吸收故障后，设备将自动实施制动模式，防止电机转动或泵送电源.对BRAKEN终端施加逻辑高电平将使Brake失效模式并允许正常操作.

应用制动命令时必须小心，因为可以产生大电流.用户必须确保最坏的情况下，MOSFET的最大额定值不会超过

表1.换位表

	哈	HB	HC	DIR	GLA	GLB	GLC	GHA	GHB	GHC	SA	SB	SC
1	1	0	1	1	0	0	1	1	0	0	高	-	低
2	1	0	0	1	0	0	1	0	1	0	-	高	低
3	1	1	0	1	1	0	0	0	1	0	低	高	-
4	0	1	0	1	1	0	0	0	0	1	低	-	高
五	0	1	1	1	0	1	0	0	0	1	-	低	高
6	0	0	1	1	0	1	0	1	0	0	高	低	-
1	1	0	1	0	1	0	0	0	0	1	低	-	高
2	1	0	0	0	0	1	0	0	0	1	-	低	高
3	1	1	0	0	0	1	0	1	0	0	高	低	-
4	0	1	0	0	0	0	1	1	0	0	高	-	低
五	0	1	1	0	0	0	1	0	1	0	-	高	低
6	0	0	1	0	1	0	0	0	1	0	低	高	-
霍尔故障	111			X	000000	---							
霍尔故障	000			X	000000	---							

表壳制动条件.制动期间的最大电机电流
模式可以近似为:

$$I_{BRAKE} = V_{BEMF} / R_L$$

其中V BEMF 是电机产生的电压, R L 是
相绕组的电阻.

VREG 用于提供电源的稳压输出
低端栅极驱动器, 并为自举电容充电.

故障 故障输出高电平有效.在正常操作下
漏极开路输出将故障输出拉至地.什么时候
漏极开路输出被释放, 故障发生
然后通过连接的外部将输出拉至逻辑高电平
无源上拉电阻.表3列出了故障情况.

无效霍尔组合的存在被称为a

霍尔故障.表1中记录了无效的霍尔组合.
当出现霍尔故障时, 输出将被禁用.无效
霍尔故障不锁定, 并且不影响其状态
FAULT引脚.导致禁用输出的锁定故障可以
以多种方式重置:

- VDD上的UVLO将用作复位
- 如果器件进入睡眠模式, 锁存器复位
- 微处理器可以直接在FAULT引脚上创建一个复位
当故障激活时, 强制将V RESET 置于FAULT引脚上
长于t FAULT (也就是说, 当输出被锁存时)

LSS LSS端子是低端漏极连接
MOSFET.如果使用外部PWM电流控制环路, 则为低电平

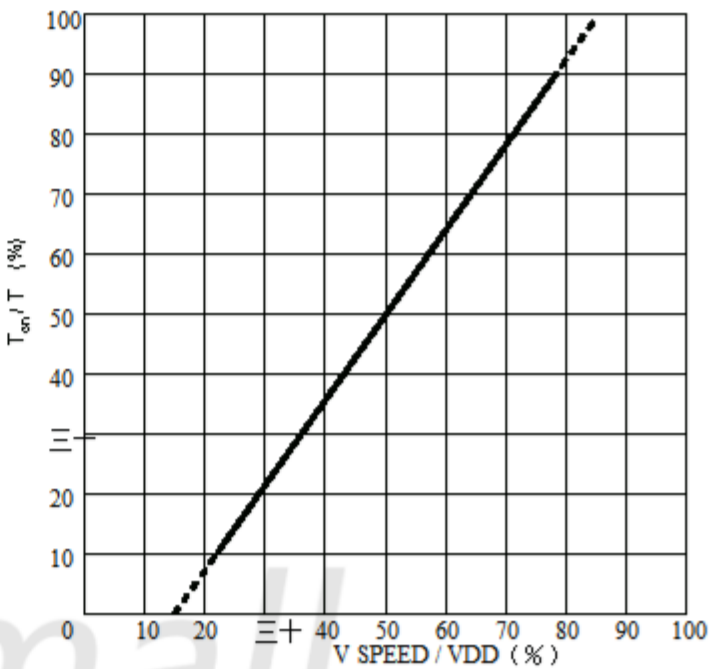


图1.与占空比有关的速度

表3.故障状况

事件	故障引脚	输出	锁存
TSD	高	残	是
睡觉	高	残	没有
UVLO VREG / VDD	高	残	没有
无效的大厅	低	残	没有

表2.输入逻辑真值表

输入			操作模式
ENABLE	速度	BRAKE _n	
低	高	高	PWM斩慢衰减同步整流 (中心对齐)
低	高	低	制动模式 - 所有低端闸门开启
高	高	高	b 上选定的驱动程序
高	高	低	制动模式 - 所有低端闸门开启
高	V DD ×V SPEED (E) V DD ×V SPEED (D)	高	PWM斩慢衰减同步整流 (中心对齐) c
高	> V DD ×V SPEED (E)	高	b 上选定的驱动程序
高	<V DD ×V SPEED (D)	高	PWM斩慢衰减同步整流 (中心对齐)
低于t 睡眠时间	高	X a	睡眠模式 - 海岸
高	低于t 睡眠时间	X a	睡眠模式 - 海岸

一个 X =不在乎.
b 由启动电容器充电管理限制的最大和最小占空比.
c 内部PWM有效.

值感测电阻可以从LSS放置到地电流感测目的，否则LSS应直接连接到电源地。

CA, CB, CC 自举电容的高端连接 (CBOOTx) 和高端栅极驱动的正电源。

GHA, GHB, GHC 沟道的高端栅极驱动输出的MOSFET。

SA, SB, SC 电机相连接，作为负面支持，用于高端栅极驱动器。

GLA, GLB, GLC 沟道低端栅极驱动输出的MOSFET。

CP1, CP2 电荷泵开关电容的连接。典型电容应为0.47μF。

HA, HB, HC 来自霍尔开关的霍尔输入连接发动机。

热关机

如果芯片温度超过T TSD，则FAULT输出为关闭并且输出被禁用。热关机是一个锁存故障。

死的时间

为了防止任何阶段的交叉传导（直通）桥，有必要有一个死亡时间，死亡之间，一个高端或低端关断和下一个互补导通事件。所有三个阶段的死亡时间是由一个死亡人员确定的时间电阻（R DEAD）在TDEAD引脚和地之间。

对于R DEAD 值在12和220kΩ之间，在25°C标称值

ns中的t DEAD 值 可近似为：

$$t_{DEAD} = 40 + (1.28 \times R_{DEAD})$$

目前，我死了，可以通过以下方式计算：

$$t_{DEAD} = 1.2 / R_{DEAD}$$

随着R值增加，电流偏移和电阻失配导致错误条款增加。图2显示了典型给定R DEAD 值的预期误差。

睡眠模式

A4915具有低电流睡眠模式以限制电流消耗电池。在低电流睡眠模式下（当ENABLE =时）低于t SLEEP 和SPEED =高电平），电流进入VBB VDD小于1μA。

当ENABLE保持低电平持续时间超过t SLEEP 和SPEED输入保持高电平，霍尔输入端的上拉电阻BRAKE_{EN}引脚上的下拉电阻开路以最大限度地减少电流进入逻辑输入端子只有SPEED =高且ENABLE =低的条件更长比t SLEEP 在逻辑输入端子上产生低电流。

中心对齐PWM

A4915具有中心对齐PWM，可以改善功耗并有助于降低EMI。在休息时间由内部PWM或外部使能触发斩波指令，当前的再循环将处于高速运转状态，取决于晶体管的状态，晶体管侧FET或低侧FET内部锁存器。在每个桥使能命令上，锁存器被重置并且当前的再循环从高侧再循环转移到低侧再循环。

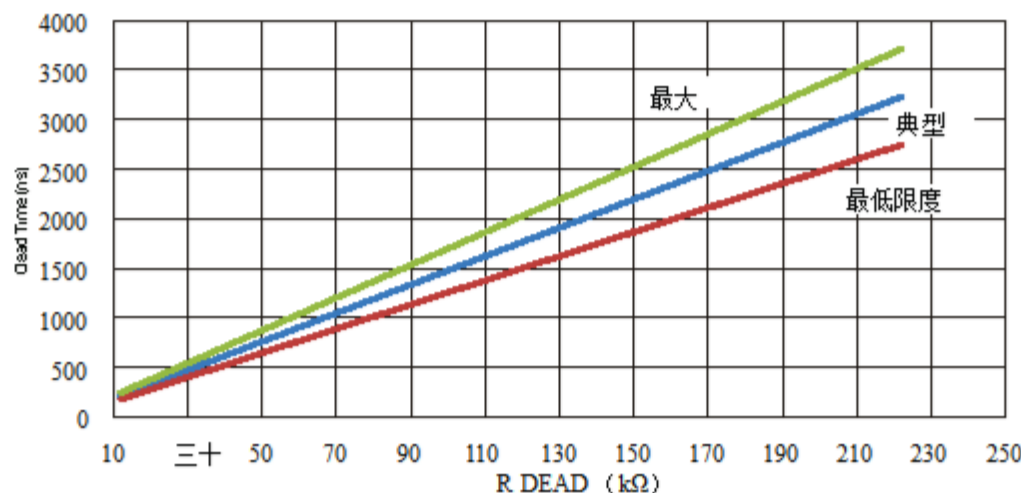


图2. R DEAD 与死区时间错误

这种再循环方法将50%的功率转移给了在关机时间高侧驱动器，减少功耗 - 在水槽司机中.降低整体温度
通过在6个FET之间共享功率来改善输出驱动器系统效率和电池寿命。

内部/外部PWM

A4915可以通过脉宽调制（PWM）来控制电流 - 出租.有两种方法可以应用于PWM设备。

- 外部PWM.该方法需要应用PWM信号到ENABLE引脚.当SPEED引脚直接连接到VDD，ENABLE引脚可以从0到100%截断.如果ENABLE输入保持低电平以上的睡眠定时器，t SLEEP，该器件进入低电流睡眠模式。
- 内部PWM.该方法使用内部生成的PWM，通过将直流电压施加到SPEED引脚进行控制.当ENABLE引脚直接连接到VDD时，速度可以从0到100%被控制.请参阅SPEED引脚说明了解更多信息。

有关所有操作条件的完整说明，请参阅表2。

同步整流

当PWM关闭时间周期由ENABLE chop触发时命令或通过内部PWM关闭时间，负载电流重新调节 - 鮎. A4915同步整流功能将打开在关闭时间和有效期间合适的MOSFET用低R SD (on) 驱动器 将体二极管短路.这会更低的功耗显著，并消除了需要外部肖特基二极管。

充电泵调节器

门极驱动低端MOSFET和自举
高端司机的收费是由收费完成的
泵调节器.对于16V以上的V BB，调节器起到线性的作用
调节器.低于16V时，稳压电源通过
一个电荷泵升压转换器，需要一个泵电容
CP1和CP2之间。

调节电压VREG在VREG端口上解耦，
最终.去耦电容基于自举电容 -
这取决于MOSFET的选择.参考
应用程序信息部分有关正确选择大小的详细信息
VREG和自举电容。

Gate Drive和RGATE

外部MOSFET的栅极驱动能够提供
需要快速充电和放电的大电流瞬变，
对栅极电容充电以保持快速开关速度
最小的功耗.低端驱动器电流源
通过VREG终端上的电容.高端栅极驱动器
电流由相应的自举电容里
连接在Cx和Sx终端之间.收费和dis-
门的电荷可以通过使用外部电阻来控制
(R GATE)与闸门串联。

Bootstrap收费管理

为了保护外部MOSFET免受不足门
驱动器，自举电容电压的监测非常重要，
tored.在允许高侧开关打开之前，它必须
在自举电容上有足够的电荷.如果电压
在自举电容上低于导通电压限制，
A4915将尝试通过转动给自举电容充电
在相关的低端驱动器上.引导程序监视器保持不变
在开关导通期间有效.如果电压
高端驱动程序在任何时候都不符合规定
启用时，驱动器被禁用，低端开关被激活，
对自举电容充电。

在正常工作期间和PWM情况下
占空比造成短暂的关闭时间，低端开关可能是
更频繁地激活以保持引导程序上的充足电量
电容.正确选择自举和VREG电容的大小是
至关重要的是能够保持有效的门驱动.参考
应用程序信息部分有关正确选择大小的详细信息
VREG和自举电容。

应用信息

自举电容选择

为了正确调整电容器CBOOT的大小，总栅极必须知道费用。太大的自举电容和充电时间会很长，导致最大占空比限制。电容太小，电压纹波很大给门充电时。

调整CBOOT电容，使得电荷QBOOT为20时间大于MOSFET的栅极所需的电荷，Q GATE：

$$C_{BOOT} = (Q_{GATE} \times 20) / V_{BOOT}$$

其中VBOOT是自举电容两端的电压。该作为MOSFET栅极的自举电容上的电压降正在充电， ΔV 可以近似为：

$$\Delta V = Q_{GATE} / C_{BOOT}$$

对于自举电容器，额定电压为16 V或更大的陶瓷类型应该使用。

VREG电容选择

VREG负责提供低价格的所有门票费用并提供所有的充电电流三个自举电容。为了达到这些目的，VREG容量 - tor CREG，应该是CBOOT值的20倍：

$$C_{REG} = 20 \times C_{BOOT}$$

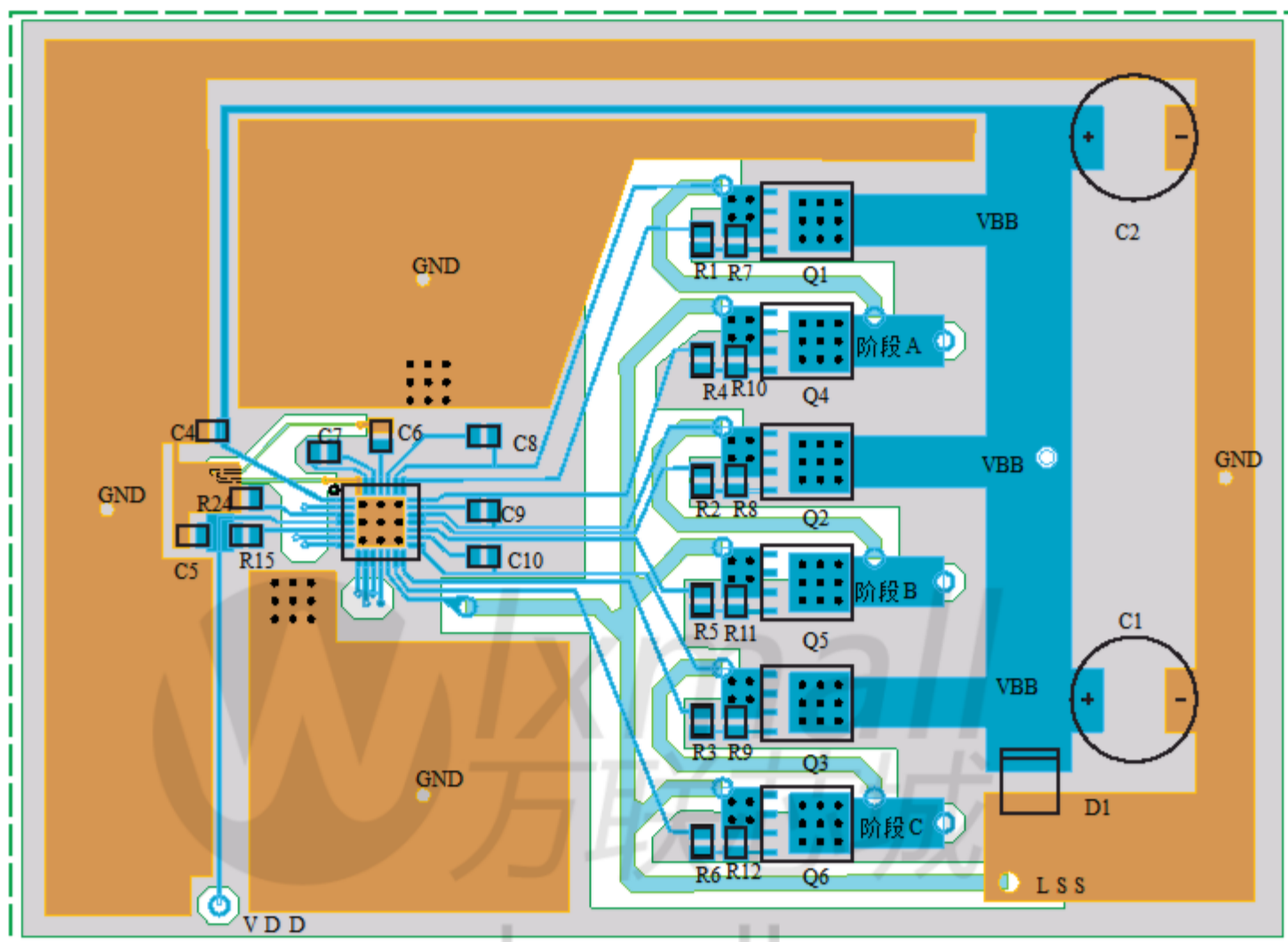
布局建议

设计时必须仔细考虑PCB布局，高频率，快速开关，大电流电路（请参阅数字3和4）：

- A4915地，GND和大电流回路，外部MOSFET应分别返回负极

电机供电滤波电容。这可以最大限度地减少影响在A4915上开关噪声。

- 裸露的导热垫应连接到GND。
- 通过使用短而宽的铜线，最小化杂散电感在所有功率MOSFET的漏极和源极端。这个包括电机导线连接，输入电源总线和电机低端功率MOSFET的共同来源。这间迷你吧通过大负载电流的快速切换来调节电压。
- 考虑使用小型（100 nF）陶瓷去耦电容 - 在功率MOSFET的源极和漏极之间进行限制由迹线中的电感引起的快速瞬态电压尖峰。
- 保持门极放电回路连接Sx和LSS短尽可能。这些迹线上的任何电感都会导致负面影响在相应的A4915终端上转换，这可能超过绝对最大额定值。如果这可能，因为使用钳位二极管来限制负偏移在这些端子上相对于GND。
- 应将VBB，VREG和VDD的电源去耦独立连接，靠近GND端子。decou-投掷电容器也应尽可能靠近地连接相关的供应终端。
- 栅极电荷驱动路径和栅极放电返回路径可能携带大量的瞬态电流脉冲。因此，从痕迹GHx，GLx，Sx（x = A，B或C）和LSS应尽可能短可能减少迹线的电感。
- 提供从LSS到公共的独立连接电源桥的一点。这可能是消极的一面。电机电源滤波电容或检测电阻的一端。它不建议将LSS直接连接到GND端子 - 最终，因为这可能会增加数字输入端的噪声。



ET封装典型PCB布局

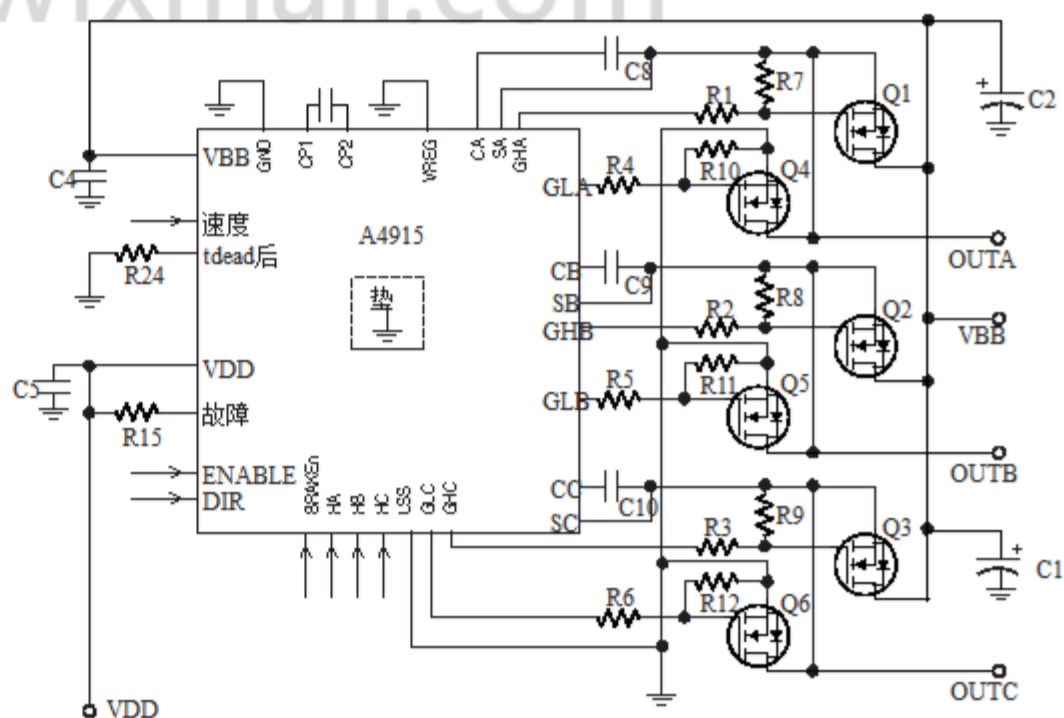
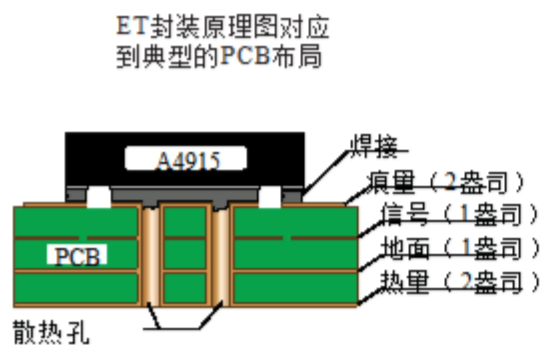
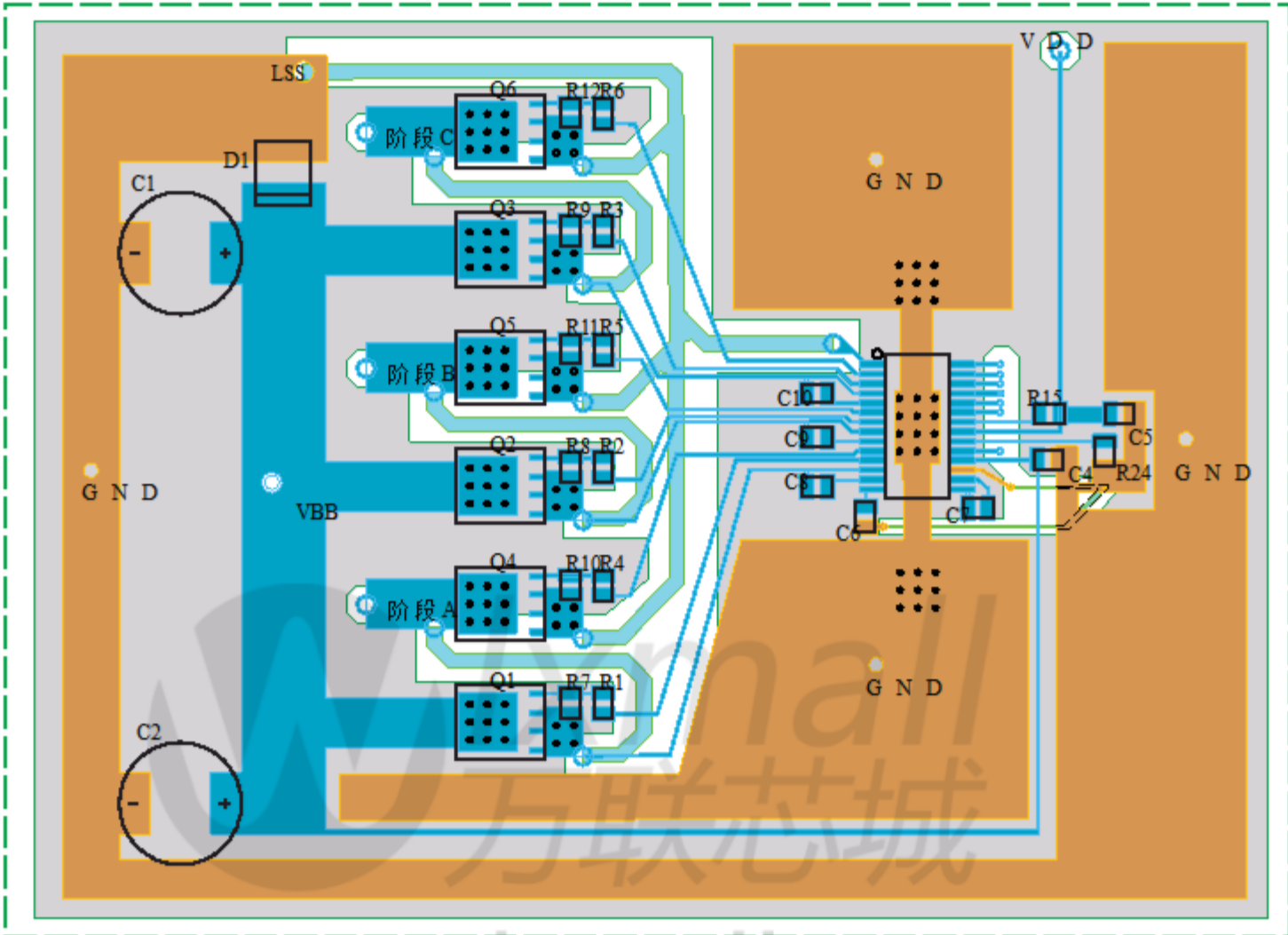


图3. ET软件包的典型应用信息



LP封装典型PCB布局

LP封装原理图对应于典型的PCB布局

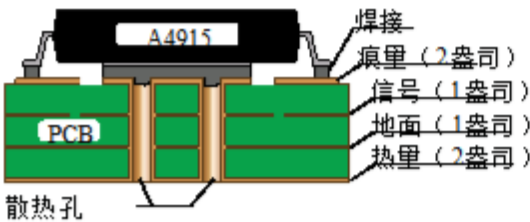
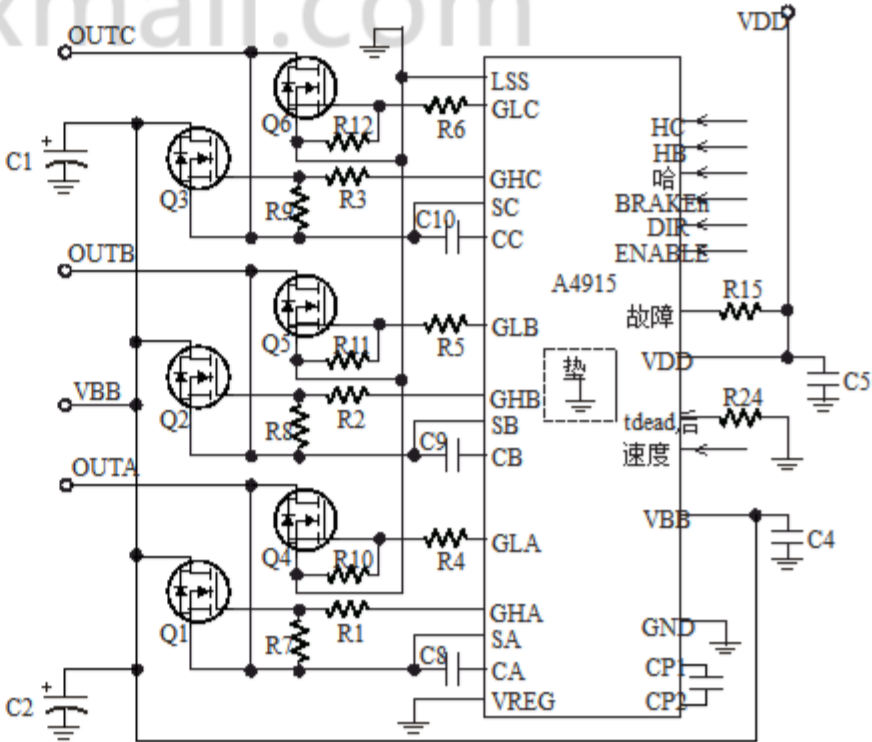
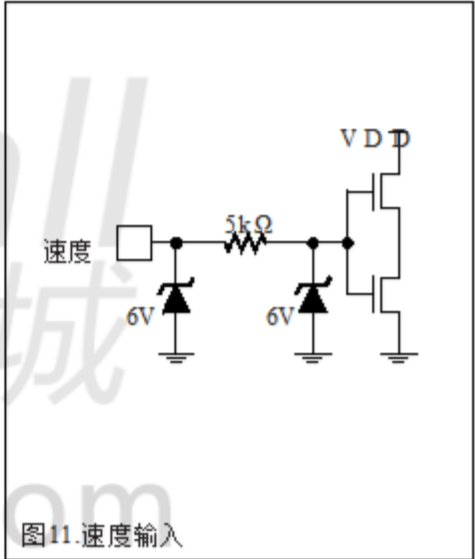
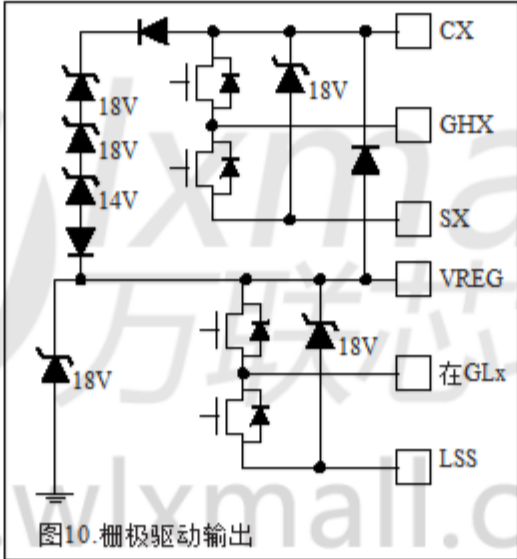
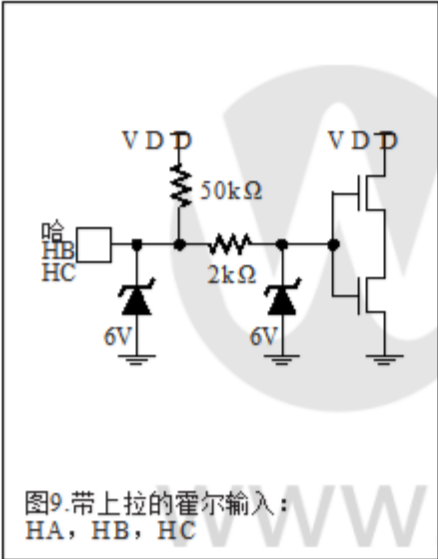
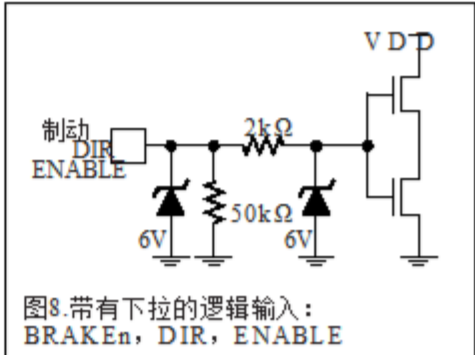
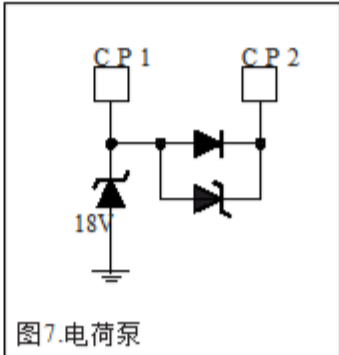
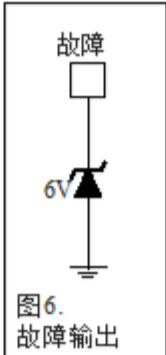
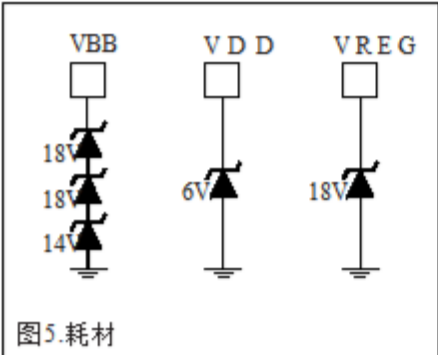


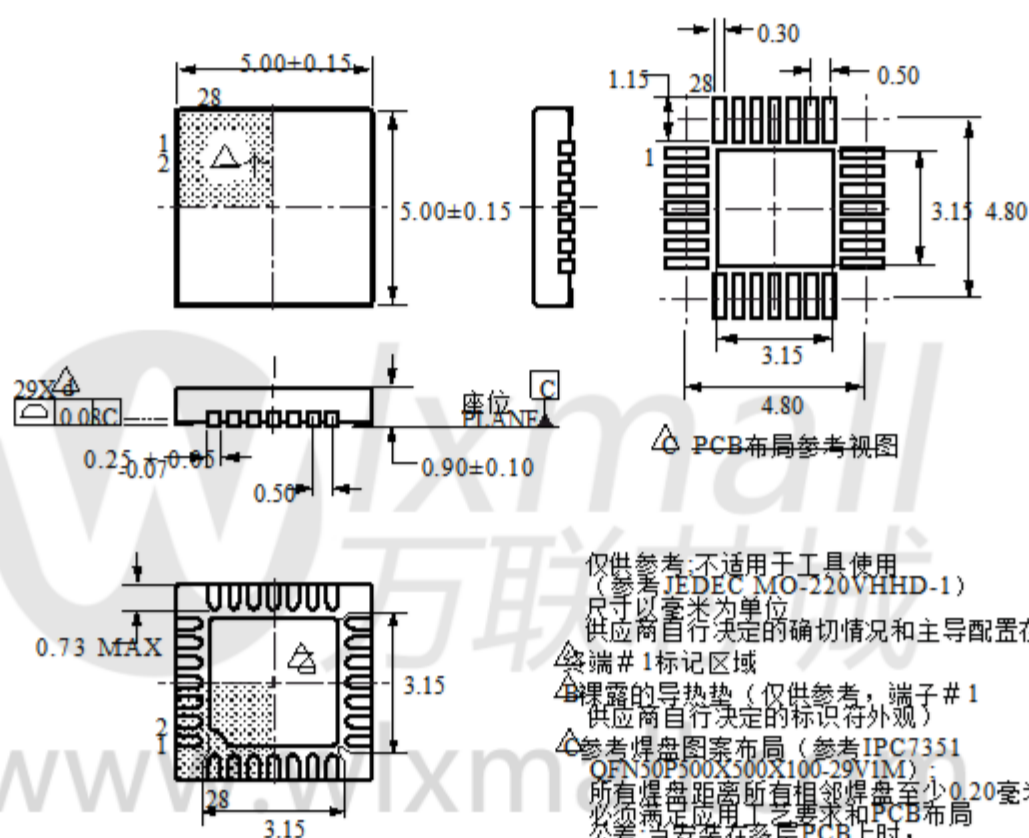
图4. LP包的典型应用程序信息



输入/输出结构



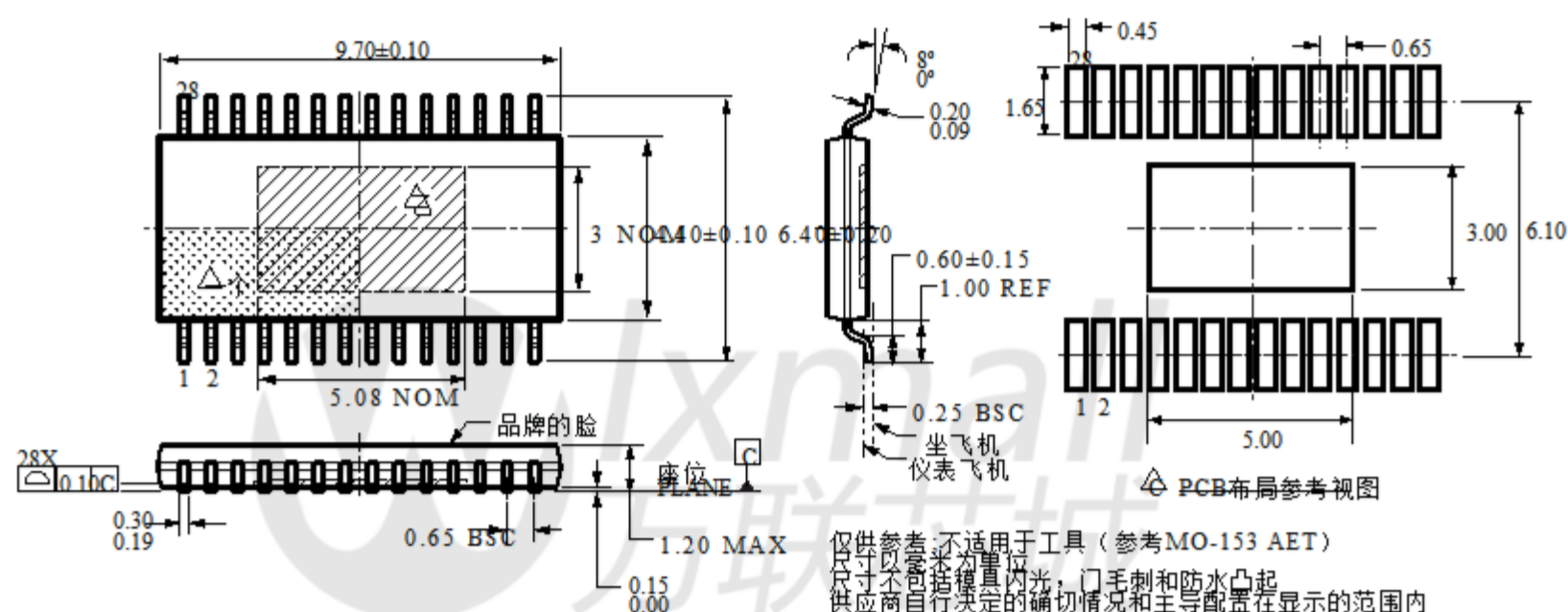
封装ET, 28引脚QFN
与暴露的散热垫



仅供参考, 不适用于工具使用
(参考 JEDEC MO-220VHHD-1)
尺寸以毫米为单位
供应商自行决定的确切情况和主导配置在显示的范围内

△ 端#1标记区域
△ 暴露的导热垫 (仅供参考, 端子#1
供应商自行决定的标识符外观)
△ 参考焊盘图案布局 (参考 IPC7351
QFN50P500X500X100-29V1M)
所有焊盘距离所有相邻焊盘至少 0.20 毫米; 调整为
必须满足应用工艺要求和 PCB 布局
公差; 当安装在多层 PCB 上时,
暴露的散热垫焊盘可以改善散热 (参考文献
EIA/JEDEC 标准 JESD51-5)
△ 共面包括暴露的导热垫和端子

封装LP, 28引脚TSSOP
与暴露的散热垫



仅供参考:不适用于工具 (参考MO-153 AET)
尺寸以毫米为单位
尺寸不包括模具内光, 门毛刺和防水凸起
供应商自行决定的确切情况和主导配置在显示的范围内
△ 端#1标记区域
△ 裸露的导热垫 (底面)
△ 参考焊盘图案布局 (参考IPC7351
SOP63P640X120-29CM)
所有焊盘距离所有相邻焊盘至少0.20毫米;调整为
必须满足应用工艺要求和PCB布局
公差当安装在多层PCB上时,
裸露的散热垫焊盘可以改善散热 (参考文献
EIA / JEDEC标准JESD51-5)

修订记录

调整	当前 修订日期	修订说明
修订版1	2013年4月1日	更新EC表格参数



版权©2012-2013, Allegro MicroSystems, LLC

Allegro MicroSystems 有限责任公司保留随时根据需要对这些细节规格的偏离作出的权利, 允许改进其产品的性能, 可靠性或可制造性. 在下订单之前, 请提醒用户确认所依赖的信息是最新的.

Allegro 产品不得用于生命支持设备或系统, 如果 Allegro 产品的故障可合理预期导致该生命支持设备或系统失效, 或影响该设备或系统的安全性或有效性.

这里包含的信息被认为是准确和可靠的. 但是, Allegro MicroSystems, LLC 不承担任何责任使用; 也不对任何可能因其使用而导致的专利或其他第三方权利的侵权行为负责.

有关本文档的最新版本, 请访问我们的网站:

www.allegromicro.com

