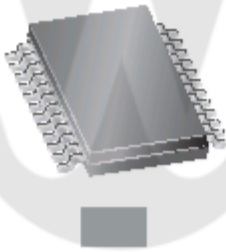


带翻译器的DMOS微步驱动器

特点和优点

- 低 $R_{DS(on)}$ 输出
- 对地短路保护
- 负载保护短路
- 自动电流衰减模式检测/选择
- 混合和慢速电流衰减模式
- 低功耗的同步整流
- 内部 $UVLO$ 和热关断电路
- 交叉电流保护

封装：24引脚TSSOP裸露
导热垫（后缀LP）



大致的比例

描述

A3987是一款完整的微步进电机驱动器。内置翻译器，方便操作。它被设计来运作双极步进电机，完整，一半，四分之一和十六步模式，具有50 V输出驱动能力 $\pm 1.5 A$ 。

A3987包括一个固定的关闭时间电流调节器，它具有在慢速或混合衰减模式下运行的能力。

译者是易于实施的关键。

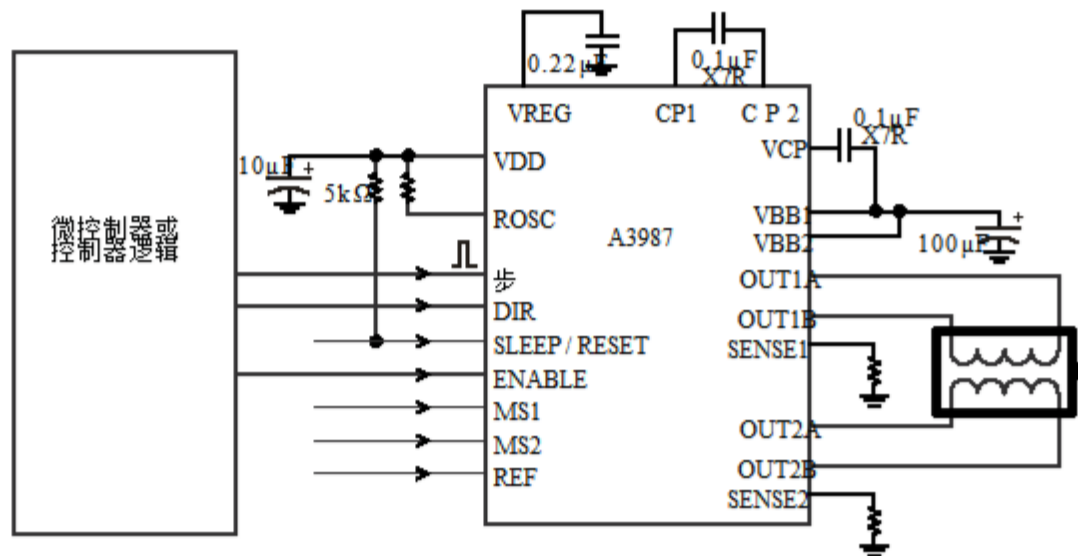
A3987在步进输入端只需输入一个脉冲即可驱动 *motortotakeonemicrostep*. There are no phase sequencetables, 高频控制线或复杂的编程接口。

A3987接口非常适合应用于a 复杂的微处理器不可用或负担过重。

A3987斩波控制器自动选择电流衰减模式（慢或混合）。当发生STEP信号时，翻译者确定该步骤是否导致更高或更高每个电机相位的电流较低。如果改变是较高的电流，那么衰减模式设置为慢衰减。如果变化是较低的电流，然后衰减模式设置为快速衰减30.1%。这个电流衰减控制方案的结果减少可闻的电机噪音，提高步进精度，以及降低功耗。

续下页.....

典型应用图



A3987

带翻译器的DMOS微步驱动器

说明（续）

提供内部同步整流控制电路
改善PWM操作期间的功耗。

内部电路保护包括：用热关断
滞迟，欠压闭锁（UVLO）和交叉电流

保护.特殊的上电排序不是必需的。

A3987采用薄型（最大高度1.2毫米）
带导热片的24引脚TSSOP（后缀LP）.包
是铅（Pb）免费与100％零锡引脚框电镀。

选择指南

零件号	包	填料
A3987SLP-T	带裸露散热垫的24引脚TSSOP	62件/管
A3987SLPTR-T	带裸露散热垫的24引脚TSSOP	3000件/卷

绝对最大额定值

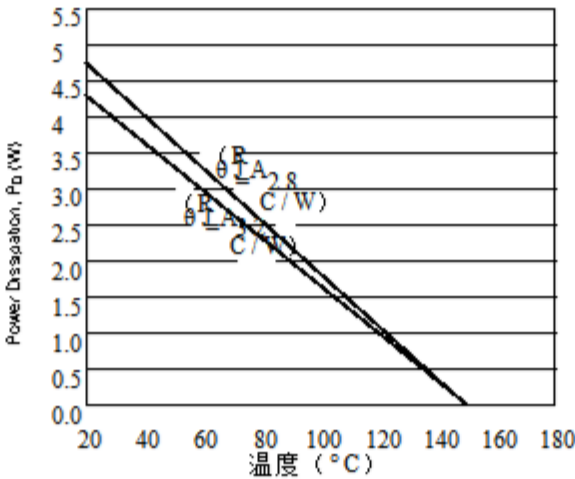
特性	符号	笔记	评分	单位
负载电源电压	V BB		50	V
输出电流	我 OUT	输出电流额定值可能受工作周期，环境限制 温度和散热.在任何条件下， 不要超过规定的额定电流或结温度， 温度为150°C.	±1.5	一个
逻辑电源电压	V DD		7	V
逻辑输入电压范围	V IN		-0.3到V DD + 0.3	V
VBBx到OUTx			50	V
感应电压	V SENSE		0.5	V
参考电压	V REF		0到4	V
额定工作温度	T A.	范围S	-20至85	°C
最大结温	T J（最大）		150	°C
储存温度	T stg		-55至150	°C

热特性*

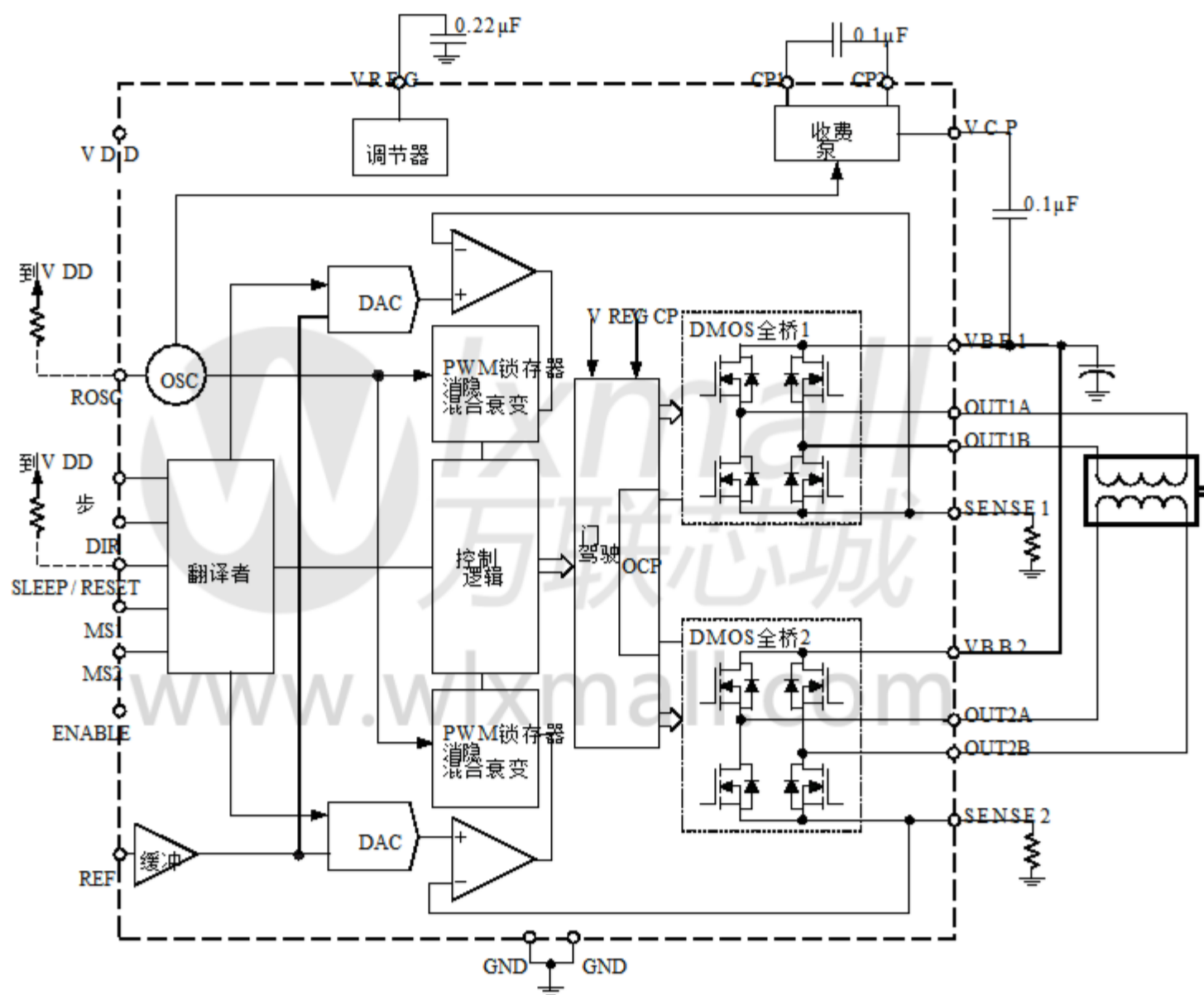
特性	符号	笔记	评分	单位
封装热阻	RθJA	基于JEDEC标准的4层PCB	28	°C / W
		2层PCB，3.8英寸2.2盎司铜的每一面	32	°C / W

* Allegro网站提供更多热里数据.

最大功耗，P D（最大）



功能框图



电气特性 1

在 $T_A = 25^\circ\text{C}$, $V_{BB} = 50\text{V}$ 时有效, 除非另有说明

特点	符号测试条件		阈.	典型. 2	最大.	单位
输出驱动器						
负载电源电压范围	V BB	操作	8	-	50	V
		在睡眠模式下	0	-	50	V
逻辑电源电压范围	V DD	操作	3.0	-	5.5	V
输出导通电阻	R DS (上)	源驱动程序, I OUT = -1.5 A	-	0.54	0.6	Ω
		接收器驱动器, I OUT = 1.5 A	-	0.54	0.6	Ω
体二极管正向电压	V F	源二极管, I F = -1.5A	-	-	1.2	V
		接点二极管, I F = 1.5 A	-	-	1.2	V
电机电源电流	我 BB	f PWM <50 kHz	-	-	4	嘛
		操作, 输出被禁用	-	-	2	嘛
		睡眠(空闲)模式	-	-	20	μA
逻辑电源电流	我 DD	f PWM <50 kHz	-	-	12	嘛
		输出关闭	-	-	10	嘛
		睡眠模式	-	-	100	μA
控制逻辑						
逻辑输入电压	V IN (1)	V DD ×0.7	-	-	-	V
	V IN (0)	-	-	-	V DD ×0.3	V
逻辑输入电流	我 IN (1)	V IN = V DD ×0.7	-20	<1.0	20	μA
	我 IN (0)	V IN = V DD ×0.3	-20	<1.0	20	μA
输入滞后			150	-	600	毫伏
空白时间	t BLANK	f osc = 4 MHz	0.7	1	1.3	女士
固定停机时间	关闭	ROSC绑在地上	15	25	35	女士
		R OSC = 59KΩ	23	三十	37	女士
参考输入电压范围			0.8	-	4	V
参考输入电流	我 参考		-3	0	3	嘛
GM错误 3	呃	V REF = 4V, DAC = 37.5%	-	-	±15	%
		V REF = 4V, DAC = 70.31%	-	-	±10	%
		V REF = 4 V, DAC = 100%	-	-	±5	%
跨界死亡时间	t DT		300	650	900	NS
重置脉冲宽度	t RP		0.2	-	1	微妙
睡眠脉冲宽度	t S		> 2.5	-	-	微妙
UVLO启用阈值	V UVLO	V DD 上升	2.35	2.7	3	V
UVLO滞后	V UVHYS		0.05	0.10	-	V

接下一页.....

电气特性 1 (续) 在 T A = 25°C, V BB = 50 V时有效，除非另有说明

特点	符号测试条件	阈.	典型. 2	最大.	单位
保护电路					
过流保护阈值 4	我 ocpst	2-		-	一个
过电流消隐	t ocp	13			微秒
热关断温度	T TSD	-	165	-	C
热关断滞后	T TSDhys	- 1 5		-	C

1 负电流被定义为从指定器件引脚输出（源）。
2 典型数据仅用于初始设计估算，并假设最佳制造和应用条件。性能可能会因印度 -
个人单位，在规定的最大和最小限度内。
3 $V_{ERR} = [(V_{REF}/8) - V_{SENSE}]/(V_{REF}/8)$ 。
4 OCP在 T A = 25°C的限制范围内 进行测试， 并通过表征进行保证。

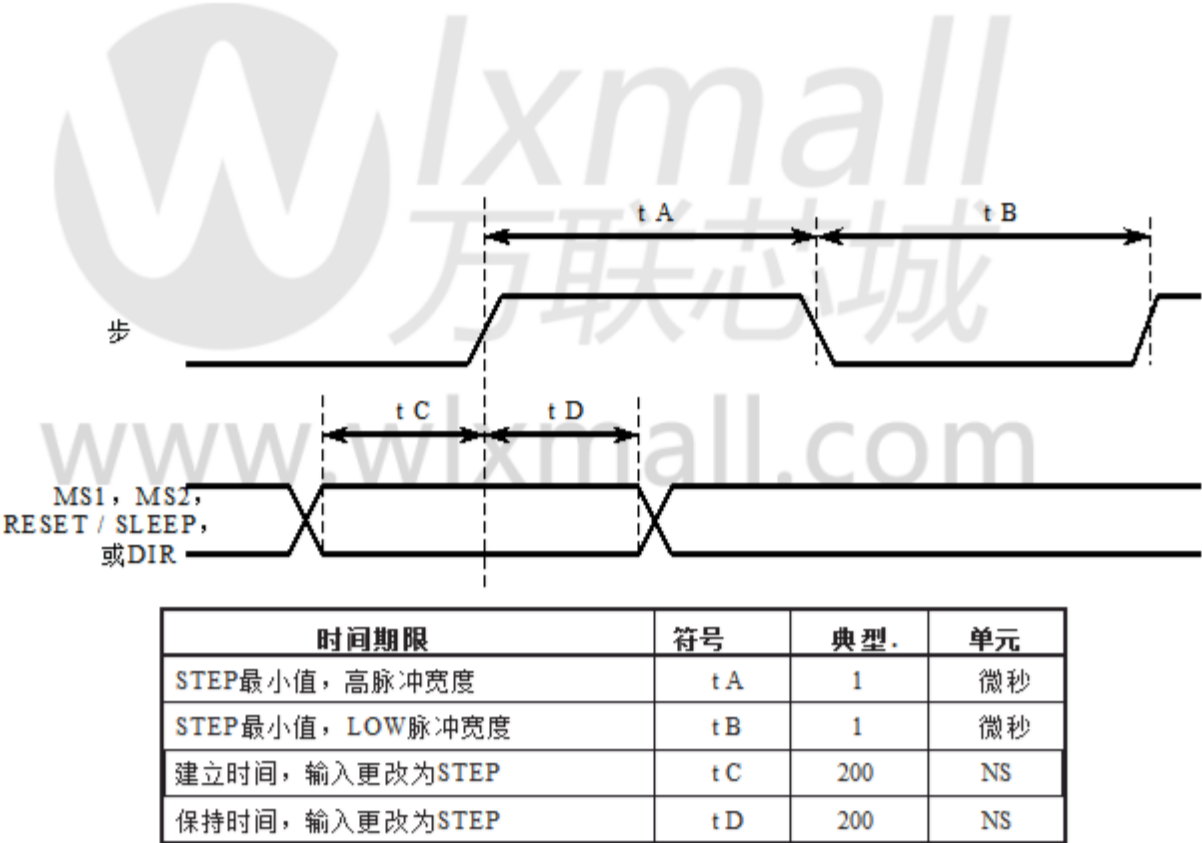


图1. 逻辑接口时序图

表1.微步分辨率真值表

MS1	MS2	微步分辨率	激励模式
大号	大号	全步	2阶段
H	大号	半步	1-2阶段
大号	H	季度步骤	W1-2阶段
H	H	第十六步	4W1-2阶段

表2.步骤排序设置
家庭微步位置在步角45°; DIR = H

充分步 (#)	半步 (#)	1/4步 (#)	1/16步 (#)	阶段1当前 (%) 我 TRIP (最大)	阶段2当前 (%) 我 TRIP (最大)	步角度 (°)	充分步 (#)	半步 (#)	1/4步 (#)	1/16步 (#)	阶段1当前 (%) 我 TRIP (最大)	阶段2当前 (%) 我 TRIP (最大)	步角度 (°)
	1	1	1	0.00	100.00	0.0		五	9	33	0.00	-100.00	180.0
			2	9.38	100.00	5.6				34	-9.38	-100.00	185.6
			3	18.75	98.44	11.3				35	-18.75	-98.44	191.3
			4	29.69	95.31	16.9				36	-29.69	-95.31	196.9
		2	五	37.50	92.19	22.5			10	37	-37.50	-92.19	202.5
			6	46.88	87.50	28.1				38	-46.88	-87.50	208.1
			7	56.25	82.81	33.8				39	-56.25	-82.81	213.8
			8	64.06	76.56	39.4				40	-64.06	-76.56	219.4
1	2	3	9	70.31	70.31	45.0	3	6	11	41	-70.31	-70.31	225.0
			10	76.56	64.06	50.6				42	-76.56	-64.06	230.6
			11	82.81	56.25	56.3				43	-82.81	-56.25	236.3
			12	87.50	46.88	61.9				44	-87.50	-46.88	241.9
		4	13	92.19	37.50	67.5			12	45	-92.19	-37.50	247.5
			14	95.31	29.69	73.1				46	-95.31	-29.69	253.1
			15	98.44	18.75	78.8				47	-98.44	-18.75	258.8
			16	100.00	9.38	84.4				48	-100.00	-9.38	264.4
	3	五	17	100.00	0.00	90.0		7	13	49	-100.00	0.00	270.0
			18	100.00	-9.38	95.6				50	-100.00	9.38	275.6
			19	98.44	-18.75	101.3				51	-98.44	18.75	281.3
			20	95.31	-29.69	106.9				52	-95.31	29.69	286.9
		6	21	92.19	-37.50	112.5			14	53	-92.19	37.50	292.5
			22	87.50	-46.88	118.1				54	-87.50	46.88	298.1
			23	82.81	-56.25	123.8				55	-82.81	56.25	303.8
			24	76.56	-64.06	129.4				56	-76.56	64.06	309.4
2	4	7	25	70.31	-70.31	135.0	4	8	15	57	-70.31	70.31	315.0
			26	64.06	-76.56	140.6				58	-64.06	76.56	320.6
			27	56.25	-82.81	146.3				59	-56.25	82.81	326.3
			28	46.88	-87.50	151.9				60	-46.88	87.50	331.9
		8	29	37.50	-92.19	157.5			16	61	-37.50	92.19	337.5
			三十	29.69	-95.31	163.1				62	-29.69	95.31	343.1
			31	18.75	-98.44	168.8				63	-18.75	98.44	348.8
			32	9.38	-100.00	174.4				64	-9.38	100.00	354.4
	五	9	33	0.00	-100.00	180.0		1	1	1	0.00	100.00	360.0

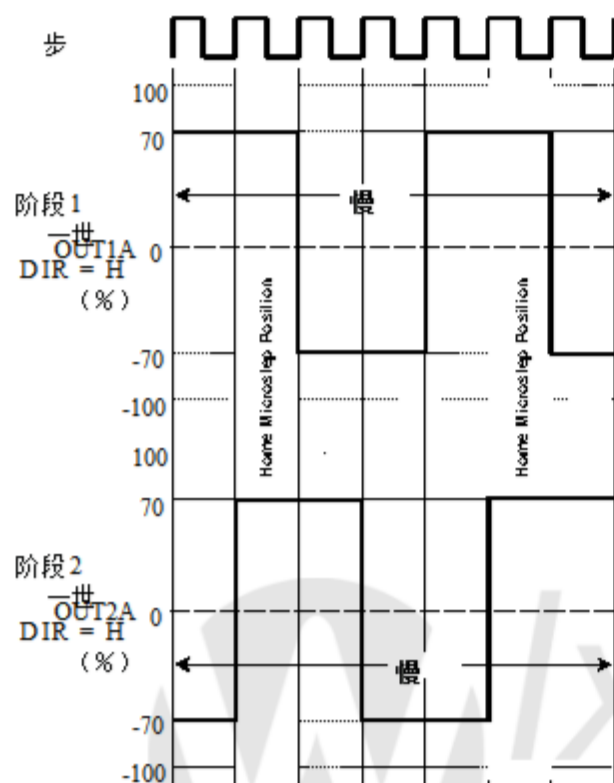


图2. 全步增量的衰减模式

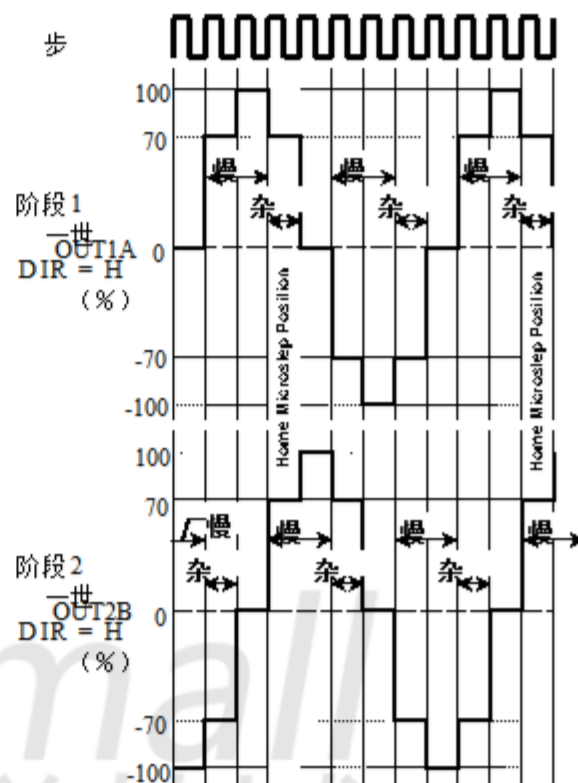


图3. 用于半步增量的衰减模式

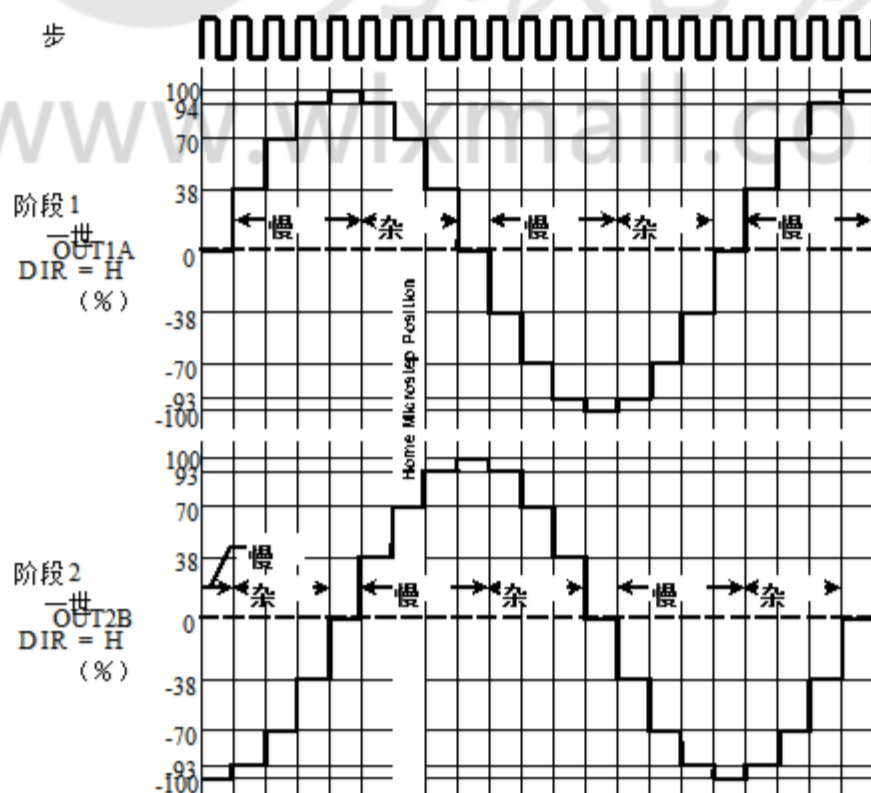


图4. 四分之一步增量的衰减模式

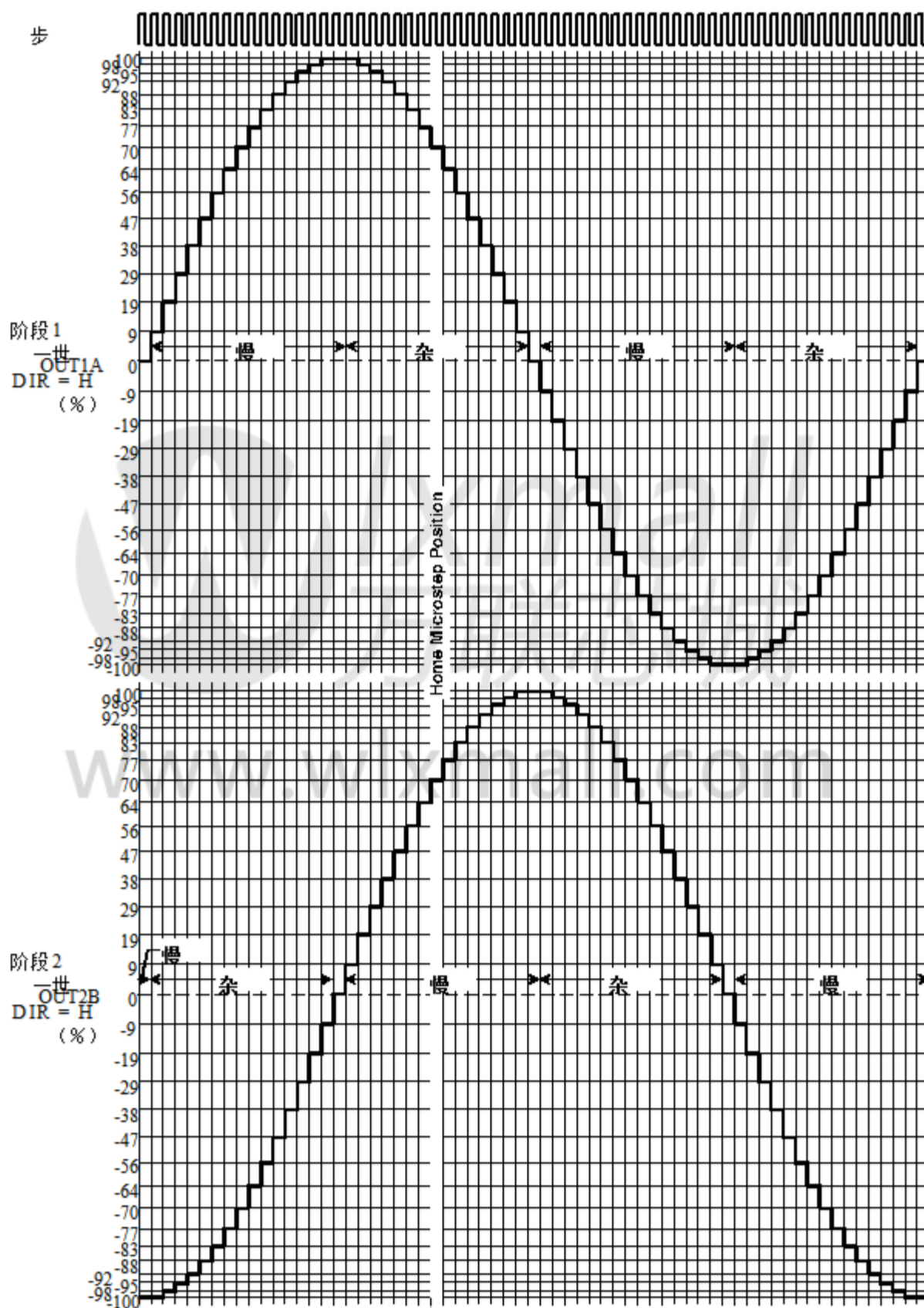


图5. 第十六步增量的衰减模式

功能说明

设备操作 A3987是一个完整的微步内置翻译器的电机驱动器，便于操作最少的控制线。A3987被设计用于操作，吃双极步进电机，一半，四分之一和十六分之一步模式。双输出端的全桥组成完全由N沟道DMOS FET和全桥电流组成由固定关断时间，脉宽调制（PWM）控制电路。对于每个全桥，单步电流通过以下组合来设定：共同的外部参考电压 - 电压， V_{REF} ；一个外部电流检测电阻 R_{SENSEx} ；和由输出控制的内部DAC的输出电压的翻译。

在上电或复位时，转换器设置DAC和相位电流极性为初始状态（见图2至图5为家庭状态条件），并设置电流调节器用于两个输出相到混合衰减模式。当一个命令信号在STEP输入端，翻译器自动发生将DAC排序到下一个级别（有关当前的信息，请参见表2）电平序列）和电流极性。微步分辨率由输入MS1和MS2设置（状态设置见表1）。如果逻辑输入上拉到VDD，则最好使用一个高价值的上拉电阻，以限制电流流向逻辑输入应该发生过压事件。如果新的DAC输出水平低于以前的水平，然后是衰减模式全桥将被设置为混合衰减。如果新的DAC级别高于或等于先前的水平，则衰减模式为那座全桥将衰减缓慢。这种自动电流衰减通过减少，选择提高了微步性能由电机BEMF引起的电流波形失真。

低功耗模式选择（SLEEP / RESET）低控制输入用于最大限度地减少功耗的时候A3987未使用。这会禁用很多内部电路包括输出FET和内部稳压器。逻辑高允许在家庭状态下正常的设备操作和加电。当退出睡眠模式时，需要1 ms的延迟时间发出STEP命令，以允许内部监管机构稳定。输出也可以在没有时重置为主状态进入睡眠模式。为此，请将此输入脉冲持续一段时间在 $t_{RP}(\min)$ 和 $t_{RP}(\max)$ 之间。

步进输入（STEP）STEP上的低到高转换输入序列的翻译和推进马达一个增加 - 换货。转换器控制DAC和直接转换器的输入，每个绕组中的电流流动。增量的大小是由输入MS1和MS2的状态决定。

微步选择（MS1和MS2）输入MS1和MS2选择微步格式（参见表1了解状态设置）。这些输入的更改在下一步之前不会生效。命令在VDD中使用上拉电阻是一种很好的做法。为了在发生外部过压时限制输入电流，建议至少5kΩ。

方向输入（DIR）DIR输入的状态决定电机的旋转方向。DIR上的逻辑更改引脚在发出下一个STEP命令之前不会生效。

内部PWM电流控制 每个全桥都是由固定关断时间的PWM电流控制电路控制。将负载电流限制在所需的值（ITRIP）。最初，a对角线对的源极和漏极FET使能并且是电流流经电机绕组和相应的电流检测电阻， R_{SENSEx} 。当 R_{SENSE} 两端的电压相等时DAC输出电压，电流检测比较器重置PWM锁存器，关闭源驱动器（缓慢衰减模式）或汇和源驱动程序（快速或混合衰减模式）。

电流限制的最大值由选择 R_{SENSE} 和REF输入端的电压，具有跨导函数近似值为：

$$I_{TRIP}(\max) = V_{REF} / 8 \times R_{SENSE}$$

DAC输出将 V_{REF} 输出降至电流检测比较器的精确步骤：

$$I_{TRIP} = (\%I_{TRIP}(\max) / 100) \times I_{TRIP}(\max),$$

（请参见表2了解每个步骤的 $\%I_{TRIP}(\max)$ ）。

注意：绝对最大额定电压至关重要（0.5 V）不超过SENSE引脚。

固定关闭时间 内部PWM电流控制电路使用一个4 MHz的主振荡器来控制这个持续时间。电机依然关闭。固定的关闭时间 t_{OFF} 取决于选择从ROSC连接的外部电阻。将端子定时至VDD。如果ROSC终端直接连接到GND， t_{OFF} 默认为25μs。关闭时间近似为：

$$t_{OFF} \approx R_{OSC} / 1.981 \times 10^9$$

主振荡器周期用于导出PWM关断时间，死区时间和空白时间。

消隐 此功能可消隐电流感测的输出。比较器的输出由内部电流切换控制电路。比较器输出消隐以防止由于反向恢复电流的错误过流检测。

内部体二极管和开关瞬态相关的负载的电容. 空白时间 t_{BLANK} 在内部设置到大约 $1\mu s$.

电荷泵 (CP1和CP2) 电荷泵用于产生大于 V_{BBx} 的栅极电源来驱动源极FET大门. CP1和CP1之间需要一个 $0.1\mu F$ 陶瓷电容. CP2用于泵送目的. 需要一个 $0.1\mu F$ 的陶瓷电容器在VCP和VBB终端之间充当存储器, 吃高端FET.

内部稳压器 (VREG) VREG终端应该用一个 $0.22\mu F$ 电容去耦地. 这在内部产生的电压用于操作sink FET输出. VREG在内部进行监控, 并在出现故障的情况下, 该设备的输出被禁用.

使能输入 (ENABLE) 该输入激活所有的FET输出. 逻辑高电平时, 输出被禁止, 以及何时逻辑低电平, 输出使能. 输入到翻译器 (STEP, DIR, MS1和MS2) 始终处于活动状态, 但在休眠模式下除外, 不管ENABLE输入状态如何.

关机 如果发生故障 (过多的连接温度或VCP上的低电压), 设备的输出被禁用, 直到故障条件被删除. 在加电时, 欠压锁定 (UVLO) 电路禁用驱动器和将翻译器重置为本地状态.

混合衰减操作 全桥可以工作在混合衰减模式时, 按步进顺序设置 (见图3) 通过5). 当达到行程点时, 设备进入快速状态. 衰减模式为固定关闭时间的30.1%, t_{OFF} . 在这之后

衰减部分, t_{FD} , 器件切换到慢衰减模式. 剩余的固定关闭时间段.

同步整流 当PWM关闭周期为, 由内部固定关闭时间周期触发, 负载电流将会根据控制器选择的衰减模式循环. 逻辑. A3987同步整流功能打开. 在电流衰减期间使用合适的FET, 有效短路低 $R_{DS(on)}$ 驱动器中的主体二极管. 这降低了力损耗显著, 并且可以消除对外部的需求肖特基二极管的许多应用. 为了防止逆转负载电流, 同步整流关闭时为零. 当前的水平被检测到.

对地短路 如果电机绕组接地短路, 通过短路的电流将上升, 直到过流阈值. 我已经超过了最低2 A的COPST. 司机关闭. 经过短暂的传播延迟并锁存故障. 装置在休眠/复位输入变为高电平之前将保持禁用状态. VDD电源被移除. 如图6所示, 一个短暂的地面产生一个过电流事件.

短路负载 在短路负载事件中, 当前路径为通过检测电阻. 在该故障状态期间该设备将受到保护, 但是, 故障不会被锁定. 什么时候全桥接通, 电流将升高并超过过流保护, 当前阈值. 空白时间后, 大约为空白 $1\mu s$, 驱动器将查看SENSEx引脚上的电压. 该SENSEx引脚上的电压将大于设置的电压REF引脚和全桥将在设置的时间内关闭. ROSC引脚. 图7显示了一个短路负载情况. 停机时间为 $30\mu s$.

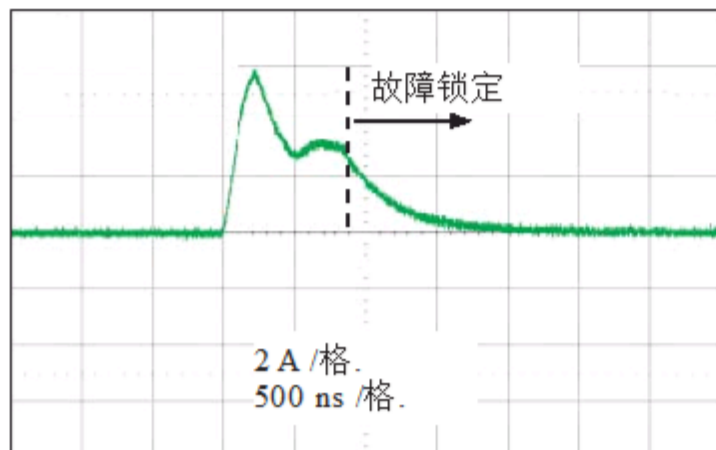


图6. 对地短事件

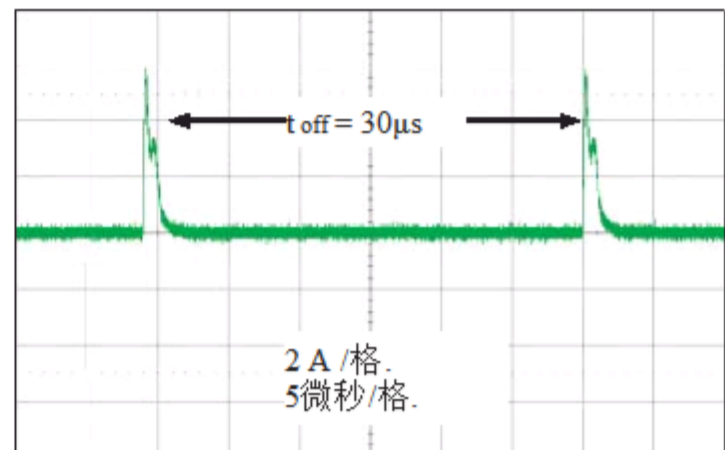


图7. 短负载事件

布局 印刷电路板应该使用厚重的接地板，平面。为了获得最佳的电气和热性能，A3987必须直接焊接在电路板上。在“A3987封装的一面是裸露的焊盘，它提供了一个增强散热的路径。导热垫应该是直接焊接到PCB上的暴露表面。散热孔用于将热量传递给PCB的其他层。

为了尽量减少地面反弹和抵消的影响问题，重要的是要有一个低阻抗的单元地面，被称为星地，位置非常靠近设备。通过在焊盘和地平面之间建立连接，直接在A3987下方，该区域成为理想的位置为一个明星的地面点。低阻抗地将会阻止在大电流操作期间地弹跳，并确保电源电压在输入端保持稳定。该重建 - 如图8所示，修补的PCB布局说明了如何创建该器件下面有一个星形接地，可用作低阻抗接地点和热路径。两个输入电容应该并联放置，如图所示。尽可能靠近器件电源引脚。陶瓷电容 - tor (CIN1) 应该比大容量电容更靠近引脚 (CIN2)。这是必要的，因为陶瓷电容会负责提供高频电流元件。

检测电阻 RS_x 应该有一个非常低的阻抗路径，因为它们必须承载大电流，通过电流感知移植非常精确的电压测量。比较长的接地线会导致额外的电压下降，对比较者的准确性产生不利影响，高频地测量绕组中的电流。如图8所示，SENSE x 引脚对 RS_x 电阻的走线非常短并且非常厚，低阻抗直接跟踪星地。在设备下面。如果可能的话，应该没有其他的com-感应电路上的支持者。

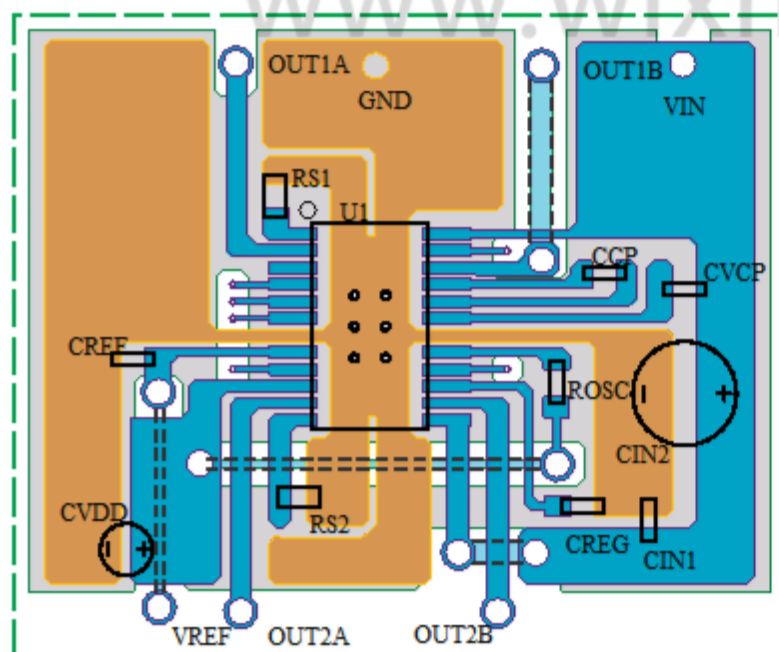
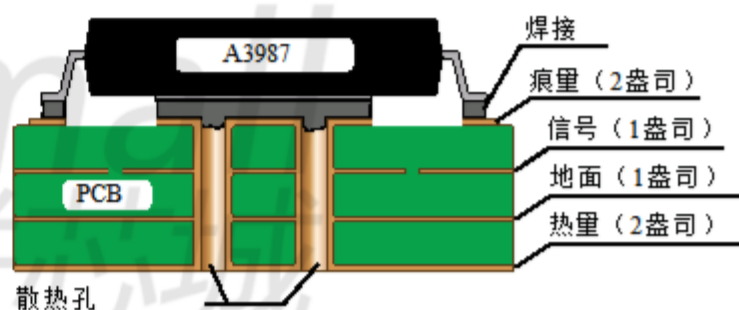
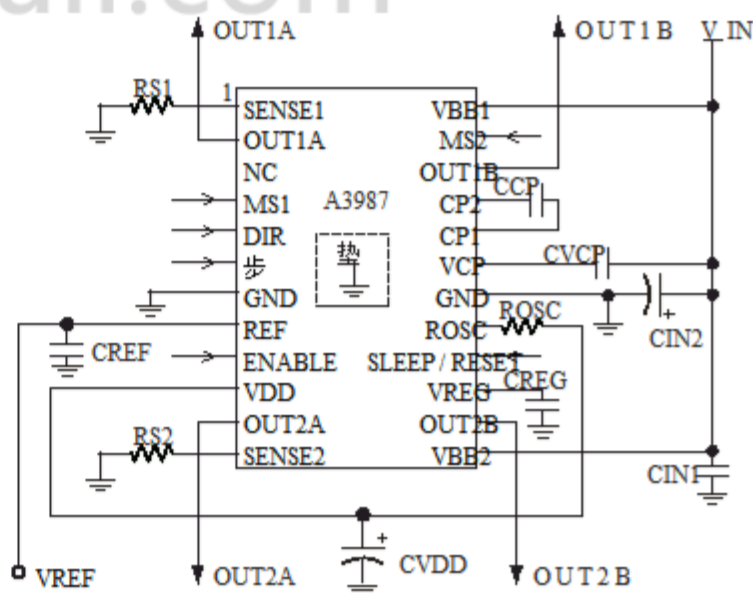
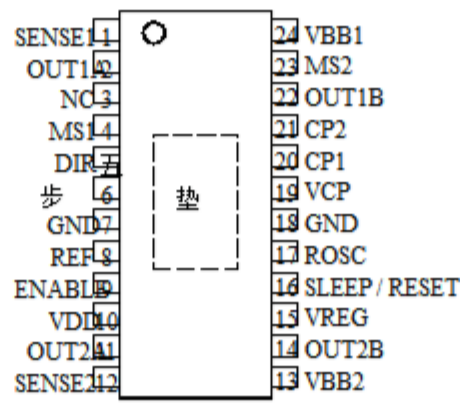


图8.具有典型应用电路的印刷电路板布局，如右图所示。A3987 (U1) 正下方的铜区域为焊接到设备底面暴露的导热垫上。



散热孔也用作电子过孔，将其连接到电源插座。PCB的另一侧接地层，所以两个铜区域一起形成明星阵列。

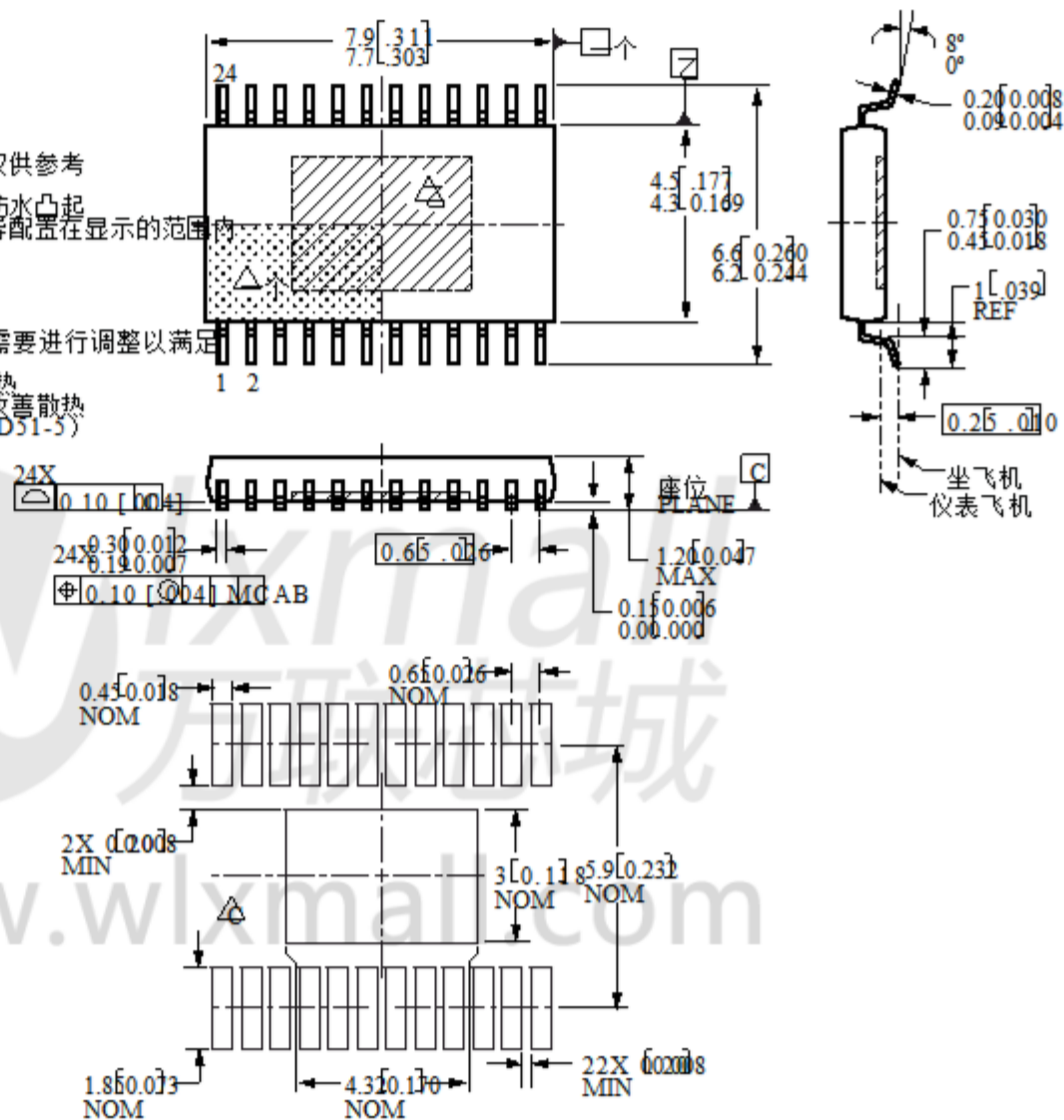
器件引脚图



终端列表表

数	名称	引脚说明
1	SENSE1	全桥1检测电阻端子
2	OUT1A	DMOS全桥1，输出A
3	NC	无连接
4	MS1	逻辑输入
五	DIR	逻辑输入
6	步	逻辑输入
7，18	GND	接地端子
8	REF	G m 参考输入
9	ENABLE	逻辑输入
10	VDD	逻辑供应
11	OUT2A	DMOS全桥2，输出A
12	SENSE2	全桥2的检测电阻端子
13	VBB2	负载供电
14	OUT2B	DMOS全桥2，输出B
15	VREG	内部调节器
16	SLEEP/RESET	逻辑输入
17	ROSC	振荡器输入
19	VCP	油藏电容器端子
20	CP1	电荷泵电容器端子
21	CP2	电荷泵电容器端子
22	OUT1B	DMOS全桥1，输出B
23	MS2	逻辑输入
24	VBB1	负载供电
-	垫	裸露的散热垫可增强散热。

初步尺寸, 仅供参考
尺寸以毫米为单位
美国惯用尺寸 (英寸) 括号内, 仅供参考
(参考 JEDEC MO-153 ADT)
尺寸不包括焊盘闪光, 门主刺和防水凸起
尺寸不自行决定的确切情况和主导配置在显示的范围
△ 裸露的导热垫 (底面)
△ 参考焊盘图案布局 (参考 IPC 7351
TSOP65P640X120-25M) ; 根据需要进行调整以满足
应用工艺要求和 PCB 布局
公差当安装在多层 PCB 上时, 散热
裸露的导热垫焊盘外的通孔可以改善散热
功耗 (参考 EIA / JEDEC 标准 JESD51-5)



版权所有©2006, 2007, Allegro MicroSystems, Inc.

www.allegromicro.com