

FM25040B

4Kb 串行5V F-RAM存储器



特征

4K位铁电非易失性RAM

组织为512 x 8位
高耐力1万亿 (10¹²) 读/写
38年的数据保留期
NoDelay™写入
先进的高可靠性铁电过程

精密的写保护方案

硬件保护
软件保护

低功耗

250 μA 功耗电流 (1 MHz)
4 μA (典型值) 待机电流

非常快速的串行外设接口 - SPI

最高总线频率高达20 MHz
直接硬件替换EEPROM
SPI模式0和3 (CPOL, CPHA = 0,0和1,1)

行业标准配置

工业温度-40°C至+ 85°C
8引脚“绿色”/ RoHS SOIC (-G)

描述

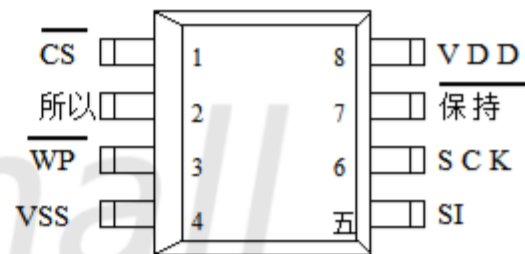
FM25040B是一款4-kilobit非易失性存储器采用先进的铁电过程.一个铁电随机存取存储器或F-RAM非易失性,但在其他方面作为RAM工作.它为38年提供可靠的数据保留消除了复杂性,开销和系统由EEPROM和EEPROM导致的可靠性问题其他非易失性存储器.

FM25040B在总线上执行写操作速度.不会发生写入延迟.数据被写入存储器阵列在它之后立即成功转移到设备.下一班车循环可以立即开始,而不需要用于数据轮询. FM25040B有能力最多支持10个12个读/写周期,或一百万比EEPROM更多的写周期.

这些功能使FM25040B成为理想之选非易失性存储器应用需要频繁使用或快速写入.范例从数据收集,写周期的数量可能很关键要求长期编写的工业控制EEPROM的时间会导致数据丢失.

FM25040B为用户提供了实质性的好处的 串行 EEPROM, 在一个硬件替代. FM25040B使用高速SPI总线, 增强了高速写入F-RAM技术的能力.规格在工业温度范围内保证-40°C至+ 85°C.

引脚配置

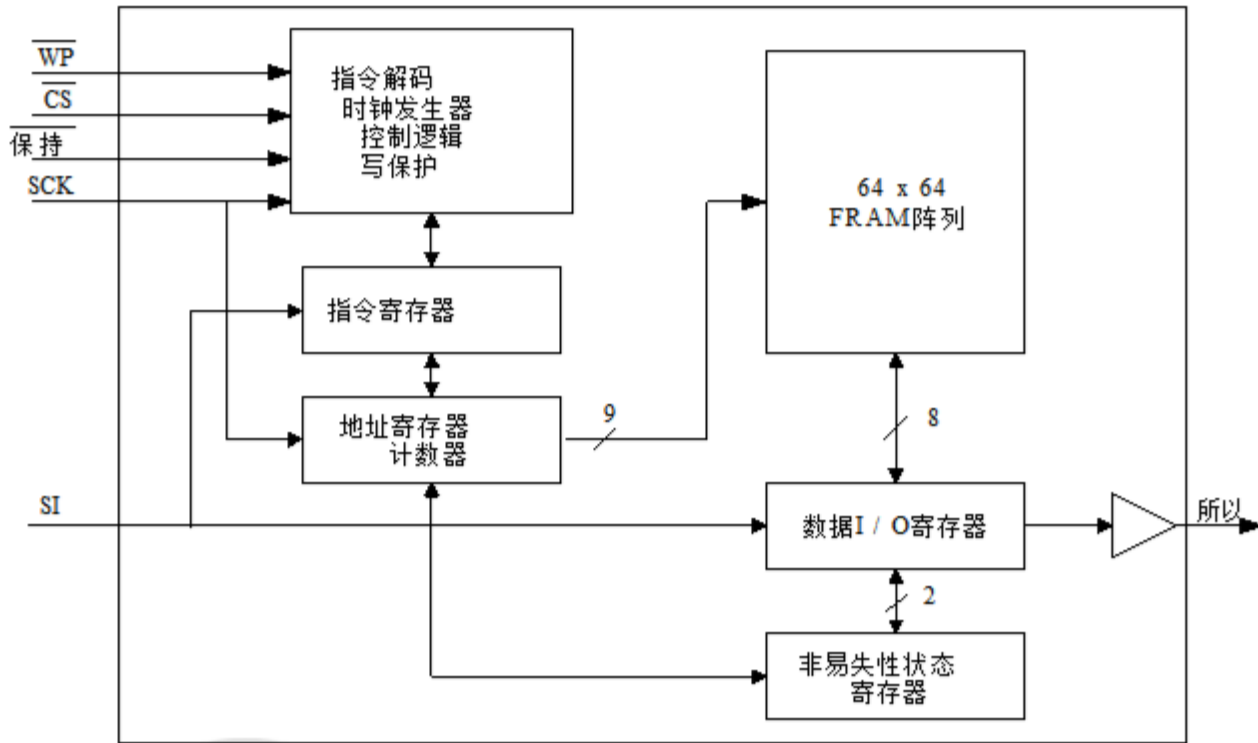


别名	功能
/ CS	芯片选择
/ WP	写保护
/保持	保持
SCK	串行时钟
SI	串行数据输入
所以	串行数据输出
VDD	电源电压5V
VSS	地面

订购信息	
FM25040B-G	“绿色”8引脚SOIC
FM25040B-GTR	“绿色”8引脚SOIC, 磁带和卷轴

本产品符合Ramtron条款的规格
内部资质测试并已达到生产状态.

standard warranty. The product has completed Ramtron's


图1.框图
引脚说明

引脚名称	I / O	描述
/ CS	输入	芯片选择.该低电平有效输入激活器件.当器件处于高电平时,电源待机模式,忽略其他输入,所有输出均为三态.当低时,器件在内部激活SCK信号./ CS上的下降沿必须在每个之前发生操作码.
SCK	输入	串行时钟:所有I/O活动都与串行时钟同步.输入被锁存在上升沿和输出发生在下降沿.由于设备是静态的,时钟频率可能是0到20 MHz之间的任何值,并可能随时中断.
/保持	输入	保持:当主机CPU必须中断内存操作时使用/HOLD引脚另一项任务.当/HOLD为低电平时,当前操作暂停.该设备忽略SCK或/CS上的任何转换.所有/HOLD上的转换必须在SCK为低电平时发生.
/ WP	输入	写保护:这个低电平有效的引脚可以防止所有的写操作,包括那些写操作状态寄存器.如果高电平,写访问由其他写保护功能决定.通过状态寄存器进行控制.写保护的完整解释是在第6页提供.
SI	输入	串行输入:所有输入数据都被驱动到该引脚.该引脚在上升沿采样SCK,并在其他时间被忽略.它应该总是被驱动到一个有效的逻辑层次来满足我DD规格. * SI可以连接到单个引脚数据接口的SO.
所以	产里	串行输出:SO是数据输出引脚.它在阅读过程中积极主动,在所有其他时间状态,包括/HOLD何时低.数据转换是由数据驱动的串行时钟的下降沿. *由于部件通信,因此可以将SO连接到单个引脚数据接口的SI半双工时尚.
VDD	供应	电源电压:5V
VSS	供应	地面

概观

FM25040B是一个串行**F-RAM**存储器。该内存阵列在逻辑上组织为**512 x 8**，并且是使用行业标准串行外设访问接口或**SPI**总线。**F-RAM**与串行**EEPROM**类似。专业**FM25040B**和一个串口之间的区别具有相同引脚的**EEPROM**与其相关优越 写 性能。这个 品牌 该**FM25040B**是大多数**4Kb SPI**的直接替代产品支持模式**0**和**3**的**EEPROM**。

内存架构

当访问**FM25040B**时，用户地址每个**512**位都有**8**个数据位。这些数据位串联移位。这些地址可以使用**SPI**协议，其中包括一个片选（至允许总线上的多个设备），一个操作码包括高位地址位和一个字地址。字地址由较低的**8**位地址组成。位**9**位的完整地址指定了每个地址字节地址唯一。

最 功能 的 该 **FM25040B** 或 是 由**SPI**接口控制或处理自动通过板载电路。访问时间对于内存操作本质上是零，超越了串行协议所需的时间。那就是内存以**SPI**总线的速度读取或写入。与**EEPROM**不同，它不需要轮询。由于写入发生在总线上，所以设备处于就绪状态速度。也就是说，到新的巴士交易可以被转移到该部分中，写入操作将是完成。这在上文中有更详细的解释。接口部分如下。

用户期望从几个明显的系统好处**FM25040B**由于其写周期和高速耐久性与**EEPROM**相比。然而也有不太明显的好处。例如在高噪声环境下，快速写入操作比**EEPROM**更容易受到腐蚀因为它很快完成。相反，一个**EEPROM** 要求 毫秒 至 写 是在周期的大部分时间内易受噪音影响。

请注意，FM25040B不包含电源管理电路以外的简单内部上电复位。这是用户的责任确保V_{DD}在数据表容差范围内防止误操作。建议该部分没有与芯片断电启用活动。

串行外设接口 - SPI总线

FM25040B采用串行外设接口（**SPI**）总线。它被指定以高达**20**的速度运行兆赫。这个高速串行总线提供高性能 串行 通讯 至 一个主办微控制器。很多常见的微控制器具有允许直接接口的硬件**SPI**端口。使用普通模拟端口非常简单。不支持的微控制器端口引脚。该**FM25040B**在**SPI**模式**0**和**3**下运行。

SPI接口总共使用四个引脚：时钟，数据输入，数据输出和芯片选择。一个典型的系统配置使用一个或多个**FM25040B**设备使用一个具有专用**SPI**端口的微控制器，如图2所示。请注意，时钟，数据输入，数据输出引脚在所有器件中都很常见。芯片选择和保持引脚必须被驱动分别为每个**FM25040B**设备。

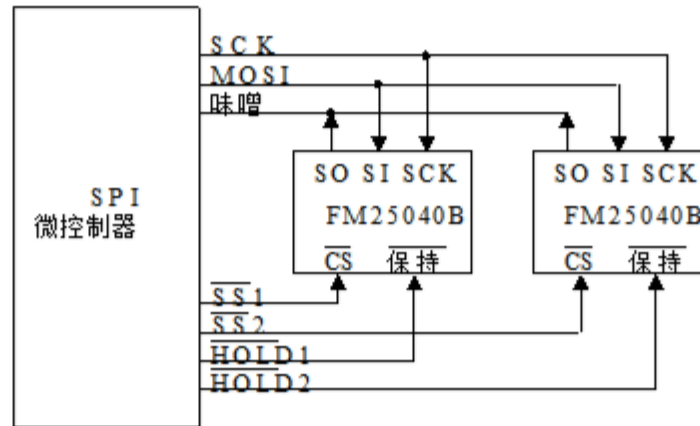
对于没有专用**SPI**总线的微控制器，a 可以使用通用端口。减少控制器上的硬件资源，有可能将两个数据引脚（**SI**，**SO**）连接在一起并进行连接关闭（高）/**HOLD**引脚。图3显示了一个只使用三个引脚的配置。

协议概述

SPI接口是一个同步串行接口使用时钟和数据线。它旨在支持总线上有多个设备。每个设备都被激活使用芯片选择。芯片选择一旦被激活总线主站，**FM25040B**将开始监视时钟和数据线之间的关系。**/CS**的下降沿，时钟和数据由指定**SPI**模式。该设备将做出决定**SPI**模式在每个芯片的下降沿选择。虽然有四种这样的模式，**FM25040B**支持模式**0**和**3**。图4显示模式**0**和**3**所需的信号关系。对于这两种模式，都将数据输入**FM25040B**在**SCK**的上升沿和预期的数据上。**/CS**激活后的第一个上升沿。如果时钟从高的状态开始，它会在开始之前下降数据传输以创建第一个上升沿。

SPI协议由操作码控制。这些操作码指定部件的命令。**/CS**后被激活从总线传输的第一个字节主是操作码。遵循操作码，任何然后传输地址和数据。请注意**WREN**和**WRDI**操作码是没有的命令随后的数据传输。

重要提示：之后，/CS必须无效（高）操作完成并在新的操作码之前可以发行。只有一个有效的操作码主动芯片选择。



MOSI: 主控输出, 从属输入
MISO: 主入, 从出
SS: 从选择

图2.带有SPI端口的系统配置

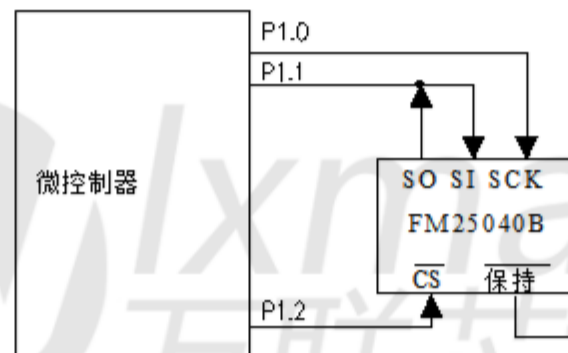
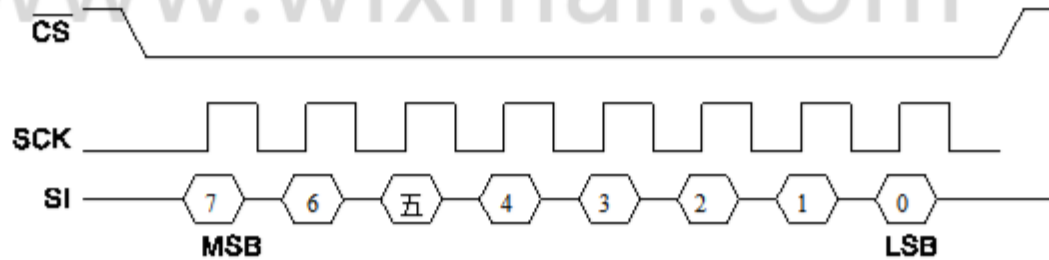


图3.没有SPI端口的系统配置

SPI模式0: CPOL = 0, CPHA = 0



SPI模式3: CPOL = 1, CPHA = 1

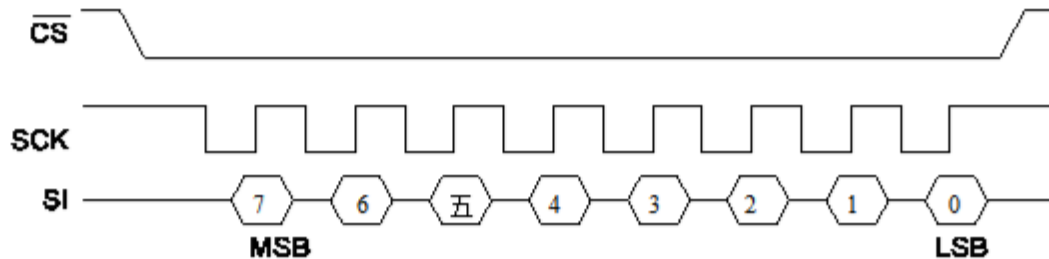


图4. SPI模式0和3

数据传输

所有数据传输到FM25040B和从FM25040B传输在8位组中.它们与时钟同步信号(SCK),它们传送最重要的位(MSB).串行输入数据打开SCK的上升沿.串行数据输出是从SCK的下降沿驱动.

命令结构

有六个称为操作码的命令可以由巴士高手发给FM25040B.他们是列于下表中.这些操作码控制着内存执行的功能.他们可以分成三类.第一,那里是没有后续数据传输的命令.它们执行单个功能,例如启用a写操作.其次是紧接着的命令一个字节,无论是在内还是外.他们在地位上运作寄存器.第三是命令对于记忆交易后跟地址和一个或多个数据字节.

表1. Op-code命令

名称	描述	操作码
WREN	设置写入启用锁存	0000_0110b
WRDI	写入禁用	0000_0100b
RDSR	读状态寄存器	0000_0101b
WRSR	写状态寄存器	0000_0001b
读	读取内存数据	0000_A011b
写	写入内存数据	0000_A010b

WREN - 设置写使能锁存

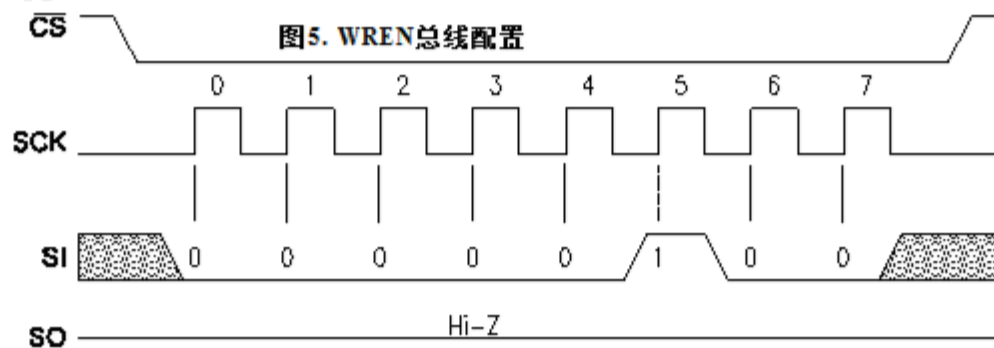
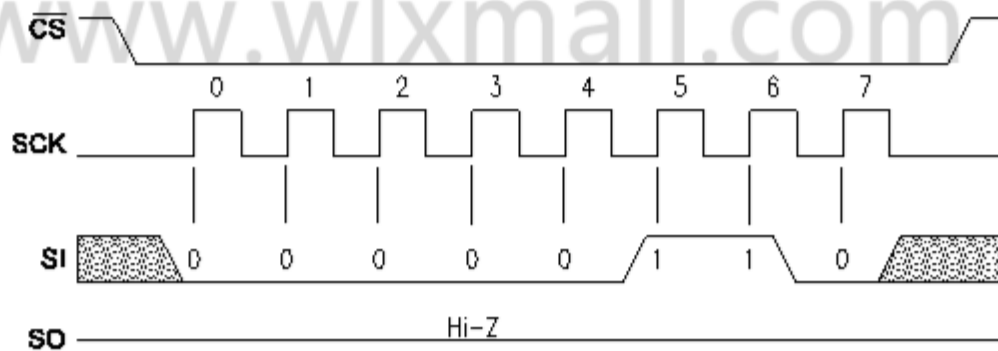
FM25040B将在禁用写入的情况下启动.WREN命令必须在任何之前发出写操作.发送WREN操作码将允许用户发布后续的操作码写操作.这些包括编写状态注册并写入内存.

发送WREN操作码会导致内部写启用锁定设置.状态中的标志位称为WEL的寄存器指示锁存器的状态.WEL = 1表示允许写入.一个写到状态寄存器对WEL位没有影响.完成任何写入操作将自动完成清除写使能锁存器,并进一步阻止没有另一个WREN命令写入.图5

下面说明该命令总线组态.

WRDI - 禁止写入

WRDI命令通过禁用所有写入活动清除写使能锁存器.用户可以验证通过读入WEL位来禁止写操作状态寄存器并验证WEL = 0.数字图6说明了WRDI命令总线配置.



RDSR - 读取状态寄存器

RDSR命令允许总线主机进行验证状态寄存器的内容. 阅读状态提供有关当前状态的信息. 写保护功能. 继RDSR运行之后, 代码, FM25040B将返回一个字节的代码. 状态寄存器的内容. 状态寄存器是在状态寄存器和写入中详细描述保护部分.

WRSR - 写状态寄存器

WRSR命令允许用户选择通过写入一个字节来实现某些写保护功能. 状态寄存器. 在发布WRSR之前, 命令, /WP引脚必须为高电平或无效. 注意在FM25040B上, /WP阻止写入状态寄存器和存储器阵列. 之前发送WRSR命令, 用户必须发送一个WREN命令启用写入. 注意执行WRSR命令是一个写入操作. 因此清除了写使能锁存器. 公交车RDSR和WRSR的时间安排如下所示.

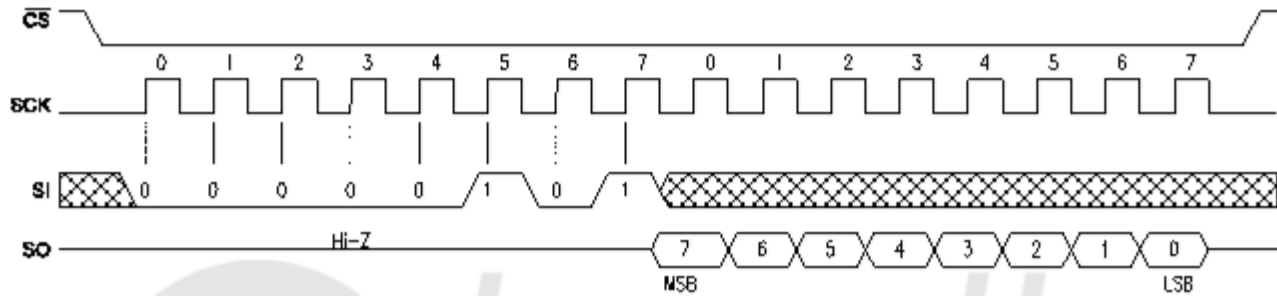


图7. RDSR总线时序

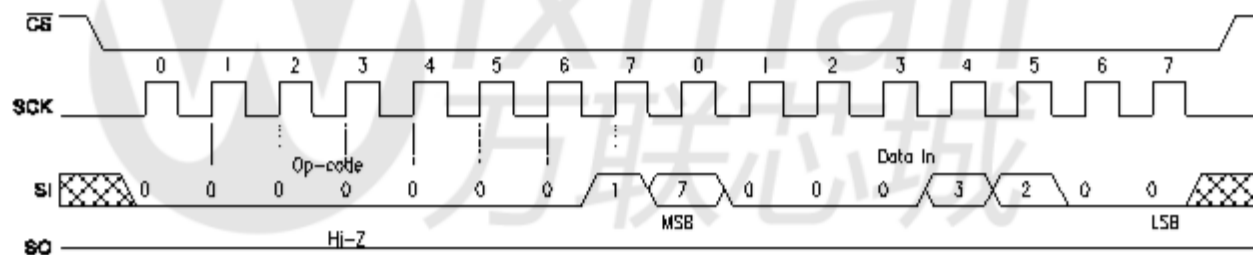


图8. WRSR总线时序

状态寄存器和写保护

FM25040B的写保护功能为多层次的. 首先, 必须发布一个WREN操作码. 在任何写入操作之前. 假设写道是使用WREN启用的, 写入内存是由/WP引脚和状态寄存器控制. 当/WP低时, 整个部分被写保护. 当/WP高时, 内存保护受到限制到状态寄存器. 写入状态寄存器是执行使用WRSR命令并受制于/WP引脚. 状态注册的组织如下.

表2. 状态寄存器

位	7	6	5	4	3	2	1	0
名称	0	0	0	0	BP1	BP0	WEL	0

位0和4-7固定为0, 不能修改. 请注意位0 (EEPROM中的/ RDY) 接线较低. 因为F-RAM写入没有延迟和内存永远不会忙碌. 所有EEPROM都使用Ready指示.

写周期是否完成. BP1和BP0位控制写保护功能. 他们是非易失性 (阴影黄色). WEL标志表示写使能锁存器的状态. 这一点是由WREN命令在内部设置并清零. 通过终止写周期 (/CS高) 或通过使用WRDI命令.

BP1和BP0是存储器块写保护位. 它们指定可写入的内存部分, 如下表所示进行保护.

表3. 块存储器写保护

BP1	BP0	受保护的地址范围
0	0	没有
0	1	180h到1FFh (上半部)
1	0	100h到1FFh (上半部分)
1	1	000h到1FFh (全部)

BP1和BP0位以及写使能锁存器是保护内存的唯一机制从写道.剩余的写保护功能保护对块保护位的无意更改.

BP1和BP0位允许选择软件写保护阵列.这些设置仅用于使用当 / WP引脚处于非活动状态并且WREN时命令已经发布.下表总结 该 写 保护 条件.

表4.写保护

WEL	/WP	受保护的块	未受保护的区块	状态寄存器
0	X	受保护	受保护	受保护
1	0	受保护	受保护	受保护
1	1	受保护	无保护	无保护

内存操作

SPI接口具有相对较高的最大值时钟频率, 突出了快速写入能力的 该 F-RAM 技术. 不像 SPI总线 EEPROM, FM25040B可以执行顺序以公交车速写.不需要页面寄存器可以执行任何数量的顺序写入.

写操作

所有对存储器阵列的写操作都以WREN开始操作码.总线主机然后发出一个WRITE操作码.这个操作码的一部分包括的高位内存地址.操作码中的位3对应到A8.下一个字节是地址的低8位A7-A0.总共9位指定的地址写操作的第一个字节.后续的字节是数据并按顺序写入.地址是只要巴士主人在内部递增继续发出时钟.如果最后的地址是1FFh已到达, 柜台将滚到000h.数据是先写MSB.

与EEPROM不同, 任何数量的字节都可以按顺序写入并写入每个字节内存立即后钟 (后 8 时钟). / CS的上升沿终止a WRITE操作码操作.

阅读操作

在 / CS的下降沿之后, 总线主控可以发出一个READ操作码.这个操作码的一部分包括内存地址的高位.下一个字节是低8位的地址.总共9位指定读操作的第一个字节的地址.操作码完成后, SI引脚将被忽略.总线主机然后发出8个时钟, 读取一位数据为每个.地址在内部增加为只要总线主人继续发出时钟.如果1FFh的最后地址到达, 计数器将会滚到000h.数据首先读取MSB.崛起 / CS的边缘终止READ操作码操作..读写操作的总线配置为如下所示.

保持

/ HOLD引脚可用于中断串行操作而不中止它.如果巴士主人需要 / HOLD引脚为低电平, 而SCK为低电平操作会暂停.将 / HOLD引脚拉高而SCK低电平将恢复操作.该 / HOLD的转换必须在SCK为低电平时发生, 但SCK引脚可以在保持状态期间切换.

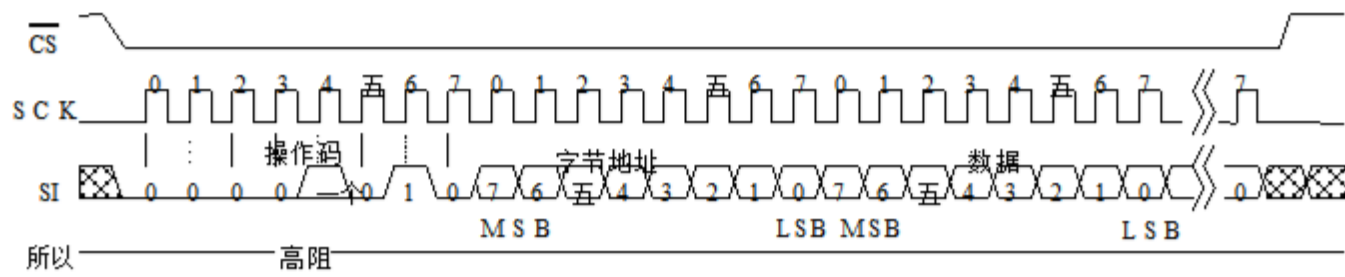


图9.内存写入

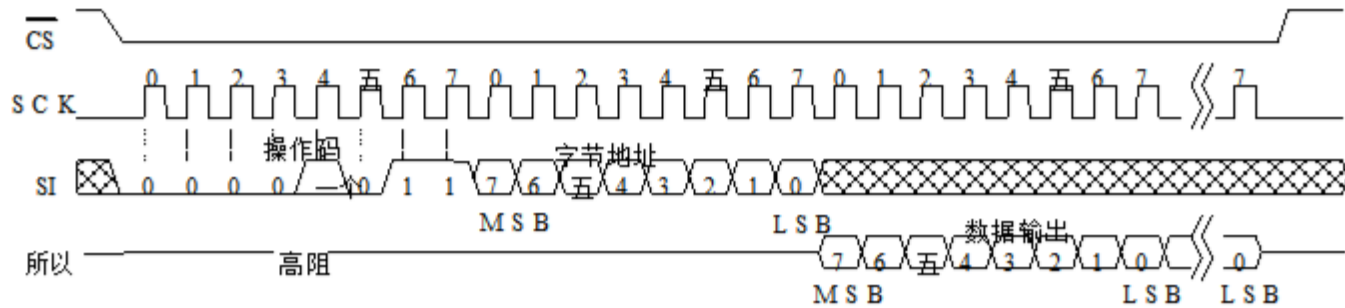


图10.内存读取

耐力

在内部，F-RAM可以读取和恢复机制.因此，应用耐力周期对于每个访问：读取或写入.该架构基于一系列行和列.每次访问都会导致整个循环行.在FM25040B中，一行是64位宽.一切8字节边界标记新行的开始.

F-RAM

通过频繁确保耐力可以得到优化访问.数据是位于在不同行.无论如何，F-RAM的读写耐力是在20MHz时钟速度下实际上无限制.甚至在每秒2000次访问同一行，15多年的时间将在10点之前过去12个耐力周期发生.

www.wlxml.com

电气规格

绝对最大额定值

符号	描述	评级
V DD	电源电压相对于V SS	-1.0V至+ 7.0V
V IN	任何引脚上的电压相对于V SS	-1.0V至+ 7.0V 和V IN < V DD + 1.0V
T STG	储存温度	-55 至 + 125°C
T LEAD	引线温度 (焊接, 10秒)	260
V ESD	静电放电电压 - 人体模型 (AEC-Q100-002 Rev. E) - 充电设备型号 (AEC-Q100-011 Rev. B) - 机器型号 (AEC-Q100-003修订版E)	3.5 千伏 1.25 kV 250V
	包装湿度敏感度等级	MSL-1

强调超出上述绝对最大额定值可能会导致器件永久性损坏.这是一个压力评级
 以及在这些或任何其他高于操作部分所列条件的设备的功能操作
 这个规范不是暗示的.长时间暴露于绝对最大额定值条件可能会影响设备
 可靠性.

直流工作条件 (T A = -40°C至+ 85°C, V D = 4.5V至5.5V, 除非另有说明)

符号	参数	敏	典型	马克斯	单位	笔记
V DD	主电源	4.5	5	5.5	V	
I DD	VDD电源电流 @ SCK = 1.0 MHz @ SCK = 20.0 MHz			0.25 4	嘛 嘛	1
I SB	待机电流		4	10	一个	2
I LI	输入漏电流				一个	3
I LO	输出泄漏电流				一个	3
V IH	输入高电压	0.7 伏 DD		V DD + 0.3	V	
V IL	输入低电压	-0.3		0.3 V DD	V	
V OH	输出高电压 @ I OH = -1 mA	V DD - 0.8		-	V	
V OL	输出低电压 @ I OL = 2 mA	-		0.4	V	
V HYS	输入滞后	0.05 V DD		-	V	4

笔记

- SCK在V DD -0.3V和V SS 之间切换, 其他输入V SS 或V DD -0.3V.
- SCK = SI = / CS = V DD. 所有输入V SS 或V DD.
- V IN 或V OUT = V SS 至V DD.
- 该参数是定期采样的, 未经100% 测试.

AC参数 (TA = -40°C至+85°C, VDD = 4.5V至5.5V, 除非另有说明)

符号	参数	敏	马克斯	单位	笔记
f CK	SCK时钟频率	0	20	兆赫	
t CH	时钟高时间	22		NS	1
t CL	时钟低时间	22		NS	1
t CSU	芯片选择设置	10		NS	
t CSH	芯片选择保持	10		NS	
t OD	输出禁用		20	NS	2
t ODV	输出数据有效		20	NS	
t OH	输出保持	0		NS	
t D	取消选择时间	60		NS	
t R	数据在上升时间		50	NS	1, 3
t F	数据在下降时间		50	NS	1, 3
SU	数据建立时间	五		NS	
t H	数据保持时间	五		NS	
t HS	/保持安装时间	10		NS	
t HH	/保持时间	10		NS	
t HZ	/将低电平保持为Hi-Z		20	NS	2
t LZ	/保持高电平以激活数据		20	NS	2

笔记

1. $t_{CH} + t_{CL} = 1 / f_{CK}$.
2. 上升和下降时间在波形的10%和90%之间测量.
3. 此参数为特征值, 未经100%测试.

电容 (TA = 25°C, f = 1.0 MHz, VDD = 5V)

符号	参数	马克斯	单位	笔记
C O	输出电容 (SO)	8	pF的	1
C 我	输入电容	6	pF的	1

笔记

1. 该参数是定期采样的, 未经100%测试.

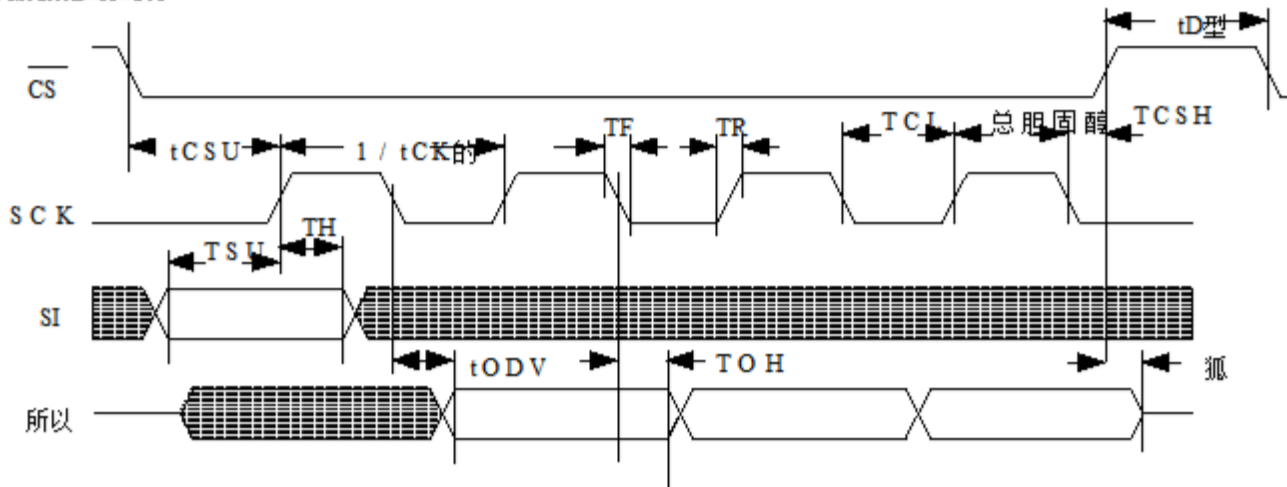
交流测试条件

输入脉冲电平	V DD的10%和90%
输入上升和下降时间	5纳秒
输入和输出时序级别	0.5 VDD
输出负载电容	30 pF

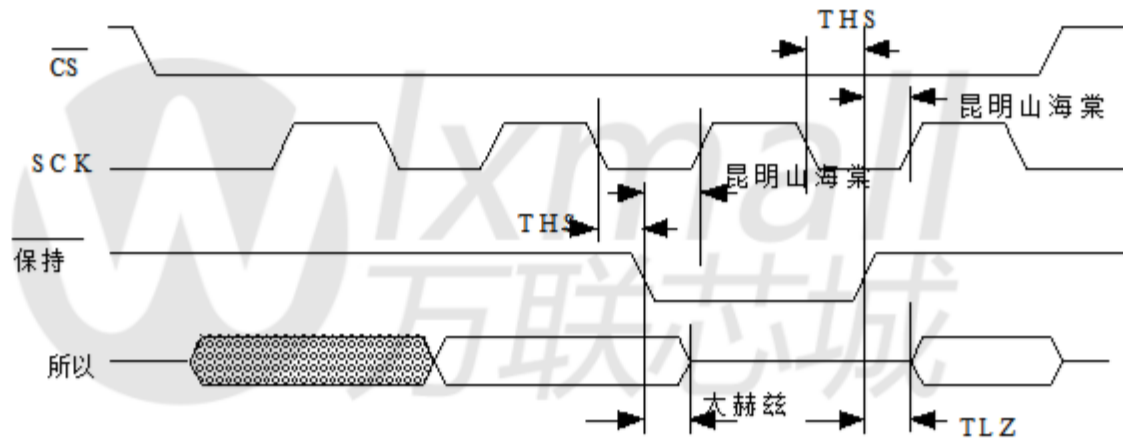
数据保留

符号	参数	敏	马克斯	单位	笔记
T DR	@ +85°C	10	-	年份	
	@ +80°C	19	-	年份	
	@ +75°C	38	-	年份	

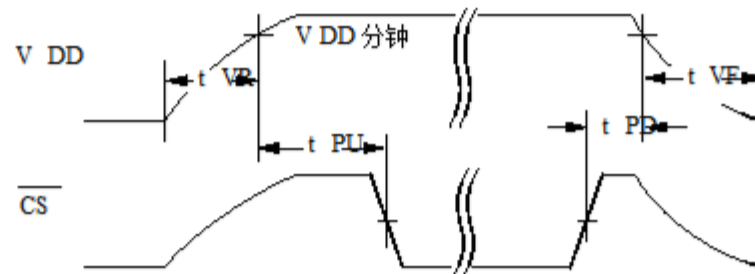
串行数据总线时序



保持时间



电源周期时间



电源周期时序 (TA = -40°C至+85°C, VDD = 4.7至5.5V, 除非另有说明)

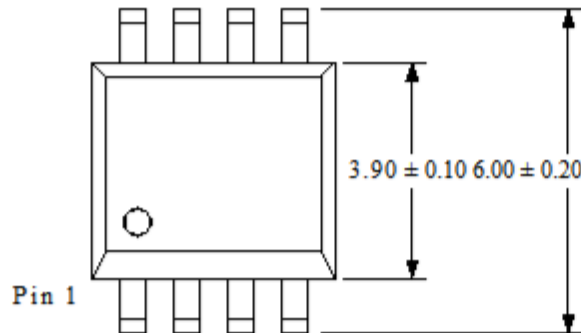
符号	参数	值	单位	备注
t_{PU}	VDD (分钟) 到第一次访问开始	1	分钟	
t_{PD}	上次访问完成至VDD (分钟)	0	分钟	
t_{VR}	VDD 上升时间	三十	ns	1
t_{VF}	VDD 下降时间	三十	ns	1

笔记

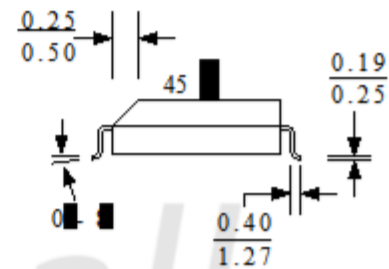
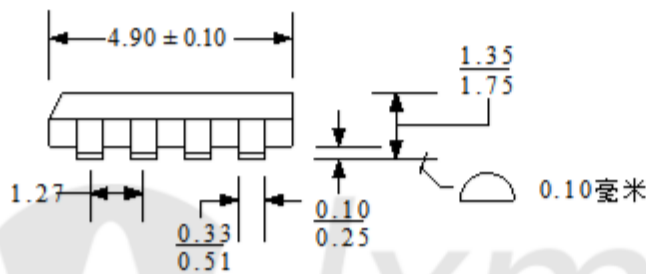
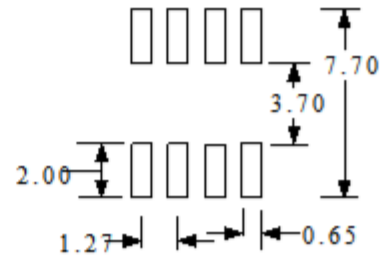
- 在VDD波形上的任意点测量斜率。

机械制图

(8引脚SOIC - JEDEC标准MS-012, 变体AA)

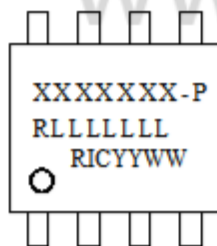


推荐的PCB足迹



有关完整的尺寸和说明, 请参阅JEDEC MS-012.
所有尺寸以毫米为单位

SOIC封装标记方案



传说:

XXXXXXX = 部件号, P = 封装类型 (G = SOIC)
R = rev代码, LLLLLLL = 批次代码
RIC = Ramtron Int'l Corp, YY = year, WW = work week

例如: FM25040B, “绿色”SOIC包, 2010年, 工作周51

FM25040B-G
A00002G1
RIC1051

修订记录

调整	日期	概要
1.0	11/10/2010	初始发行
1.1	2011年1月31日	增加了ESD评级.
1.2	2011年2月15日	更改了t _{PU} 和t _{VF} 规格限制.
3.0	1/6/2012	更改为生产状态. 改变了 音频 规格.

文档历史

文档标题: FM25040B 4Kb串行5V F-RAM存储器
文件号码: 001-86145

调整	ECN	原稿.的 更改	服从 日期	变更描述
**	3902952	GVCH	2013年2月25日	新规格
*一个	3924523	GVCH	2013年3月7日	将 PU 规格值从10ms 更改 为1ms

 Wlxmall
万联芯城
www.wlxmall.com

销售，解决方案和法律信息

全球销售和設計支持

赛普拉斯拥有遍布全球的办事处，解决方案中心，制造商代表和分销商网络。

要找到离您最近的办事处，请访问我们的[Cypress位置](#)。

制品

汽车	cypress.com/go/automotive
时钟和缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
记忆	cypress.com/go/memory
的PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB控制器	cypress.com/go/usb

的PSoC® 解决方案

psoc.cypress.com/solutions
 PSoC 1 | PSoC 3 | PSoC 5

赛普拉斯开发者社区

社区论坛|博客|视频训练

技术支持

cypress.com/go/support

RAMTRON是注册商标，NoDelay™是赛普拉斯半导体公司的商标。所有其他商标或已注册
 本文引用的商标是其各自所有者的财产。

©赛普拉斯半导体公司，2011-2013。此处包含的信息如有更改，恕不另行通知。柏
 对于使用赛普拉斯产品中体现的电路以外的任何电路，半导体公司不承担任何责任。也不
 它传达或暗示根据专利或其他权利的任何许可。赛普拉斯的产品不保证也不打算用于医疗，生活
 支持，救生，关键控制或安全应用，除非根据与赛普拉斯的明确书面协议。此外，
 赛普拉斯不授权将其产品用作可能合理发生故障或故障的生命支持系统中的关键组件
 预计会对用户造成严重伤害。将赛普拉斯产品纳入生命支持系统应用意味着，
 制造商承担使用此类风险的所有风险，并因此向赛普拉斯赔偿所有费用。
 此源代码（软件和/或固件）由赛普拉斯半导体公司（赛普拉斯）拥有，并受其保护并受其约束
 全球专利保护（美国和外国），美国版权法和国际条约规定。赛普拉斯在此
 授予被许可人个人，非排他性，不可转让的许可，以复制，使用，修改，创建衍生作品并编译
 赛普拉斯源代码和派生作品仅用于创建支持被许可人产品的定制软件和/或固件
 仅适用于适用协议中规定的赛普拉斯集成电路。任何复制，修改，
 未经明确的书面许可，禁止翻译，编译或代表本源代码，除非上述规定
 赛普拉斯。
 免责声明：CYPRESS对本材料不做任何明示或暗示的担保，
 包括但不限于适销性和特定适用性的默示保证。
 目的。赛普拉斯保留对此处所述材料进行更改的权利，恕不另行通知。赛普拉斯不承担
 任何因应用或使用本文所述任何产品或电路而引起的责任。赛普拉斯不授权其产品用作
 生命支持系统中的关键部件，其中可能合理预期故障或故障会导致重大伤害。
 用户将赛普拉斯产品纳入生命支持系统应用意味着制造商承担所有使用和使用风险
 这样做可以赔偿赛普拉斯所有费用。
 使用可能受限于适用的赛普拉斯软件许可协议并受此限制。