

2.1声道高效数字音频系统

数据表 - 生产数据

特征

- 宽范围的电源电压
 - 4.5 V至26 V（工作范围）
 - 30 V（绝对最大额定值）
- 具有可选设备地址的I2C控制
- 嵌入式全集成电路保护
 - 制造短路保护（out vs gnd, out vs vcc, out vs out）
 - 热保护
 - 过流保护
 - 欠压保护
- 1 Vrms立体声模拟输入
- I2S接口，采样率32 kHz~192 kHz，
 - 内置采样变频器
 - 固定的处理频率
- 三种输出功率级配置
 - 2.0模式，左/右全桥
 - 2.1模式，L/R两个半桥，低音炮全桥
 - 2.1模式，L/R全桥，PWM输出外部低音炮放大器
- 驾驶载重能力
 - 2 x 20 W到8 Ω三元调制
 - 2 x 9 W到4 Ω+ 1 x 20 W到8 Ω
- FFX TM 100 dB动态范围
- 在任何输入上固定输出PWM频率
 - 采样频率
- 嵌入式有效值表，用于实时测量响度
- 两个模拟输出
 - 可选的耳机/线路输出驱动器
 - 可调增益通过外部电阻
 - 新的F3X TM 模拟输出
- 新的完全可编程的噪声门控功能



- 耳机
 - 嵌入式负电荷泵
 - 完全无电容输出配置
 - 驾驶负载能力：40毫瓦到32 Ω
- 线出
 - 2 Vrms线路输出能力
- 最多12个用户可编程的二进制噪声整形技术
- 通过I2C直接访问系数遮蔽机制
- 固定（88.2 kHz / 96 kHz）内部处理采样率
- 两个独立的DRC可配置为双波段反斜线或独立限制器/压缩机（B 2 DRC）
- 数字增益/att +48 dB至-80 dB
 - 0.125分贝/步分辨率
- 独立（淡入，淡出）软音里
 - 以可编程速率更新48~1.5 dB / ms
- 低音/高音音调控制
- 音频预设：15个分频滤波器，
 - 5种预防模式，夜间聆听模式
- STSpeakerSafe TM 保护电路
 - 预处理和后处理DC阻塞滤波器
 - 校验和引擎的滤波器系数
 - PWM故障自诊断
- STCompressor TM 双频DRC

表格1. 设备摘要

订单代码	包	填料
STA381BW	VQFN48	托盘
STA381BWTR	VQFN48	磁带和卷轴

内容

1 说明..... 16

1.1 框图..... 17

2 引脚连接..... 18

2.1 连接图..... 18

2.2 引脚描述..... 19

3 电气规格..... 21

3.1 绝对最大额定值..... 21

3.2 热数据..... 21

3.3 推荐工作条件..... 22

3.4 数字部分的电气规格..... 22

3.5 电源部分的电气规格..... 23

3.6 模拟部分的电气规格..... 24

4 设备概述..... 25

4.1 处理数据路径..... 25

4.2 输入过采样..... 28

4.3 STCompressor™..... 28

4.3.1 STC框图..... 29

4.3.2 带分离器..... 29

4.3.3 电平表.....三十

4.3.4 Mapper.....三十

4.3.5 衰减器..... 33

4.3.6 动态攻击..... 33

4.3.7 偏移..... 34

4.3.8 立体声链接..... 34

4.3.9 系数编程..... 35

4.3.10 内存映射..... 37

5I2C总线规范..... 39

5.1 通信协议..... 39

5.1.1 数据转换或更改..... 39



5.1.2	开始条件.....	39
5.1.3	停止状态.....	39
5.1.4	数据输入.....	39
5.2	设备寻址.....	39
5.3	写操作.....	40
5.3.1	字节写入.....	40
5.3.2	多字节写入.....	40
5.4	阅读操作.....	40
5.4.1	当前地址字节被读取.....	40
5.4.2	当前地址多字节读取.....	40
5.4.3	随机地址字节读取.....	40
5.4.4	随机地址多字节读取.....	40
5.4.5	写模式序列.....	41
5.4.6	读取模式序列.....	41
6	注册说明：新地图.....	42
6.1	CLK寄存器（地址0x00）.....	45
6.2	状态寄存器（地址0x01）.....	45
6.3	RESET寄存器（地址0x02）.....	46
6.4	软量寄存器（地址0x03）.....	46
6.5	MVOL寄存器（地址0x04）.....	47
6.6	FINEVOL寄存器（地址0x05）.....	47
6.7	CH1VOL寄存器（地址0x06）.....	48
6.8	CH2VOL寄存器（地址0x07）.....	48
6.9	POST定标器寄存器（地址0x08）.....	49
6.10	OPER寄存器（地址0x09）.....	49
6.11	FUNCT寄存器（地址0x0A）.....	55
6.11.1	双频带DRC.....	55
6.12	HPCFG寄存器（地址0x10）.....	57
6.13	配置寄存器A（地址0x11）.....	57
6.13.1	主时钟选择.....	57
6.13.2	插值比选择.....	58
6.13.3	故障检测恢复旁路.....	58
6.14	配置寄存器B（地址0x12）.....	59
6.14.1	串行数据接口.....	59

6.14.2	串行数据的第一位	60
6.14.3	延迟串行时钟使能	62
6.14.4	通道输入映射	62
6.15	配置寄存器C（地址0x13）	62
6.15.1	FFX补偿脉冲大小寄存器	62
6.16	配置寄存器D（地址0x14）	63
6.16.1	DSP旁路	63
6.16.2	后缩放链接	63
6.16.3	Biquad系数链接	63
6.16.4	零检测静音启用	64
6.16.5	子混合模式启用	64
6.17	配置寄存器E（地址0x15）	64
6.17.1	噪声整形器带宽选择	64
6.17.2	AM模式启用	64
6.17.3	PWM速度模式	65
6.17.4	过零使能	65
6.18	配置寄存器F（地址0x16）	65
6.18.1	无效的输入检测静音启用	65
6.18.2	二进制输出模式时钟丢失检测	65
6.18.3	LRCK双触发保护	66
6.18.4	掉电	66
6.18.5	外部放大器掉电	66
6.19	音量控制寄存器（地址0x17 - 0x1B）	66
6.19.1	静音/线路输出配置寄存器（地址0x17）	66
6.19.2	频道3/线路输出音量（地址0x1B）	68
6.20	音频预设寄存器（0x1D）	69
6.20.1	AM干扰频率切换	69
6.20.2	低音管理交叉	69
6.21	通道配置寄存器（地址0x1F - 0x21）	70
6.21.1	音调控制旁路	70
6.21.2	EQ旁路	71
6.21.3	音量旁路	71
6.21.4	二进制输出使能寄存器	71
6.21.5	限制器选择	71
6.21.6	输出映射	72
6.22	音调控制寄存器（地址0x22）	72

6.22.1	音调控制	72
6.23	动态控制寄存器（地址0x23 - 0x26 /地址0x43 - 0x46）	73
6.23.1	限制器1的攻击/释放速率（L1AR addr 0x23）	73
6.23.2	限制器1的攻击/释放阈值（L1ATRT addr 0x24）	73
6.23.3	限制器2的攻击/释放速率（L2AR addr 0x25）	73
6.23.4	限制器2的攻击/释放阈值（L2 ATRT addr 0x26）	73
6.23.5	限制器1扩展的攻击阈值（地址0x43）	77
6.23.6	限制器1的扩展释放阈值（地址0x44）	77
6.23.7	限制器2扩展的攻击阈值（地址0x45）	78
6.23.8	限制器2扩展释放阈值（地址0x46）	78
6.24	用户定义的系数控制寄存器（地址0x27 - 0x37）	78
6.24.1	系数地址寄存器	78
6.24.2	系数b1数据寄存器位23:16	78
6.24.3	系数b1数据寄存器位15: 8	78
6.24.4	系数b1数据寄存器位7: 0	78
6.24.5	系数b2数据寄存器位23:16	79
6.24.6	系数b2数据寄存器位15: 8	79
6.24.7	系数b2数据寄存器位7: 0	79
6.24.8	系数a1数据寄存器位23:16	79
6.24.9	系数a1数据寄存器位15: 8	79
6.24.10	系数a1数据寄存器位7: 0	79
6.24.11	系数a2数据寄存器位23:16	79
6.24.12	系数a2数据寄存器位15: 8	80
6.24.13	系数a2数据寄存器位7: 0	80
6.24.14	系数b0数据寄存器位23:16	80
6.24.15	系数b0数据寄存器位15: 8	80
6.24.16	系数b0数据寄存器位7: 0	80
6.24.17	系数写入/读取控制寄存器	80
6.24.18	用户定义的EQ	83
6.24.19	预缩放	83
6.24.20	后期规模	83
6.25	故障检测恢复常量寄存器（地址0x3C - 0x3D）	85
6.26	扩展配置寄存器（地址0x47）	85
6.26.1	扩展后的范围	85
6.26.2	扩展的攻击速度	85
6.26.3	扩展双二次选择器	86

6.27	PLL配置寄存器 (地址0x52; 0x53; 0x54; 0x55; 0x56; 0x57)	87
6.28	短路保护模式寄存器SHOK (地址0x58)	89
6.29	扩展的系数范围高达-4 ... 4 (地址0x5A)	90
6.30	其他寄存器 (地址0x5C, 0x5D)	91
6.30.1	速率掉电使能 (RPDEN) 位	91
6.30.2	立即桥接 (BRIDGOFF) 位 (地址0x4B, 位D5)	91
6.30.3	通道PWM使能 (CPWMEN) 位	92
6.30.4	外部放大器硬件引脚使能器 (LPDP, LPD LPDE) 位	92
6.30.5	掉电延时选择器 (PNDLSL [2: 0]) 位	92
6.30.6	短路检查使能位	93
6.31	坏的PWM检测寄存器 (地址0x5E, 0x5F, 0x60)	93
6.32	增强了零检测静音和输入电平测量 (地址0x61-0x65, 0x3F, 0x40, 0x6F)	94
6.33	耳机/线路输出配置寄存器 (地址0x66)	96
6.34	F3XCFG (地址0x69; 0x6A)	97
6.35	STCompressorTM配置寄存器 (地址0x6B; 0x6C)	98
6.36	电荷泵同步 (地址0x70)	98
6.37	系数RAM CRC保护 (地址0x71-0x7D)	99
6.38	MISC4 (地址0x7E)	101
7	注册说明: 声音终端兼容性	103
7.1	配置寄存器A (地址0x00)	106
7.1.1	主时钟选择	106
7.1.2	插值比选择	107
7.1.3	故障检测恢复旁路	107
7.2	配置寄存器B (地址0x01)	108
7.2.1	串行数据接口	108
7.2.2	串行音频输入接口格式	108
7.2.3	串行数据的第一位	108
7.2.4	延迟串行时钟使能	111
7.2.5	通道输入映射	111
7.3	配置寄存器C (地址0x02)	112
7.3.1	FFX补偿脉冲大小寄存器	112
7.4	配置寄存器D (地址0x03)	112
7.4.1	DSP旁路	112

7.4.2	后缩放链接.....	113
7.4.3	Biquad系数链接.....	113
7.4.4	零检测静音启用.....	113
7.4.5	子混合模式启用.....	113
7.5	配置寄存器E（地址0x04）.....	113
7.5.1	噪声整形器带宽选择.....	114
7.5.2	AM模式启用.....	114
7.5.3	PWM速度模式.....	114
7.5.4	过零使能.....	114
7.5.5	软卷更新启用.....	114
7.6	配置寄存器F（地址0x05）.....	115
7.6.1	输出配置.....	115
7.6.2	无效的输入检测静音启用.....	121
7.6.3	二进制输出模式时钟丢失检测.....	121
7.6.4	LRCK双触发保护.....	121
7.6.5	IC掉电.....	121
7.6.6	外部放大器掉电.....	121
7.7	音量控制寄存器（地址0x06 - 0x0A）.....	122
7.7.1	静音/线路输出配置寄存器.....	122
7.7.2	主音量寄存器.....	123
7.7.3	频道1的音量.....	123
7.7.4	频道2的音量.....	123
7.7.5	频道3/线路输出音量.....	123
7.8	音频预设寄存器（地址0x0C）.....	124
7.8.1	音频预设寄存器（地址0x0C）.....	124
7.8.2	AM干扰频率切换.....	125
7.8.3	低音管理交叉.....	125
7.9	通道配置寄存器（地址0x0E - 0x10）.....	126
7.9.1	音调控制旁路.....	126
7.9.2	EQ旁路.....	127
7.9.3	音量旁路.....	127
7.9.4	二进制输出使能寄存器.....	127
7.9.5	限制器选择.....	127
7.9.6	输出映射.....	128
7.10	音调控制寄存器（地址0x11）.....	128
7.10.1	音调控制.....	128

7.11	动态控制寄存器（地址0x12 - 0x15）	129
7.11.1	限制器1攻击/释放率	129
7.11.2	限制器1攻击/释放阈值	129
7.11.3	限制器2的攻击/释放率	129
7.11.4	限制器2攻击/释放阈值	129
7.11.5	限制器1扩展的攻击阈值（地址0x32）	133
7.11.6	限制器1的扩展释放阈值（地址0x33）	133
7.11.7	限制器2扩展的攻击阈值（addr 0x34）	
7.11.8	限制器2扩展释放阈值（地址0x35）	134
7.12	用户定义的系数控制寄存器（地址0x16 - 0x26）	134
7.12.1	系数地址寄存器	134
7.12.2	系数b1数据寄存器位23:16	134
7.12.3	系数b1数据寄存器位15: 8	134
7.12.4	系数b1数据寄存器位7: 0	134
7.12.5	系数b2数据寄存器位23:16	135
7.12.6	系数b2数据寄存器位15: 8	135
7.12.7	系数b2数据寄存器位7: 0	135
7.12.8	系数a1数据寄存器位23:16	135
7.12.9	系数a1数据寄存器位15: 8	135
7.12.10	系数a1数据寄存器位7: 0	135
7.12.11	系数a2数据寄存器位23:16	135
7.12.12	系数a2数据寄存器位15: 8	136
7.12.13	系数a2数据寄存器位7: 0	136
7.12.14	系数b0数据寄存器位23:16	136
7.12.15	系数b0数据寄存器位15: 8	136
7.12.16	系数b0数据寄存器位7: 0	136
7.12.17	系数写/读控制寄存器	136
7.12.18	用户定义的EQ	139
7.12.19	预定比例	139
7.12.20	后期规模	139
7.13	故障检测恢复常量寄存器（地址0x2B - 0x2C）	141
7.14	设备状态寄存器（地址0x2D）	141
7.15	EQ系数配置寄存器（地址0x31）	141
7.16	扩展配置寄存器（地址0x36）	142
7.16.1	双频带DRC	142
7.16.2	扩展后的范围	143

7.16.3	扩展的攻击速度.....	144
7.16.4	扩展BIQUAD选择器.....	144
7.17	EQ软件卷配置寄存器（地址0x37 - 0x38）.....	145
7.18	额外的音量分辨率配置寄存器（地址0x3F; 0x40）..	146
7.19	PLL配置寄存器 （地址0x41; 0x42; 0x43; 0x44; 0x45; 0x46）.....	147
7.20	短路保护模式寄存器SHOK（地址0x47）.....	149
7.21	扩展的系数范围可达-4 ... 4（地址0x49, 0x4A）.....	151
7.22	其他寄存器（地址0x4B, 0x4C）.....	151
7.22.1	速率掉电使能（RPDNEN）位（地址0x4B, 位D7）.....	151
7.22.2	立即桥接（BRIDGOFF）位（地址0x4B, 位D5）.....	152
7.22.3	通道PWM使能（CPWMEN）位（地址0x4B, 位D2）.....	152
7.22.4	外部放大器硬件引脚使能器（LPDP, LPD LPDE）位 （地址0x4C, 位D7, D6, D5）.....	152
7.22.5	掉电延时选择器（PNDLSL [2: 0]）位 （地址0x4C, 位D4, D3, D2）.....	153
7.22.6	短路检查使能位（地址0x4C, 位D0）.....	153
7.23	坏PWM检测寄存器（地址0x4D, 0x4E, 0x4F）.....	154
7.24	增强了零检测静音和输入电平测量 （地址0x50-0x54, 0x2E, 0x2F和0x5E）.....	155
7.25	耳机/线路输出配置寄存器（地址0x55）.....	157
7.26	F3XCFG（地址0x58; 0x59）.....	158
7.27	STCompressor™配置寄存器（地址0x5A; 0x5B）.....	159
7.28	电荷泵同步（地址0x5F）.....	160
7.29	系数RAM CRC保护（地址0x60-0x6C）.....	161
7.30	MISC3（地址0x6E）.....	163
7.31	MISC4（地址0x7E）.....	163
8	应用程序.....	164
8.1	应用方案.....	164
8.2	耳机和2 Vrms线.....	166
8.3	典型的输出配置.....	167
9	包信息.....	168
10	修订记录.....	170

表的列表

表格1.	设备摘要.....	1
表2	Pin列表.....	19
表3.	绝对最大额定值.....	21
表4	热数据.....	21
表5	推荐工作条件.....	22
表6	电气规格 - 数字部分.....	22
表7	电气规格 - 功率部分.....	23
表8	模拟部分的电气规格.....	24
表9	系数扩展范围配置0x74h.....	三十
表10	压缩机比例.....	32
表11	转换示例.....	36
表12	STC系数存储器映射.....	37
表13.	STC频带分离器滤波器存储器映射.....	38
表14	默认注册地图表：新地图.....	42
表15	CLK寄存器.....	45
表16.	状态寄存器.....	45
表17	RESET寄存器.....	46
表18	软里寄存器.....	46
表19.	主音里寄存器.....	47
表20	精细卷寄存器.....	47
表21.	通道1卷寄存器.....	48
表22	通道2卷寄存器.....	48
表23	OPER注册.....	49
表24	OPER配置选择.....	49
表25	FUNCT寄存器.....	55
表26.	HPCFG寄存器.....	57
表27	主时钟选择.....	57
表28	输入采样率.....	58
表29.	内部插值比率.....	58
表30	IR位设置作为输入采样率的函数.....	58
表31.	故障检测恢复旁路.....	58
表32.	串行数据的第一位.....	60
表33	支持MSB优先串行音频输入格式 (SAIFB = 0).....	60
表34.	支持LSB优先的串行音频输入格式 (SAIFB = 1).....	61
表35	延迟串行时钟使能.....	62
表36.	通道输入映射.....	62
表37.	FFX补偿脉冲大小位.....	62
表38.	补偿脉冲大小.....	63
表39.	DSP旁路.....	63
表40	后缩放链接.....	63
表41.	Biquad系数链接.....	63
表42	零检测静音启用.....	64
表43.	子混合模式启用.....	64
表44.	噪声整形器带宽选择.....	64
表45.	AM模式启用.....	64
表46.	PWM速度模式.....	65
表47.	过零使能.....	65
表48.	无效的输入检测静音启用.....	65

表49.	二进制输出模式时钟丢失检测.....	65
表50	LRCK双触发保护.....	66
表51	IC掉电.....	66
表52.	外部放大器掉电.....	66
表53.	线路输出配置.....	67
表54.	静音配置.....	67
表55	通道3的体积是CH3VOL [7: 0]的函数.....	68
表56.	AM干扰频率切换位.....	69
表57	音频预设AM开关频率选择.....	69
表58.	低音管理交叉.....	69
表59	低音管理交叉频率.....	70
表60	音调控制旁路.....	70
表61	EQ旁路.....	71
表62	音量旁路寄存器.....	71
表63.	二进制输出使能寄存器.....	71
表64.	作为C3LS位功能的通道限制器映射.....	71
表65	通道输出映射作为C3OM位的函数.....	72
表66.	音调控制升压/降压作为BTC和TTC位的功能.....	72
表67	作为LxA位的函数的限制器攻击速率.....	75
表68.	作为LxR位的函数的限制器释放速率.....	75
表69.	Limiter攻击阈值是LxAT位（AC模式）的函数.....	76
表70.	限制器释放阈值是LxRT位（AC模式）的函数.....	76
表71.	作为LxAT位（DRC模式）的函数的限制器攻击阈值.....	77
表72.	限制器释放阈值是LxRT位（DRC模式）的函数.....	77
表73.	RAM块，用于双向混合，缩放和低音管理.....	84
表74.	扩展后的范围.....	85
表75.	扩展的攻击速度，限制器1.....	85
表76.	扩展的攻击速度，限制器2.....	86
表77.	扩展双二阶选择器，二进制5.....	86
表78.	扩展双二阶选择器，二进制6.....	86
表79.	扩展双二阶选择器，biquad 7.....	86
表80	PLL因素.....	87
表81.	PLL寄存器0x54位.....	88
表82	PLL寄存器0x55位.....	88
表83	PLL寄存器0x56位.....	88
表84.	PLL寄存器0x57位.....	89
表85	系数扩展范围配置.....	91
表86.	外部放大器使能器配置位.....	92
表87	PNDLSL位配置.....	93
表88	零检测阈值.....	94
表90.	手动阈值寄存器0x3F，0x40和0x6F.....	95
表89	零检测滞后.....	95
表91	耳机/线路输出配置位.....	96
表92.	F3X配置寄存器1.....	97
表93.	F3X配置寄存器2.....	97
表94	寄存器STCCFG0.....	98
表95	STCCFG0寄存器.....	98
表96.	注册STCCFG1.....	98
表97	STCCFG1寄存器.....	98
表98	电荷泵同步配置位.....	98
表99.	杂项注册4.....	101
表100	I2 C寄存器汇总.....	103

表101.	主时钟选择.....	106
表102.	输入采样率.....	106
表103.	内部插值比率.....	107
表104.	IR位设置作为输入采样率的函数.....	107
表105.	故障检测恢复旁路.....	107
表106.	串行音频输入接口.....	108
表107.	串行数据的第一位.....	108
表108.	支持MSB优先串行音频输入格式 (SAIFB = 0).....	109
表109.	支持LSB优先的串行音频输入格式 (SAIFB = 1).....	110
表110.	延迟串行时钟使能.....	111
表111.	通道输入映射.....	111
表112.	FFX补偿脉冲大小位.....	112
表113.	补偿脉冲大小.....	112
表114.	DSP旁路.....	112
表115.	后缩放链接.....	113
表116.	Biquad系数链接.....	113
表117.	零检测静音启用.....	113
表118.	子混合模式启用.....	113
表119.	噪声整形器带宽选择.....	114
表120.	AM模式启用.....	114
表121.	PWM速度模式.....	114
表122.	过零使能.....	114
表123.	软卷更新启用.....	114
表124.	输出配置.....	115
表125.	输出配置引擎选择.....	115
表126.	无效的输入检测静音启用.....	121
表127.	二进制输出模式时钟丢失检测.....	121
表128.	LRCK双触发保护.....	121
表129.	IC掉电.....	121
表130.	外部放大器掉电.....	121
表131.	线路输出配置.....	122
表132.	静音配置.....	122
表133.	主音量偏移量是MVOL [7: 0]的函数.....	124
表134.	通道音量是CxVOL [7: 0]的函数.....	124
表135.	AM干扰频率切换位.....	125
表136.	音频预设AM开关频率选择.....	125
表137.	低音管理交叉.....	125
表138.	低音管理交叉频率.....	126
表139.	音调控制旁路.....	126
表140.	EQ旁路.....	127
表141.	音量旁路寄存器.....	127
表142.	二进制输出使能寄存器.....	127
表143.	作为CxLS位功能的通道限制器映射.....	127
表144.	通道输出映射作为CxOM位的函数.....	128
表145.	音调控制升压/降压作为BTC和TTC位的功能.....	128
表146.	作为LxA位的函数的限制器攻击速率.....	131
表147.	作为LxR位的函数的限制器释放速率.....	131
表148.	Limiter攻击阈值是LxAT位 (AC模式)的函数.....	132
表149.	限制器释放阈值是LxRT位 (AC模式)的函数.....	132
表150.	作为LxAT位 (DRC模式)的函数的限制器攻击阈值.....	133
表151.	限制器释放阈值是LxRT位 (DRC模式)的函数.....	133
表152.	RAM块, 用于双向混合, 缩放和低音管理.....	140

表153.	状态寄存器位.....	141
表154.	扩展后的范围.....	143
表155.	扩展的攻击速度, 限制器1.....	144
表156.	扩展的攻击速度, 限制器2.....	144
表157.	扩展双二阶选择器, 二进制5.....	144
表158.	扩展双二阶选择器, 二进制6.....	144
表159.	扩展双二阶选择器, biquad 7.....	144
表160.	软卷更新启用, 增加.....	145
表161.	软音量更新启用, 减少.....	145
表162.	音量微调步骤.....	146
表163.	额外的音量解决使能.....	147
表164.	PLL因素.....	148
表165.	PLL寄存器0x43位.....	148
表166.	PLL寄存器0x44位.....	148
表167.	PLL寄存器0x45位.....	149
表168.	PLL寄存器0x46位.....	149
表169.	系数扩展范围配置.....	151
表170.	外部放大器使能器配置位.....	152
表171.	PNDLSL位配置.....	153
表172.	零检测阈值.....	156
表173.	零检测滞后.....	156
表174.	手动阈值寄存器0x2E, 0x2F和0x5E.....	157
表175.	耳机/线路输出配置位.....	157
表176.	F3X配置寄存器1.....	158
表177.	F3X配置寄存器2.....	158
表178.	STCompressorTM配置位1.....	159
表179.	STCompressorTM配置位2.....	159
表180.	电荷泵同步配置位.....	160
表181.	杂项注册3.....	163
表182.	MISC4.....	163
表183.	VQFN48 (7 x 7 x 0.9 mm) 封装尺寸.....	169
表184.	文档修订历史.....	170

数字列表

图1.	框图.....	17
图2	引脚连接VQFN48（顶视图）.....	18
图3.	测试电路.....	24
图4.	处理路径，第一部分.....	25
图5	处理路径，第二部分：使用可单独配置的反卷积器/ DRC的2.1输出. 26	
图6.	处理路径，第二部分：使用B2 DRC的 2.0输出.....	27
图7.	处理路径，第二部分：使用STCompressorTM进行2.1输出配置.....	27
图8.	STCompressorTM框图.....	29
图9.	带有四阶滤波的频带分离器.....	三十
图10.	STCompressorTM行为.....	31
图11.	STCompressorTM作为限制器的行为.....	32
图12.	偏移效应.....	34
图13.	立体声链接框图.....	35
图14.	写模式序列.....	41
图15.	读取模式序列.....	41
图16.	OPER = 00（默认值）.....	50
图17.	OPER = 11.....	50
图18.	OPER = 10.....	50
图19.	OPER = 01.....	51
图20.	输出映射方案.....	51
图21.	2.0通道（OPER = 00）PWM插槽.....	52
图22.	2.1个通道（OPER = 11）PWM插槽.....	53
图23.	2.1个通道（OPER = 10）PWM插槽.....	54
图24.	B2DRC方案.....	55
图25.	基本的限制器和体积流量图.....	75
图26.	短路检测时序图（未检测到短路）.....	90
图27.	INTLINE引脚的替代功能.....	92
图28.	系数直接访问单写操作.....	102
图29.	系数直接访问多写操作.....	102
图30.	系数直接访问单读操作.....	102
图31.	OCFG = 00（默认值）.....	116
图32.	OCFG = 01.....	116
图33.	OCFG = 10.....	116
图34.	OCFG = 11.....	117
图35.	输出映射方案.....	117
图36.	2.0通道（OCFG = 00）PWM插槽.....	118
图37.	2.1通道（OCFG = 01）PWM插槽.....	119
图38.	2.1个通道（OCFG = 10）PWM插槽.....	120
图39.	基本的限制器和体积流量图.....	131
图40.	B2DRC方案.....	142
图41.	额外的分辨率音量计划.....	146
图42.	短路检测时序图（未检测到短路）.....	150
图43.	INTLINE引脚的替代功能.....	153
图44.	外部音频源线/耳机输出应用程序方案.....	164
图45.	F3X（从SAI）源到线/耳机输出应用程序.....	165
图46.	F3X辅助模拟输出.....	166
图47.	耳机和线路输出框图.....	166
图48.	滤光片配置中的立体声BTL模式的输出配置.....	167

图49.	VQFN48 (7 x 7 x 0.9 mm) 封装外形.....	168
------	-----------------------------------	-----



1 描述

STA381BW是嵌入数字音频处理（数字）的集成解决方案放大，**FFX™**功率输出级，耳机和2 V_{rms}线路输出。这是一部分声音终端®家族，并提供从源到全数字音频流扬声器，提供成本效益，低功耗和健全的丰富。

STA381BW输入部分由一个灵活的数字输入串行音频接口组成，为数字处理单元供电，以及一个模拟1 V_{rms}输入以实现无缝连接与纯粹的模拟来源。串行音频数据输入接口支持多种格式，包括流行的IIS格式。

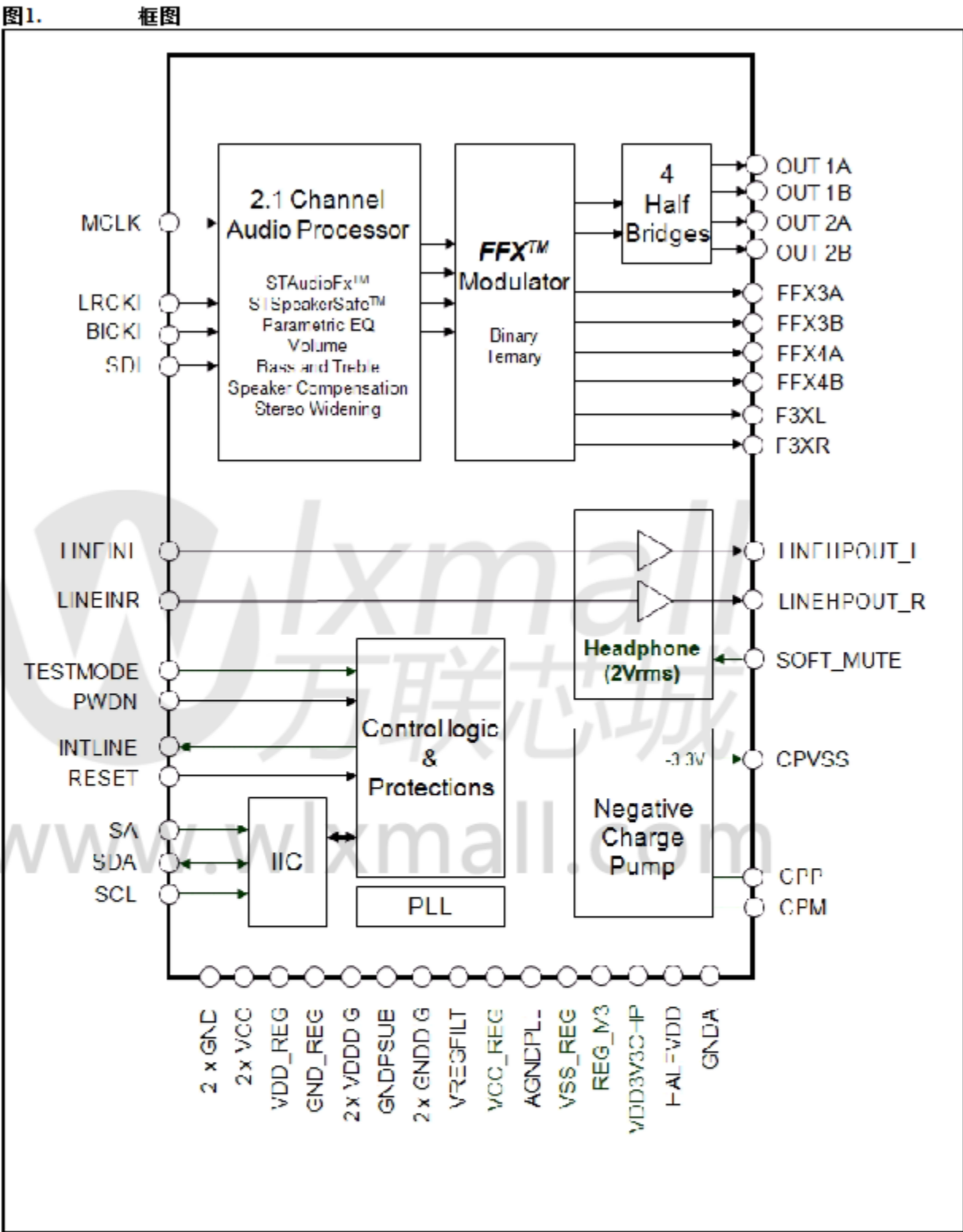
STA381BW基于专有的**FFX™**（全柔性放大）处理器意法半导体的技术。**FFX™**是ST三元技术的发展：先进的处理器可用于三元，二元，二元差分 and 相移PWM调制。STA381BW嵌入三元，二元和二元差分实现，是**FFX™**处理器全部功能的一个子集。

STA381BW功率部分由四个独立的半桥组成。这些可以通过数字控制配置，以不同的模式运行。2.1声道设置可以用两个半桥（L / R）和一个全桥（低音炮）一起实现。或者，2.0通道设置可以用两个全桥完成。当使用这个配置，SW通道的外部放大器也可以通过PWM驱动输出。STA381BW能够提供2 x 20 W（三元）到8 Ω负载在18 V或2 x 9 W（二进制）或4 Ω负载，在18 V时加1 x 20 W（三元）到8 Ω负载。

STA381BW还提供了一个无盖耳机（嵌入负电荷）泵），能够提供高达40毫瓦到32 Ω负载，或者可以配置为a 2 V_{rms}线路输出。

STA381BW数字处理单元包括多达12个可编程双分频器（EQ），允许完美的声音均衡，并提供先进的噪音整形技术。此外，系数范围确保了各种滤波器形状（低/高通，低/高架，峰值，凹口，带通）。均衡引擎完全兼容ST扬声器补偿技术嵌入到APWorkbench套件中。最先进的设备，最先进的多频带DRC，STCompressor™均衡系统以提供有源扬声器保护全音频质量，防止突然的声音峰值。此外，STSpeakerSafe™技术可在任何情况下提供可靠的扬声器保护。该主时钟可以来自稳定的BICK1（64xfs，50%占空比）或外部XT1。

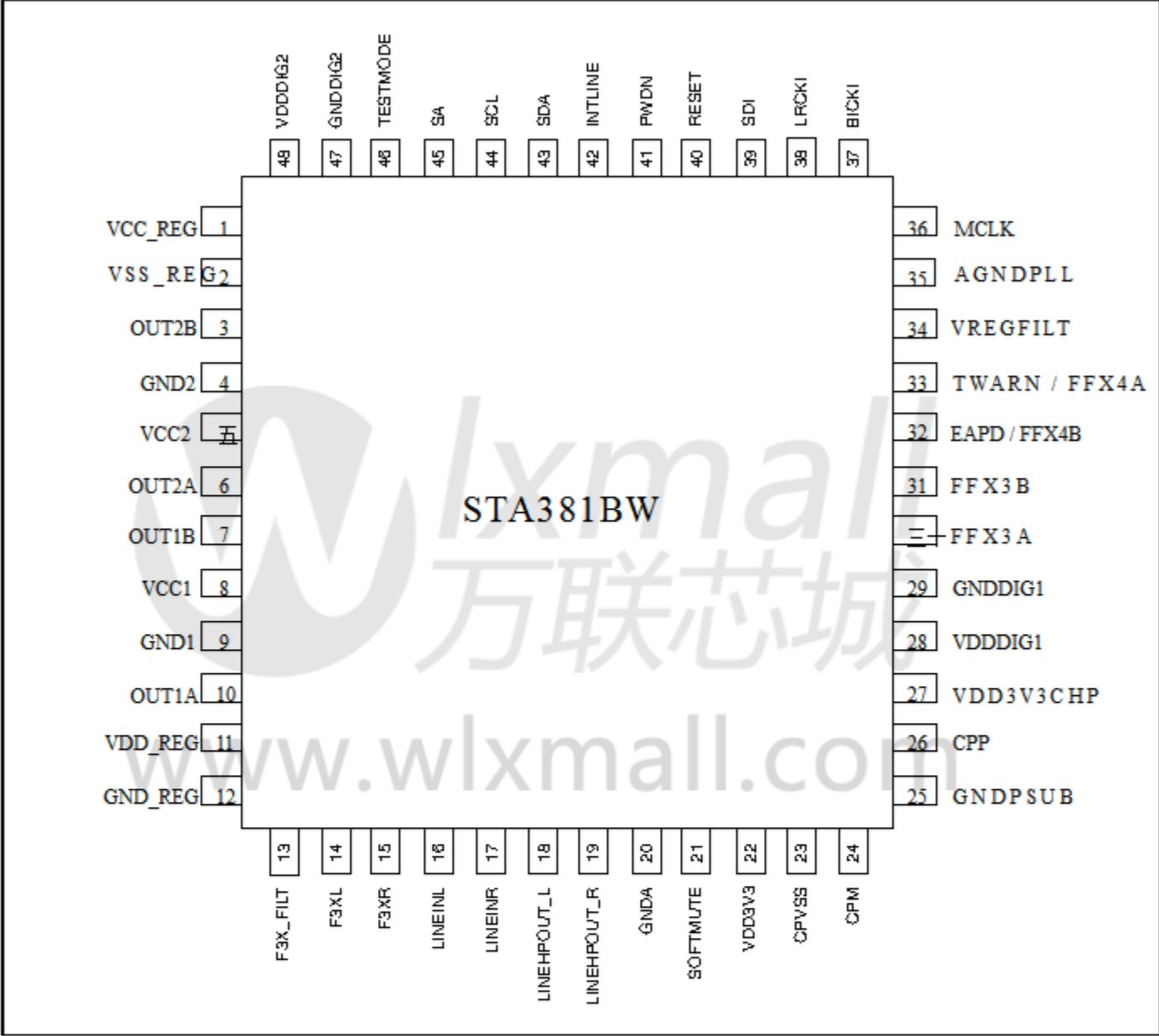
1.1 框图



2 引脚连接

2.1 连接图

图2 引脚连接VQFN48（俯视图）



2.2 引脚描述

表2 Pin列表

VQFN 48针	名称	类型	描述
1	VCC_REG	功率	VCC注册
2	VSS_REG	功率	Vss reg, VCC_REG-3.3V
3	OUT2B	OUTPUT	半桥2B输出
4	GND2	功率	半桥2A和2B地
五	VCC2	功率	半桥2A和2B电源
6	OUT2A	OUTPUT	半桥2A输出
7	OUT1B	OUTPUT	半桥1B输出
8	VCC1	功率	半桥1A和1B电源
9	GND1	功率	半桥1A和1B地
10	OUT1A	OUTPUT	半桥1A输出
11	VDD_REG	功率	VDD电压3.3 V
12	GND_REG	功率	DC reg地面
13	F3X_FILT	功率	F3X参考电压
14	F3XL	OUTPUT	F3X模拟出左声道
15	F3XR	OUTPUT	F3X模拟出右声道
16	LINEINL	INPUT	在左侧通道中行
17	LINEINR	INPUT	在右声道中
18	LINEHPOUT_L	OUTPUT	耳机/线路驱动器左声道
19	LINEHPOUT_R	OUTPUT	耳机/线路驱动器右声道
20	GND A	功率	耳机/线路驱动器电源地
21	软静音	INPUT	软静音
22	VDD3V3	功率	+3 V LDO电源
23	CPVSS	功率	-3.3 V电荷泵引脚
24	CPM	过滤	CHP Cfly否定
25	GNDPSUB	功率	充电泵地面
26	CPP	过滤	CHP Cfly正面
27	VDD3V3CHP	功率	充电泵电源
28	VDDDIG1	功率	I / O环电源
29	GNDDIG1	功率	数字核心地面
三十	FFX3A	OUTPUT	数字PWM线路输出
31	FFX3B	OUTPUT	数字PWM线路输出

表2 Pin列表（续）

VQFN 48针	名称	类型	描述
32	EAPD / FFX4B	OUTPUT	数字PWM线路输出
33	TWARN / FFX4A	OUTPUT	数字PWM线路输出
34	VREGFILT	功率	来自核心的数字VDD
35	AGNDPLL	功率	PLL模拟地
36	MCLK	INPUT	PLL输入时钟
37	BICKI	INPUT	IIS串行时钟
38	LRCKI	INPUT	IIS左/右时钟
39	SDI	INPUT	IIS串行数据输入
40	重启	INPUT	重启
41	PWDN	INPUT	设备关机 0 =掉电 1 =正常操作
42	INTLINE	OUTPUT	故障中断
43	S D A	I/O	IIC串行数据
44	SCL	INPUT	IIC串行时钟
45	SA	INPUT	IIC选择地址（下拉）
46	测试模式	INPUT	该引脚必须连接到地面（下拉）
47	GNDDIG2	功率	数字I / O地
48	VDDDIG2	功率	数字内核LDO电源



3 电气规格

3.1 绝对最大额定值

表3. 绝对最大额定值

符号	参数	敏	典型	马克斯单元
VCC	电源电压 (VCCxA, VCCxB)	-0.3		三十 V
VDD_DIG	数字电源电压	-0.3		4 V
VDD3V3 VDD3V3CHP	电荷泵和模拟路径LDO电源	-0.3		4 V
最佳	工作结温	0		150 C
TSTG	储存温度	-40		150 C
R 线	负载阻抗 - 线路驱动器模式	1		kΩ
R Hp	负载阻抗 - 耳机驱动模式	16		Ω
R Btl	负载阻抗 - 功率输出-BTL模式	五		Ω

警告：超出表3中列出的强调可能会导致永久性损坏设备.这些是压力评级只有在这些或任何设备的功能操作除此之外的其他条件
不建议使用“推荐的操作条件”.
暴露于绝对最大额定条件下
延长期限可能会影响设备的可靠性在真实中
应用程序，额定值在内的电源
建议的操作条件可能会超越
最大运行条件为短时间时不或
非常低的电流下沉（放大器处于静音状态）.在这种情况下
该设备的可靠性是有保证的，条件是
不超过绝对最大额定值.

3.2 热数据

表4 热数据

符号	参数	敏	典型	马克斯单元
Rth j-case	热阻结壳（导热垫）			1.5 °C / W
TTH-SDJ	热关断结温		150	C
TTH-W	热警告温度		130	C
TTH-SDH	热关断滞后		20	C



3.3 推荐工作条件

表5 推荐工作条件

符号	参数	敏	典型	马克斯	单元
VCC	电源电压 (VCCxA, VCCxB)	4.5		26	V
VDD_DIG	数字电源电压	2.7	3.3	3.6	V
VDD3V3 VDD3V3CHP	电荷泵和模拟路径LDO电源	2.7	3.3	3.6	V
TAMB	环境温度	0		70	C
R 线	负载阻抗 - 线路驱动器模式	五	10		kΩ
R Hp	负载阻抗 - 耳机驱动模式	16	32		Ω
R Btl	负载阻抗 - 功率输出-BTL模式	五	8		Ω

3.4 数字部分的电气规格

本节给出的规格对于操作条件是有效的：
VDD_DIG = 3.3V, T amb = 25°C.

表6 电气规格 - 数字部分

符号	参数	条件	敏	典型	马克斯	单元
我是	低电平输入电流无 上拉/下降装置	Vi = 0V			0.5	μA
我 呢	高电平输入电流无 上拉/下降装置	Vi = VDD_DIG = 3.3V			0.1	μA
V il	低电平输入电压				0.8	V
V ih	高电平输入电压		2.0			V
V ol	低电平输出电压	IOL = 2毫安			0.15	V
哦哦	高电平输出电压	Ioh = 2毫安	VDD_DIG -0.15			V
R pu	上拉/下拉电阻			50		kΩ



3.5 电源部分的电气规格

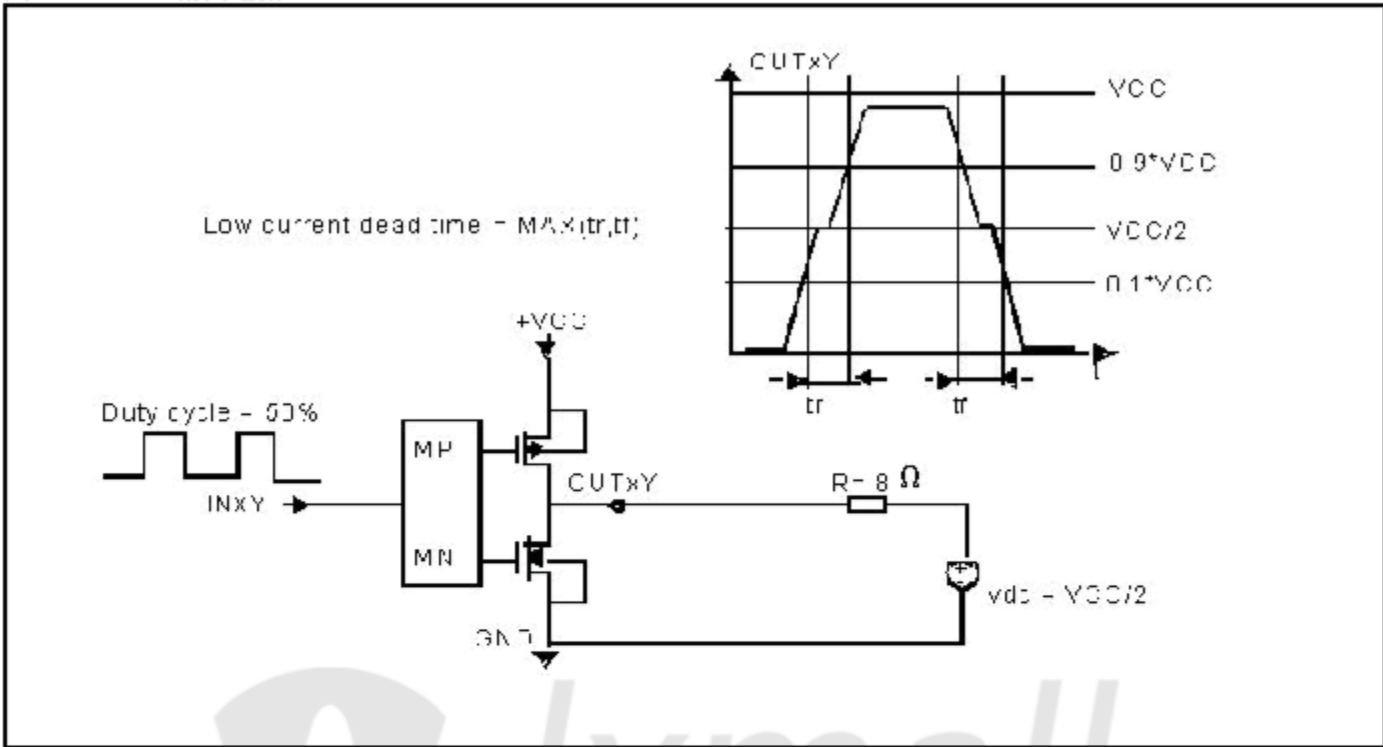
本节给出的规格适用于工作条件：V_{CC} = 24V，
除非另有说明，f = 1kHz，f_{sw} = 384kHz，T_{amb} = 25°C和R_L = 8Ω。

表7 电气规格 - 功率部分

符号	参数	条件	敏	典型	马克斯单元
宝	输出功率BTL	数字有限 (1)		20	w ^
	输出功率SE	数字有限 (1)		五	
	输出功率SE R _L = 4Ω	数字有限 (1)		9	
R _{dsON}	功率P沟道/ N沟道MOSFET	I _d = 1.5 A		120	米Ω
为gP	Power Pchannel R _{dsON} 匹配	I _d = 1.5 A	95		%
gN的	功率N 通道 R _{dsON} 匹配	I _d = 1.5 A	95		%
IDSS	功率P通道/ N通道泄漏			10	μA
我是 LD	低电流死区时间 (静态)	电阻负载 (2)		8 1 5	NS
t _r	上升时间	电阻负载 (2)		10	18 NS
t _f	下降时间	电阻负载 (2)		10	18 NS
我 vcc	在掉电PWRDN = 0时从V _{cc} 提供电流			0.1	1 μA
	来自V _{cc} 的电流在运行	PCM输入信号 = -60 dBfs， 开关频率 = 384 kHz， 没有LC滤波器		52	60 嘛
ILIM	过电流限制		4	五	6.5 一个
U _{VL}	欠压保护			3.5	4.3 V
V _{OV}	过压保护			28.25	V
t _分	输出最小脉冲宽度	空载	20	三十	60 NS
DR	动态范围			100	D b
SNR	信噪比，三元模式	A加权		100	D b
	信噪比，二进制模式	A加权		90	D b
THD +	总谐波失真+噪声	FFX立体声模式，P _o = 1 W， F = 1 kHz的		0.2	%
X 说话	相声	FFX立体声模式， <5 kHz，一个通道驱动 1 W等频道 测量		80	D b
η	峰值效率，FFX模式	P _o = 2 x 20 W到8 Ω		90	%

1. 相关的THD可以通过适当的DRC设置进行定义 (参见章节: 4.3: STCompressor™)
2. 参考图3: 测试电路。

图3. 测试电路



3.6 模拟部分的电气规格

本节给出的规格适用于工作条件：VCC = 24 V

f = 1 kHz, T amb = 25°C, VDD3V3 = 3.3 V, R线 = 5 kΩ, RHP = 32 Ω, 除非另有规定。

表8 模拟部分的电气规格

符号	参数	条件	敏	典型	马克斯单元
VOUT	线路输出电压	Gv = 2.5, THD < 1%, Rload = 5 kΩ	1.9	2.1	VRMS
噉	输出电压为HP输出	THD + N = 10%, Gv = 2.5, Rload = 32 Ω		40	毫瓦
DR	线性的动态范围	Vout = 2 V RMS, Fin = 200 Hz, Vin = 0.8 mV (-60 dBFS)		100	Db
X-对话	通道分隔线	Vout = 2 Vrms, Gv = 2.5		75	Db
PSRR	电源抑制比	HP模式, P0 = 15 mW		70	Db
		线路输出模式, V输出 = 2 Vrms		70	
Rin	线路输入电阻			30 ()	kΩ
THD + N	总谐波失真+噪声	HP模式, Vout = 200 mV RMS, Gv = 2.5		0.03	%
		线路输出模式, V输出 = 0.2 Vrms, Gv = 2.5		0.03	%

1. 请参阅8.2：耳机和2 Vrms线路输出，图47：耳机和线路输出框图，Rin = R1

4 设备概述

本节中提到的超链接涉及默认的新地图部分6：注册
描述：新地图。

4.1 处理数据路径

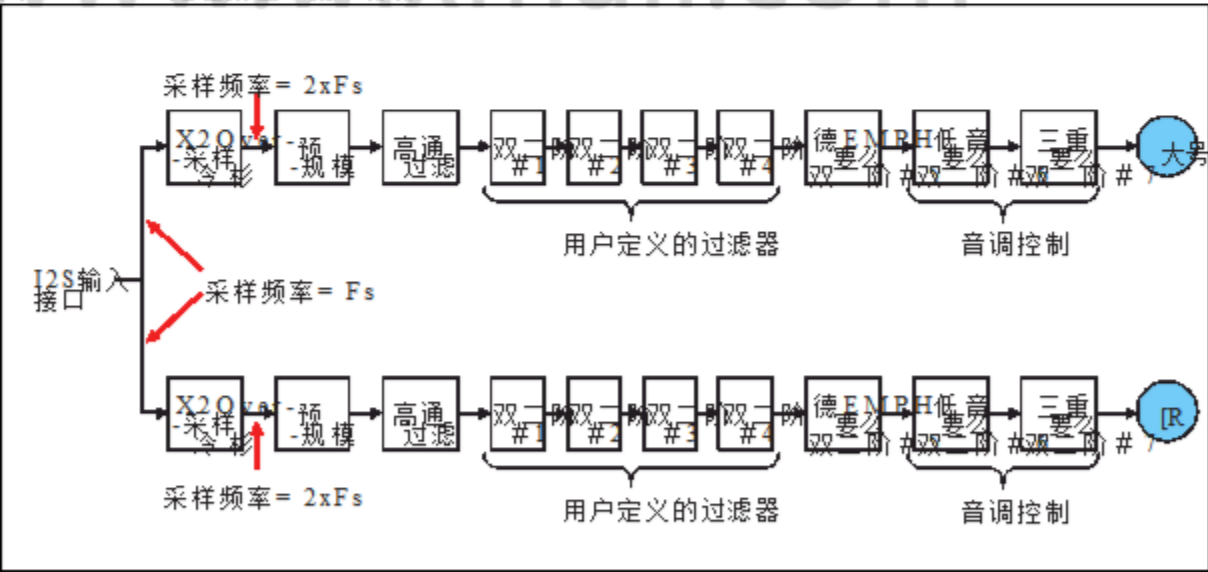
整个STA381BW加工链由两个连续的部分组成.在里面
首先实现一个双通道处理（图4），然后每个通道被馈送
进入后混合块允许产生第三个通道（通常在2.1中使用）
输出配置与交叉滤波器一起）或通道处理
双频带DRC块（2.0输出配置，用交叉滤波器来定义
两个频带的截止频率）。

第一部分从2倍过采样FIR滤波器开始，允许 $2 * F_s$ 音频处理。
然后，一个可选择的高通滤波器去除直流电平（如果HFB = 0，使能）。频道1
和2个处理链可以包含多达8个过滤器，具体取决于所选配置
（位BQL，BQ5，BQ6，BQ7和XO [3: 0]）。默认情况下，每个通道有4个独立的过滤器
加上预先配置的低音和高音控制（BQL = 0，BQ5 = 0，BQ6 = 0，
BQ7 = 0）。

STA381BW提供了在两者之间共享滤波器系数的可能性
处理渠道.当这个选项被设置（BQL = 1）时，从第1到第4的过滤器有
相同的coefficients设置.在这些条件下，可以使用从5日到7日的过滤器
自定义过滤器（只要相关的BQx位被设置）。再次过滤系数
在两个处理通道之间共享。

此外，从后续处理部分开始的常见的第8个滤波器可以是可用的
在两个通道上（如果不使用预定义的交叉频率，XO [3: 0] = 0，
并且不使用双频带DRC）。

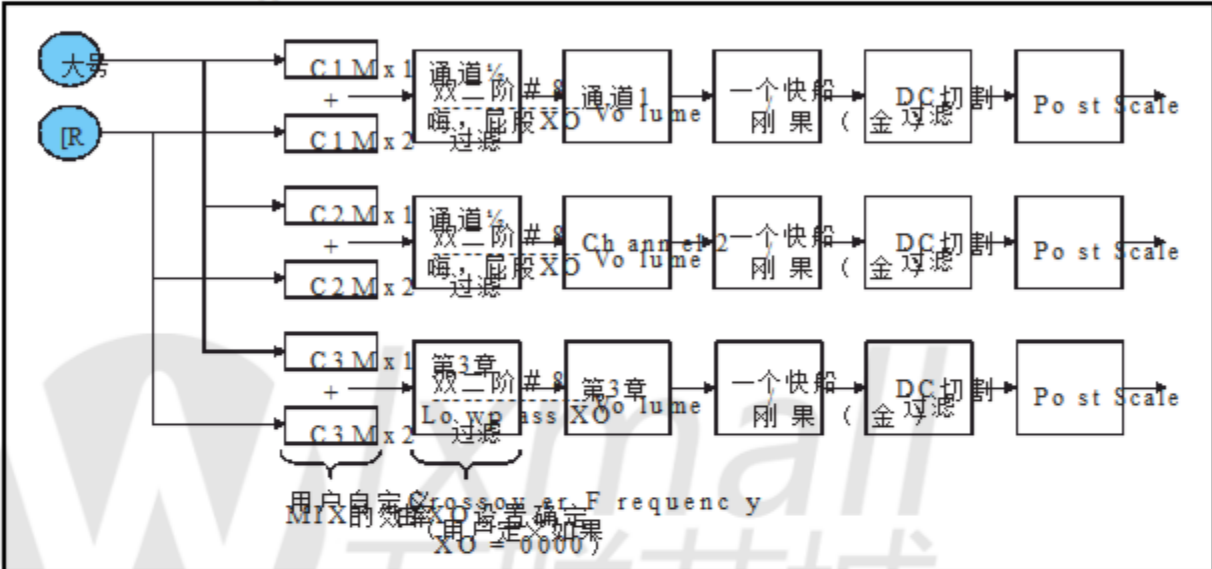
图4. 处理路径，第一部分



第二处理阶段嵌入混合块，双二次/交叉滤波器，DRC
舞台，音量控制，DC切换滤波器和后置缩放器。取决于设备
设置，可以使用以下配置和功能：

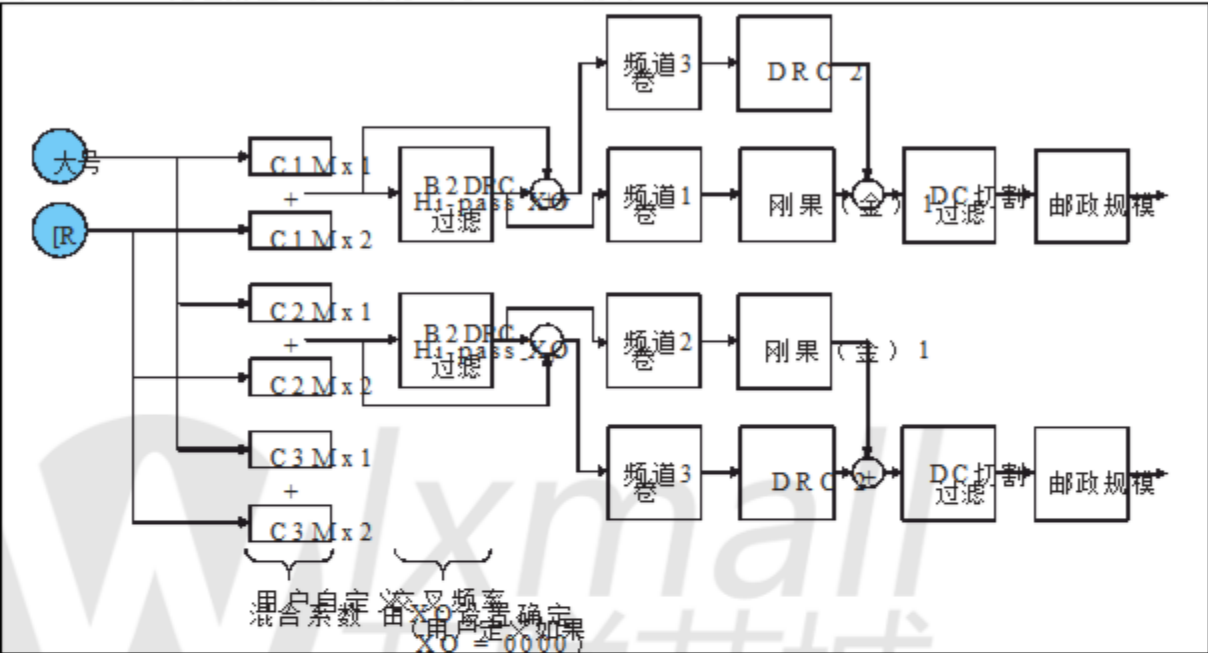
- 2.1单独配置的反卷角器/DRC输出（图5）：单独两个
第八个双二次滤波器可以配置可配置的DRC /反卷积器
用混合器块，可以用来执行LFE.这种配置和功能
确保与以前的Sound Terminal®产品的后向兼容性。

图5 处理路径，第二部分：2.1输出可单独配置
anticlipper / DRC检查



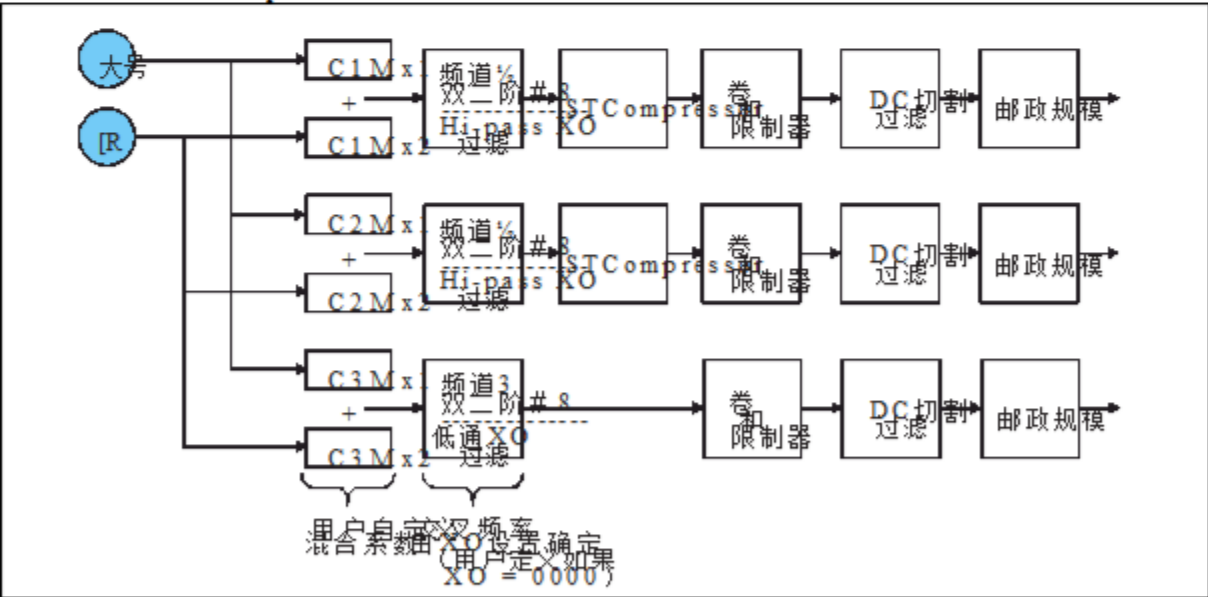
- 2.0输出与B 2 DRC (图6)：混频器和第八个双二次滤波器被用来将信道划分为两个子带，然后对每个子带进行独立处理。由一个DRC块。然后将这两个乐队重新组合，并送到下面处理块。交叉频率是用户可选择的。这个配置和功能确保了与以前的Sound Terminal®的向后兼容性。产品。欲了解更多信息，请参阅第6.11.1章：双频带DRC。

图6. 处理路径，第二部分：用B 2 DRC输出2.0



- 2.1 STCompressor TM 输出 (图7)：STA381BW嵌入了最新的，最先进的多频段动态范围压缩机STCompressor TM。什么时候使用此配置，可以使用多达10个双二阶滤波器进行专门处理。有关此功能的更多信息，请参阅第4.3节：STCompressor TM。

图7. 处理路径，第二部分：2.1输出配置 STCompressor TM



4.2 输入过采样

图4显示了主处理前面的输入过采样模块.当32千赫使用 F_s 时，默认的x2过采样率可以增加到x3.

激活此功能，可以有一个384 kHz的PWM开关频率（而不是默认的256 kHz）当使用32 kHz F_s 时.

当寄存器PLLCFG1的位0被设置为1时，该功能被激活，使得PLL比率为修改后生成49.152 MHz的内部时钟和音频数据路径（在输入之后过采样模块）以96 kHz运行.

当 $F_s > 32$ kHz时，不建议使用x3过采样功能
PLL最大频率限制.

4.3 STCompressor™

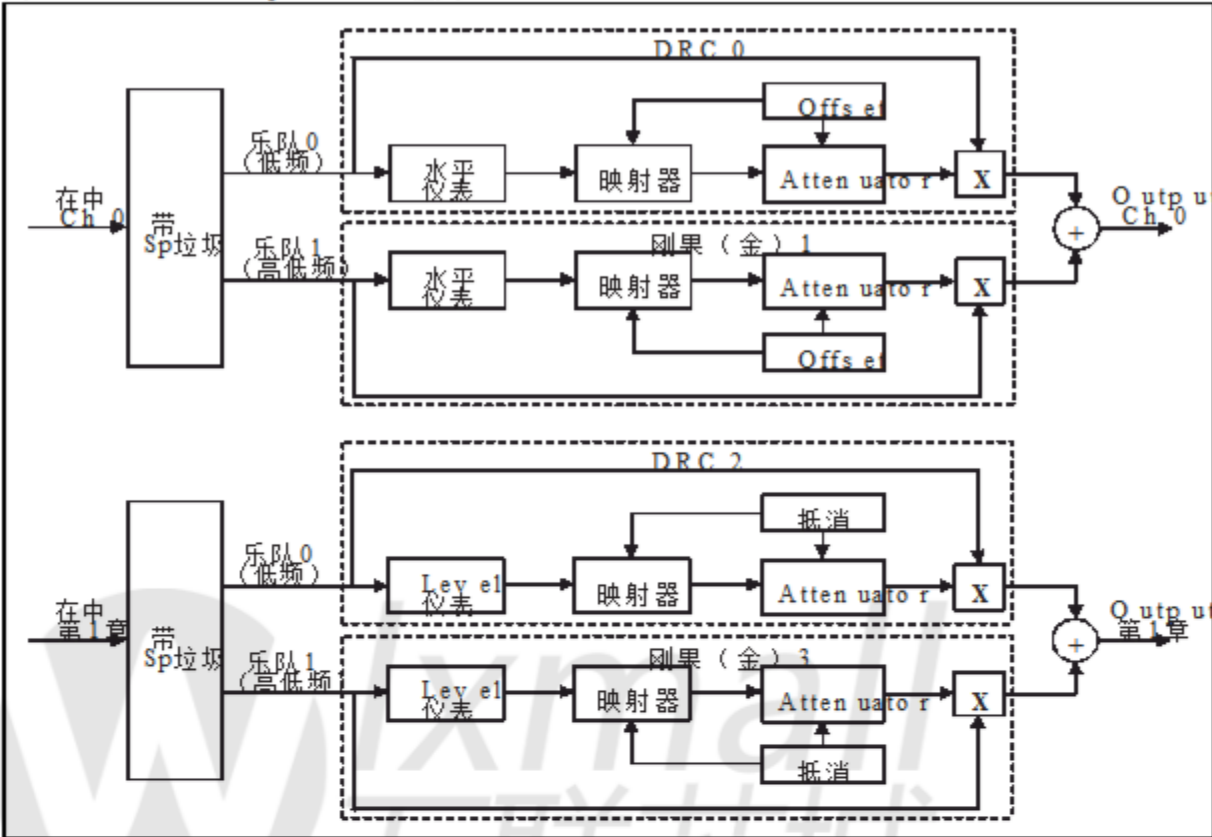
STCompressor™（STC从现在起）是一款立体声双频动态范围控制器（DRC），其主要目的是为扬声器提供最佳的输出功率电平控制保护，尽可能保留信号的原始音频质量.

两个主I2C寄存器控制STC行为：STCCFG0和STCCFG1. 在上面数据流控制位，这些寄存器还允许启用校验和引擎来保护STC从错误的系数下载过滤，从而改进最终的应用电路和扬声器的安全性.

www.wlxmall.com

4.3.1 STC框图

图8. STCompressor TM框图



STC输入2个通道，每个通道独立处理（即独立的DRC为每个频段的每个频段）遵循以下列出的步骤（图8）：

- 1. 将输入信号分成2个频段（频段分配器）
- 2. 测量信号的电平（电平表）
- 3. 计算衰减（映射器）
- 4. 应用衰减和偏移（衰减器）

频段分离器设置对于两个处理频道是共同的
剩下的块可以为每个处理通道的每个带子独立设置。

警告： 以下解释的所有设置仅适用于STCompressor TM的行为。对于有关其他设备操作配置的设置（请参阅第4.1章：处理数据路径）请参考适当的段落和寄存器。

4.3.2 带分离器

分频器模块用于将信号分成2个子频带（通常是低频和高频）频带）。这是通过对每个频带的两个二阶双二阶滤波器（IIR滤波器）完成的，从而允许每个频带具有高达4阶的滤波器。此功能保证完全平坦带重组（见图9）。事实上，使用不同的过滤顺序，在滤波器的截止频率周围可以忽略不计的增益，危及整体音频保真度，最终也是说话者的安全。子频带重组可以启用或禁用。



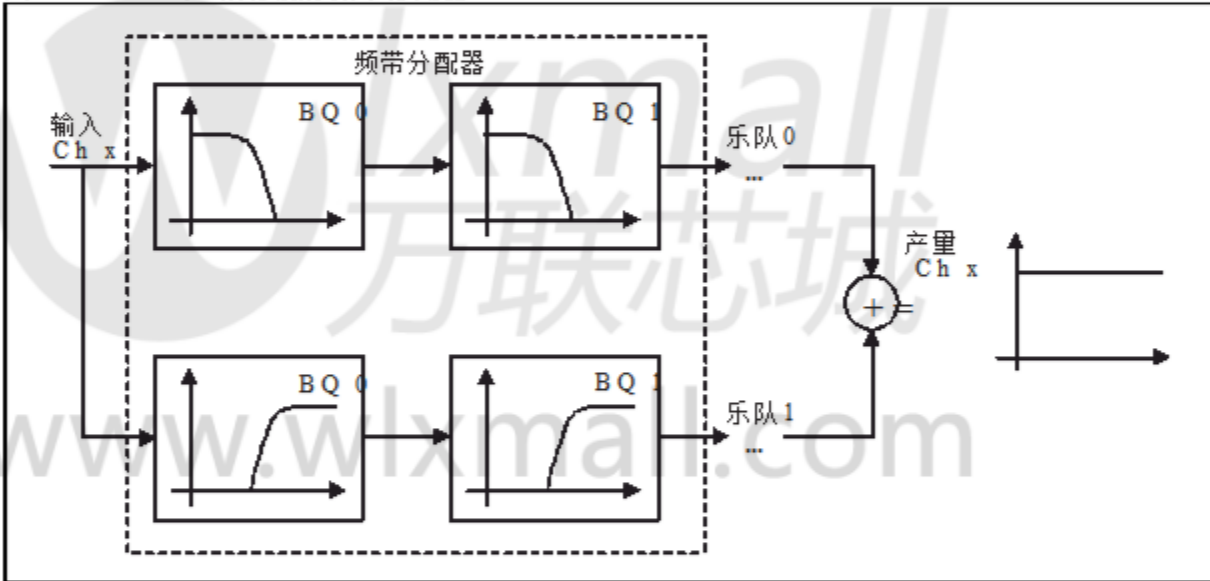
频带分离器滤波器系数具有用户可选范围[-1,1], [-2,2]和[-4,4].
RAM系数0x7根据表9负责这些设置.范围
默认值是[-4,4) .

表9 系数扩展范围配置0x74h

CEXT_Bx [1]	CEXT_Bx [0]	范围
00		[-1; 1)
01		[-2; 2)
10		[-4; 4)
1	1	保留的

请参考第6.24节: 用户定义的系数控制寄存器 (地址0x27 - 0x37)
和表13的进一步细节.

图9. 带4阶滤波的频带分离器



4.3.3 电平表

电平表块测量输入信号电平 (以dB为单位).两种措施是
执行: 峰值和RMS.映射器配置和输入信号自动
确定要考虑哪个测量.

4.3.4 映射器

映射器块计算适当的衰减值 (以dB表示)
应用于信号, 根据其电平计输出值的计算, 上
压缩器阈值和限幅器阈值.然后将衰减值传递给
衰减器块.

STC根据这三个参数做出不同的反应（图10）：

- 电平表输出值<压缩器阈值<限制器阈值：在这些下面情况下的信号电平足够小，不需要任何类型的限制/压缩行动.信号保持不变。
- 压缩器阈值<电平表输出值<限制器阈值：在这些下面情况下，信号电平被压缩到由压缩器确定的比率率。
- 压缩器阈值<限制器阈值<电平表输出值：在这些下面情况下信号电平超过表示的限制器阈值允许的最大输出功率.信号是有限的，以避免不可预知的影响和赔偿。

压缩器门限，限制器门限和压缩器速率都是用户自定义的，可选参数.压缩器阈值范围的值是[-48， 0] dB与a 0.25分贝.限幅器阈值范围为[-24， +12] dB，步长为0.25 dB.该压缩机的比值范围为[0,15]，这些值的含义在中指定表10.有关更多详细信息，请参阅表12.将压缩器速率设置为1: 1或设置压缩器阈值大于限制器阈值使STC表现为纯粹的限幅器（图11）。

图10. STCompressor TM 行为

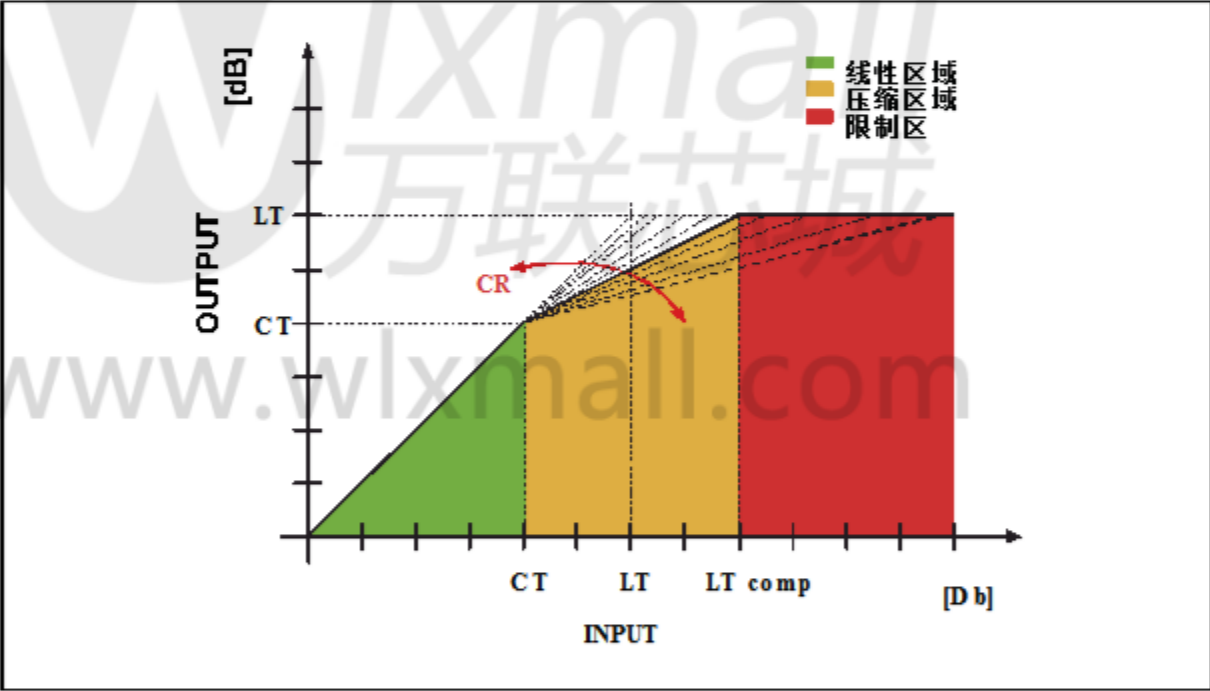


图11. STCompressor TM 作为限制器的行为

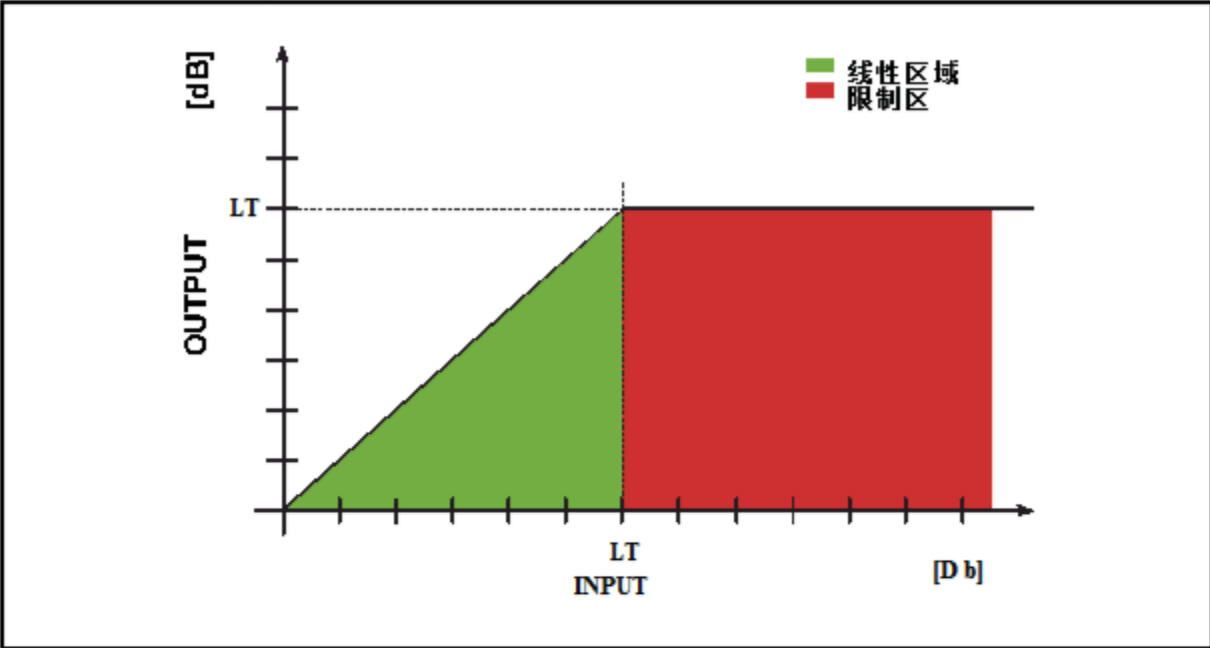


表10 压缩机比例

压缩机比例	比率值
0 1 : 1	
1	1: 1.25
2 1 : 1 . 5	
3	1: 1.75
4 1 : 2	
5 1 : 2 . 5	
6 1 : 3	
7 1 : 3 . 5	
8 1 : 4	
9 1 : 4 . 5	
10	1:5
11	1: 5.5
12	1.6
13	1: 7
14	1: 8
15	1:16



4.3.5 衰减器

衰减的特点是两个不同阶段：攻击和释放。

给定高于限制器门限的输入信号，在STC的攻击阶段降低增益以达到由映射器确定的输出电平。在这处理关键参数是决定STC有多快的攻击速率（dB / ms）根据以下等式进行反应：

$$\text{AttackTime} = \frac{\text{OutputSignalLevel} - \text{MapperLevel}}{\text{攻击速度}}$$

哪里：

- 输出信号电平是来自衰减器模块本身的衰减信号用作反馈
- 映射器级别是要达到的目标信号级别

攻击速率可由用户选择，范围为[0, + 16] dB / ms，步长为0.25 dB / ms。

给定输入信号低于限制器阈值，在释放阶段STC增加增益以使原始输入信号动态返回。在这个过程中的关键参数是决定STC释放速度的释放速率（dB / ms）输入信号衰减根据以下公式：

$$\text{推出日期} = \frac{\text{OutputSignalLevel} - \text{MapperLevel}}{\text{ReleaseRate}}$$

释放速率可由用户选择，其范围为[0.0078, 1) dB / ms，0.0039 dB / ms步。

4.3.6 动态攻击

由于其动态性，输入信号可能会超过限制器阈值的可变里分贝。在这种不同的情况下，能够调整攻击速率可能是有用的。根据上下文使STC反应更慢或更快。攻击速率值，由用户可以通过动态攻击率（DAR）动态变化。这是一个参数（以ms / dB表示）充当加权系数，乘以之间的差值衰减器输出信号和映射器目标电平。动态的攻击速度会影响到用户可编程的攻击速率根据以下等式：

$$\begin{aligned} \text{DynamicAttackTime} &= (\text{OutputSignalLevel} - \text{MapperLevel}) \times \\ \text{AttackTime} &= \frac{\text{OutputSignalLevel} - \text{MapperLevel}}{\text{攻击速度}} + \text{DynamicAttackTime} \\ \Rightarrow \text{攻击速度} &= \frac{\text{OutputSignalLevel} - \text{MapperLevel}}{\text{AttackTime} - \text{DynamicAttackTime}} \end{aligned}$$

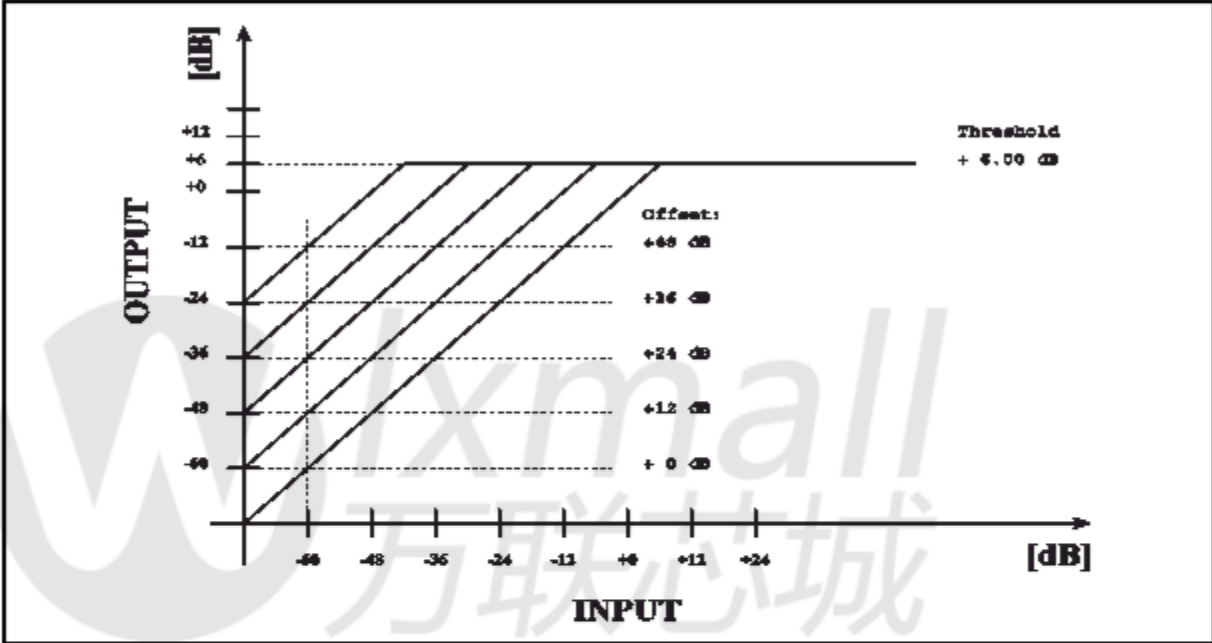
DAR是用户可定义的，其值范围是[0, +1) ms / dB，（表12）0.0039 ms / dB步长。DAR对于所有4个子带是相同的。

4.3.7 抵消

偏移量是用户可选的增益或音量控制. 建议使用STC时
使用偏移来调整输出音量，而不是常规的音量控制. 偏移是
位于衰减器块之前，确保输出功率限制（限幅器阈值）
从未超过（图12）. 另一方面，传统的音量控制位于后面
STC衰减器，因此这种控制的错误设置可能使STC效应无效.

每个子带都有自己的独立偏移量. 它的范围是[0, +48] dB和0.25 dB
步骤（表12）.

图12. 偏移效应

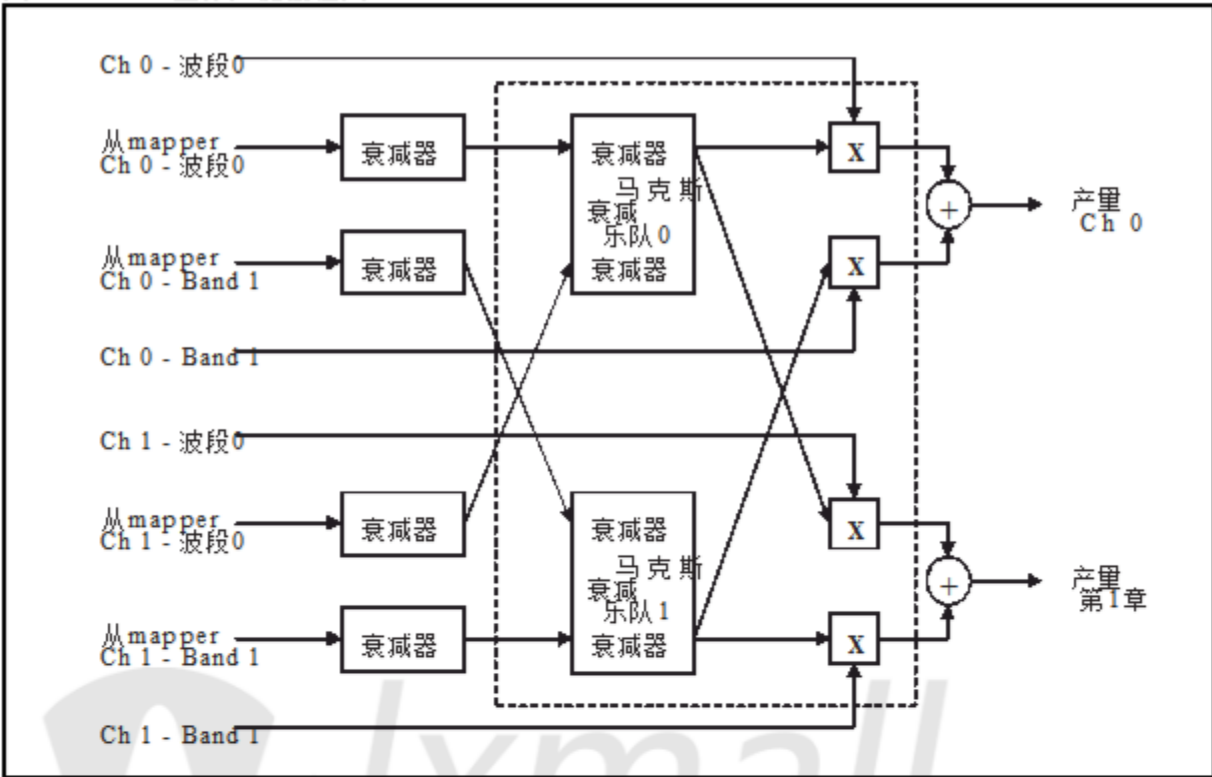


4.3.8 立体声链接

立体声链接功能允许将相同的衰减应用于相应的频段
每个频道（即频段0左频道和频段0右或频段1左频道和频段1
右声道）. 这应该有助于防止单独出现的图像偏移
压缩每个通道并导致左右之间的音量不匹配.

当立体声链路处于活动状态时，每个频段的适当衰减是独立的
计算出来，然后应用每个带的最高值（图13）.

图13. 立体声链接框图



4.3.9 系数编程

系数用不同的数值范围表示，用十进制表示（请参考以前的段落）。为了被编程，他们必须转换成一个 [-1, +1] 范围和十六进制表示法（表11）。这可以用程序如下：

- 如果 $CoeffDecValue > 0$

$$CoeffI2CValue = \text{rnd}(CoeffDecValue \times 2 / 6 \times 23)$$

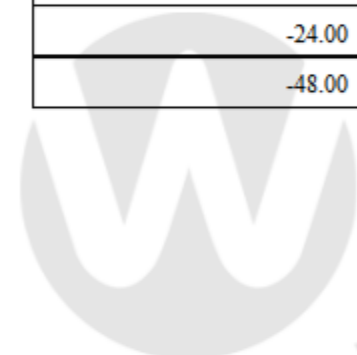
- 如果 $CoeffDecValue < 0$

$$CoeffI2CValue = 2^{24} - \text{rnd}(CoeffDecValue \times 2 / 6 \times 23)$$

其中 $CoeffI2CValue$ 是要转换成十六进制符号的最终十进制值，而 $CoeffDecValue$ 是从十进制开始的系数值（以十进制表示法）。

表 11 转换示例

原始值（十进制）	I 2 C值（十六进制）
48.00	0x600000
24.00	0x300000
16.00	0x200000
+12.00	0x180000
06.00	0x0C0000
02.00	0x040000的
01.00	0x020000
-01.00	0xFE0000
-02.00	0xFC0000
-06.00	0xF40000
-12.00	0xE80000
-24.00	0xD00000
-48.00	0xA00000

 Wlxmall
万联芯城
www.wlxmall.com



4.3.10 内存映射

前面段落中列出的所有控制参数都存储在内部设备中记忆.请参阅表12和表13以获取其地址的完整列表.

[编程步骤请参考6.24节: 用户自定义系数](#)

控制寄存器 (地址0x27 - 0x37) .请注意, 全部读取操作不可用STC系数存储器.

表12 STC系数存储器映射

功能			地址	参数	范围	精确	单元	默认
CH0	Band 0	DRC 0	0x54	RR: 释放率	[0.0078,1)	0.0039	分贝/MS	0x200000
			0x55的	AR: 攻击率	[0,16]	0.25	分贝/MS	0x200000
			0x56储存	LT: 限制器阈值	[-24, +12]	0.25	D b	0x000000处
			的0x57	CR: 压缩机比率	[0,15]	1	指数	0x000000处
			将0x58	CT: 压缩机阈值	[-48, 0]	0.25	D b	0x000000处
	Band 1	DRC 1	0x59	RR: 释放率	[0.0078,1)	0.0039	分贝/MS	0x200000
			05A	AR: 攻击率	[0,16]	0.25	分贝/MS	0x200000
			0x5B	LT: 限制器阈值	[-24, +12]	0.25	D b	0x000000处
			0x5C	CR: 压缩机比率	[0,15]	1	指数	0x000000处
			0x5D	CT: 压缩机阈值	[-48, 0]	0.25	D b	0x000000处
CH1	Band 0	DRC 2	0x5E	RR: 释放率	[0.0078,1)	0.0039	分贝/MS	0x200000
			0x5F的	AR: 攻击率	[0,16]	0.25	分贝/MS	0x200000
			0X60	LT: 限制器阈值	[-24, +12]	0.25	D b	0x000000处
			0x61	CR: 压缩机比率	[0,15]	1	指数	0x000000处
			0X62	CT: 压缩机阈值	[-48, 0]	0.25	D b	0x000000处
	Band 1	DRC 3	0x63	RR: 释放率	[0.0078,1)	0.0039	分贝/MS	0x200000
			0x64	AR: 攻击率	[0,16]	0.25	分贝/MS	0x200000
			0x65	LT: 限制器阈值	[-24, +12]	0.25	D b	0x000000处
			0x66	CR: 压缩机比率	[0,15]	1	指数	0x000000处
			0x67	CT: 压缩机阈值	[-48, 0]	0.25	D b	0x000000处
抵消			0X68	OFS0: 偏移量DRC 0	[0, +48]	0.25	D b	0x000000处
			0x69	OFS1: 抵消DRC 1	[0, +48]	0.25	D b	0x000000处
			的0x6A	OFS2: 抵消DRC 2	[0, +48]	0.25	D b	0x000000处
			0X6B	OFS3: 抵消DRC 3	[0, +48]	0.25	D b	0x000000处
动态的攻击速度			0x71	DAR: 动态攻击率	[0, 1)	0.0039	MS/DB	0x000000处
CRC预计			0x72					
CRC计算			0x73					
Biquads CTRL			0x74	频带分离滤波器系数范围				0x0000AA

表13. STC频带分离器滤波器存储器映射

功能		地址	系数	范围	默认
Band 0	BQ0	0x40的	B 1 / 2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		的0x41	B2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		的0x42	-A1 / 2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		0x43中	-A2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		0x44	B 0 / 2	[-1,1) , [-2,2] , [-4,4]	的0x100000
	BQ1	0x45	B 1 / 2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		0x46	B2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		0X47	-A1 / 2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		0x48	-A2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		x49	B 0 / 2	[-1,1) , [-2,2] , [-4,4]	的0x100000
Band 1	BQ0	0x4A	B 1 / 2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		0x4B	B2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		0x4C	-A1 / 2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		送出0x4d	-A2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		0x4E	B 0 / 2	[-1,1) , [-2,2] , [-4,4]	的0x100000
	BQ1	0x4F	B 1 / 2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		为0x50	B2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		0x51	-A1 / 2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		0x52	-A2	[-1,1) , [-2,2] , [-4,4]	0x000000处
		0x53	B 0 / 2	[-1,1) , [-2,2] , [-4,4]	的0x100000



五 I2C总线规范

STA381BW 通过输入端口SCL和SDA_IN（主机）来支持I2C协议（从机）和输出端口SDA_OUT（从机到主机）。这个协议定义了任何设备将数据作为发送器发送到总线，以及将数据作为接收器读取的任何设备。控制数据传输的设备称为主设备，另一个设备为从设备。主设备总是启动传输并提供串行时钟进行同步。该STA381BW在其所有通讯中始终是从属设备。它支持最多400 kb/sec速率（快速模式比特率）。STA381BW I2C是从属接口。I2C只有在PLL产生的主时钟有一个时钟的情况下才能正常工作。频率比施加的SCL信号的频率高10倍。

5.1 通信协议

5.1.1 数据转换或更改

只有在SCL时钟为低电平时，SDA线上的数据改变才会发生。SDA过渡而时钟高则用于识别START或STOP条件。

5.1.2 开始条件

数据总线SDA信号由时钟到高电平的转换来识别START信号。SCL在高电平状态下稳定。START条件必须在任何命令之前数据传输。

5.1.3 停止状态

数据总线SDA信号由时钟到低电平转换来识别STOP信号。SCL在高电平状态下稳定。停止条件终止之间的通信。STA381BW和总线主控器。

5.1.4 数据输入

在数据输入期间，STA381BW在时钟的上升沿采样SDA信号。SCL为了正确的器件操作，SDA信号在上升沿期间必须保持稳定。时钟和数据只能在SCL线路较低时改变。

5.2 设备寻址

要启动主站和STA381BW之间的通信，主站必须启动以开始条件。在此之后，主机发送到SDA线8位（MSB在先）对应于设备选择地址和读取或写入模式。

这7个最重要的位是设备地址标识符，对应于I2C巴士定义。在STA381BW中，I2C接口有两个设备地址。SA端口配置，SA = 0时为0x38，SA = 1时为0x3A。

第八位（LSB）标识读取或写入操作RW，在读取模式下该位设置为1。写入模式为0。在起始条件之后，STA381BW在总线上识别出设备地址，如果找到一个匹配，它会在SDA总线上确认识别。

第九位的时间.设备标识字节后面的字节是内部空间地址.

5.3 写操作

在START条件之后,主器件发送RW位置1的器件选择代码为0. STA381BW确认,然后等待内部地址的字节.在接收到内部字节地址后, STA381BW再次用一个确认.

5.3.1 字节写入

在字节写入模式下,主机发送一个被确认的数据字节 STA381BW.主机然后通过产生一个停止条件来终止传输.

5.3.2 多字节写入

多字节写入模式可以从任何内部地址开始.主生成一个停止条件终止传输.

5.4 阅读操作

5.4.1 当前地址字节被读取

在START条件之后,主器件发送RW位置1的器件选择代码为1. STA381BW确认这一点,然后通过发送一个字节的的数据作出响应.主机然后通过产生一个停止条件来终止传输.

5.4.2 当前地址多字节读取

多字节读取模式可以从任何内部地址开始.连续的数据字节是从STA381BW内的连续地址读取.主人承认每一个数据字节读取,然后产生一个停止条件,终止传输.

5.4.3 随机地址字节读取

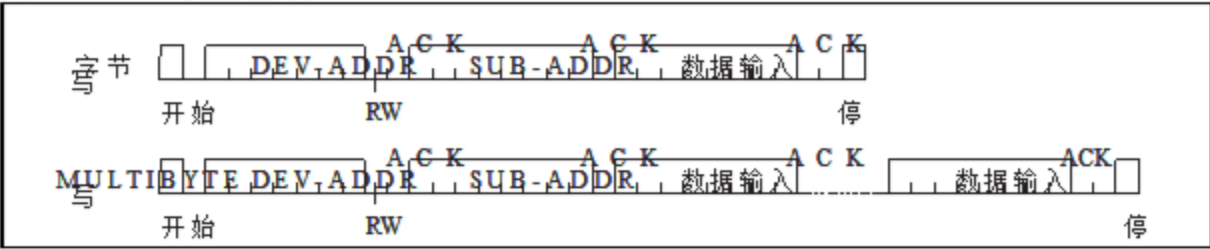
在START条件之后,主器件发送RW位置1的器件选择代码为0. STA381BW确认这一点,然后主站写入内部地址字节.接收到内部字节地址后, STA381BW再次用一个确认.主机然后启动另一个启动条件并发送设备选择RW位置1的代码. STA381BW确认并响应通过发送一个字节的的数据.主站然后通过产生一个停止终止传输条件.

5.4.4 随机地址多字节读取

多字节读取模式可以从任何内部地址开始.连续的数据字节是从STA381BW内的连续地址读取.主人承认每一个数据字节读取,然后产生一个停止条件,终止传输.

5.4.5 写模式序列

图14. 写模式序列



5.4.6 读取模式序列

图15. 读取模式序列



6 注册说明：新地图

两个寄存器的映射在STA381BW上可用，选择通过设置完成寄存器0x7E位D7。默认情况下，0x7E设置为1，并引用不兼容的映射与以前的声音终端设备。这个寄存器的映射也被称为“新地图”。

为了保持与以前的声音终端设备的兼容性，0x7E位D7必须设置为0。器件开启后和复位后（通过SW或通过外部引脚）请参阅第7节：注册说明：声音终端兼容性的所有信息设备兼容性。

丢失的地址将被视为保留。

表14 默认注册地图表：新地图

地址	名称	D7	D6	D5	D4	D3	D2	D1	D0	
为0x00	CLK	CLK_CFG [3: 0]							I2S	
0x01	状态	故障	DRCCRC	EQCRC	BADPWM			I2SERR	PLLUL	
0x02	重启								SRESET	
×03	SVOL							SVOL [1: 0]		
0x04	MVOL	MVOL [7: 0]								
0x05	FINEVOL							FINE [1: 0]		
0x06	CH1VOL	CH1VOL [7: 0]								
0x07	CH2VOL	CH2VOL [7: 0]								
0x08	的 POST	POST [7: 0]								
×09	OPER							OPER [1: 0]		
的0x0A	FUNCT		CRC	APEQ	PEQ		AMDRC	MDRCE	刚果（金）	
为0x10	HPCFG									静音
为0x11	CONFA	FDRB			IR1	IR0	MCS2	MCS1	MCS0	
0x12	CONFB	C2IM	C1IM	DSCKE	SAIFB	SAI3	SAI2	SAI1	SAI0	
0x13	CONFC			CSZ3	CSZ2	CSZ1	CSZ0			
0x14	CONFD	中小企业	ZDE		BQL	PSL	DSPB			
为0x15	CONF		郑商所		PWMS	AME	NSBW			
0x16	CONFF	EAPD	PWDN		LDTE	BCLE	IDE			
0x17	MUTELOC	LOC1	LOC0			C3M	C2M	C1M	MMUTE	
0x1B	CH3VOL	CH3VOL [7: 0]								
0x1D	汽车	XO3	XO2	XO1	XO0	AMA-M2	AMAM1	AMAM0	AMAME	
为0x1F	C1CFG					C1BO	C1VBP	C1EQBP	C1TCB	
为0x20	C2CFG					C2BO	C2VBP	C2EQBP	C2TCB	
为0x21	C3CFG	C3OM1	C3OM0	C3LS1	C3LS0	C3BO	C3VBP			
为0x22	音	TTC3	TTC2	TTC1	TTC0	BTC3	BTC2	BTC1	BTC0	
0x23	L1AR	L1A3	L1A2	L1A1	L1A0	L1R3	L1R2	L1R1	L1R0	
0x24	L1ATRT	L1AT3	L1AT2	L1AT1	L1AT0	L1RT3	L1RT2	L1RT1	L1RT0	

表14 默认寄存器映射表：新映射（续）

地址	名称	D7	D6	D5	D4	D3	D2	D1	D0
0x25	L2AR	L2A3	L2A2	L2A1	L2A0	L2R3	L2R2	L2R1	L2R0
0x26	L2ATRT	L2AT3	L2AT2	L2AT1	L2AT0	L2RT3	L2RT2	L2RT1	L2RT0
0x27	CFADDR			CFA5	CFA4	CFA3	CFA2	CFA1	CFA0
0x28	B1CF1	C1B23	C1B22	C1B21	C1B20	C1B19	C1B18	C1B17	C1B16
0x29	B1CF2	C1B15	C1B14	C1B13	C1B12	C1B11	C1B10	C1B9	C1B8
0x2A	B1CF3	C1B7	C1B6	C1B5	C1B4	C1B3	C1B2	C1B1	C1B0
0x2B	访问 B2CF1	C2B23	C2B22	C2B21	C2B20	C2B19	C2B18	C2B17	C2B16
0x2C	上 B2CF2	C2B15	C2B14	C2B13	C2B12	C2B11	C2B10	C2B9	C2B8
0x2D	B2CF3	C2B7	C2B6	C2B5	C2B4	C2B3	C2B2	C2B1	C2B0
0x2E	之间 A1CF1	C3B23	C3B22	C3B21	C3B20	C3B19	C3B18	C3B17	C3B16
值为0x2F	A1CF2	C3B15	C3B14	C3B13	C3B12	C3B11	C3B10	C3B9	C3B8
的0x30	A1CF3	C3B7	C3B6	C3B5	C3B4	C3B3	C3B2	C3B1	C3B0
0x31	A2CF1	C4B23	C4B22	C4B21	C4B20	C4B19	C4B18	C4B17	C4B16
0x32	A2CF2	C4B15	C4B14	C4B13	C4B12	C4B11	C4B10	C4B9	C4B8
0x33	A2CF3	C4B7	C4B6	C4B5	C4B4	C4B3	C4B2	C4B1	C4B0
0x34	B0CF1	C5B23	C5B22	C5B21	C5B20	C5B19	C5B18	C5B17	C5B16
0x35	B0CF2	C5B15	C5B14	C5B13	C5B12	C5B11	C5B10	C5B9	C5B8
0x36	B0CF3	C5B7	C5B6	C5B5	C5B4	C5B3	C5B2	C5B1	C5B0
0x37	CFUD					RA	R1	WA	W1
为0x38	CFDRC1	FDR15	FDR14	FDR13	FDR12	FDR11	FDR10	FDR9	FDR8
0x3D	之间 DRC2	FDR7	FDR6	FDR5	FDR4	FDR3	FDR2	FDR1	FDR0
0x3F	MTH2	MTH [21:16]							
0x40	MTH1	MTH [15: 8]							
0x43	EATH1	EATHEN1	EATH1 [6: 0]						
0x44	ERTH1	ERTHEN1	ERTH1 [6: 0]						
0x45	EATH2	EATHEN2	EATH2 [6: 0]						
0x46	ERTH2	ERTHEN2	ERTH2 [6: 0]						
0x47	CONFX			PS48DB	XAR1	XAR2	BQ5	BQ6	BQ7
0x52	PLLFRAC1	PLL_FRAC [15: 8]							
0x53	PLLFRAC2	PLL_FRAC [7: 0]							
0x54	PLLDIV	PLL_DITH [1: 0]		PLL_NDIV [5: 0]					
0x55	PLLCFG0	PLL_DPD	PLL_FCT	PLL_STB	PLL_STBBYP	PLL_IDIV [3: 0]			
0x56	PLLCFG1			PLL_DIRP	PLL_PWD	PLL_BYP	OSC_PD		BOOST32K
的0x57	PLLSTATE					BYPSTATE	EPDSTATE	OSCOK	LOWCK
将0x58	SHOK						GND SH	VCC SH	OUT SH
0x5A	CXT41	CEXT_B4 [1: 0]		CEXT_B3 [1: 0]		CEXT_B2 [1: 0]		CEXT_B1 [1: 0]	

表14 默认寄存器映射表：新映射（续）

地址	名称	D7	D6	D5	D4	D3	D2	D1	D0
0x5B	CXT75			CEXT_B7 [1: 0]		CEXT_B6 [1: 0]		CEXT_B5 [1: 0]	
0x5C	MISC1	RPDNEN		BRIDGOF			CPWMEN		
0x5D	MISC2	LPDP	LPD	LPDE	PNDLSL [2: 0]				沉
0x5E	BPTH	BPTH [5: 0]							
0x60	BPTIM	BPTIM [7: 0]							
0x61	ZCCFG0	WTHH	WTHL	FINETH	HSEL [1: 0]		ZMTH [2: 0]		
0x62	ZCCFG1	RMS_CH0 [7: 0]							
0x63	ZCCFG2	RMS_CH0 [15: 8]							
0x64	ZCCFG3	RMS_CH1 [7: 0]							
0x65	ZCCFG4	RMS_CH1 [15: 8]							
0x66	HPCFG	HPLN				CPFEN	CPOK	ABFAULT	DCROK
0x69	F3XCFG1	F3XLNK							
0x6A	F3XCFG2	F3X_FAULT			F3X_SM_SLOPE [2: 0]			F3X_MUTE	F3X_ENA
0x6B	STCCFG0						NP_CRCRES		
0x6C	STCCFG1							STC_LNK	
0x6F	MTH0	MTH [7: 0]							
0x70	CHPSINC			CHPI	INITCNT [3: 0]				CHPRD
0x71	BQCHKE0	BQ_CKE [7: 0]							
0x72	BQCHKE1	BQ_CKE [15: 8]							
0x73	BQCHKE2	BQ_CKE [23:16]							
0x74	XCCHKE0	XC_CKE [7: 0]							
0x75	XCCHKE1	XC_CKE [15: 8]							
0x76	XCCHKE2	XC_CKE [23:16]							
0x77	BQCHKR0	BQ_CKR [7: 0]							
0x78	BQCHKR1	BQ_CKR [15: 8]							
0x79	BQCHKR2	BQ_CKR [23:16]							
0x7A	XCCHKR0	XC_CKR [7: 0]							
0x7B	XCCHKR1	XC_CKR [15: 8]							
0x7C	XCCHKR2	XC_CKR [23:16]							
0x7D	CHKCTRL	XCAUTO				BCAUTO			
0x7E	MISC4	SMAP						WRA	CH12

6.1 CLK寄存器（地址0x00）

D7	D6	D5	D4	D3	D2	D1	D0
CLK_CFG [3: 0]				保留的	保留的	保留的	I2S
00		00		00		0	0

表15 CLK寄存器

位	R / W	RST	名称	描述
7 R	/ W	0	CLK_CFG [3: 0]	0000: 44.1 / 48 kHz BITCLK = 64 Fs
6 R	/ W	0		0001: 32 kHz BITCLK = 64 Fs
5 R	/ W	0		0010: 96 kHz BITCLK = 64 Fs
4 R	/ W	0		0011: 48 / 44.1 / 32kHz MCK = 256Fs 其他: 时钟配置取决于IR / MCS位
0 R	/ W	0	I2S	'0' = SAI configured in I2S mode '1' = SAI configuration depends on CONFB register 状态

6.2 状态寄存器（地址0x01）

D7	D6	D5	D4	D3	D2	D1	D0
故障	DRCCRC	EQCRC	BADPWM	保留的	保留的	I2SERR	PLLUL
NA	NA	NA	NA	NA	NA	NA	NA

表16. 状态寄存器

位	R / W	RST	名称	描述
7R			故障 (1)	'0' = the power bridge is in fault condition '1' = the power bridge is in normal condition
6	[R]		DRCCRC	"0" = 正常操作 '1' = CRC error on DRC BIQUADS
五	[R]		EQCRC	"0" = 正常操作 '1' = CRC error on BIQUADS
4R			BADPWM	"0" = 正常操作 '1' = PWM outputs are invalid
1	[R]		I2SERR	"0" = 正常操作 '1' = SAI interface error detected (see Section 6.14: 配置寄存器B (地址0x12))
0	[R]		PLLUL	'0' = PLL is locked '1' = PLL is not locked

1. 一旦电桥进入三态模式，故障状态被设置为1。

6.3 RESET寄存器（地址0x02）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	保留的	保留的	保留的	SRESET
00		00		00		0	0

表17 RESET寄存器

位	R / W	RST	名称	描述
0	R / W	0	SRESET	“0”：正常运行 “1”：reset the device

SRESET写入后，最后一个IC应答被跳过，EAPD位（寄存器0x16位D7）设置为1，而不是硬件复位后得到的0默认值。

6.4 软量寄存器（地址0x03）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	保留的	保留的	SVOL [1: 0]	
00		00		00		0	1

表18 软量寄存器

位	R / W	RST	名称	描述
1 R	/ W		SVOL [1: 0]	00：30 ms
0 R	/ W			01：100毫秒（默认） 10：100毫秒 11：软静音禁用

值指定为 $f_s = 48\text{ kHz}$ ， 96 kHz 或 192 kHz 。



6.5 MVOL寄存器（地址0x04）

D7	D6	D5	D4	D3	D2	D1	D0
MVOL [7: 0]							
00		00		00		0	0

表19. 主音量寄存器

位	R / W	RST	名称	描述
7 R	/ W	0	MVOL [7: 0]	0x00: 硬静音（立即关闭） 0x01: 静音 0x02: 静音（PWM开启） 0x03: 静音（PWM开启） 其他: 音量 = $[(MVOL - 255) / 2]$ dB (1)
6 R	/ W	0		
5 R	/ W	0		
4 R	/ W	0		
3 R	/ W	0		
2 R	/ W	0		
1 R	/ W	0		
0 R	/ W	0		

1. 如果音量低于 -60 dB，则音量将近似为 1 dB 步长。

6.6 FINEVOL寄存器（地址0x05）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	保留的	保留的	FINE [1: 0]	
00		00		00		0	0

表20 精细卷寄存器

位	R / W	RST	名称	描述
1 R	/ W		FINE [1: 0]	00 = 0分贝
0 R	/ W			01 = -0.125分贝 10 = -0.25dB 11 = -0.375分贝

6.7 CH1VOL寄存器（地址0x06）

D7	D6	D5	D4	D3	D2	D1	D0
CH1VOL [7: 0]							
10		01		11		1	1

表21. 通道1卷寄存器

位	R / W	R S T	名称	描述
7 R	/ W	1	CH1VOL [7: 0]	0x00: 静音 其他: 音量 = $[(CH1VOL - 159) / 2]$ dB (1)
6 R	/ W	0		
5 R	/ W	0		
4 R	/ W	1		
3 R	/ W	1		
2 R	/ W	1		
1 R	/ W	1		
0 R	/ W	1		

1. 如果音量低于-60 dB，则音量将近似为1 dB步长。

6.8 CH2VOL寄存器（地址0x07）

D7	D6	D5	D4	D3	D2	D1	D0
CH2VOL [7: 0]							
10		01		11		1	1

表22 通道2卷寄存器

位	R / W	R S T	名称	描述
7 R	/ W	1	CH2VOL [7: 0]	0x00: 静音 其他: 音量 = $[(CH2VOL - 159) / 2]$ dB (1)
6 R	/ W	0		
5 R	/ W	0		
4 R	/ W	1		
3 R	/ W	1		
2 R	/ W	1		
1 R	/ W	1		
0 R	/ W	1		

1. 如果音量低于-60 dB，则音量将近似为1 dB步长。

6.9 POST定标器寄存器（地址0x08）

D7	D6	D5	D4	D3	D2	D1	D0
POST [7: 0]							
10		00		00		0	0

CH1和CH2都将后置定标器设置为POST / 128.

6.10 OPER寄存器（地址0x09）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	保留的	保留的	OPER [1: 0]	
00		00		00		0	0

表23 OPER注册

位	R / W	R S T	名称	描述
1 R	/ W	0	OPER [1: 0]	输出配置模式
0 R	/ W	0		

表24 OPER配置选择

OPER [1: 0]	输出配置	PBTL 启用
00	2路（全桥）电源，2路数据输出： 1A / 1B → 1A / 1B 图2A / 2B → 2A / 2B LineOut1 → 3A / 3B LineOut2 → 4A / 4B 由LOC寄存器确定线路输出配置	没有
11	2路（全桥）电源，1路FFX： 1A / 1B → 1A / 1B 图2A / 2B → 2A / 2B 图3A / 3B → 3A / 3B EAPDEXT和TWARNEXT有效	是
10	2（半桥）.1（全桥）车载电源： 1A → 1A 二进制0° 2A → 1B 二进制90° 图3A / 3B → 2A / 2B 二进制45° 图1A / 3A / B 二进制0° 图2A / 4A / B 二进制90°	没有
01	1路单声道并行： 3A → 1A / 1B w / C3BO 45° 3B → 2A / 2B w / C3BO 45° 1A / 1B → 3A / 3B 图2A / 2B → 4A / 4B CH3在所有PWM通道上缩混.	没有

图16. OPER = 00 (默认值)

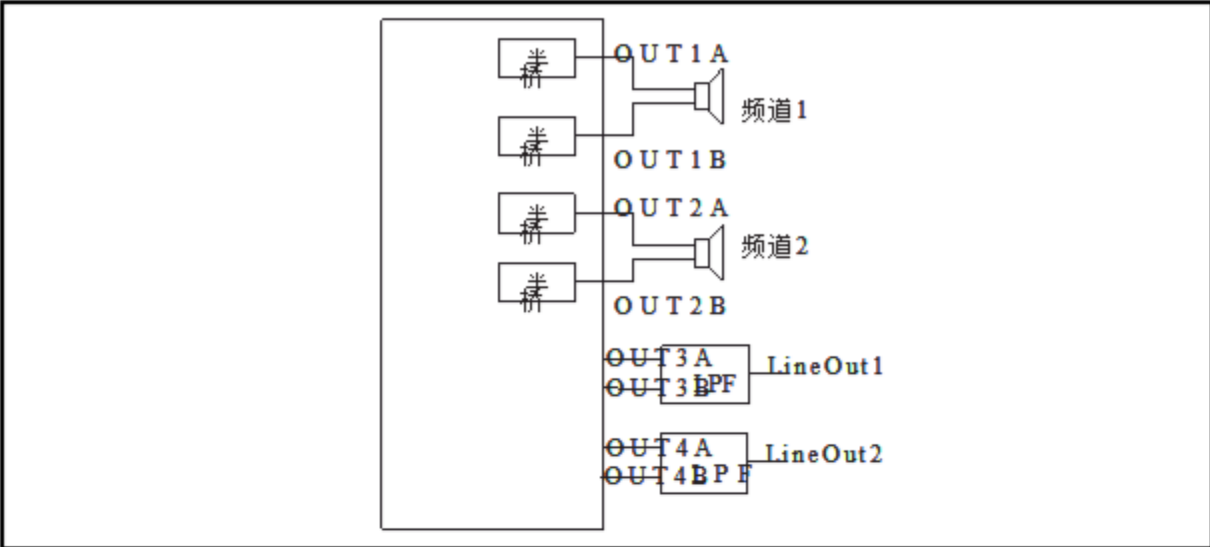


图17. OPER = 11

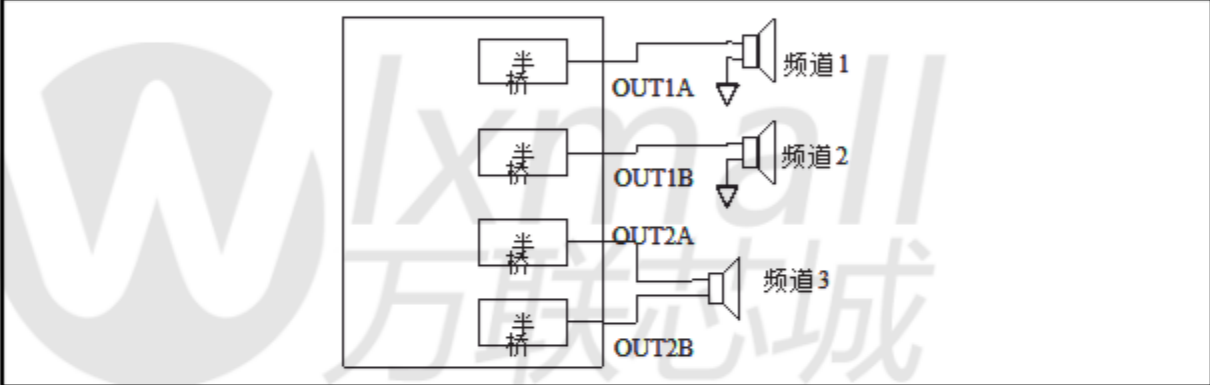


图18. OPER = 10

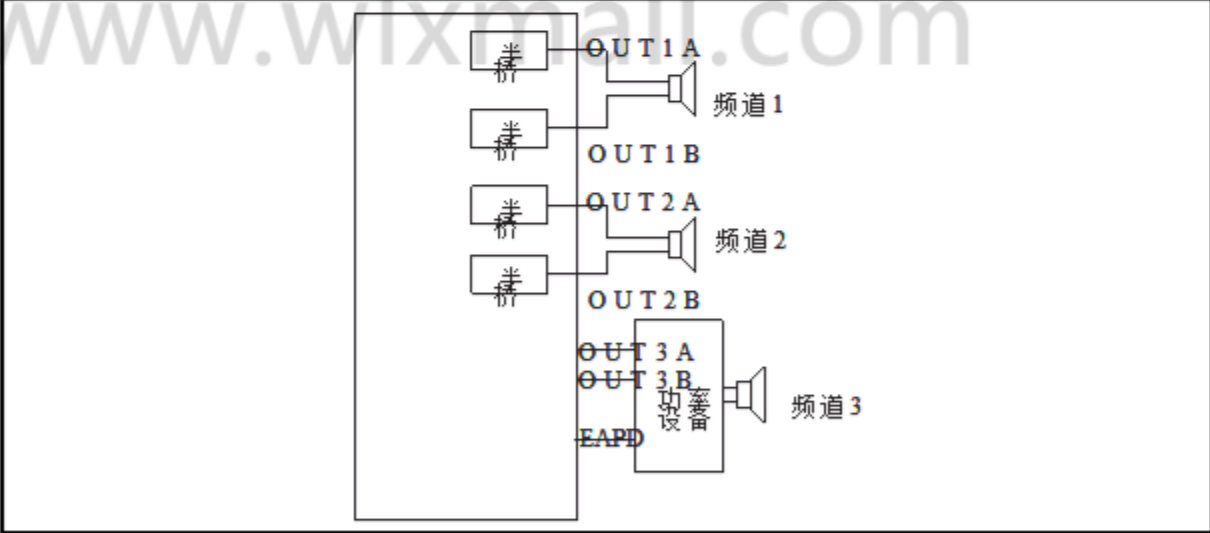
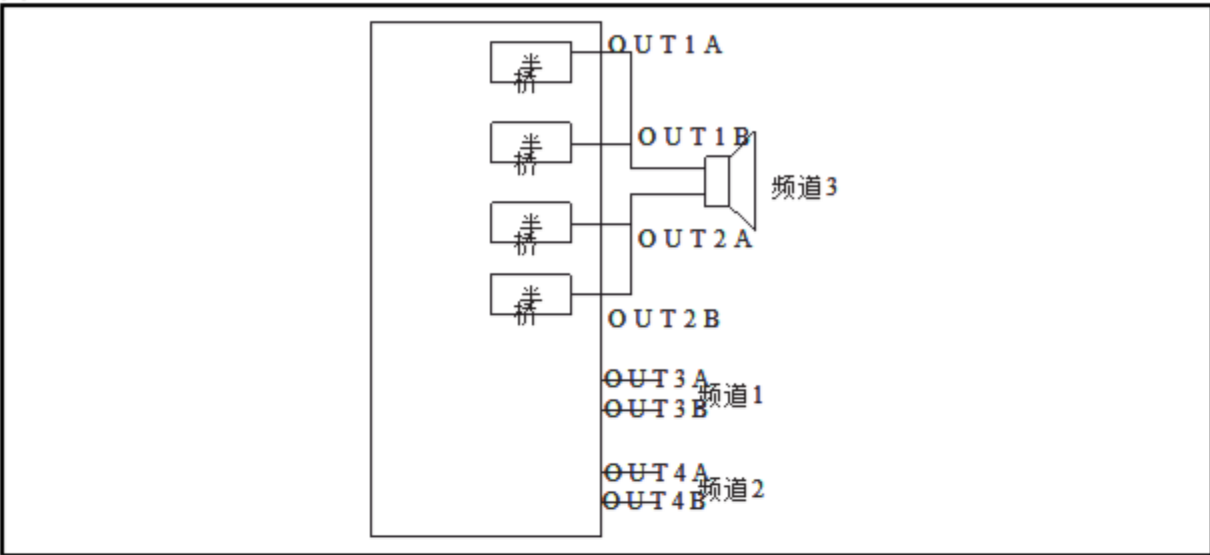
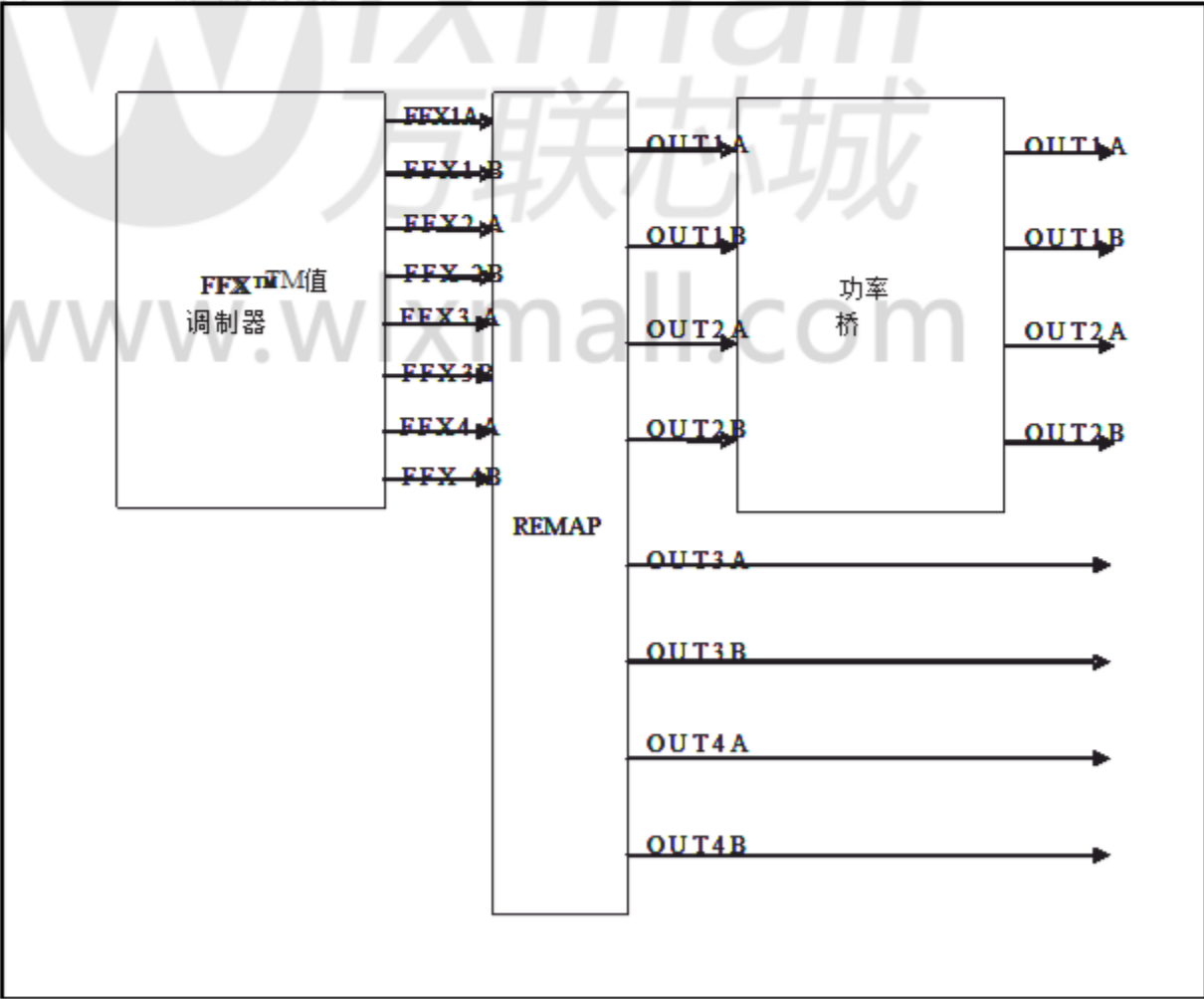


图19. OPER = 01



STA381BW可以配置为支持不同的输出配置.对于每个PWM输出通道，定义了一个PWM时隙. PWM槽总是 $1 / (8 * f_s)$ 秒的长度.该PWM槽定义了PWM上升沿和下降沿的最大延伸，即上升沿以及下降沿不能超出PWM时隙的范围.

图20. 输出映射方案



对于每个配置，来自数字驱动器的PWM信号都以不同的方式映射到权力阶段。

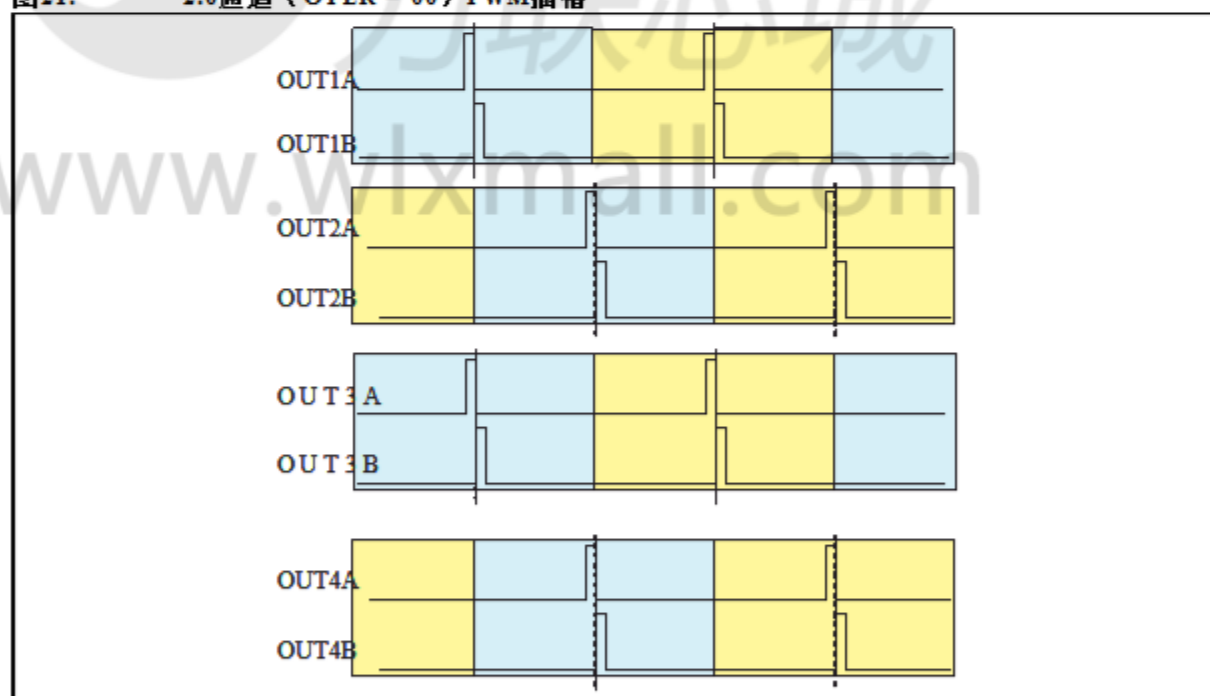
2.0通道，两个全桥（OPER = 00）

- FFX1A -> OUT1A
- FFX1B -> OUT1B
- FFX2A -> OUT2A
- FFX2B -> OUT2B
- FFX3A -> OUT3A
- FFX3B -> OUT3B
- FFX4A -> OUT4A
- FFX4B -> OUT4B
- FFX1A / 1B配置为三态
- FFX2A / 2B配置为三元
- FFX3A / 3B配置为三进制输出
- FFX4A / 4B配置为三进制输出

在通道3线路输出（LOC位= 00，寄存器0x17位D7，D6）与通道1相同的数据处理被发送.在通道4上输出（LOC位= 00）与通道2相同的数据处理被发送.在这个配置中，音量控制和EQ都没有任何影响频道3和4.

在这个配置中，PWM时隙的相位如图21所示。

图21. 2.0通道（OPER = 00）PWM插槽



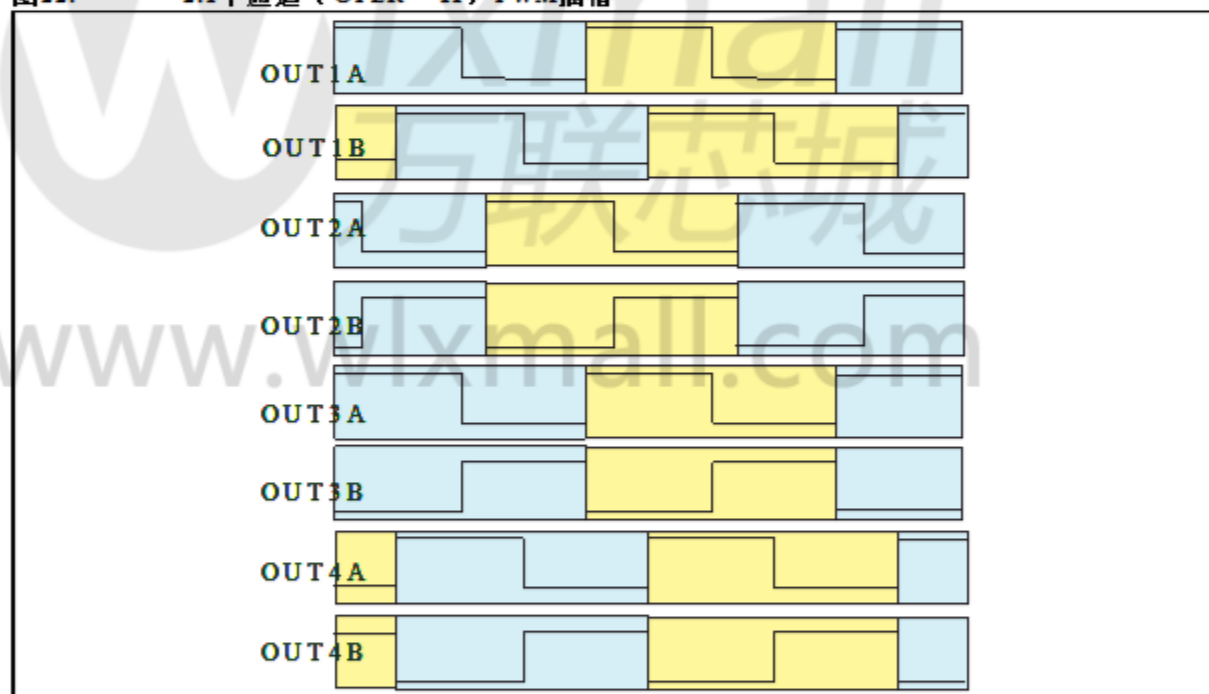
2.1个通道，两个半桥+一个全桥（OPER = 11）

- FFX1A -> OUT1A
- FFX2A -> OUT1B
- FFX3A -> OUT2A
- FFX3B -> OUT2B
- FFX1A -> OUT3A
- FFX1B -> OUT3B
- FFX2A -> OUT4A
- FFX2B -> OUT4B
- FFX1A / 1B配置为二进制
- FFX2A / 2B配置为二进制
- FFX3A / 3B配置为二进制
- FFX4A / 4B不使用

在这个配置中，通道3具有完全的控制（音量，EQ等等）.在OUT3 / OUT4上通道1，通道2 PWM被复制。

在这个配置中，PWM时隙的相位如图22所示。

图22. 2.1个通道（OPER = 11）PWM插槽



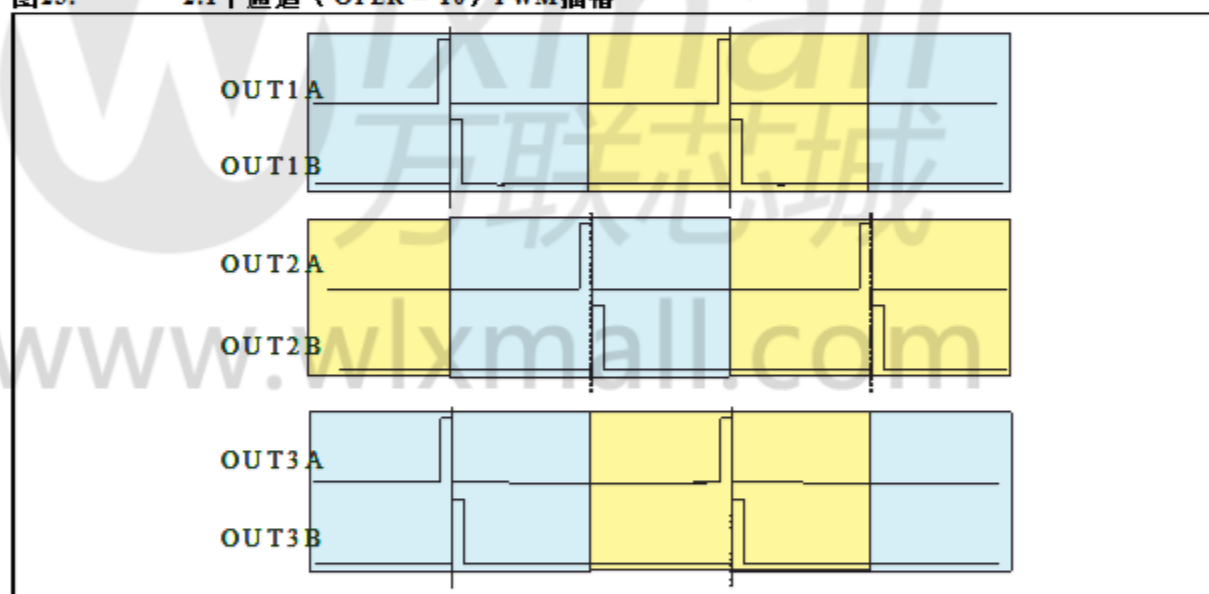
2.1个通道，两个全桥+一个外部全桥（OPER = 10）

- FFX1A -> OUT1A
- FFX1B -> OUT1B
- FFX2A -> OUT2A
- FFX2B -> OUT2B
- FFX3A -> OUT3A
- FFX3B -> OUT3B
- EAPD -> OUT4A
- TWARDN -> OUT4B
- FFX1A / 1B配置为三态
- FFX2A / 2B配置为三元
- FFX3A / 3B配置为三态
- FFX4A / 4B不使用

在这个配置中，通道3具有完全的控制（音量，EQ等等）。在OUT4频道上外部桥接控制信号被复用。

在这个配置中，PWM时隙相位如图23所示。

图23. 2.1个通道（OPER = 10）PWM插槽



6.11 FUNCT寄存器（地址0x0A）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	CRC	APEQ	PEQ	保留的	AMDRC	MDRCE	刚果（金）
00		10		00		0	0

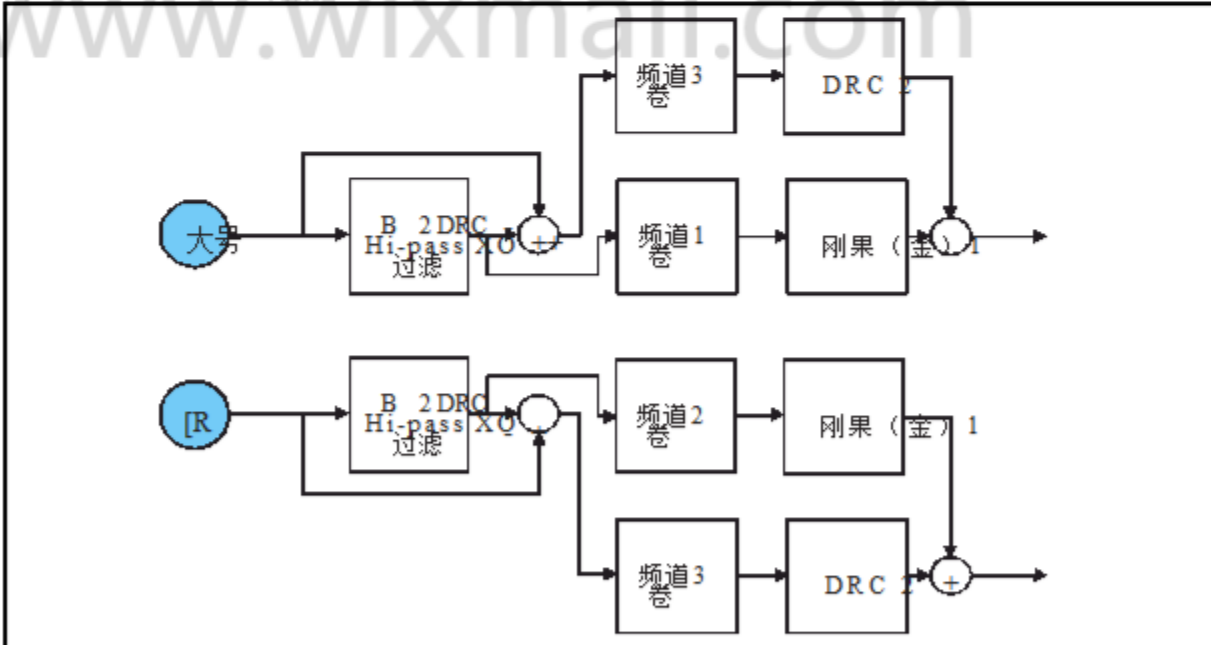
表25 FUNCT寄存器

位	R / W	RST	名称	描述
6 R	/ W	0	CRC	'0': disable CRC computation and comparison '1': enable CRC computation and comparison
五	R / W	1	APEQ	'0': extended BQ disabled, 8th biquadratic filter disabled '1': extended BQ enabled, 8th biquadratic filter enabled
4	R / W	0	PEQ	"0": 正常运行 '1': PEQ disabled, disables all biquadratic filters
2	R / W	0	AMDRC	'0': STCompressor bypassed '1': STCompressor enabled
1	R / W	0	MDRCE	'0': MDRCE bypassed '1': MDRCE enabled
0 R	/ W	0	刚果（金）	'0': DRC disabled '1': DRC enabled

6.11.1 双频带DRC

STA381BW器件 在左右声道上 提供双频DRC（B2DRC）
数据路径，如图24所示.通过设置MDRCE = 1来激活双频带DRC.

图24. B2DRC方案



低频信息（LFE）从左右声道中提取出来
高频率使用可编程双二阶滤波器，然后计算差异

与原始信号.限幅器1 (DRC1) 然后用来控制的幅度左/右高频分量, 而限幅器2 (DRC2) 用于控制低频分量, 频率组件 (见第6.23节: 动态控制寄存器 (addr 0x23 - 0x26 / addr 0x43 - 0x46)) .

高通滤波器的截止频率可以由用户定义, XO [3: 0] = 0或选择来自预定义的值.

然后使用DRC1和DRC2来独立地限制L / R高频和LFE通道幅度 (见第6.23节: 动态控制寄存器 (addr 0x23 - 0x26 / addr 0x43 - 0x46)) 以及音量控制.需要指出的是, 在这个配置中, 专用的通道3音量控制实际上也可以充当低音增强增强器 (0.5分贝/步骤分辨率) .

然后处理后的LFE通道与L和R通道重新组合重建2.0输出信号.

分频段分解

B 2 DRC的子带分解 可以配置指定截止频率.

截止频率可以用两种方式编程, 使用寄存器0x0C中的XO位, 或者使用“用户可编程”模式 (存储在RAM地址0x28至0x31中的系数) .

对于用户可编程模式, 使用下面的公式计算高通滤波器:

$$\begin{aligned} b_0 &= (1 + \alpha) / 2 & a_0 &= 1 \\ b_1 &= - (1 + \alpha) / 2 & a_1 &= -\alpha \\ b_2 &= 0 & a_2 &= 0 \end{aligned}$$

其中 $\alpha = (1 - \sin(\omega_0)) / \cos(\omega_0)$, ω_0 是截止频率.

建议使用一阶滤波器来保证每一个滤波器 ω_0 对应

低通滤波器获得的差异 (如图24所示) 将有一个对称的 (相对的) 到HP滤波器的频率响应, 以及DRC之后的相应重组有低波纹.二阶滤波器也可以使用, 但在这种情况下滤波器的形状必须谨慎选择, 以提供良好的低通响应和最小的纹波重组.对于二阶滤波器, 不可能给出一个封闭的公式来得到最佳系数, 但应该进行经验性调整.

DRC设置

B 2 DRC 使用的DRC块 与第6.23节“动态”中所述的相同

控制寄存器 (地址0x23 - 0x26 /地址0x43 - 0x46) . B 2 DRC自动配置

DRC阻止反向模式.攻击和释放阈值可以使用选择

注册0x32, 0x33, 0x34, 0x35, 而攻击和释放率由寄存器配置0x12和0x14.

乐队downmixing

低频段在B 2 DRC输出端下混频到左右声道 .

通道音量可以用来对频带重组进行加权来对整体进行微调频率响应.

6.12 HPCFG寄存器（地址0x10）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	保留的	保留的	保留的	静音
00		00		00		0	1

表26. HPCFG寄存器

位	R / W	R S T	名称	描述
0 R	/ W	1	静音	“0”：HP / Line输出打开 “1”：HP /内线被静音

6.13 配置寄存器A（地址0x11）

D7	D6	D5	D4	D3	D2	D1	D0
FDRB	保留的	保留的	IR1	IR 0	MCS 2	MCS1	MCS0
01		10		01		1	1

6.13.1 主时钟选择

表27 主时钟选择

位	R / W	R S T	名称	描述
0 R	/ W	1	MCS 0	选择输入I2S采样之间的比率 频率和输入时钟。
1 R	/ W	1	MCS 1	
2 R	/ W	1	MCS 2	

STA381BW支持32 kHz，44.1 kHz，48 kHz，88.2 kHz，96 kHz，176.4 kHz和192 kHz.因此内部时钟是：

- 32.768 MHz的32 kHz
- 45.1584MHz，44.1kHz，88.2kHz和176.4kHz
- 48 kHz，96 kHz和192 kHz为49.152 MHz

提供给XTI引脚或BICKI引脚的外部时钟频率（取决于MCS设置）必须是输入采样频率（fs）的倍数。

输入时钟（XTI或BICKI）和输入采样率之间的关系是由MCSx和IR（输入速率）寄存器位决定。MCSx位决定产生内部时钟的PLL因子和IR位决定了过采样率内部使用。在表28中MCS 111和110表明必须使用BICKI时钟源，而XTI在所有其他情况下使用。

表28 输入采样率

输入 采样率 f_s (kHz)	IR	MCS [2: 0]							
		111	110	101	100	011	010	001	000
32, 44.1, 48	00	64 * f_s (NA)	576 * f_s	128 * f_s	256 * f_s	384 * f_s	512 * f_s	768 * f_s	
88.2, 96	01	64 * f_s (*)	32 * f_s (NA)	64 * f_s	128 * f_s	192 * f_s	256 * f_s	384 * f_s	
176.4, 192	1X	64 * f_s (*)	32 * f_s (NA)	32 * f_s	64 * f_s	96 * f_s	128 * f_s	192 * f_s	

注意: (*) : 时钟是BICK1

6.13.2 插值比选择

表29. 内部插值比率

位	R / W	RST	名称	描述
4: 3	R / W	00	IR [1: 0]	根据输入I2S选择内部插值比率 采样频率

STA381BW具有可变内插（过采样）设置，使得内部处理和FFX输出速率保持一致.第一个处理块进行插值通过3次（表83：PLL寄存器0x56位D0），2次或1次（通过）或提供2倍的下采样.该插值的过采样率被确定由IR位.

表30 IR位设置作为输入采样率的函数

输入采样率 f_s (kHz)	IR	第一阶段插值比率
32	00	2倍过采样
44.1	00	2倍过采样
48	00	2倍过采样
88.2	01	直通
96	01	直通
176.4	10	2倍下采样
192	10	2倍下采样

6.13.3 故障检测恢复旁路

表31. 故障检测恢复旁路

位	R / W	RST	名称	描述
7 R	/ W	0	FDRB	0: 启用故障检测恢复 1: 禁用故障检测恢复



片内STA381BW电源输出模块向数字控制器提供反馈输入到功率控制模块。FAULT输入用于指示故障状态（或者过电流或热）。当FAULT被置位（设置为0）时，功率控制块尝试通过断言三态输出（将其设置为0来指示三态输出）从故障中恢复。电源输出模块开始恢复），在0.1ms范围内保持0。到故障检测恢复常数寄存器（FDR寄存器0x3C-0x3D），然后将其切换回1。只要出现故障指示，就会重复此过程。该功能默认是启用的，但可以通过设置FDRB控制来绕过位到1。

6.14 配置寄存器B（地址0x12）

D7	D6	D5	D4	D3	D2	D1	D0
C2IM	C1IM	DSCKE	SAIFB	SAI3	SAI2	SAI1	SAI0
10		00		00		0	0

6.14.1 串行数据接口

STA381BW音频串行输入被设计为与标准数字音频接口组件并接受一些串行数据格式。STA381BW总是充当从标准数字音频组件接收音频输入时的从属。串行数据两个通道提供三个输入：左/右时钟LRCKI，串行时钟BICKI，和串行数据1和2 SDI12。

SAI位（D3到D0）和SAIFB位（D4）用于指定串行数据格式。默认的串行数据格式是I2S，MSB优先。可用的格式显示在表格中随后。

6.14.2 串行数据的第一位

表32. 串行数据的第一位

SAIFB	格式
0	MSB-第一
1	LSB先

表33 支持MSB优先串行音频输入格式（SAIFB = 0）

BICKI	SAI [3: 0]	SAIFB	接口格式
32 * fs	0000	0	I2S 15位数据
	0001	0	左/右对齐的16位数据
48 * fs	0000	0	I2S 16位到23位数据
	0001	0	左对齐的16到24位数据
	0010	0	右对齐的24位数据
	0110	0	右对齐的20位数据
	1010	0	右对齐的18位数据
	1110	0	右对齐的16位数据
	1111	0	右对齐的16位数据
64 * fs	0000	0	I2S 16位到24位数据
	0001	0	左对齐的16到24位数据
	0010	0	右对齐的24位数据
	0110	0	右对齐的20位数据
	1010	0	右对齐的18位数据
	1110	0	右对齐的16位数据



表34. 支持LSB优先 (SAIFB = 1) 的串行音频输入格式

BICKI	SAI [3: 0]	SAIFB	接口格式
32 * fs	1100	1	I2S 15位数据
	1110	1	左/右对齐的16位数据
48 * fs	0100	1	I2S 23位数据
	0100	1	I2S 20位数据
	1000	1	I2S 18位数据
	1100	1	LSB首先是I2S 16位数据
	0001	1	左对齐的24位数据
	0101	1	左对齐的20位数据
	1001	1	左对齐的18位数据
	1101	1	左对齐的16位数据
	0010	1	右对齐的24位数据
	0110	1	右对齐的20位数据
	1010	1	右对齐的18位数据
	1110	1	右对齐的16位数据
64 * fs	0000	1	I2S 24位数据
	0100	1	I2S 20位数据
	1000	1	I2S 18位数据
	1100	1	LSB首先是I2S 16位数据
	0001	1	左对齐的24位数据
	0101	1	左对齐的20位数据
	1001	1	左对齐的18位数据
	1101	1	左对齐的16位数据
	0010	1	右对齐的24位数据
	0110	1	右对齐的20位数据
	1010	1	右对齐的18位数据
	1110	1	右对齐的16位数据

要使STA381BW正常工作，串行音频接口LRCKI时钟必须是与PLL输出时钟同步。代表着：

- PLL时钟频率/ LRCKI的频率 = $N \pm 4$ 个周期，其中N取决于[表30中的设置](#)
- PLL必须被锁定。

如果这两个条件不符合，并且IDE位（寄存器0x05位2）被设置为1，那么STA381BW会立即将I2S PCM数据静音（提供给处理模块）它会冻结任何活动的处理任务。

为了避免任何音频副作用（如流行噪音），强烈建议软静音任何音频流在去同步事件之前流入STA381BW数据路径发生. 同时 应该发布 与I2C配置 有关的任何处理 只有在串行音频接口和内部PLL再次同步后.

注意: 任何静音或音量变化都会导致I2C操作到期的延迟 到软音量功能.软音量相位变化必须在任何时钟之前完成 失步.

6.14.3 延迟串行时钟使能

表35 延迟串行时钟使能

位	R / W	RST	名称	描述
5 R / W		0	DSCKE	0: 没有串行时钟延迟 1: 串行时钟延迟1个核心时钟周期以容忍一些I2S主设备的异常情况

6.14.4 通道输入映射

表36. 通道输入映射

位	R / W	RST	名称	描述
6 R / W		0	C1IM	0: 处理通道1接收到左侧I2S输入 1: 处理通道1接收到正确的I2S输入
7 R / W		1	C2IM	0: 处理通道2接收到左侧I2S输入 1: 处理通道2接收到正确的I2S输入

通过I2S接收的每个通道 可以通过I/O映射到任何内部处理通道 通道输入映射寄存器.这允许处理的灵活性.默认设置 这些寄存器将每个I2S输入通道映射 到其对应的处理通道.

6.15 配置寄存器C（地址0x13）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	CSZ3	CSZ2	CSZ1	CSZ0	保留的	保留的
10		01		01		1	1

6.15.1 FFX补偿脉冲大小寄存器

表37. FFX补偿脉冲大小位

位	R / W	RST	名称	描述
2 R / W		1	CSZ0	当OM [1,0] = 11时，该寄存器决定 FFX补偿脉冲的大小从0时钟开始 滴答至15个时钟周期.
3 R / W		1	CSZ1	
4 R / W		1	CSZ2	
5 R / W		0	CSZ3	



表38: 补偿脉冲大小

CSZ [3: 0]	补偿脉冲大小
0000	0 ns (0滴答) 补偿脉冲大小
0001	20 ns (1 tick) 时钟周期补偿脉冲大小
.....	
1111	300 ns (15 ticks) 时钟周期补偿脉冲大小

6.16 配置寄存器D (地址0x14)

D7	D6	D5	D4	D3	D2	D1	D0
中小企业	Z D E	保留的	B Q L	P S L	D S P B	保留的	保留的
00		01		10		0	0

6.16.1 DSP旁路

表39. DSP旁路

位	R / W RST	名称	描述
2	R / W 0	DSPB	0: 正常操作 1: 旁路和低音/高音功能

设置DSPB位旁路STA381BW的EQ功能。

6.16.2 后缩放链接

表40 后缩放链接

位	R / W RST	名称	描述
3	R / W 1	PSL	0: 每个通道使用单独的后缩放值 1: 每个通道使用通道1的缩放后值

后级功能可用于电源纠错.对于多通道应用程序运行在相同的电源下，后续的数值可以链接到通道1的值易于使用，并更快地更新值。

6.16.3 Biquad系数链接

表41. Biquad系数链接

位	R / W RST	名称	描述
4 R / W	1	B Q L	0: 每个通道使用系数值 1: 每个通道使用通道1系数值

为了便于使用，所有通道可以使用加载到通道1中的双二阶系数系数RAM空间通过设置BQL位为1.因此，任何EQ更新只需要被执行一次。



6.16.4 零检测静音启用

表 42 零检测静音启用

位	R / W	RST	名称	描述
6 R	/ W	0	Z D E	1的设置启用自动零检测静音 设置为0将禁用自动零检测静音

请参考6.32：增强型零检测静音和输入电平测量（地址0x61-0x65，0x3F，0x40，0x6F）。

6.16.5 子混合模式启用

表 43. 子混合模式启用

位	R / W	RST	名称	描述
7 R	/ W	0	中 小 企 业	0：子混入到左/右禁用 1：子混音到左/右启用

6.17 配置寄存器E（地址0x15）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	郑商所	保留的	P W M S	A M E	N S B W	保留的	保留的
10		00		00		1	0

6.17.1 噪声整形器带宽选择

表 44. 噪声整形器带宽选择

位	R / W	RST	名称	描述
2	R / W	0	N S B W	1：三阶NS 0：四阶NS

6.17.2 AM模式启用

表 45. AM模式启用

位	R / W	RST	名称	描述
3 R	/ W	0	A M E	0：正常的FFX操作 1：AM减少模式FFX操作

STA381BW具有FFX处理模式，可最大限度地减少噪音在AM收音机的频率范围内产生.此模式适用于FFX时在具有有源AM调谐器的设备中操作. FFX处理的信噪比降低到在这种模式下约为83 dB，这仍然大于AM收音机的信噪比.



6.17.3 PWM速度模式

表 46. PWM速度模式

位	R / W	RST	名称	描述
4 R	/ W	0	PWMS	0: 正常速度 (384 kHz) 所有通道 1: 奇数速度 (341.3 kHz) 所有通道.不适合二进制BTL模式.

6.17.4 过零使能

表 47. 过零使能

位	R / W	RST	名称	描述
6 R	/ W	0	郑商所	“1”: 音量调节仅在数字过零时发生 “0”: 立即进行音量调节

ZCE位启用过零点调整.当数字零点调整音量时,过路,听不到咔嚓声

6.18 配置寄存器F (地址0x16)

D7	D6	D5	D4	D3	D2	D1	D0
EAPD	PWDN	保留的	LDTE	BCLE	IDE	保留的	保留的
01		01		11			

6.18.1 无效的输入检测静音启用

表 48. 无效的输入检测静音启用

位	R / W	RST	名称	描述
2 R	/ W	1	IDE	设置为1将启用自动无效输入检测静音

设置IDE位启用此功能,该功能会自动查看输入的I2S数据.如果信号被认为是无效的,则为静音.

6.18.2 二进制输出模式时钟丢失检测

表 49. 二进制输出模式时钟丢失检测

位	R / W	RST	名称	描述
3	R / W	1	BCLE	二进制输出模式时钟丢失检测使能

该位在二进制模式下检测输入MCLK的丢失,并输出50%的占空比.

6.18.3 LRCK双触发保护

表50 LRCK双触发保护

位	R / W	RST	名称	描述
4	R / W	1	LDTE	LRCLK双触发保护使能

该位主动防止LRCLK的双重触发。

6.18.4 掉电

表51 IC掉电

位	R / W	RST	名称	描述
7	R / W	1	PWDN	0: IC掉电低功耗状态 1: IC正常运行

PWDN寄存器用于将IC置于低功耗状态。当PWDN被写入时作为0，输出开始一个软静音。达到静音状态后，EAPD被置位。关闭功率级，然后将主时钟连接到除I2C之外的所有内部硬件块被门控。这使得IC处于非常低的功耗状态。寄存器状态一旦设备从断电状态恢复，则保持该状态。

6.18.5 外部放大器掉电

表52. 外部放大器掉电

位	R / W	RST	名称	描述
7	R / W	0	EAPD	0: 外部功率级掉电激活 1: 正常操作

EAPD寄存器直接禁用/启用内部电源电路。

当EAPD = 0时，内部电源部分处于低功耗状态（禁用）。这个当OCFG = 11时，寄存器还控制EAPD / FFX4B输出引脚。

6.19 音量控制寄存器（地址0x17 - 0x1B）

6.19.1 静音/线路输出配置寄存器（地址0x17）

D7	D6	D5	D4	D3	D2	D1	D0
LOC1	LOC0	保留的	保留的	C3M	C2M	C1M	MMUTE
00		00		00		0	0



表 53. 线路输出配置

LOC [1: 0]	线路输出配置
00	线路输出固定 - 没有音里，没有EQ
01	线路输出变量 - CH3音里效果线路输出，无EQ
10	线路输出变量与EQ - CH3音里效果线路输出
11	保留的

线路输出仅在OCFG = 00时有效.在这种情况下，LOC确定线路输出组态.线路输出源始终是通道1和2输入.

表 54. 静音配置

位	R / W	RST	名称	描述
3 R	/ W	0	C 3 M	频道3静音 0 - 无静音状态.可以设置频道卷 1 - 硬件静音通道3
2 R	/ W	0	C 2 M	频道2静音 0 - 无静音状态.可以设置频道卷 1 - 硬件静音通道2
1 R	/ W	0	C 1 M	通道1静音 0 - 无静音状态.可以设置频道卷 1 - 硬件静音通道1
0	R / W	0	MMUTE	主人静音 0 - 正常操作 1 - 所有通道都处于静音状态

6.19.2 通道3 /线路输出音量（地址0x1B）

D7	D6	D5	D4	D3	D2	D1	D0
CH3VOL							
01		10		00		0	0

STA381BW的卷结构由各自的卷寄存器组成
通道和一个主音量寄存器，为每个通道的音量提供偏移量
设置.单个通道音量可以从+48 dB到0.5 dB逐步调节
-80分贝.

例如，如果CH3VOL = 0x00或+48 dB，MVOL = -12 dB，则总增益为
通道3 = + 36dB.

主静音设置为1时，将所有通道同时静音，而个别通道静音
静音（CxM）仅使该通道静音.主静音和通道静音都提供
一个“软静音”，音量从最大值减少到4096个静音
音量设置在内部处理速率（大约96 kHz）.

通过编程0xFF（255）的值可以获得“硬（瞬时）静音”
任何通道音量寄存器或主音量寄存器.当音量偏移量是
通过主音量寄存器提供总音量小于-80 dB的任何通道
被静音.

当ZCE = 1时，所有的音量变化都是零交叉（6.17节）
配置寄存器E（地址0x15），因为这会创建最平滑的
可能的音量转换.当ZCE = 0时，卷更新立即发生.

表55 通道3的体积与CH3VOL [7: 0]

CH3VOL [7: 0]	卷
00000000 (0x00)	+48分贝
00000001 (0x01)	+47.5分贝
00000010 (0x02)	+47分贝
.....	
01011111 (0x5F)	+0.5分贝
01100000 (0x60)	0分贝
01100001 (0x61)	-0.5分贝
.....	
11010111 (0xD7)	-59.5分贝
11011000 (0xD8)	-60分贝
11011001 (0xD9)	-61分贝
11011010 (0xDA)	-62分贝
.....	
11101100 (0xEC)	-80分贝
11101101 (0xED)	硬通道静音
.....	
11111111 (0xFF)	硬通道静音



6.20 音频预设寄存器 (0x1D)

D7	D6	D5	D4	D3	D2	D1	D0
X O 3	X O 2	X O 1	X O 0	AMA -	M A M A M 1	A M A M 0	A M A M E
00		00		00		0	0

6.20.1 AM干扰频率切换

表56. AM干扰频率切换位

位	R / W	RST	名称	描述
0	R / W	0	AMAME	音频预设AM使能 0: 开关频率由PWMS设置决定 1: 由AMAM设置确定的开关频率

表57 音频预设AM开关频率选择

AMAM [2: 0]	48 kHz / 96 kHz输入 f_s	44.1 kHz / 88.2 kHz输入 f_s
000	0.535MHz-0.720MHz	0.535MHz-0.670MHz
001	0.721MHz-0.900MHz	0.671MHz-0.800MHz
010	0.901MHz - 1.100MHz	0.801MHz-1.000MHz
011	1.101MHz - 1.300MHz	1.001MHz - 1.180MHz
100	1.301MHz - 1.480MHz	1.181MHz - 1.340MHz
101	1.481MHz - 1.600MHz	1.341MHz - 1.500MHz
110	1.601MHz - 1.700MHz	1.501MHz - 1.700MHz

6.20.2 低音管理交叉

表58. 低音管理交叉

位	R / W	RST	名称	描述
4 R	/ W	0	X O 0	选择低音管理交叉频率。 1阶高通滤波器（通道1和2）或a 二阶低通滤波器（通道3）处于选中状态 频率被执行。
5 R	/ W	0	X O 1	
6 R	/ W	0	X O 2	
7 R	/ W	0	X O 3	

表59 低音管理交叉频率

XO [3: 0]	交叉频率
0000	表73.双块, 耦合, 缩放和低音的RAM块管理
0001	80赫兹
0010	100赫兹
0011	120赫兹
0100	140赫兹
0101	160赫兹
0110	180赫兹
0111	200赫兹
1000	220赫兹
1001	240赫兹
1010	260赫兹
1011	280赫兹
1100	300赫兹
1101	320赫兹
1110	340赫兹
1111	360赫兹

6.21 通道配置寄存器 (addr 0x1F - 0x21)

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	C1BO	C1VPB	C1EQBF	C1TCB
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	C2BO	C2VPB	C2EQBF	C2TCB
01		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
C3OM1	C3OM0	C3LS1	C3LS0	C3BO	C3VPB	保留的	保留的
10		00		00		0	0

6.21.1 音调控制旁路

通道1和通道2的音频控制（低音/高音）可以按每个通道绕过。

表60 音调控制旁路

CxTCB	模式
0	对通道x执行音调控制 - 正常操作
1	在通道x上旁路音调控制



6.21.2 EQ旁路

EQ控制可以通道1和通道2的每个通道旁路.如果EQ控制是旁路在给定的通道，预分频和所有的滤波器（双声道，贝司，高音在任何组合）被绕过该频道.

表61 EQ旁路

CxEQBP	模式
0	在通道x上执行EQ - 正常操作
1	绕过通道x的EQ

6.21.3 音量旁路

每个通道包含一个单独的通道音量旁路.如果一个特定的频道有音量通过CxVBP = 1寄存器旁路，然后只有通道音量设置特定频道影响音量设置，主音量设置不会影响渠道.

表62 音量旁路寄存器

CxVBP	模式
0	正常的音量操作
1	音量被绕过

6.21.4 二进制输出使能寄存器

每个单独的通道输出可以设置为输出一个二进制PWM流.在这种模式下一个通道的输出A被认为是正输出而输出B是负反相.

表63. 二进制输出使能寄存器

CxB0	模式
0	FFX三态输出 - 正常运行
1	二进制输出

6.21.5 限制器选择

限制器选择可以根据通道限制器选择以每个通道为基础进行选择
位在双频段DRC情况下，不考虑CxLS位（第6.11.1节：双频段DRC），EQ DRC（第6.26.1节：扩展的里程范围）用法.

表64. 作为C3LS位功能的通道限制器映射

C3LS [1: 0]	通道限制器映射
00	频道限制禁用
01	频道被映射到限制器 # 1
10	频道被映射到限制器 # 2

6.21.6 输出映射

输出映射可以根据C_xOM通道以每个通道为基础执行
输出映射位.输入配置引擎的每个输入都可以从中接收数据
三个处理通道输出中的任何一个.

表 65 通道输出映射作为C3OM位的函数

C3OM [1: 0]	通道x输出源
00	通道1
01	频道2
10	频道3

6.22 音调控制寄存器（地址0x22）

D7	D6	D5	D4	D3	D2	D1	D0
TTC3	TTC2	TTC1	TTC0	BTC3	BTC2	BTC1	BTC0
01		11		01		1	1

6.22.1 音调控制

表 66. 音调控制升压/降压作为BTC和TTC位的功能

BTC [3: 0] / TTC [3: 0]	升压/剪切
0000	-12 dB
0001	-12 dB
.....	
0111	-4分贝
0110	-2 dB
0111	0分贝
1000	+2 dB
1001	+4 dB
.....	
1101	+12分贝
1110	+12分贝
1111	+12分贝

6.23 动态控制寄存器（地址0x23 - 0x26 /地址0x43 - 0x46）

6.23.1 限制器1攻击/释放速率（L1AR地址0x23）

D7	D6	D5	D4	D3	D2	D1	D0
L1A3	L1A2	L1A1	L1A0	L1R3	L1R2	L1R1	L1R0
01		10		10		1	0

6.23.2 限制器1的攻击/释放阈值（L1ATRT addr 0x24）

D7	D6	D5	D4	D3	D2	D1	D0
L1AT3	L1AT2	L1AT1	L1AT0	L1RT3	L1RT2	L1RT1	L1RT0
01		10		10		0	1

6.23.3 限制器2的攻击/释放速率（L2AR addr 0x25）

D7	D6	D5	D4	D3	D2	D1	D0
L2A3	L2A2	L2A1	L2A0	L2R3	L2R2	L2R1	L2R0
01		10		10		1	0

6.23.4 限制器2攻击/释放阈值（L2ATRT addr 0x26）

D7	D6	D5	D4	D3	D2	D1	D0
L2AT3	L2AT2	L2AT1	L2AT0	L2RT3	L2RT2	L2RT1	L2RT0
01		10		10		0	1

STA381BW包括两个独立的限幅器模块.限制器的目的是为了自动降低录音的动态范围,防止输出剪切.采取预防模式或积极降低动态范围以获得更好的聆听环境,如DVD经常需要的夜间收听模式.他们俩模式通过第6.11节: FUNCT寄存器(地址0x0A)中的DRC位选择.每个频道可以映射到限制器或不映射,意味着频道将被剪辑.当超过0 dBfs时,每个限制器查看每个通道的当前值映射到它,选择所有这些通道的最大绝对值,执行然后,如果需要,调整映射的增益.渠道齐全.

如果EATHx [7] (位D7的位D7) 限制器攻击阈值由LxAT寄存器决定.寄存器0x43或0x45) 设置为0,否则,阈值由EATHx [6: 0]确定.它建议在反向模式下将其设置为0 dBfs,这对应于FFX放大器的最大无削波输出功率.由于增益可以数字添加在STA381BW内有可能超过0 dBfs或任何其他LxAT设置.当这个发生时,限制器在激活时自动开始减小增益.的速度.当超过攻击阈值时,增益降低取决于攻击速率.注册该限制器的设置.增益降低发生在峰值检测算法上.设置EATHx [7]位为1选择反向模式.

限制器释放阈值由LxRT寄存器决定,如果ERTHx [7] (位D7寄存器0x44或0x46) 位设置为0,否则阈值由确定.

ERTHx [6: 0] 将 **ERTHx [7]** 位设置为 1 会自动选择反向模式。该当增益再次增加时，限幅器的释放取决于 **RMS** 检测算法。音量/限幅器模块的输出通过 **RMS** 滤波器。输出与由释放阈值确定的释放阈值进行比较寄存器。当 **RMS** 滤波器输出降到释放阈值以下时，增益再次降低以取决于释放速率寄存器的速率增加。收益永远不会增加超过其设定值，因此，只有当限制器已经释放时才会释放减少了收益。释放阈值可以用来设置什么是有效的最小动态范围，这是有用的，因为超限可以减少动态范围几乎为零，并导致节目材料听起来“毫无生气”。

在反向模式下，攻击和释放阈值是相对于满量程设置的。在 **DRC** 模式（位 **D0** 寄存器 **0x0A** 设置为 1），攻击阈值相对于最大音量设置映射到该限制器的通道的设置和释放阈值相对于该设置最大音量设置加上攻击阈值。



图25. 基本的限制器和体积流里图

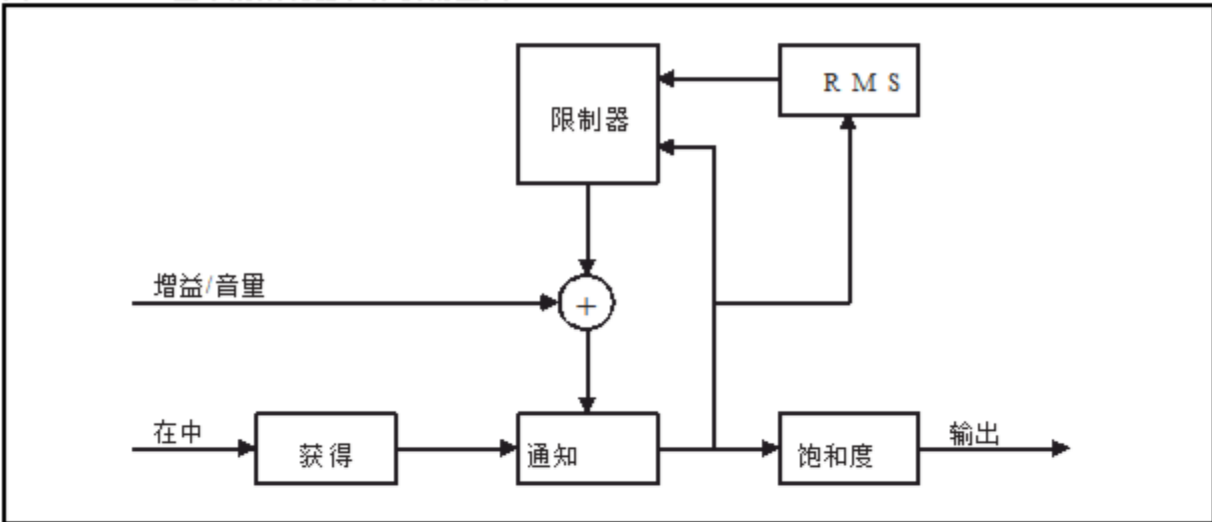


表67 限制器的攻击速度如同一个LxA位的功能

LXA [3: 0]	攻击速率 dB / ms	
0000	3.1584	快速 ↓ 慢
0001	2.7072	
0010	2.2560	
0011	1.8048	
0100	1.3536	
0101	0.9024	
0110	0.4512	
0111	0.2256	
1000	0.1504	
1001	0.1123	
1010	0.0902	
1011	0.0752	
1100	0.0645	
1101	0.0564	
1110	0.0501	
1111	0.0451	

表68. 限制器释放速度为aLxR位的功能

LXR [3: 0]	释放速率 (dB / ms)	
0000	0.5116	快速 ↓ 慢
0001	0.1370	
0010	0.0744	
0011	0.0499	
0100	0.0360	
0101	0.0299	
0110	0.0264	
0111	0.0208	
1000	0.0198	
1001	0.0172	
1010	0.0147	
1011	0.0137	
1100	0.0134	
1101	0.0117	
1110	0.0110	
1111	0.0104	

防滑模式

表69. 限制器攻击阈值
作为LxAT位的函数
(交流模式)

LxAT [3: 0]	AC (相对于fs的dB)
0000	-12
0001	-10
0010	-8
0011	-6
0100	-4
0101	-2
0110	0
0111	+2
1000	+3
1001	+4
1010	+5
1011	+6
1100	+7
1101	+8
1110	+9
1111	+10

表70. 限制器释放阈值
作为LxRT位的函数
(交流模式)

LXRT [3: 0]	AC (相对于fs的dB)
0000	-∞
0001	-29分贝
0010	-20分贝
0011	-16分贝
0100	-14 dB
0101	-12 dB
0110	-10分贝
0111	-8分贝
1000	-7分贝
1001	-6分贝
1010	-5分贝
1011	-4分贝
1100	-3分贝
1101	-2 dB
1110	-1分贝
1111	-0 dB

动态范围压缩模式

表 71. 限制器攻击阈值
作为LxAT的函数
位（DRC模式）

LxAT [3: 0]	DRC（相对于音量的dB）
0000	-31
0001	-29
0010	-27
0011	-25
0100	-23
0101	-21
0110	-19
0111	-17
1000	-16
1001	-15
1010	-14
1011	-13
1100	-12
1101	-10
1110	-7
1111	-4

表 72. 限制器释放阈值
作为LxRT位的函数
（DRC模式）

LXRT [3: 0]	DRC（dB相对于音量+ LxAT）
0000	-∞
0001	-38分贝
0010	-36分贝
0011	-33分贝
0100	-31分贝
0101	-30分贝
0110	-28分贝
0111	-26分贝
1000	-24分贝
1001	-22分贝
1010	-20分贝
1011	-18分贝
1100	-15分贝
1101	-12 dB
1110	-9分贝
1111	-6分贝

6.23.5 限制器1的扩展攻击阈值（地址0x43）

D7	D6	D5	D4	D3	D2	D1	D0
EATHEN1	EATH1 [6]	EATH1 [5]	EATH1 [4]	EATH1 [3]	EATH1 [2]	EATH1 [1]	EATH1 [0]
00		11		00		0	0

扩展的攻击阈值如下确定：

$$\text{攻击阈值} = -12 + \text{EATH1} / 4$$

要启用此功能，必须将EATHEN1位设置为1.

6.23.6 限制器1的扩展释放阈值（地址0x44）

D7	D6	D5	D4	D3	D2	D1	D0
ERTHEN1	ERTH1 [6]	ERTH1 [5]	ERTH1 [4]	ERTH1 [3]	ERTH1 [2]	ERTH1 [1]	ERTH1 [0]
00		11		00		0	0

延长发布阈值确定如下：

$$\text{释放阈值} = -12 + \text{ERTH1} / 4$$

要启用此功能，必须将ERTHEN1位设置为1.



6.23.7 限制器2扩展攻击阈值（地址0x45）

D7	D6	D5	D4	D3	D2	D1	D0
EATHEN2	EATH2 [6]	EATH2 [5]	EATH2 [4]	EATH2 [3]	EATH2 [2]	EATH2 [1]	EATH2 [0]
00		11		00		0	0

扩展的攻击阈值如下确定：

$$\text{攻击阈值} = -12 + \text{EATH2} / 4$$

要启用此功能，EATHEN2位必须设置为1。

6.23.8 限制器2延长发布阈值（地址0x46）

D7	D6	D5	D4	D3	D2	D1	D0
ERTHEN2	ERTH2 [6]	ERTH2 [5]	ERTH2 [4]	ERTH2 [3]	ERTH2 [2]	ERTH2 [1]	ERTH2 [0]
00		11		00		0	0

延长发布阈值确定如下：

$$\text{释放阈值} = -12 + \text{ERTH2} / 4$$

要启用此功能，必须将ERTHEN2位设置为1。

注意：在-12 dB到0 dB的范围内，攻击/释放阈值步长为0.125 dB。

6.24 用户定义的系数控制寄存器（地址0x27 - 0x37）

6.24.1 系数地址寄存器

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	CFA5	CFA4	CFA3	CFA2	CFA1	CFA0
00		00		00		0	0

6.24.2 系数b1数据寄存器位23:16

D7	D6	D5	D4	D3	D2	D1	D0
C1B23	C1B22	C1B21	C1B20	C1B19	C1B18	C1B17	C1B16
00		00		00		0	0

6.24.3 系数b1数据寄存器位15: 8

D7	D6	D5	D4	D3	D2	D1	D0
C1B15	C1B14	C1B13	C1B12	C1B11	C1B10	C1B9	C1B8
00		00		00		0	0

6.24.4 系数b1数据寄存器位7: 0

D7	D6	D5	D4	D3	D2	D1	D0
C1B7	C1B6	C1B5	C1B4	C1B3	C1B2	C1B1	C1B0
00		00		00		0	0

6.24.5 系数b2数据寄存器位23:16

D7	D6	D5	D4	D3	D2	D1	D0
C2B23	C2B22	C2B21	C2B20	C2B19	C2B18	C2B17	C2B16
00		00		00		0	0

6.24.6 系数b2数据寄存器位15: 8

D7	D6	D5	D4	D3	D2	D1	D0
C2B15	C2B14	C2B13	C2B12	C2B11	C2B10	C2B9	C2B8
00		00		00		0	0

6.24.7 系数b2数据寄存器位7: 0

D7	D6	D5	D4	D3	D2	D1	D0
C2B7	C2B6	C2B5	C2B4	C2B3	C2B2	C2B1	C2B0
00		00		00		0	0

6.24.8 系数a1数据寄存器位23:16

D7	D6	D5	D4	D3	D2	D1	D0
C1B23	C1B22	C1B21	C1B20	C1B19	C1B18	C1B17	C1B16
00		00		00		0	0

6.24.9 系数a1数据寄存器位15: 8

D7	D6	D5	D4	D3	D2	D1	D0
C3B15	C3B14	C3B13	C3B12	C3B11	C3B10	C3B9	C3B8
00		00		00		0	0

10年6月24日系数a1数据寄存器位7: 0

D7	D6	D5	D4	D3	D2	D1	D0
C3B7	C3B6	C3B5	C3B4	C3B3	C3B2	C3B1	C3B0
00		00		00		0	0

11年6月24日系数a2数据寄存器位23:16

D7	D6	D5	D4	D3	D2	D1	D0
C4B23	C4B22	C4B21	C4B20	C4B19	C4B18	C4B17	C4B16
00		00		00		0	0

12年6月24日系数a2数据寄存器位15：8

D7	D6	D5	D4	D3	D2	D1	D0
C4B15	C4B14	C4B13	C4B12	C4B11	C4B10	C4B9	C4B8
00		00		00		0	0

13年6月24日系数a2数据寄存器位7：0

D7	D6	D5	D4	D3	D2	D1	D0
C4B7	C4B6	C4B5	C4B4	C4B3	C4B2	C4B1	C4B0
00		00		00		0	0

14年6月24日系数b0数据寄存器位23:16

D7	D6	D5	D4	D3	D2	D1	D0
C5B23	C5B22	C5B21	C5B20	C5B19	C5B18	C5B17	C5B16
00		00		00		0	0

15年6月24日系数b0数据寄存器位15：8

D7	D6	D5	D4	D3	D2	D1	D0
C5B15	C5B14	C5B13	C5B12	C5B11	C5B10	C5B9	C5B8
00		00		00		0	0

16年6月24日系数b0数据寄存器位7：0

D7	D6	D5	D4	D3	D2	D1	D0
C5B7	C5B6	C5B5	C5B4	C5B3	C5B2	C5B1	C5B0
00		00		00		0	0

17年6月24日系数写/读控制寄存器

D7	D6	D5	D4	D3	D2	D1	D0
保留的				RA	R1	WA	W1
0				0	000		

处理用户定义的EQ，混音，缩放和低音管理的系数
在STA381BW内部通过RAM. 通过I2C可以访问这个RAM
注册界面. I2C寄存器的集合专用于此功能. 一个包含一个
系数基地址，五组三位存储24位系数值
写或读的，一个包含用来控制写/读的位
系数到/从RAM.

注意：只有在LRCKI引脚切换时，对RAM系数的读写操作才有效。

从RAM读取系数

1. 将6位地址写入I2C寄存器0x27.
2. 写1到I2C地址0x37的R1位.
3. 读取I2C地址0x28中 系数的前8位.
4. 在I2C地址0x29 读取系数的中间8位.
5. 在 I2C地址0x2A处 读取系数的低8位.

从RAM读取一组系数

1. 将6位地址写入I2C寄存器0x27.
2. 写1到I2C地址0x37的RA位.
3. 读取I2C地址0x28中 系数的前8位.
4. 在I2C地址0x29 读取系数的中间8位.
5. 在 I2C地址0x2A处 读取系数的低8位.
6. 读取I2C地址0x2B 中系数b2的前8位.
7. 读取I2C地址0x2C 中系数b2的中间8位.
8. 读取I2C地址0x2D 中系数b2的低8位.
9. 读取I2C地址0x2E 中系数a1的前8位.
10. 读取I2C地址0x2F中的系数a1的中间8位.
11. 读取I2C地址0x30 中系数a1的低8位.
12. 读取I2C地址0x31 的系数a2的前8位.
13. 读取I2C地址0x32 中系数a2的中间8位.
14. 读取I2C地址0x33中的系数a2的低8位.
15. 在 I2C地址0x34处 读取系数b0的前8位.
16. 在 I2C地址0x35处 读取系数b0的中间8位.
17. 在 I2C地址0x36处 读取系数b0的低8位.

写一个单一的系数RAM

1. 将6位地址写入I2C寄存器0x27.
2. 在I2C地址0x28中 写入系数的前8位.
3. 在I2C地址0x29中 写入系数的中间8位.
4. 在 I2C地址0x2A中 写入系数的低8位.
5. 写1到I2C地址0x37的W1位.

将一组系数写入RAM

1. 将起始地址的6位写入I2C寄存器0x27.
2. 在I2C地址0x28中写入系数b1的前8位.
3. 在I2C地址0x29中写入系数b1的中间8位.
4. 在I2C地址0x2A中写入系数b1的低8位.
5. 在I2C地址0x2B中写入系数b2的前8位.
6. 在I2C地址0x2C中写入系数b2的中间8位.
7. 在I2C地址0x2D中写入系数b2的低8位.
8. 在I2C地址0x2E中写入系数a1的前8位.
9. 在I2C地址0x2F中写入系数a1的中间8位.
10. 在I2C地址0x30处写入系数a1的低8位.
11. 在I2C地址0x31中写入系数a2的前8位.
12. 在I2C地址0x32中写入系数a2的中间8位.
13. 在I2C地址0x33中写入系数a2的低8位.
14. 在I2C地址0x34中写入系数b0的前8位.
15. 在I2C地址0x35中写入系数b0的中间8位.
16. 在I2C地址0x36处写入系数b0的低8位.
17. 写1到I2C地址0x37的WA位.

将一组系数写入RAM的机制提供了一种更新RAM的方法。五个系数对应给定的双二阶（滤波器）同时避免可能不愉快的声音副作用。当使用这种技术时，6位地址指定biquad b1系数的地址（例如，0,5,10,20,35十进制），以及STA381BW生成RAM地址作为偏移量从这个基值写入完整的系数数据集。

www.wlxmall.com

18年6月24日用户定义的EQ

STA381BW可以针对每个输入端的四个EQ滤波器（二进制）进行编程
通道.二元组使用以下等式：

$$Y[n] = 2 * (b0/2) * X[n] + 2 * (b1/2) * X[n-1] + b2 * X[n-2] - 2 * (a1/2) * Y[n-1] - a2 * Y[n-2] \\ = b0 * X[n] + b1 * X[n-1] + b2 * X[n-2] - a1 * Y[n-1]$$

其中Y[n]代表输出，X[n]代表输入.乘数是24位有符号的小数乘法器，系数值范围为0x800000（-1）至0x7FFFFFFF（0.9999998808）。

存储在用户定义的系数RAM中的系数在下面被引用方式：

$$\begin{aligned} CxHy0 &= b1/2 \\ CxHy1 &= b2 \\ CxHy2 &= -a1/2 \\ CxHy3 &= -a2 \\ CxHy4 &= b0/2 \end{aligned}$$

其中x表示通道，y表示双二进制数.例如，C2H41是b2通道2的第四个二进制中的系数.

此外，STA381BW可以编程为高通滤波器（处理通道1和2）和低通滤波器（处理通道3）
当XO设置为000（用户定义）时管理交叉.这两个过滤器当由用户定义（而不是使用预置交叉滤波器）是二阶的使用上面给出的双二阶方程的滤波器.他们被装入C12H0-4和表73中给出了RAM的C3Hy0-4区域.

通道1和通道2的二进制默认使用扩展系数范围（-4，+4）；
Xover:滤波器仅使用标准系数范围（-1，+1）。

默认情况下，所有用户定义的过滤器都是直通的，其中所有的系数都设置为0
通道1和2的b0/2系数设置为0x100000（代表0.5）和Xover b0/2系数设置为0x400000（代表0.5）。

19年6月24日规模预

为了缩放，STA381BW为每个输入通道提供一个乘法EQ之前的输入.这种EQ前的缩放是通过使用一个24位有符号的小数乘法器，0x800000 = -1和0x7FFFFFFF = 0.9999998808.比例因子因为这个乘法使用与biquad相同的I2C寄存器加载到RAM中系数和低音管理.所有通道都可以使用通道1的预比例因子通过设置biquad链接位.默认情况下，所有预比例因子都设置为0x7FFFFFFF.

20年6月24日规模后

STA381BW在最后一个插值阶段之后提供一个附加乘法每个通道的失真补偿.这个后缩放是通过使用一个24位有符号小数乘法器，0x800000 = -1和0x7FFFFFFF = 0.9999998808.该这个乘法的比例因子被加载到RAM使用相同的I2C寄存器二元系数和低音管理.这个后比例因子可以用在与装有ADC的微控制器一起执行电源误差校正.所有通道都可以通过设置缩放后的链接位来使用通道1的缩放因子.通过

默认情况下，所有后缩放因子都设置为0x7FFFFFFF。当使用线路输出时，通道3后缩放将影响通道3和通道4。

表 73. RAM块，用于双向混合，缩放和低音管理

索引（十进制）	索引（十六进制）	描述	系数	默认
0	为0x00	频道1 - Biquad 1	C1H10 (B1 / 2)	0x000000处
1	0x01		C1H11 (B2)	0x000000处
2	0x02		C1H12 (A1 / 2)	0x000000处
3	0x03		C1H13 (A2)	0x000000处
4	0x04		C1H14 (B0 / 2)	的0x100000
五	0x05	频道1 - Biquad 2	C1H20	0x000000处
.....		---	---	---
19	0x13	频道1 - Biquad 4	C1H44	的0x100000
20	0x14	频道2 - Biquad 1	C2H10	0x000000处
21	为0x15		C2H11	0x000000处
.....		---	---	---
39	0x27	频道2 - Biquad 4	C2H44	的0x100000
40	0x28	Channel 1/2 - Biquad 5 对于XO = 000 高通 二阶滤波器 为XO ≠000	C12H0 (B1 / 2)	0x000000处
41	0x29		C12H1 (B2)	0x000000处
42	0x2A		C12H2 (A1 / 2)	0x000000处
43	0x2B访问		C12H3 (A2)	0x000000处
44	0x2c上		C12H4 (B0 / 2)	为0x400000
45	0x2D	频道3 - Biquad 对于XO = 000 低通 二阶滤波器 为XO ≠000	C3H0 (B1 / 2)	0x000000处
46	0x2E之间		C3H1 (B2)	0x000000处
47	值为0x2F		C3H2 (A1 / 2)	0x000000处
48	的0x30		C3H3 (A2)	0x000000处
49	0X31		C3H4 (B0 / 2)	为0x400000
50	0x32	频道1 - 预缩放	C1PreS	0x7FFFFFFF
51	0x33	频道2 - 预缩放	C2PreS	0x7FFFFFFF
52	0x34	频道1 - 规模后	C1PstS	0x7FFFFFFF
53	0x35	频道2 - 后期规模	C2PstS	0x7FFFFFFF
54	0x36	频道3 - 后期规模	C3PstS	0x7FFFFFFF
55	0x37	保留的	保留的	0x5A9DF7
56	0x38	频道1 - 混合1	C1MX1	0x7FFFFFFF
57	0x39	频道1 - 混合2	C1MX2	0x000000处
58	0x3A	频道2 - 混合1	C2MX1	0x000000处
59	0x3B	频道2 - 混合2	C2MX2	0x7FFFFFFF
60	为0x3C	频道3 - 混合1	C3MX1	为0x400000
61	0x3D之间	频道3 - 混合2	C3MX2	为0x400000
62	0x3E的	没用过		
63	0x3F的	没用过		

6.25 故障检测恢复常量寄存器（地址0x3C - 0x3D）

D7	D6	D5	D4	D3	D2	D1	D0
FDR C 15	FDR C 14	FDR C 13	FDR C 12	FDR C 11	FDR C 10	FDR C 9	FDR C 8
00		11		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
FDR C 7	FDR C 6	FDR C 5	FDR C 4	FDR C 3	FDR C 2	FDR C 1	FDR C 0
00		00		11		0	0

FDR C位指定16位故障检测恢复时间延迟.当FAULT被声明时，TRISTATE输出立即被置为低电平，并在指定的时间内保持低电平由此不断.该寄存器中的恒定值0x0001约为0.083 ms.该默认值0x300C大约1秒.

0x0000是保留值.

6.26 扩展配置寄存器（地址0x47）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	PS 48 DB	XAR1	XAR 2	BQ 5	BQ6	BQ 7
0		0	00		111		

扩展配置寄存器提供对二进制5,6和7的访问.

6.26.1 扩展后的范围

表74. 扩展后的范围

PS48DB	模式
0	按照系数RAM中的定义应用后缩放值
1	后比例值与偏移+48 dB相关 系数RAM值

后缩放是默认的衰减. PS48DB设置为1时，应用48 dB偏移量到系数RAM值，所以后期规模也可以作为一个增益.

6.26.2 扩展的攻击速度

表67所示的攻击率可以扩展到8 dB / ms的攻击率在两个限制器上.

表75. 扩展的攻击速度，限制器1

XAR1	模式
0	限制器1的攻击速率使用表67进行配置
1	限制器1的攻击速率为8 dB / ms

表 76. 扩展的攻击速度，限制器2

XAR2	模式
0	限制器2的攻击率使用表67进行配置
1	限制器2的攻击速率是8dB / ms

6.26.3 扩展双二次选择器

在均衡时，低音和高音控制可以配置为用户定义的滤波器系数链接被激活（BQL = 1），相应的BQx位被设置为1.

表 77. 扩展双二阶选择器，二进制5

BQ5	模式
0	保留的
1	用户定义的双二阶系数被选择

表 78. 扩展双二阶选择器，二进制6

BQ6	模式
0	根据表66选择预设的低音滤波器
1	用户定义的二进制6系数被选择

表 79. 扩展双二阶选择器，biquad 7

BQ7	模式
0	按照表66选择预设的高音滤波器
1	用户定义的双二阶系数被选择

当从第5个到第7个过滤器被配置为用户可编程时，相应的系数分别存储在地址0x20-0x24（BQ5），0x25-0x29（BQ6），0x2A-表73中给出的0x2E（BQ7）.

注意：如果BQL = 0或DEMP = 1（与BQ5相关）或CxTCB = 1，BQx位将被忽略（与BQ6和BQ7有关）.



6.2.7 PLL配置寄存器（地址0x52; 0x53; 0x54; 0x55; 0x56储存; 0x57）

D7	D6	D5	D4	D3	D2	D1	D0
PLL FRAC [15: 8]							
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
PLL FRAC [7: 0]							
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
PLL DITH [1: 0]				PLL NDIV [5: 0]			
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
PLL DPD	PLL FCT	PLL STB	PLL STBYP	PLL IDIV [3: 0]			
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	PLL DIRP	PLL PWD	PLL BYP	OSC PD	保留的	BOOST32K
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	BYPSTATE	PDSTATE	OSCOK	LOWCK
NA	NA	NA	NA	NA	NA	NA	NA

默认情况下，STA381BW能够自动配置嵌入式PLL在MCS位（寄存器0x00）上.对于某些应用程序并为用户提供灵活性，a可以使用手动PLL配置（将 PLL_DIRP 设置为1）

输出PLL频率公式为：

$$F_{out} = F_{in} \times \left(\frac{NDIV}{IDIV + 1} + \frac{FRAC}{65536} \right)$$

其中Fin是来自焊盘的输入时钟频率.

表80 PLL因素

PLL参数	值	最大值
FRAC	0	65535
IDIV	0	3
NDIV	五	55

表81. PLL寄存器0x54位

位	R / W	RST	名称	描述
7 R	/ W	0	PLL_DITH[1: 0]	“00”：禁用PLL时钟抖动 “01”：启用PLL时钟抖动（三角形） “10”：启用PLL时钟抖动（矩形） “11”：保留
6 R	/ W	0		
5 R	/ W	0		
4 R	/ W	0		
3 R	/ W	0	PLL_NDIV	PLL环路分频器
2 R	/ W	0		
1 R	/ W	0		
0 R	/ W	0		

表82 PLL寄存器0x55位

位	R / W	RST	名称	描述
7	R / W	0	PLL_DPD	“0”：any PLL dividers change is implemented via PLL 掉电 “1”：PLL divider change will happen without PLL power-down
6	R / W	0	PLL_FCT	“0”：PLL use integer ratio “1”：PLL use fractional ratio
五	R / W	0	PLL_STB	PLL同步分频器改变选通
4	R / W	0	PLL_STBBYP	“0”：PLL_STB is active “1”：PLL_STB control is bypassed
3 R	/ W	0	PLL_IDIV [3: 0]	PLL输入PLL分频器
2 R	/ W	0		
1 R	/ W	0		
0 R	/ W	0		

表83 PLL寄存器0x56位

位	R / W	RST	名称	描述
五	R / W	0	PLL_DIRP	“0”：PLL configuration is determined by the MCS bits “1”：PLL configuration is determined by FRAC, IDIV and NDIV
4	R / W	0	PLL_PWD	“0”：PLL normal behavior “1”：PLL is in power-down mode
3 R	/ W	0	PLL_BYP	“0”：sys clock is from PLL “1”：sys clock is from external pin (PLL is bypassed)
2 R	/ W	0	OSC_PD	“0”：正常行为 “1”：Internal oscillator is in power-down
0	R / W	0	BOOST32K	“0”：由IR位选择输入过采样 “1”：Input oversampling is selected x3

表 84. PLL寄存器0x57位

位	R / W	RST	名称	描述
3	R / W		BYPSTATE	PLL旁路状态
2	R / W		PDSTATE	PLL PD状态
1	R / W		OSCOK	OSCI被锁定
0	R / W		LOWCK	时钟输入低频检查

6.28 短路保护模式寄存器SHOK（地址0x58）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	保留的	GND _{SH}	VCC _{SH}	OUT _{SH}
NA	NA	NA	NA	NA	NA	NA	NA

在下面的电源桥接引脚短路保护实施
STA381BW:

- OUT_{xx}与GND_x
- OUT_{xx}与VCC_x
- OUT1B与OUT2A

The protection is enabled when reg. 0x50 bit 0 (SHEN) is set to '1'. The protection will check 当EAPD位从“0”切换到“1”（即电源电桥被切换）时发生短路（上），只有当测试通过（不短），电源桥才离开三态。

寄存器0x58（只读寄存器）将提供有关检测到的短路类型的更多信息。

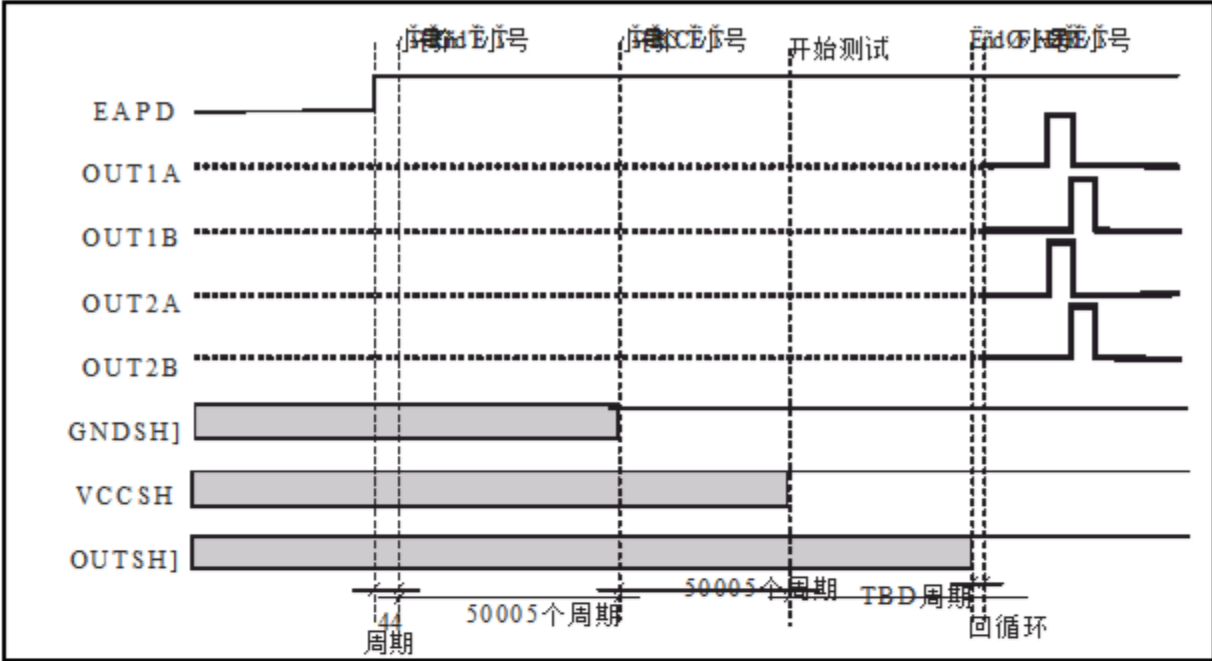
GND_{SH}等于“0”意味着OUT_{xx}短路接地，而相同的值 VCC_{SH} means that OUT_{xx} is shorted to Vcc, finally OUT_{SH}=‘0’ means that OUT1B is 短接到OUT2A.

需要指出的是，一旦执行检查，三国放行，短保护直到下一个EAPD 0-> 1切换，这意味着短路在正常操作过程中发生的不能被检测到。

要注意的是，寄存器SHOK只有在EAPD位至少被设置为1后才有意义一旦。

所实施的短路保护仅在BTL配置中有效，如果需要单端应用方案，则不能激活。

图26. 短路检测时序图（未检测到短路）



在图26中显示了短路保护时序图.时间信息被表达在时钟周期中, 时钟频率的定义见章节6.13.1: 主时钟选择.灰色用于短状态位, 表示这些位是携带先前EAPD 0->1切换的状态(需要注意的是在复位之后这个状态是没有意义的, 因为没有发生EAPD转换).与GND相关的SHOK位被更新一旦gnd测试完成, vcc测试完成后更新VCC位, 并在短路输出测试完成后更新SOUT位. gnd测试, vcc测试和输出测试总是运行(如果SHEN位处于活动状态且EAPD切换为“1”)只有两个测试都成功(不要短)桥输出离开三态(表示在图中用虚线表示).如果三个测试(或全部)中的一个失败, 则输出功率电桥保持三态, 直到重新启动新的EAPD过程.

在这个图中, EAPD应该是寄存器0x05的第7位.

6.29 扩展的系数范围高达-4 ... 4 (地址0x5A)

D7	D6	D5	D4	D3	D2	D1	D0	
CEXT_B4	CEXT_B4	CEXT_B3	CEXT_B3	CEXT_B2	CEXT_B2	CEXT_B1	CEXT_B1	[0]
10		10		10		1	0	

D7	D6	D5	D4	D3	D2	D1	D0	
保留的	保留的	CEXT_B7	CEXT_B7	CEXT_B6	CEXT_B6	CEXT_B5	CEXT_B5	[0]
00		10		10		1	0	

从1到7的Biquads在STA381BW中具有扩展系数范围的可能性从[-1;1) 到[-4..4), 允许使用可能需要系数的高架过滤器绝对值大于1的动态更大.

有三个范围可用, [-1; 1) [-2; 2) [-4; 4).默认情况下, 扩展范围被激活.每个二进制文件根据下表进行独立设置.



表85 系数扩展范围配置

CEXT_Bx [1]	CEXT_Bx [0]	范围
00		[-1; 1)
01		[-2; 2)
10		[-4; 4)
1	1	保留的

在这种情况下，用户可以为每个滤波器阶段决定正确的系数范围.请注意给定的二进制相同范围将应用于左侧和右侧（通道1和通道2）。

交叉biquad没有这个特性的可用性，维持[-1; 1)范围不变。

6.30 其他寄存器（地址0x5C， 0x5D）

D7	D6	D5	D4	D3	D2	D1	D0
RPDENEN	保留的	BRIDGOFF	保留的	保留的	CPWMEN	保留的	保留的
01		10		01		0	0

D7	D6	D5	D4	D3	D2	D1	D0
LPDP	LPD	LPDE	PNDLSL	2PNDLSL	1PNDLSL	01保留的	沉
01		00		11		0	0

6.30.1 速率掉电使能（RPDENEN）位

在STA381BW中，默认情况下，关断引脚和I2C关断 作用静音命令来执行淡出.这个默认值可以改变，以便淡出开始使用主卷. RPDENEN位置位时激活此功能。

6.30.2 桥立即关闭（BRIDGOFF）位（地址0x4B， 位D5）

一旦启用了PWDN功能，就会在STA381BW中启动淡出过程.经过1300万个时钟周期（PLL内部频率）后，电桥进入掉电模式（三态模式）.也有可能改变这种行为，使电力桥梁将在PWDN引脚接地后立即关闭，无需等待1300万个时钟周期. BRIDGOFF位置位时激活此功能.很明显的立即掉电会在输出端产生爆音，所以这个程序必须仅在流行噪音与应用无关的情况下使用.请注意这一点.功能仅适用于硬件PWDN断言，不适用于通过断电应用IIC接口.如果编程不同数里的时钟周期，请参见第6.30.5节需要。

6.30.3 通道PWM使能（CPWMEN）位

该位置位时，在音量达到较低值时激活静音输出
比-76 dBFS.

6.30.4 外部放大器硬件引脚使能器（LPDP，LPD LPDE）位

引脚42（INTLINE），通常表示故障状态，使用以下3个寄存器设置
可以重新配置为外部耳机或线路放大器的硬件引脚使能器。

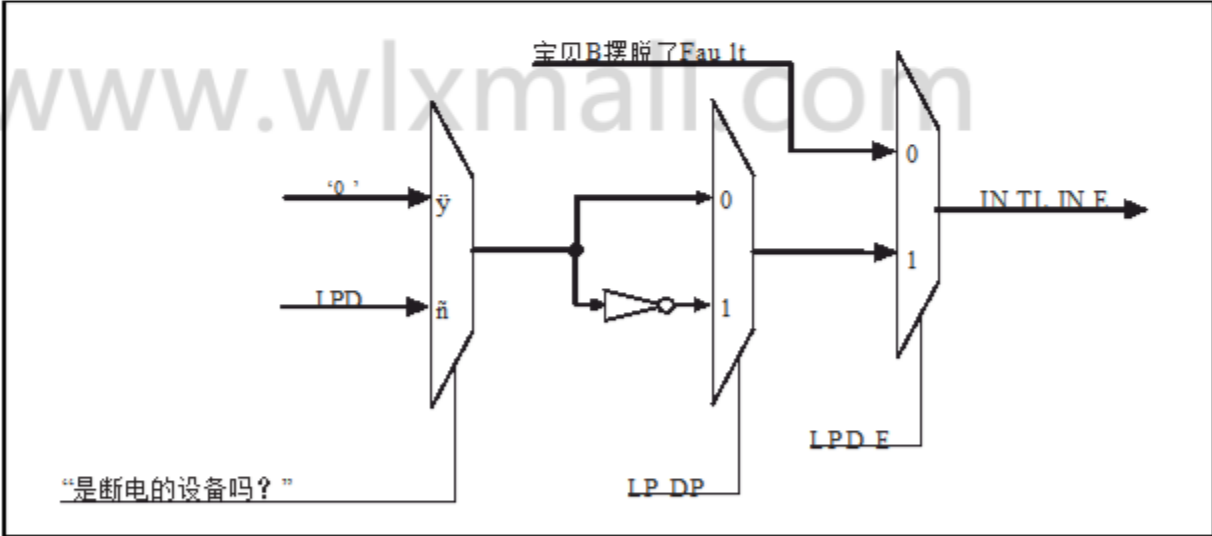
特别是LPDE位在设置时激活这个功能.因此，LPD值（0或
1）在引脚42上输出，并且在断电断言的情况下，引脚42连接到LPDP.

LPDP位置位时，将LPD值编程的值取反，请参阅
下表.

表 86. 外部放大器使能器配置位

LPDP	LPD	LPDE	引脚42 输出
X	X0		INT_LINE
0	01		0
0	11		1
1	01		1
1	11		0

图 27. INTLINE引脚的替代功能



6.30.5 掉电延时选择器（PNDLSL [2: 0]）位

PWDN的断言激活一个计数器，默认情况下，在1300万个时钟周期后
三态模式下的功率桥，独立于淡出时间.使用这些
寄存器可以按照下表对这个计数器进行编程.

表87 PNDLSL位配置

PNDLSL [2]	PNDLSL [1]	PNDLSL [0]	淡出时间
00		0	默认时间（13M PLL时钟周期）
00		1	默认时间除以2
01		0	默认时间除以4
01		1	默认时间除以8
10		0	默认时间除以16
10		1	默认时间除以32
11		0	默认时间除以64
11		1	默认时间除以128

6.30.6 短路检查使能位

该位启用后，将激活任何电源桥之前的短路检查
 激活（EAPD位0->1）。请参见章节6.28：短路保护模式寄存器
 SHOK（地址0x58）了解更多详情。

6.31 错误的PWM检测寄存器（地址0x5E，0x5F，0x60）

D7	D6	D5	D4	D3	D2	D1	D0
BPTH [5]	BPTH [4]	BPTH [3]	BPTH [2]	BPTH [1]	BPTH [0]	保留的	保留的
00		11		00		1	0

D7	D6	D5	D4	D3	D2	D1	D0
BPTIM [7]	BPTIM [6]	BPTIM [5]	BPTIM [4]	BPTIM [3]	BPTIM [2]	BPTIM [1]	BPTIM [0]
01		01		11		1	0

STA381BW在PWM输出上实现检测，能够验证输出信号
 在可配置的时间窗口中没有过零点。这个检查可以用来检测
 PWM输出中的直流电平。需要注意的是，这些检查是在逻辑电平PWM上执行的
 （即不是电源桥，也不是DDX3和DDX4 IO上的PWM）。

在三元调制的情况下，检测阈值被计算为：

$$TH = [(BPTH * 2 + 1) / 128] * 100\%$$

如果测得的PWM占空比大于或等于TH超过
 BPTIM PWM周期，相应的PWM位将被设置在寄存器0x01中。

在二进制调制的情况下，有两个阈值：

$$TH1 = [(64 + BPTH) / 128] * 100\%$$

$$TH2 = [(64 - BPTH) / 128] * 100\%$$

在这种情况下，如果测得的PWM占空比超出TH1-TH2范围以上
 BPTIM PWM周期，相应的位将被设置在寄存器0x4E中。



6.32 增强了零检测静音和输入电平测量 (地址0x61-0x65, 0x3F, 0x40, 0x6F)

D7	D6	D5	D4	D3	D2	D1	D0
WTHH	WTHL	FINETH	HSEL [1: 0]		ZMTH [2: 0]		
00		00		01		1	1

D7	D6	D5	D4	D3	D2	D1	D0
RMS_CH0 [7: 0]							
N / A	N / A	N / A	N / A	N / A	N / A	N / A	N / A

D7	D6	D5	D4	D3	D2	D1	D0
RMS_CH0 [15: 8]							
N / A	N / A	N / A	N / A	N / A	N / A	N / A	N / A

D7	D6	D5	D4	D3	D2	D1	D0
RMS_CH1 [7: 0]							
N / A	N / A	N / A	N / A	N / A	N / A	N / A	N / A

D7	D6	D5	D4	D3	D2	D1	D0
RMS_CH1 [15: 8]							
N / A	N / A	N / A	N / A	N / A	N / A	N / A	N / A

STA381BW实现基于RMS的零检测功能（在串行输入接口上）
数据）能够以非常可靠的方式检测到输入信号的存在，从而使电源
电桥输出可以自动接地。

当输入电平变为低电平时，该功能将静音输出PWM
“阈值 - 滞后”。一旦静音，当输入电平为PWM时，PWM将被解除静音
检测到大于“阈值+滞后”。

然后在寄存器ZCCCFG1上报告测量的电平（对于每个输入通道）
ZCCCFG2, ZCCCFG3-ZCCCFG4根据以下等式：

$$\text{Value_in_dB} = 20 * \text{Log } 10 \left(\text{Reg_value} / (2^{16} * 0.635) \right)$$

表88 零检测阈值

ZMTH [2: 0]	等效输入电平 (dB)
000	-78
001	-84
010	-90
011	-96
100	-102
101	-108
110	-114
111	-114

表89 零检测滞后

HSEL[1: 0]	等效输入电平滞后 (dB)
00	3
01	4
10	五
11	6

上面的阈值和滞后表可以被覆盖，并且低于阈值
高位阈值可由MTH [21: 0]位设置。

要激活手动阈值，FINETH位必须设置为“1”。

要配置低阈值，WTHL位必须设置为1，以便进行任何写操作
MTH位将设置低阈值。

要配置低阈值，必须将WTHH位设置为1，以便进行任何写操作
MTH位将设置低阈值。

如果零静音模块没有检测到静音，则当电流有效值时将静音输出
价值低于低门槛。

如果零静音模块没有检测到静音，当电流有效值时，它将取消静音
价值超过了高门槛。

表90. 手动阈值寄存器0x3F，0x40和0x6F

D7	D6	D5	D4	D3	D2	D1	D0
Reserved	保留的	MTH [21:16]					
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
MTH [15: 8]							
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
MTH [7: 0]							
00		00		00		0	0

6.33 耳机/线路输出配置寄存器（地址0x66）

D7	D6	D5	D4	D3	D2	D1	D0
HPLN	保留的	保留的	保留的	CPFEN	CPOK	ABFAULT	DCROK
00		10		0	NA	NA	NA

表91 耳机/线路输出配置位

位	R / W	RST	名称	描述
7 R	/ W	0	HPLN	当F3X连接到内部HP / Line时 该位选择F3X->模拟的增益 出路径。 ‘0’: HP out. When the MVOL+Channel Vol is 0 dBFs, 0 dBFs输入将产生40 mW 输出在一个32欧姆的负载（+/- 3.3V电源）。 ‘1’: Line out. When the MVOL+Channel Vol is 0 dBFs, 0 dBFs输入将产生2 Vrms 输出（+/- 3.3 V电源）
3	R / W	0	CPFEN	‘0’: Charge pump auto-enable when unmute ‘1’: Charge pump is always enabled
2R		NA	CPOK	‘0’: Charge pump is not working ‘1’: Charge pump is working and it is OK
1	[R	NA	ABFAULT	“0”: AB类无故障 ‘1’: Overcurrent fault detected on class-AB
0	[R	NA	DCROK	‘1’: Core supply OK



6.34 F3XCFG（地址0x69; 0x6A）

D7	D6	D5	D4	D3	D2	D1	D0
F3XLNK	保留的	保留的	保留的	保留的	保留的	保留的	保留的
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
F3X_FAULT	保留的	保留的	F3X_SM_SLOPE [2: 0]			F3X_MUTE	F3X_ENA
11		10		11		1	0

表92. F3X配置寄存器1

位	R / W	RST	名称	描述
7 R	/ W	0	F3XLNK	‘0’: F3X normal control mode ‘1’: F3X mute/unmute linked to HP/Line mute

表93. F3X配置寄存器2

位	R / W	RST	名称	描述
7	[R	1	F3X_FAULT	“0”: 正常运行
4 R	/ W	0	F3X_SM_SLOPE	‘000’: 0 ms
3 R	/ W	1		‘001’: 25 ms
2 R	/ W	1		‘010’: 50 ms
				‘011’: 100 ms
			“100”: 200毫秒	
			“101”: 250毫秒	
1	R / W	1	F3X_MUTE	“110”: 500毫秒
				“111”: 1000毫秒
1	R / W	1	F3X_MUTE	‘1’: Mute
0	R / W	0	F3X_ENA	‘1’: F3X enable

6.35 STCompressor™ 配置寄存器（地址0x6B; 0x6C）

表94 寄存器STCCFG0

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	保留的	CRC RES	保留的	保留的
00		01		00		0	0

表95 STCCFG0寄存器

位	R / W	RST	名称	描述
2	R / W	0	CRC_RES	‘0’ = CRC comparison successful ‘1’ = CRC comparison error

表96. 注册STCCFG1

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	保留的	保留的	STC_LNK	保留的
00		00		00		0	0

表97 STCCFG1寄存器

位	R / W	RST	名称	描述
1 R / W		0	STC_LNK	“0”=正常操作 “1”=启用立体声链接 参见4.3.8节: 立体声链接

6.36 电荷泵同步（地址0x70）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	CHPI		INITCNT [3: 0]			CHPRD
00		01		10		0	1

表98 电荷泵同步配置位

位	R / W	RST	名称	描述
五	R / W	0	CHPI	‘0’: Charge pump phase: 0 deg ‘1’: Charge pump phase: 180 deg
4 R	/ W	1	INITCNT [3: 0]	改变电荷泵阶段在一个时钟步
3 R	/ W	1		
2 R	/ W	0		
1 R	/ W	0		
0	R / W	1	CHPRD	‘0’: Charge pump synchronized with PWM frame ‘0’: Charge pump not synchronized with PWM frame

电荷泵可以与PWM帧同步，以尽量减少串扰在电荷泵和PWM波形之间。

当PWMS位（地址0x15位D4）被设置为1时，该功能不能被激活。

6.37 系数RAM CRC保护（地址0x71-0x7D）

D7	D6	D5	D4	D3	D2	D1	D0
BQCKE [7]	BQCKE [6]	BQCKE [5]	BQCKE [4]	BQCKE [3]	BQCKE [2]	BQCKE [1]	BQCKE [0]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
BQCKE [15]	BQCKE [14]	BQCKE [13]	BQCKE [12]	BQCKE [11]	BQCKE [10]	BQCKE [9]	BQCKE [8]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
BQCKE [23]	BQCKE [22]	BQCKE [21]	BQCKE [20]	BQCKE [19]	BQCKE [18]	BQCKE [17]	BQCKE [16]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCKE [7]	XCKE [6]	XCKE [5]	XCKE [4]	XCKE [3]	XCKE [2]	XCKE [1]	XCKE [0]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCKE [15]	XCKE [14]	XCKE [13]	XCKE [12]	XCKE [11]	XCKE [10]	XCKE [9]	XCKE [8]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCKE [23]	XCKE [22]	XCKE [21]	XCKE [20]	XCKE [19]	XCKE [18]	XCKE [17]	XCKE [16]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
BOCKR [7]	BOCKR [6]	BOCKR [5]	BOCKR [4]	BOCKR [3]	BOCKR [2]	BOCKR [1]	BOCKR [0]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
BOCKR [15]	BOCKR [14]	BOCKR [13]	BOCKR [12]	BOCKR [11]	BOCKR [10]	BOCKR [9]	BOCKR [8]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
BOCKR [23]	BOCKR [22]	BOCKR [21]	BOCKR [20]	BOCKR [19]	BOCKR [18]	BOCKR [17]	BOCKR [16]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCKR [23]	XCKR [22]	XCKR [21]	XCKR [20]	XCKR [19]	XCKR [18]	XCKR [17]	XCKR [16]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCKR [23]	XCKR [22]	XCKR [21]	XCKR [20]	XCKR [19]	XCKR [18]	XCKR [17]	XCKR [16]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCKR [23]	XCKR [22]	XCKR [21]	XCKR [20]	XCKR [19]	XCKR [18]	XCKR [17]	XCKR [16]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCAUTO	XCRES	XCCMP	XCGO	BCAUTO	BCCRES	BCCMP	BCCGO
00		00		00		0	0

STA381BW实现了双二进制和四进制的自动CRC计算

MDRC / XOver系数存储器（表73）.内存单元格内容从地址0x00到

0x27将被异或以获得BQCHKE校验和，而从0x28到0x31的单元将会被执行

进行异或以获得XCCHKE校验和.两个校验和（24位宽）都被导出

I2C寄存器从0x60到0x65. BCGO将尽快启动校验和计算

（用于二进制RAM存储区）或XCGO位（用于MDRC / XOver系数）设置为1.

如果IR位等于“01”或“10”，则以处理采样率计算校验和，

否则，校验和被计算为处理采样率的一半.

当BCCMP或XCCMP设置为1时，相对校验和（BQCHKE和XCCHKE）为

不断与BQCHKR和XCCHKR进行比较.如果校验和匹配

自己的参考值，相应的结果位（BCRES和XCRES）将被设置为“0”.

如果相应的GO位未置位，则比较位无效.

在校验和错误的情况下（即内部计算与参考不匹配）

自动设备重置动作可以被激活. BCAUTO时启用此功能

or XCAUTO bit is set to '1'. The automatic reset bits have no effect if the respective compare bit is not set.

推荐的自动重置激活过程如下：

- 下载一组系数（RAM地址0x00 ... 0x27）
- 将外部计算的biquad校验和下载到寄存器BQCHKR中
- 通过设置BCGO位来启用双二阶系数的校验和.该校验和将开始由STA381BW及其值自动计算.暴露在寄存器BQCHECKE上.校验和值被计算和更新.
- 通过设置BCCMP位来启用校验和比较.内部计算校验和将开始与参考值进行比较，结果将会是暴露在BCRES位上.以下操作将在每个音频上执行帧：

```

如果 ( (BQCHKE == BQCHKR) )
{
    BC_RES = 0; //校验和正常，重置错误位
}

```

- 其他

```
{
    BC_RES = 1; //检测到校验和错误，设置错误位
}
```
- 等到BCRES位变为0，表示校验和结果位已经开始更新，一切都很好.此操作超时（例如> 1 ms）将会显示校验和失败，MCU将处理这个事件
 - 通过设置BCAUTO，在发生校验和错误的情况下启用设备的自动复位位. BCRES位将由STA381BW自动检查音频帧和复位事件将在校验和不匹配的情况下被触发.
 - 定期检查BC_RES状态.值为1表示校验和不匹配已经发生，并且因此该设备经历了复位周期.

前面的例子是用于二进制CRC库的计算，但它可以很容易扩展到MDRC / XOver CRC计算.

6.38 MISC4（地址0x7E）

D7	D6	D5	D4	D3	D2	D1	D0
S M A P	保留的	保留的	保留的	保留的	保留的	W R A	C H 1 2
10		00		00		0	0

表99. 杂项注册4

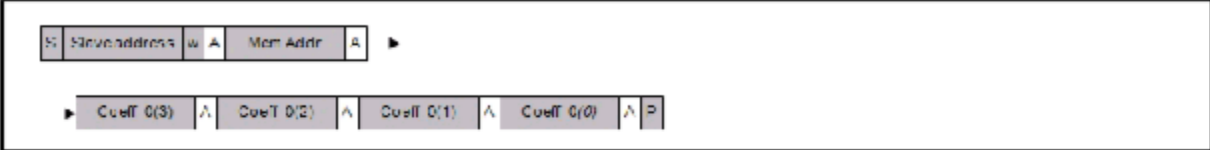
位	R / W	RST	名称	描述
7 R	/ W	1	S M A P	'1' = NEW MAP '0' = STMAP
1 R	/ W	0	W R A	"0"=正常操作 '1' = enables the write-all procedure when using the RAM系数直接访问
0 R	/ W	0	C H 1 2	"0"=正常操作 '1' = enables the RAM coefficients direct access

STA381BW允许直接访问RAM系数，绕过间接访问
机制在6.24节中描述：用户定义的系数控制寄存器（地址0x27 - 0x37）.直接访问的实现如下.

直接单写程序

- 1. 将寄存器0x7E位0设置为1，将位1设置为0，以启用直接RAM访问单写模式。
- 2. 使用I2C总线单写操作将系数值写入设备
如图28所示。

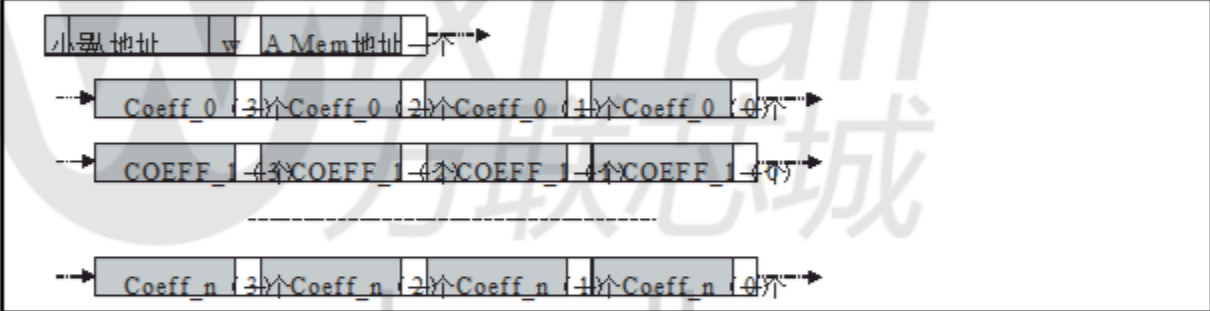
图28. 系数直接访问单写操作



直接多写程序

- 1. 将寄存器0x7E的位0设置为1，将位1设置为1，以允许直接访问多写的RAM模式。
- 2. 使用I2C总线多写操作将系数值写入设备
如图29所示.请注意，通过使用多写过程是可能的
一次写入整个RAM内容。

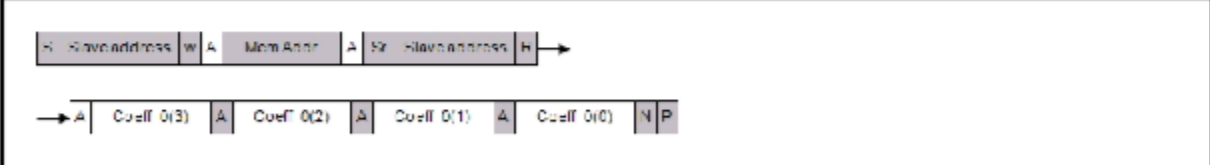
图29. 系数直接访问多写操作



直接单读程序

- 1. 将寄存器0x7E的位0设置为1，将位1设置为0，以便以单读方式启用直接RAM访问模式。
- 2. 使用I2C总线单读操作从设备读取系数值
如图30所示。

图30. 系数直接访问单读操作



请注意，STA381BW支持24位系数，因此在上面的数字当读取或写入时，Coeff_x (0) 总是等于0x00.多层次，写入过程嵌入一个环绕机制：当试图写入一个位置超过最大系数地址，多写过程将从此开始位置0x00.



7 注册说明：声音终端兼容性

为了保持与以前的声音终端设备的兼容性，必须将0x7E位D7设置为器件开启后和复位后（通过软件或通过外部引脚）的0。

丢失的地址将被视为保留。

表100 我 2 C注册摘要

地址	名称	D7	D6	D5	D4	D3	D2	D1	D0
00	CONFA	FDRB			IR1	IR0	MCS2	MCS1	MCS0
01	CONFB	C2IM	C1IM	DSCKE	SAIFB	SAI3	SAI2	SAI1	SAI0
02	CONFC			CSZ3	CSZ2	CSZ1	CSZ0		
03	CONFD	中小企业	ZDE		BQL	PSL	DSPB		
04	CONFE	SVE	郑商所		PWMS	AME	NSBW		
05	CONFF	EAPD	PWDN		LDTE	BCLE	IDE	OCFG1	OCFG0
06	静音LOC	LOC1	LOC0		BQB_ALL	C3M	C2M	C1M	MMUTE
07	MVOL	MVOL [7: 0]							
08	CH1VOL	CH1VOL [7: 0]							
09	CH2VOL	CH2VOL [7: 0]							
0A	CH3VOL	CH3VOL [7: 0]							
0C	汽车	XO3	XO2	XO1	XO0	AMA -	MAMAM1	AMAM0	AMAME
0E	C1CFG	C1OM1	C1OM0	C1LS1	C1LS0	C1BO	C1VBP	C1EQBP	C1TCB
0F	C2CFG	C2OM1	C2OM0	C2LS1	C2LS0	C2BO	C2VBP	C2EQBP	C2TCB
10	C3CFG	C3OM1	C3OM0	C3LS1	C3LS0	C3BO	C3VBP		
11	音	TTC3	TTC2	TTC1	TTC0	BTC3	BTC2	BTC1	BTC0
12	L1AR	L1A3	L1A2	L1A1	L1A0	L1R3	L1R2	L1R1	L1R0
13	L1ATRT	L1AT3	L1AT2	L1AT1	L1AT0	L1RT3	L1RT2	L1RT1	L1RT0
14	L2AR	L2A3	L2A2	L2A1	L2A0	L2R3	L2R2	L2R1	L2R0
15	L2ATRT	L2AT3	L2AT2	L2AT1	L2AT0	L2RT3	L2RT2	L2RT1	L2RT0
16	CFADDR			CFA5	CFA4	CFA3	CFA2	CFA1	CFA0
17	B1CF1	C1B23	C1B22	C1B21	C1B20	C1B19	C1B18	C1B17	C1B16
18	B1CF2	C1B15	C1B14	C1B13	C1B12	C1B11	C1B10	C1B9	C1B8
19	B1CF3	C1B7	C1B6	C1B5	C1B4	C1B3	C1B2	C1B1	C1B0
1A	B2CF1	C2B23	C2B22	C2B21	C2B20	C2B19	C2B18	C2B17	C2B16
1B	B2CF2	C2B15	C2B14	C2B13	C2B12	C2B11	C2B10	C2B9	C2B8
1C	B2CF3	C2B7	C2B6	C2B5	C2B4	C2B3	C2B2	C2B1	C2B0
1D	A1CF1	C3B23	C3B22	C3B21	C3B20	C3B19	C3B18	C3B17	C3B16
1E	A1CF2	C3B15	C3B14	C3B13	C3B12	C3B11	C3B10	C3B9	C3B8

表100 I2C注册摘要 (续)

1F	A1CF3	C3B7	C3B6	C3B5	C3B4	C3B3	C3B2	C3B1	C3B0
20	A2CF1	C4B23	C4B22	C4B21	C4B20	C4B19	C4B18	C4B17	C4B16
21	A2CF2	C4B15	C4B14	C4B13	C4B12	C4B11	C4B10	C4B9	C4B8
22	A2CF3	C4B7	C4B6	C4B5	C4B4	C4B3	C4B2	C4B1	C4B0
23	B0CF1	C5B23	C5B22	C5B21	C5B20	C5B19	C5B18	C5B17	C5B16
24	B0CF2	C5B15	C5B14	C5B13	C5B12	C5B11	C5B10	C5B9	C5B8
25	B0CF3	C5B7	C5B6	C5B5	C5B4	C5B3	C5B2	C5B1	C5B0
26	CFUD					RA	R1	WA	W1
2B	FDRC1	FDRC15	FDRC14	FDRC13	FDRC12	FDRC11	FDRC10	FDRC9	FDRC8
2C	FDRC2	FDRC7	FDRC6	FDRC5	FDRC4	FDRC3	FDRC2	FDRC1	FDRC0
2D	状态	PLLUL	故障						
2E	MTH2			MTH [21:16]					
2F	MTH1	MTH [15: 8]							
31	EQCFG	XOB							
32	EATH1	EATHEN1	EATH1 [6: 0]						
33	ERTH1	ERTHEN1	ERTH1 [6: 0]						
34	EATH2	EATHEN2	EATH2 [6: 0]						
35	ERTH2	ERTHEN2	ERTH2 [6: 0]						
36	CONFX	MDRCE		PS48DB	XAR1	XAR2	BQ5	BQ6	BQ7
37	SVUP			SVUP_EN	SVUP_RATE [4: 0]				
38	SVDN			SVDN_EN	SVDN_RATE [4: 0]				
3F	EVOLRES	VRES_EN	VRESTG_EN	EXVRES_CH3 [1: 0]		EXVRES_CH2 [1: 0]		EXVRES_CH1 [1: 0]	
40	EVOLRES2							EXVRES_MVOL [1: 0]	
41	PLLFRAC1	PLL_FRAC [15: 8]							
42	PLLFRAC0	PLL_FRAC [7: 0]							
43	PLLDIV	PLL_DITH [1: 0]		PLL_NDIV [5: 0]					
44	PLLCFG0	PLL_DPD	PLL_FCT	PLL_STB	PLL_STBBYP	PLL_IDIV [3: 0]			
45	PLLCFG1			PLL_DIRP	PLL_PWD	PLL_BYP	OSC_PD		BOOST32K
46	PLLSTATE					BYPSTATE	EPDSTATE	OSCOK	LOWCK
47	SHOK						GNDSH	VCCSH	OUTSH
49	CXT41	CEXT_B4 [1: 0]		CEXT_B3 [1: 0]		CEXT_B2 [1: 0]		CEXT_B1 [1: 0]	
4A	CXT75			CEXT_B7 [1: 0]		CEXT_B6 [1: 0]		CEXT_B5 [1: 0]	
4B	MISC1	RPDNEN		BRIDG OFF			CPWMEN		

表100 I2C注册摘要（续）

4C	MISC2	LPDP	LPD	LPDE	PNDLSL[2: 0]				沉
4D	BPTH	BPTH (5: 0)							
4E	BADPWM	BP4B	BP4A	BP3B	BP3A	BP2B	BP2A	BP1B	BP1A
4F	BPTIM	BPTIM[7: 0]							
50	ZCCFG0	WTHH	WTHL	FINETH	HSEL[1: 0]		ZMTH[2: 0]		
51	ZCCFG1	RMS_CH0[7: 0]							
52	ZCCFG2	RMS_CH0[15: 8]							
53	ZCCFG3	RMS_CH1[7: 0]							
54	ZCCFG4	RMS_CH1[15: 8]							
55	HPCFG	HPLN		静音		CPFEN	CPOK	ABFAULT	DCROK
58	F3XCFG1	F3XLNK							
59	F3XCFG2	F3X_故障			F3X_SM_SLOPE[2: 0]			F3X_静音	F3X_ENA
5A	STCCFG0		LIM_BY	STC_BY	STC_ENA		NP_CRCRES		NP_CRC_走
5B	STCCFG1							STC_LNK	BRC_EN
5E	MTH0	MTH[7: 0]							
5F	CHPSINC			CHPI	INITCNT[3: 0]				CHPRD
60	BQCHKE0	BQ_CKE[7: 0]							
61	BQCHKE1	BQ_CKE[15: 8]							
62	BQCHKE2	BQ_CKE[23:16]							
63	XCCHKE0	XC_CKE[7: 0]							
64	XCCHKE1	XC_CKE[15: 8]							
65	XCCHKE2	XC_CKE[23:16]							
66	BQCHKR0	BQ_CKR[7: 0]							
67	BQCHKR1	BQ_CKR[15: 8]							
68	BQCHKR2	BQ_CKR[23:16]							
69	XCCHKR0	XC_CKR[7: 0]							
6A	XCCHKR1	XC_CKR[15: 8]							
6B	XCCHKR2	XC_CKR[23:16]							
6C	CHKCTRL	XCAUTO	XCRES	XCCMP	XCGO	BCAUTO	BCRES	BCCMP	北京世博办
6E	MISC3						SRESET		
7E	MISC4	SMAP							

7.1 配置寄存器A（地址0x00）

D7	D6	D5	D4	D3	D2	D1	D0
FDRB	保留的	保留的	IR1	IR0	MCS2	MCS1	MCS0
01		10		01		1	1

7.1.1 主时钟选择

表101 主时钟选择

位	R / W	RST	名称	描述
0 R	/ W	1	MCS0	选择输入I2S采样之间的比率 频率和输入时钟。
1 R	/ W	1	MCS1	
2 R	/ W	1	MCS2	

STA381BW支持32 kHz，44.1 kHz，48 kHz，88.2 kHz，96 kHz，176.4 kHz和192 kHz.因此内部时钟是：

- 32.768 MHz的32 kHz
- 45.1584MHz，44.1kHz，88.2kHz和176.4kHz
- 48 kHz，96 kHz和192 kHz为49.152 MHz

提供给XTI引脚或BICKI引脚的外部时钟频率（取决于MCS设置）必须是输入采样频率（ f_s ）的倍数。

输入时钟（XTI或BICKI）和输入采样率之间的关系是由MCSx和IR（输入速率）寄存器位决定。MCSx位决定产生内部时钟的PLL因子和IR位决定了过采样率。内部使用。在表102中，MCS 111和110表明必须使用BICKI时钟源，而XTI在所有其他情况下使用。

表102. 输入采样率

输入 采样率 f_s (kHz)	IR	MCS [2: 0]							
		111	110	101	100	011	010	001	000
32, 44.1, 48	00	64个* f_s 的 (NA)	576 * f_s	128 * f_s	256 * f_s	384 * f_s	512 * f_s	768 * f_s	
88.2, 96	01	64 * f_s (*) 32 * f_s (NA)		64 * f_s	128 * f_s	192 * f_s	256 * f_s	384 * f_s	
176.4, 192	1X	64 * f_s (*) 32 * f_s (NA)		32 * f_s	64 * f_s	96 * f_s	128 * f_s	192 * f_s	

注意：(*) 时钟是BICKI

7.1.2 插值比选择

表103. 内部插值比率

位	R / W	RST	名称	描述
4: 3	R / W	00	IR [1: 0]	根据输入I2S选择内部插值比率 采样频率

STA381BW具有可变内插（过采样）设置，使得内部处理和FFX输出速率保持一致.第一个处理块进行插值通过3次（见4.2节），2次或1次（通过）或提供2次下采样.该插值的过采样率由IR位决定.

表104. IR位设置作为输入采样率的函数

输入采样率fs（kHz）	IR	第一阶段插值比率
32	00	2倍过采样
44.1	00	2倍过采样
48	00	2倍过采样
88.2	01	直通
96	01	直通
176.4	10	2倍下采样
192	10	2倍下采样

7.1.3 故障检测恢复旁路

表105 故障检测恢复旁路

位	R / W	RST	名称	描述
7 R	/ W	0	FDRB	0: 启用故障检测恢复 1: 禁用故障检测恢复

片内STA381BW电源输出模块向数字控制器提供反馈输入到功率控制模块. FAULT输入用于指示故障状态（或者过电流或热）.当FAULT被置位（设置为0）时，功率控制块尝试通过断言三态输出（将其设置为0来指示三态输出）从故障中恢复.电源输出模块开始恢复），在0.1ms范围内保持0到故障检测恢复常数寄存器（FDRC寄存器0x2B-0x2C），然后将其切换回1.只要出现故障指示，就会重复该顺序存在.此功能默认启用，但可以通过设置FDRB控制旁路位到1.

7.2 配置寄存器B（地址0x01）

D7	D6	D5	D4	D3	D2	D1	D0
C2IM	C1IM	DSCKE	SAIFB	SAI3	SAI2	SAI1	SAI0
10		00		00		0	0

7.2.1 串行数据接口

STA381BW音频串行输入被设计为与标准数字音频接口组件并接受一些串行数据格式. STA381BW总是充当从标准数字音频组件接收音频输入时的从属. 串行数据两个通道提供三个输入：左/右时钟LRCKI，串行时钟BICKI，和串行数据1和2 SDI12.

SAI位（D3到D0）和SAIFB位（D4）用于指定串行数据格式. 默认的串行数据格式是I2S，MSB优先. 可用的格式显示在表格中随后.

7.2.2 串行音频输入接口格式

表106 串行音频输入接口

位	R / W	RST	名称	描述
0	R / W	0	SAI0	确定输入序列的接口格式 数字音频接口
1	R / W	0	SAI1	
2	R / W	0	SAI2	
3	R / W	0	SAI3	

7.2.3 串行数据的第一位

表107 串行数据的第一位

SAIFB	格式
0	MSB-第一
1	LSB先



表108. 支持MSB优先串行音频输入格式（SAIFB = 0）

BICKI	SAI [3: 0]	SAIFB	接口格式
32 * fs	0000	0	I2S 15位数据
	0001	0	左/右对齐的16位数据
48 * fs	0000	0	I2S 16位到23位数据
	0001	0	左对齐的16到24位数据
	0010	0	右对齐的24位数据
	0110	0	右对齐的20位数据
	1010	0	右对齐的18位数据
	1110	0	右对齐的16位数据
64 * fs	0000	0	I2S 16位到24位数据
	0001	0	左对齐的16到24位数据
	0010	0	右对齐的24位数据
	0110	0	右对齐的20位数据
	1010	0	右对齐的18位数据
	1110	0	右对齐的16位数据

表109. 支持LSB优先 (SAIFB = 1) 的串行音频输入格式

BICKI	SAI [3: 0]	SAIFB	接口格式
32 * fs	1100	1	I2S 15位数据
	1110	1	左/右对齐的16位数据
48 * fs	0100	1	I2S 23位数据
	0100	1	I2S 20位数据
	1000	1	I2S 18位数据
	1100	1	LSB首先是I2S 16位数据
	0001	1	左对齐的24位数据
	0101	1	左对齐的20位数据
	1001	1	左对齐的18位数据
	1101	1	左对齐的16位数据
	0010	1	右对齐的24位数据
	0110	1	右对齐的20位数据
	1010	1	右对齐的18位数据
	1110	1	右对齐的16位数据
64 * fs	0000	1	I2S 24位数据
	0100	1	I2S 20位数据
	1000	1	I2S 18位数据
	1100	1	LSB首先是I2S 16位数据
	0001	1	左对齐的24位数据
	0101	1	左对齐的20位数据
	1001	1	左对齐的18位数据
	1101	1	左对齐的16位数据
	0010	1	右对齐的24位数据
	0110	1	右对齐的20位数据
	1010	1	右对齐的18位数据
	1110	1	右对齐的16位数据

要使STA381BW正常工作，串行音频接口LRCKI时钟必须是与PLL输出时钟同步，这意味着：

- PLL时钟频率/ LRCKI的频率 = $N \pm 4$ 个周期，其中N取决于第58页的表30中的设置
- PLL必须被锁定。

如果这两个条件不符合，并且IDE位（寄存器0x05位2）被设置为1，那么STA381BW会立即将I2SPCM数据静音（提供给处理模块）它会冻结任何活动的处理任务。

为了避免任何音频副作用（如流行噪音），强烈建议软静音音频流在去同步事件之前流入STA381BW数据路径

发生. 同时 应该发布 与I2C配置 有关的任何处理
只有在串行音频接口和内部PLL再次同步后.

注意: 任何静音或音量变化都会导致I2C操作到期的延迟
到软音量功能. 软音量相位变化必须在任何时钟之前完成
失步.

7.2.4 延迟串行时钟使能

表110. 延迟串行时钟使能

位	R / W	RST	名称	描述
5 R	/ W	0	DSCKE	0: 没有串行时钟延迟 1: 串行时钟延迟1个核心时钟周期以容忍 一些I2S主设备的异常情况

7.2.5 通道输入映射

表111 通道输入映射

位	R / W	RST	名称	描述
6 R	/ W	0	C1IM	0: 处理通道1接收到左侧I2S输入 1: 处理通道1接收到正确的I2S输入
7 R	/ W	1	C2IM	0: 处理通道2接收到左侧I2S输入 1: 处理通道2接收到正确的I2S输入

通过I2S接收的每个通道 可以通过I/O映射到任何内部处理通道
通道输入映射寄存器. 这允许处理的灵活性. 默认设置
这些寄存器将每个I2S输入通道映射 到其对应的处理通道.

7.3 配置寄存器C（地址0x02）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	CSZ3	CSZ2	CSZ1	CSZ0	保留的	保留的
10		01		01		1	1

7.3.1 FFX补偿脉冲大小寄存器

表112. FFX补偿脉冲大小位

位	R / W	RST	名称	描述
2	R / W	1	CSZ0	当OM [1,0] = 11时，该寄存器决定 FFX补偿脉冲的大小从0时钟开始 滴答至15个时钟周期。
3	R / W	1	CSZ1	
4	R / W	1	CSZ2	
5	R / W	0	CSZ3	

表113. 补偿脉冲大小

CSZ [3: 0]	补偿脉冲大小
0000	0 ns (0滴答) 补偿脉冲大小
0001	20 ns (1 tick) 时钟周期补偿脉冲大小
.....	
1111	300 ns (15 ticks) 时钟周期补偿脉冲大小

7.4 配置寄存器D（地址0x03）

D7	D6	D5	D4	D3	D2	D1	D0
中小企业	ZDE	保留的	BQL	PSL	DSPB	保留的	保留的
00		01		10		0	0

7.4.1 DSP旁路

表114. DSP旁路

位	R / W	RST	名称	描述
2	R / W	0	DSPB	0: 正常操作 1: 旁路和低音/高音功能

设置DSPB位旁路STA381BW的EQ功能。



7.4.2 后缩放链接

表115. 后缩放链接

位	R / W	RST	名称	描述
3	R / W	1	PSL	0: 每个通道使用单独的后缩放值 1: 每个通道使用通道1的缩放后值

扩展后功能可用于电源纠错.对于多通道应用程序运行在相同的电源下，后续的数值可以链接到通道1的值易于使用，并更快地更新值.

7.4.3 Biquad系数链接

表116. Biquad系数链接

位	R / W	RST	名称	描述
4 R	/ W	1	B Q L	0: 每个通道使用系数值 1: 每个通道使用通道1系数值

为了便于使用，所有通道都可以使用加载到通道1中的二进制系数系数RAM空间通过设置BQL位为1.因此，任何EQ更新只需要被执行一次.

7.4.4 零检测静音启用

表117 零检测静音启用

位	R / W	RST	名称	描述
6 R	/ W	0	Z D E	1的设置启用自动零检测静音 设置为0将禁用自动零检测静音

请参考7.24: 增强型零检测静音和输入电平测量 (地址0x50-0x54, 0x2E, 0x2F和0x5E).

7.4.5 子混合模式启用

表118 子混合模式启用

位	R / W	RST	名称	描述
7 R	/ W	0	中 小 企 业	0: 子混入到左/右禁用 1: 子混音到左/右启用

7.5 配置寄存器E（地址0x04）

D7	D6	D5	D4	D3	D2	D1	D0
S V E	郑 商 所	保留的	P W M S	A M E	N S B W	保留的	保留的
10		00		00		1	0



7.5.1 噪声整形器带宽选择

表119. 噪声整形器带宽选择

位	R / W	RST	名称	描述
2	R / W	0	NSBW	1: 三阶NS 0: 四阶NS

7.5.2 AM模式启用

表120. AM模式启用

位	R / W	RST	名称	描述
3 R	/ W	0	AME	0: 正常的FFX操作 1: AM减少模式FFX操作

STA381BW具有FFX处理模式，可最大限度地减少噪音在AM收音机的频率范围内产生.此模式适用于FFX时在具有有源AM调谐器的设备中操作. FFX处理的信噪比降低到在这种模式下约为83 dB，这仍然大于AM收音机的信噪比.

7.5.3 PWM速度模式

表121 PWM速度模式

位	R / W	RST	名称	描述
4 R	/ W	0	PWMS	0: 正常速度 (384 kHz) 所有通道 1: 奇数速度 (341.3 kHz) 所有通道.不适合二进制BTL模式.

7.5.4 过零使能

表122. 过零使能

位	R / W	RST	名称	描述
6 R	/ W	0	郑商所	“1”: 音里调整仅在数字零交叉时发生 “0”: 立即调整音里

ZCE位启用过零点调整.当数字零点调整音里时，过路，听不到咔嚓声.

7.5.5 软卷更新启用

表123. 软卷更新启用

位	R / W	RST	名称	描述
7 R	/ W	1	SVE	1: 根据SVR设置调整音里 0: 音里调整立即发生



7.6 配置寄存器F（地址0x05）

D7	D6	D5	D4	D3	D2	D1	D0
E A P D	PWDN	保留的	LDTE	B C L E	IDE	O C F G 1	O C F G 0
01		01		11		0	0

7.6.1 输出配置

表124 输出配置

位	R / W	RST	名称	描述
0	R / W	0	O C F G 0	选择输出配置
1	R / W	0	O C F G 1	

表125 输出配置引擎选择

O C F G [1: 0]	输出配置	P B T L 启用
00	2路（全桥）电源，2路数据输出： 1A / 1B → 1A / 1B 图2A / 2B → 2A / 2B LineOut1 → 3A / 3B LineOut2 → 4A / 4B 线路输出配置由LOC寄存器决定	没有
01	2（半桥）.1（全桥）车载电源： 1A → 1A 二进制0° 2A → 1B 二进制90° 图3A / 3B → 2A / 2B 二进制45° 图1A / 1B → 3A / 3B 二进制0° 图2A / 2B → 4A / 4B 二进制90°	没有
10	2路（全桥）电源，1路FFX： 1A / 1B → 1A / 1B 图2A / 2B → 2A / 2B 图3A / 3B → 3A / 3B EAPDEXT和TWARNEXT处于活动状态	没有
11	1路单声道并行： 3A → 1A / 1B w / C3BO 45° 3B → 2A / 2B w / C3BO 45° 1A / 1B → 3A / 3B 图2A / 2B → 4A / 4B	是

注意：在箭头的左侧是处理通道。当使用通道输出映射时，任何三个处理通道输出中的任何一个可以用于三个输入中的任何一个。

图31. OCFG = 00 (默认值)

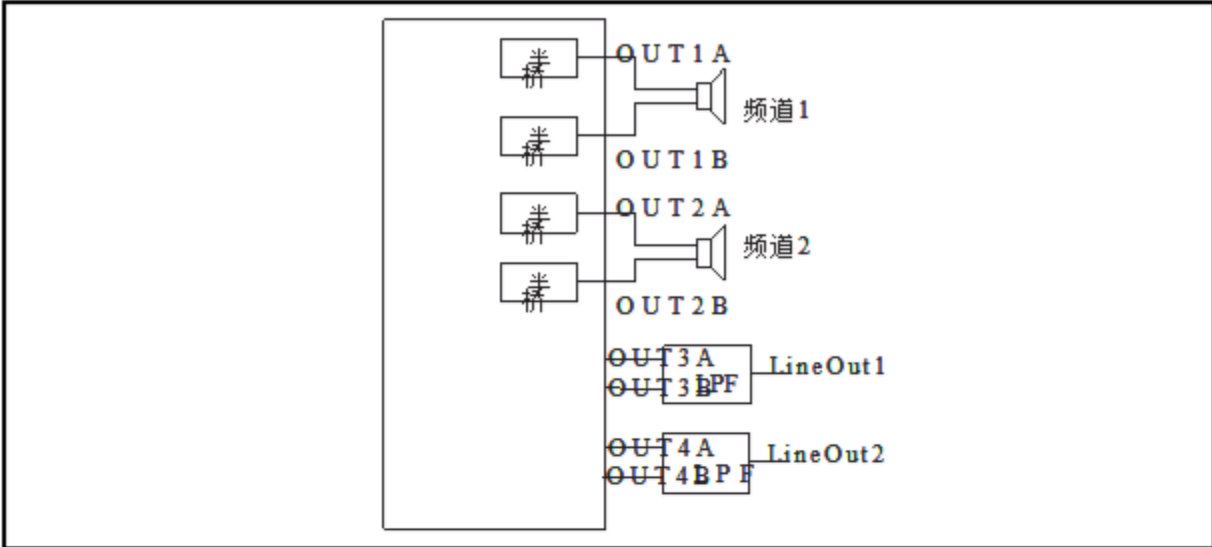


图32. OCFG = 01

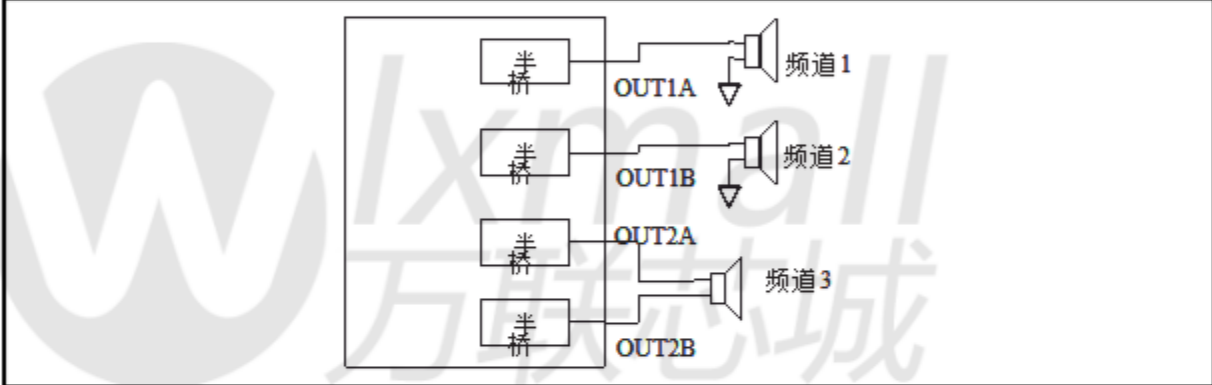


图33. OCFG = 10

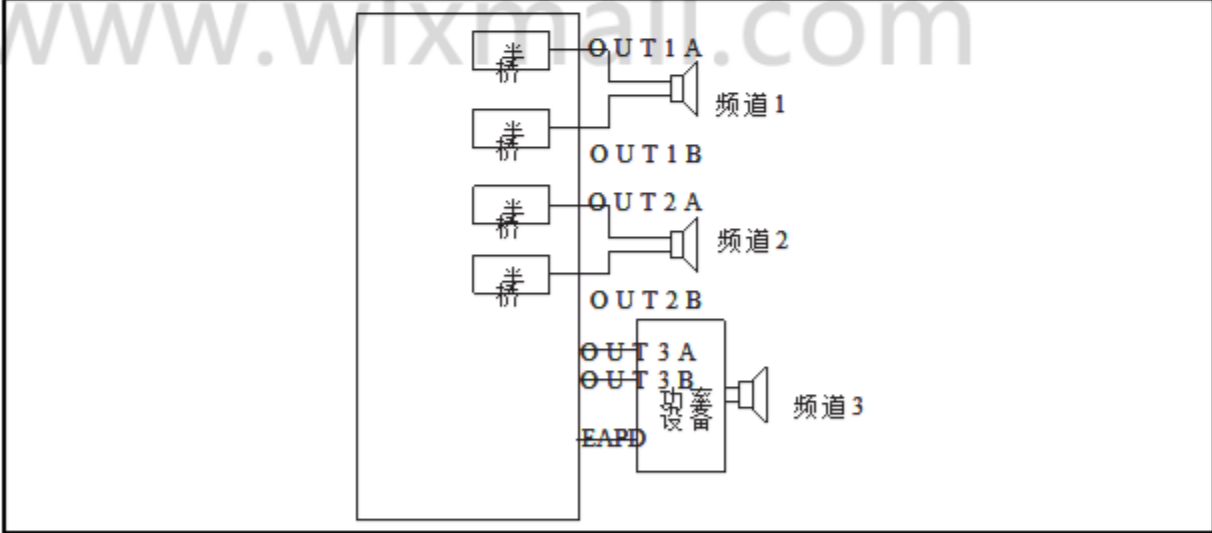
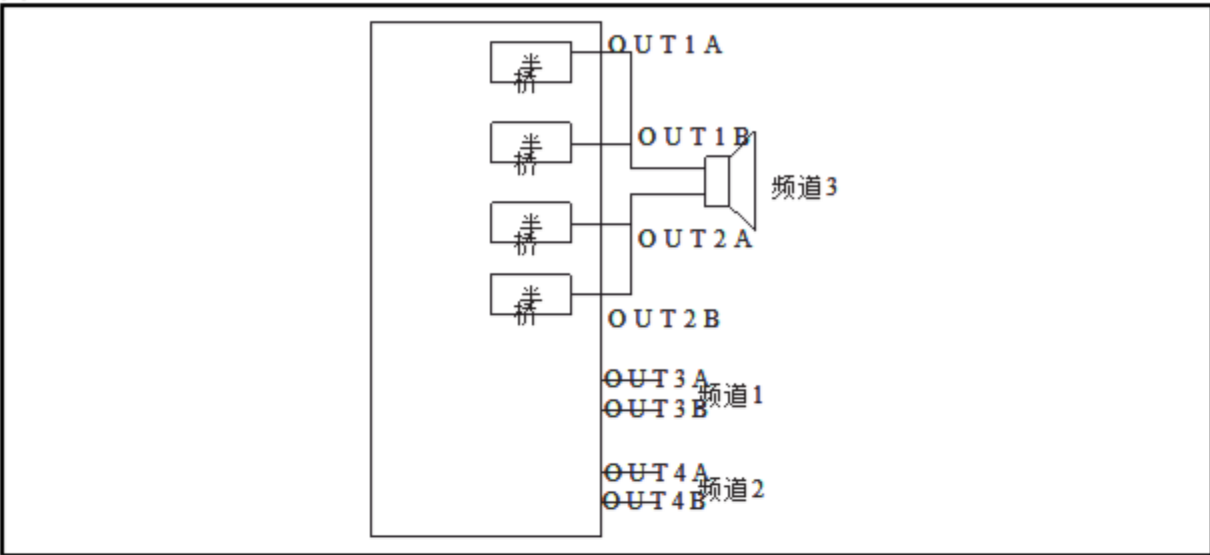
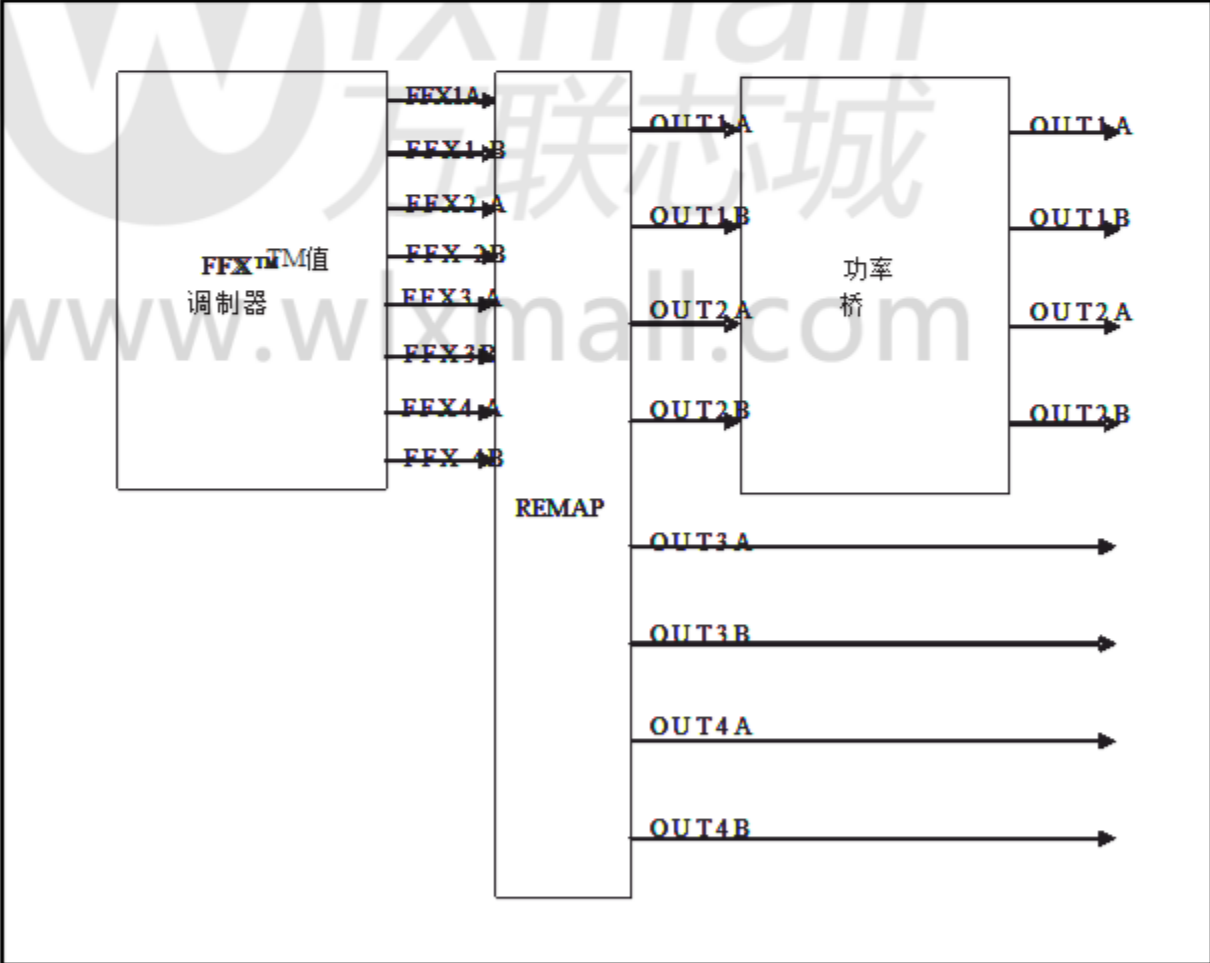


图34. OCFG = 11



STA381BW可以配置为支持不同的输出配置.对于每个PWM
输出通道定义了一个PWM时隙. PWM槽总是 $1 / (8 * f_s)$ 秒的长度.该
PWM槽定义了PWM上升沿和下降沿的最大延伸，即
上升沿以及下降沿不能超出PWM时隙的范围.

图35. 输出映射方案



对于每个配置，来自数字驱动器的PWM信号都以不同的方式映射到电源阶段：

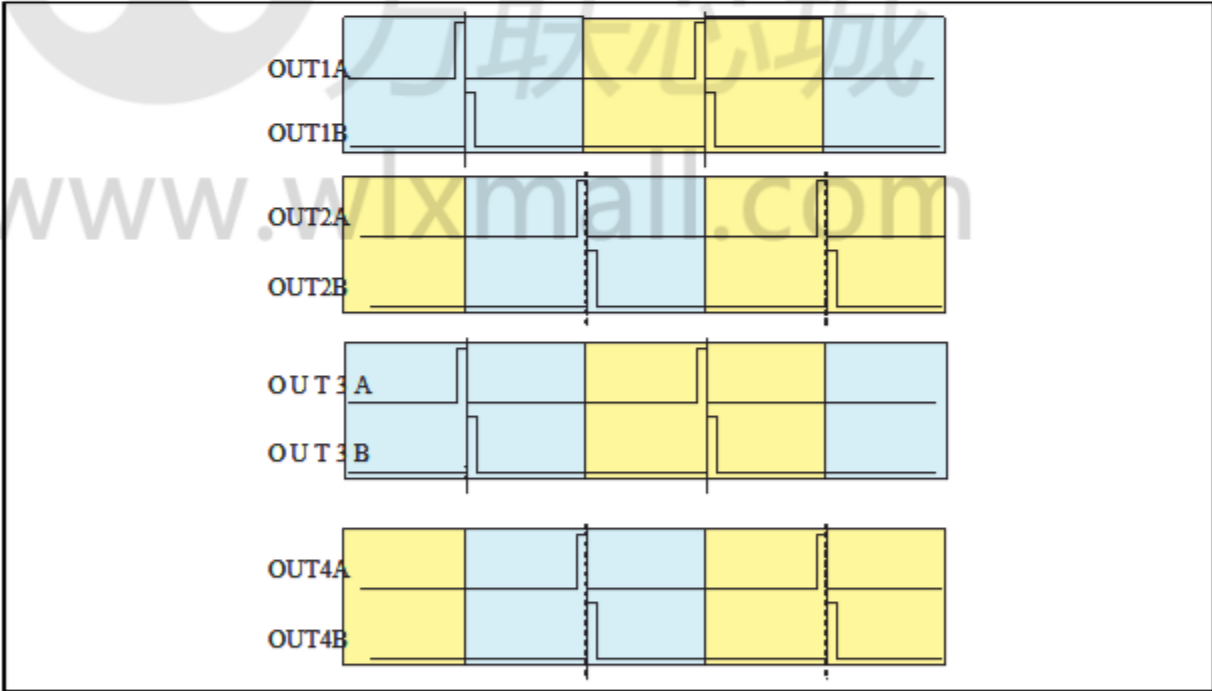
2.0通道，两个全桥（OCFG = 00）

- FFX1A -> OUT1A
- FFX1B -> OUT1B
- FFX2A -> OUT2A
- FFX2B -> OUT2B
- FFX3A -> OUT3A
- FFX3B -> OUT3B
- FFX4A -> OUT4A
- FFX4B -> OUT4B
- 配置为C1B0的FFX1A / 1B（默认值：三进制）
- 配置为C2B0的FFX2A / 2B（默认：三进制）
- 配置为C3B0的FFX3A / 3B（默认：三进制）线路输出
- 配置为C4B0的FFX4A / 4B（默认：三进制）线路输出

在通道3线路输出（LOC位= 00）时，发送与通道1处理相同的数据.上
通道4线路输出（LOC位= 00）时，发送与通道2处理相同的数据.在这
配置，音量控制和均衡器都不会对通道3和4产生影响.

在这个配置中，PWM时隙的相位如图36所示.

图36. 2.0通道（OCFG = 00）PWM插槽



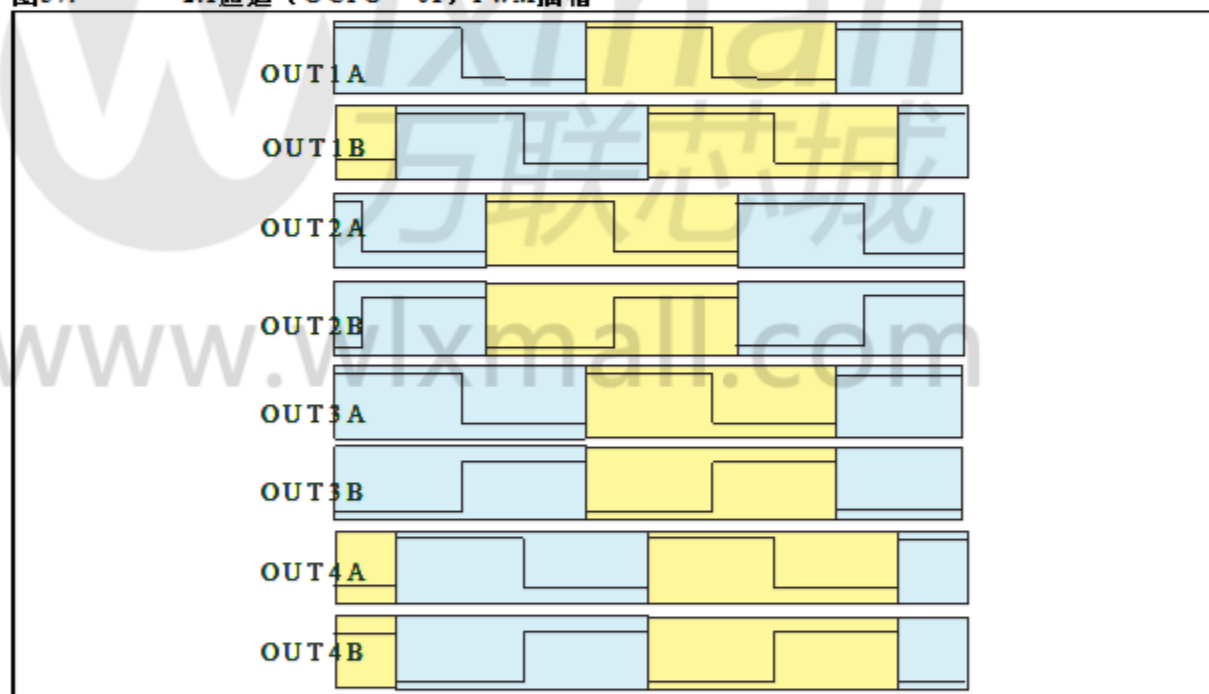
2.1个通道，两个半桥+一个全桥（OCFG = 01）

- FFX1A -> OUT1A
- FFX2A -> OUT1B
- FFX3A -> OUT2A
- FFX3B -> OUT2B
- FFX1A -> OUT3A
- FFX1B -> OUT3B
- FFX2A -> OUT4A
- FFX2B -> OUT4B
- FFX1A / 1B配置为二进制
- FFX2A / 2B配置为二进制
- FFX3A / 3B配置为二进制
- FFX4A / 4B不使用

在这个配置中，通道3具有完全的控制（音量，EQ等等）。在OUT3 / OUT4上通道1和通道2 PWM被复制。

在这个配置中，PWM时隙的相位如下图所示。

图37. 2.1通道（OCFG = 01）PWM插槽



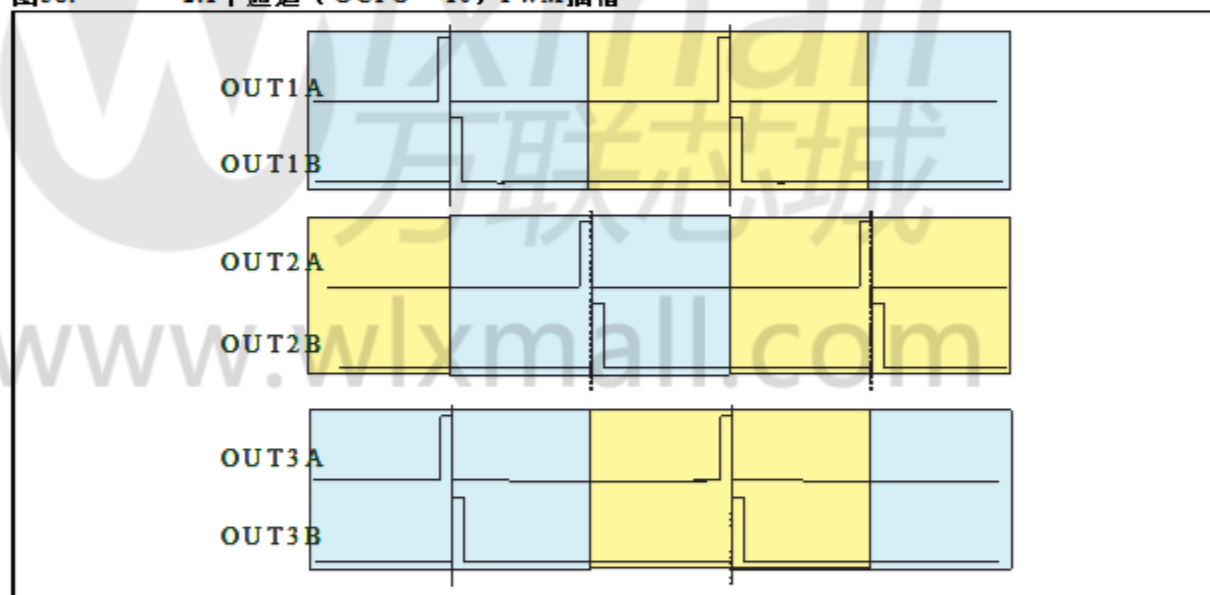
2.1个通道，两个全桥+一个外部全桥（OCFG = 10）

- FFX1A -> OUT1A
- FFX1B -> OUT1B
- FFX2A -> OUT2A
- FFX2B -> OUT2B
- FFX3A -> OUT3A
- FFX3B -> OUT3B
- EAPD -> OUT4A
- TWARD -> OUT4B
- 配置为C1B0的FFX1A / 1B（默认值：三进制）
- 配置为C2B0的FFX2A / 2B（默认：三进制）
- 配置为C3B0的FFX3A / 3B（默认：三进制）
- FFX4A / 4B不使用

在这个配置中，通道3具有完全的控制（音量，EQ等等）。在OUT4频道上外部桥接控制信号被复用。

在这种配置中，PWM时隙的相位如图38所示。

图38. 2.1个通道（OCFG = 10）PWM插槽



7.6.2 无效的输入检测静音启用

表126. 无效的输入检测静音启用

位	R / WRST	名称	描述
2	R / W 1	IDE	1的设置启用自动无效输入检测静音

设置IDE位启用此功能，该功能会自动查看输入的I2S数据。如果信号被认为是无效的，则为静音。

7.6.3 二进制输出模式时钟丢失检测

表127 二进制输出模式时钟丢失检测

位	R / WRST	名称	描述
3	R / W 1	BCLE	二进制输出模式时钟丢失检测使能

该位在二进制模式下检测输入MCLK的丢失，并输出50%的占空比。

7.6.4 LRCK双触发保护

表128 LRCK双触发保护

位	R / WRST	名称	描述
4	R / W 1	LDTE	LRCLK双触发保护使能

该位主动防止LRCLK的双重触发。

7.6.5 IC掉电

表129. IC掉电

位	R / WRST	名称	描述
7 R / W	1	PWDN	0: IC掉电低功耗状态 1: IC正常运行

PWDN寄存器用于将IC置于低功耗状态。当PWDN被写入时作为0，输出开始一个软静音。达到静音状态后，EAPD被置位。关闭功率级，然后将主时钟连接到除I2C之外的所有内部硬件块被门控。这使IC处于非常低的功耗状态。

7.6.6 外部放大器掉电

表130. 外部放大器掉电

位	R / WRST	名称	描述
7	R / W 0	EAPD	0: 外部功率级掉电激活 1: 正常操作

EAPD寄存器直接禁用/启用内部电源电路。

当EAPD = 0时，内部电源部分处于低功耗状态（禁用）。这个
当OCFG = 10时，寄存器还控制EAPD / FFX4B输出引脚。

7.7 音量控制寄存器（地址0x06 - 0x0A）

7.7.1 静音/线路输出配置寄存器

D7	D6	D5	D4	D3	D2	D1	D0
LOC1	LOC0	保留的	BQBALL	C3M	C2M	C1M	MMUTE
00		00		00		0	0

表131 线路输出配置

LOC [1: 0]	线路输出配置
00	线路输出固定 - 没有音量，没有EQ
01	线路输出变量 - CH3音量效果线路输出，无EQ
10	线路输出变量与EQ - CH3音量效果线路输出
11	保留的

线路输出仅在OCFG = 00时有效。在这种情况下，LOC确定线路输出
组态。线路输出源始终是通道1和2输入。

位	R / W	RST	名称	描述
4	R / W	0	BQBALL	全球双二线旁路 0: Biquad过滤器处于活动状态 1: 所有双二阶滤波器都被旁路（通过）

表132. 静音配置

位	R / W	RST	名称	描述
3 R	/ W	0	C3M	频道3静音 0 - 无静音状态。可以设置频道 卷 1 - 硬件静音通道3
2 R	/ W	0	C2M	频道2静音 0 - 无静音状态。可以设置频道 卷 1 - 硬件静音通道2



位	R / W	RST	名称	描述
1 R	/ W	0	C1M	通道1静音 0 - 无静音状态.可以设置频道卷 1 - 硬件静音通道1
0	R / W	0	MMUTE	主人静音 0 - 正常操作 1 - 所有通道都处于静音状态

7.7.2 主音量寄存器

D7	D6	D5	D4	D3	D2	D1	D0
MVOL [7: 0]							
11		11		11		1	1

7.7.3 频道1的音量

D7	D6	D5	D4	D3	D2	D1	D0
CH1VOL [7: 0]							
01		10		00		0	0

7.7.4 频道2的音量

D7	D6	D5	D4	D3	D2	D1	D0
CH2VOL [7: 0]							
01		10		00		0	0

7.7.5 频道3 /线路输出音量

D7	D6	D5	D4	D3	D2	D1	D0
CH3VOL [7: 0]							
01		10		00		0	0

STA381BW的卷结构由各自的卷寄存器组成通道和一个主音量寄存器，为每个通道的音量提供偏移量设置.单个通道音量可以从+48 dB到0.5 dB逐步调节-80分贝.

例如，如果CH3VOL = 0x00或+48 dB，MVOL = 0x18或-12 dB，则总增益对于通道3 = + 36dB.

主静音设置为1时，将所有通道同时静音，而个别通道静音静音（CxM）仅使该通道静音.主静音和通道静音都提供一个“软静音”，音量从最大值减少到4096个静音音量设置在内部处理速率（大约96 kHz）.

通过编程0xFF（255）的值可以获得“硬（瞬时）静音”任何通道音量寄存器或主音量寄存器.当音量偏移量是

通过主音量寄存器提供总音量小于-80 dB的任何通道被静音。

当ZCE = 1（配置寄存器E）时，所有的音量变化发生在过零点（地址0x04），因为这会创建最平滑的音量过渡。当ZCE = 0时，卷更新立即发生。

表133. 作为MVOL功能的主音量偏移[7: 0]

MVOL [7: 0]	从通道值偏移音量
00000000 (0x00)	0分贝
00000001 (0x01)	-0.5分贝
00000010 (0x02)	-1分贝
.....	
01001100 (0x4C)	-38分贝
.....	
11111110 (0xFE)	-127.5分贝
11111111 (0xFF)	硬主静音

表134. 通道音量作为CxVOL [7: 0]的函数

CxVOL [7: 0]	卷
00000000 (0x00)	+48分贝
00000001 (0x01)	+47.5分贝
00000010 (0x02)	+47分贝
.....	
01011111 (0x5F)	+0.5分贝
01100000 (0x60)	0分贝
01100001 (0x61)	-0.5分贝
.....	
11010111 (0xD7)	-59.5分贝
11011000 (0xD8)	-60分贝
11011001 (0xD9)	-61分贝
11011010 (0xDA)	-62分贝
.....	
11101100 (0xEC)	-80分贝
11101101 (0xED)	硬通道静音
.....	
11111111 (0xFF)	硬通道静音

7.8 音频预设寄存器（地址0x0C）

7.8.1 音频预设寄存器（地址0x0C）

D7	D6	D5	D4	D3	D2	D1	D0
X 0 3	X 0 2	X 0 1	X 0 0	AMA -	M 2 A M A M 1	A M A M 0	A M A M E



D7	D6	D5	D4	D3	D2	D1	D0
00		00		00		0	0

7.8.2 AM干扰频率切换

表135 AM干扰频率切换位

位	R / W	RST	名称	描述
0	R / W	0	AMAME	音频预设AM使能 0: 开关频率由PWMS设置决定 1: 由AMAM设置确定的开关频率

表136. 音频预设AM开关频率选择

AMAM [2: 0]	48 kHz / 96 kHz输入 f_s	44.1 kHz / 88.2 kHz输入 f_s
000	0.535MHz-0.720MHz	0.535MHz-0.670MHz
001	0.721MHz-0.900MHz	0.671MHz-0.800MHz
010	0.901MHz - 1.100MHz	0.801MHz-1.000MHz
011	1.101MHz - 1.300MHz	1.001MHz - 1.180MHz
100	1.301MHz - 1.480MHz	1.181MHz - 1.340MHz
101	1.481MHz - 1.600MHz	1.341MHz - 1.500MHz
110	1.601MHz - 1.700MHz	1.501MHz - 1.700MHz

7.8.3 低音管理交叉

表137 低音管理交叉

位	R / W	RST	名称	描述
4 R	/ W	0	X O 0	选择低音管理交叉频率。 1阶高通滤波器（通道1和2）或a 二阶低通滤波器（通道3）处于选中状态 频率被执行。
5 R	/ W	0	X O 1	
6 R	/ W	0	X O 2	
7 R	/ W	0	X O 3	

表138. 低音管理交叉频率

XO [3: 0]	交叉频率
0000	用户自定义
0001	80赫兹
0010	100赫兹
0011	120赫兹
0100	140赫兹
0101	160赫兹
0110	180赫兹
0111	200赫兹
1000	220赫兹
1001	240赫兹
1010	260赫兹
1011	280赫兹
1100	300赫兹
1101	320赫兹
1110	340赫兹
1111	360赫兹

7.9 通道配置寄存器（地址0x0E - 0x10）

D7	D6	D5	D4	D3	D2	D1	D0
C1OM1	C1OM0	C1LS1	C1LS0	C1BO	C1VPB	C1EQBF	C1TCB
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
C2OM1	C2OM0	C2LS1	C2LS0	C2BO	C2VPB	C2EQBF	C2TCB
01		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
C3OM1	C3OM0	C3LS1	C3LS0	C3BO	C3VPB	保留的	保留的
10		00		00		0	0

7.9.1 音调控制旁路

通道1和通道2的音频控制（低音/高音）可以按每个通道绕过。

表139. 音调控制旁路

CxTCB	模式
0	对通道x执行音调控制 - 正常操作
1	在通道x上旁路音调控制



7.9.2 EQ旁路

EQ控制可以通道1和通道2的每个通道旁路.如果EQ控制是旁路在给定的通道，预分频和所有的滤波器（双声道，贝司，高音在任何组合）被绕过该频道.

表140. EQ旁路

CxEQBP	模式
0	在通道x上执行EQ - 正常操作
1	绕过通道x的EQ

7.9.3 音量旁路

每个通道包含一个单独的通道音量旁路.如果一个特定的频道有音量通过CxVBP = 1寄存器旁路，然后只有通道音量设置特定频道影响音量设置，主音量设置不会影响渠道.

表141. 音量旁路寄存器

CxVBP	模式
0	正常的音量操作
1	音量被绕过

7.9.4 二进制输出使能寄存器

每个单独的通道输出可以设置为输出一个二进制PWM流.在这种模式下一个通道的输出A被认为是正输出而输出B是负反相.

表142 二进制输出使能寄存器

CxB0	模式
0	FFX三态输出 - 正常运行
1	二进制输出

7.9.5 限制器选择

限制器选择可以根据通道限制器选择以每个通道为基础进行选择
位.在双频带DRC和EQDRC使用 (7.16.1) 的情况下，考虑CxLS位.

表143. 作为CxLS位功能的通道限制器映射

的CXL [1: 0]	通道限制器映射
00	频道限制禁用
01	频道被映射到限制器 # 1
10	频道被映射到限制器 # 2

7.9.6 输出映射

输出映射可以根据CxOM通道以每个通道为基础执行
输出映射位.输入配置引擎的每个输入都可以从中接收数据
三个处理通道输出中的任何一个.

表144. 通道输出映射作为CxOM位的函数

CxOM [1: 0]	通道x输出源
00	通道1
01	频道2
10	频道3

7.10 音调控制寄存器（地址0x11）

D7	D6	D5	D4	D3	D2	D1	D0
TTC3	TTC2	TTC1	TTC0	BTC3	BTC2	BTC1	BTC0
01		11		01		1	1

7.10.1 音调控制

表145. 音调控制升压/降压作为BTC和TTC位的功能

BTC [3: 0] / TTC [3: 0]	升压/剪切
0000	-12 dB
0001	-12 dB
.....	
0111	-4分贝
0110	-2 dB
0111	0分贝
1000	+2 dB
1001	+4 dB
.....	
1101	+12分贝
1110	+12分贝
1111	+12分贝



7.11 动态控制寄存器（地址0x12 - 0x15）

7.11.1 限制器1攻击/释放率

D7	D6	D5	D4	D3	D2	D1	D0
L1A3	L1A2	L1A1	L1A0	L1R3	L1R2	L1R1	L1R0
01		10		10		1	0

7.11.2 限制器1攻击/释放阈值

D7	D6	D5	D4	D3	D2	D1	D0
L1AT3	L1AT2	L1AT1	L1AT0	L1RT3	L1RT2	L1RT1	L1RT0
01		10		10		0	1

7.11.3 限制器2的攻击/释放率

D7	D6	D5	D4	D3	D2	D1	D0
L2A3	L2A2	L2A1	L2A0	L2R3	L2R2	L2R1	L2R0
01		10		10		1	0

7.11.4 限制器2攻击/释放阈值

D7	D6	D5	D4	D3	D2	D1	D0
L2AT3	L2AT2	L2AT1	L2AT0	L2RT3	L2RT2	L2RT1	L2RT0
01		10		10		0	1

STA381BW包括两个独立的限制器模块（不要误以为是STCompressor™，有关此功能的更多详细信息，请参阅第4.2节）。该

限制器的目的是自动减小记录的动态范围

防止输出在反向模式下被削波或主动减小动态

的范围，以获得更好的收听环境，例如经常的夜间收听模式

DVD所需要的。这两种模式通过配置寄存器E中的DRC位进行选择

（地址0x04）。每个通道可以映射到限制器或不映射，

这意味着当超过0 dBfs时，通道将被剪切。每个限制器都查看现在

每个通道映射到它的值，选择所有这些的最大绝对值

通道，对该值执行限制算法，然后根据需要调整增益

的统一映射频道。

如果EATHx [7]位是，则限制器的攻击阈值由LxAT寄存器决定

设置为0，否则阈值由EATHx [6: 0]确定。建议在

反向模式将其设置为0 dBfs，这对应于最大未剪切输出

FFX放大器的功率。由于可以在STA381BW中以数字方式添加增益，

可能超过0 dBfs或任何其他LxAT设置。当发生这种情况时，限制器何时发生

激活，自动开始减少增益。当增益减少的速度

超过攻击阈值取决于攻击速率寄存器的设置

限制器。增益降低发生在峰值检测算法上。将EATHx [7]位设置为1

选择反向模式。

如果ERTHx [7]位是，则限制器释放阈值由LxRT寄存器决定

设置为0，否则阈值由ERTHx [6: 0]确定。将ERTHx [7]位设置为1

自动选择防翻模式.限制器的释放,当增益是再次增加,取决于RMS检测算法.音量/限制器的输出块通过RMS过滤器.这个过滤器的输出与释放进行比较.阈值,由释放阈值寄存器决定.当RMS滤波器输出下降时在释放阈值以下,增益以依赖于该速率的速率再次增加.释放率寄存器.增益永远不能超过其设定值,因此,只有当限制器已经降低增益时才会释放.释放阈值可以用来设置什么是有效的最小动态范围,这是有帮助的.过度限制可以将动态范围减小到几乎为零,并导致节目素材声音“毫无生气”.

在AC模式下,攻击和释放阈值是相对于满量程设置的.在DRC模式下,攻击阈值是相对于映射通道的最大音量设置而设置的.到该限制器,并且释放阈值被设置为相对于最大音量设置加攻击的门槛.



图39. 基本的限制器和体积流里图

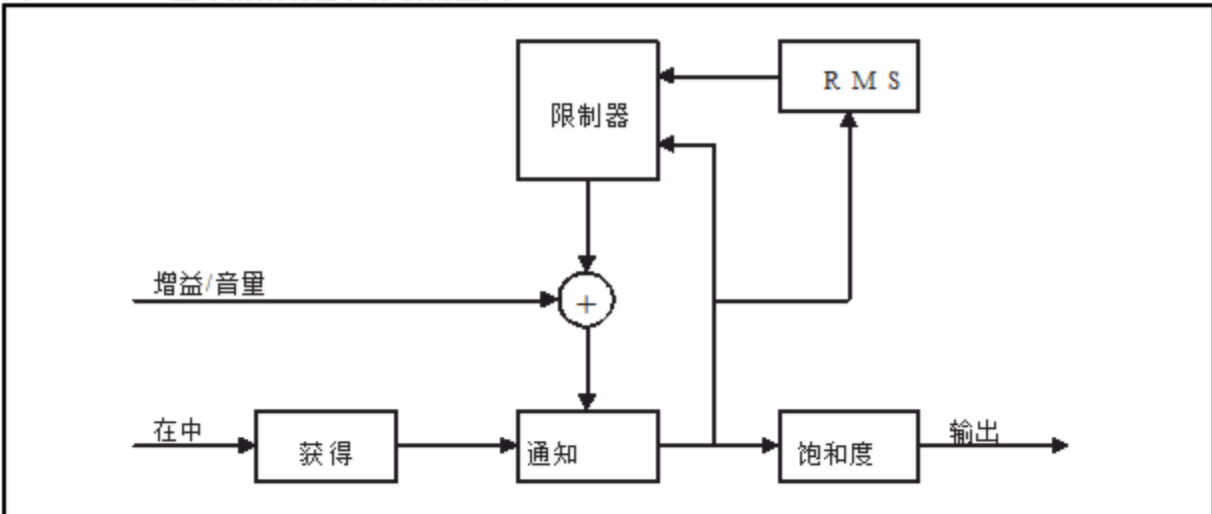


表146. 限制器的攻击速度如同一个 LxA位的功能

LXA [3: 0]	攻击速率 dB / ms	
0000	3.1584	快速 ↓ 慢
0001	2.7072	
0010	2.2560	
0011	1.8048	
0100	1.3536	
0101	0.9024	
0110	0.4512	
0111	0.2256	
1000	0.1504	
1001	0.1123	
1010	0.0902	
1011	0.0752	
1100	0.0645	
1101	0.0564	
1110	0.0501	
1111	0.0451	

表147. 限制器释放速度为a LxR位的功能

LXR [3: 0]	释放速率 (dB / ms)	
0000	0.5116	快速 ↓ 慢
0001	0.1370	
0010	0.0744	
0011	0.0499	
0100	0.0360	
0101	0.0299	
0110	0.0264	
0111	0.0208	
1000	0.0198	
1001	0.0172	
1010	0.0147	
1011	0.0137	
1100	0.0134	
1101	0.0117	
1110	0.0110	
1111	0.0104	

防滑模式

表148. 限制器攻击阈值
作为LxAT位的函数
(交流模式)

LxAT [3: 0]	AC (相对于fs的dB)
0000	-12
0001	-10
0010	-8
0011	-6
0100	-4
0101	-2
0110	0
0111	+2
1000	+3
1001	+4
1010	+5
1011	+6
1100	+7
1101	+8
1110	+9
1111	+10

表149. 限制器释放阈值
作为LxRT位的函数
(交流模式)

LXRT [3: 0]	AC (相对于fs的dB)
0000	-∞
0001	-29分贝
0010	-20分贝
0011	-16分贝
0100	-14 dB
0101	-12 dB
0110	-10分贝
0111	-8分贝
1000	-7分贝
1001	-6分贝
1010	-5分贝
1011	-4分贝
1100	-3分贝
1101	-2 dB
1110	-1分贝
1111	-0 dB

动态范围压缩模式

表150 限制器攻击阈值
作为LxAT的函数
位（DRC模式）

LxAT [3: 0]	DRC（相对于音量的dB）
0000	-31
0001	-29
0010	-27
0011	-25
0100	-23
0101	-21
0110	-19
0111	-17
1000	-16
1001	-15
1010	-14
1011	-13
1100	-12
1101	-10
1110	-7
1111	-4

表151. 限制器释放阈值
作为LxRT位的函数
（DRC模式）

LXRT [3: 0]	DRC（分贝相对于音量+ LxAT）
0000	-∞
0001	-38分贝
0010	-36分贝
0011	-33分贝
0100	-31分贝
0101	-30分贝
0110	-28分贝
0111	-26分贝
1000	-24分贝
1001	-22分贝
1010	-20分贝
1011	-18分贝
1100	-15分贝
1101	-12 dB
1110	-9分贝
1111	-6分贝

7.11.5 限制器1扩展的攻击阈值（地址0x32）

D7	D6	D5	D4	D3	D2	D1	D0
EATHEN1	EATH1 [6]	EATH1 [5]	EATH1 [4]	EATH1 [3]	EATH1 [2]	EATH1 [1]	EATH1 [0]
00		11		00		0	0

扩展的攻击阈值如下确定：

$$\text{攻击阈值} = -12 + \text{EATH1} / 4$$

要启用此功能，必须将EATHEN1位设置为1.

7.11.6 限制器1扩展释放阈值（地址0x33）

D7	D6	D5	D4	D3	D2	D1	D0
ERTHEN1	ERTH1 [6]	ERTH1 [5]	ERTH1 [4]	ERTH1 [3]	ERTH1 [2]	ERTH1 [1]	ERTH1 [0]
00		11		00		0	0

延长发布阈值确定如下：

$$\text{释放阈值} = -12 + \text{ERTH1} / 4$$

要启用此功能，必须将ERTHEN2位设置为1.



7.11.7 限制器2的扩展攻击阈值（地址0x34）

D7	D6	D5	D4	D3	D2	D1	D0
EATHEN2	EATH2 [6]	EATH2 [5]	EATH2 [4]	EATH2 [3]	EATH2 [2]	EATH2 [1]	EATH2 [0]
00		11		00		0	0

扩展的攻击阈值如下确定：

$$\text{攻击阈值} = -12 + \text{EATH2} / 4$$

要启用此功能，EATHEN2位必须设置为1。

7.11.8 限制器2扩展释放阈值（地址0x35）

D7	D6	D5	D4	D3	D2	D1	D0
ERTHEN2	ERTH2 [6]	ERTH2 [5]	ERTH2 [4]	ERTH2 [3]	ERTH2 [2]	ERTH2 [1]	ERTH2 [0]
00		11		00		0	0

延长发布阈值确定如下：

$$\text{释放阈值} = -12 + \text{ERTH2} / 4$$

要启用此功能，必须将ERTHEN2位设置为1。

注意：在-12 dB到0 dB的范围内，攻击/释放阈值步长为0.125 dB。

7.12 用户定义的系数控制寄存器（地址0x16 - 0x26）

7.12.1 系数地址寄存器

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	CFA5	CFA4	CFA3	CFA2	CFA1	CFA0
00		00		00		0	0

7.12.2 系数b1数据寄存器位23:16

D7	D6	D5	D4	D3	D2	D1	D0
C1B23	C1B22	C1B21	C1B20	C1B19	C1B18	C1B17	C1B16
00		00		00		0	0

7.12.3 系数b1数据寄存器位15: 8

D7	D6	D5	D4	D3	D2	D1	D0
C1B15	C1B14	C1B13	C1B12	C1B11	C1B10	C1B9	C1B8
00		00		00		0	0

7.12.4 系数b1数据寄存器位7: 0

D7	D6	D5	D4	D3	D2	D1	D0
C1B7	C1B6	C1B5	C1B4	C1B3	C1B2	C1B1	C1B0
00		00		00		0	0

7.12.5 系数b2数据寄存器位23:16

D7	D6	D5	D4	D3	D2	D1	D0
C2B23	C2B22	C2B21	C2B20	C2B19	C2B18	C2B17	C2B16
00		00		00		0	0

7.12.6 系数b2数据寄存器位15: 8

D7	D6	D5	D4	D3	D2	D1	D0
C2B15	C2B14	C2B13	C2B12	C2B11	C2B10	C2B9	C2B8
00		00		00		0	0

7.12.7 系数b2数据寄存器位7: 0

D7	D6	D5	D4	D3	D2	D1	D0
C2B7	C2B6	C2B5	C2B4	C2B3	C2B2	C2B1	C2B0
00		00		00		0	0

7.12.8 系数a1数据寄存器位23:16

D7	D6	D5	D4	D3	D2	D1	D0
C1B23	C1B22	C1B21	C1B20	C1B19	C1B18	C1B17	C1B16
00		00		00		0	0

7.12.9 系数a1数据寄存器位15: 8

D7	D6	D5	D4	D3	D2	D1	D0
C3B15	C3B14	C3B13	C3B12	C3B11	C3B10	C3B9	C3B8
00		00		00		0	0

7.12.10 系数a1数据寄存器位7: 0

D7	D6	D5	D4	D3	D2	D1	D0
C3B7	C3B6	C3B5	C3B4	C3B3	C3B2	C3B1	C3B0
00		00		00		0	0

11年7月12日系数a2数据寄存器位23:16

D7	D6	D5	D4	D3	D2	D1	D0
C4B23	C4B22	C4B21	C4B20	C4B19	C4B18	C4B17	C4B16
00		00		00		0	0

12年7月12日系数a2数据寄存器位15：8

D7	D6	D5	D4	D3	D2	D1	D0
C4B15	C4B14	C4B13	C4B12	C4B11	C4B10	C4B9	C4B8
00		00		00		0	0

13年7月12日系数a2数据寄存器位7：0

D7	D6	D5	D4	D3	D2	D1	D0
C4B7	C4B6	C4B5	C4B4	C4B3	C4B2	C4B1	C4B0
00		00		00		0	0

14年7月12日系数b0数据寄存器位23:16

D7	D6	D5	D4	D3	D2	D1	D0
C5B23	C5B22	C5B21	C5B20	C5B19	C5B18	C5B17	C5B16
00		00		00		0	0

15年7月12日系数b0数据寄存器位15：8

D7	D6	D5	D4	D3	D2	D1	D0
C5B15	C5B14	C5B13	C5B12	C5B11	C5B10	C5B9	C5B8
00		00		00		0	0

16年7月12日系数b0数据寄存器位7：0

D7	D6	D5	D4	D3	D2	D1	D0
C5B7	C5B6	C5B5	C5B4	C5B3	C5B2	C5B1	C5B0
00		00		00		0	0

17年7月12日系数写/读控制寄存器

D7	D6	D5	D4	D3	D2	D1	D0
保留的				RA	R1	WA	W1
0				0	000		

用户定义的EQ，混音，缩放，低音管理和STCompressor™的系数（见第4.2节）通过RAM在STA381BW内部进行处理。访问这个RAM是可通过I2C寄存器接口提供给用户。I2C寄存器的集合是专用的到这个功能。一个包含一个系数基地址，五个三个存储值要写入或读取的24位系数中的一个，以及一个包含用于的位控制对RAM的系数的写入/读取。

注意：只有当LRCKI（引脚29）正在切换时，对RAM系数的读写操作才有效。

从RAM读取系数

1. 将6位地址写入I2C寄存器0x16.
2. 写1到I2C地址0x26的R1位.
3. 读取I2C地址0x17中 系数的前8位.
4. 读取 I2C地址0x18中 系数的中间8位.
5. 读取I2C地址0x19中 系数的低8位.

从RAM读取一组系数

1. 将6位地址写入I2C寄存器0x16.
2. 写1到I2C地址0x26的RA位.
3. 读取I2C地址0x17中 系数的前8位.
4. 读取 I2C地址0x18中 系数的中间8位.
5. 读取I2C地址0x19中 系数的低8位.
6. 读取I2C地址0x1A 中系数b2的前8位.
7. 读取I2C地址0x1B 中系数b2的中间8位.
8. 读取I2C地址0x1C 中系数b2的低8位.
9. 读取I2C地址0x1D中的系数a1的前8位.
10. 读取I2C地址0x1E的系数a1的中间8位.
11. 读取I2C地址0x1F的系数a1的低8位.
12. 读取I2C地址0x20 中系数a2的前8位.
13. 读取 I2C地址0x21 中系数a2的中间8位.
14. 在 I2C地址0x22中 读取系数a2的低8位.
15. 读取I2C地址0x23的系数b0的前8位.
16. 读取I2C地址0x24 中系数b0的中间8位.
17. 在 I2C地址0x25处 读取系数b0的低8位.

写一个单一的系数RAM

1. 将6位地址写入I2C寄存器0x16.
2. 在I2C地址0x17中 写入系数的前8位.
3. 在I2C地址0x18中 写入系数的中间8位.
4. 在I2C地址0x19中 写入系数的低8位.
5. 写1到 I2C地址0x26的W1位.

将一组系数写入RAM

1. 将起始地址的6位写入I²C寄存器0x16.
2. 在I²C地址0x17中写入系数b1的前8位.
3. 在I²C地址0x18中写入系数b1的中间8位.
4. 在I²C地址0x19中写入系数b1的低8位.
5. 在I²C地址0x1A中写入系数b2的前8位.
6. 在I²C地址0x1B中写入系数b2的中间8位.
7. 在I²C地址0x1C中写入系数b2的低8位.
8. 在I²C地址0x1D中写入系数a1的前8位.
9. 在I²C地址0x1E中写入系数a1的中间8位.
10. 在I²C地址0x1F中写入系数a1的低8位.
11. 在I²C地址0x20中写入系数a2的前8位.
12. 在I²C地址0x21中写入系数a2的中间8位.
13. 在I²C地址0x22中写入系数a2的低8位.
14. 在I²C地址0x23中写入系数b0的前8位.
15. 在I²C地址0x24中写入系数b0的中间8位.
16. 在I²C地址0x25中写入系数b0的低8位.
17. 写1到I²C地址0x26的WA位.

将一组系数写入RAM的机制提供了一种更新RAM的方法。五个系数对应给定的双二阶（滤波器）同时避免可能不愉快的声音副作用。当使用这种技术时，6位地址指定biquad b1系数的地址（例如，0,5,10,20,35十进制），以及STA381BW生成RAM地址作为偏移量从这个基值写入完整的系数数据集。

www.wlxml.com

18年7月12日用户定义的EQ

STA381BW可以针对每个输入端的四个EQ滤波器（二进制）进行编程
通道.二元组使用以下等式：

$$Y[n] = 2 * (b_0/2) * X[n] + 2 * (b_1/2) * X[n-1] + b_2 * X[n-2] - 2 * (a_1/2) * Y[n-1] - a_2 * Y[n-2]$$

$$= b_0 * X[n] + b_1 * X[n-1] + b_2 * X[n-2] - a_1 * Y[n-1]$$

其中Y[n]代表输出，X[n]代表输入.乘数是24位有符号的小数乘法器，系数值范围为0x800000（-1）至0x7FFFFFFF（0.9999998808）。

存储在用户定义的系数RAM中的系数在下面被引用方式：

$$C_{xHy0} = b_1/2$$

$$C_{xHy1} = b_2$$

$$C_{xHy2} = -a_1/2$$

$$C_{xHy3} = -a_2$$

$$C_{xHy4} = b_0/2$$

其中x表示通道，y表示双二进制数.例如，C2H41是b₂通道2的第四个二进制中的系数.

此外，STA381BW可以编程为高通滤波器（处理通道1和2）和用于低音的低通滤波器（处理通道3）
当XO设置为000（用户定义）时管理交叉.这两个过滤器，
当由用户定义（而不是使用预置的交叉滤波器）时，是二阶的
使用上面给出的双二阶方程的滤波器.他们被装入C12H0-4和
[表150列出了RAM的C3Hy0-4区域.](#)

通道1和通道2的二进制默认使用扩展系数范围（-4，+4）；
Xover:滤波器仅使用标准系数范围（-1，+1）。

默认情况下，所有用户定义的过滤器都是直通的，其中所有的系数都设置为0
通道1和2的b_{0/2}系数设置为0x100000（代表0.5）和xover
b_{0/2}系数设置为0x400000（代表0.5）。

19年7月12日规模预

为了缩放，STA381BW为每个输入通道提供一个乘法
EQ之前的输入.这种EQ前的缩放是通过使用一个24位有符号的小数乘法器，0x800000 = -1和0x7FFFFFFF = 0.9999998808.比例因子
因为这个乘法使用与biquad相同的I2C寄存器 加载到RAM中
系数和低音管理.所有通道都可以使用通道1的预比例因子
通过设置biquad链接位.默认情况下，所有预比例因子都设置为0x7FFFFFFF.

20年7月12日规模后

STA381BW在最后一个插值阶段之后提供一个附加乘法
每个通道的失真补偿.这个后缩放是通过使用一个
24位有符号小数乘法器，0x800000 = -1和0x7FFFFFFF = 0.9999998808.该
这个乘法的比例因子被加载到RAM使用相同的I2C寄存器
二元系数和低音管理.这个后比例因子可以用在
与装有ADC的微控制器一起执行电源误差校正.
所有通道都可以通过设置缩放后的链接位来使用通道1的缩放因子.通过

默认情况下，所有后缩放因子都设置为0x7FFFFFFF。当使用线路输出时，通道3后缩放将影响通道3和通道4。

表152. RAM块，用于双向混合，缩放和低音管理

索引（十进制）	索引（十六进制）	描述	系数	默认
0	为0x00	频道1 - Biquad 1	C1H10 (B1 / 2)	0x000000处
1	0x01		C1H11 (B2)	0x000000处
2	0x02		C1H12 (A1 / 2)	0x000000处
3	0x03		C1H13 (A2)	0x000000处
4	0x04		C1H14 (B0 / 2)	为0x400000
五	0x05	频道1 - Biquad 2	C1H20	0x000000处
.....		---	---	---
19	0x13	频道1 - Biquad 4	C1H44	为0x400000
20	0x14	频道2 - Biquad 1	C2H10	0x000000处
21	为0x15		C2H11	0x000000处
.....		---	---	---
39	0x27	频道2 - Biquad 4	C2H44	为0x400000
40	0x28	Channel 1/2 - Biquad 5 对于XO = 000 高通1阶滤波器 为XO ≠ 000	C12H0 (B1 / 2)	0x000000处
41	0x29		C12H1 (B2)	0x000000处
42	0x2A		C12H2 (A1 / 2)	0x000000处
43	0x2B 访问		C12H3 (A2)	0x000000处
44	0x2c 上		C12H4 (B0 / 2)	为0x400000
45	0x2D	频道3 - Biquad 对于XO = 000 低通二阶滤波器 为XO ≠ 000	C3H0 (B1 / 2)	0x000000处
46	0x2E 之间		C3H1 (B2)	0x000000处
47	值为0x2F		C3H2 (A1 / 2)	0x000000处
48	的0x30		C3H3 (A2)	0x000000处
49	0x31		C3H4 (B0 / 2)	为0x400000
50	0x32	频道1 - 预缩放	C1PreS	0x7FFFFFFF
51	0x33	频道2 - 预缩放	C2PreS	0x7FFFFFFF
52	0x34	频道1 - 规模后	C1PstS	0x7FFFFFFF
53	0x35	频道2 - 后期规模	C2PstS	0x7FFFFFFF
54	0x36	频道3 - 后期规模	C3PstS	0x7FFFFFFF
55	0x37	保留的	保留的	0x5A9DF7
56	0x38	频道1 - 混合1	C1MX1	0x7FFFFFFF
57	0x39	频道1 - 混合2	C1MX2	0x000000处
58	0x3A	频道2 - 混合1	C2MX1	0x000000处
59	0x3B	频道2 - 混合2	C2MX2	0x7FFFFFFF
60	为0x3C	频道3 - 混合1	C3MX1	为0x400000
61	0x3D 之间	频道3 - 混合2	C3MX2	为0x400000
62	0x3E 的	没用过		
63	0x3F 的	没用过		

7.13 故障检测恢复常量寄存器（地址0x2B - 0x2C）

D7	D6	D5	D4	D3	D2	D1	D0
FDR C 15	FDR C 14	FDR C 13	FDR C 12	FDR C 11	FDR C 10	FDR C 9	FDR C 8
00		11		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
FDR C 7	FDR C 6	FDR C 5	FDR C 4	FDR C 3	FDR C 2	FDR C 1	FDR C 0
00		00		11		0	0

FDR C位指定16位故障检测恢复时间延迟.当FAULT被声明时，TRISTATE输出立即被置为低电平，并在指定的时间内保持低电平由此不断.该寄存器中的恒定值0x0001约为0.083 ms.该默认值0x300C大约1秒.

0x0000是保留值.

7.14 设备状态寄存器（地址0x2D）

D7	D6	D5	D4	D3	D2	D1	D0
PLLUL	故障	保留的	保留的	保留的	保留的	保留的	保留的

该只读寄存器提供来自电源的故障和热警告状态信息.控制块.逻辑值1表示故障或警告意味着正常状态.逻辑0意味着一个故障或在电桥上检测到警告. PLLUL = 1表示PLL未锁定.

表153. 状态寄存器位

位	R / W	RST	名称	描述
7	[R]	-	PLLUL	0: 锁定PLL 1: PLL未锁定
6R		-	故障	0: 在电桥上检测到故障 1: 正常运行

7.15 EQ系数配置寄存器（地址0x31）

D7	D6	D5	D4	D3	D2	D1	D0
X O B	保留的	保留的	保留的	保留的	保留的	保留的	保留的
00		00		00		0	0

XOB位可以用来绕过交叉滤波器.逻辑1意味着功能是不活跃.在这种情况下，高通交叉滤波器作为数据的通路路径（b = 0，逻辑0处的所有其他系数），而低通滤波器被配置为具有通道3数据处理的零信号（所有的系数都是逻辑0）.

7.16 扩展配置寄存器（地址0x36）

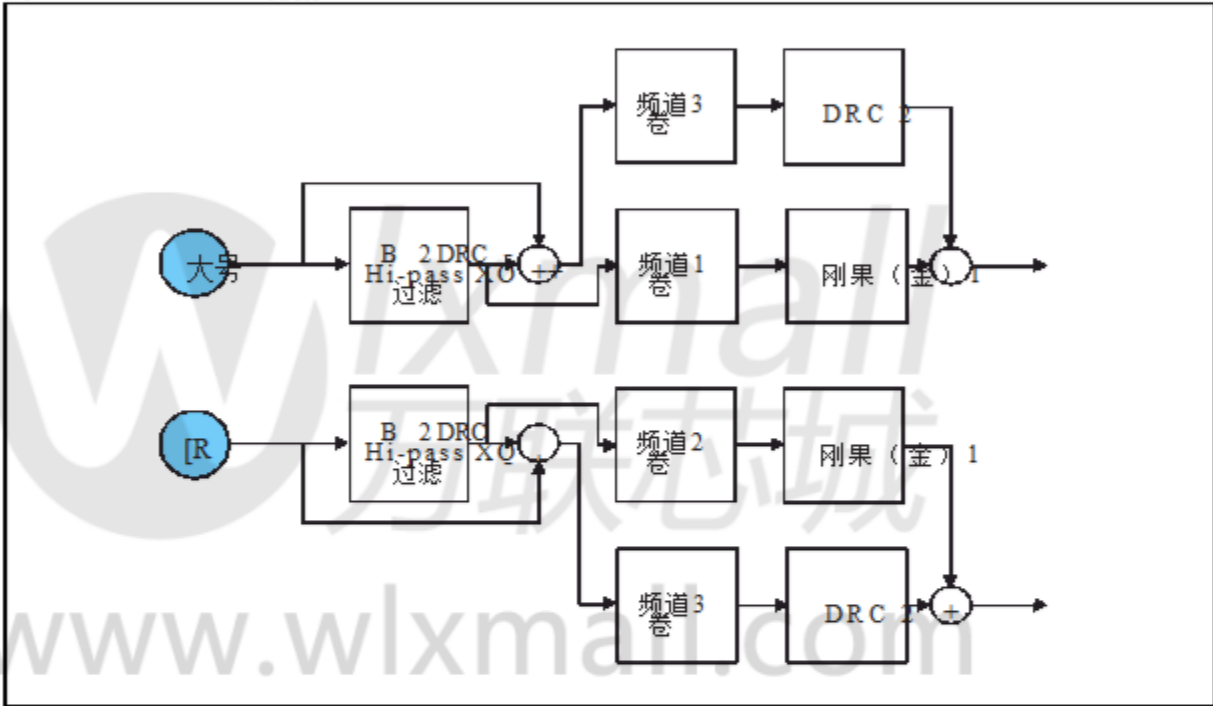
D7	D6	D5	D4	D3	D2	D1	D0
MDRCE	保留的	PS 48 DB	XAR1	XAR 2	BQ 5	BQ6	BQ 7
00		00		00		0	0

扩展配置寄存器提供对B 2 DRC和二进制5,6和7的访问.

7.16.1 双频带DRC

STA381BW器件 在左右声道上 提供双频DRC（B 2 DRC）
数据路径，如图40所示.通过设置MDRCE = 1来激活双频带DRC.

图40. B 2 DRC方案



低频信息（LFE）从左右声道中提取出来
高频率使用可编程双二阶滤波器，然后计算差异
与原始信号.限幅器1（DRC1）然后用来控制的幅度
左/右高频分里，而限幅器2（DRC2）用于控制低频分里，
[频率成分（见第7.11章）](#)。

高通滤波器的截止频率可以由用户定义，XO [3: 0] = 0或选择
来自预定义的值。

然后使用DRC1和DRC2来独立地限制L / R高频和LFE
通道幅度（见章节7.11）以及音量控制.需要指出的是，
这种配置，专用通道3音量控制实际上可以作为低音提升
增强器（0.5 dB /步分辨率）。

然后处理后的LFE通道与L和R通道重新组合
重建2.0输出信号。

分频段分解

B 2 DRC的子带分解 可以配置指定截止频率。
截止频率可以用两种方式编程，使用寄存器0x0C中的XO位，或者使用“用户可编程”模式（存储在RAM地址0x28至0x31中的系数）。
对于用户可编程模式，使用下面的公式计算高通滤波器：

$$b0 = (1 + \alpha) / 2$$
$$b1 = - (1 + \alpha) / 2$$
$$b2 = 0$$

$$a0 = 1$$
$$a1 = -\alpha$$
$$a2 = 0$$

其中 $\alpha = (1 - \sin(\omega_0)) / \cos(\omega_0)$ ， ω_0 是截止频率。

建议使用一阶滤波器来保证每个滤波器 ω_0 对应的低通
作为差异获得的过滤器（如图24所示）将具有对称（相对于HP而言）
滤波器）的频率响应，以及DRC之后的相应重组低
波纹.也可以使用二阶滤波器，但在这种情况下滤波器的形状必须是
仔细选择提供良好的低通响应和最小的纹波重组.对于
二阶滤波器，不可能给出一个封闭的公式来得到最好的系数，但是
应该进行经验性的调整.

DRC设置

B 2 DRC 使用的DRC块 与第7.11章描述的相同. B 2 DRC
自动配置防滑模式的DRC块.攻击和释放阈值
可以使用寄存器0x32，0x33，0x34，0x35来选择，而攻击和释放速率是
由寄存器0x12和0x14配置.

乐队downmixing

低频段在B 2 DRC输出端下混频到左右声道。
通道音量可以用来对频带重组进行加权来对整体进行微调
频率响应.

7.16.2 扩展后的范围

表154. 扩展后的范围

PS48DB	模式
0	按照系数RAM中的定义应用后缩放值
1	应用后比例值时，偏移量为+48 dB 系数RAM值

后缩放是默认的衰减. PS48DB设置为1时，应用48 dB偏移量
到系数RAM值，所以后期规模也可以作为一个增益.

7.16.3 扩展的攻击速度

表146所示的攻击速率可以扩展到8 dB / ms的攻击速率在两个限制器上。

表155 扩展的攻击速度，限制器1

XAR1	模式
0	限制器1的攻击速率使用表146配置
1	限制器1的攻击速率为8 dB / ms

表156. 扩展的攻击速度，限制器2

XAR2	模式
0	限制器2的攻击速率使用表146配置
1	限制器2的攻击速率是8dB / ms

7.16.4 扩展BIQUAD选择器

在均衡时，低音和高音控制可以配置为用户定义的滤波器系数链接被激活（BQL = 1），相应的BQx位被设置为1。

表157 扩展双二阶选择器，二进制5

BQ5	模式
0	保留的
1	用户定义的双二阶系数被选择

表158 扩展双二阶选择器，二进制6

BQ6	模式
0	根据表145选择预设的低音滤波器
1	用户定义的二进制6系数被选择

表159 扩展双二阶选择器，biquad 7

BQ7	模式
0	根据表145选择预设的高音滤波器
1	用户定义的双二阶系数被选择

当从第5个到第7个过滤器被配置为用户可编程时，相应的系数分别存储在地址0x20-0x24（BQ5），0x25-0x29（BQ6），0x2A-0x2E（BQ7）如表152所示。

注意：如果BQL = 0，或者DEMP = 1（与BQ5相关）或CxTCB = 1，则忽略BQx位BQ6和BQ7）。



7.17 EQ软件卷配置寄存器（地址0x37 - 0x38）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	SVUPE	SVUP [4]	SVUP [3]	SVUP [2]	SVUP [1]	SVUP [0]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	SVDWE	SVDW [4]	SVDW [3]	SVDW [2]	SVDW [1]	SVDW [0]
00		00		00		0	0

软卷更新默认具有固定的速率.使用寄存器0x37和0x38它可以覆盖默认行为，允许不同的音量变化率.

也可以独立定义淡入（音量增大）和淡出（体积减小）率根据所需的行为.

表160. 软卷更新启用，增加

SVUPE	模式
0	当音量增加时，使用默认速率
1	当音量增加时，使用SVUP [4: 0]定义的速率.

当SVUPE = 1时，音量提升率由SVUP [4: 0]位根据以下公式：

$$\text{音量提高率} = 48 / (N + 1) \text{ dB / ms}$$

其中N是SVUP [4: 0]的值.

表161 软音量更新启用，减少

SVDWE	模式
0	音量降低时，使用默认比率
1	当音量降低时，使用SVDW [4: 0]定义的速率.

当SVDWE = 1时，音量减小率由SVDW [4: 0]位根据以下公式：

$$\text{音量减小率} = 48 / (N + 1) \text{ dB / ms}$$

其中N是SVDW [4: 0]值.

注意： 对于大于6 dB / msec的音量降低率，建议禁用CPWMEN位和ZCE位，以避免任何听得见的杂音.

7.18 额外的卷分辨率配置寄存器（地址 0x3F的; 0x40的）

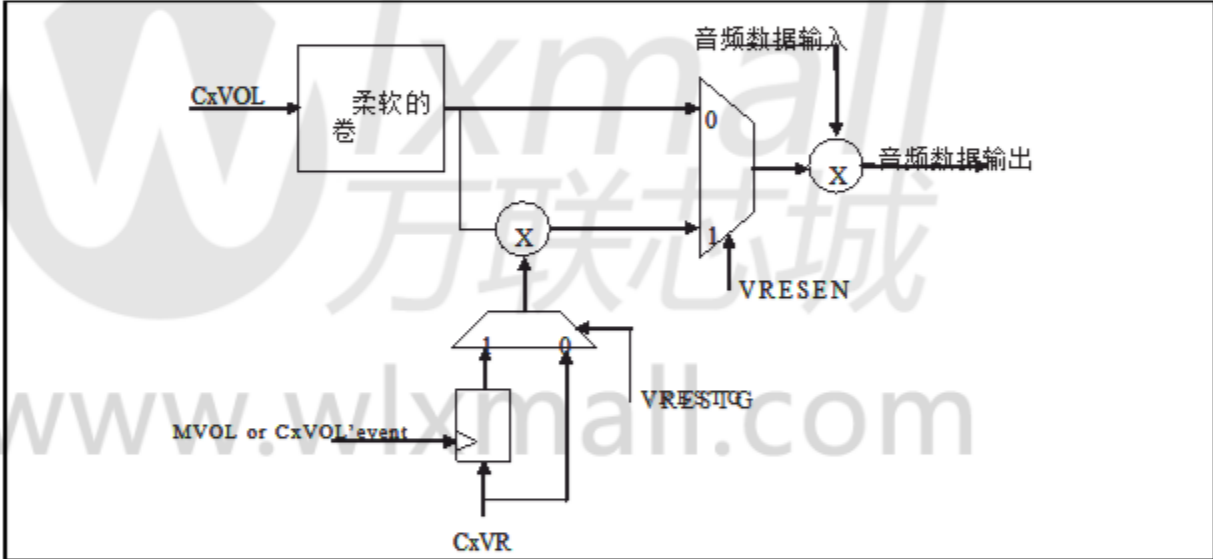
D7	D6	D5	D4	D3	D2	D1	D0
VRESEN	VRESTG	C3VR [1]	C3VR [0]	C2VR [1]	C2VR [0]	C1VR [1]	C1VR [0]
10		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	保留的	保留的	MVR [1]	MVR [0]
00		00		00		0	0

额外的音量分辨率允许以 0.125 dB 的步长进行精细的音量调节。

当VRESEN = 1时，该功能被使能，如图41所示.整个通道在这种情况下，音量将为CxVol + CxVR（以dB为单位），而主音量将为MVOL + MVR（以dB为单位）。

图41. 额外的分辨率音量计划



如果VRESEN = 0，则通道音量将仅由CxVol寄存器定义。

微调步骤可根据下表设置通道1,2,3卷。

表162 音量微调步骤

CxVR / MVR	模式
00	0分贝
01	-0.125分贝
10	-0.25分贝
11	-0.375分贝

VRESTG位可以配置两种不同的行为。

If VRESTG='0' the CxVR contribution will be applied immediately after the corresponding 我写了2C位。

If VRESTG='1' the CxVR bits will be effective on channel volume only after the 相应的CxVol寄存器或主音量寄存器被写入（甚至到前一个值）。

表163. 额外的音量解决使能

VRESEN	VRESTG	模式
0	0	额外的音量分辨率禁用
0	1	额外的音量分辨率禁用
1	0	精细音量调节已启用并立即应用
11		精细音量调节启用和适用于主或频道音量已更新

7.19 PLL配置寄存器（地址0x41; 0x42; 0x43; 0x44; 0x45; 0x46）

D7	D6	D5	D4	D3	D2	D1	D0
PLL_FRAC [15: 8]							
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
PLL_FRAC [7: 0]							
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
PLL_DITH [1: 0]				PLL_NDIV [5: 0]			
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
PLL_DPD	PLL_FCT	PLL_STB	PLL_STBBYP	PLL_IDIV (3: 0)			
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	PLL_DIRP	PLL_PWD	PLL_BYP	OSC_PD	保留的	BOOST32K
00		00		01		0	0

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	BYPSTATE	PDSTATE	OSCOK	LOWCK
NA	NA	NA	NA	NA	NA	NA	NA

默认情况下，STA381BW能够自动配置嵌入式PLL在MCS位（寄存器0x00）上.对于某些应用程序并为用户提供灵活性，a可以使用手动PLL配置（将PLL_DIRP设置为1）。

输出PLL频率公式为：

$$F_{out} = F_{in} \times \left(\frac{NDIV}{IDIV + 1} + \frac{FRAC}{65536} \right)$$

其中Fin是来自焊盘的输入时钟频率。

表164 PLL因素

PLL参数	值	最大值
FRAC	0	65535
IDIV	0	3
NDIV	五	55

表165 PLL寄存器0x43位

位	R / W	RST	名称	描述
7	R	0	PLL_DITH (1: 0)	'00': PLL clock dithering disabled
6	R	0		'01': PLL clock dithering enabled (triangular) '10': PLL clock dithering enabled (rectangular) '11': Reserved
5	R	0	NDIV	PLL环路分频器
4	R	0		
3	R	0		
2	R	0		
1	R	0		
0	R	0		

表166. PLL寄存器0x44位

位	R / W	RST	名称	描述
7	R / W	0	PLL_DPD	'0': any PLL dividers change is implemented via PLL 掉电 '1': PLL divider change will happen without PLL 掉电
6	R / W	0	PLL_FCT	'0': PLL use integer ratio '1': PLL use fractional ratio
五	R / W	0	PLL_STB	PLL同步分频器改变选通
4	R / W	0	PLL_STBBYP	'0': PLL_STB is active '1': PLL_STB control is bypassed
3	R	0	PLL_IDIV (3: 0)	输入PLL分频器
2	R	0		
1	R	0		
0	R	0		



表167 PLL寄存器0x45位

位	R / W	RST	名称	描述
5	R / W	0	PLL_DIRP	'0': PLL configuration is determined by MCS bits '1': PLL configuration is determined by FRAC, IDIV 和NDIV
4	R / W	0	PLL_PWD	'0': PLL normal behavior '1': PLL is in power-down mode
3	R / W	0	PLL_BYP	'0': sys clock is from PLL '1': sys clock is from external pin (PLL is bypassed)
2	R / W	0	OSC_PD	"0": 正常行为 '1': Internal oscillator is in power-down
0	R / W	0	BOOST32K	"0": 通过IR位选择输入过采样 '1': Input oversampling is selected x3

表168. PLL寄存器0x46位

位	R / W	RST	名称	描述
3	[R]		BYPSTATE	PLL旁路状态
2	[R]		PDSTATE	PLL PD状态
1	[R]		OSCOK	OSCI被锁定
0	[R]		LOWCK	时钟输入频率检查

7.20 短路保护模式寄存器SHOK（地址0x47）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	保留的	GND SH	VCC SH	OUT SH
NA	NA	NA	NA	NA	NA	NA	NA

在下面的电源桥接引脚短路保护实施

STA381BW:

- OUT_{xx}与GND_x
- OUT_{xx}与VCC_x
- OUT1B vs OUT2A

The protection is enabled when reg. 0x4C bit 0 (SHEN) is set to '1'. The protection will check

当EAPD位从“0”切换到“1”（即电源电桥被切换）时发生短路），只有当测试通过（没有短路）电源桥才离开三态。

寄存器0x47（只读寄存器）将提供有关检测到的短路类型的更多信息。

GND SH等于“0”意味着OUT_{xx}短路接地，而相同的值

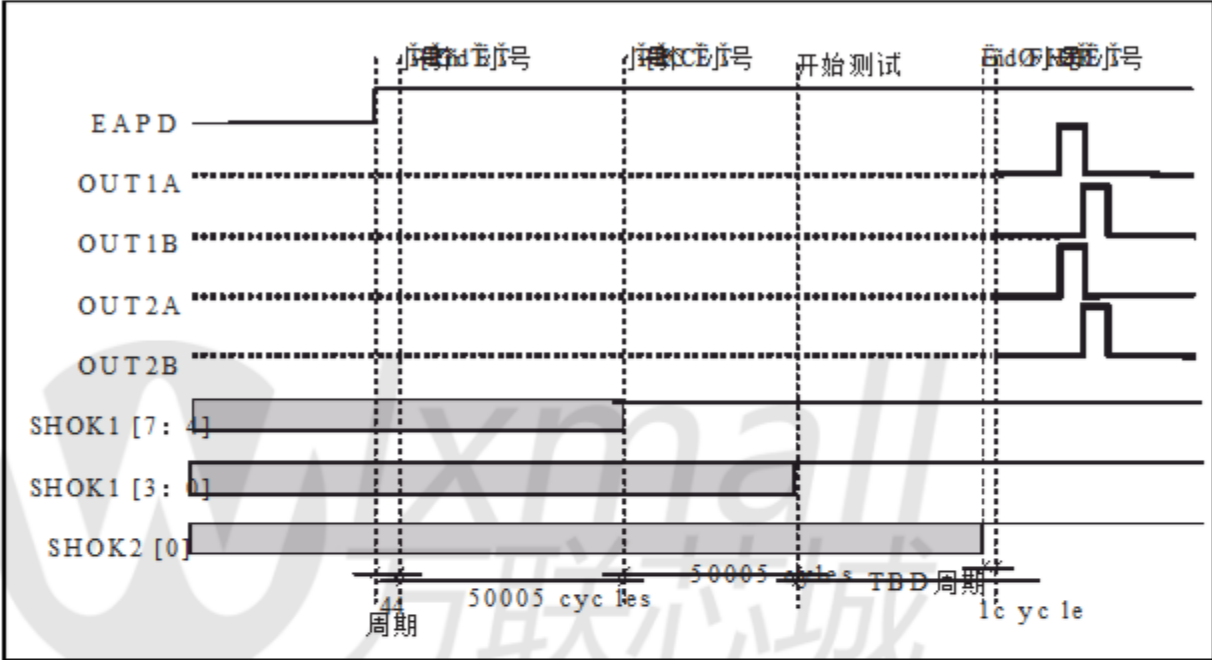
VCC SH means that OUT_{xx} is shorted to Vcc, finally OUT SH='0' means that OUT1B is 短接到OUT2A.

需要指出的是，一旦执行检查，三国放行，短保护直到下一个EAPD 0-> 1切换，这意味着短路在正常操作过程中发生的不能被检测到。

要注意的是，寄存器0x47只有在EAPD位至少设置为1后才有意义一旦。

所实施的短路保护仅在BTL配置中有效，如果需要单端应用方案，则不能激活。

图42. 短路检测时序图（未检测到短路）



在图42中显示了短路保护时序图.时间信息被表达在时钟周期中，时钟频率如7.1.1节所定义.灰色是用于SHOKx位，表示这些位正在传送前一个状态EAPD 0-> 1切换（需要注意的是，在复位之后，这个状态是没有意义的，因为没有EAPD转换发生）。GND相关的SHOK位在gnd测试结束后立即更新完成后，Vcc位在vcc测试完成后更新，SOUT位为短路输出测试完成后更新.gnd测试，vcc测试和输出测试总是运行（如果SHEN位处于活动状态且EAPD被切换为“1”），并且只有在两个测试都是成功的（不是短）桥产出离开三态（用虚线表示）数字）.如果三个测试中的一个（或全部）失败，则电源桥输出保持三态该过程重新启动一个新的EAPD切换。

在这个图中，EAPD应该是寄存器0x05的第7位。

7.21 扩展的系数范围可达-4 ... 4（地址0x49， 0x4A）

D7	D6	D5	D4	D3	D2	D1	D0	
CEXT_B4	CEXT_B4	CEXT_B3	CEXT_B3	CEXT_B2	CEXT_B2	CEXT_B1	CEXT_B1	[0]
10		10		10		1	0	

D7	D6	D5	D4	D3	D2	D1	D0	
保留的	保留的	CEXT_B7	CEXT_B7	CEXT_B6	CEXT_B6	CEXT_B5	CEXT_B5	[0]
00		10		10		1	0	

从1到7的Biquads在STA381BW中具有扩展系数范围的可能性
 从[-1;1) 到[-4;4)，允许实现可能需要的高架滤波器
 系数绝对值大于1的动态。

有三个范围可用，[-1;1) [-2; 2) [-4; 4) .默认情况下，扩展范围被激活
 每个二进制文件根据下表进行独立设置。

表169. 系数扩展范围配置

CEXT_Bx [1]	CEXT_Bx [0]	范围
00		[-1; 1)
01		[-2; 2)
10		[-4; 4)
1	1	保留的

在这种情况下，用户可以为每个滤波器阶段决定正确的系数范围.注意
 对于给定的二进制，相同的范围将应用于左侧和右侧（通道1和2）
 频道2）。

交叉biquad不具备此功能，维持[-1; 1) 范围
 不变。

7.22 其他寄存器（地址0x4B， 0x4C）

D7	D6	D5	D4	D3	D2	D1	D0
RPDNEN		BRIDGOFF			CPWMEN	保留的	
01		10		01		0	0

D7	D6	D5	D4	D3	D2	D1	D0
LPDP	LPD	LPDE	PNDLSL	2PNDLSL	1PNDLSL	01保留的	沉
01		00		11		0	0

7.22.1 速率掉电使能（RPDNEN）位（地址0x4B， 位D7）

在STA381BW中，默认情况下，关断引脚和I2C关断 作用静音
 命令来执行淡出.这个默认值可以改变，以便淡出
 开始使用主音量. RPDNEN位置位时激活此功能。

7.22.2 桥立即关闭（BRIDGOFF）位（地址0x4B，位D5）

一旦启用了PWDN功能，就会在STA381BW中启动淡出过程
经过1300万个时钟周期（PLL内部频率）后，电桥进入掉电模式
（三态模式）。也有可能改变这种行为，使电力桥梁
将在PWDN引脚接地后立即关闭，无需等待
1300万个时钟周期。BRIDGOFF位置位时激活此功能。很明显的
立即掉电会在输出端产生爆音，所以这个程序
只有在爆音与应用无关的情况下才能使用。请注意，这个功能
仅适用于硬件PWDN断言，不适用于通过IIC应用的断电
接口。如果编程不同数量的时钟周期，请参阅第7.22.5节
需要。

7.22.3 通道PWM使能（CPWMEN）位（地址0x4B，位D2）

该位置位时，在音量达到较低值时激活静音输出
比-76 dBFS。

7.22.4 外部放大器硬件引脚使能器（LPDP，LPD LPDE）位
（地址0x4C，位D7，D6，D5）

引脚42（INTLINE），通常指示故障状态，使用以下3个寄存器
设置，可以重新配置为外部耳机或线路的硬件引脚使能器
放大器。

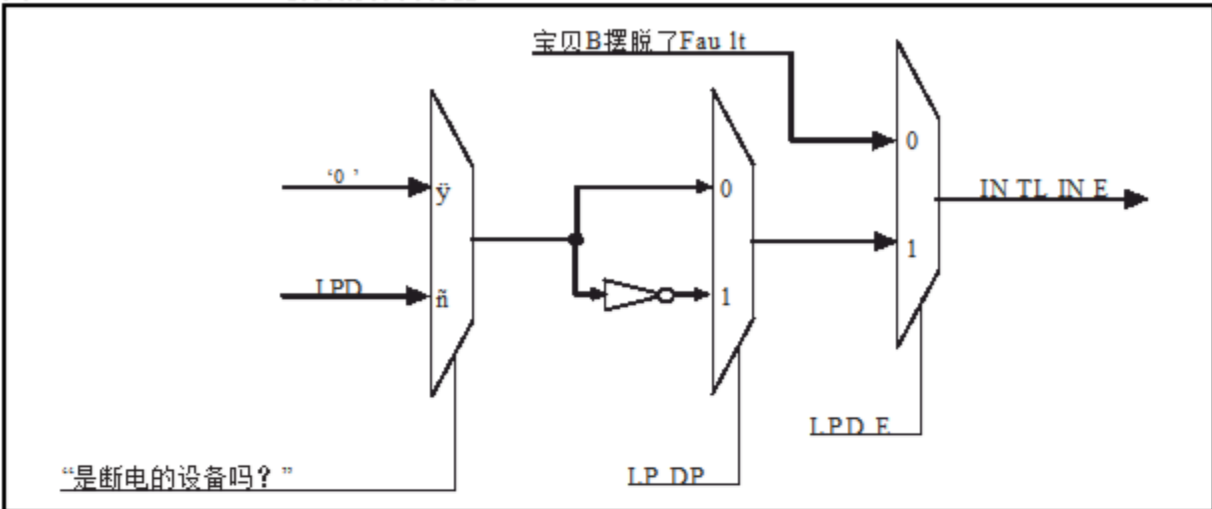
特别是LPDE位在设置时激活这个功能。因此，LPD值（0或
1）在引脚42上输出，并且在断电断言的情况下，引脚42连接到LPDP。

LPDP位置位时，将LPD值编程的值取反，请参阅
下表。

表170. 外部放大器使能器配置位

LPDP	LPD	LPDE	引脚42输出
X	X0		INT_LINE
0	01		0
0	11		1
1	01		1
1	11		0

图43. INTLINE引脚的替代功能



7.22.5 掉电延迟选择器（PNDLSL [2: 0]）位（地址0x4C，位D4，D3，D2）

根据第7.22.2节，PWDN的断言激活一个计数器，默认情况下，在13之后百万个时钟周期将电源桥置于三态模式，与淡出无关时间.使用这些寄存器可以按照以下方式对该计数器进行编程表.

表171 PNDLSL位配置

PNDLSL [2]	PNDLSL [1]	PNDLSL [2]	淡出时间
00		0	默认时间（13M PLL时钟周期）
00		1	默认时间除以2
01		0	默认时间除以4
01		1	默认时间除以8
10		0	默认时间除以16
10		1	默认时间除以32
11		0	默认时间除以64
11		1	默认时间除以128

7.22.6 短路检查使能位（地址0x4C，位D0）

该位启用后，将激活任何电源桥之前的短路检查激活（EAPD位0->1）.有关更多详细信息，请参阅7.20节.

7.23 坏的PWM检测寄存器（地址0x4D，0x4E，0x4F）

D7	D6	D5	D4	D3	D2	D1	D0
BPTH [5]	BPTH [4]	BPTH [3]	BPTH [2]	BPTH [1]	BPTH [0]	保留的	保留的
00		11		00		1	0

D7	D6	D5	D4	D3	D2	D1	D0
BP4B	BP4A	BP3B	BP3A	BP2B	BP2A	BP1B	BP1A
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
BPTIM [7]	BPTIM [6]	BPTIM [5]	BPTIM [4]	BPTIM [3]	BPTIM [2]	BPTIM [1]	BPTIM [0]
01		01		11		1	0

STA381BW对PWM输出执行检测，以验证输出信号在可配置的时间窗口中没有过零点。这个检查可以是有用的检测PWM输出中的直流电平。要注意的是，检查是在逻辑上进行的（即不是电源桥，也不是DDX3和DDX4 I/O上的PWM）。

在二元调制的情况下，检测阈值被计算为：

$$TH = [(BPTH * 2 + 1) / 128] * 100\%$$

如果测得的PWM占空比大于或等于TH超过BPTIM PWM周期，相应的PWM位将被设置在寄存器0x4E中。

在二进制调制的情况下，有两个阈值：

$$TH1 = [(64 + BPTH) / 128] * 100\%$$

$$TH2 = [(64 - BPTH) / 128] * 100\%$$

在这种情况下，如果测得的PWM占空比超出TH1-TH2范围以上BPTIM PWM周期，相应的位将被设置在寄存器0x4E中。

7.24 增强了零检测静音和输入电平测量 (地址0x50-0x54, 0x2E, 0x2F和0x5E)

D7	D6	D5	D4	D3	D2	D1	D0
WTHH	WTHL	FINETH	HSEL [1: 0]		ZMTH [2: 0]		
00		00		01		1	1

D7	D6	D5	D4	D3	D2	D1	D0
RMS_CH0 [7: 0]							
N / A	N / A	N / A	N / A	N / A	N / A	N / A	N / A

D7	D6	D5	D4	D3	D2	D1	D0
RMS_CH0 [15: 8]							
N / A	N / A	N / A	N / A	N / A	N / A	N / A	N / A

D7	D6	D5	D4	D3	D2	D1	D0
RMS_CH1 [7: 0]							
N / A	N / A	N / A	N / A	N / A	N / A	N / A	N / A

D7	D6	D5	D4	D3	D2	D1	D0
RMS_CH1 [15: 8]							
N / A	N / A	N / A	N / A	N / A	N / A	N / A	N / A

STA381BW实现基于RMS的零检测功能（在串行输入接口上）

数据）能够以非常可靠的方式检测到输入信号的存在，从而使电源电桥输出可以自动接地。

当激活时，当输入电平变小时，该功能将静音输出PWM

“阈值 - 滞后”。一旦静音，当输入电平为PWM时，PWM将被解除静音检测到大于“阈值+滞后”。

然后在寄存器0x51 - 0x52, 0x53上报告测量的电平（对于每个输入通道）

- 根据以下等式的0x54:

$$\text{Value_in_dB} = 20 * \text{Log } 10 \left(\text{Reg_value} / (2^{16} * 0.635) \right)$$

表172. 零检测阈值

ZMTH [2: 0]	等效输入电平 (dB)
0 0 0	- 7 8
0 0 1	- 8 4
0 1 0	- 9 0
0 1 1	- 9 6
1 0 0	- 10 2
1 0 1	- 10 8
1 1 0	- 11 4
1 1 1	- 11 4

表173. 零检测滞后

HSEL [1: 0]	等效输入电平滞后 (dB)
00	3
01	4
10	五
11	6

上面的阈值和迟滞表可以被覆盖，并且低级阈值
高位阈值可由MTH [21: 0]位设置。

要激活手动阈值，FINETH位必须设置为“1”。

要配置低阈值，WTHL位必须设置为1，以便进行任何写操作
MTH位将设置低阈值。

要配置低阈值，必须将WTHH位设置为1，以便进行任何写操作
MTH位将设置低阈值。

如果零静音模块没有检测到静音，则当电流有效值时将静音输出
价值低于低门槛。

如果零静音模块没有检测到静音，当电流有效值时，它将取消静音
价值超过了高门槛。



表174. 手动阈值寄存器0x2E, 0x2F和0x5E

D7	D6	D5	D4	D3	D2	D1	D0
Reserved	保留的	MTH [21:16]					
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
MTH [15: 8]							
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
MTH [7: 0]							
00		00		00		0	0

7.25 耳机/线路输出配置寄存器（地址0x55）

D7	D6	D5	D4	D3	D2	D1	D0
HPLN	保留的	静音	保留的	CPFEN	CPOK	ABFAULT	DCROK
00		10		0	NA	NA	NA

表175. 耳机/线路输出配置位

位	R / W	RST	名称	描述
7	R / W	0	HPLN	当F3X连接到内部HP / Line时 该位选择F3X->模拟输出的增益 路径。 '0': HP out. When the MVOL+Channel Vol is 0 dBfs, 一个0 dBfs的输入将在一个40 mW的输出上产生 32欧姆负载（+/- 3.3 V电源）。 '1': Line out. When the MVOL+Channel Vol is 0 dBfs, 0 dBfs输入将产生2 Vrms输出 （+/- 3.3 V电源）
5	R / W	1	静音	'1': HP/Line out muted '0': HP/Line out playing
3	R / W	0	CPFEN	'0': Charge pump auto enable when unmute '1': Charge pump is always enabled
2	[R]	NA	CPOK	'0': Charge pump is not working '1': Charge pump is working and it is OK
1	[R]	NA	ABFAULT	'0': AB类无故障 '1': Overcurrent fault detected on class-AB
0	[R]	NA	DCROK	'1': core supply OK

7.26 F3XCFG（地址0x58; 0x59）

D7	D6	D5	D4	D3	D2	D1	D0
F3XLNK	保留的	保留的	保留的	保留的	保留的	保留的	保留的
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
F3X_FAULT	保留的	保留的	F3X_SM_SLOPE			F3X_MUTE	F3X_ENA
NA	11		01		110		

表176. F3X配置寄存器1

位	R / W	RST	名称	描述
7 R	/ W	0	F3XLNK	‘0’: F3X normal control mode ‘1’: F3X mute/unmute linked to HP/Line mute

表177. F3X配置寄存器2

位	R / W	RST	名称	描述
7	[R	NA	F3X_FAULT	“0”：正常运行
4 R	/ W	0	F3X_SM_SLOPE	“000”：0 ms
3 R	/ W	1		“001”：25 ms
2 R	/ W	1		“010”：50 ms
				“011”：100 ms
			“100”：200毫秒	
			“101”：250毫秒	
				“110”：500毫秒
				“111”：1000毫秒
1	R / W	1	F3X_MUTE	“1”：Mute
0	R / W	0	F3X_ENA	“1”：F3X enable

7.27 STCompressor™配置寄存器（地址0x5A; 0x5B）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	LIM BYP	STC BYP	STC ENA	保留的	NP_CRC\$	保留的	NP_CRC-GO
00		11		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	保留的	保留的	STC_LNK	BRC_EN
00		00		00		0	0

表178. STCompressor™配置位1

位	R / W	RST	名称	描述
6	R / W	0	LIM_BYB	'0': STCompressor™DRC active '1': STCompressor™DRC is bypassed
五	R / W	1	STC_BYB	'0': STCompressor™processing activated '1': STCompressor™is in pass-through
4 R	/ W	1	STC_EN	'0': STCompressor™is switched off (no 在这种状态下可以配置) '1': STCompressor™is enabled
2	[R	0	NP_CRCRES	'1': CRC STCompressor ok '0': CRC STCompressor error
0	R / W	0	NP_CRC_GO	'1': Start CRC STCompressor compute ON '0': Idle

表179. STCompressor™配置位2

位	R / W	RST	名称	描述
1	R / W	0	STC_LNK	"0": 通道0和通道1的衰减是 独立应用 '1': Channel 0 and channel 1 attenuation are 链接，使较高的一个适用于两者 通道0和通道1
0	R / W	0	BRC_EN	'1': STCompressor band recombination enabled '0': Disabled

7.28 电荷泵同步（地址0x5F）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	CHPI	INITCNT [3: 0]			CHPRD	
00		01		10		0	1

表180 电荷泵同步配置位

位	R / W	RST	名称	描述
五	R / W	0	CHPI	0: 电荷泵相位: 0度 1: 电荷泵相位: 180度
4	R / W	1	INITCNT [3: 0]	改变电荷泵阶段在一个时钟步
3	R / W	1		
2	R / W	0		
1	R / W	0		
0	R / W	1	CHPRD	0: 与PWM帧同步的电荷泵 0: 电荷泵不与PWM帧同步

电荷泵可以与PWM帧同步，以尽量减少
串扰在电荷泵和PWM波形之间。
当PWMS位（地址0x15位D4）被设置为1时，该功能不能被激活。

7.29 系数RAM CRC保护（地址0x60-0x6C）

D7	D6	D5	D4	D3	D2	D1	D0
BQCKE [7]	BQCKE [6]	BQCKE [5]	BQCKE [4]	BQCKE [3]	BQCKE [2]	BQCKE [1]	BQCKE [0]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
BQCKE [15]	BQCKE [14]	BQCKE [13]	BQCKE [12]	BQCKE [11]	BQCKE [10]	BQCKE [9]	BQCKE [8]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
BQCKE [23]	BQCKE [22]	BQCKE [21]	BQCKE [20]	BQCKE [19]	BQCKE [18]	BQCKE [17]	BQCKE [16]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCKE [7]	XCKE [6]	XCKE [5]	XCKE [4]	XCKE [3]	XCKE [2]	XCKE [1]	XCKE [0]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCKE [15]	XCKE [14]	XCKE [13]	XCKE [12]	XCKE [11]	XCKE [10]	XCKE [9]	XCKE [8]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCKE [23]	XCKE [22]	XCKE [21]	XCKE [20]	XCKE [19]	XCKE [18]	XCKE [17]	XCKE [16]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
BOCKR [7]	BOCKR [6]	BOCKR [5]	BOCKR [4]	BOCKR [3]	BOCKR [2]	BOCKR [1]	BOCKR [0]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
BOCKR [15]	BOCKR [14]	BOCKR [13]	BOCKR [12]	BOCKR [11]	BOCKR [10]	BOCKR [9]	BOCKR [8]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
BOCKR [23]	BOCKR [22]	BOCKR [21]	BOCKR [20]	BOCKR [19]	BOCKR [18]	BOCKR [17]	BOCKR [16]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCKR [23]	XCKR [22]	XCKR [21]	XCKR [20]	XCKR [19]	XCKR [18]	XCKR [17]	XCKR [16]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCKR [23]	XCKR [22]	XCKR [21]	XCKR [20]	XCKR [19]	XCKR [18]	XCKR [17]	XCKR [16]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCKR [23]	XCKR [22]	XCKR [21]	XCKR [20]	XCKR [19]	XCKR [18]	XCKR [17]	XCKR [16]
00		00		00		0	0

D7	D6	D5	D4	D3	D2	D1	D0
XCAUTO	XCRES	XCCMP	XC GO	BCAUTO	BCCRES	BCCMP	BCCGO
00		00		00		0	0

STA381BW实现了双二进制和四进制的自动CRC计算

MDRC / XOver系数存储器.内存地址从0x00到0x27的内容将会是位异或以获得BQCHKE校验和, 而从0x28到0x31的单元将被异或获取XCCHKE校验和. 两个校验和 (24位宽) 都在I2C寄存器上输出

从0x60到0x65.校验和计算将在BCGO (biquad

RAM存储区) 或XCGO位 (对于MDRC / XOver系数) 设置为1.校验和为

如果IR位等于“01”或“10”, 则以处理采样率计算

校验和被计算为处理采样率的一半.

当BCCMP或XCCMP设置为1时, 相对校验和 (BQCHKE和XCCHKE) 为不断与BQCHKR和XCCHKR进行比较.如果校验和匹配

自己的参考值, 相应的结果位 (BCRES和XCRES) 将被设置为“0”.

如果相应的GO位未置位, 则比较位无效.

在校验和错误的情况下 (即内部计算与参考不匹配)

自动设备重置动作可以被激活. BCAUTO时启用此功能

or XCAUTO bit is set to '1'. The automatic reset bits have no effect if the respective compare bit未设置.

建议的自动重置激活过程如下:

- 下载一组系数 (RAM地址0x00 ... 0x27)
- 将外部计算的biquad校验和下载到寄存器BQCHKR中
- 通过设置BCGO位来启用双二阶系数的校验和.该校验和将开始由STA381BW及其值自动计算.暴露在寄存器BQCHECKE上.校验和值被计算和更新.
- 通过设置BCCMP位来启用校验和比较.内部计算校验和将开始与参考值进行比较, 结果将会是暴露在BCRES位上.以下操作将在每个音频上执行帧:

如果 ((BQCHKE == BQCHKR))

```
{
    BC_RES = 0; // 校验和正常, 重置错误位
}
```

其他

```
{
    BC_RES = 1; // 检测到校验和错误, 设置错误位
}
```

- 等到BCRES位变为0, 表示校验和结果位已经开始更新, 一切都很好.此操作超时 (例如> 1 ms) 将指示校验和失败, MCU将处理这个事件.
- 通过设置BCAUTO, 在发生校验和错误的情况下启用设备的自动复位位. BCRES位将由STA381BW自动检查音频帧, 并且复位事件将在校验和不匹配的情况下被触发.
- 定期检查BC_RES状态.值为1表示校验和发生了不匹配, 因此器件经历了一个复位周期.

前面的例子是用于二进制CRC库的计算, 但它可以很容易扩展到MDRC / XOver CRC计算.

7.30 MISC3（地址0x6E）

D7	D6	D5	D4	D3	D2	D1	D0
保留的	保留的	保留的	保留的	保留的	SRESET	保留的	保留的
00		00		00		0	0

表181 杂项注册3

位	R / W	RST	名称	描述
2	R / W	0	SRESET	“0”：正常运行 “1”：reset the device

SRESET写入后，最后一个IC应答被跳过，EAPD位（寄存器0x16位D7）设置为1，而不是硬件复位后得到的0默认值。

7.31 MISC4（地址0x7E）

D7	D6	D5	D4	D3	D2	D1	D0
S MAP	保留的	保留的	保留的	保留的	保留的	保留的	保留的
10		00		00		0	0

表182 MISC4

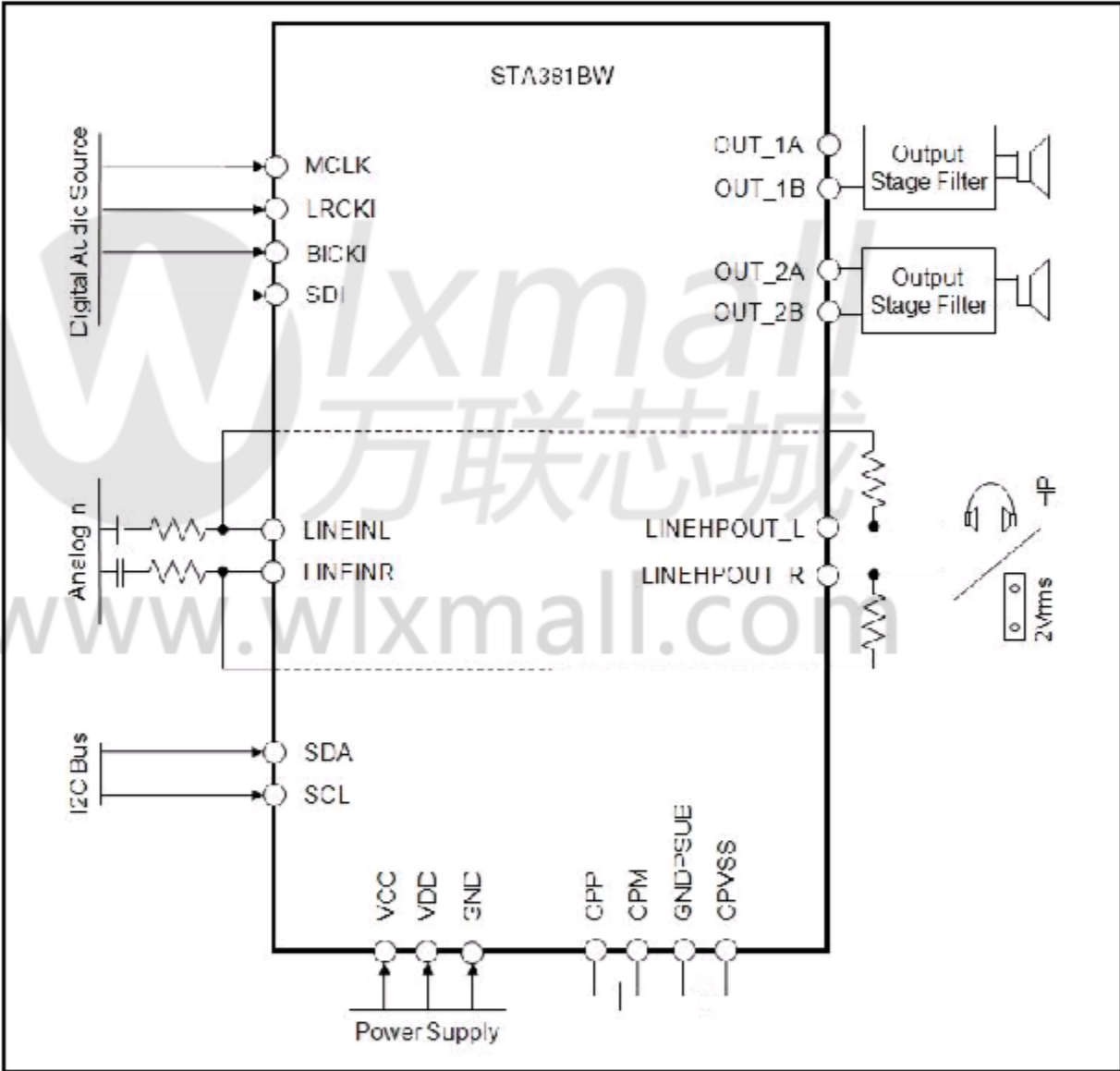
位	R / W	RST	名称	描述
71			S MAP	“1”：NEWMAP “0”：STMAP

8 应用

8.1 应用方案

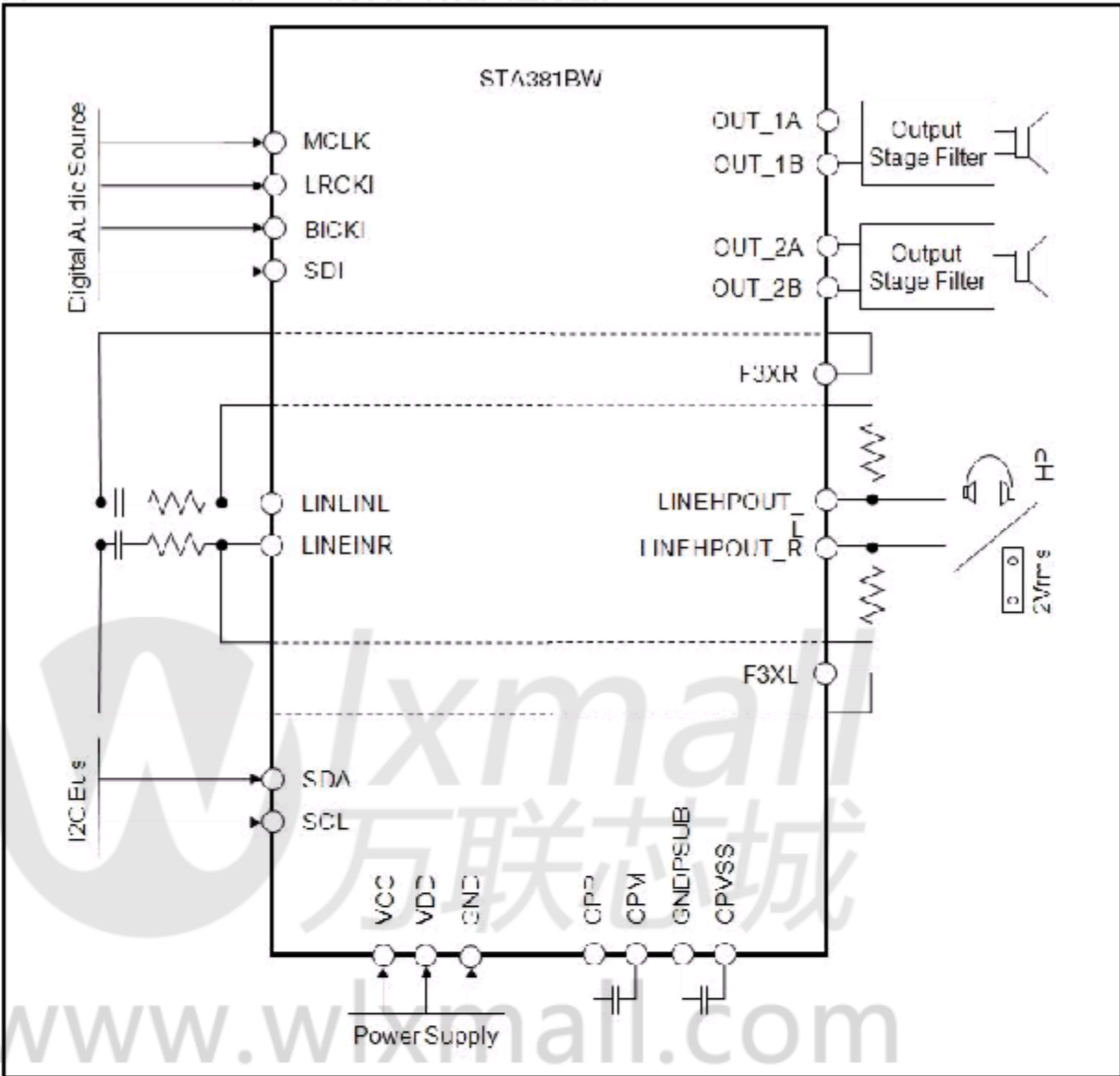
下图说明了STA381BW的典型应用方案.该
线路/耳机输出可以用外部模拟信号源（图44）或用
F3X输出，允许音频内容来自两个数字接口
功率输出和线路/耳机输出（图45）.不管LINEINx引脚如何
输入，F3Xx输出可以连接到一个外部放大器作为辅助模拟
输出（图46）. F3X音频内容由设备数字音频接口提供.

图44. 外部音频源线/耳机输出应用程序方案



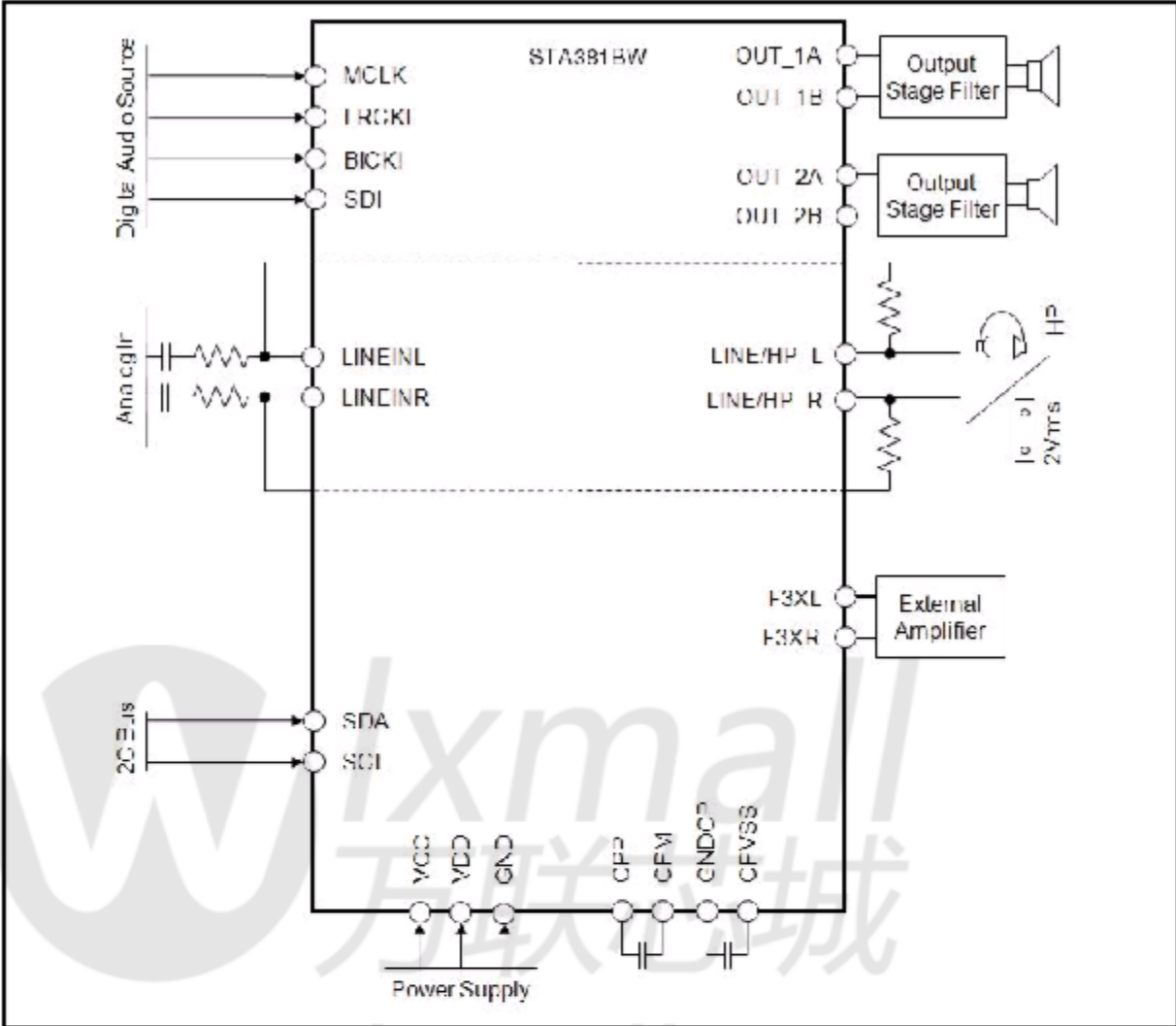
注意： 更多信息请参考应用笔记AN3959 2.0通道演示
基于STA381BW和STA381BWS的板卡.

图45. F3X (从SAI) 源到线/耳机输出应用程序



注意：更多信息请参考应用笔记AN3959 2.0通道演示
基于STA381BW和STA381BWS的板卡。

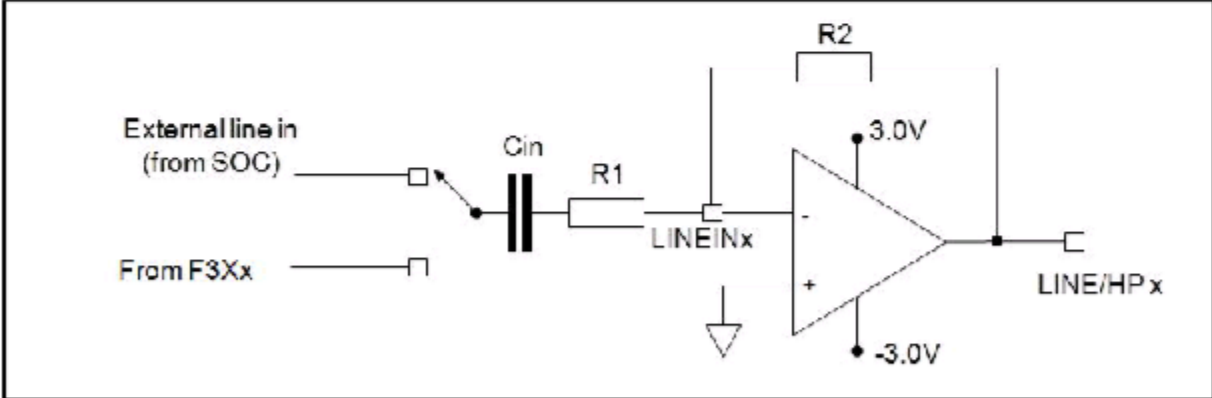
图46. F3X辅助模拟输出



注意：更多信息请参考应用笔记AN3959 2.0通道演示基于STA381BW和STA381BWS的板卡。

8.2 耳机和2 Vrms线

图47. 耳机和线路输出框图



注意：更多信息请参考应用笔记AN3959 2.0通道演示基于STA381BW和STA381BWS的板卡。

除了数字输入到电源输出路径，线路输入到耳机/ 2Vrms线路
路径提供.耳机和线路输出框图如图47所示
整体增益由外部电阻R1和R2决定：

增益= $R2 / R1 * 2$

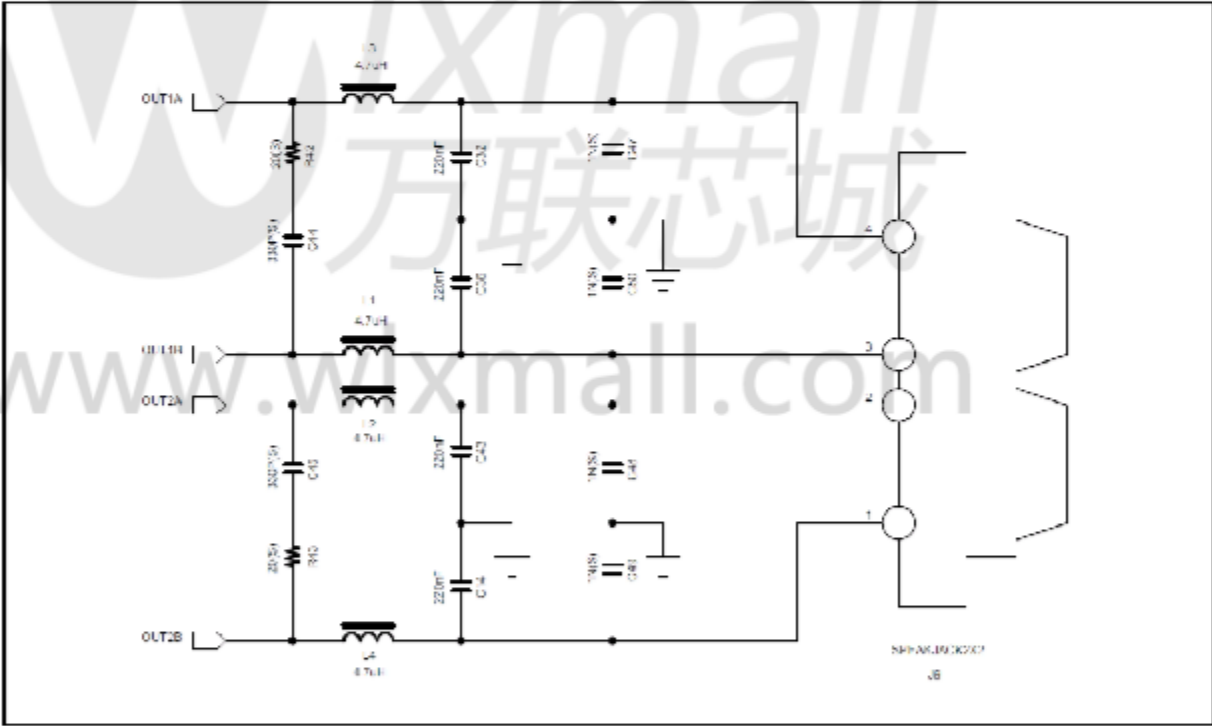
LINEINR / LINEINL引脚可以连接到或连接到外部线路
F3XL / F3XR引脚，如图44和图45所示.感谢后一个选项
可能路由电源和线路上的数字输入（SAI）内容
输出/耳机输出.

注意：耳机的电荷泵和线路输出不能驱动纯电容负载。
请参考AN3959（基于STA381BW和2.0的通道演示板）
STA381BWS）了解有关耳机和线路输出滤波的详细信息。

8.3 典型的输出配置

图48显示了用于BTL立体声模式的典型输出配置.请参阅
到推荐输出的所有其他原理图的应用笔记
组态.

图48. 滤光片配置中的立体声BTL模式的输出配置



注意：更多信息请参考应用笔记AN3959 2.0通道演示
基于STA381BW和STA381BWS的板卡。

9 包信息

为了达到环保要求，ST提供这些设备的不同档次
 ECOPACK® 包装，取决于他们的环保要求。ECOPACK®
 规格，等级定义和产品状态可在www.st.com上获得。
 ECOPACK® 是ST商标。

图49. VQFN48 (7 x 7 x 0.9 mm) 封装外形

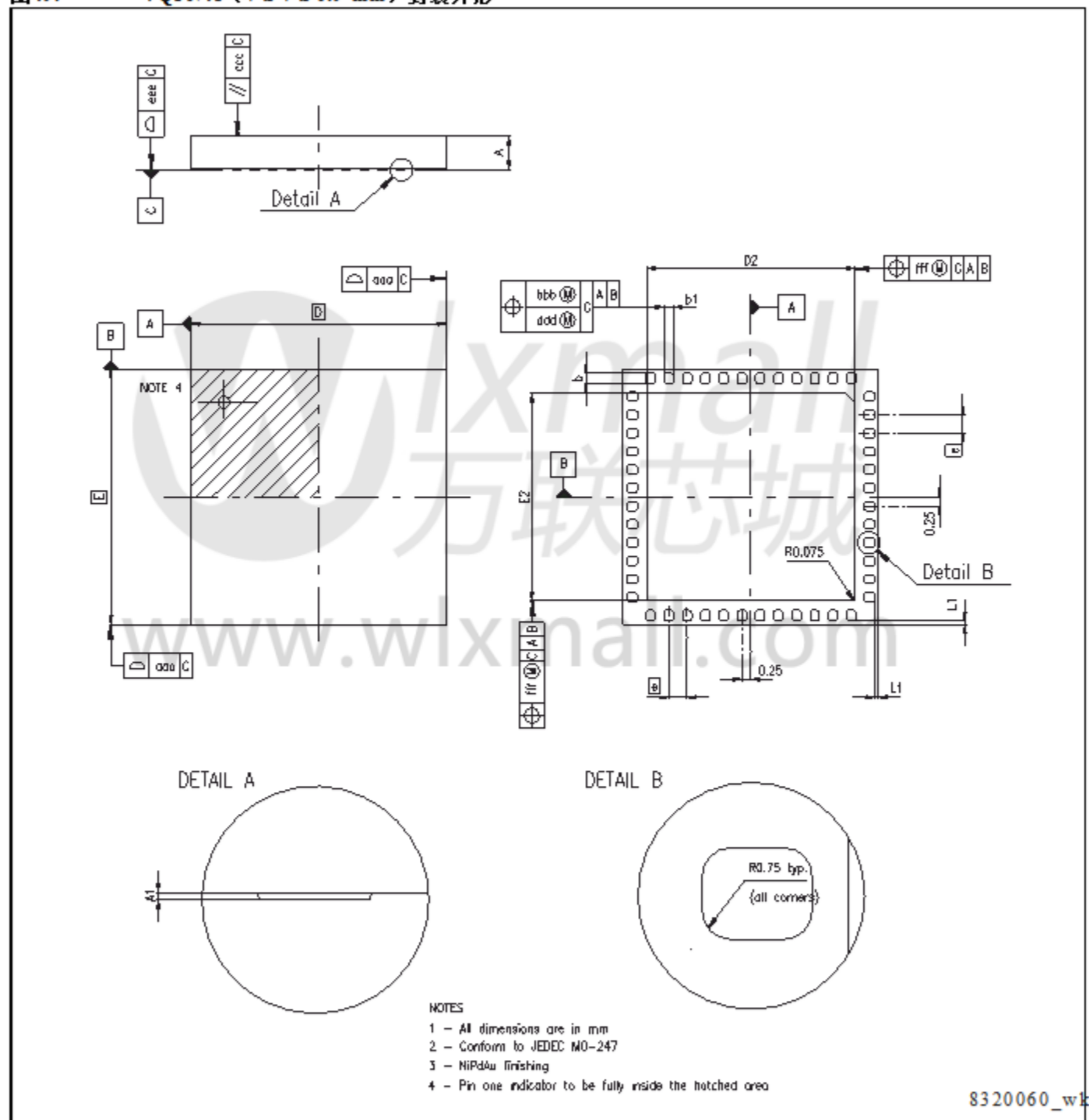


表183. VQFN48 (7 x 7 x 0.9 mm) 封装尺寸

参考	毫米		
	闵.	典型.	马 克 斯
一个	0.80	0.90	1.00
A1	0		0.05
d	6.90	7.00	7.10
D2	5.65	5.70	5.75
Ē	6.90	7.00	7.10
E2	5.65	5.70	5.75
b	0.25	0.30	0.35
B1	0.20	0.25	0.30
e (焊盘间距)		0.50	
L1	0.05		0.15
A A A		0.15	
B B B		0.10	
D D D		0.05	
E E E		0.08	
F F F		0.10	
CCC		0.10	

10 修订记录

表184 文档修订历史

日期	调整	变化
08月 2011	1	初始发行
6月28日, 2011	2	删除了TQFP64包选项
02九月2011	3	添加了图44,45,46,47,48和48的注释 第8.2节: 引用AN3959的耳机和2 Vrms线路输出
20日 - 12月2011	4	更新图1中引脚32和33的名称: 方框图, 图2: 引脚连接 VQFN48 (顶视图) 和表2: 引脚列表 文档从初步到完整的数据表
17 - 2012	五	在表3和表5中增加了“VDD3V3CHP” 表7更新了脚注 将表100中的地址37和38的寄存器名称更新为“SVUP”和“SVDN” 更新表46和表121中的文字: PWM速度模式 更新了第102页的2.0通道, 两个全桥 (OCFG = 00) 更新了2.1个通道, 两个全桥+一个外部全桥 (OCFG = 10) 第120页 更新了表152中的高通滤波器 对第7.17节EQ软件卷配置寄存器 (地址: 0x37 - 0x38)
20月 2012	6	在表7中 增加了过压保护阈值 (VOV): 电气规格 - 功率部分
03 - 8 - 2012	7	从数据手册中删除了关于“时钟丢失时的自动EAPD”的ECLE位和部分 更新了表14: 默认寄存器映射表: 第42页的NEW MAP 更新了表100: 第103页的I2C寄存器汇总 更新了第6.32节: 增强型零检测静音和输入电平测量 (地址0x61-0x65, 0x3F, 0x40, 0x6F) 新增表90: 第95页上的手动阈值寄存器0x3F, 0x40和0x6F 第98页上添加了第6.36节: 电荷泵同步 (地址0x70) 补充表98: 第98页上的电荷泵同步配置位 更新了第7.24节: 增强型零检测静音和输入电平测量 (地址0x50-0x54, 0x2E, 0x2F和0x5E) 增加了表174: 第157页上的手动阈值寄存器0x2E, 0x2F和0x5E 第160页上增加了第7.28节: 电荷泵同步 (地址0x5F) 增加了表160: 电荷泵同步配置位

请仔细阅读：

本文档中的信息仅供ST产品使用.意法半导体公司及其附属公司（“ST”）保留所有权利
对本文档以及此处所述的产品和服务进行更改，更正，修改或改进的权利
时间，恕不另行通知。

所有ST产品均按照ST的销售条款和条件进行销售。

购买者全权负责选择，选择和使用本文所述的ST产品和服务，ST承诺不会
与本文所述ST产品和服务的选择，选择或使用相关的责任。

根据本文档，不得以禁止反言或以其他方式明示或暗示授予任何知识产权.如果这个的任何部分
文件是指任何第三方产品或服务，不得被视为ST授权使用此类第三方产品的许可
或服务或其中包含的任何知识产权，或作为保证涵盖以任何方式使用的保证
第三方产品或服务或其中包含的任何知识产权。

除非在ST的条款和条件中另有规定ST否认不做任何明示或暗示
有关使用和/或销售ST产品的担保，包括但不限于默示
适销性，适用于特定用途的保证（及其在法律下的等同性
任何司法管辖权），或侵犯任何专利，版权或其他知识产权。

除非两家授权的ST代表书面明确批准，ST产品不是
建议，授权或担保用于军事，航空工程，空间，救生或维持生命
应用，或在产品或系统中发生故障或故障可能导致人身伤害，
死亡或严重的财产或环境损害。ST产品没有被指定为“汽车
“等级”只能在用户自行承担风险的情况下在汽车应用中使用。

ST产品的转售与本文件中陈述和/或技术特征不同的条款将立即失效
ST为ST产品或服务所授予的任何保证，不得以任何方式创建或延伸任何
ST的责任。

ST和ST标志是ST在各个国家的商标或注册商标。

本文档中的信息取代以前提供的所有信息。

ST标志是意法半导体的注册商标.所有其他名称是其各自所有者的财产。

©2012意法半导体 - 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克 - 芬兰 - 法国 - 德国 - 香港 - 印度 - 以色列 - 意大利 - 日本 -
马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美利坚合众国

www.st.com

