

FM24C64B

64Kb 串行5V F-RAM存储器

RAMTRON

特征

64K位铁电非易失性RAM

- 组织为8,192 x 8位
- 高耐力1万亿 (10¹²) 读写
- 38年数据保留期
- NoDelay™写入
- 先进的高可靠性铁电过程

快速的两线串行接口

- 最高总线频率高达1 MHz
- 直接硬件替换EEPROM
- 支持100 kHz和400 kHz的传统时序

低功耗操作

- 5V操作
- 100 μ A有功电流 (100 kHz)
- 4 μ A (典型值) 待机电流

行业标准配置

- 工业温度 -40 °C至+ 85°C
- 8引脚“绿色”/ RoHS SOIC (-G)

描述

FM24C64B是一款64位非易失性存储器

采用先进的铁电过程.一个

铁电随机存取存储器或FRAM

非易失性并执行读写操作

内存.它提供38年的可靠数据保留

同时消除复杂性, 开销和系统级别可靠性问题

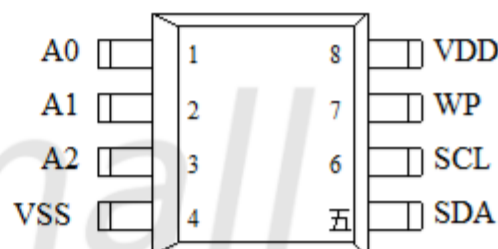
EEPROM和其他非易失性存储器.

FM24C64B在总线上执行写操作速度.不会发生写入延迟.数据被写入已经存在的循环中的存储器阵列成功转移到设备.下一班车循环可以立即开始, 而不需要用于数据轮询. FM24C64B有能力支持10¹²个读写周期, 或一百万次写入周期多于EEPROM.

这些功能使FM24C64B成为理想之选.非易失性存储器应用需要频繁使用或快速写入.示例范围从数据收集写周期的数里可能很关键.要求长期编写的工业控制EEPROM的时间会导致数据丢失.该功能组合允许更频繁的数据以较少的系统开销写入.

FM24C64B为用户提供了实质性的好处的串行EEPROM, 但这些好处可在英寸一个硬件替代品. FM24C64B是采用工业标准8引脚SOIC封装并使用熟悉的双线协议.该规格保证在工业上温度范围为-40°C至+ 85°C.

引脚配置



别名	功能
A0-A2	设备选择地址
SDA	串行数据/地址
SCL	串行时钟
WP	写保护
VSS	地面
VDD	电源电压

订购信息

FM24C64B-G	“绿色”/ RoHS 8引脚SOIC
FM24C64B-GTR	“绿色”/ RoHS 8引脚SOIC, 磁带和卷轴

这是一个具有固定目标规格但是是主题的产品
改变未决的特征结果.

1.3版
2011年2月

Ramtron国际公司
1850 Ramtron Drive, Colorado Springs, CO 80921
(800) 545-FRAM, (719) 481-7000

www.ramtron.com

第1页, 共12页

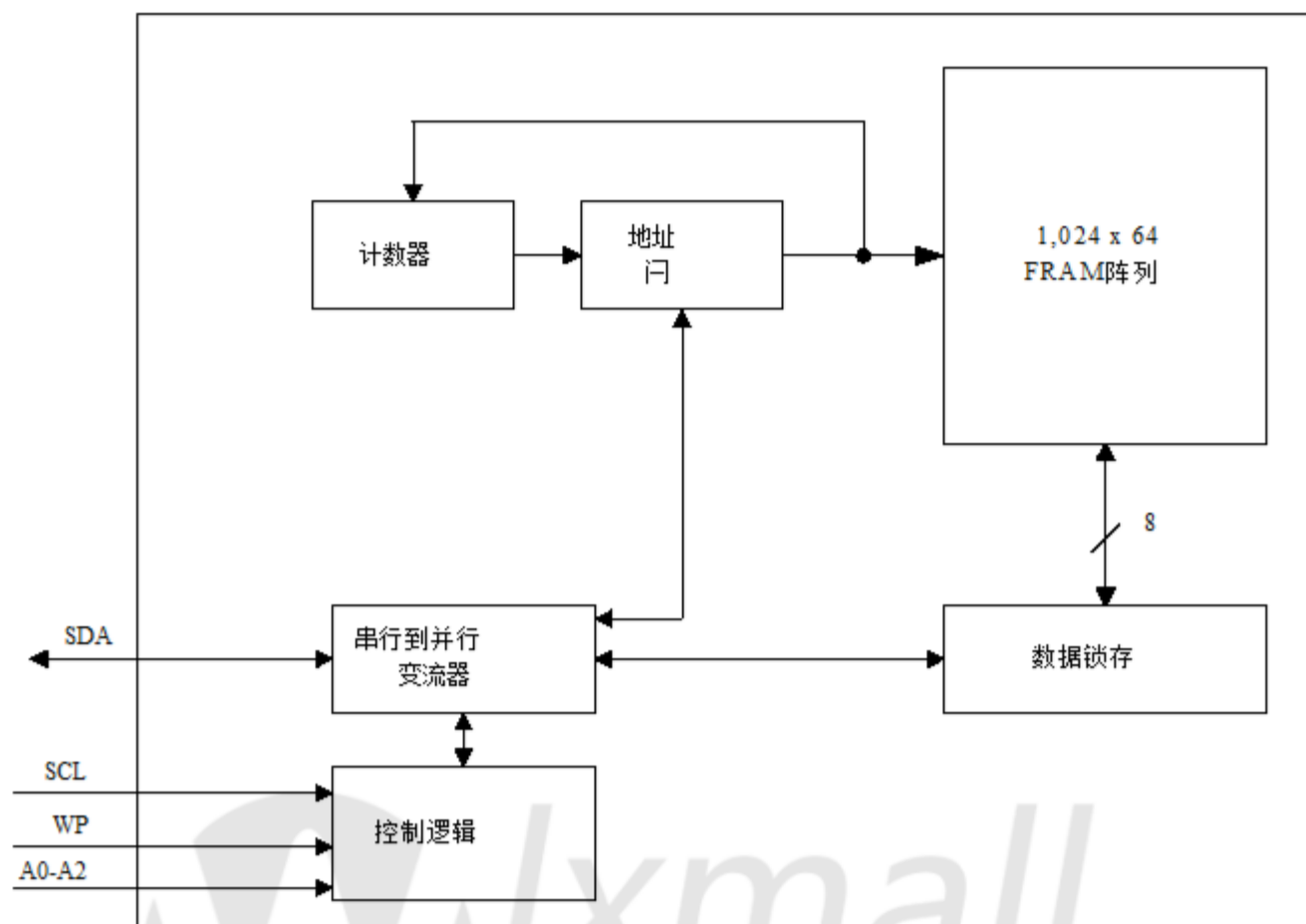


图1. FM24C64B框图

引脚说明

引脚名称	I/O	引脚说明
A0-A2	输入	地址2-0: 这些引脚用于选择最多8个相同类型的设备中的一个相同的双线总线. 要选择器件, 三个引脚上的地址值必须相同. 匹配设备地址中包含的相应位. 地址引脚是在内部拉下来.
SDA	I/O	串行数据地址: 这是一个用于移位串行数据和地址的双向引脚. 用于双线接口. 它采用漏极开路输出, 与双线总线上的其他设备进行或运算. 输入缓冲区包含一个施密特触发器具有抗噪声能力, 输出驱动器包含用于下降的斜率控制边缘. 需要一个上拉电阻.
SCL	输入	串行时钟: 双线接口的串行时钟输入. 数据从计时输出. 器件处于SCL下降沿, 并在SCL上升沿时钟输入. SCL输入还包含一个施密特触发器输入以提高抗噪声能力.
WP	输入	写保护: 当WP为高电平时, 逻辑的上象限中的地址内存映射将被写保护. 允许写入访问权限到较低的三层, 地址空间的四分之一. 当WP低时, 可以写入所有地址. 这个引脚被内部拉下.
VDD	供应	电源电压: 5V
VSS	供应	地面

概观

FM24C64B是一个串行FRAM存储器.该存储器阵列在逻辑上组织为8,192 x 8位内存阵列,并使用行业进行访问标准的双线接口.功能操作FRAM与串行EEPROM类似.专业FM24C64B和串口之间的区别具有相同引脚的EEPROM与其优越性相关写性能.

内存架构

当访问FM24C64B时,用户地址8,192个位置,每个位置有8个数据位.这些数据位串联移位.8,192个地址被访问使用双线协议,其中包括一个从站地址(以区别于其他非内存设备)和一个扩展的16位地址.只有较低的13位被解码器用于访问记忆.高三位地址位应该是为了与更大的设备兼容,设置为0未来.

内存以速度读取或写入双线总线.不像EEPROM,它不是有必要轮询设备以使其处于可用状态.因为写入发生在总线速度.那就是,到时候了新巴士交易可以转移到部分, a 写操作完成.这在更多的解释下面的界面部分详细介绍.

用户可以期待几个明显的系统优势来自FM24C64B由于其快速写入周期和与EEPROM相比具有较高的耐用性.但是也有不太明显的好处.对于例如在高噪声环境下,快速写入操作不易受腐败的影响EEPROM,因为它很快完成.相比之下,需要毫秒写入的EEPROM是在周期的大部分时间内易受噪音影响.

请注意, FM24C64B不包含电源管理电路以外的简单内部上电复位.这是用户的责任确保VDD在数据表容差范围内防止误操作.

双线接口

FM24C64B采用双向双线总线协议使用几个引脚和小板空间.图2显示了一个典型的系统配置在基于微控制器的基础上使用FM24C64B系统.行业标准的双线总线是很多用户都很熟悉,但在本节中进行了介绍.

按照惯例,任何正在向其发送数据的设备总线是发射器,而目标器件是这个数据就是接收者.正在控制的设备巴士是主人.主人负责为所有操作生成时钟信号.任何正在被控制的总线上的设备是从设备. FM24C64B总是一个从设备.

总线协议由过渡状态控制SDA和SCL信号.有四个条件:开始,停止,数据位和确认.图3说明指定四个的信号条件状态.详细的时序图如图所示电气规格部分.

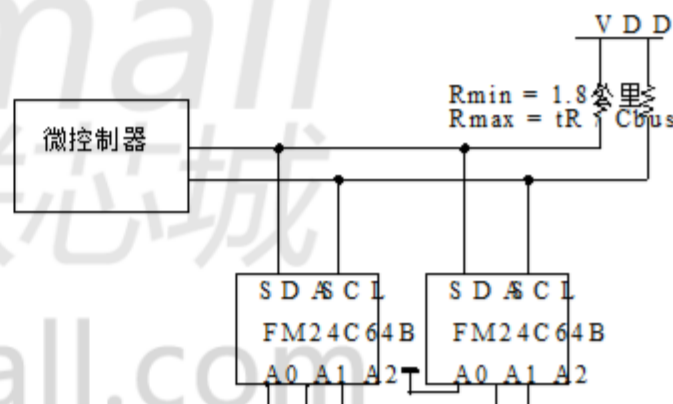


图2.典型的系统配置

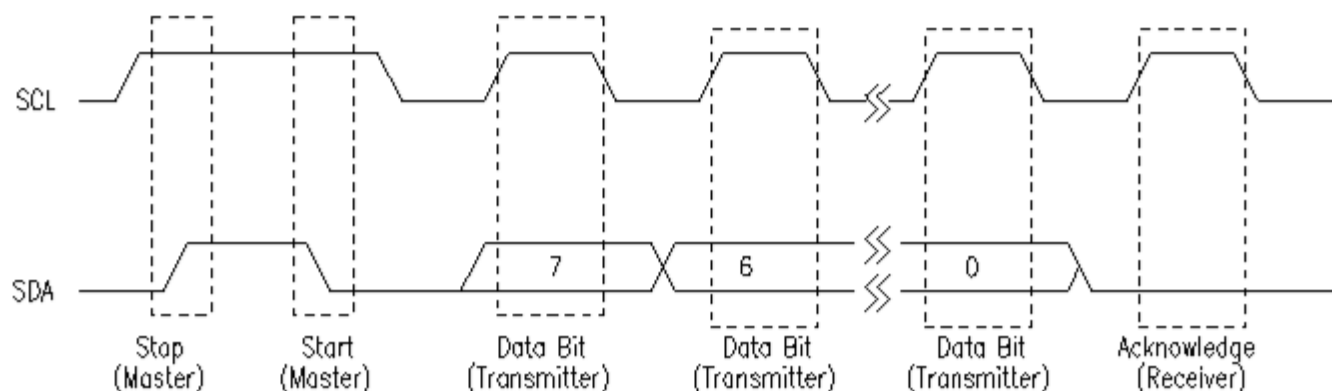


图3.数据传输协议

停止条件

总线主控器指示停止条件

在SCL信号为低电平时将SDA从低电平驱动至高电平。所有操作必须以停止条件结束。

如果一个操作正在挂起，当一个停止被声明时，操作将被中止。主人必须拥有控制SDA（不是存储器读取）以便断言停止条件。

开始条件

当总线主站发出启动条件时

在SCL信号为高电平时，将SDA从高电平驱动至低电平。所有读写事务都以a开头。

开始条件。正在进行的操作可以通过在任何时候断言启动条件而中止。

使用开始条件中止操作将会准备好FM24C64B进行新的操作。

如果在运行过程中电源电压降低到指定的V_{DD}最小值，系统应该发出一个在执行另一个操作之前启动条件。

数据/地址传输

所有数据传输（包括地址）都会发生而SCL信号为高电平。除了两者之外，条件如上所述，SDA信号应该在SCL高时不变。

确认

确认发生在第8个数据位之后

已经在任何交易中转移。在这

说明变送器应该释放SDA总线

允许接收器驱动它。接收机驱动

SDA信号为低以确认接收到字节。

如果接收器不将SDA驱动为低电平状态，是否确认并且操作被中止。

接收器可能无法确认两个

不同的原因。首先，如果字节传输失败，

确认结束当前的操作，以便于

设备可以再次寻址。这允许最后一个

在发生a事件时要恢复的字节

通信故障。其次也是最常见的，

接收方不会确认数据

故意结束一项行动。例如，在一个

读操作，FM24C64B将继续

只要接收器发送数据就可以将数据放到总线上

承认（和时钟）。当进行读取操作时

是完整的，不需要更多的数据，接收器

不得确认最后一个字节。如果接收器

确认最后一个字节，这将导致

FM24C64B试图在下一个驱动总线

时钟，而主人正在发送新的命令

如停止命令。

从站地址

FM24C64B在a后的第一个字节

起始条件是从机地址。如图所示

图4，从地址包含从机ID

（设备类型），设备选择地址位，以及a

该位指定事务是读取还是事务

写。位7-4定义设备类型并且必须是

设置为FM24C64B的1010b。这些位允许

其他类型的功能类型驻留在2线上

总线在相同的地址范围内。比特3-1是

选择位相当于片选

位。它们必须匹配相应的值

外部地址引脚来选择器件。取决于

八个FM24C64B可以驻留在同一根双线上

总线分配一个不同的地址给每个。位0是

读/写位。A 1表示读取操作，

0表示写入。

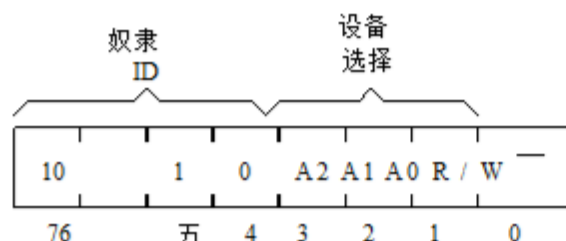


图4.从地址

寻址概述

FM24C64B（作为接收器）确认后设备地址，主设备可以放置内存并在总线上进行写入操作。地址需要两个字节。第一个是MSB（高位字节）。由于该器件只使用13个地址位，所以该值上面三位是不在乎的。之后MSB是其余的LSB（低位字节）八个地址位。地址值被锁存内部。每个访问都会导致锁定的地址值自动增加。目前地址是锁存器中保存的值，即a新写入的值或最后一个地址访问。目前的地址将会保留电源保持不变或直到写入新值。读始终使用当前地址。随机阅读地址可以通过开始写入操作来加载如下所述。

传输完每个数据字节之后和之前确认，FM24C64B递增内部地址锁存器。这允许下一个顺序字节被访问，不需要额外的寻址。外部。到达最后一个地址（1FFFh）后，地址锁存器将翻转到0000h。没有限制可以使用的字节数。一次读或写操作。

数据传输

在地址信息已被发送之后，总线主站和总线之间的数据传输FM24C64B可以开始。对于读取操作，FM24C64B将在总线上放置8个数据位等待主人的确认。如果确认发生，FM24C64B将转移下一个连续的字节。如果确认不是发送，FM24C64B将结束读取操作。对于一个写操作，FM24C64B将接受8个数据来自主机的位，然后发送确认。所有数据传输均发生MSB（最高有效位）第一。

内存操作

FM24C64B旨在以某种方式运行非常类似于其他2线接口存储器产品。主要区别在于更高性能的FRAM写入能力技术。这些改进导致了一些FM24C64B和类似的差异。组态EEPROM中写道。该完成对写入和读取的操作下面解释。

写操作

所有写入都以设备地址开头，然后是a内存地址。总线主控制器指示写入通过设置设备地址的LSB进行操作。到0之后，总线主机发送每个数据字节到存储器和存储器产生一个确认条件。任何数目的可能会写入连续的字节。如果结束了地址范围是在内部到达的地址。计数器将从1FFFh换到0000h。

与其他非易失性存储器技术不同，FRAM没有写延迟。整个内存周期的发生时间少于单个总线时钟。因此，任何操作，包括读取或写入后可能会立即发生写入。确认轮询，一种使用的技术EEPROM来确定写入是否完成不必要的，并将始终返回准备好条件。

在内部，实际的内存写入发生在第8个数据位被传送。它会在以前完成确认已发送。因此，如果用户希望在不改变内存的情况下中止写入内容，这应该使用开始或停止完成条件之前的第8个数据位。FM24C64B不使用页面缓冲。

存储器阵列的部分可以被写保护使用WP引脚。将WP引脚拉高（VDD）将在上象限中写保护地址从1800h到1FFFh。FM24C64B不会确认写入受保护的数据字节地址。另外，地址计数器不会如果尝试写入这些地址，则增加。将WP拉低（VSS）将禁用此功能。WP不应该浮动。

图5和图6说明了一个单字节和多字节写入的情况。

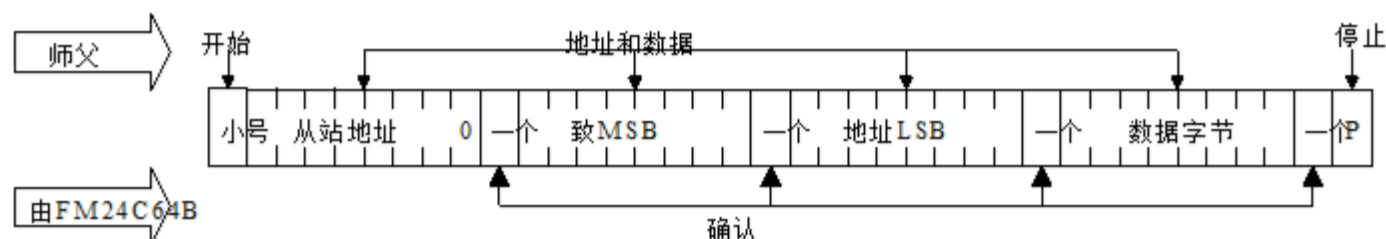


图5.字节写入

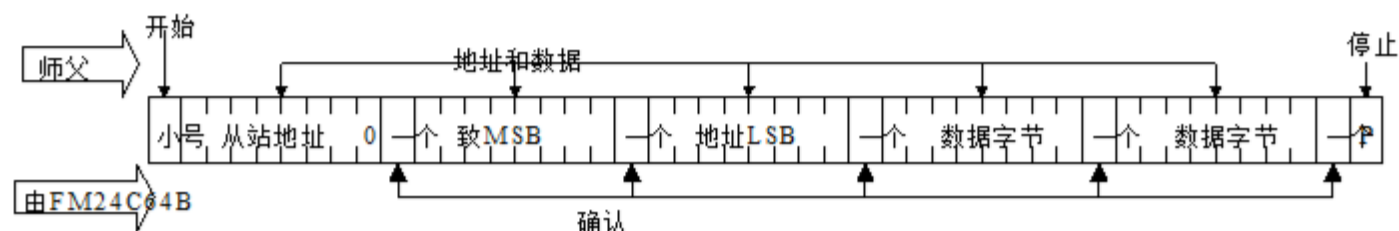


图6.多字节写入

阅读操作

有两种基本类型的读取操作.他们是当前地址读取和选择性地址读取.在当前地址读取, FM24C64B使用内部地址锁存器来提供地址.在一个选择性阅读, 用户执行一个程序来设置该地址为特定的值.

当前地址和顺序读取

FM24C64B使用内部锁存器来供电.读取操作的地址.读取当前地址.使用地址锁存器中的现有值作为a.读取操作的起始位置.系统从紧随其后的地址读取最后的操作.

执行当前地址读取, 总线主控提供一个LSB 设置为1的设备地址.指示请求读取操作.后接收 该 完成 设备 地址, 该

FM24C64B将开始移出数据.下一个时钟的当前地址.当前地址是内部地址锁存器中保存的值.从当前地址开始, 总线主站可以读取任意数值的字节.因此, 顺序读取简单地就是用多个字节读取的当前地址传输.每个字节后内部地址计数器将会增加.

每次总线主机确认一个字节时, 这个表示FM24C64B应该读出下一个连续字节.

有四种方法可以正确终止读取操作.未能正确终止读取意愿可能会造成FM24C64B的总线争夺.试图读出总线上的附加数据.该四个有效的方法是:

1. 总线主控人员发出一个不承认的消息.第9个时钟周期, 第10个时钟周期 停止.这在图7-9中示出.这是首选方法.
2. 公交车高手发出一个不承认的信号.第9个时钟周期和第10个开始.总线主人在第9个时钟 停止 周期.
4. 公交车大师在第9个时钟发车周期.

如果内部地址达到1FFFh, 它将包装在下一个读周期中大约到0000h.图7和图8显示了当前地址读取的正确操作.

选择性(随机)阅读

有一个简单的技术, 允许用户选择一个随机地址位置作为起点.进行读取操作.这涉及到使用第一个一个写操作的三个字节来设置内部地址, 随后进行后续读取操作.

为了执行选择性读取, 总线主设备发送出去LSB设为0的设备地址.指定一个写操作.据写道协议, 总线主机然后发送地址字节.加载到内部地址锁存器中.后FM24C64B确认地址, 总线

掌握一个开始条件.这同时
放弃写入操作并允许读取
命令与设备地址LSB一起发出

设置为1.该操作现在是当前地址
读.

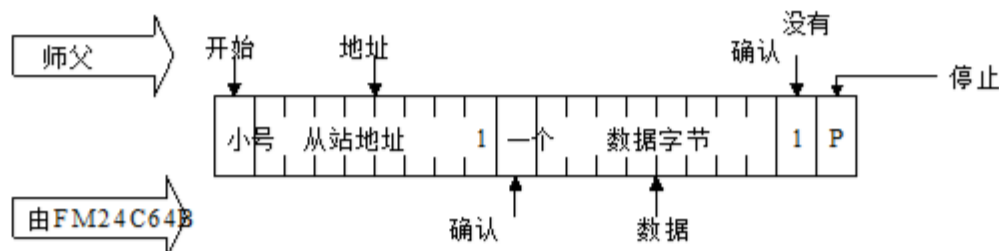


图7.当前地址读取

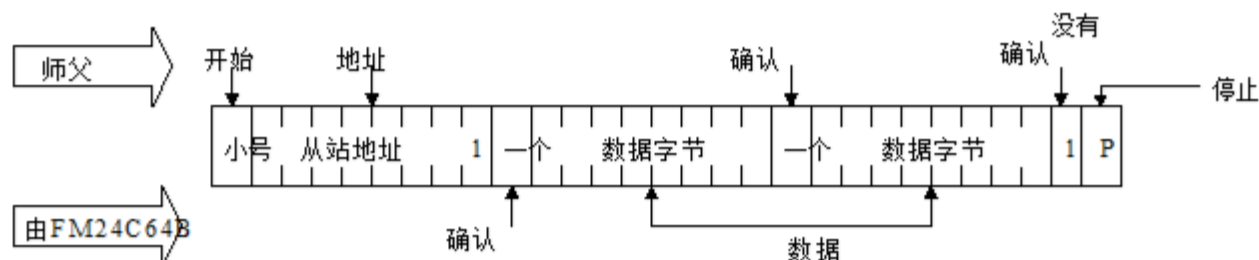


图8.顺序读取

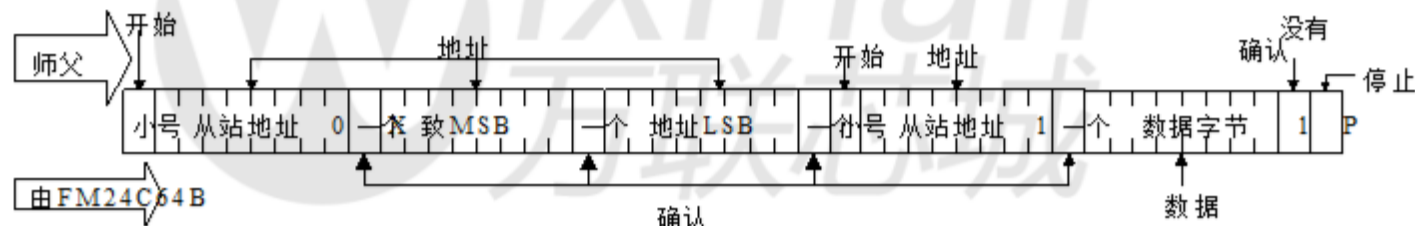


图9.选择性(随机)读取

耐力

FM24C64B内部使用读和写操作
恢复机制.因此,耐力循环是
适用于每个读取或写入周期.记忆
架构基于一系列行和
列.每个读或写访问都会导致一个
整个行的耐力循环.在FM24C64B中,
一行是64位宽.每个8字节边界标记

新行的开始.耐力可以
通过确保频繁访问的数据进行优化
位于不同的行.无论如何,FRAM阅读
并且耐力的写作实际上是无限的
1MHz的两线速度.即使每次访问3000次
第二个到同一个细分市场,10年时间会
在1万亿次耐力周期发生之前就已经过去了.

电气规格

绝对最大额定值

符号	描述	评级
V DD	电源电压相对于V SS	-1.0V至+ 7.0V
V IN	任何信号引脚上的电压相对于V SS	-1.0V至+ 7.0V 和V IN < V DD + 1.0V *
T STG	储存温度	-55°C至+ 125°C
T LEAD	引线温度 (焊接, 10秒)	260 °C
V ESD	静电放电电压 - 人体模型 (AEC-Q100-002 Rev. E) - 充电设备型号 (AEC-Q100-011 Rev. B) - 机器型号 (AEC-Q100-003修订版E)	为4 k V 1.25 kV 200V
	包装湿度敏感度等级	MSL-1

*例外: “V IN < V DD + 1.0V”限制不适用于SCL和SDA输入。
强调超出上述绝对最大额定值可能会导致器件永久性损坏. 这是一个压力评级
以及在这些或任何其他高于操作部分所列条件的设备的功能操作
这个规范不是暗示的. 长时间暴露于绝对最大额定值条件可能会影响设备
可靠性.

直流工作条件 (T A = -40 °C至+ 85°C, V DD = 4.5V至5.5V, 除非另有说明)

符号	参数	敏	典型	马克斯	单位	笔记
V DD	主电源	4.5	5	5.5	V	
I DD	VDD电源电流 @ SCL = 100 kHz @ SCL = 400 kHz @ SCL = 1 MHz			100 200 400	μA μA μA	1
I SB	待机电流		4	10	μA	2
I LI	输入漏电流			±1	μA	3
I LO	输出泄漏电流			±1	μA	3
V IL	输入低电压	-0.3		0.3 V DD	V	
V IH	输入高电压	0.7 伏 DD		V DD + 0.3	V	
V OL	输出低电压 @ I OL = 3 mA			0.4	V	
R IN	输入电阻 (WP, A2-A0) 对于V IN = V IL (max) 对于V IN = V IH (min)	40 1			k Ω 中号	五
V HYS	输入滞后	0.05 V DD			V	4

笔记

1. SCL在V DD -0.3V和V SS 之间切换, 其他输入V SS 或V DD -0.3V
2. SCL = SDA = V DD. 所有输入V SS 或V DD. 发出停止命令.
3. V IN 或V OUT = V SS 至V DD. 不适用于WP, A2-A0引脚.
4. 该参数为特征值, 但未经过测试.
5. 输入下拉电路很强 (40K Ω) 当输入电压低于V IL 并且非常弱时 (1MΩ)
当输入电压高于V IH时.

AC参数 (TA = -40°C至+85°C, VDD = 4.5V至5.5V, 除非另有说明, CL = 100 pF)

符号	参数	敏	马克斯	敏	马克斯	敏	马克斯	单位	笔记
f SCL	SCL时钟频率	0	100	0	400	0	1000	千赫	
t LOW	时钟低电平时间	4.7		1.3		0.6		微秒	
高	时钟高时段	4		0.6		0.4		微秒	
t AA	SCL低到SDA数据输出有效		3		0.9		0.55	微秒	
t BUF	新的前免费巴士传输	4.7		1.3		0.5		微秒	
t HD: STA	开始条件保持时间	4		0.6		0.25		微秒	
SU: STA	重复开始条件设置开始	4.7		0.6		0.25		微秒	
t HD: DAT	数据保留	0		0		0		NS	
t SU: DAT	设置中的数据	250		100		100		NS	
t R	输入上升时间		1000		300		300	NS	1
t F	输入下降时间		300		300		100	NS	1
苏: STO	停止条件设置	4		0.6		0.25		微秒	
卫生署	数据输出保持 (来自 SCL @ VIL)	0		0		0		NS	
t SP	噪声抑制时间常数在 SCL, SDA 上		50		50		50	NS	

注: 所有SCL规范以及启动和停止条件适用于读取和写入操作。

1 该参数是定期采样的, 未经100%测试。

电容 (TA = 25°C, f = 1.0 MHz, VDD = 5V)

符号	参数	马克斯	单位	笔记
C I/O	输入/输出电容 (SDA)	8	pF的	1
C IN	输入电容	6	pF的	1

笔记

1 该参数是定期采样的, 未经100%测试。

电源周期时间



电源周期时间 (TA = -40 °C至+85°C, VDD = 4.5V至5.5V, 除非另有说明)

符号	参数	敏	马克斯	单位	笔记
t PU	上电 (VDD 分钟) 到第一次访问 (开始条件)	10	-	女士	
t PD	上次访问 (停止条件) 至关机 (VDD 分钟)	0	-	μs	
t VR	VDD 上升时间	三十	-	μs / V	1
t VF	VDD 下降时间	100	-	μs / V	1

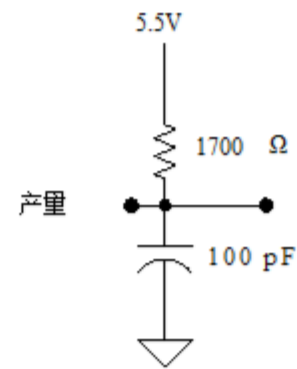
笔记

1. 在VDD波形的任意点测量斜率。

交流测试条件

输入脉冲电平 0.1 VDD 至 0.9 VDD
 输入上升和下降时间 10 ns
 输入和输出时序级别 0.5 VDD

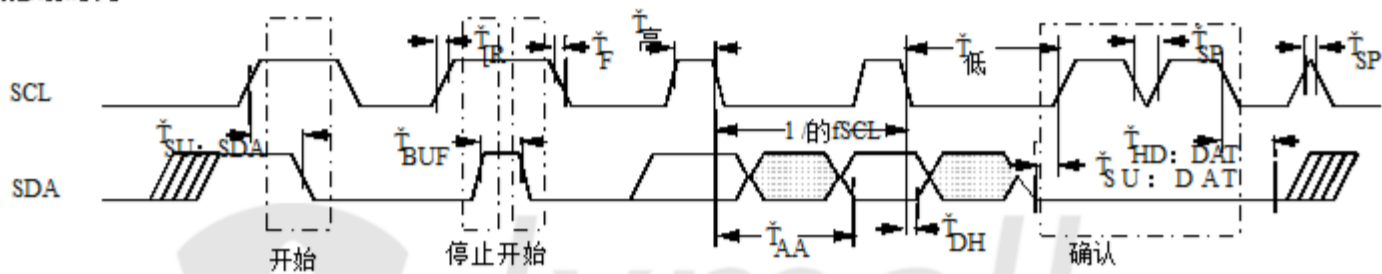
等效AC负载电路



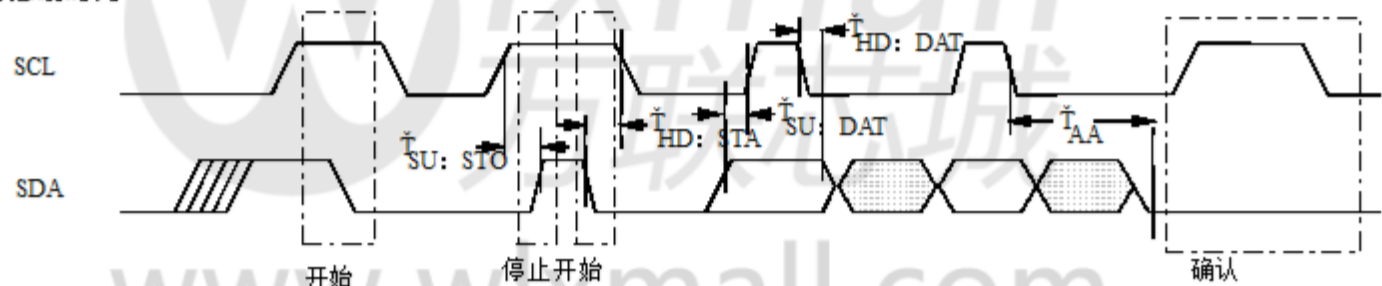
图表注释

所有启动和停止时序参数都适用于读取和写入周期.时钟规格对于读取和写入周期是相同的.
 写时序参数适用于从地址, 字地址和写数据位.功能关系在相关内容中进行说明
 数据表部分.这些图表说明了时序参数只要.

读总线时间



写总线时间

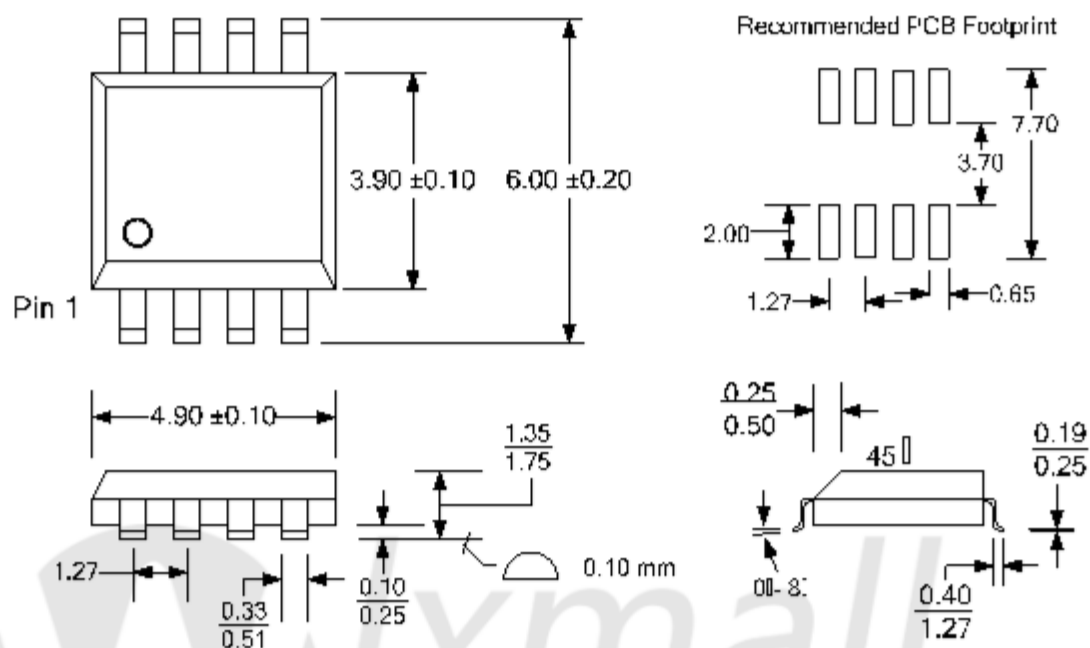


数据保留

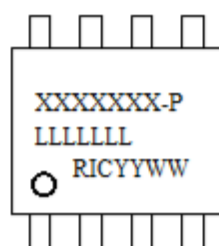
符号	参数	敏	马克斯	单位	笔记
T DR	@ +85°C	10	-	年份	
	@ +80°C	19	-	年份	
	@ +75°C	38	-	年份	

机械制图

8引脚SOIC (JEDEC标准MS-012变体AA)



SOIC封装标记方案



传说:

XXXXXX = 部件号, P = 包装类型

R = rev代码, LLLLLL = 批次代码

RIC = Ramtron Int'l Corp, YY = year, WW = work week

例如: FM24C64B, “绿色”SOIC包, 2010年, 工作周47

FM24C64B-G

A00002G1

RIC1047

修订记录

调整	日期	概要
1.0	11/10/2010	初始发行
1.1	12/20/2010	将 V_{IH} (最大值) 改为 $V_{DD} + 0.3V$.
1.2	2011年2月7日	增加了ESD评级.
1.3	2011年2月15日	更改了 t_{PU} 和 t_{VF} 规格限制.

