



STM32F103x8 STM32F103xB

中等密度的性能线基于ARM的32位MCU，具有64位或64位
128 KB闪存，USB，CAN，7个定时器，2个ADC，9个通信接口

特征

■ 核心：ARM 32位Cortex™-M3 CPU

- 最高72 MHz的频率，
1.25 DMIPS / MHz (Dhrystone 2.1)
性能在0等待状态记忆
访问
- 单周期乘法和硬件
师

■ 记忆

- 64或128千字节的闪存
- 20千字节的SRAM

■ 时钟，重置和供应管理

- 2.0至3.6 V应用电源和I / O
- POR，PDR和可编程电压
检测器 (PVD)
- 4至16 MHz晶体振荡器
- 内部8 MHz工厂预留RC
- 内部40 kHz RC
- CPU时钟的PLL
- 带有校准的RTC的32 kHz振荡器

■ 低功耗

- 睡眠，停止和待机模式
用于RTC和备份寄存器的 -V BAT 电源

■ 2 x 12位，1µsA/D转换器 (最多16位) 频道)

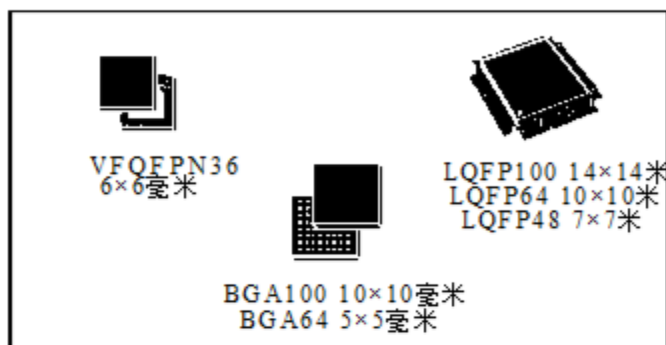
- 转换范围：0至3.6 V
- 双采样和保持能力
- 温度感应器

■ DMA

- 7通道DMA控制器
- 支持的外设：定时器，ADC，SPI，
我 2 Cs和USARTs

■ 多达80个快速I/O端口

- 26/37/51/80 I / O，全部可在16上映射
外部中断向量和几乎所有
5 V容忍



■ 调试模式

- 串行线调试 (SWD) 和JTAG接口

■ 7个定时器

- 三个16位定时器，每个定时器最多4个
IC / OC / PWM或脉冲计数器和
正交 (增量) 编码器输入
- 16位电机控制PWM定时器，
时间发生和紧急停止
- 2个看门狗定时器 (独立和
窗口)
- SysTick计时器：24位下降计数器

■ 最多9个通信接口

- 最多2个I2C接口 (SMBus / PMBus)
- 多达3个USART (ISO 7816接口，LIN，
IrDA能力，调制解调器控制)
- 最多2个SPI (18 Mbit / s)
- CAN接口 (2.0B有源)
- USB 2.0全速接口

■ CRC计算单元，96位唯一ID

■ 包装是ECOPACK®

表格1. 设备摘要

参考	零件号
STM32F103x8	STM32F103C8, STM32F103R8 STM32F103V8, STM32F103T8
STM32F103xB	STM32F103RB STM32F103VB, STM32F103CB

内容

1	介绍	9
2	说明	9
2.1	设备概述	10
2.2	在整个家庭完全兼容	11
2.3	概述	12
2.3.1	带有嵌入式闪存和SRAM的 ARM®Cortex™-M3内核	12
2.3.2	嵌入式闪存	12
2.3.3	CRC（循环冗余校验）计算单元	12
2.3.4	嵌入式SRAM	12
2.3.5	嵌套向量中断控制器（NVIC）	12
2.3.6	外部中断/事件控制器（EXTI）	13
2.3.7	时钟和启动	13
2.3.8	启动模式	13
2.3.9	供电方案	13
2.3.10	电源管理员	13
2.3.11	电压调节器	14
2.3.12	低功耗模式	14
2.3.13	DMA	15
2.3.14	RTC（实时时钟）和备份寄存器	15
2.3.15	定时器和看门狗	15
2.3.16	I²C总线	17
2.3.17	通用同步/异步收发器（USART） ..	17
2.3.18	串行外设接口（SPI）	17
2.3.19	控制器区域网络（CAN）	17
2.3.20	通用串行总线（USB）	17
2.3.21	GPIO（通用输入/输出）	18
2.3.22	ADC（模数转换器）	18
2.3.23	温度感应器	18
2.3.24	串行线JTAG调试端口（SWJ-DP）	18
3	引脚和引脚说明	21
4	内存映射	31

五	电气特性	32
5.1	参数条件	32
5.1.1	最小值和最大值	32
5.1.2	典型值	32
5.1.3	典型的曲线	32
5.1.4	加载电容器	32
5.1.5	引脚输入电压	32
5.1.6	供电方案	33
5.1.7	电流消耗测量	34
5.2	绝对最大额定值	34
5.3	运行条件	35
5.3.1	一般操作条件	35
5.3.2	上电/掉电时的操作条件	36
5.3.3	嵌入式复位和功率控制模块特性	36
5.3.4	嵌入式参考电压	38
5.3.5	供应电流特性	38
5.3.6	外部时钟源的特点	48
5.3.7	内部时钟源的特点	51
5.3.8	PLL特性	53
5.3.9	记忆特性	53
5.3.10	EMC特性	54
5.3.11	绝对最大额定值(电气灵敏度)	56
5.3.12	I/O端口特性	57
5.3.13	NRST引脚特性	60
5.3.14	TIM定时器特性	61
5.3.15	通信接口	62
5.3.16	CAN(控制器局域网)接口	67
5.3.17	12位ADC特性	68
5.3.18	温度传感器特性	72
6	包特点	73
6.1	包装机械数据	73
6.2	热特性	82
6.2.1	参考文件	82
6.2.2	选择产品温度范围	83
7	订购信息计划	85

8	修订记录	86
---	------------	----



表的列表

表格 1.	设备摘要.....	1
表 2	STM32F103xx 中等密度器件功能和外设计数.....	10
表 3.	STM32F103xx 系列.....	11
表 4	定时器功能比较.....	15
表 5	中等密度的 STM32F103xx 引脚定义.....	26
表 6	电压特性.....	34
表 7	目前的特点.....	35
表 8	热特性.....	35
表 9	一般操作条件.....	35
表 10	上电/掉电时的操作条件.....	36
表 11	嵌入式复位和功率控制模块特性.....	37
表 12	嵌入内部参考电压.....	38
表 13.	运行模式下的最大电流消耗，具有数据处理的代码 从 Flash 运行.....	39
表 14	运行模式下的最大电流消耗，具有数据处理的代码 从 RAM 运行.....	39
表 15	睡眠模式下的最大电流消耗，代码从闪存或 RAM 运行.....	41
表 16.	停止和待机模式下的典型和最大电流消耗.....	42
表 17	运行模式下的典型电流消耗，具有数据处理的代码 从 Flash 运行.....	45
表 18	睡眠模式下的典型电流消耗，代码从 Flash 或 内存.....	46
表 19.	外设电流消耗.....	47
表 20	高速外部用户时钟特性.....	48
表 21.	低速外部用户时钟特性.....	48
表 22	HSE 4-16 MHz 振荡器特性.....	50
表 23	LSE 振荡器特性 (fLSE = 32.768 kHz).....	51
表 24	HSI 振荡器特性.....	52
表 25	LSI 振荡器特性.....	52
表 26.	低功耗模式唤醒定时.....	53
表 27	PLL 特性.....	53
表 28	闪存特性.....	53
表 29.	闪存耐用性和数据保留.....	54
表 30	EMS 特性.....	55
表 31.	EMI 特性.....	55
表 32.	ESD 绝对最大额定值.....	56
表 33	电气敏感度.....	56
表 34.	I/O 静态特性.....	57
表 35	输出电压特性.....	58
表 36.	I/O AC 特性.....	59
表 37.	NRST 引脚特性.....	60
表 38.	TIMx 特性.....	61
表 39.	I2C 特性.....	62
表 40	SCL 频率 (fPCLK1 = 36MHz, VDD = 3.3V).....	63
表 41.	SPI 特性.....	64
表 42	USB 启动时间.....	66
表 43.	USB 直流电气特性.....	67
表 44.	USB: 全速电气特性.....	67

表45.	ADC特性.....	68
表46.	f ADC的RAIN最大值 = 14 MHz.....	69
表47.	ADC精度 - 有限的测试条件.....	69
表48.	ADC准确度.....	70
表49.	TS特性.....	72
表50	VFQFPN36 6 x 6 mm, 0.5 mm间距, 封装机械数据.....	74
表51	LFBGA100 - 10 x 10毫米薄型细间距球栅阵列封装 机械数据.....	75
表52.	LQFP100, 14 x 14 mm 100引脚薄型四方扁平封装机械数据.....	77
表53.	LQFP64, 10 x 10 mm, 64引脚薄型四方扁平封装机械数据.....	78
表54.	TFBGA64 - 8 x 8有源球阵列, 5 x 5 mm, 0.5 mm间距, 封装机械数据... ..	79
表55	LQFP48, 7 x 7 mm, 48引脚薄型四方扁平封装机械数据.....	81
表56.	封装热特性.....	82
表57	订购信息计划.....	85



数字列表

图1.	STM32F103xx性能线框图	19
图2	时钟树	20
图3.	STM32F103xx性能线LFBGA100 ballout	21
图4.	STM32F103xx性能线LQFP100引脚	22
图5	STM32F103xx性能线LQFP64引脚	23
图6.	STM32F103xx性能线TFBGA64 ballout	24
图7.	STM32F103xx性能线LQFP48引脚	25
图8.	STM32F103xx Performance Line VFQFPN36引脚	25
图9.	内存映射	31
图10.	引脚加载条件	33
图11.	引脚输入电压	33
图12.	供电方案	33
图13.	电流消耗测量方案	34
图14.	运行模式下的典型电流消耗与频率 (3.6 V时) - 代码与从RAM运行的数据处理, 启用外设	40
图15.	运行模式下的典型电流消耗与频率 (3.6 V时) - 代码与从RAM运行的数据处理, 外设禁用	40
图16.	VBAT 上的典型电流消耗 与RTC on与温度的不同 VBAT 值	42
图17.	运行模式下调节器停止模式下的典型电流消耗 在VDD = 3.3 V和3.6 V时的温度	43
图18.	低功耗模式下的稳压器在停止模式下的典型电流消耗 在VDD = 3.3 V和3.6 V时的温度	43
图19.	待机模式下的典型电流消耗与温度的关系 VDD = 3.3 V和3.6 V	44
图20.	高速外部时钟源交流时序图	49
图21.	低速外部时钟源交流时序图	49
图22.	典型的8 MHz晶体应用	50
图23.	典型应用与32.768 kHz晶体	51
图24.	I/O AC特性定义	60
图25.	建议NRST引脚保护	61
图26.	I2C总线交流波形和测量电路	63
图27.	SPI时序图 - 从模式和CPHA = 0	65
图28.	SPI时序图 - 从模式和CPHA = 1 (1)	65
图29.	SPI时序图 - 主模式 (1)	66
图30.	USB时序: 数据信号上升和下降时间的定义	67
图31.	ADC准确度特性	70
图32.	使用ADC的典型连接图	71
图33.	电源和参考去耦 (VREF + 不连接到VDDA)	71
图34.	电源和参考去耦 (VREF + 连接到VDDA)	72
图35.	VFQFPN36 6 x 6 mm, 间距0.5 mm, 封装外形 (1)	74
图36.	建议占地面积 (尺寸以毫米为单位) (1) (2) (3)	74
图37.	LFBGA100 - 10 x 10毫米薄型细间距球栅阵列封装 大纲	75
图38.	推荐的PCB设计规则 (0.80 / 0.75mm间距BGA)	76
图39.	LQFP100, 14 x 14 mm 100引脚薄型四方扁平封装轮廓	77
图40.	建议的足迹 (1)	77
图41.	LQFP64, 10 x 10 mm, 64引脚薄型四方扁平封装外形	78

图42.	建议的足迹 (1)	78
图43.	TFBGA64 - 8 x 8有源球阵列, 5 x 5 mm, 0.5 mm间距, 封装外形	79
图44.	推荐PCB的设计规则 (0.5毫米间距BGA)	80
图45.	LQFP48, 7 x 7 mm, 48引脚薄型四方扁平封装轮廓	81
图46.	建议的足迹 (1)	81
图47.	LQFP100 PD 最大值对T A	84



1 介绍

本数据表提供了订购信息和机械特性

STM32F103x8和STM32F103xB中等密度的性能线路微控制器。

有关整个STMicroelectronics STM32F103xx系列的更多详细信息，请参阅

[2.2节：整个家庭完全兼容](#)。

中等密度的STM32F103xx数据表应该与低，

中高密度的STM32F10xxx参考手册。

参考手册和Flash编程手册都可以从

意法半导体网站www.st.com。

有关Cortex™-M3内核的信息，请参阅Cortex™-M3技术

参考手册，可从www.arm.com网站获取以下地址：

<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0337e/>。

2 描述

STM32F103x8和STM32F103xB高性能系列产品集成了高性能，高性能的ARM Cortex™-M3 32位RISC内核，工作频率为72 MHz，高速嵌入式存储器（高达128 KB的闪存和高达20 KB的SRAM），以及连接到两条APB总线的各种增强型I/O和外围设备。所有器件提供两个12位ADC，三个通用16位定时器和一个PWM定时器以及标准和高级通信接口：最多两个I2C和SPI，三个USART，一个USB和一个CAN。

STM32F103xx中等密度性能线系列的工作电压范围为2.0至3.6 V

电源。它有-40到+85°C的温度范围和-40到

+105°C扩展温度范围。一套全面的省电模式允许

低功耗应用的设计。

STM32F103xx中等密度性能线系列包括6种不同的器件

封装类型：从36引脚到100引脚。根据所选的设备，不同的套

外围设备都包括在内，下面的描述给出了一个完整的范围的概述

在这个家庭提出的外设。

这些特性使得STM32F103xx中等密度的性能线路单片机成为可能

家庭适用于广泛的应用：

- 电机驱动和应用程序控制
- 医疗和手持设备
- PC外设游戏和GPS平台
- 工业应用：PLC，逆变器，打印机和扫描仪
- 报警系统，可视对讲和暖通空调

图1显示了器件系列的总体框图。

2.1 设备概述

表2 STM32F103xx中等密度器件功能和外设计数

外围设备		STM32F103Tx	STM32F103Cx		STM32F103Rx		STM32F103Vx	
闪存 - 千字节		64	64	128	64	128	64	128
SRAM - 千字节		20	20	20	20		20	
Timers	一般用途	33		3	3		3	
	先进的控制	11			1		1	
Communication	SPI	12		2	2		2	
	I2C	12		2	2		2	
	USART	23		3	3		3	
	USB	11		1	1		1	
	能够	11		1	1		1	
个GPIO		26	37		51		80	
12位同步ADC通道数		2 10个通道	2 10个通道		2 16个通道		2 16个通道	
CPU频率		72兆赫						
工作电压		2.0至3.6 V						
工作温度		环境温度: -40至+85°C / -40至+105°C (见表9) 结温: -40至+125°C (见表9)						
包		VFQFPN36		LQFP48	LQFP64, TFBGA64		LQFP100, LFBGA100	



2.2 在整个家庭完全兼容

STM32F103xx是一个完整的系列，其成员完全是引脚对，软件和功能兼容.在参考手册中，STM32F103x4和STM32F103x6是确定为低密度器件，STM32F103x8和STM32F103xB被称为中等密度设备，而STM32F103xC，STM32F103xD和STM32F103xE是简称高密度器件.

低密度和高密度器件是STM32F103x8 / B器件的扩展
在STM32F103x4 / 6和STM32F103xC / D / E数据表中分别指定.低-密度器件具有较低的闪存和RAM容量，较少的定时器和外设.高密度设备具有更高的闪存和RAM容量，额外的外设如SDIO，FSMC，I2S和DAC，同时保持完全兼容STM32F103xx系列的其他成员.

STM32F103x4，STM32F103x6，STM32F103xC，STM32F103xD和STM32F103xE是STM32F103x8 / B中等密度设备的直接替代品，可以让用户使用尝试不同的记忆密度，并提供更大的自由度开发周期.

而且，STM32F103xx高性能线路系列与现有的全部兼容STM32F101xx接入线和STM32F102xx USB接入线设备.

表3. STM32F103xx系列

引脚	低密度设备		中等密度的设备		高密度设备		
	16 KB 闪存	32 KB Flash (1)	64 KB 闪存	128 KB 闪存	256 KB 闪存	384 KB 闪存	512 KB 闪存
	6 KB RAM	10 KB RAM	20 KB RAM	20 KB RAM	48 KB RAM	64 KB RAM	64 KB RAM
144					5×USART 4×16位定时器，2×基本定时器 3×SPI，2×I2S，2×I2Cs USB，CAN，2个PWM定时器 3×ADC，2×DAC，1×SDIO FSMC（100和144引脚）		
100			3×USART 3×16位定时器 2×SPI，2×I2Cs，USB，CAN，1个PWM定时器 2×ADC				
64	2×USART 2×16位定时器 1×SPI，1×I2C，USB，CAN，1个PWM定时器 2×ADC						
48							
36							

1. 对于在温度范围代码（6或7）之后没有显示A内部代码的可订购部件号，电气特性的参考数据表是STM32F103x8 / B中等密度的参考数据表设备.

2.3 概观

2.3.1 带有嵌入式闪存和SRAM的ARM®Cortex™-M3内核

ARM Cortex™-M3处理器是最新一代嵌入式ARM处理器系统.它已经被开发提供一个低成本的平台,以满足MCU的需求实现,在减少引脚数量和低功耗的同时提供杰出的计算性能和先进的系统响应中断.

ARM Cortex™-M3 32位RISC处理器具有出色的代码效率,通常在内存大小上提供ARM内核期望的高性能与8位和16位设备相关联.

因此,具有嵌入式ARM内核的STM32F103xx性能线系列兼容所有的ARM工具和软件.

图1显示了器件系列的总体框图.

2.3.2 嵌入式闪存

64或128 KB嵌入式闪存可用于存储程序和数据.

2.3.3 CRC (循环冗余校验) 计算单元

CRC (循环冗余校验) 计算单元用于从32位获取CRC码数据字和固定生成多项式.

在其他应用中,基于CRC的技术用于验证数据传输或存储完整性.在EN / IEC 60335-1标准的范围内,它们提供了一种手段验证闪存的完整性. CRC计算单元帮助计算签名运行时的软件,与链接生成的参考签名进行比较,时间并存储在给定的存储位置.

2.3.4 嵌入式SRAM

二十KB嵌入式SRAM以CPU时钟速度访问(读/写),等待时间为0状态.

2.3.5 嵌套向量中断控制器(NVIC)

STM32F103xx性能线嵌入一个嵌套向量中断控制器能够最多可处理43个可屏蔽中断通道(不包括16个中断线)Cortex™-M3)和16个优先级.

- 紧密耦合的NVIC提供低延迟的中断处理
- 中断入口向量表地址直接传递给核心
- 紧密耦合的NVIC核心接口
- 允许提前处理中断
- 处理迟到的高优先级中断
- 支持尾链
- 处理器状态自动保存
- 在中断退出时中断条目在没有指令开销的情况下恢复

这个硬件模块提供灵活的中断管理功能，并且中断最少潜伏。

2.3.6 外部中断/事件控制器 (EXTI)

外部中断/事件控制器由19个用于生成的边沿检测器线组成。中断/事件请求。每条线都可以独立配置来选择触发器事件（上升沿，下降沿，两者），可以独立屏蔽待处理的寄存器保持中断请求的状态。EXTI可以检测一个外部线路脉冲宽度短于内部APB2时钟周期。最多可以连接80个GPIO到16个外部中断线。

2.3.7 时钟和启动

系统时钟选择在启动时执行，但内部RC 8 MHz振荡器是选择为复位时的默认CPU时钟。可以选择外部4-16 MHz时钟。哪种情况下监控失败。如果检测到故障，则系统自动切换回到内部RC振荡器。如果启用，则会生成软件中断。同样，充满必要时可以使用PLL时钟输入的中断管理（例如间接使用的外部晶体，谐振器或振荡器的故障）。

几个预分频器允许配置AHB频率，高速APB（APB2）和低速APB（APB1）域。AHB的最大频率和高速APB域是72 MHz。低速的最大允许频率APB域是36 MHz。有关时钟树的详细信息，请参见图2。

2.3.8 启动模式

在启动时，引导引脚用于选择三个引导选项之一：

- 从用户Flash引导
- 从系统内存启动
- 从嵌入式SRAM启动

引导加载程序位于系统内存中。它用于通过重新编程Flash存储器使用USART1。详情请参阅AN2606。

2.3.9 供电方案

- $V_{DD} = 2.0$ 至 3.6 V：用于I/O和内部稳压器的外部电源。通过V_{DD}引脚从外部提供。
- V_{SSA} , $V_{DDA} = 2.0$ 至 3.6 V：用于ADC，复位模块，RC的外部模拟电源和PLL（使用ADC时，施加到V_{DDA}的最小电压为2.4 V）。V_{DDA}和V_{SSA}必须分别连接到V_{DD}和V_{SS}。
- $V_{BAT} = 1.8$ 至 3.6 V：RTC电源，外部时钟32 kHz振荡器和备份当V_{DD}不存在时注册（通过电源开关）。

有关如何连接电源引脚的更多详细信息，请参阅图12：电源方案。

2.3.10 电源管理员

该器件具有集成的上电复位（POR）/掉电复位（PDR）电路。它是始终处于活动状态，并确保从2 V开始正常工作。设备保持不变。

在复位模式下，当VDD 低于指定的阈值时，VPOR/PDR，而不需要一个外部复位电路。

该器件具有嵌入式可编程电压检测器（PVD），可监测VDD/VDDA 电源，并将其与VPVD 阈值 进行比较。中断可以当VDD/VDDA 下降到VPVD 阈值以下和/或VDD/VDDA 更高时产生比VPVD 阈值。中断服务程序可以生成警告消息和/或将MCU置于安全状态。PVD是由软件启用的。

请参阅表11：嵌入式复位和功率控制块特性的值VPOR/PDR 和VPVD。

2.3.11 电压调节器

调节器有三种操作模式：主（MR），低功率（LPR）和断电。

- MR用于标称调节模式（运行）
- LPR用于停止模式
- 掉电用于待机模式：稳压器输出高阻抗：内核电路关闭，导致零消耗（但内容寄存器和SRAM丢失）

该调节器在复位后始终使能。它在待机模式下被禁用，提供高阻抗输出。

2.3.12 低功耗模式

STM32F103xx性能线支持三种低功耗模式，以达到最佳效果低功耗，短启动时间和可用唤醒之间的妥协来源：

- 睡眠模式
在睡眠模式下，只有CPU停止。所有的外围设备继续运行，可以当中断/事件发生时唤醒CPU。
- 停止模式
停止模式在保持内容的同时达到最低的功耗。SRAM和寄存器。1.8V域中的所有时钟都停止工作，PLL，HSI RC HSE晶体振荡器被禁用。电压调节器也可以放。无论是正常模式还是低功耗模式。该设备可以通过任何EXTI线从停止模式中唤醒。EXTI线源可以是16条外部线路之一，PVD输出，RTC报警或USB醒来。
- 待机模式
待机模式用于实现最低的功耗。内置的电压调节器关闭，以便整个1.8 V电源关闭。该PLL，HSI RC和HSE晶体振荡器也被关闭。进入后备模式下，除备份中的寄存器外，SRAM和寄存器内容都将丢失域和备用电路。
当外部复位（NRST引脚），IWDG复位，WKUP引脚的上升沿，或发生RTC报警。

注意：RTC，IWDG和相应的时钟源不会通过进入停止来停止或待机模式。

2.3.13 DMA

灵活的7通道通用DMA能够管理内存到内存，外设到内存和内存到外设的传输。DMA控制器支持循环缓冲区管理，避免了控制器产生中断到达缓冲区的末端。

每个通道都连接到专用硬件DMA请求，并支持软件触发每个通道。配置是由软件和传输大小之间来源和目的地是独立的。

DMA可以与主要外设一起使用：SPI，I2C，USART，通用和高级控制定时器TIMx和ADC。

2.3.14 RTC（实时时钟）和备份寄存器

RTC和备份寄存器通过一个接通电源的开关提供VDD电源时，或通过VBAT引脚。备份寄存器是十个16位。当VDD电源不存在时，寄存器用于存储20个字节的用户应用程序数据。

实时时钟提供了一套可以连续运行的计数器。合适的软件提供一个时钟日历功能，并提供一个闹钟中断和一个周期性中断。它是由一个32.768 kHz的外部晶体，谐振器或振荡器，时钟内部低功耗RC振荡器或高速外部时钟128分频。内部低功耗RC的典型频率为40 kHz。RTC可以使用校准外部512赫兹输出，以补偿任何自然晶体偏差。RTC功能一个32位可编程计数器，用于使用比较寄存器进行长期测量产生一个警报。时基时钟采用20位预分频器，默认情况下为20位预分频器配置为从32.768 kHz的时钟产生1秒的时基。

2.3.15 定时器和看门狗

中等密度的STM32F103xx性能线设备包括一个高级控制定时器，三个通用定时器，两个看门狗定时器和一个SysTick定时器。

表4比较了高级控制和通用定时器的功能。

表4 定时器功能比较

计时器	计数器解析度	计数器类型	预分频器因子	DMA请求代	捕获/比较通道	补充输出
TIM1	16位	向上，下，向上/向下	任何整数在1之间和65536	是	4	是
TIM2，TIM3，TIM4	16位	向上，下，向上/向下	任何整数在1之间和65536	是	4	没有

高级控制计时器（TIM1）

高级控制定时器（TIM1）可以看作是在6上复用的三相PWM通道。它具有可编程插入死区时间的互补PWM输出。它

也可以看作是一个完整的通用计时器。4个独立的频道可以用于

- 输入捕捉
- 输出比较
- PWM生成（边沿或中心对齐模式）
- 单脉冲模式输出

如果配置为通用16位定时器，则具有与TIMx定时器相同的功能。如果配置为16位PWM发生器，具有全调制能力（0-100%）。

在调试模式下，可以冻结高级控制定时器计数器并输出PWM。禁用该功能来关闭由这些输出驱动的任何电源开关。

许多功能与通用TIM计时器共享。同样的建筑，高级控制计时器因此可以与TIM一起工作。定时器通过定时器链接功能进行同步或事件链接。

通用定时器（TIMx）

最多可以嵌入三个可同步的通用定时器

STM32F103xx性能线设备。这些定时器基于16位自动重新加载递增/递减计数器，一个16位预分频器和4个独立通道，每个通道用于输入捕捉/输出比较，PWM或单脉冲模式输出。这最多可以输入12个在最大的封装上捕捉/输出比较/PWM。

通用定时器可以通过定时器与高级定时器一起工作。链接功能用于同步或事件链接。他们的计数器可以在调试中冻结模式。任何通用定时器都可以用来产生PWM输出。他们都有独立的DMA请求生成。

这些定时器能够处理正交（增量）编码器信号，数字输出1到3个霍尔效应传感器。

独立监督

独立的看门狗是基于一个12位下降计数器和8位预分频器。它是由独立的40 kHz内部RC提供时钟，并且独立运行主时钟，它可以在停止和待机模式下运行。它可以用作看门狗。发生问题时重置设备，或者作为应用程序超时的自由运行计时器管理。它可以通过选项字节进行硬件或软件配置。柜台可以在调试模式下被冻结。

窗口看门狗

窗口看门狗是基于一个可以设置为自由运行的7位向下计数器。它可以用作看门狗在发生问题时重置设备。它是从钟表钟表主时钟。它具有预警中断能力，可以冻结计数器。调试模式。

SysTick定时器

这个计时器专门用于操作系统，但也可以用作标准的计数器。它特征：

- 一个24位的下降计数器
- 自动重新加载功能
- 当计数器达到0时，产生可屏蔽的系统中断
- 可编程时钟源

2.3.16 I²C总线

多达两个I²C总线接口可以在多主机和从机模式下运行。他们可以支持标准和快速模式。

它们支持双从寻址（仅7位）和主/从模式下的7/10位寻址模式。嵌入了硬件CRC生成/验证。

他们可以通过DMA服务，他们支持SM总线2.0 / PM总线。

2.3.17 通用同步/异步收发器（USART）

其中一个USART接口能够以高达4.5 Mbit / s的速度进行通信。该其他可用接口的通信速率高达2.25 Mbit / s。他们提供硬件CTS和RTS信号的管理，IrDA SIR ENDEC支持，都是ISO 7816并具有LIN主/从功能。

所有USART接口都可以由DMA控制器提供服务。

2.3.18 串行外设接口（SPI）

最多两个SPI能够以全速方式在从属模式和主模式下以最高18 Mbits / s的速度进行通信，双工和单工通信模式。3位预分频器提供8个主模式频率和帧可配置为8位或16位。硬件CRC生成/验证支持基本的SD卡/ MMC模式。

两个SPI都可以由DMA控制器提供服务。

2.3.19 控制器区域网络（CAN）

CAN符合2.0A和B（有源）规范，比特率高达1 Mbit / s。它可以接收和发送带有11位标识符和扩展帧的标准帧与29位标识符。它有三个发送邮箱，两个接收FIFO和三个阶段14个可扩展的滤波器组。

2.3.20 通用串行总线（USB）

STM32F103xx性能线嵌入一个兼容USB设备的外设USB全速12 Mbs。USB接口实现全速（12 Mbit / s）功能接口。它具有软件可配置的端点设置和暂停/恢复支持。该内部主PLL产生专用的48 MHz时钟（时钟源必须使用一个HSE晶体振荡器）。

2.3.21 GPIO（通用输入/输出）

每个GPIO引脚都可以通过软件配置为输出（推挽或漏极开路）输入（有或没有上拉或下拉）或作为外设备用功能.大部分的GPIO引脚与数字或模拟替代功能共享.所有的GPIO都是高电流的，除了模拟输入之外。

I/O备用功能配置可以根据需要锁定以避免寄生写入I/O寄存器。

APB2上的I/O以高达18 MHz的切换速度进行

2.3.22 ADC（模数转换器）

STM32F103xx性能线中嵌入了两个12位模数转换器设备和每个ADC共享多达16个外部通道，拍摄或扫描模式.在扫描模式下，自动转换在选定的组上执行的模拟输入。

嵌入在ADC接口中的其他逻辑功能允许：

- 同时采样并保持
- 交错采样并保持
- 单路分流

ADC可以由DMA控制器提供服务。

模拟看门狗功能可以非常精确地监视一个转换后的电压，部分或全部选定的频道.转换后的电压产生中断超出编程的阈值。

通用定时器（TIMx）和高级控制定时器生成的事件（TIM1）可以在内部连接到ADC开始触发，注入触发和DMA分别触发，允许应用程序同步A/D转换和定时器。

2.3.23 温度感应器

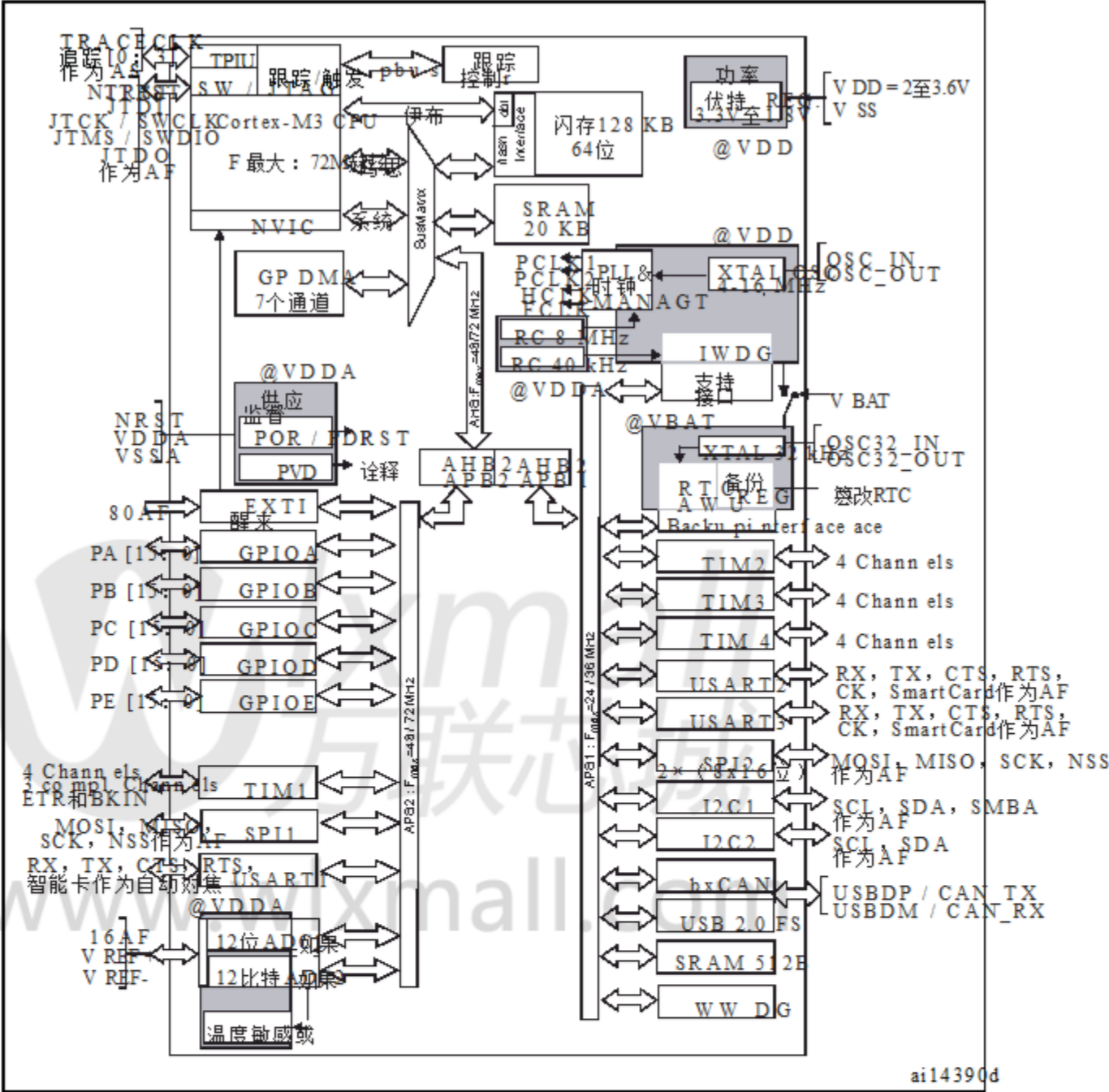
温度传感器必须产生一个随温度线性变化的电压.该转换范围在2 V < VDDA < 3.6 V之间.温度传感器在内部连接到用于转换传感器输出的ADC12_IN16输入通道电压转换成数字值。

2.3.24 串行线JTAG调试端口（SWJ-DP）

嵌入了ARM SWJ-DP接口.是一个组合的JTAG和串行线调试端口，使串行线调试或JTAG探针连接到目标。

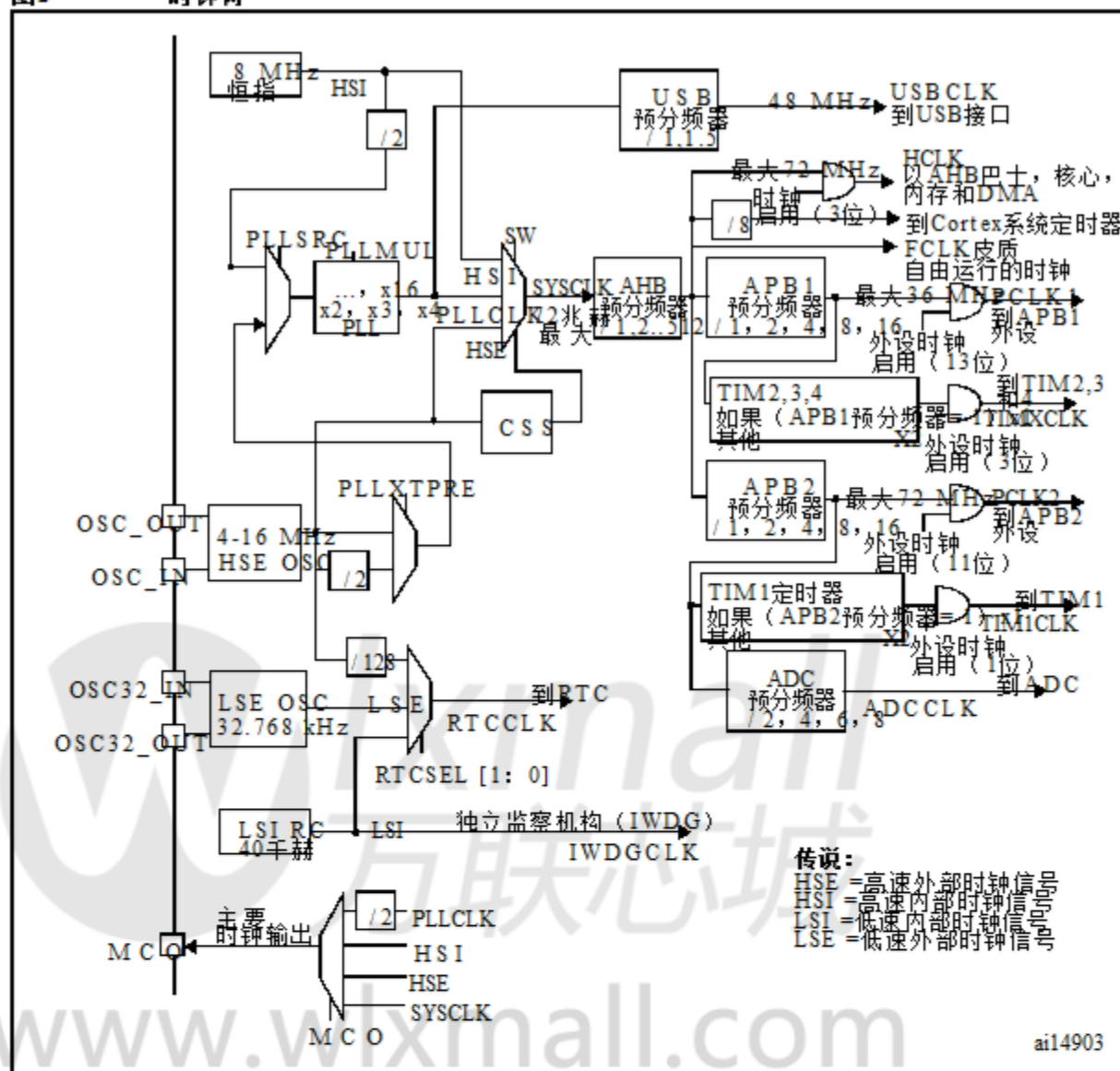
JTAG TMS和TCK引脚分别与SWDIO和SWCLK共享，a TMS引脚上的特定序列用于在JTAG-DP和SW-DP之间切换。

图1. STM32F103xx性能线框图



1. T A = -40°C至+105°C (结温高达125°C) .
2. AF = I / O端口引脚上的复用功能.

图2 时钟树



1. 当HSI用作PLL时钟输入时，可以达到的最大系统时钟频率是64兆赫。
2. 要使USB功能可用，必须启用HSE和PLL，同时CPU也在运行48 MHz或72 MHz。
3. 要使ADC转换时间为1μs，APB2必须为14 MHz，28 MHz或56 MHz。

3 引脚和引脚说明

图3. STM32F103xx性能线LFBGA100 ballout

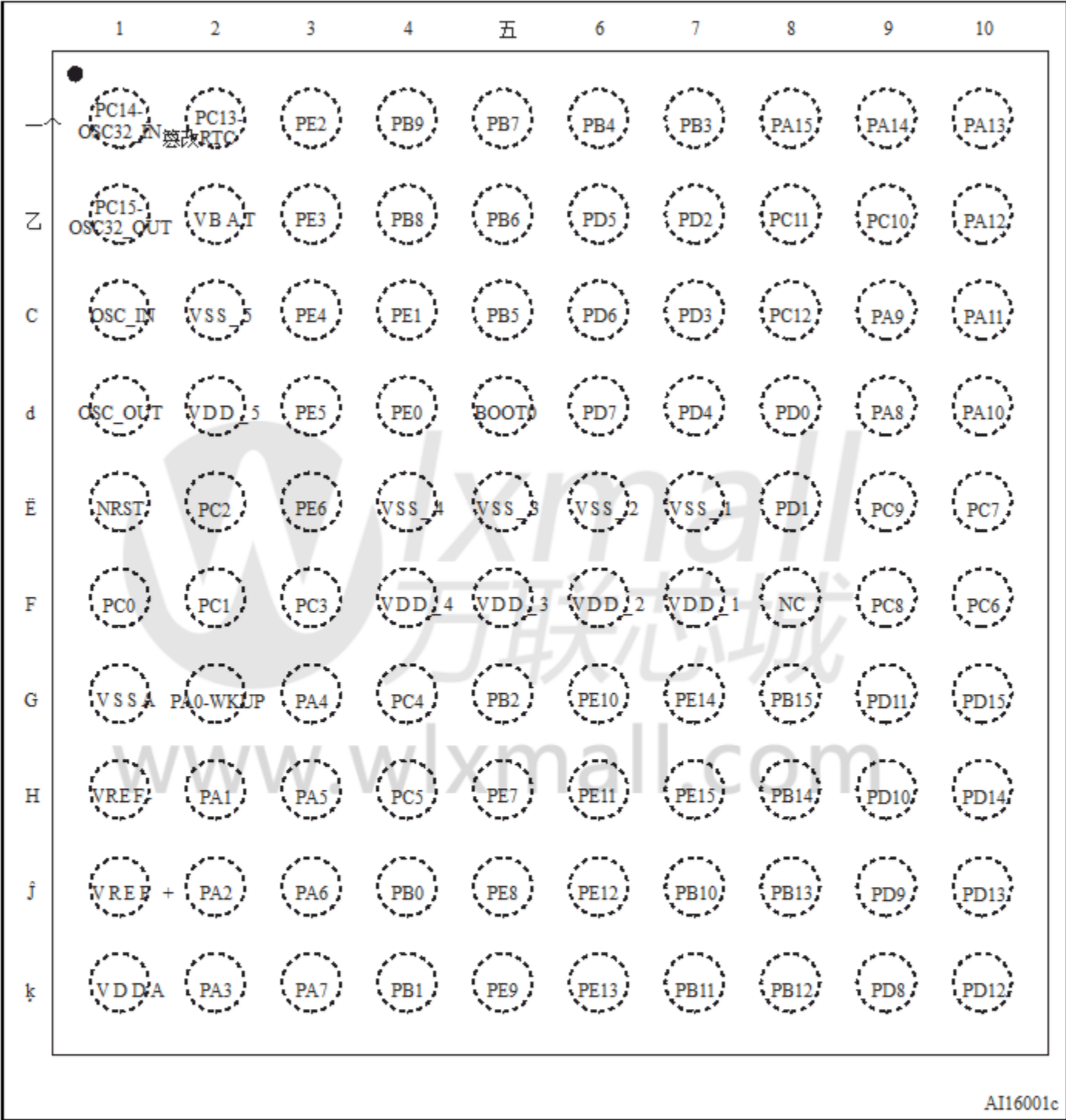
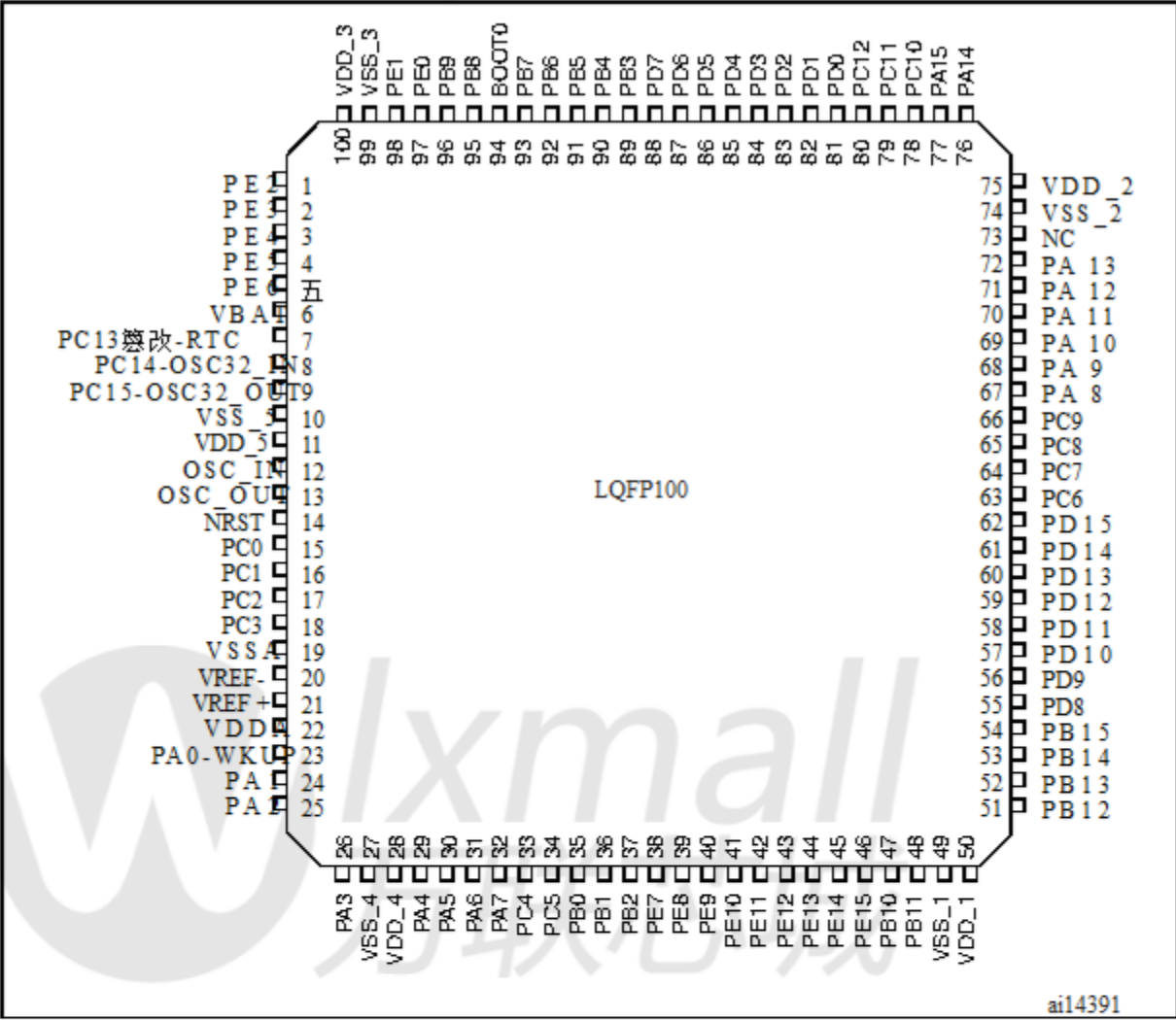


图4. STM32F103xx性能线LQFP100引脚



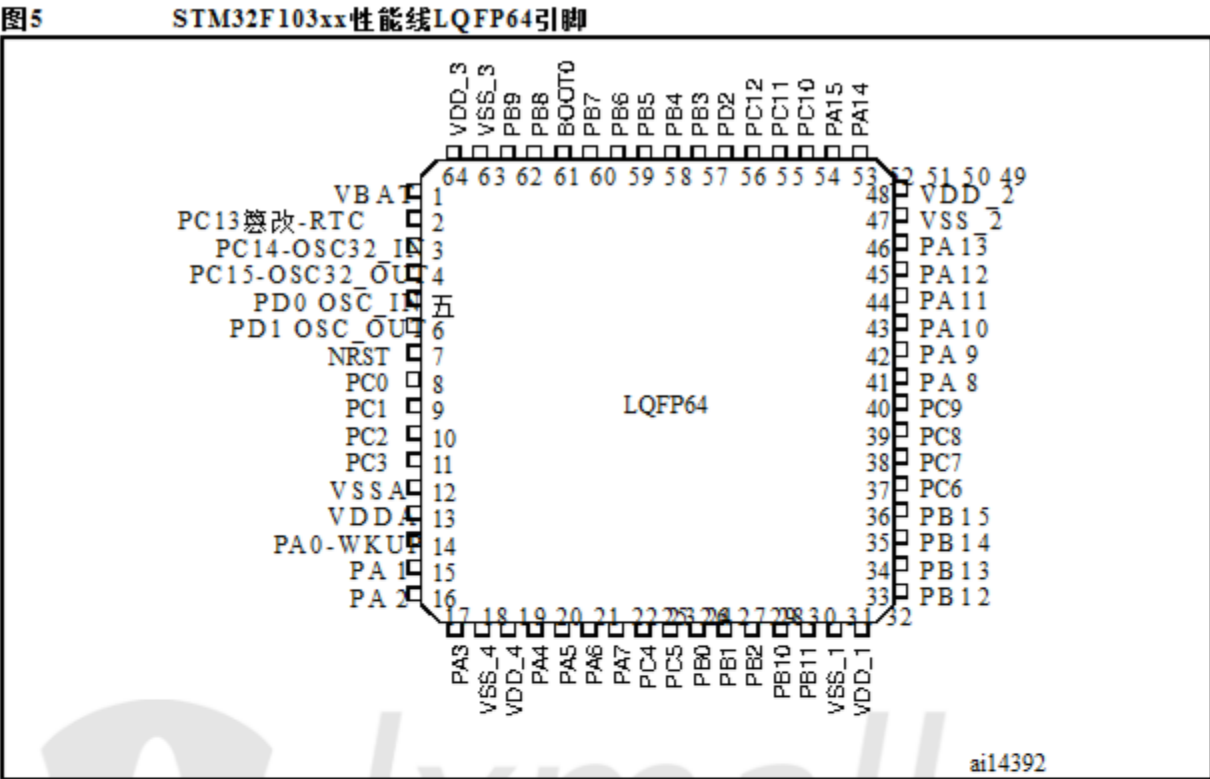


图6. STM32F103xx性能线 TFBGA64 ballout

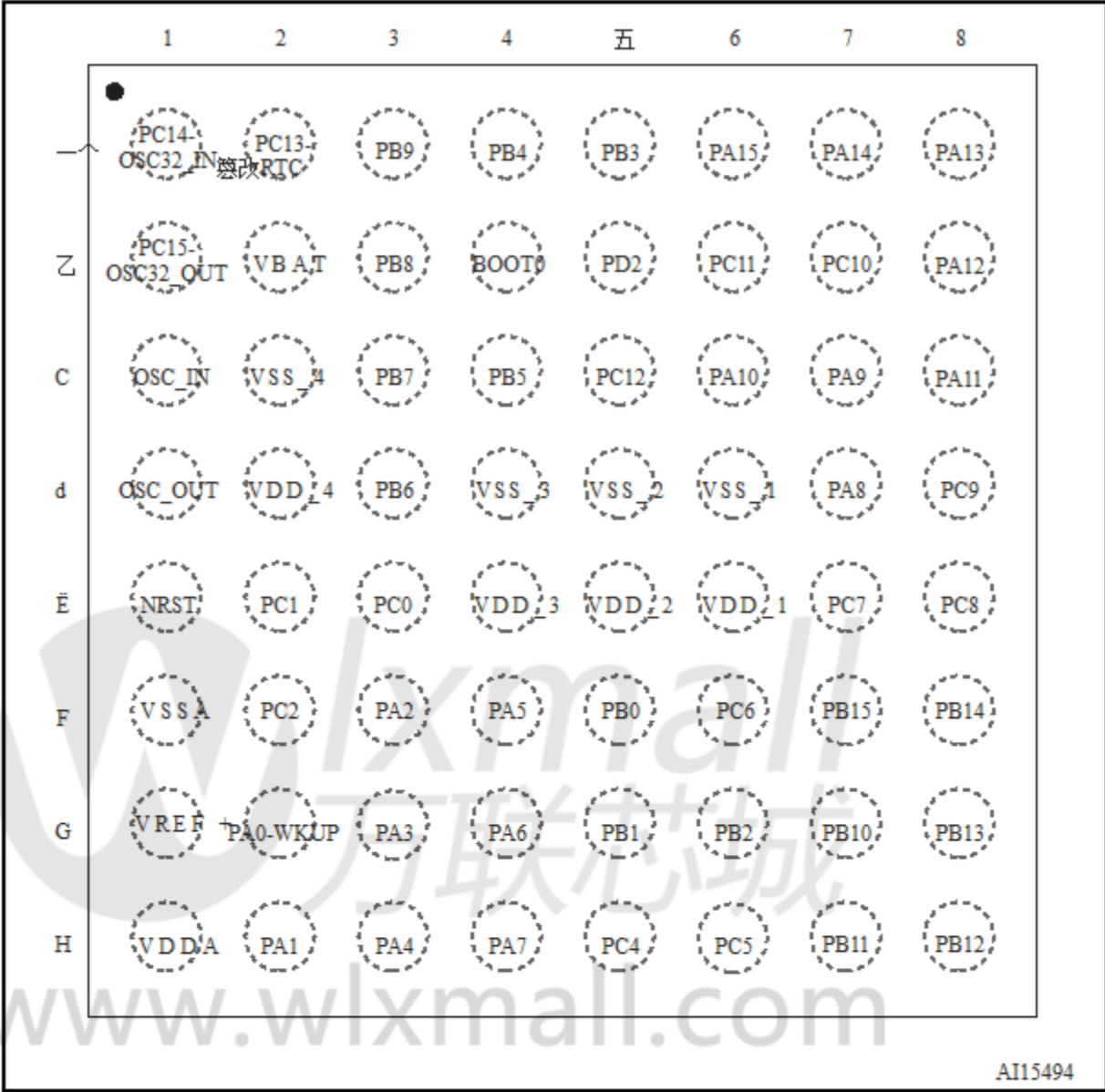


图7. STM32F103xx性能线LQFP48引脚

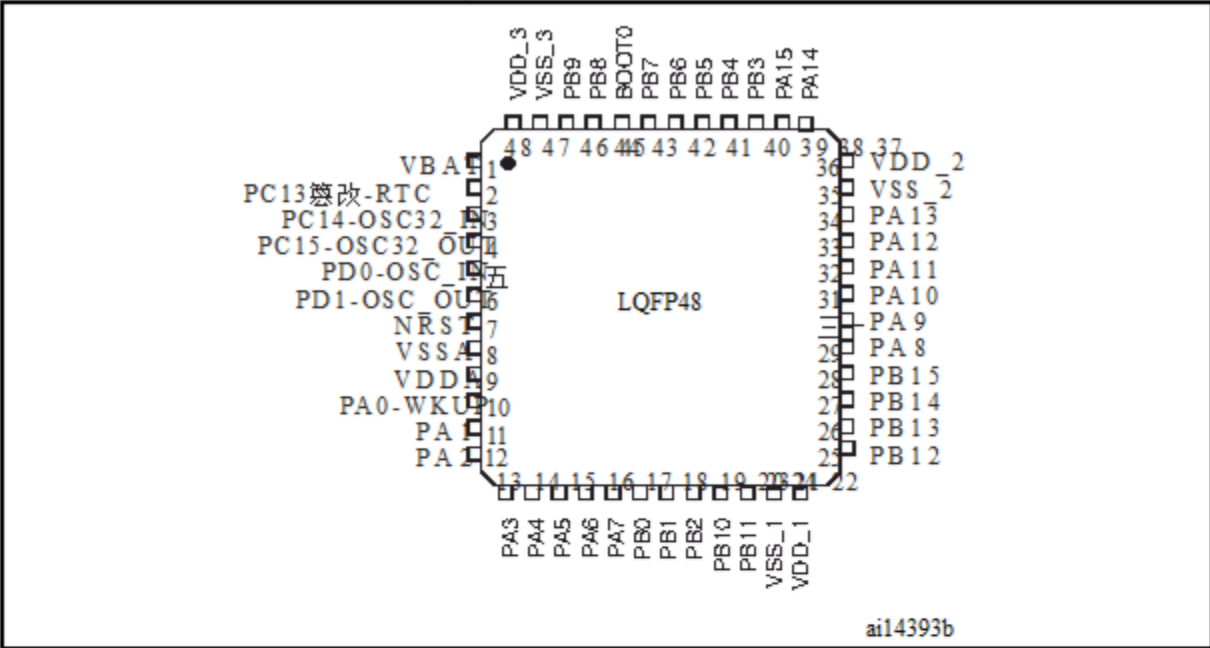


图8. STM32F103xx性能线路VFQFPN36引脚

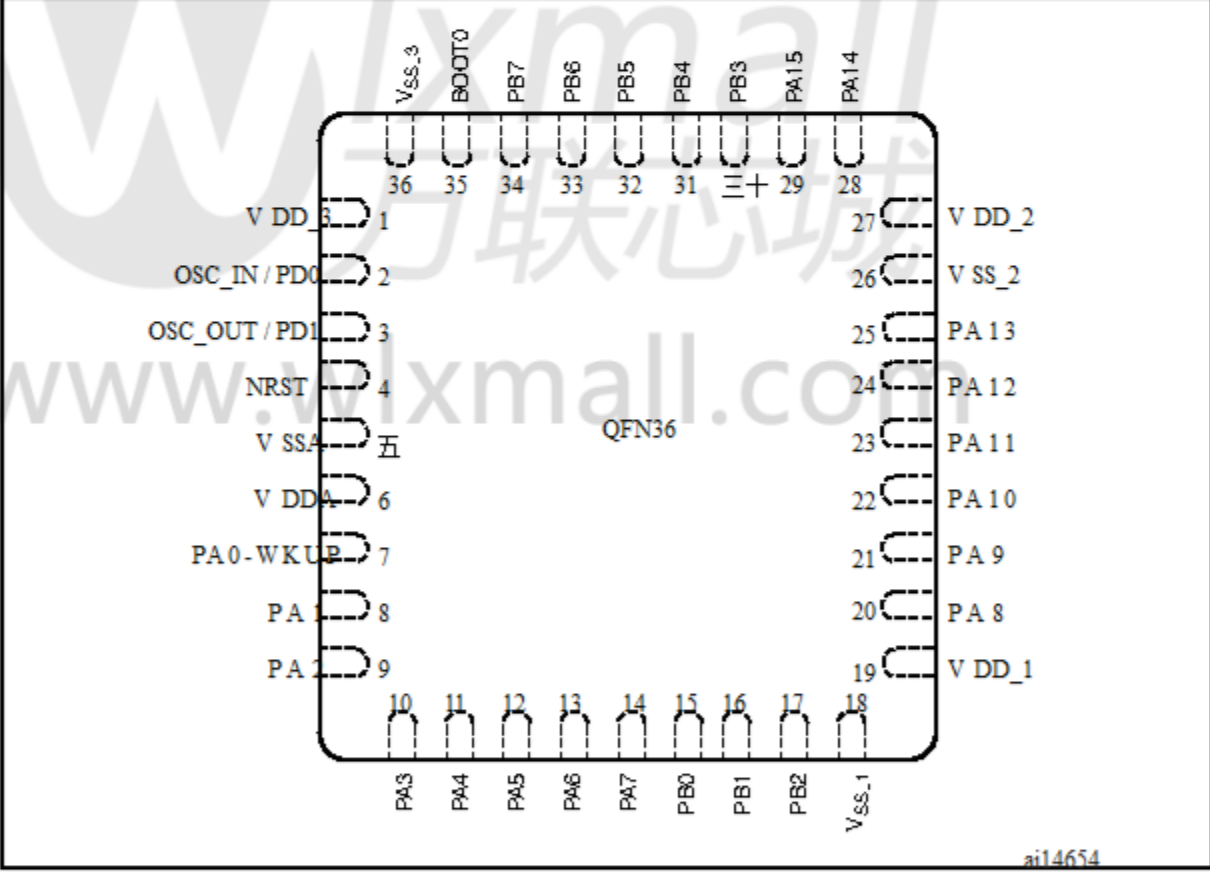


表5 中等密度的STM32F103xx引脚定义

销						别名	Type ⁽¹⁾ I/O Level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (4)	
LFBGA100	LQFP48	TFBGA64	LQFP64	LQFP100	VQFPN36				默认	重映射
A3	-		-	1	-	PE2	I/O FT	PE2	TRACECK	
B3	-		-	2	-	PE3	I/O FT	PE3	TRACED0	
C3	-		-	3	-	PE4	I/O FT	PE4	TRACED1	
D3	-		-	4	-	PE5	I/O FT	PE5	TRACED2	
E3	-		-	五	-	PE6	I/O FT	PE6	TRACED3	
B2	1	B2	1	6	-	V BAT	S V	BAT		
A2	2	A2	2	7	-	PC13-篡改 RTC (5)	I/O	PC13 (6)	篡改RTC	
A1	3	A1	3	8	-	PC14-OSC32_IN (5)	I/O	PC14 (6)	OSC32_IN	
B1	4	B1	4	9	-	PC15- OSC32_OUT (5)	I/O	PC15 (6)	OSC32_OUT	
C2	---			10	-	V SS_5	S V	SS_5		
D2	---			11	-	V DD_5	S V	DD_5		
C1	五	C1	五	12	2	OSC_IN	—世	OSC_IN		
D1	6	D1	6	13	3	OSC_OUT	Ø	OSC_OUT		
E1	7	E1	7	14	4	NRST	I/O	NRST		
F1	-	E3	8	15	-	PC0	I/O	PC0	ADC12_IN10	
F2	-	E2	9	16	-	PC1	I/O	PC1	ADC12_IN11	
E2	-	F2	10	17	-	PC2	I/O	PC2	ADC12_IN12	
F3	-	- (7)	11	18	-	PC3	I/O	PC3	ADC12_IN13	
G1	8	F1	12	19	五	V SSA	S V	SSA		
H1	---			20	-	V REF-	S V	REF-		
J1	-	G1 (7)	- 2	1	-	V REF+	S V	REF+		
K1	9	H1	13	22	6	V DDA	S V	DDA		
G2	10	G2	14	23	7	PA0-WKUP	I/O	PA0	WKUP/ USART2_CTS (8) / ADC12_IN0 / TIM2_CH1_ETR (8)	
H2	11	H2	15	24	8	PA1	I/O	PA1	USART2_RTS (8) / ADC12_IN1 / TIM2_CH2 (8)	
J2	12	F3	16	25	9	PA2	I/O	PA2	USART2_TX (8) / ADC12_IN2 / TIM2_CH3 (8)	

表5 中等密度STM32F103xx引脚定义 (续)

销						别名	Type ⁽¹⁾ I/O Level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (4)	
LFBGA100	LQFP48	TFBGA64	LQFP64	LQFP100	VQFPN36				默认	重映射
K2	13	G3	17	26	10	PA 3	I/O	PA 3	USART2_RX (8) / ADC12_IN3 / TIM2_CH4 (8)	
E4	-	C2	18	27	-	VSS_4	S V SS_4			
F4	-	D2	19	28	-	VDD_4	S V DD_4			
G3	14	H3	20	29	11	PA 4	I/O	PA 4	SPI1_NSS (8) / USART2_CK (8) / ADC12_IN4	
H3	15	F4	21	三十	12	PA 5	I/O	PA 5	SPI1_SCK (8) / ADC12_IN5	
J3	16	G4	22	31	13	PA 6	I/O	PA 6	SPI1_MISO (8) / ADC12_IN6 / TIM3_CH1 (8)	TIM1_BKIN
K3	17	H4	23	32	14	PA 7	I/O	PA 7	SPI1_MOSI (8) / ADC12_IN7 / TIM3_CH2 (8)	TIM1_CH1N
G4	-	H5	24	33		PC 4	I/O	PC4	ADC12_IN14	
H4	-	H6	25	34		PC 5	I/O	PC5	ADC12_IN15	
J4	18	F5	26	35	15	PB0	I/O	PB0	ADC12_IN8 / TIM3_CH3 (8)	TIM1_CH2N
K4	19	G5	27	36	16	PB1	I/O	PB1	ADC12_IN9 / TIM3_CH4 (8)	TIM1_CH3N
G5	20	G6	28	37	17	PB2	I / O FT	PB2 / BOOT1		
H5	-	-	-	38	-	PE7	I / O FT	PE7		TIM1_ETR
J5	-	-	-	39	-	PE8	I / O FT	PE8		TIM1_CH1N
K5	-	-	-	40	-	PE9	I / O FT	PE9		TIM1_CH1
G6	-	-	-	41	-	PE 10	I / O FT	PE10		TIM1_CH2N
H6	-	-	-	42	-	PE 11	I / O FT	PE11		TIM1_CH2
J6	-	-	-	43	-	PE 12	I / O FT	PE12		TIM1_CH3N
K6	-	-	-	44	-	PE 13	I / O FT	PE13		TIM1_CH3
G7	-	-	-	45	-	PE 14	I / O FT	PE14		TIM1_CH4
H7	-	-	-	46	-	PE 15	I / O FT	PE15		TIM1_BKIN
J7	21	G7	29	47	-	PB 10	I / O FT	PB10	I2C2_SCL / USART3_TX (8)	TIM2_CH3
K7	22	H7	三十	48	-	PB 11	I / O FT	PB11	I2C2_SDA / USART3_RX (8)	TIM2_CH4
E7	23	D6	31	49	18	VSS_1	S V SS_1			

表5 中等密度STM32F103xx引脚定义 (续)

销						别名	Type ⁽¹⁾ I/O Level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (4)	
LFBGA100	LQFP48	TFBGA64	LQFP64	LQFP100	VFQFPN36				默认	重映射
F7	24	E6	32	50	19	V DD_1	S V DD_1			
K8	25	H8	33	51	-	PB12	I / O FT	PB12	SPI2_NSS / I2C2_SMBAL / USART3_CK (8) / TIM1_BKIN (8)	
J8	26	G8	34	52	-	PB13	I / O FT	PB13	SPI2_SCK / USART3_CTS (8) / TIM1_CH1N (8)	
H8	27	F8	35	53	-	PB14	I / O FT	PB14	SPI2_MISO / USART3_RTS (8) / TIM1_CH2N (8)	
G8	28	F7	36	54	-	PB15	I / O FT	PB15	SPI2_MOSI / TIM1_CH3N (8)	
K9	-	-	-	55	-	PD8	I / O FT	PD8		USART3_TX
J9	-	-	-	56	-	PD9	I / O FT	PD9		USART3_RX
H9	-	-	-	57	-	PD10	I / O FT	PD10		USART3_CK
G9	-	-	-	58	-	PD11	I / O FT	PD11		USART3_CTS
K10	-	-	-	59	-	PD12	I / O FT	PD12		TIM4_CH1 / USART3_RTS
J10	-	-	-	60	-	PD13	I / O FT	PD13		TIM4_CH2
H10	-	-	-	61	-	PD14	I / O FT	PD14		TIM4_CH3
G10	-	-	-	62	-	PD15	I / O FT	PD15		TIM4_CH4
F10	-	F6	37	63	-	PC6	I / O FT	PC6		TIM3_CH1
E10	-	E7	38	64	-	PC7	I / O FT	PC7		TIM3_CH2
F9	-	E8	39	65	-	PC8	I / O FT	PC8		TIM3_CH3
E9	-	D8	40	66	-	PC9	I / O FT	PC9		TIM3_CH4
D9	29	D7	41	67	20	PA8	I / O FT	PA8	USART1_CK / TIM1_CH1 (8) / MCO	
C9	三十	C7	42	68	21	PA9	I / O FT	PA9	USART1_TX (8) / TIM1_CH2 (8)	
D10	31C	643		69	22	PA10	I / O FT	PA10	USART1_RX (8) / TIM1_CH3 (8)	
C10	32C	844		70	23	PA11	I / O FT	PA11	USART1_CTS / CANRX (8) / USBDM TIM1_CH4 (8)	
B10	33B	845		71	24	PA12	I / O FT	PA12	USART1_RTS / CANTX (8) // USBDP TIM1_ETR (8)	

表5 中等密度STM32F103xx引脚定义 (续)

销						别名	Type ⁽¹⁾ I/O Level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (4)	
LFBGA100	LQFP48	TFBGA64	LQFP64	LQFP100	VQFPN36				默认	重映射
A10	34	A8	46	72	25	PA13	I/O FT	JTMS / SWDIO		PA13
F8	-	-	-	73	-	未连接				
E6	35	D5	47	74	26	VSS_2	S V	SS_2		
F6	36	E5	48	75	27	VDD_2	S V	DD_2		
A9	37	A7	49	76	28	PA14	I/O FT	JTCK / SWCLK		PA14
A8	38	A6	50	77	29	PA15	I/O FT	JTDI		TIM2_CH1_ETR / PA15 / SPI1_NSS
B9	-	B7	51	78		PC10	I/O FT	PC10		USART3_TX
B8	-	B6	52	79		PC11	I/O FT	PC11		USART3_RX
C8	-	C5	53	80		PC12	I/O FT	PC12		USART3_CK
D8	五	C1	五	81	2	PD0	I/O FT	OSC_IN (9)		CANRX
E8	6	D1	6	82	3	PD1	I/O FT	OSC_OUT (9)		CANTX
B7		B5	54	83	-	PD2	I/O FT	PD2	TIM3_ETR	
C7	-	-	-	84	-	PD3	I/O FT	PD3		USART2_CTS
D7	-	-	-	85	-	PD4	I/O FT	PD4		USART2_RTS
B6	-	-	-	86	-	PD5	I/O FT	PD5		USART2_TX
C6	-	-	-	87	-	PD6	I/O FT	PD6		USART2_RX
D6	-	-	-	88	-	PD7	I/O FT	PD7		USART2_CK
A7	39	A5	55	89	三十	PB3	I/O FT	JTDO		TIM2_CH2 / PB3 TRACESWO SPI1_SCK
A6	40	A4	56	90	31	PB4	I/O FT	JNTRST		TIM3_CH1 / PB4 / SPI1_MISO
C5	41	C4	57	91	32	PB5	I/O	PB5	I2C1_SMBA1	TIM3_CH2 / SPI1_MOSI
B5	42	D3	58	92	33	PB6	I/O FT	PB6	I2C1_SCL (8) / TIM4_CH1 (8)	USART1_TX
A5	43	C3	59	93	34	PB7	I/O FT	PB7	I2C1_SDA (8) / TIM4_CH2 (8)	USART1_RX
D5	44	B4	60	94	35	BOOT0	—世	BOOT0		
B4	45	B3	61	95	-	PB8	I/O FT	PB8	TIM4_CH3 (8)	I2C1_SCL / CANRX
A4	46	A3	62	96	-	PB9	I/O FT	PB9	TIM4_CH4 (8)	I2C1_SDA / CANTX

表5 中等密度STM32F103xx引脚定义（续）

销						别名	Type ⁽¹⁾ I/O Level ⁽²⁾	主要 功能（3） （复位后）	备用功能（4）	
LFBGA100	LQFP48	TFBGA64	LQFP64	LQFP100	VQFPN36				默认	重映射
D4	-	-	-	97	-	PE0	I / O FT	PE0	TIM4_ETR	
C4	-	-	-	98	-	PE1	I / O FT	PE1		
E5	47	D4	63	99	36	V SS_3	S V SS_3			
F5	48	E4	64	100	1	V DD_3	S V DD_3			

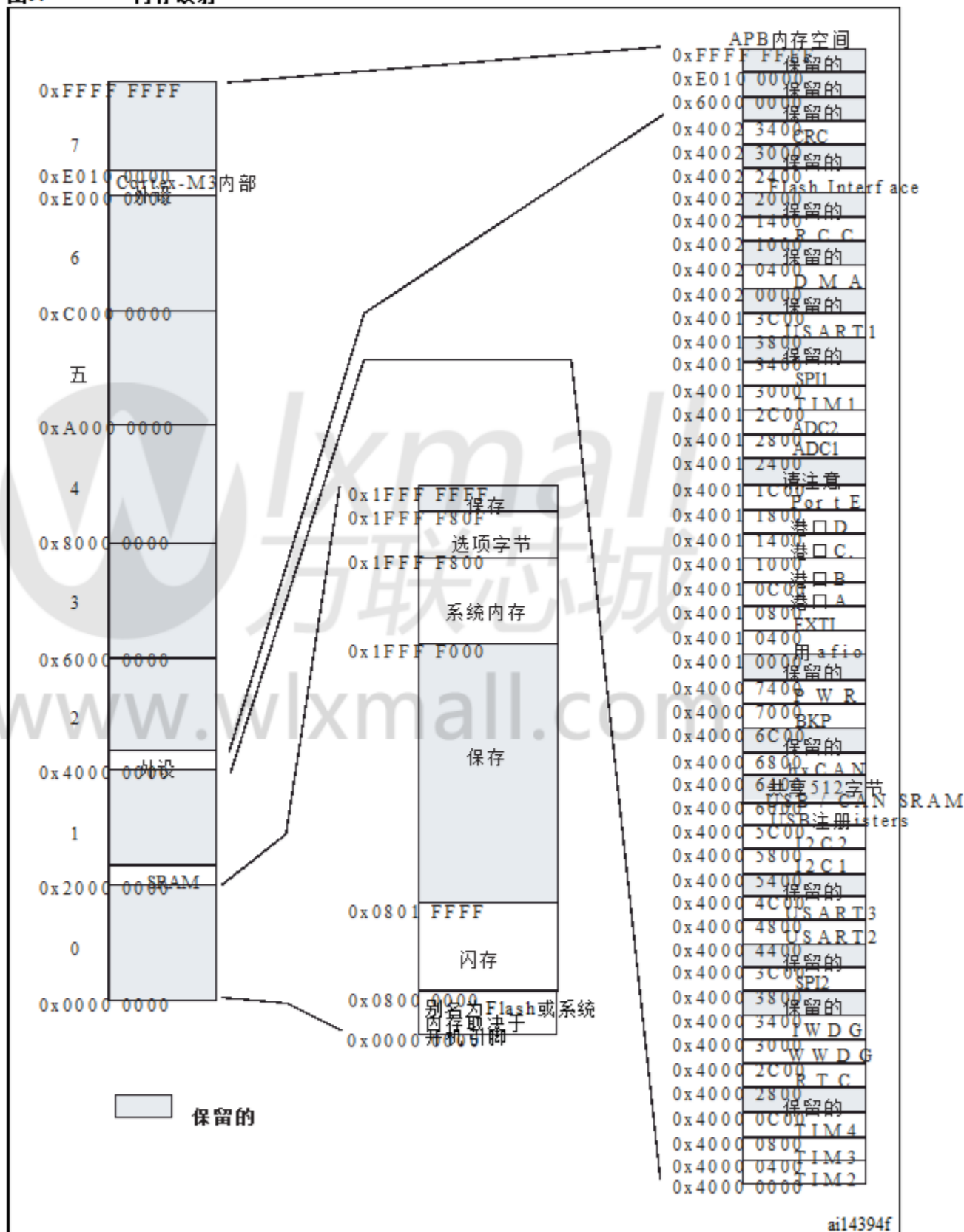
1. I =输入，O =输出，S =电源。
2. FT = 5V容忍。
3. 功能可用性取决于所选设备。对于外围设备数量减少的设备，它总是更低包含的外设数量。例如，如果一个器件只有一个SPI和两个USART，则它们将被称为SPI1和USART1和USART2。请参阅第10页上的表2。
4. 如果多个外设共享相同的I / O引脚，为了避免这些复用功能之间的冲突，只需要一个外设通过外设时钟使能位（在相应的RCC外设时钟使能寄存器中）一次使能。
5. PC13, PC14和PC15通过电源开关供电。由于交换机只能吸收有限的电流（3 mA）时，在输出模式下使用GPIO PC13至PC15是有限的：速度不应超过2 MHz，最大值负载为30 pF，这些IO不得用作电流源（例如驱动LED）。
6. 第一个备份域上电后的主要功能之后，它甚至取决于备份寄存器的内容。复位后（因为这些寄存器没有被主复位复位）。有关如何管理这些IO的详细信息，请参阅STM32F10xxx参考手册中的电池备份域和BKP寄存器说明部分，可从中获得意法半导体网站：www.st.com
7. 与LQFP64封装不同，TFBGA64封装中没有PC3。V REF +功能被提供。
8. 这个备用功能可以通过软件重新映射到其他一些端口引脚（如果在使用的软件包上可用）。更多详细信息，请参考STM32F10xxx参考手册中的备用功能I / O和调试配置部分来自意法半导体的网站：www.st.com。
9. VQFPN36封装中的引脚编号2和3，LQFP48和LQFP64封装中的引脚编号5和6，以及TFBGA64封装在复位后配置为OSC IN / OSC OUT，但是PD0和PD1的功能可以是通过这些引脚上的软件重新映射。对于LQFP100封装，PD0和PD1默认是可用的，所以没有需要重新映射。有关更多详细信息，请参阅中的替代功能I / O和调试配置部分STM32F10xxx参考手册。
在输出模式下使用PD0和PD1受到限制，因为它们只能在50 MHz的输出模式下使用。



4 内存映射

内存映射如图9所示。

图9. 内存映射



五 电气特性

5.1 参数条件

除非另有说明，否则所有电压均以 V_{SS} 为参考。

5.1.1 最小值和最大值

除非另有规定，最低和最高值保证最差
环境温度条件，供电电压和频率的测试在生产上
100%的环境温度在 $T_A = 25^{\circ}\text{C}$ ， $T_A = T_{A\max}$ （由下式给出）
所选温度范围）。

基于特征结果，设计模拟和/或技术特征的数据
在表格脚注中标明，未在生产中进行测试。基于
表征，最小值和最大值是指样品测试和代表的
平均值加上或减去标准差的三倍（平均值 $\pm 3\sigma$ ）。

5.1.2 典型值

除非另有说明，否则典型数据基于 $T_A = 25^{\circ}\text{C}$ ， $V_{DD} = 3.3\text{ V}$ （对于
 $2\text{ V} < V_{DD} < 3.6\text{ V}$ 电压范围）。它们只作为设计指导而不是
测试。

典型的ADC准确度值是通过表征一批样品来确定的
在整个温度范围内的标准扩散区，其中95%的装置具有一个
误差小于或等于所示值（平均值 $\pm 2\sigma$ ）。

5.1.3 典型的曲线

除非另有规定，否则所有的典型曲线只作为设计指南给出
未经测试。

5.1.4 加载电容器

用于引脚参数测量的负载条件如图10所示。

5.1.5 引脚输入电压

器件引脚的输入电压测量如图11所示。

图10. 引脚加载条件

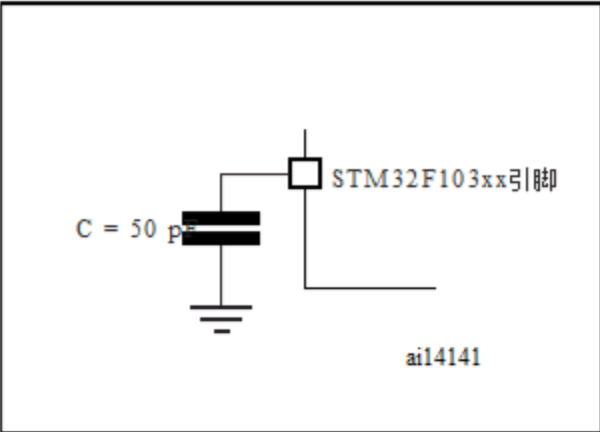
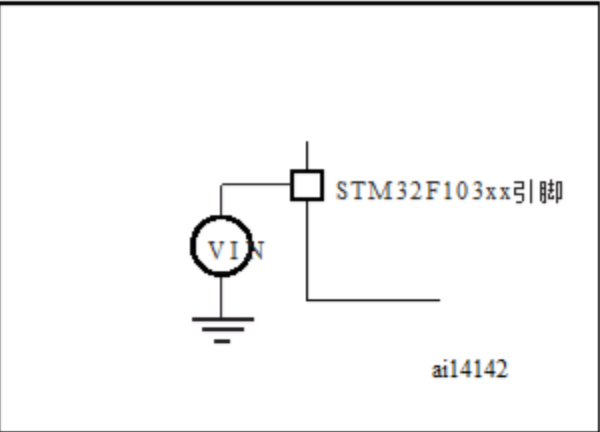
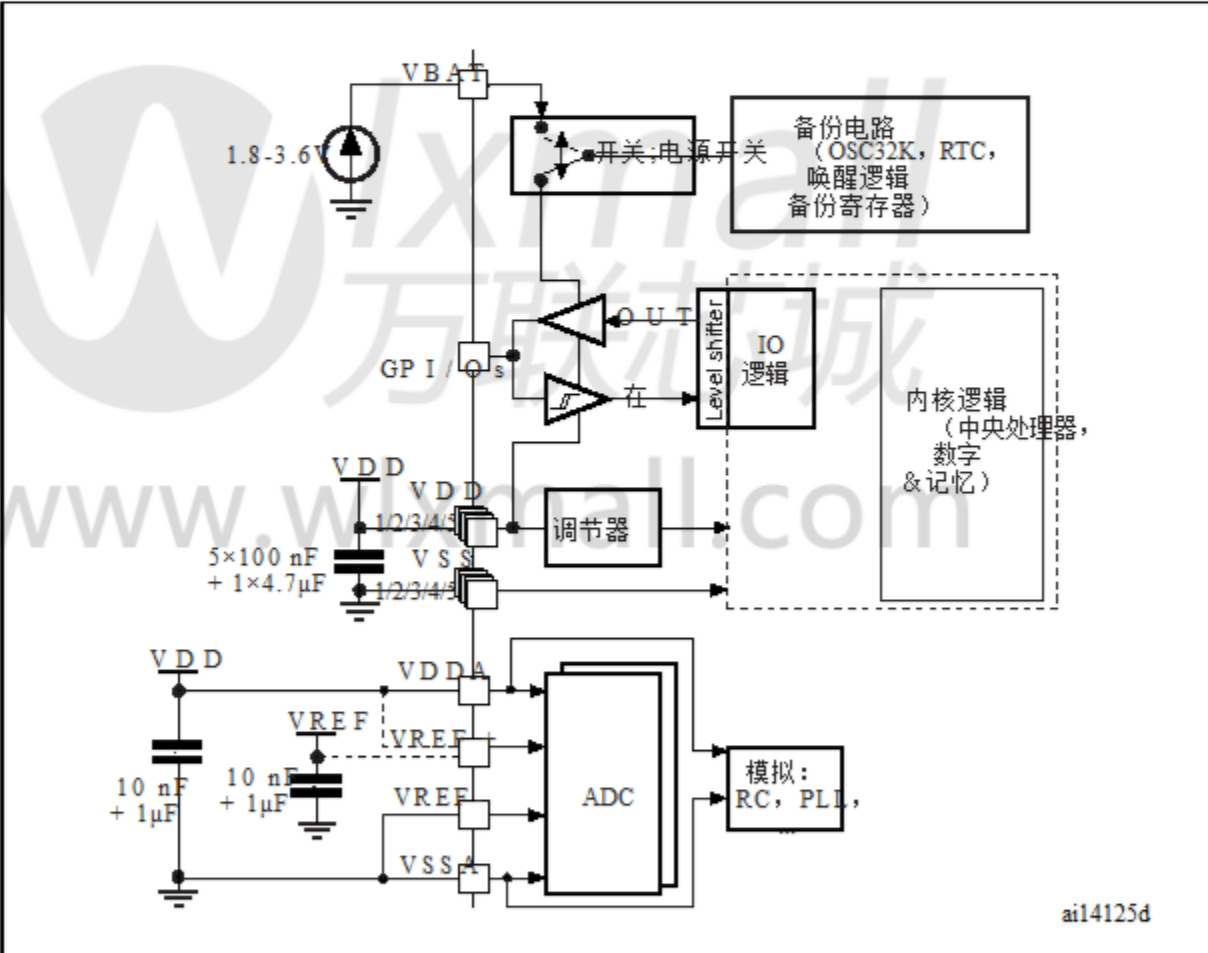


图11. 引脚输入电压



5.1.6 供电方案

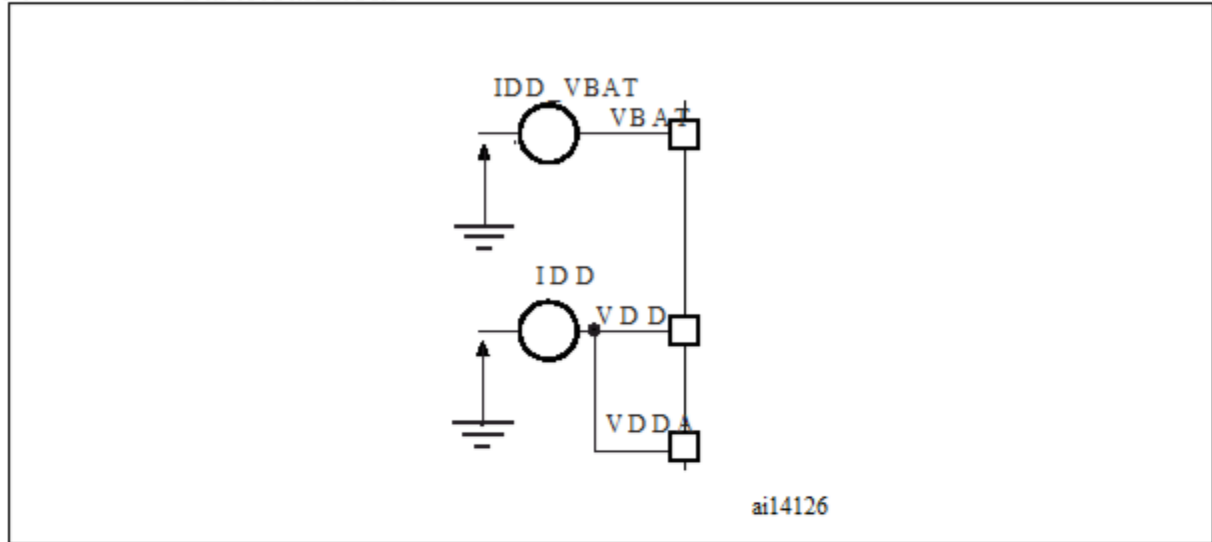
图12. 供电方案



警告： 在图12中，4.7 μF电容必须连接到V DD3。

5.1.7 电流消耗测量

图13. 电流消耗测量方案



5.2 绝对最大额定值

强调超过表6列出的绝对最大额定值：电压特性，表7：电流特性，表8：热特性可能会导致永久性损坏设备。这些只是压力额定值和设备的功能操作。在这些条件下不是暗示的。暴露于最大额定条件下延长周期可能会影响设备可靠性。

表6 电压特性

符号	评级	敏	马克斯	单元
$V_{DD} - V_{SS}$	外部主电源电压（包括 V_{DDA} 和 V_{DD} ）(1)	-0.3	4	V
V_{IN}	五伏容错引脚上的输入电压 (2)	$V_{SS} - 0.3$	+5.5	
	任何其他引脚上的输入电压 (2)	$V_{SS} - 0.3$	$V_{DD} + 0.3$	
$ \Delta V_{DDx} $	不同的 V_{DD} 电源引脚之间的差异		50	毫伏
$ V_{SSX} - V_{SS} $	所有不同的接地引脚之间的变化		50	
$V_{ESD} (HBM)$	静电放电电压（人体模型）	参见第5.3.11节：绝对最大额定值（电气灵敏度）		

- 所有主电源（ V_{DD} ， V_{DDA} ）和地（ V_{SS} ， V_{SSA} ）引脚必须始终连接到外部电源供应，在允许的范围内。
- 绝不能超过我的输入（PIN）。（见表7：电流特性）。如果是 V_{IN} ，这是隐含的保险最大值得尊重。如果 V_{IN} 最大值不能被遵守，注入电流必须被限制。外部的 I_{INJ} （PIN）值。正向注入由 $V_{IN} > V_{INmax}$ 引起，而负向注入是由 $V_{IN} < V_{SS}$ 引起。



表7 目前的特点

符号	评级	最大	单元
我的 VDD	进入 V DD / VDDA 电源线的总电流 (源) (1)	150	嘛
我 VSS	总电流出 V SS 地线 (水槽) (1)	150	
我呢	输出电流由任何 I / O 和控制引脚吸收	25	
	由任何 I / O 和控制引脚输出电流源	±25	
我 INJ (PIN)	在 NRST 引脚上注入电流	±5	
	在 HSE OSC_IN 和 LSE OSC_IN 引脚上注入电流	±5	
	注入任何其他引脚上的电流 (4)	±5	
⁵¹ INJ (PIN)	总注入电流 (所有 I / O 和控制引脚的总和) (4)	±25	

1. 所有主电源 (V DD, VDDA) 和地 (V SS, VSSA) 引脚必须始终连接到外部电源供应, 在允许的范围内.
2. 我永远不要超过 (PIN). 如果 V IN 最大值受到尊重, 则这是隐式保险. 如果 V IN 最大值不能被遵守, 注入电流必须被限制在 I INJ (PIN) 值的外部. 积极的注入由 V IN > V DD 引起, 而负向注入由 V IN < V SS 引起.
3. 负向注入会干扰设备的模拟性能. 请参见第 5.3.17 节中的注释: 12 位 ADC 特点.
4. 当几个输入提交给当前注射时, 最大值 ⁵¹INJ (PIN) 是的绝对总和. 正向和负向注入电流 (瞬时值). 这些结果是基于表征与 ⁵¹INJ (引脚) 在器件的四个 I / O 端口引脚上的最大电流注入.

表8 热特性

符号	评级	值	单元
T STG	存储温度范围	-65到+150	C
T J	最高结温	150	C

5.3

运行条件

5.3.1

一般操作条件

表9 一般操作条件

符号	参数	条件	敏	马克斯	单元
f HCLK	内部AHB时钟频率		0	72	兆赫
f PCLK1	内部APB1时钟频率		0	36	
f PCLK2	内部APB2时钟频率		0	72	
V DD	标准工作电压		2	3.6	V
V DD A (1)	模拟工作电压 (ADC未使用)	必须是相同的潜力作为 V DD (2)	2.3	3.6	V
	模拟工作电压 (ADC使用)		2.4	3.6	
V BAT	备份工作电压		1.8	3.6	V



表9 一般运行条件（续）

符号	参数	条件	敏	马克斯	单元
P D.	T A = 85°C时的 功耗 对于后繼6或T A = 105°C 后繼7（3）	LFBGA100		454	毫瓦
		LQFP100		434	
		TFBGA64		308	
		LQFP64		444	
		LQFP48		363	
		VFQFPN36		1110	
T A.	环境温度为6 后繼版本	最大功耗	-40	85	C
		低功耗（4）	-40	105	
	环境温度为7 后繼版本	最大功耗	-40	105	C
		低功耗（4）	-40	125	
T J	结温范围	6后繼版本	-40	105	C
		7后繼版本	-40	125	

- 1. 使用ADC时，请参阅表45：ADC特性。
- 2. 建议从同一个电源为V DD和V DDA 供电，最大相差300 mV
在V DD和V DDA 之间可以容忍在上电和操作。
- 3. 如果T A 较低，只要T J 不超过T J max，则允许 较高的P D 值（见表6.2：热
特性在第82页）。
- 4. 在低功耗状态下，只要T J 不超过T J max，T A 就可以扩展到这个范围
表6.2：第82页的热特性）。

5.3.2 上电/掉电时的操作条件

根据T A的一般操作条件。

表10 上电/掉电时的操作条件

符号	参数	条件	敏	马克斯	单元
t VDD	V DD 上升时间率		0		微秒/V
	V DD 下降时间率		20		

5.3.3 嵌入式复位和功率控制模块特性

表11中给出的参数来源于在环境下进行的测试
温度 和V DD 电源电压条件总结在表9中。



表11 嵌入式复位和功率控制模块特性

符号	参数	条件	敏	典型	马克斯	单元
V PVD	可编程电压 探测器级选择	PLS [2: 0] = 000 (上升沿)	2.1	2.18	2.26	V
		PLS [2: 0] = 000 (下降沿)	2	2.08	2.16	V
		PLS [2: 0] = 001 (上升沿)	2.19	2.28	2.37	V
		PLS [2: 0] = 001 (下降沿)	2.09	2.18	2.27	V
		PLS [2: 0] = 010 (上升沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 010 (下降沿)	2.18	2.28	2.38	V
		PLS [2: 0] = 011 (上升沿)	2.38	2.48	2.58	V
		PLS [2: 0] = 011 (下降沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 100 (上升沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 100 (下降沿)	2.37	2.48	2.59	V
		PLS [2: 0] = 101 (上升沿)	2.57	2.68	2.79	V
		PLS [2: 0] = 101 (下降沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 110 (上升沿)	2.66	2.78	2.9	V
		PLS [2: 0] = 110 (下降沿)	2.56	2.68	2.8	V
		PLS [2: 0] = 111 (上升沿)	2.76	2.88	3	V
		PLS [2: 0] = 111 (下降沿)	2.66	2.78	2.9	V
V PVDhyst ⁽²⁾	PVD迟滞			100		毫伏
V POR / PDR	开机/关机 重置阈值	下降的边缘	1.8 (1)	1.88	1.96	V
		上升的优势	1.84	1.92	2.0	V
V PDRhyst ⁽²⁾	PDR滞后			40		毫伏
T RSTTEMP0	重置延时		1	2.5	4.5	女士

1. 产品行为由设计保证到最小V POR / PDR 值。
2. 由设计保证，未经生产测试。



5.3.4 嵌入式参考电压

表12给出的参数来源于在环境下进行的测试
温度和V_{DD}电源电压条件总结在表9中。

表12 嵌入内部参考电压

符号	参数	条件	敏	典型	马克斯	单元
V _{REFINT}	内部参考电压	-40°C <T _A <+105°C 1.16		1.20	1.26	V
		-40°C <T _A <+85°C	1.16	1.20	1.24	V
T _{S_vrefint} (1)	ADC采样时间 阅读内部参考 电压			5.1	17.1 (2)	微秒
V _{RERINT} (2)	内部参考电压 蔓延的温度 范围	V _{DD} = 3V±10mV			10	毫伏
T _{科夫} (2)	温度系数				100	PPM /°C

- 可以在应用中通过多次迭代确定最短的采样时间。
- 由设计保证，未经生产测试。

5.3.5 供应电流特性

电流消耗是几个参数和因素的函数，例如
工作电压，环境温度，I / O引脚负载，设备软件配置，
工作频率，I / O引脚切换速率，程序在内存中的位置并执行
二进制代码。

电流消耗按图13所示进行测量：电流消耗
测量方案。

本节给出的所有运行模式电流消耗测量均使用a进行
减少代码，使消费相当于Dhrystone 2.1代码。

最大电流消耗

MCU被置于以下条件下：

- 所有I / O引脚都处于输入模式，静态值为V_{DD}或V_{SS}（空载）
- 除非明确提及，否则所有外设都是禁用的
- Flash存储器访问时间调整为f_{HCLK}频率（从0开始0等待状态）
到24MHz，从24到48MHz的1个等待状态和2个等待状态）
- 在预取中（提醒：该位必须在时钟设置和总线预分频之前设置）
- 当使能外设时，PCLK1 = f_{HCLK} / 2，f_{PCLK2} = f_{HCLK}

表13，表14和表15中给出的参数来自所进行的测试
在环境温度V_{DD}电源电压条件下总结在表9中。



表13. 运行模式下的最大电流消耗，具有数据处理的代码从Flash运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
我 DD	供电电流 运行模式	外部时钟 (2)，全部 外设已启用	72兆赫	50	50.3	嘛
			48 MHz	36.1	36.2	
			36 MHz	28.6	28.7	
			24兆赫	19.9	20.1	
			16兆赫	14.7	14.9	
			8 MHz	8.6	8.9	
		外部时钟 (2)，全部 外设禁用	72兆赫	32.8	32.9	
			48 MHz	24.4	24.5	
			36 MHz	19.8	19.9	
			24兆赫	13.9	14.2	
			16兆赫	10.7	11	
			8 MHz	6.8	7.1	

1. 基于特性描述，未经生产测试。
2. 当f HCLK > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态。

表14 运行模式下的最大电流消耗，具有数据处理的代码从RAM运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
我 DD	供应 目前在 运行模式	外部时钟 (2)，全部 外设已启用	72兆赫	48	50	嘛
			48 MHz	31.5	32	
			36 MHz	24	25.5	
			24兆赫	17.5	18	
			16兆赫	12.5	13	
			8 MHz	7.5	8	
		外部时钟 (2)，全部 外设禁用	72兆赫	29	29.5	
			48 MHz	20.5	21	
			36 MHz	16	16.5	
			24兆赫	11.5	12	
			16兆赫	8.5	9	
			8 MHz	5.5	6	

1. 根据特性，在V DD max, f HCLK max的生产中进行测试。
2. 当f HCLK > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态。

图14. 运行模式下的典型电流消耗与频率（3.6 V时） -
代码与从RAM运行的数据处理，启用外设

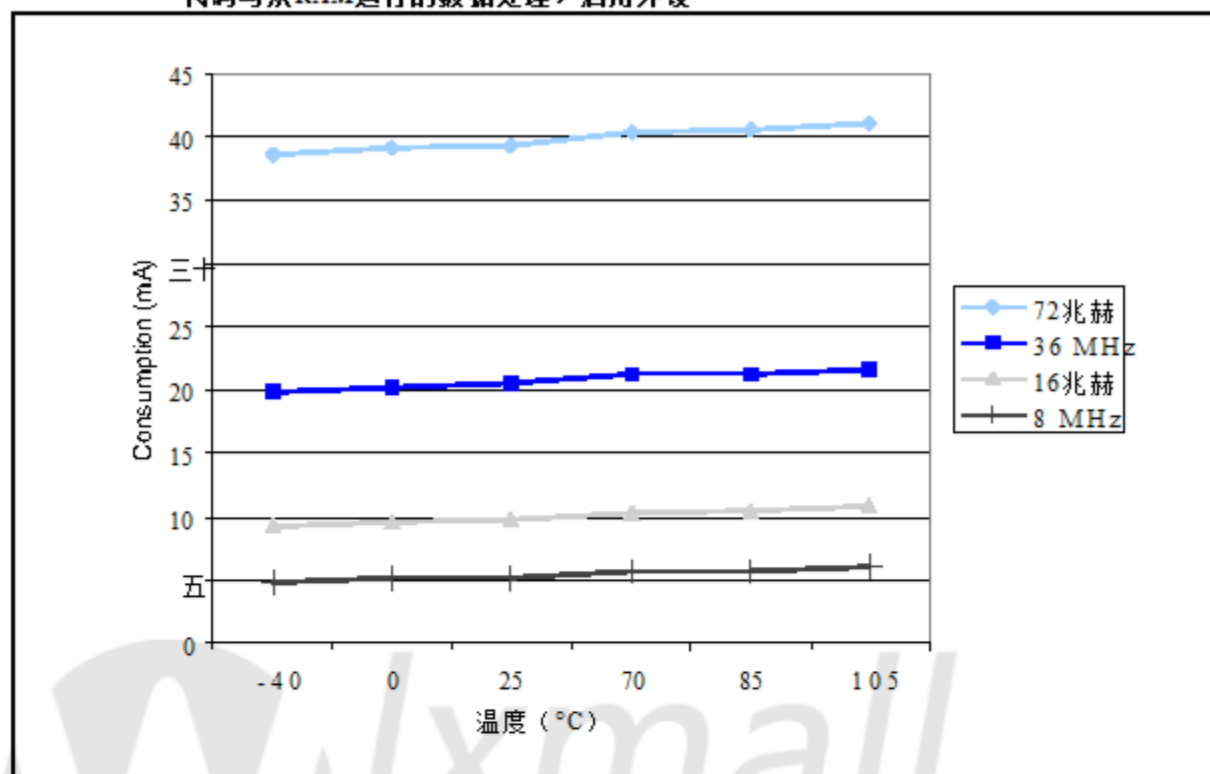


图15. 运行模式下的典型电流消耗与频率（3.6 V时） -
代码与从RAM运行的数据处理，外设禁用

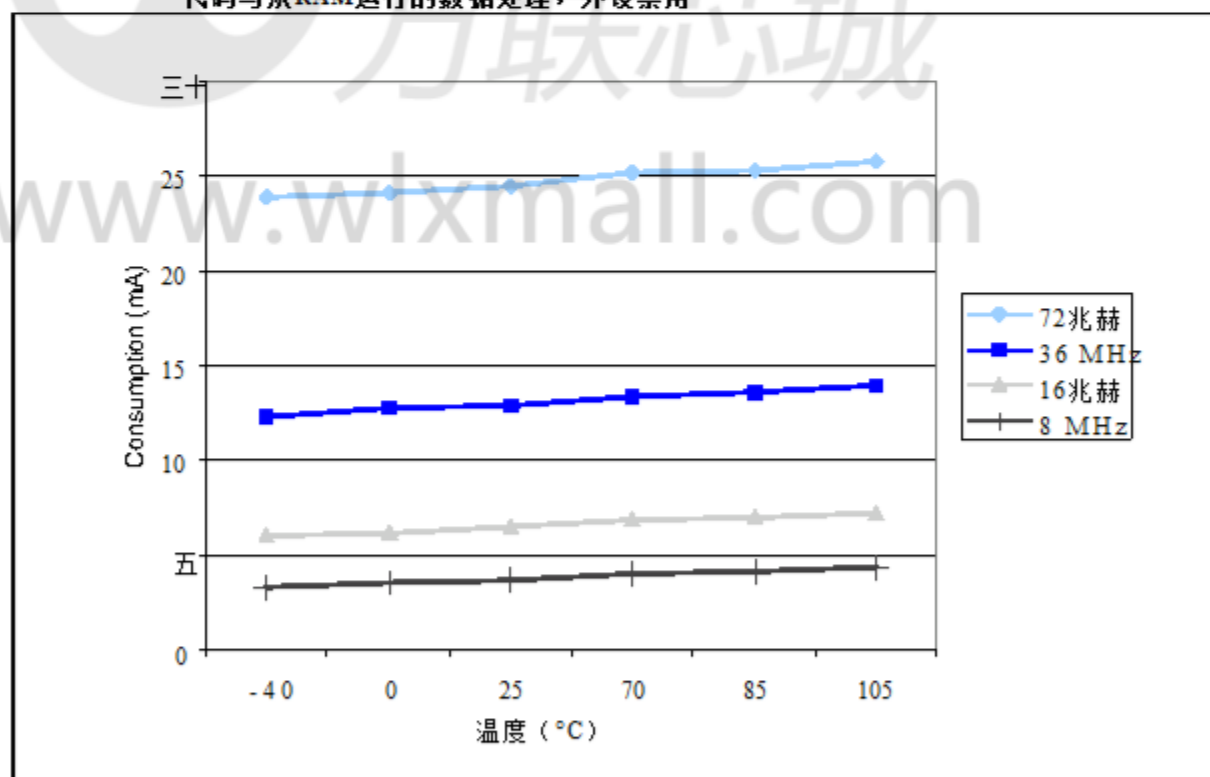


表15 睡眠模式下的最大电流消耗，代码从Flash运行或RAM

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85℃	T A = 105℃	
我 DD	供电电流睡眠模式	外部时钟 (2)，全部外设已启用	72兆赫	三十	32	嘛
			48 MHz	20	20.5	
			36 MHz	15.5	16	
			24兆赫	11.5	12	
			16兆赫	8.5	9	
			8 MHz	5.5	6	
		外部时钟 (2)，全部外设禁用	72兆赫	7.5	8	
			48 MHz	6	6.5	
			36 MHz	五	5.5	
			24兆赫	4.5	五	
			16兆赫	4	4.5	
			8 MHz	3	4	

1. 基于特征描述，在生产中以V DD max，fHCLK max进行测试并启用外设。
2. 当fHCLK > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态。

表16. 停止和待机模式下的典型和最大电流消耗

符号	参数	条件	典型 (1)			马克斯		单元
			V DD / V BATT = 2.0V	V DD / V BATT = 2.4V	V DD / V BATT = 3.3V	T A = 85°C	T A = 105°C	
I DD	电源电流在停止模式下	运行模式下的稳压器，低速和高速内部RC振荡器和高速振荡器OFF（无独立看门狗）	-	23.5	24	200	370	μA
		低功耗模式下的稳压器，高速和低速的内部RC振荡器和高速振荡器OFF（无独立看门狗）	-	13.5	14	180	340	
	电源电流在备用模式	低速内部RC振荡器和独立看门狗开	- 2.6		3.4	-	-	
		低速内部RC振荡器ON，独立看门狗关闭	- 2.4		3.2	-	-	
		低速内部RC振荡器和独立看门狗关闭，高速振荡器和RTC关闭	- 1.7		2	4	5	
I DD_VBAT	备用模式下的V BATT 供应当前	低速振荡器和RTC打开	0.9	1.1	1.4	1.9 (2)	2.2	

1. 典型值在T A = 25°C时测量。
2. 基于特性描述，未经生产测试。

图16. V BAT 上的典型电流消耗 与RTC on与温度的不同 V BAT 值

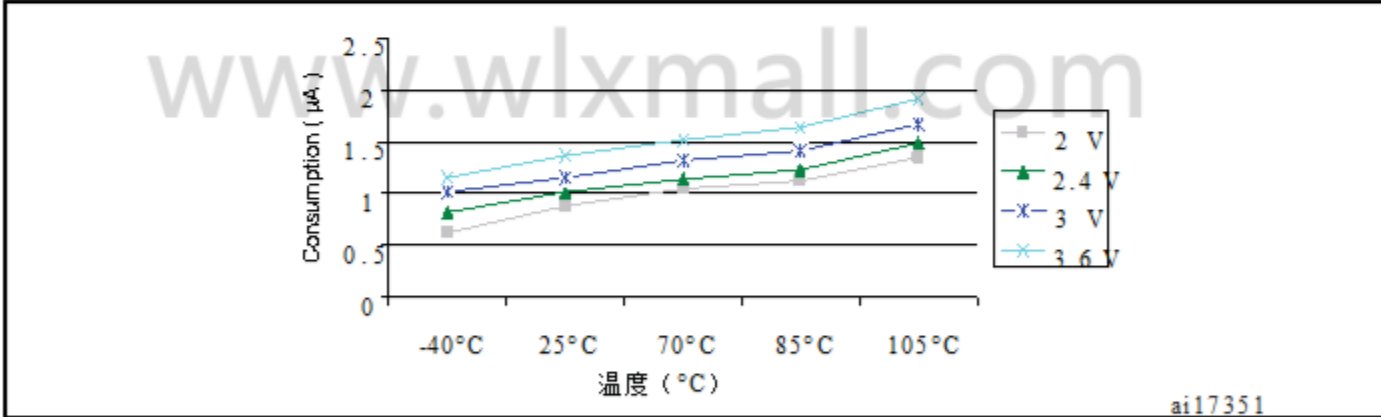


图17. 运行模式下调节器停止模式下的典型电流消耗
在 $V_{DD} = 3.3V$ 和 $3.6V$ 时的温度

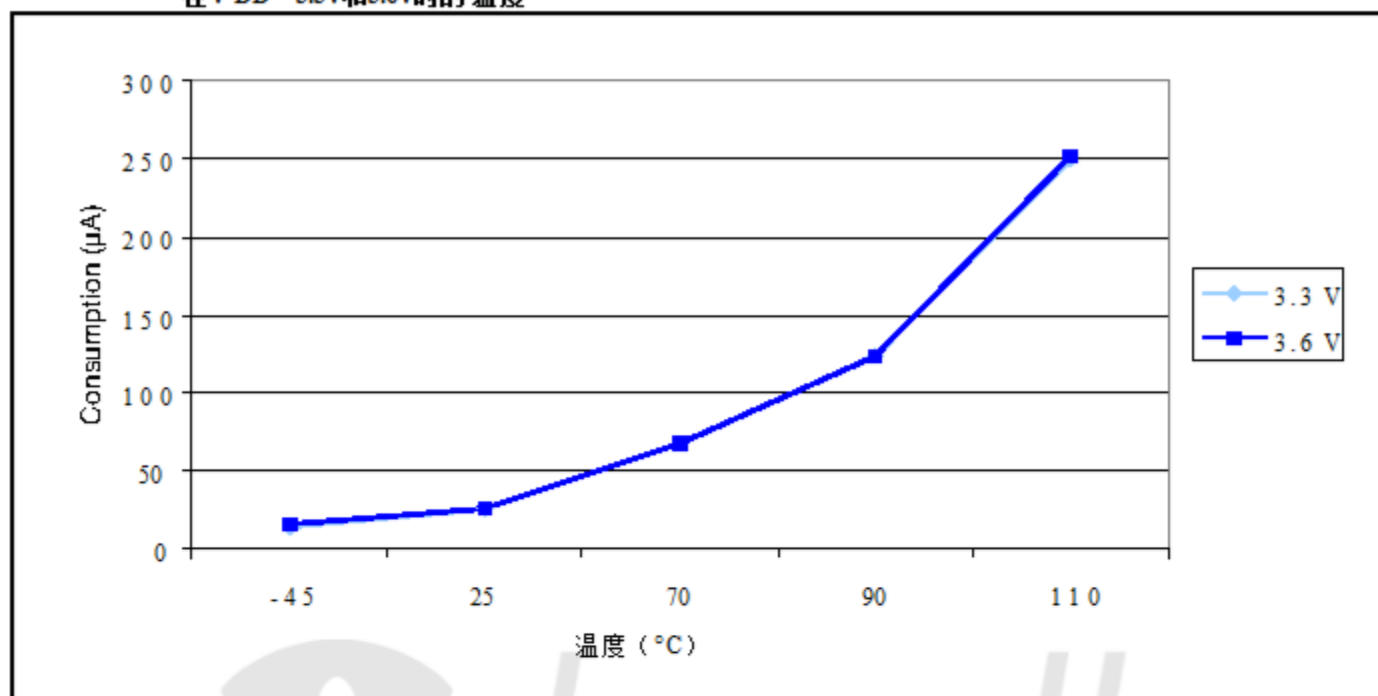


图18. 低功耗模式下的稳压器在停止模式下的典型电流消耗
在 $V_{DD} = 3.3V$ 和 $3.6V$ 时的温度

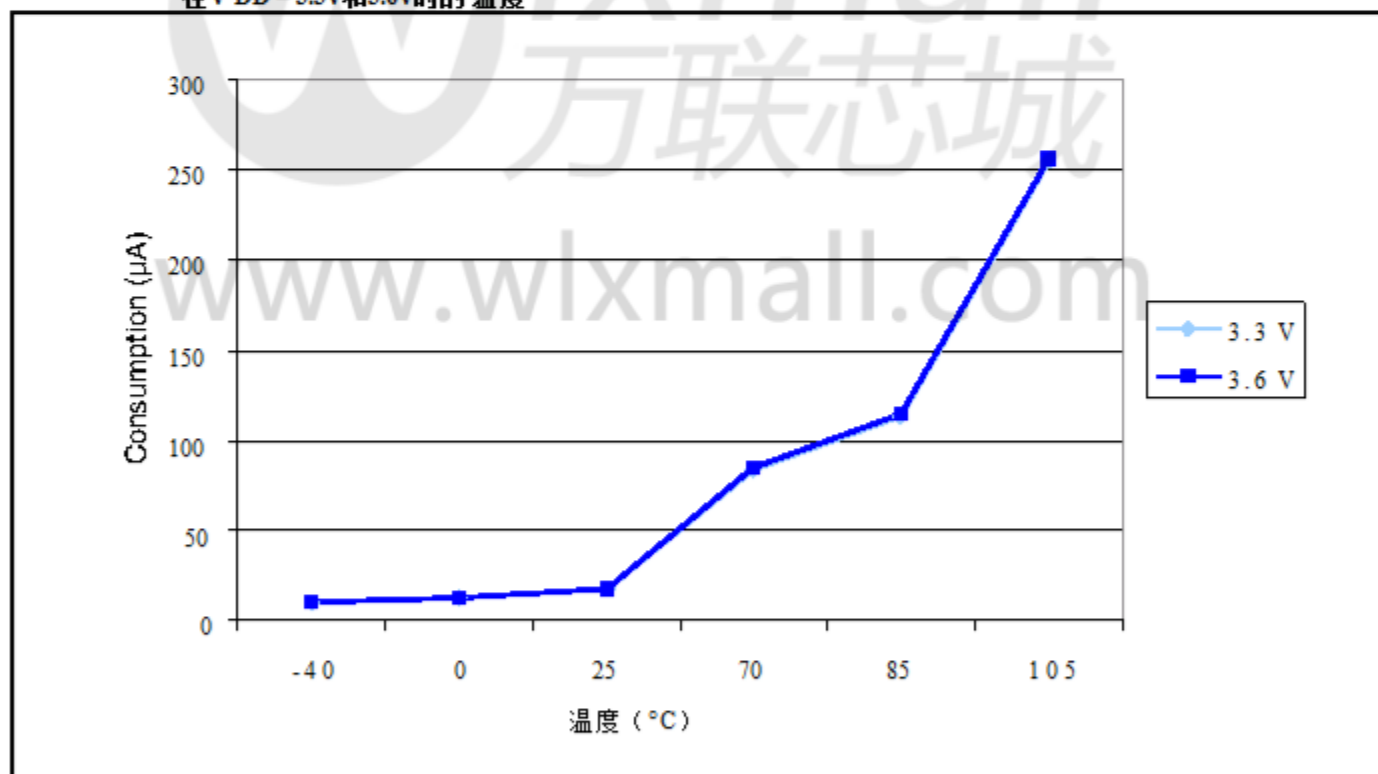
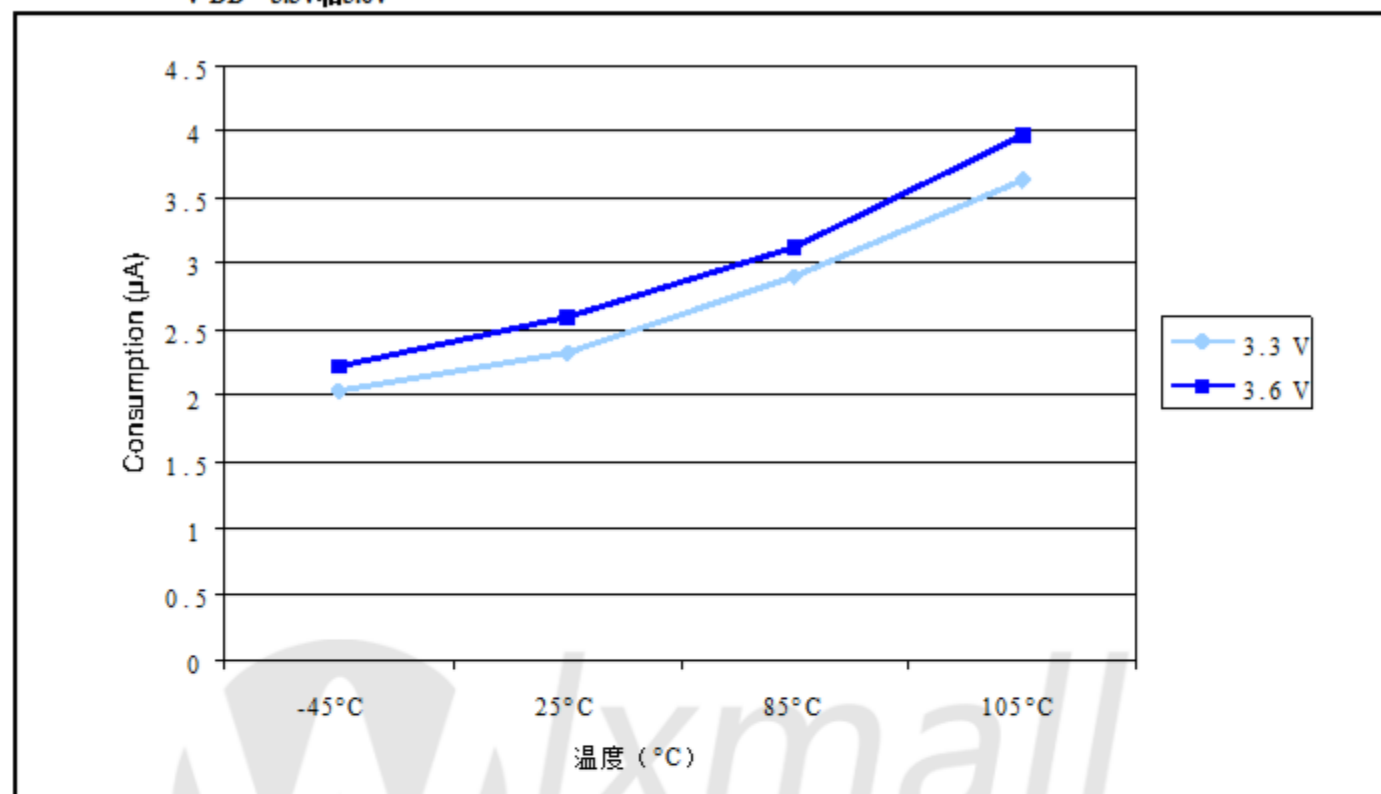


图19. 待机模式下的典型电流消耗与温度的关系
 $V_{DD} = 3.3V$ 和 $3.6V$



典型的电流消耗

MCU被置于以下条件:

- 所有I/O引脚都处于输入模式, 静态值为 V_{DD} 或 V_{SS} (空载)。
- 除非明确提及, 否则所有外围设备都是禁用的。
- 闪存访问时间被调整为 f_{HCLK} 频率 (0到24 MHz, 0的等待状态) 等待状态从24到48 MHz和2个等待状态)。
- 表9中总结了 环境温度和 V_{DD} 电源电压条件。
- 预取开启 (提醒: 该位必须在时钟设置和总线预分频之前设置)
- 当外设使能时 $PCLK1 = f_{HCLK} / 4$, $f_{PCLK2} = f_{HCLK} / 2$, $f_{ADCCLK} = f_{PCLK2} / 4$

表17 运行模式下的典型电流消耗，具有数据处理的代码从Flash运行

符号	参数	条件	f HCLK	典型 (1)		单元
				所有的外围设备 启用 (2)	所有的外围设备 残	
我 DD	供应 目前在 运行模式	外部时钟 (3)	72兆赫	36	27	嘛
			48 MHz	24.2	18.6	
			36 MHz	19	14.8	
			24兆赫	12.9	10.1	
			16兆赫	9.3	7.4	
			8 MHz	5.5	4.6	
			4 MHz	3.3	2.8	
			2 MHz	2.2	1.9	
			1 MHz	1.6	1.45	
			500千赫	1.3	1.25	
			125千赫	1.08	1.06	
		高高在上 高速内部RC (HSI)，AHB 预分频器用于 减少 频率	64兆赫	31.4	23.9	嘛
			48 MHz	23.5	17.9	
			36 MHz	18.3	14.1	
			24兆赫	12.2	9.5	
			16兆赫	8.5	6.8	
			8 MHz	4.9	4	
			4 MHz	2.7	2.2	
			2 MHz	1.6	1.4	
			1 MHz	1.02	0.9	
			500千赫	0.73	0.67	
			125千赫	0.5	0.48	

1. 典型值是在T A = 25℃，V DD = 3.3V下的测量值.
2. 为模拟部分增加每个ADC 0.8 mA的额外功耗.在应用程序中，这个
仅当ADC处于开启状态（ADON位设置在ADC_CR2寄存器中）时才会发生功耗.
3. 当f HCLK > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态 .

表18 睡眠模式下的典型电流消耗，代码从Flash或内存

符号	参数	条件	f HCLK	典型 (1)		单元
				所有的外围设备启用 (2)	所有的外围设备残	
我 DD	供应 目前在 睡眠模式	外部时钟 (3)	72兆赫	14.4	5.5	嘛
			48 MHz	9.9	3.9	
			36 MHz	7.6	3.1	
			24兆赫	5.3	2.3	
			16兆赫	3.8	1.8	
			8 MHz	2.1	1.2	
			4 MHz	1.6	1.1	
			2 MHz	1.3	1	
			1 MHz	1.11	0.98	
			500千赫	1.04	0.96	
			125千赫	0.98	0.95	
		高高在上 高速内部RC (HSI)，AHB预分频器 用于减少 频率	64兆赫	12.3	4.4	
			48 MHz	9.3	3.3	
			36 MHz	7	2.5	
			24兆赫	4.8	1.8	
			16兆赫	3.2	1.2	
			8 MHz	1.6	0.6	
			4 MHz	1	0.5	
			2 MHz	0.72	0.47	
			1 MHz	0.56	0.44	
			500千赫	0.49	0.42	
			125千赫	0.43	0.41	

1. 典型值是在T A = 25℃，V DD = 3.3V下的测量值.
2. 为模拟部分增加每个ADC 0.8 mA的额外功耗.在应用程序中，这个
仅当ADC处于开启状态（ADON位设置在ADC_CR2寄存器中）时才会发生功耗.
3. 当f HCLK > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态 .



片内外设电流消耗

表19给出了片内外设的电流消耗
在以下条件下：

- 所有I / O引脚都处于输入模式，静态值为V_{DD}或V_{SS}（空载）
- 除非另有说明，所有外围设备都是禁用的
- 给定值是通过测量电流消耗来计算的
 - 所有外围设备都关闭
 - 只有一个外设时钟
- 环境工作温度和V_{DD}电源电压条件总结在表6

表19. 外设电流消耗（1）

外围设备		典型的消费在25°C	单元
APB1	TIM2	1.2	嘛
	TIM3	1.2	
	TIM4	0.9	
	SPI2	0.2	
	USART2	0.35	
	USART3	0.35	
	I2C1	0.39	
	I2C2	0.39	
	USB	0.65	
	能够	0.72	
APB2	GPIO A	0.47	嘛
	GPIO B	0.47	
	GPIO C	0.47	
	GPIO D	0.47	
	GPIO E	0.47	
	ADC1（2）	1.81	
	ADC2	1.78	
	TIM1	1.6	
	SPI1	0.43	
	USART1	0.85	

1. f_{HCLK} = 72 MHz，f_{APB1} = f_{HCLK} / 2，f_{APB2} = f_{HCLK}，每个外设的默认预分频器值.
2. ADC的具体条件：f_{HCLK} = 56 MHz，f_{APB1} = f_{HCLK} / 2，f_{APB2} = f_{HCLK}，f_{ADCCLK} = f_{APB2} / 4，ADON位在ADC_CR2寄存器中设置为1.

5.3.6 外部时钟源的特点

从外部源产生的高速外部用户时钟

表20中给出的特性来自使用高速执行的测试
外部时钟源以及环境温度和电源电压条件下
[总结在表9中。](#)

表20 高速外部用户时钟特性

符号	参数	条件	敏	典型	马 克 斯 单 元
f HSE_ext	用户外部时钟源 频率 (1)		18		25 兆 赫
V HSEH	OSC_IN输入引脚高电平电压		0.7 V DD	V DD	V
V HSEL	OSC_IN输入引脚低电平电压		V SS	0.3 V DD	
t w (HSE) t w (HSE)	OSC_IN高电平或低电平时间 (1)		16		NS
t r (HSE) t f (HSE)	OSC_IN上升或下降时间 (1)			20	
C (HSE)	OSC_IN输入电容 (1)			5 p F	的
DuCy (HSE)	工作周期		45	55	%
我 L	OSC_IN输入漏电流	V SS V IN V DD		±1	μA

1. 由设计保证, 未经生产测试.

由外部源产生的低速外部用户时钟

表21中给出的特性来自使用低速执行的测试
外部时钟源以及环境温度和电源电压条件下
[总结在表9中。](#)

表21. 低速外部用户时钟特性

符号	参数	条件	敏	典型	马 克 斯 单 元
f LSE_ext	用户外部时钟源 频率 (1)			32.768	10 00 千赫
V LSEH	OSC32_IN输入引脚高电平 电压		0.7 V DD	V DD	V
V LSEL	OSC32_IN输入引脚低电平 电压		V SS	0.3 V DD	
t w (伦敦交易所) t w (伦敦交易所)	OSC32_IN高电平或低电平时间 (1)		4 5 0		NS
t (LSE) t f (LSE)	OSC32_IN上升或下降时间 (1)			50	
C (LSE)	OSC32_IN输入电容 (1)			5 p F	的
DuCy (LSE)	工作周期		三十	70	%
我 L	OSC32_IN输入泄漏 当前	V SS V IN V DD		±1	μA

1. 由设计保证, 未经生产测试.



图20. 高速外部时钟源交流时序图

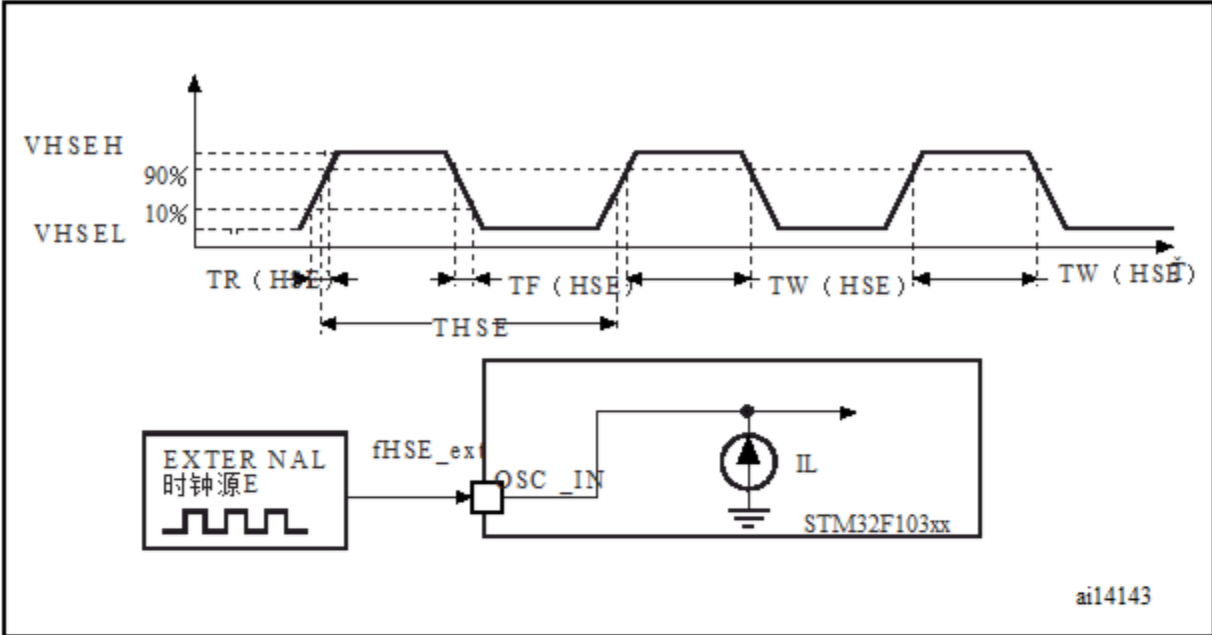
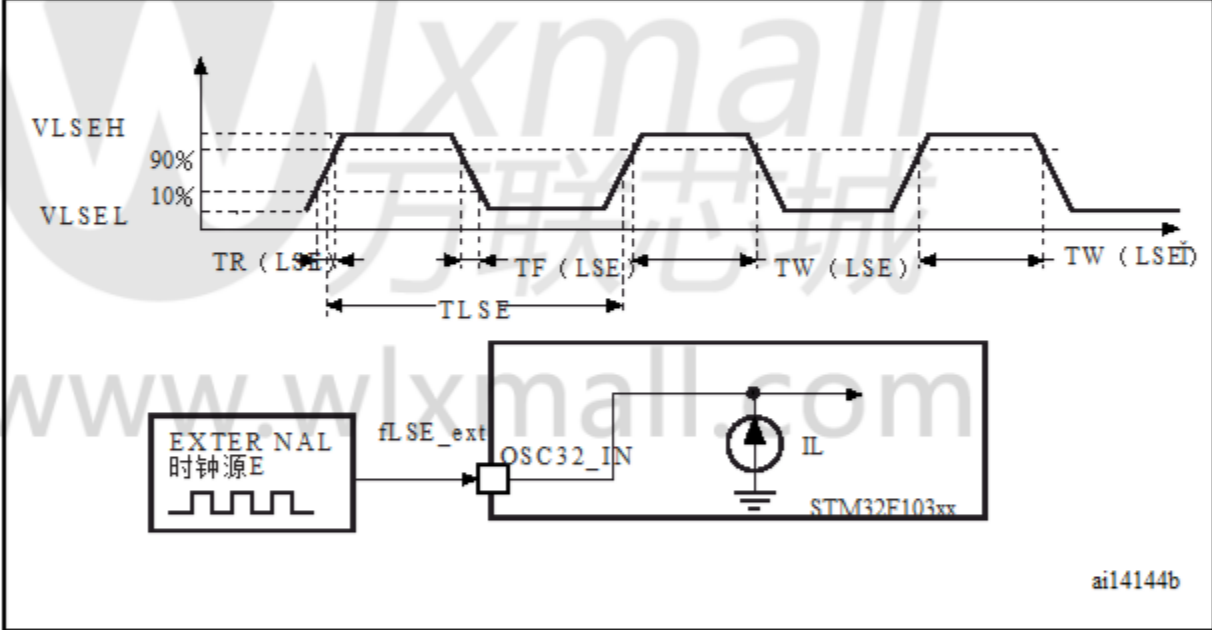


图21. 低速外部时钟源交流时序图



由晶体/陶瓷谐振器产生的高速外部时钟

高速外部 (HSE) 时钟可以提供4到16 MHz的晶体/陶瓷谐振器。本段中的所有信息都是基于特征的。使用表22中指定的典型外部组件获得的结果。在应用中，谐振器和负载电容必须尽可能靠近振荡器放置，以减少输出失真和启动稳定时间。参考水晶谐振器制造商更多关于谐振器特性（频率，包裹，准确性）。

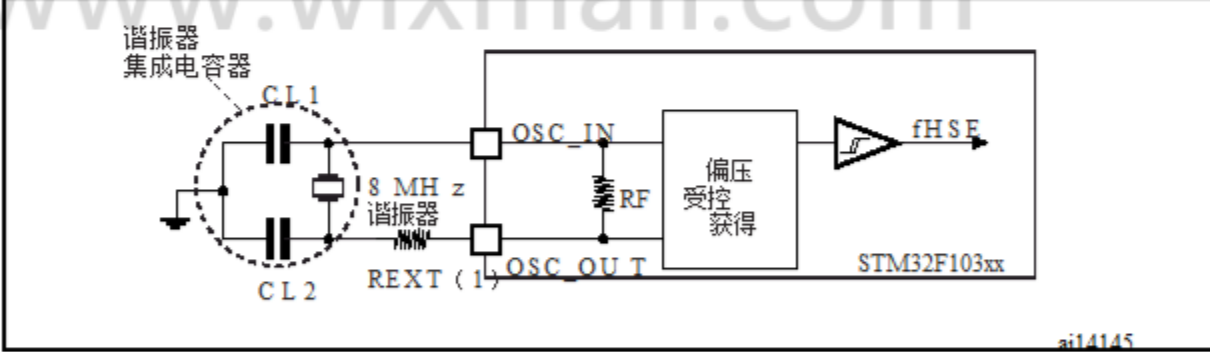
表22 HSE 4-16 MHz振荡器特性 (1) (2)

符号	参数	条件	敏	典型	马克斯单元
f OSC_IN	振荡器频率		4	8	16 兆 赫
R F	反馈电阻			200	k Ω
C	推荐的负载电容 对等系列 晶体的电阻 (R S)	R S = 30 Ω		三十	pF的
我 2	HSE驱动电流	V DD = 3.3V, V IN = V SS 30 pF负载			1 毫 安
克米	振荡器跨导	启动	25		毫安/V
苏 (HSE (	启动时间	V DD 稳定		2	女士

1. 由晶体/陶瓷谐振器制造 商给出的谐振器特性.
2. 基于特性描述, 未经生产测试.
3. 射频电阻的相对较低的值提供了一个很好的保护, 防止因使用a而产生的问题潮湿的环境中, 由于诱发泄漏和偏差情况的变化.但是, 这是如果MCU在恶劣的湿度条件下使用, 建议考虑这一点.
4. SU (HSE) 是从启用 (通过软件) 到稳定的8 MHz的时刻测量的启动时间.这个值是测量一个标准的晶体谐振器, 它可以显著变化与晶体制造 商

对于C L1和C L2, 推荐使用高质量的外置陶瓷电容器
5 pF至25 pF范围 (典型值), 专为高频应用而设计, 并选择匹配
晶体或谐振器的要求 (见图22). C L1和C L2通常是
相同的尺寸.晶体制造 商通常会指定一个负载电容,
C L1和C L2的串联组合.必须包含PCB和MCU引脚电容 (10 pF
可以用来粗略估计组合的引脚和电路板电容)
C L1和C L2.请参考应用笔记AN2867“ST的振荡器设计指南”
微控制器“可从ST网站www.st.com获得.

图22. 典型的8 MHz晶体应用



1. R EXT 值取决于晶体特性.

由晶体/陶瓷谐振器产生的低速外部时钟

低速外部 (LSE) 时钟可以提供 一个32.768 kHz晶体/陶瓷
谐振器.本段中的所有信息都是基于特征的
使用表23中指定的典型外部组件获得的结果.在应用程序中,
谐振器和负载电容必须尽可能靠近振荡器放置
以减少输出失真和启动稳定时间.参考水晶
谐振器制造 商更多关于谐振器特性 (频率,
包裹, 准确性) .

表23 LSE振荡器特性 (fLSE = 32.768 kHz) (1)

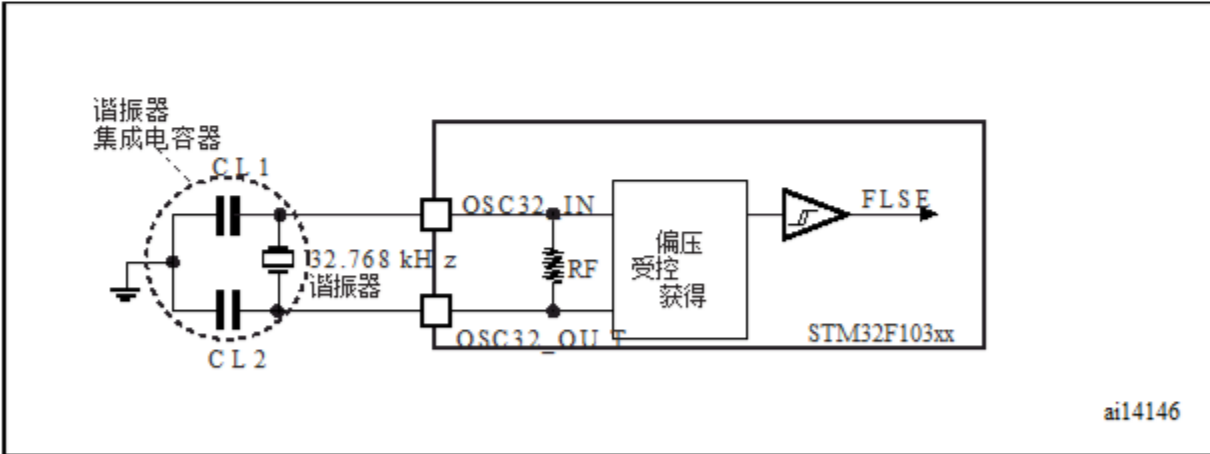
符号	参数	条件	敏	典型	马克斯	单元
RF	反馈电阻			五		中号
C (2)	推荐的负载电容 对等系列 晶体的电阻 (RS) (3)	RS = 30 k			15	pF的
我 2	LSE驱动电流	VDD = 3.3V, VIN = VSS			1.4	μA
克米	振荡器跨导		五			μA/V
苏 (LSE)(4)	启动时间	VDD 稳定		3		小号

1. 基于特性描述，未经生产测试。
2. 请参考表格下方的注意事项和注意事项以及应用笔记AN2867“振荡器”
ST微控制器设计指南。
3. 振荡器的选择可以使用高质量谐振器来优化供电电流。
小的RS值，例如MSIV-TIN32.768kHz。请参阅晶体制造商了解更多详情。
4. SU (LSE) 是从启用（通过软件）到稳定的32.768kHz的时刻测量的启动时间。
kHz振荡达到。该值是针对标准晶体谐振器测量的，并且可以变化
与晶体制造商查看。

注意：对于CL1和CL2，推荐使用5 pF至5pF的高质量陶瓷电容。
选择15 pF范围以匹配晶体或谐振器的要求。CL1和CL2，都是
通常大小相同。晶体制造商通常会指定一个负载电容
是CL1和CL2的串联组合。
负载电容CL具有以下公式： $CL = CL1 \times CL2 / (CL1 + CL2) + C_{stray}$ 其中
C杂散是引脚电容和电路板或PCB走线的相关电容。通常情况下，
在2 pF和7 pF之间。

警告：为了避免超过CL1和CL2（15 pF）的最大值，强烈建议
使用负载电容CL≈7 pF的谐振器。切勿在负载中使用谐振器
电容为12.5 pF。
例如：如果选择负载电容CL=6 pF，C杂散=2 pF的谐振器，
那么CL1=CL2=8pF。

图23. 典型应用与32.768 kHz晶体



5.3.7 内部时钟源的特点

表24中给出的参数来源于在环境下进行的测试
温度和VDD电源电压条件总结在表9中。



高速内部（HSI）RC振荡器

表24 HSI振荡器特性 (1)

符号	参数	条件	敏	典型	马克斯	单元
f _{HSI}	频率			8		兆赫
ACC HSI	HSI的准确性 振荡器	用户使用RCC_CR进行修剪 注册 (2)			1 (3)	%
		厂- 校准 (4)	T A = -40至105°C	-2	2.5	%
			T A = -10至85°C	-1.5	2.2	%
			T A = 0至70°C	-1.3	2	%
			T A = 25°C	-1.1	1.8	%
苏 (HSI) (4)	HSI振荡器 启动时间		12			微秒
我 DD (HSI)	HSI振荡器电源 消费			80	100	μA

1. 除非另有说明，否则 V DD = 3.3 V，T A = -40至105°C.
2. 请参考应用笔记AN2868“STM32F10xxx内部RC振荡器（HSI）校准”
ST网站www.st.com.
3. 由设计保证，未经生产测试.
4. 基于特性描述，未经生产测试.

低速内部（LSI）RC振荡器

表25 LSI振荡器特性 (1)

符号	参数	敏	典型	马克斯	单元
LSI (2)	频率	三十	40	60	千赫
LSI (LSI) (3)	LSI振荡器启动时间			85	微秒
我 DD (LSI)	LSI振荡器的功耗		0.65	1.2	μA

1. V DD = 3 V，T A = -40至105°C，除非另有规定.
2. 基于特性描述，未经生产测试.
3. 由设计保证，未经生产测试.

从低功耗模式唤醒的时间

表26中给出的唤醒时间是在一个8MHz HSI RC唤醒阶段测得的
振荡器.用于唤醒设备的时钟源取决于当前的操作
模式:

- 停止或待机模式: 时钟源是RC振荡器
- 睡眠模式: 时钟源是进入睡眠模式之前设置的时钟.

所有时间均来自在环境温度和V DD电源下进行的测试
电压条件总结在表9中.



表26. 低功耗模式唤醒定时

符号	参数	典型	单元
WUSLEEP (1)	从睡眠模式唤醒	1.8	微秒
t WUSTOP (1)	从停止模式唤醒 (调节器处于运行模式)	3.6	微秒
	从停止模式唤醒 (低功率调节器模式)	5.4	
t WUSTDBY (1)	从待机模式唤醒	50	微秒

1. 唤醒时间是从唤醒事件到用户应用程序代码的测量点
读取第一条指令。

5.3.8 PLL特性

表27中给出的参数来源于在环境下进行的测试
温度和VDD电源电压条件总结在表9中。

表27 PLL特性

符号	参数	值			单元
		最低 (1)	典型	最大值 (1)	
f PLL_IN	PLL输入时钟 (2)	18.0		25	兆赫
	PLL输入时钟占空比	40		60	%
f PLL_OUT	PLL乘法器输出时钟	16		72	兆赫
锁定	PLL锁定时间			200	微秒
抖动	周期到周期的抖动			300	PS

1. 基于特性描述，未经生产测试。
2. 请注意使用适当的乘法因子，以使PLL输入时钟值兼容
由f PLL_OUT定义的范围。

5.3.9 记忆特性

闪存

除非另有说明，特性在T A = -40至105°C时给出。

表28 闪存特性

符号	参数	条件	分钟 (1)	典型	最大 (1)	单元
t 编	16位编程时间	T A -40至+105°C	40	52.5	70	微秒
擦除 页面 (1 KB)	擦除时间	T A -40至+105°C	20		40	女士
我ME	整体擦除时间	T A -40至+105°C	20		40	女士



表28 闪存特性（续）

符号	参数	条件	最低 (1)	典型	最大 (1)	单元
I _{DD}	电源电流	读取模式 f _{HCLK} = 72 MHz, 等待2次 状态, V _{DD} = 3.3V			20	嘛
		写/擦除模式 f _{HCLK} = 72MHz, V _{DD} = 3.3V			5 毫	安
		掉电模式/暂停, V _{DD} = 3.0至3.6V			50	μA
V _{PROG}	编程电压		2		3.6	V

1. 由设计保证, 未经生产测试.

表29. 闪存耐用性和数据保留

符号	参数	条件	值			单元
			最低 (1)	典型	马克斯	
N _{END}	耐力	T _A = -40至+85°C (6个后继版本) T _A = -40至+105°C (7个后继版本)	10			kcycles
t _{RET}	数据保留	1个循环 (2), 在T _A = 85°C	三十			年份
		1 Kcycle (2), T _A = 105°C	10			
		在T _A = 55°C下 10k周 (2)	20			

1. 基于特性描述, 未经生产测试.
2. 骑自行车在整个温度范围内进行.

5.3.10 EMC特性

在器件表征过程中, 以样品为基础进行敏感性测试.

功能性EMS (电磁敏感性)

在设备上执行简单的应用程序 (通过I/O端口切换2个LED). 该装置受到两个电磁事件的压力, 直到发生故障. 失败是由LED指示:

- 静电放电 (ESD) (正极和负极) 施加到所有器件引脚直到发生功能紊乱. 该测试符合IEC 61000-4-2标准.
- FTB: 快速瞬变电压 (正和负) 突发被施加到V_{DD}和V_{SS}通过一个100 pF电容, 直到发生功能性干扰. 这个测试是符合IEC 61000-4-4标准.

设备重置允许恢复正常操作.

测试结果在表30中给出. 它们基于EMS水平和类别在应用笔记AN1709中定义.



表30 EMS特性

符号	参数	条件	水平 / 类
V FESD	要在任何I / O引脚上施加电压限制 诱发功能障碍	V DD = 3.3V, T A = + 25°C, f HCLK = 72 MHz 符合IEC 61000-4-2	2B
V EFTB	快速瞬态电压突发限制是 在V DD 和V SS 上通过100 pF施加 引起功能性干扰	V DD = 3.3V, T A = + 25°C, f HCLK = 72 MHz 符合IEC 61000-4-4	4A

设计强化软件以避免噪音问题

EMC表征和优化是在组件级别上进行的
应用环境和简化的MCU软件.应该指出，好的EMC
性能高度依赖于用户应用程序和软件.

因此建议用户应用EMC软件优化和
与其申请要求的EMC等级相关的资格预审.

软件建议

软件流程图必须包含失控条件的管理，例如：

- 损坏的程序计数器
- 意外的重置
- 关键数据损坏（控制寄存器...）

资格预审试验

大多数常见的故障（意外重置和程序计数器损坏）都可以
通过在NRST引脚或振荡器引脚上手动强制为低电平来复制
第二.

为了完成这些试验，可以在器件上直接施加ESD应力
规格值.当检测到意外的行为时，软件可以被硬化
以防止发生不可恢复的错误（参见应用笔记AN1015）.

电磁干扰（EMI）

监测设备发射的电磁场，同时进行简单的应用
执行（通过I / O端口切换2个LED）.这个排放测试符合
IEC 61967-2标准规定了测试板和引脚负载.

表31. EMI特性

符号	参数	条件	监控 频带	Max与 [f HSE / f HCLK]		单元
				8/48 MHz	8/72 MHz	
S EMI	高峰水平	V DD = 3.3V, T A = 25°C, LQFP100封装 符合 IEC 61967-2	0.1至30 MHz	12	12	平dBμV
			30至130 MHz	22	19	
			130 MHz至1GHz	23	29	
			SAE EMI电平	4	4	-

5.3.11 绝对最大额定值（电气灵敏度）

基于三个不同的测试（ESD，LU）使用特定的测量方法，该设备是强调为了确定其在电气灵敏度方面的表现。

静电放电（ESD）

静电放电（阳性，然后负脉冲分开1秒）
根据每个针脚组合应用到每个样品的针脚.样本大小
取决于器件中电源引脚的数量（3个部件×（n + 1）个电源引脚）.这个测试符合JESD22-A114 / C101标准。

表32. ESD绝对最大额定值

符号	评级	条件	类	最大值（1）	单元
V ESD（HBM）	静电放电电压（人体模型）	T A↑+ 25°C 符合 JESD22-A114	2	2000	V
V ESD（CDM）	静电放电电压（充电设备模型）	T A↑+ 25°C 符合 JESD22-C101	II	500	

1. 根据表征结果，未经生产测试。

静态闭锁

在六个部分需要两个互补的静态测试来评估闭锁性能：

- 电源过压被应用到每个电源引脚
- 电流注入应用于每个输入，输出和可配置的I / O引脚

这些测试符合EIA / JESD 78A IC闭锁标准。

表33 电气敏感度

符号	参数	条件	类
鲁	静态闭锁类	T A↑ + 105°C符合JESD78A	II级A级



5.3.12 I / O端口特性

一般输入/输出特性

除非另有说明，否则表34中给出的参数来自测试
所有I / O都是CMOS和TTL
兼容。

表34. I / O静态特性

符号	参数	条件	敏	典型	马克斯	单元
V IL	输入低电平电压	TTL端口	-0.5		0.8	V
V IH	标准IO输入高电平电压		2 V DD +0.5			
	IO FT (1) 输入高电平电压		2.5 . 5 V			
V IL	输入低电平电压	CMOS端口	-0.5		0.35 V DD	V
V IH	输入高电平电压		0.65 V DD		V DD +0.5	
V hys	标准IO施密特触发器电压滞后 (2)		200			毫伏
	IO FT施密特触发器电压迟滞 (2)		5% V DD (3)			毫伏
I Ikg	输入漏电流 (4)	V SS V IN V DD 标准I / O			1	μA
		V IN = 5 V I / O FT			3	
R PU	弱上拉当量电阻 (5)	V IN = V SS	三十	40	50	kΩ
R PD	弱下拉当量电阻器 (5)	V IN = V DD	三十	40	50	kΩ
C IO	I / O引脚电容			五		pF的

- 1. FT =五伏宽容。
- 2. 施密特触发器切换电平之间的滞后电压.基于特性描述，未经测试生产。
- 3. 至少100 mV.
- 4. 泄漏可能高于最大值.如果负电流注入相邻的引脚。
- 5. 上拉电阻和下拉电阻采用真正的电阻与可切换电阻串联设计 PMOS / NMOS.这个MOS / NMOS对 串联电阻的贡献 是最小的（约10%的数量级）。

所有I / O都符合CMOS和TTL（不需要软件配置），它们特性考虑最严格的CMOS技术或TTL参数：

- 对于V IH：
如果V DD 在[2.00 V - 3.08 V]范围内：CMOS特性，但包括TTL
如果V DD 在[3.08 V - 3.60 V]范围内：TTL特性但包含CMOS
- 对于V IL：
如果V DD 在[2.00 V - 2.28 V]范围内：TTL特性但包含CMOS
如果V DD 在[2.28 V - 3.60 V]范围内：CMOS特性，但包括TTL

输出驱动电流

GPIO（通用输入/输出）可以吸收或提供高达+/- 8 mA的电流，并可以下沉+ 20毫安（放松VOL）。

在用户应用程序中，可以驱动电流的I/O引脚的数量必须限制在[尊重第5.2节中规定的绝对最大额定值](#)：

- VDD上的所有I/O所产生的电流总和 加上最大值Run
源于VDD的MCU的功耗 不能超过绝对最大额定值
IVDD（见表7）。
- VSS上的所有I/O所加载的电流总和 加上最大值Run
VSS上沉没的MCU的功耗 不能超过绝对最大额定值
IVSS（见表7）。

输出电压水平

除非另有说明，否则表35中给出的参数来自测试
在环境温度和VDD电源电压条件下进行总结
表9.所有I/O都符合CMOS和TTL标准。

表35 输出电压特性

符号	参数	条件	敏	马克斯单元	
V OL(1)	输出I / O引脚的低电平电压 当8个引脚同时沉没时	TTL 端口 I IO = + 8mA 2.7 V <V DD <3.6 V		0.4	V
V OH(2)	输出I / O引脚的高电平电压 当8个引脚同时来源时		V DD -0.4		
V OL(1)	输出I / O引脚的低电平电压 当8个引脚同时沉没时	CMOS端口 我 IO = + 8毫安 2.7 V <V DD <3.6 V		0.4	V
V OH(2)	输出I / O引脚的高电平电压 当8个引脚同时来源时		2.4		
V OL(1)	输出I / O引脚的低电平电压 当8个引脚同时沉没时	I IO = + 20 mA 2.7 V <V DD <3.6 V		1.3	V
V OH(2)	输出I / O引脚的高电平电压 当8个引脚同时来源时		V DD -1.3		
V OL(1)	输出I / O引脚的低电平电压 当8个引脚同时沉没时	I IO = + 6mA 2 V <V DD <2.7 V		0.4	V
V OH(2)	输出I / O引脚的高电平电压 当8个引脚同时来源时		V DD -0.4		

1. 器件吸入的IIO电流必须始终遵守表7中规定的绝对最大额定值
IIO（I/O端口和控制引脚）的总和 不得超过IVSS。
2. 设备产生的IIO电流必须始终保持在中指定的绝对最大额定值
表7和IIO（I/O端口和控制引脚）的总和 不得超过IVDD。
3. 基于特征数据，未经生产测试。



输入/输出AC特性

输入/输出交流特性的定义和数值在图24中给出表36.

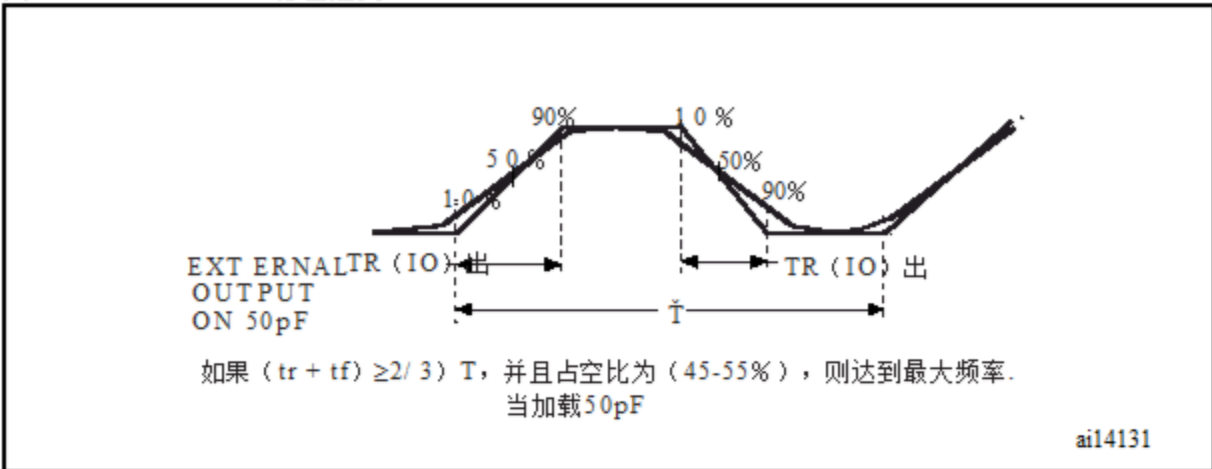
除非另有说明，否则表36中给出的参数来自测试在环境温度和V_{DD}电源电压条件下进行总结在表9中.

表36. I/O交流特性 (1)

MODEx [1: 0] 位值 (1)	符号	参数	条件	敏	马克	单元
10	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V		2	兆赫
	t _f (IO) _{out}	输出高到低平均下降时间	C _L = 50pF, V _{DD} = 2V至3.6V		125 (3)	NS
	t _r (IO) _{out}	输出从低到高水平上升时间			125 (3)	
01	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V		10	兆赫
	t _f (IO) _{out}	输出高到低平均下降时间	C _L = 50pF, V _{DD} = 2V至3.6V		25 (3)	NS
	t _r (IO) _{out}	输出从低到高水平上升时间			25 (3)	
11	F _{max} (IO) _{out}	最大频率 (2)	C _L = 30pF, V _{DD} = 2.7V至3.6V		50	兆赫
			C _L = 50pF, V _{DD} = 2.7V至3.6V		三十	兆赫
			C _L = 50pF, V _{DD} = 2V至2.7V		20	兆赫
	t _f (IO) _{out}	输出高到低平均下降时间	C _L = 30pF, V _{DD} = 2.7V至3.6V		5 (3)	NS
			C _L = 50pF, V _{DD} = 2.7V至3.6V		8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V		12 (3)	
	t _r (IO) _{out}	输出从低到高水平上升时间	C _L = 30pF, V _{DD} = 2.7V至3.6V		5 (3)	
			C _L = 50pF, V _{DD} = 2.7V至3.6V		8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V		12 (3)	
- t _{EXTI} pw		脉冲宽度外部信号由EXTI检测到调节器		10		NS

1. I/O速度使用MODEx [1: 0]位进行配置.请参考STM32F10xxx参考手册GPIO端口配置寄存器的描述.
2. 最大频率在图24中定义.
3. 由设计保证，未经生产测试.

图24. I/O AC特性定义



5.3.13 NRST引脚特性

NRST引脚输入驱动器使用CMOS技术.它连接到一个永久的上拉电阻R_{PU} (见表34) .

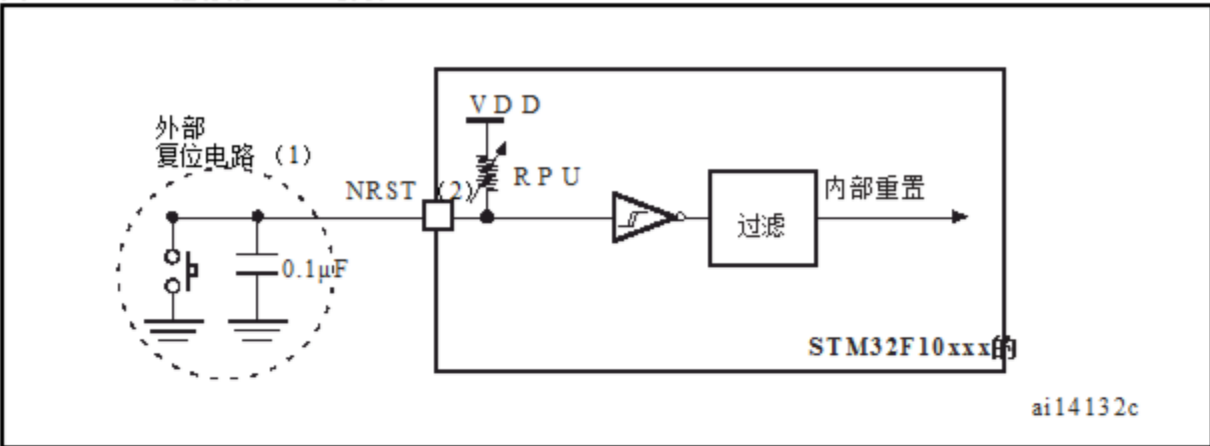
除非另有说明, 否则表37中给出的参数来自测试
在环境温度和V_{DD}电源电压条件下进行总结
在表9中.

表37. NRST引脚特性

符号	参数	条件	敏	典型	马克斯	单元
V _{IL} (NRST)	NRST输入低电平电压		-0.5		0.8	V
V _{IH} (NRST)	NRST输入高电平电压		2		V _{DD} +0.5	
V _{HS} (NRST)	NRST施密特触发器电压 滞后			200		毫伏
R _{PU}	弱上拉等效电阻 (2)	V _{IN} = V _{SS}	三十	40	50	k Ω
V _F (NRST)	NRST输入滤波脉冲				100	NS
V _{NF} (NRST)	NRST输入无滤波脉冲		300			NS

1. 由设计保证, 未经生产测试.
2. 上拉电阻采用真正的电阻设计, 与可切换的PMOS串联.这是PMOS的贡献
串联电阻必须最小 (~10% 订单)

图25. 推荐的NRST引脚保护



- 2. 复位网络保护设备免受寄生重置.
- 3. 用户必须确保NRST引脚上的电平可以低于在中 指定的V IL (NRST) 最大电平表37.否则，复位将不会被设备考虑在内.

5.3.14 TIM定时器特性

表38给出的参数是由设计保证的.

有关输入/输出替代的详细信息，请参见第5.3.12节“I / O端口特性”
功能特性（输出比较，输入捕捉，外部时钟，PWM输出）.

表38. TIMx (1) 特性

符号	参数	条件	敏	马克斯	单元
TIM (TIM)	定时器解析时间		1		t TIMxCLK
		f TIMxCLK = 72 MHz	13.9		NS
f EXT	定时器外部时钟 频率到CH1到CH4		0	f TIMxCLK / 2	兆赫
		f TIMxCLK = 72 MHz	0 3 6		兆赫
Res TIM	定时器分辨率			16	位
t COUNTER	16位计数器时钟周期 当内部时钟是 选		1	65536	t TIMxCLK
		f TIMxCLK = 72 MHz	0.0139	910	微秒
t MAX_COUNT	可能的最大数量			65536×65536	t TIMxCLK
		f TIMxCLK = 72 MHz		59.6	小号

- 1. TIMx用作通用术语来指代TIM1，TIM2，TIM3和TIM4定时器.

5.3.15 通信接口

2 C接口特性

除非另有说明，否则表39中给出的参数来自测试
在环境温度下执行，fPCLK1频率和VDD电源电压
条件总结在表9中。

STM32F103xx性能线I 2 C接口符合标准的要求
2 C通信协议，具有以下限制：I/O引脚SDA和SCL均为

映射到不是“真正的”漏洞。当配置为漏极开路时，PMOS连接
I/O引脚和VDD之间禁用，但仍然存在。

我 表C中描述了2 C特性。另请参见第5.3.12节：I/O端口
输入/输出复用功能特性（SDA）的更多细节
和SCL）。

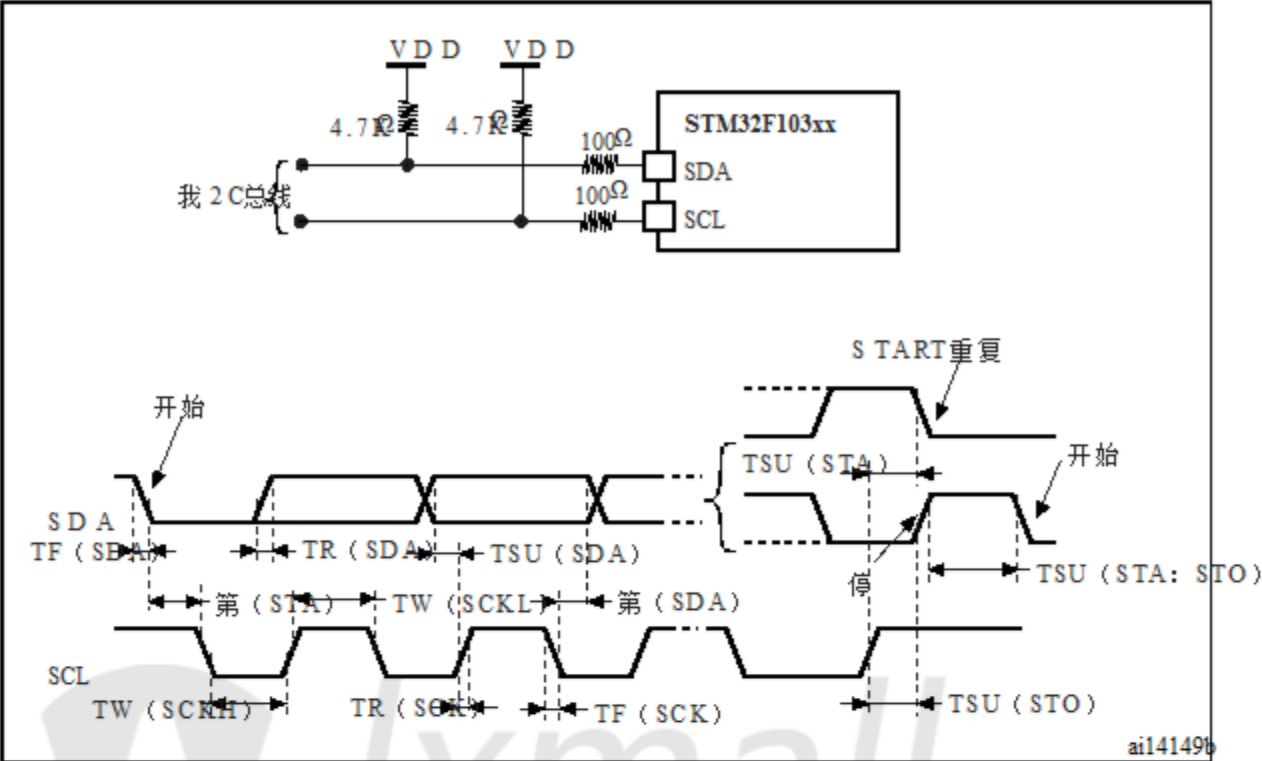
表39. 我的C特性

符号	参数	标准模式I 2 C (1)		快速模式I 2 C (1) (2)		单元
		敏	马克斯	敏	马克斯	
t w (SCL)	SCL时钟低电平时间	4.7		1.3		微秒
t w (SCLH)	SCL时钟高时间	4		0.6		
苏 (SDA)	SDA设置时间	250		100		NS
t (SDA)	SDA数据保存时间	0 (3)		0 (4)	900 (3)	
t (SDA) t (SCL)	SDA和SCL上升时间		1000	20 + 0.1Cb	300	
t f (SDA) t f (SCL)	SDA和SCL下降时间		300		300	
t (STA)	开始条件保持时间	4		0.6		微秒
吨 (STA)	重复启动条件 设置时间	4.7		0.6		
苏 (STO)	停止条件设置时间	4		0.6		≈ s
t w (STO: ST4)	停止开始条件时间 (免费巴士)	4.7		1.3		≈ s
C b	每个总线的容性负载 线		400		400	pF的

1. 由设计保证，未经生产测试。
2. fPCLK1必须高于2 MHz才能达到最大标准模式I 2 C频率。一定是
高于4 MHz来实现最大快速模式I 2 C频率。
3. 只有当接口不拉低时，才能满足启动条件的最大保持时间
SCL信号的周期。
4. 为了桥接SDA信号，器件必须在内部提供至少300ns的保持时间
SCL下降沿的未定义区域。



图26. I2C总线交流波形和测量电路



1. 测量点在CMOS电平上进行：0.3V_{DD}和0.7V_{DD}。

表40 SCL频率 (f_{PCLK1} = 36 MHz, V_{DD} = 3.3 V) (1) (2)

f _{SCL} (kHz)	I2C_CCR值
	R _P = 4.7kΩ
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

1. R_P = 外部上拉电阻, f_{SCL} = I²C速度,
2. 对于200 kHz左右的速度, 实现速度的容差是5%。对于其他速度范围, 容差就达到了速度2%。这些变化取决于外部的准确性用于设计应用程序的组件。

SPI接口特性

除非另有说明，否则表41中给出的参数来自测试
在环境温度下执行，fPCLKx 频率和VDD电源电压
条件总结在表9中。

有关输入/输出替代的更多详细信息，请参见第5.3.12节“I/O端口特性”
功能特性（NSS，SCK，MOSI，MISO）。

表41. SPI特性 (1)

符号	参数	条件	敏	马克斯	单元
fSCK 1 / tc (SCK)	SPI时钟频率	主模式		18	兆赫
		从模式		18	
t (SCK) tf (SCK)	SPI时钟上升和下降 时间	容性负载: C = 30 pF		8	NS
DuCy (SCK)	SPI从机输入时钟 占空比	从模式	三十	70	%
ts (NSS)(2)	NSS安装时间	从模式	4t PCLK		NS
th (NSS)(2)	NSS持有时间	从模式	2t PCLK		
tw (SCKH)(3) tw (SCKL)(3)	SCK高低时间	主模式, fPCLK = 36 MHz, presc = 4	50	60	
td (MOSI)(2) td (SI)(2)	数据输入设置时间	主模式	五		
		从模式	五		
td (MISO)(2) th (SI)(2)	数据输入保持时间	主模式	五		
		从模式	4		
td (SO)(2)	数据输出访问 时间	从模式, fPCLK = 20 MHz	0	3t PCLK	
tdis (SO)(2)	数据输出禁用 时间	从模式	2	10	
td (SO)(2)	(1) 数据输出有效时间	从模式 (启用边沿之后)		25	
thv (MOSI)(3)	(1) 数据输出有效时间	主模式 (启用边沿之后)		五	
td (SO)(2) td (MOSI)(3)	数据输出保持时间	从模式 (启用边沿之后)	15		
		主模式 (启用边缘之后)	2		

1. 重新映射的SPI1特性待定。
2. 基于特性描述，未经生产测试。
3. 最短时间是驱动输出的最短时间，最长时间是最长验证数据。
4. 最短时间是使输出无效的最短时间，最长时间是最长时间Hi-Z中的数据



图27. SPI时序图 - 从模式和CPHA = 0

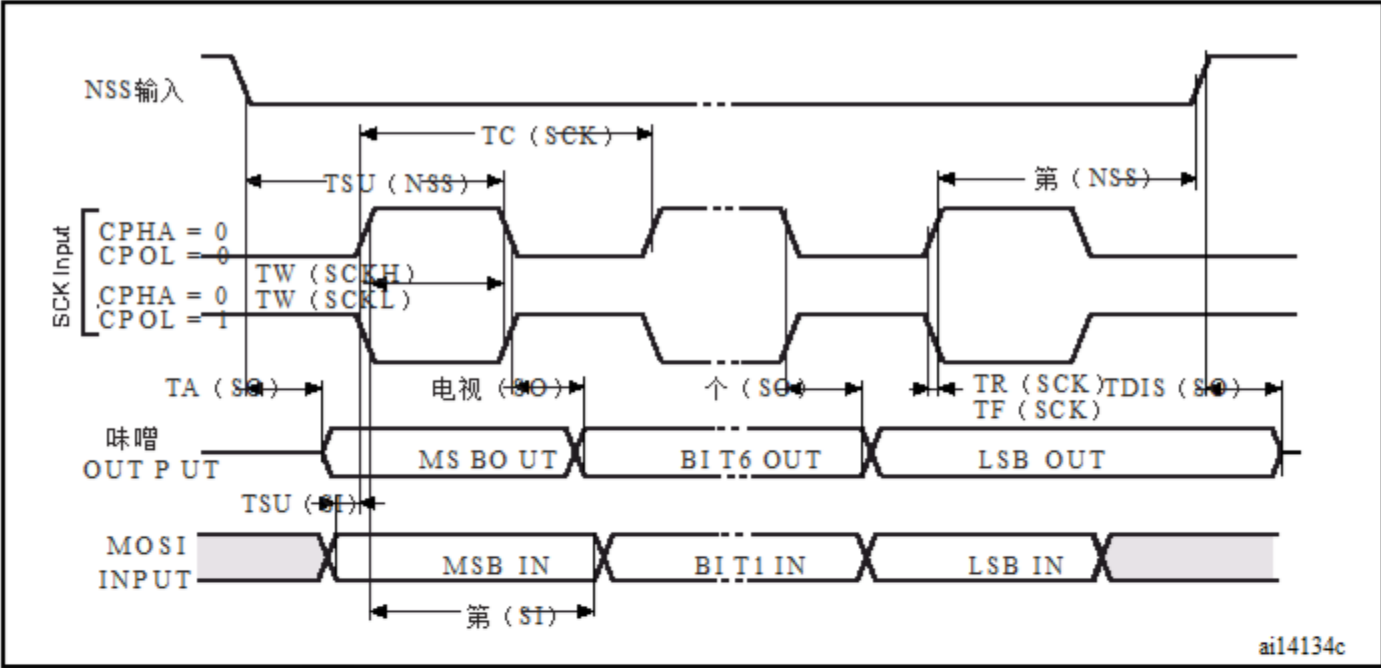
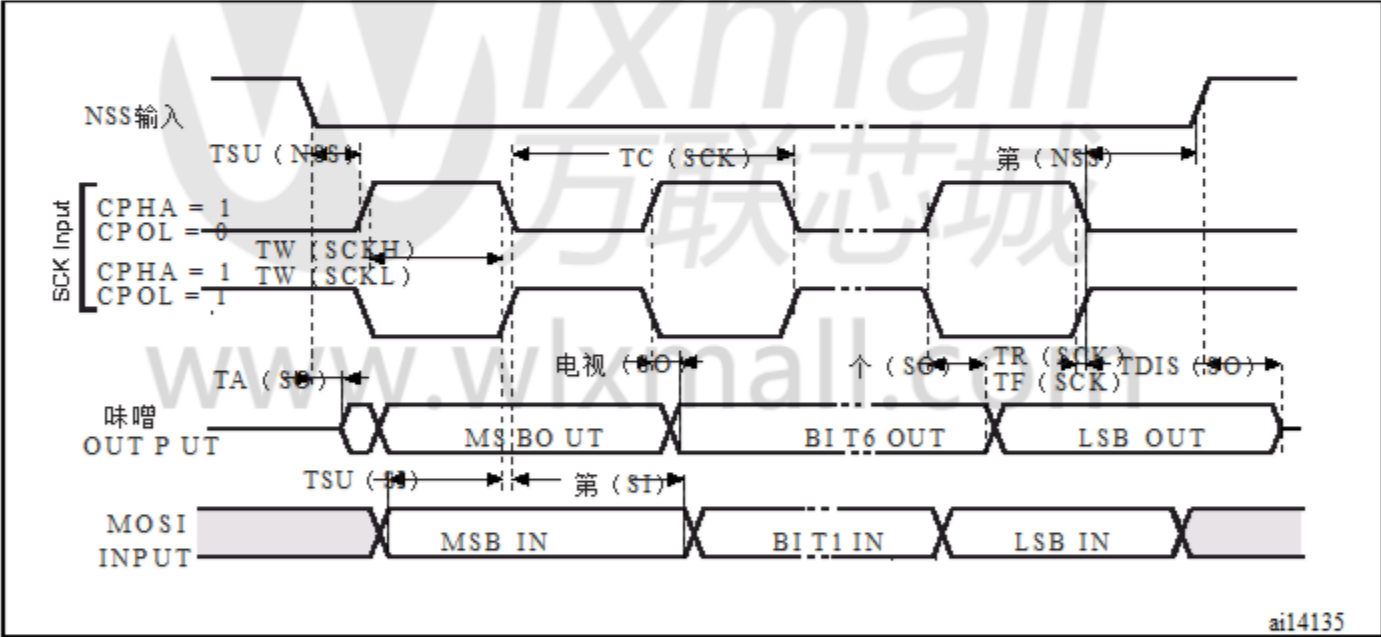
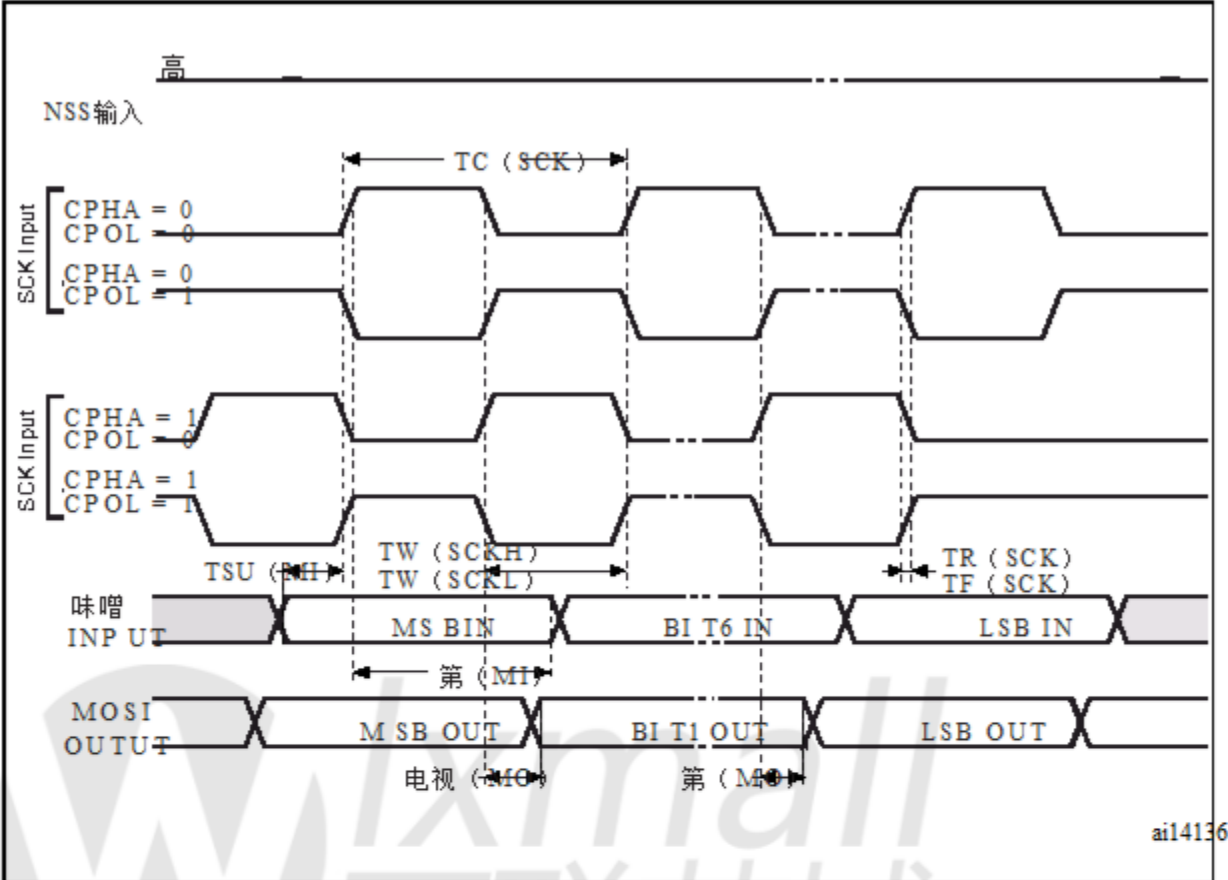


图28. SPI时序图 - 从模式和CPHA = 1 (1)



1. 测量点在CMOS电平上进行：0.3V_{DD}和0.7V_{DD}。

图29. SPI时序图 - 主模式 (1)



1. 测量点在CMOS电平上进行：0.3V_{DD}和0.7V_{DD}。

USB特性

USB接口通过USB-IF认证（全速）。

表42 USB启动时间

符号	参数	马克斯	单元
启动 (1)	USB收发器启动时间	1	微秒

1. 由设计保证，未经生产测试。

表 43. USB 直流电气特性

符号	参数	条件	阈. (1)	最大 (1)	单元
输入级别					
V DD	USB工作电压 (2)		3.0 (3)	3.6	V
V DI ⁽⁴⁾	差分输入灵敏度	我 (USBDP, USBDM)	0.2		V
V CM ⁽⁴⁾	差分共模范围	包括V DI 范围	0.8	2.5	
V SE ⁽⁴⁾	单端接收机门限		1.3	2.0	
输出水平					
V OL	静态输出电平低	1.5kΩ 至3.6V的 R L (5)		0.3	V
V OH	静态输出电平高	15 V的 R L 到VSS (5)	2.8	3.6	

1. 所有电压都是从本地地电位测量的。
2. 为了符合 USB 2.0 全速电气规范，应该拉动 USBDP (D+) 引脚 1.5 kΩ 电阻器的电压范围为 3.0 至 3.6 V。
3. STM32F103xx USB 功能确保低至 2.7 V，但不是完整的 USB 电路在 2.7V 至 3.0V V DD 电压范围内降级的特性。
4. 由设计保证，未经生产测试。
5. R L 是 USB 驱动器上连接的负载

图 30. USB 时序：数据信号上升和下降时间的定义

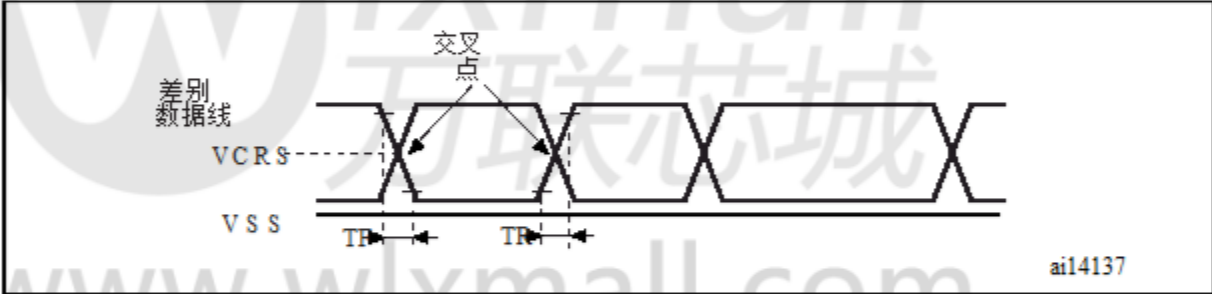


表 44. USB：全速电气特性 (1)

符号	参数	条件	敏	马克斯	单元
司机的特点					
t r	上升时间 (2)	C L = 50 pF	4 2 0		NS
t f	下降时间 (2)	C L = 50 pF	4	20	NS
t rfm	上升/下降时间匹配	t r / t f	90	110	%
V CRS	输出信号交叉电压		1.3	2.0	V

1. 由设计保证，未经生产测试。
2. 测量数据信号的 10% 到 90%。有关更多详细信息，请参阅 USB 规范 - 第 7 章 (版本 2.0)。

5.3.16 CAN (控制器局域网) 接口

有关输入/输出替代的更多信息，请参见第 5.3.12 节“I / O 端口特性”功能特性 (CAN_TX 和 CAN_RX)。

5.3.17 12位ADC特性

除非另有说明，否则表45中给出的参数来自测试
在环境温度下执行，fPCLK2 频率和VDDA 电源电压
条件总结在表9中。

注意： 建议在每次上电后执行校准。

表45. ADC特性

符号	参数	条件	敏	典型	马克斯	单元
VDDA	电源		2.4		3.6	V
VREF+	正参考电压		2.4		VDDA	V
我VREF	VREF 输入引脚上的电流			160 (1)	220 (1)	μA
ADC	ADC时钟频率		0.6		14	兆赫
fS (2)	采样率		0.05		1	兆赫
fTRIG (2)	外部触发频率	fADC = 14MHz			823	千赫
					17	1 / fADC
VAIN (3)	转换电压范围		0 (VSSA 或VREF- 绑在地上)		VREF+	V
RAIN (2)	外部输入阻抗	见公式1和表46详细			50	kΩ
RAD (2)	采样开关电阻				1	kΩ
CAD (2)	内部采样和保持电容器				为 8	pF
TCA (2)	校准时间	fADC = 14MHz		5.9		微秒
				83		1 / fADC
tlat (2)	注入触发器转换潜伏	fADC = 14MHz			0.214	微秒
					3 (4)	1 / fADC
tlatr (2)	定期触发转换潜伏	fADC = 14MHz			0.143	微秒
					2 (4)	1 / fADC
tS (2)	采样时间	fADC = 14MHz	0.107		17.1	微秒
			1.5		239.5	1 / fADC
STAB (2)	开机时间		0	0	1	微秒
tCONV (2)	总转换时间 (包括采样时间)	fADC = 14MHz	1		18	微秒
					14至252 (tS 取样+12.5 逐次逼近)	1 / fADC

- 基于特性描述，未经生产测试。
- 由设计保证，未经生产测试。
- 在以VFQFPN和LQFP封装交付的器件中，VREF+ 在内部连接到VDDA，而VREF- 在内部连接到VSSA。进入TFBGA64封装的器件有一个VREF+ 引脚，但没有VREF- 引脚（VREF- 在内部连接到VSSA），见表5和图6。
- 对于外部触发，必须将延迟1 / fPCLK2 添加到表45中指定的延迟。

公式1: R AIN max公式:

$$R_{AIN} \leq \frac{V_{FSR}}{f_{ADC} \cdot C_{ADC} \cdot \ln(2^N)} - R_{ADC}$$

以上公式（公式1）用于确定允许的最大外部阻抗
低于LSB 1/4的误差.这里N = 12（从12位分辨率）.

表 46. f ADC = 14 MHz时的 AIN 最大值 (1)

T s (周期)	t S (μs)	R AIN max (k)
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	NA
239.5	17.1	NA

1. 基于特性描述, 未经生产测试.

表 47. ADC准确度 - 有限的测试条件 (1) (2)

符号	参数	测试条件	典型	最大 (3)	单元
ET	总未调整的错误	f PCLK2 = 56MHz , f ADC = 14MHz, R AIN <10kΩ, V DDA = 3V至3.6V T A = 25°C 之后的测量 ADC校准	±1.3	±2	LSB
EO	偏移错误		±1	±1.5	
例如	收益错误		±0.5	±1.5	
ED	微分线性误差		±0.7	±1	
EL	积分线性误差		±0.8	±1.5	

1. ADC直流精度值是在内部校准后测量的.
2. ADC精度与负向注入电流: 在任何标准 (非标准) 可靠的) 模拟输入引脚, 因为这会显著降低转换精度. 在另一个模拟输入上执行. 建议添加一个肖特基二极管 (引脚接地) 标准模拟引脚可能会注入负电流. 在5.3.12节中为I INJ (PIN) 和I INJ (PIN) 规定的限制内的任何正向注入电流 不影响ADC准确度.
3. 基于特性描述, 未经生产测试.

表48. ADC准确度 (1) (2) (3)

符号	参数	测试条件	典型	最大 (4)	单元
ET	总未调整的误差	f PCLK2 = 56MHz , f ADC = 14MHz, R AIN <10kΩ, V DDA = 2.4V至3.6V 之后的测量 ADC校准	±2	±5	LSB
EO	偏移误差		±1.5	±2.5	
例如	收益误差		±1.5	±3	
ED	微分线性误差		±1	±2	
EL	积分线性误差		±1.5	±3	

1. ADC直流精度值是在内部校准后测量的。
2. 在有限的V DD，频率和温度范围内可以获得更好的性能。
3. ADC精度与负向注入电流：在任何标准（非标准）可靠的）模拟输入引脚，因为这会显著降低转换精度。在另一个模拟输入上执行。建议添加一个肖特基二极管（引脚接地）标准模拟引脚可能会注入负电流。在5.3.12节中为I INJ (PIN) 和I INJ (PIN) 规定的限制内的任何正向注入电流 不影响ADC准确度。
4. 基于特性描述，未经生产测试。

图31. ADC准确度特性

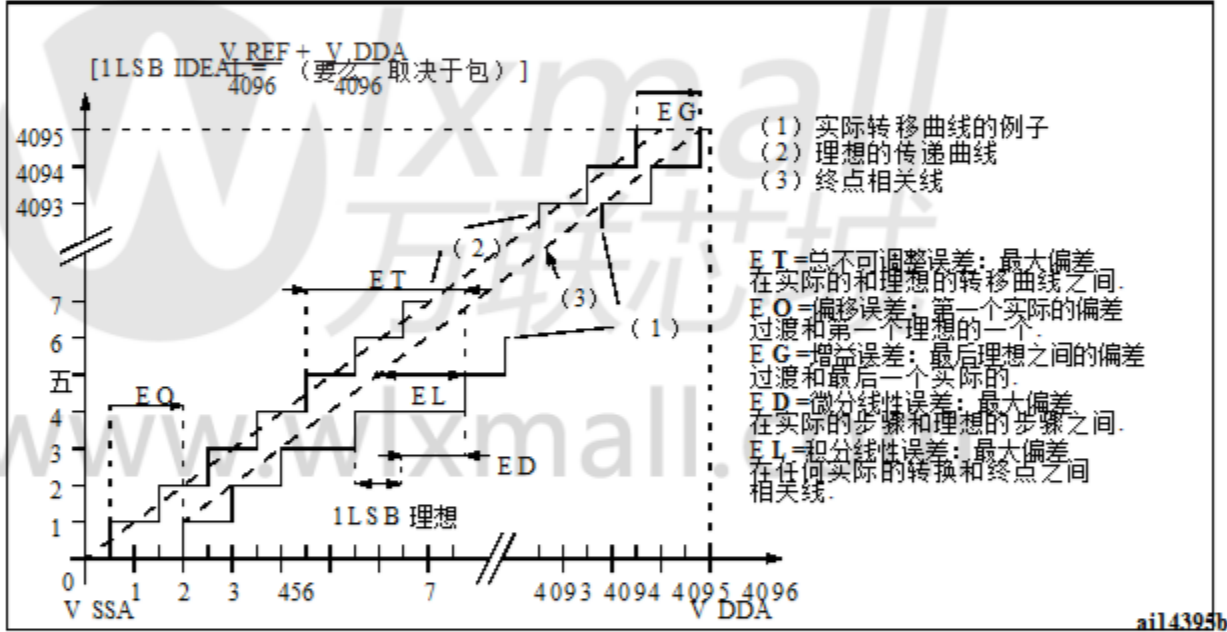
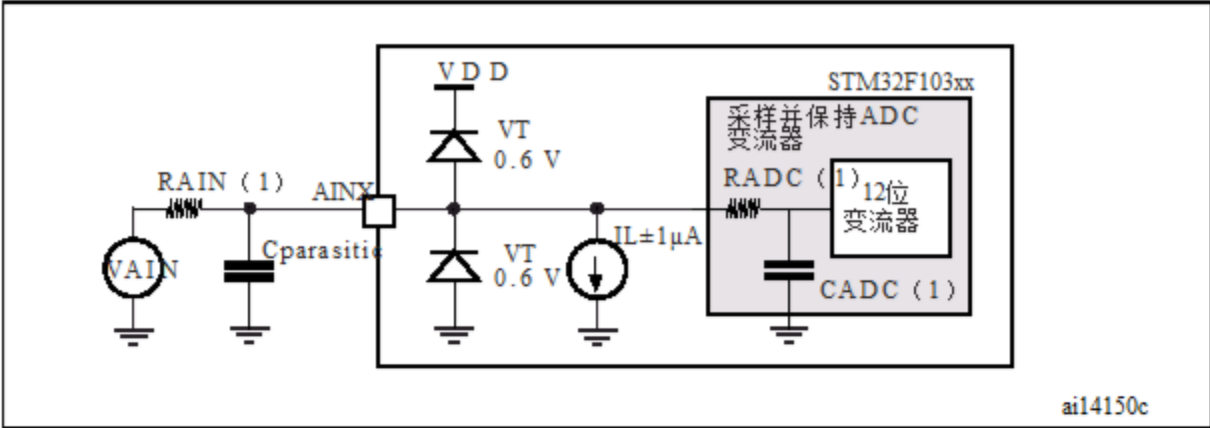


图32. 使用ADC的典型连接图



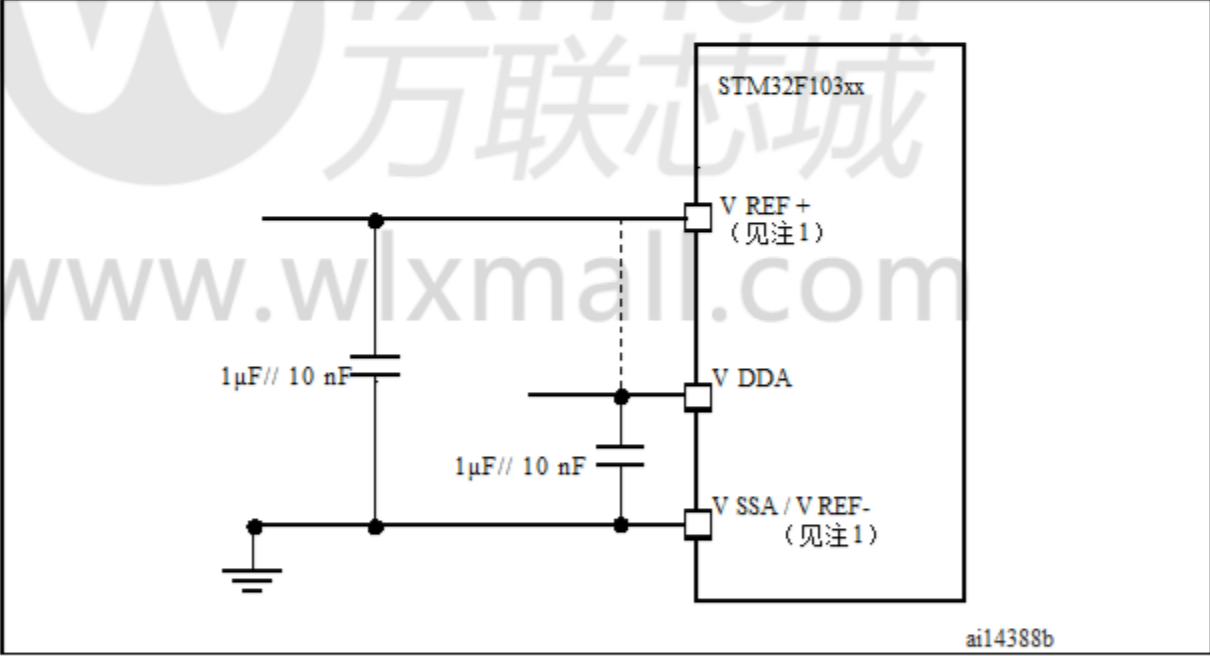
1. R AIN, R ADC 和C ADC 的值请参见表45.
2. C 寄生 表示PCB的电容 (取决于焊接和PCB布局质量) 加上焊盘电容 (大约7 pF). 高C 寄生 值会降低转换精度. 补救这个, ADC 应该减少.

一般PCB设计准则

电源去耦应按图33或图34所示进行.

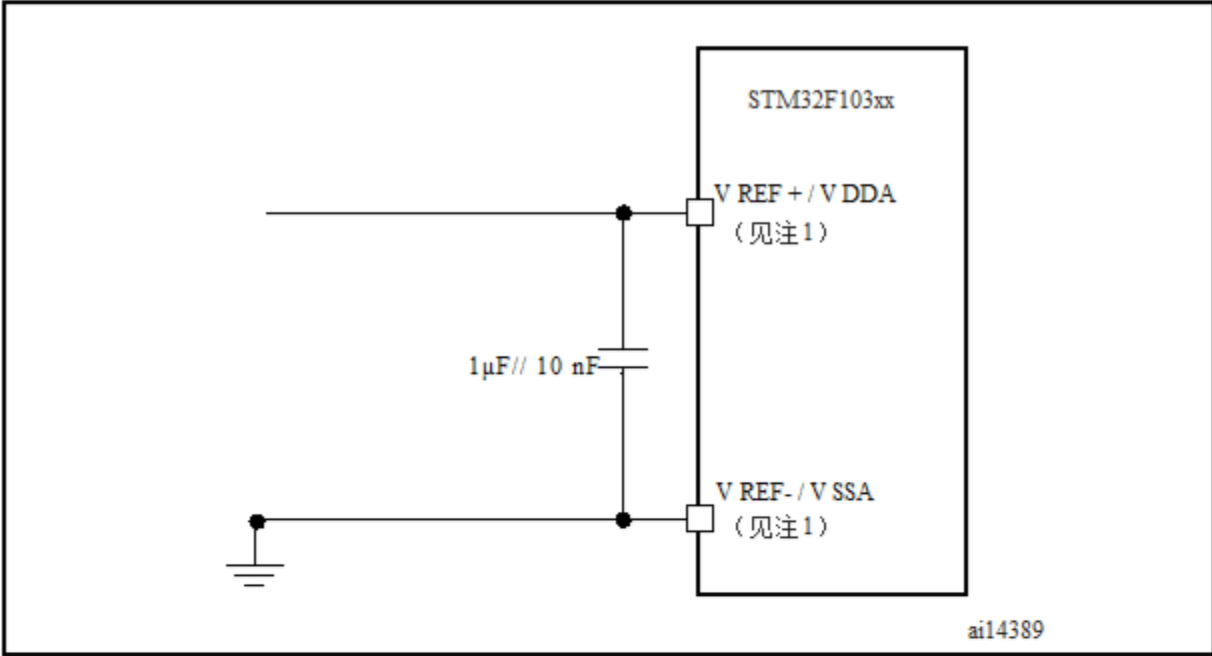
取决于V REF+ 是否连接到V DDA. 10 nF电容应该是陶瓷 (质量好). 他们应该放在尽可能靠近芯片.

图33. 电源和参考解耦 (V REF+ 未连接到V DDA)



1. V REF+ 和V REF- 输入仅在100引脚封装上可用.

图34. 电源和参考去耦 (V REF+ 连接到 V DDA)



1. V REF+ 和V REF- 输入仅在100引脚封装上可用.

5.3.18 温度传感器特性

表 49. TS特性

符号	参数	敏	典型	马克斯	单元
TL (1)	V SENSE 线性与温度		1	2	C
Avg_Slope (1)	平均坡度	4	4.3	4.6	毫伏/℃
V25 (1)	电压在25°C	1.34	1.43	1.52	V
开始 (2)	启动时间	4		10	微秒
TS_temp (3)	读取ADC时的采样时间 温度			17.1	微秒

- 1. 基于特性描述, 未经生产测试.
- 2. 由设计保证, 未经生产测试.
- 3. 可以在应用中通过多次迭代确定最短的采样时间.



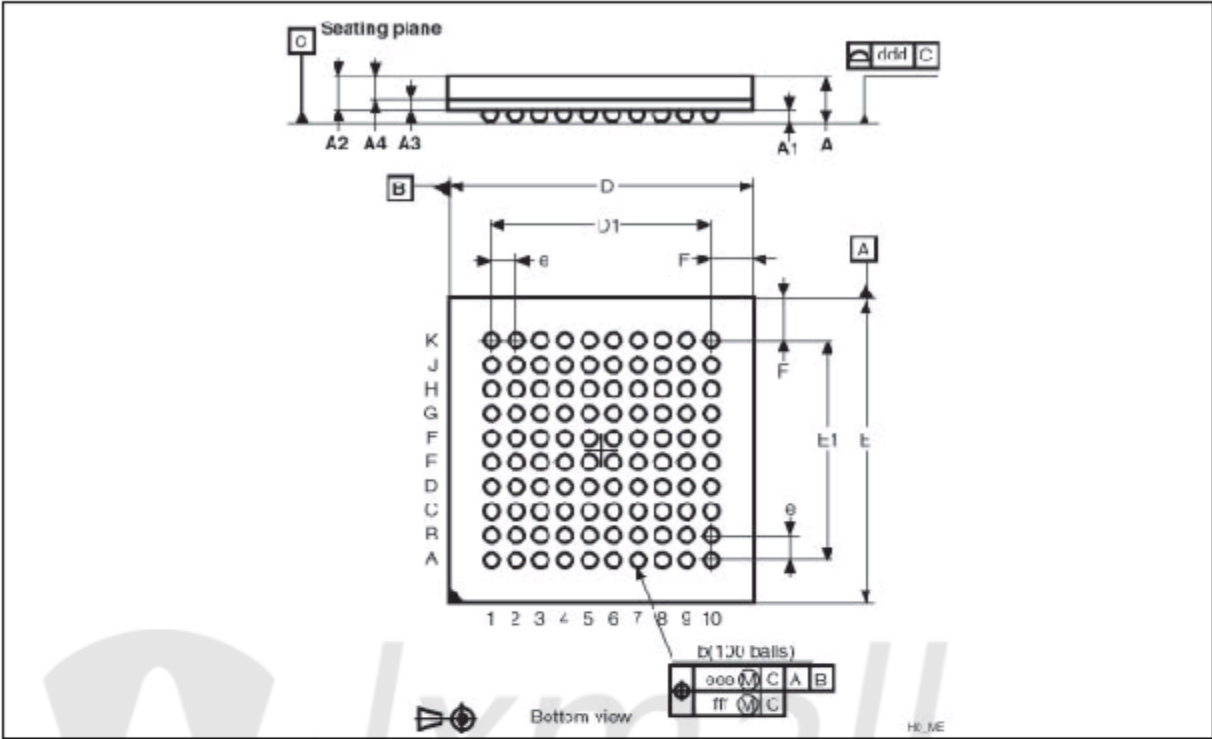
6 包特点

6.1 包装机械数据

为了达到环保要求, ST提供这些设备的不同档次
ECOPACK® 包装, 取决于他们的环保要求. ECOPACK®
规格, 等级定义和产品状态可在 www.st.com 上获得.
ECOPACK® 是ST商标.



图37. LFBGA100 - 10 x 10毫米薄型细间距球栅阵列封装
大纲



1. 绘图不是按比例的.

表51 LFBGA100 - 10 x 10毫米薄型细间距球栅阵列封装
机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.700			0.0669
A1	0.270			0.0106		
A2		1.085			0.0427	
A3		0.30			0.0118	
A4			0.80			0.0315
b	0.45	0.50	0.55	0.0177	0.0197	0.0217
d	9.85	10.00	10.15	0.3878	0.3937	0.3996
D1		7.20			0.2835	
E	9.85	10.00	10.15	0.3878	0.3937	0.3996
E1		7.20			0.2835	
E		0.80			0.0315	
F		1.40			0.0551	
DDD			0.12			0.0047
EEE			0.15			0.0059
FFF			0.08			0.0031
N (球数)	100					

1. 以英寸为单位的值从mm转换为四位十进制数字.

图38. 推荐的PCB设计规则（0.80 / 0.75mm间距BGA）

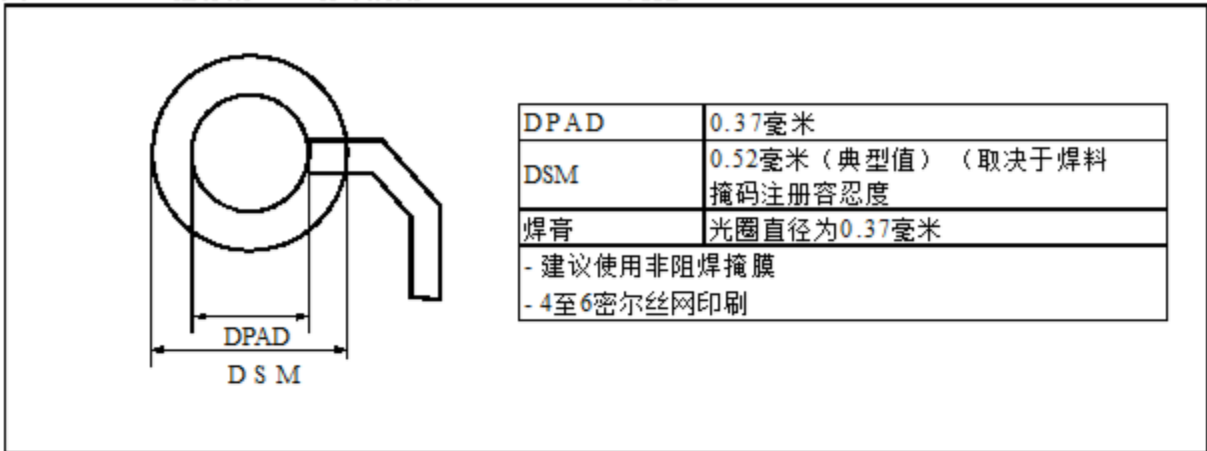


图39. LQFP100,14 x 14毫米100引脚薄型四方扁平封装轮廓 (1)

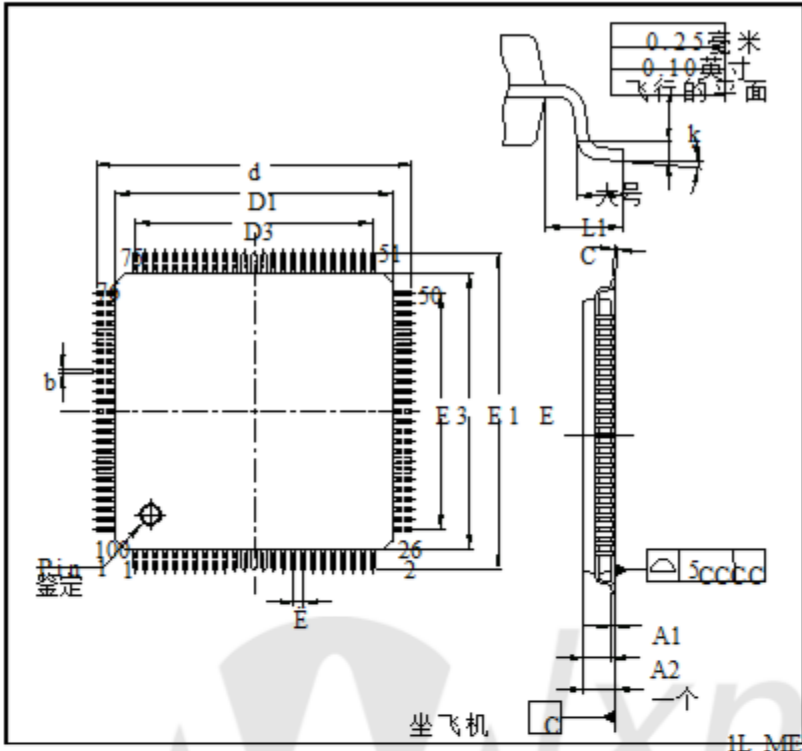
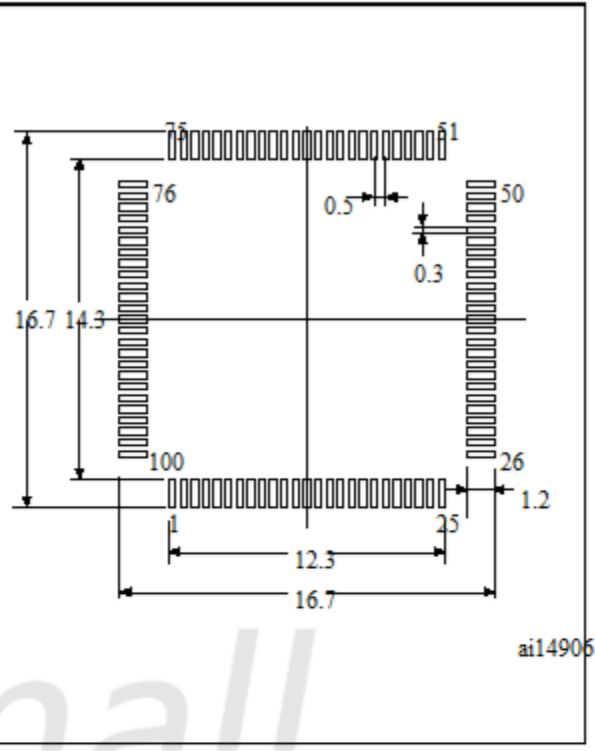


图40. 建议的足迹 (1) (2)



1. 绘图不是按比例.
2. 尺寸以毫米为单位.

表52. LQFP100,14 x 14 mm 100引脚薄型四方扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.6			0.063
A1	0.05		0.15	0.002		0.0059
A2	1.35	1.4	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.2	0.0035		0.0079
d	15.8	16	16.2	0.622	0.6299	0.6378
D1	13.8	14	14.2	0.5433	0.5512	0.5591
D3		12			0.4724	
E	15.8	16	16.2	0.622	0.6299	0.6378
E1	13.8	14	14.2	0.5433	0.5512	0.5591
E3		12			0.4724	
E		0.5			0.0197	
大号	0.45	0.6	0.75	0.0177	0.0236	0.0295
L1		1			0.0394	
k	0.0°	3.5°	7.0°	0.0°	3.5°	7.0°
CCC	0.08			0.0031		

1. 以英寸为单位的值从mm转换为四位十进制数字.



图41. LQFP64,10 x 10 mm, 64引脚薄型四通道
扁平包装大纲 (1)

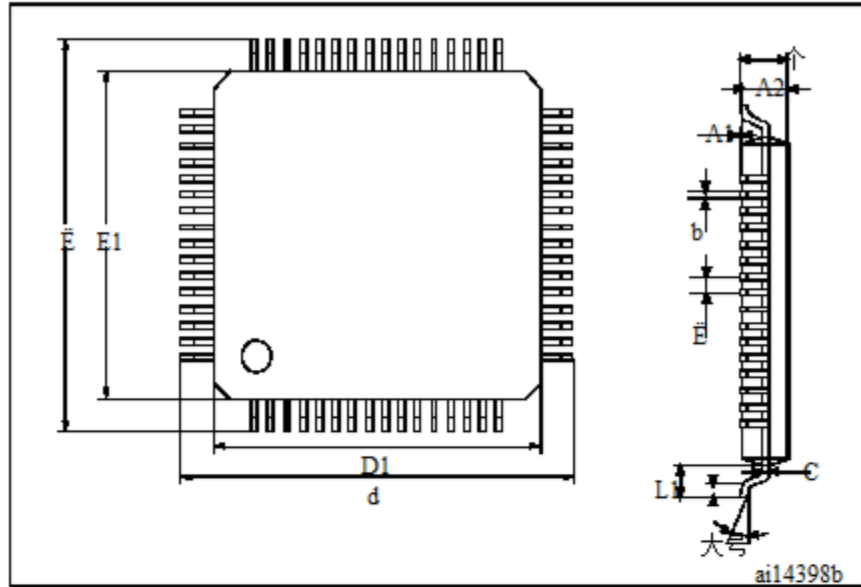
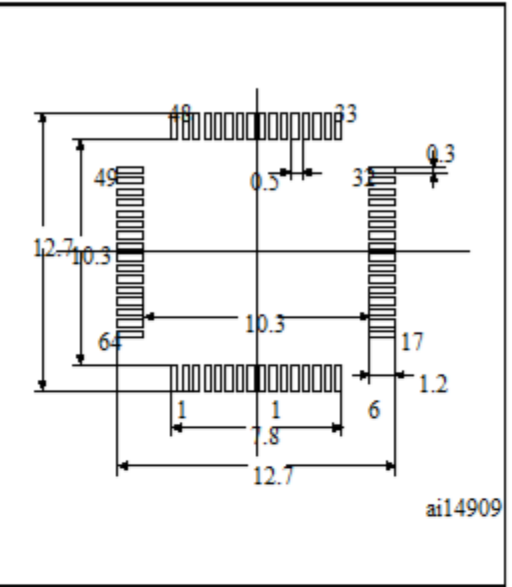


图42. 推荐的
足迹 (1) (2)



- 1. 绘图不是按比例.
- 2. 尺寸以毫米为单位.

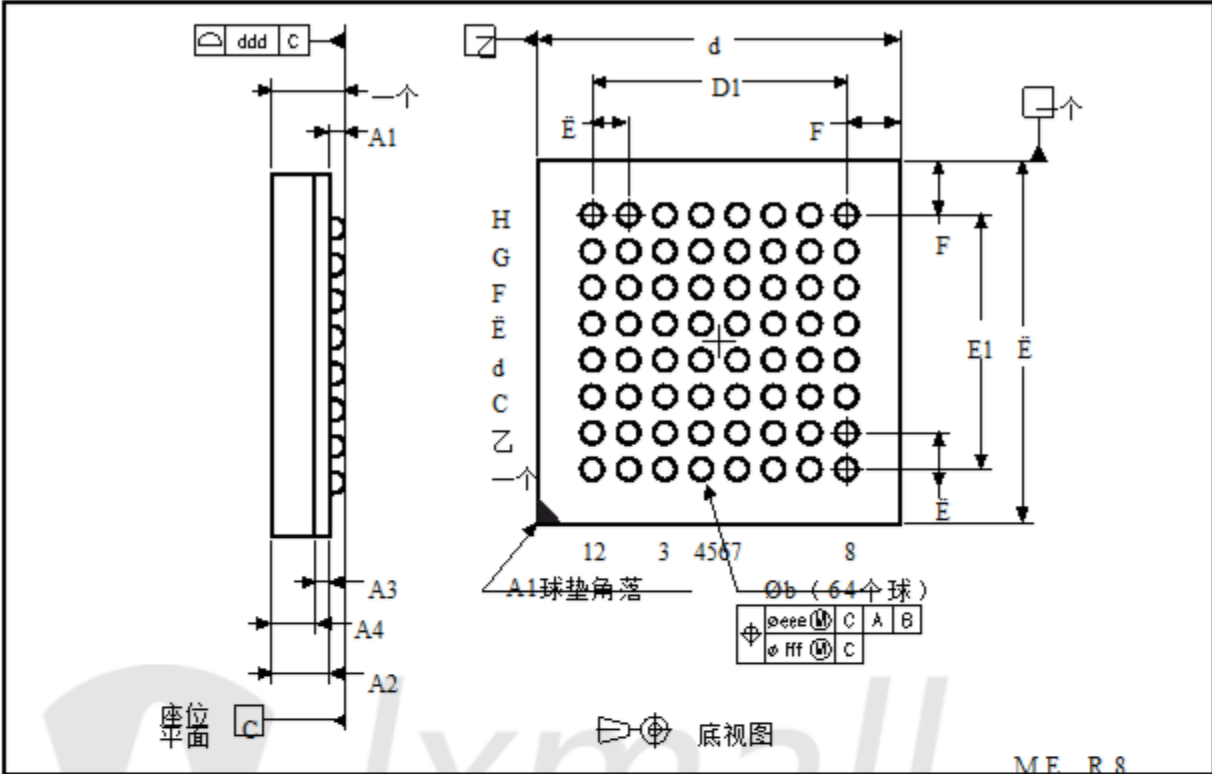
表53. LQFP64,10 x 10 mm, 64引脚薄型四方扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.0630
A1	0.05		0.15	0.0020		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.20	0.0035		0.0079
d		12.00			0.4724	
D1		10.00			0.3937	
E		12.00			0.4724	
E1		10.00			0.3937	
E		0.50			0.0197	
∟	0°	3.5°	7°	0°	3.5°	7°
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
ñ	引脚数					
	64					

- 1. 以英寸为单位的值从mm转换为四位十进制数字.



图43. TFBGA64 - 8 x 8有源球阵列，5 x 5 mm，0.5 mm间距，封装外形



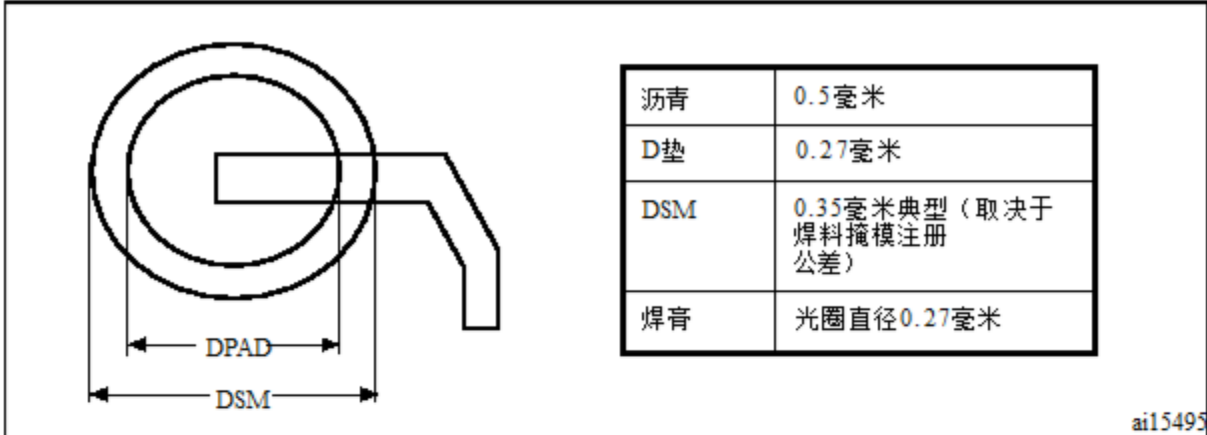
1. 绘图不是按比例。

表54. TFBGA64 - 8 x 8有源球阵列，5 x 5 mm，0.5 mm间距，封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.200			0.0472
A1	0.150			0.0059		
A2		0.785			0.0309	
A3		0.200			0.0079	
A4			0.600			0.0236
b	0.250	0.300	0.350	0.0098	0.0118	0.0138
d	4.850	5.000	5.150	0.1909	0.1969	0.2028
D1		3.500			0.1378	
E	4.850	5.000	5.150	0.1909	0.1969	0.2028
E1		3.500			0.1378	
E		0.500			0.0197	
F		0.750			0.0295	
DDD	0.080			0.0031		
EEE	0.150			0.0059		
FFF	0.050			0.0020		

1. 以英寸为单位的值从mm转换为四位十进制数字。

图44. 推荐PCB的设计规则（0.5毫米间距BGA）



1. 建议使用非阻焊掩膜（NSMD）焊盘
2. 4至6密耳锡膏丝网印刷工艺



图45. LQFP48,7 x 7毫米, 48引脚薄型方形平板
包概述 (1)

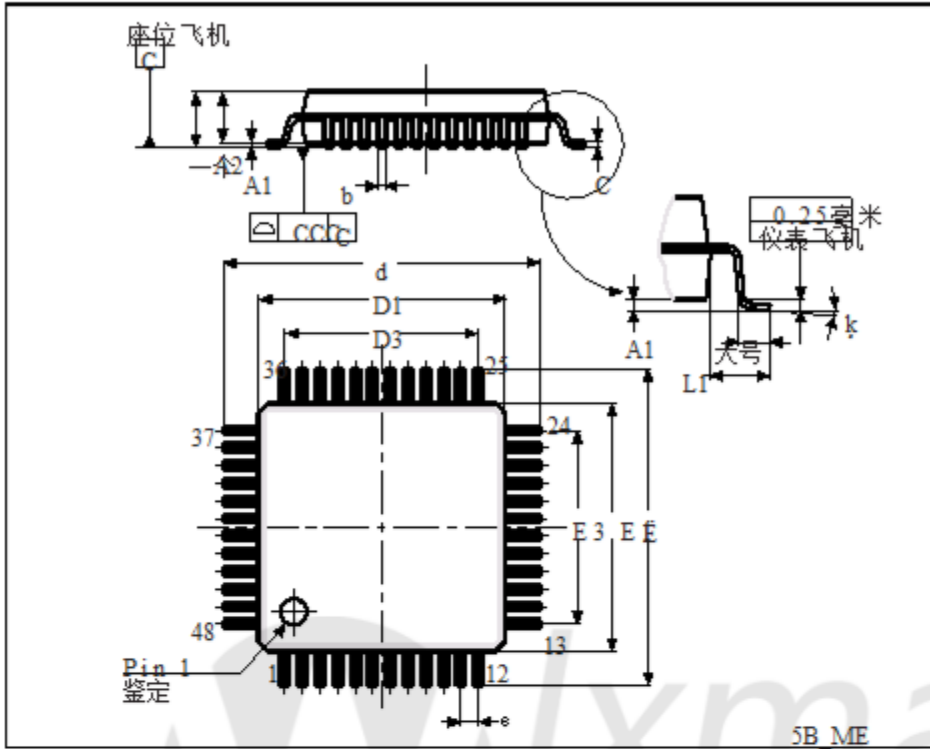
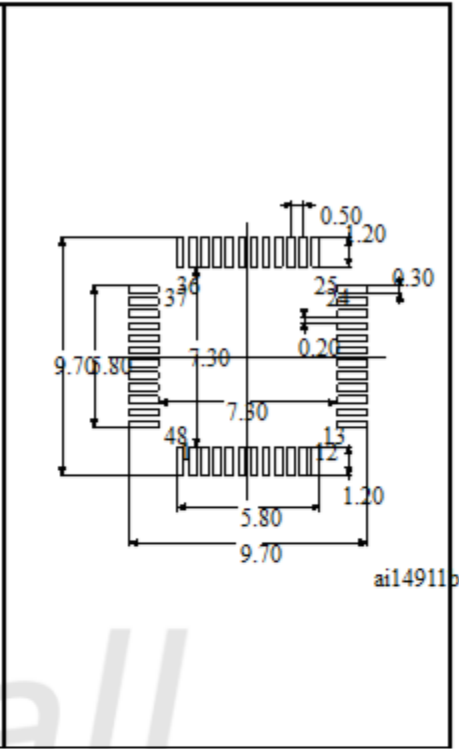


图46. 推荐的
足迹 (1) (2)



1. 绘图不是按比例。
2. 尺寸以毫米为单位。

表55 LQFP48,7 x 7 mm, 48引脚薄型四方扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
C	0.090		0.200	0.0035		0.0079
d	8.800	9.000	9.200	0.3465	0.3543	0.3622
D1	6.800	7.000	7.200	0.2677	0.2756	0.2835
D3		5.500			0.2165	
E	8.800	9.000	9.200	0.3465	0.3543	0.3622
E1	6.800	7.000	7.200	0.2677	0.2756	0.2835
E3		5.500			0.2165	
E		0.500			0.0197	
大号	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1		1.000			0.0394	
k	0°	3.5° 7°		0° 3.5° 7°		
CCC	0.080			0.0031		

1. 以英寸为单位的值从mm转换为四位十进制数字。

6.2 热特性

芯片结点的最大温度 (T J max) 不能超过中给出的值
[表9: 第35页的一般操作条件](#)

可以计算以摄氏度为单位的最大芯片结温度T J max
使用以下公式:

$$T J max = T A max + (P D max \times \theta JA)$$

哪里:

- T 最大值是环境温度的最高值,
- θJA 是封装结到环境的热阻, 单位为 C/W,
- P D max是P INT max和P I/O max之和 (P D max = P INT max + P I/O max),
- P INT max是I DD 和V DD 的乘积, 以瓦特表示. 这是最大的筹码内部动力.

P I/O max表示输出引脚的最大功耗, 其中:

$$P I/O max = (V OL \times I OL) + 5 (V DD - V OH) \times I OH,$$

考虑到 I/O 的实际V OL /I OL 和V OH /I OH 在低和高的水平应用.

表56. 封装热特性

符号	参数	值	单元
θJA	热阻结 - 环境 LFBGA100 - 10×10毫米/0.8毫米间距	44	°C / W
	热阻结 - 环境 LQFP100 - 14×14毫米/0.5毫米间距	46	
	热阻结 - 环境 LQFP64 - 10×10毫米/0.5毫米间距	45	
	热阻结 - 环境 TFBGA64 - 5×5毫米/0.5毫米间距	65	
	热阻结 - 环境 LQFP48 - 7 x 7 mm / 0.5 mm间距	55	
	热阻结 - 环境 VFQFPN 36 - 6×6毫米/0.5毫米间距	18	

6.2.1 参考文件

JESD51-2集成电路热测试方法环境条件 - 自然
对流 (静止) .可从www.jedec.org获得.



6.2.2 选择产品温度范围

订购微控制器时，温度范围在订购时指定

信息方案如表57所示：订购信息方案。

每个温度范围后缀对应于特定的保证环境温度at
最大耗散和特定的最大结温。

由于应用通常不会在最大功耗下使用STM32F103xx，因此非常有用
计算确切的功耗和结温来确定哪个
温度范围将最适合该应用。

以下示例显示如何计算给定的温度范围
应用。

示例1：高性能应用程序

假设以下应用条件：

最高环境温度 $T_{Amax} = 82^{\circ}\text{C}$ （根据JEDEC51-2测量），
 $I_{DDmax} = 50\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，输出低电平时最多同时使用20个I/O
 $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$ ，同时输出最多8个I/O
 在 $I_{OL} = 20\text{ mA}$ ， $V_{OL} = 1.3\text{ V}$ 的低电平下
 $P_{INTmax} = 50\text{ mA} \times 3.5\text{ V} = 175\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} + 8 \times 20\text{ mA} \times 1.3\text{ V} = 272\text{ mW}$
 这给出： $P_{INTmax} = 175\text{ mW}$ 和 $P_{IOmax} = 272\text{ mW}$ ：
 $P_{Dmax} = 175 + 272 = 447\text{ mW}$

因此： $P_{Dmax} = 447\text{ mW}$

使用表56中获得的值 如下计算 T_{Jmax} ：

- 对于LQFP100， 46°C/W

$T_{Jmax} = 82^{\circ}\text{C} + (46^{\circ}\text{C/W} \times 447\text{ mW}) = 82^{\circ}\text{C} + 20.6^{\circ}\text{C} = 102.6^{\circ}\text{C}$

这在后缀6个版本部件（ $-40 < T_J < 105^{\circ}\text{C}$ ）的范围内。

在这种情况下，零件必须至少在温度范围后缀6（见“
表57：订购信息方案”）。

例2：高温应用

使用相同的规则，可以解决在高环境下运行的应用程序
只要结温 T_J 保持在一个低的温度 范围内
指定范围。

假设以下应用条件：

最高环境温度 $T_{Amax} = 115^{\circ}\text{C}$ （根据JEDEC51-2测量），
 $I_{DDmax} = 20\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，最多20个I/O同时用于输出低电平
 $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$
 $P_{INTmax} = 20\text{ mA} \times 3.5\text{ V} = 70\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} = 64\text{ mW}$
 这给出： $P_{INTmax} = 70\text{ mW}$ 和 $P_{IOmax} = 64\text{ mW}$ ：
 $P_{Dmax} = 70 + 64 = 134\text{ mW}$

因此： $P_{Dmax} = 134\text{ mW}$

使用表56中获得的值 如下计算 T_{Jmax} :

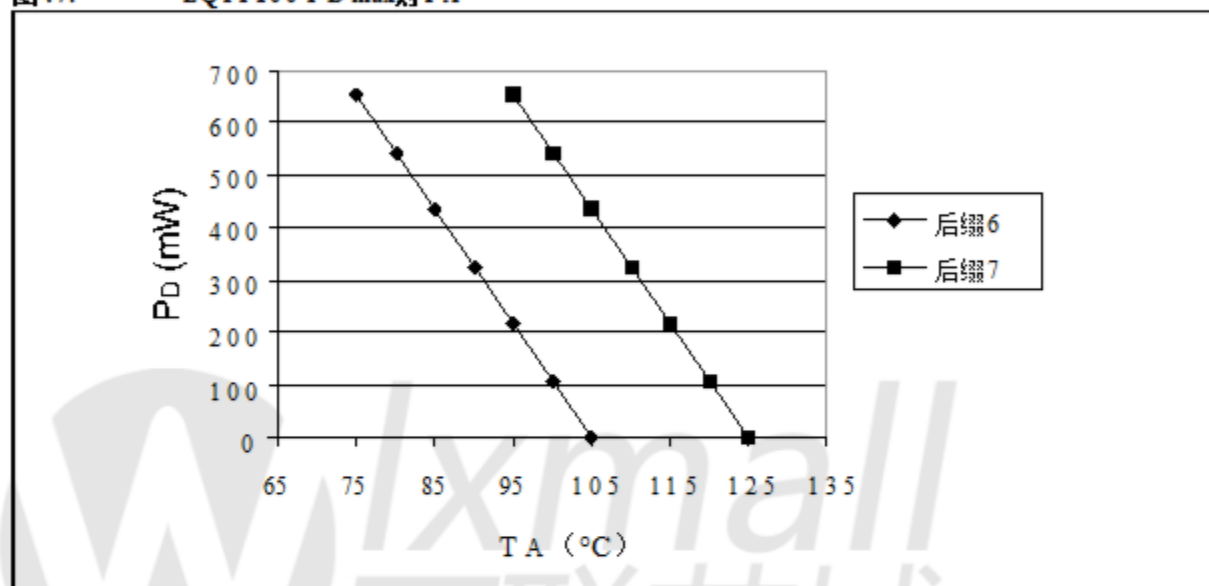
- 对于LQFP100, $46^{\circ}\text{C} / \text{W}$

$$T_{Jmax} = 115^{\circ}\text{C} + (46^{\circ}\text{C} / \text{W} \times 134\text{mW}) = 115^{\circ}\text{C} + 6.2^{\circ}\text{C} = 121.2^{\circ}\text{C}$$

这是在后继7版本部件 ($-40 < T_J < 125^{\circ}\text{C}$) 的范围内.

在这种情况下, 部件必须至少在温度范围后继7 (请参见“[表57: 订购信息方案](#)”).

图47. LQFP100 $P_D \max$ 对 T_A



7 订购信息计划

表 57 订购信息计划

例:	STM32	F	103	C	8	T	7	XXX
设备系列								
STM32 =基于ARM的32位微控制器								
产品类别								
F =通用								
设备子系列								
103 =表现线								
引脚数								
T = 36 针								
C = 48 针								
R = 64 个引脚								
V = 100 个引脚								
闪存大小 (1)								
8 = 64 千字节的闪存								
B = 128 KB 闪存								
包								
H = BGA								
T = LQFP								
U = VFQFPN								
温度范围								
6 =工业温度范围, -40至85°C.								
7 =工业温度范围, -40到105°C.								
选项								
xxx =编程的部分								
TR =磁带和真实								
1. 尽管STM32F103x6器件在本数据表中没有描述, 但是可订购的器件编号没有显示温度范围代码6或7后的内部代码应该参考本数据表中的内容 电气特性. 低密度数据表仅涵盖STM32F103x6器件 一个代码.								
有关可用选项 (速度, 包装等) 的列表或任何方面的进一步信息 请联系离您最近的ST销售办事处.								

8 修订记录

表 58. 文档修订历史

日期	调整	变化
01 年, 2007 年	1	初始发行.
20 - 07 月 2007	2	<i>注 8, 注 5, 注 7, 注 9 和 注 3 中修改的闪存容量</i> <i>BGA100 引脚添加到表 5: 中等密度的 STM32F103xx 引脚</i> <i>定义. 图 3: STM32F103xx 性能线 LFBGA100</i> <i>ballout 补充说.</i> <i>T HSE 更改为图 21 中的 T LSE: 低速外部时钟源</i> <i>交流时序图. VBAT 在供电方案中进行了修改.</i> <i>t SU (LSE) 在表 22 中改为 t SU (HSE): HSE 4-16 MHz 振荡器</i> <i>特点. I DD (HSI) 最大值添加到表 24: HSI 振荡器</i> <i>特点.</i> <i>样品大小修改和机器模型去除静电</i> <i>放电 (ESD).</i> 在 Static 中更新的部件数量和标准参考数量已更新 闭锁. 取消 25°C 和 85°C 的条件并修改类名称 在表 33: 电气灵敏度. R PU 和 R PD 最小值和最大值 添加到表 34: I / O 静态特性. R PU 最小值和最大值 <i>添加到表 37: NRST 引脚特性.</i> 图 26: I2C 总线交流波形和测量电路 <i>图 25: 推荐的 NRST 引脚保护已更正.</i> <i>注释在表 9, 表 37, 表 43 中删除.</i> <i>表 11: 最大电流消耗中, I DD 典型值发生了变化</i> 在运行和睡眠模式下. 表 38: 修改的 TIMx 特征 <i>t STAB, V REF + 值, t lat 和 f TRIG 添加到表 45: ADC</i> <i>特点.</i> 表 29: 典型的闪存耐久性和数据保留 T A = 85°C 时的耐久性和数据保留时间, 数据保留时间 T A = 25°C. 表 12: 嵌入式内部参考 电压的 V BG 更改为 V REFINT <i>电压. 文档标题已更改. 控制器区域网络 (CAN)</i> 部分修改. 图 12: 修改了电源方案. 第 1 页上的功能列表已优化. 小文字变化.



表 58. 文档修订历史 (续)

日期	调整	变化
10月18日 - 2007年 3		STM32F103CBT6, STM32F103T6和STM32F103T8的根部分 添加号码 (见表2: STM32F103xx 中等密度设备 功能和外设计数) 添加VFQFPN36软件包 (请参阅第6节: 软件包特性). 所有包装均符合ECOPACK®标准. 包装机械数据 英寸的值是从毫米计算并四舍五入到四位十进制数字 (参见第6节: 包装特性). 表5: 中等密度STM32F103xx引脚定义更新和 澄清. 表26: 更新了低功耗模式唤醒定时. 在表12中校正的 T_{min} 分别为: 嵌入式内部参考电压. 注2增加下表22: HSE 4-16 MHz 振荡器特性. V_{ESD} (CDM) 值增加到表32: ESD绝对最大额定值. 注3中增加了 V_{OH} 参数说明, 在表35中修改: 输出电压特性. 注1在表36中修改: I/O AC特性. 公式1和表46: $f_{ADC} = 14$ MHz时的RAIN最大值添加到 第5.3.17节: 12位ADC特性. V_{AIN}, $t_{S_{max}}$, t_{CONV}, $V_{REF+min}$和$t_{lat_{max}}$修改, 音符被修改 表45: ADC特性增加了 t_{latr}. 图31: 更新ADC精度特性注1修改 图32: 使用ADC的典型连接图. 第56页的静电放电 (ESD) 已修改. 图1中修改的TIM4通道数量: STM32F103xx 性能线路结构图. 最大电流消耗表13, 表14和表15 更新. 在表34中修改了 V_{hys}: I/O静态特性. 表48: 更新了ADC精度. 在表10中修改 VDD: 运行 上电/断电条件. 表30中添加了 V_{FESD} 值: EMS特性. 表26中更正了数值, 注2被修改, 注3被删除. 低功耗模式唤醒定时. 表16: 停止和停止时的典型和最大电流消耗 待机模式: 为 V_{DD}/V_{BAT} 添加的典型值 $BAT = 2.4$ V, 注2 修改后, 注2增加. 表21: 添加 待机模式下的典型电流消耗. 片 第47页的外设电流消耗增加了. 表24中更新了 ACC_{HSI} 值: HSI振荡器特性. V_{prog} 添加到表28: 闪存特性. 图9中修改的上部选项字节地址: 存储器映射. 表25中添加的 典型 f_{LSI} 值: LSI振荡器特性和 内部RC值在整个文件中从32到40 kHz修正. $T_{S_{temp}}$ 添加到表49: TS特性. NEND 修改 表29: 闪存耐久性和数据保留. $T_{S_{vrefint}}$ 添加到表12: 嵌入式内部参考电压. 处理通用输入/输出中指定的未使用的引脚 特性 (第57页). 所有I/O都符合CMOS和TTL标准. 图33: 电源和参考去耦 (V_{REF+} 不是 连接到VDDA) 修改. t 从表27中删除了 JITTER 和 f_{VCO}: PLL特性. 附录A: 添加了第81页上的重要注意事项. 添加了图14, 图15, 图17和图19.

表 58. 文档修订历史 (续)

日期	调整	变化
22 - 11月, 2007年 4		文档状态从初步数据升级到数据表。 STM32F103xx通过了USB认证.小文字变化. 第13页的电源方案已修改.数量 通信外设修正了STM32F103Tx的数量 表2中针对LQFP封装的GPIO进行了更正: STM32F103xx medium-密度器件功能和外设计数. 主要功能和默认备用功能修改PC14和PC15中, 添加了Note 6, 表5中添加了Remap列: 密度的STM32F103xx引脚定义. VDD-VSS额定值和注1修改后的表6: 电压特性, 表1中修改的注1: 电流特性. 表11中增加了注1和注2: 嵌入式复位和电源控制块特征. 在表14中修改了启用外设的72 MHz时的IDD值: 运行模式下的最大电流消耗, 代码与数据处理从RAM运行. 在表15中修改了72 MHz的IDD值并启用了外设功能: 睡眠模式下的最大电流消耗, 代码从Flash或RAM (第41页). 我修改了DD_VBAT典型值2.4 V和IDD_VBAT的最大值 添加在表16中: 停止时的典型和最大电流消耗和待机模式. 注意在第45页上的表17和表18中添加在第46页. ADC1和ADC2消耗和注释在中修改 表19: 外设电流消耗. 在表22和表23中修改的SU (HSE) 和SU (LSE) 条件, 分别. 从表26中删除的最大值: 低功耗模式唤醒时序. 表29中修改的RET条件: 闪存耐久性和数据保留. 图12: 更正了电源方案. 图18: 带调节器的待机模式下的典型电流消耗 在VDD = 3.3 V和3.6 V时添加了低功耗模式与温度的关系. 图27: SPI时序图 - 从机模式和CPHA = 0. 注意下面添加下图28: SPI时序图 - 从站模式和CPHA = 1 (1). 从通用输入/输出中删除未使用引脚的详细信息 第57页的特性. 表41: SPI特性更新. 表42: USB启动时间 添加. VAIN, Tlat和Tlatr修改, 注意添加, Ikg已移除 表45: ADC特性测试条件修改并添加注释 在表48: ADC准确度. 注释在表46和表49中添加. 英寸值在表52中进行了修正: LQFP100, 14 x 14 mm 100引脚低电平, 前面四方扁平封装机械数据, 表53: LQFP64, 10 x 10 mm, 64引脚扁平封装机械数据和 表55: LQFP48, 7 x 7 mm, 48引脚薄型四方扁平封装机械数据. ⁵ VQFPN36封装的JA值添加在表56: 封装热里特点 订购代码由第7节: 订购信息方案取代. MCU的工作条件修改为典型的电流消耗 在表49中修改的Avg_Slope和V25: TS特点. I2C接口特性 (第62页) 已修改. A.4中指定的阻抗大小: ADC输入0上的电压毛刺 第81页.

表 58. 文档修订历史 (续)

日期	调整	变化
2008年3月14	五	图2: 添加了第20页的时钟树。 表8中给出的 <i>最大T_J</i> 值: <i>第35页</i>。 <i>添加了CRC功能 (请参阅CRC (循环冗余校验) 计算单元第9页 和图9: 内存映射在第31页的地址)。</i> <i>我在表16中修改了DD: 典型和最大电流消耗停止和待机模式。</i> 表24中修改的 <i>ACC HSI</i>: 第52页的HSI振荡器特性, 注意2删除。 PD, TA 和T_J 相加, t_{prog} 值被修改并且t_{prog} 描述被阐明 <i>表28: 第53页的闪存特性。</i> 表29中修改了 <i>t_{RET}</i>: 闪存耐久性和数据保留。 <i>V_{NF} (NRST) 单位在表37中更正: NRST引脚特性第60页。</i> 表41: 修改了第64页的SPI特性。 <i>IVREF 添加到第68页的表45: ADC特性。</i> <i>表47: ADC精度 - 添加了有限的测试条件。表48: ADC精确度修改。</i> <i>LQFP100封装规格已更新 (请参阅第6节: 封装特性在第73页)。</i> 推荐使用LQFP100, LQFP 64, LQFP48和VFQFPN36 <i>添加了脚印 (参见图40, 图42, 图46和图36)。</i> 第6.2节: 修改了第82页上的热特性, 添加了第6.2.1节和第6.2.2节。 附录A: 删除了第81页上的重要注意事项。
2008年3月21日	六	小文字变化。图9: 明确了内存映射。 <i>在表29中: 闪存耐久性和数据保留:</i> -N END 在整个温度范围内进行测试 - 为RET指定的循环条件 -T RET 最小值在T_A = 55°C 修改 在表49中修改的 <i>V₂₅</i>, Avg_Slope和T_L: TS特性。 删除了CRC功能。
2008年5月22	七	<i>CRC功能加回来。小文字变化。第一部分: 介绍</i> 改性。第2.2节: 在整个家庭中完全兼容。 <i>I_{DD} 在T_A max = 105°C时加上表16: 典型值和最大值</i> <i>停止和待机模式下的电流消耗 (第42页)。</i> <i>我从表21中删除了DD_VBAT: 典型的电流消耗</i> <i>待机模式 (第47页)。</i> <i>添加到表40的值: SCL频率 (f_{PCLK1} = 36 MHz, VDD = 3.3 V) (第63页)。</i> <i>图27: SPI时序图 - 从机模式和CPHA = 0 (第65页)</i> 改性。方程1已更正。 在表29中修改的 T_A = 105°C时的 <i>t_{RET}</i>: 闪存耐久性和数据保留在第54页。 <i>V_{USB} 添加到第43页的表43: USB直流电气特性。</i> 图47: 修改了第84页上的LQFP100 PD_{max}与TA的对比。 <i>Axx选项添加到表57: 订购信息 方案第85页。</i>

表58. 文档修订历史 (续)

日期	调整	变化
21 - 07月2008	8	电源管理更新和VDDA添加到表9: 一般运行条件. 图12中修改的电容: 第33页的电源方案. 第5节: 电气特性修订了表格注释. 表16: 停止和待机时的典型和最大电流消耗待机模式已修改. 数据添加到表16: 典型和最大电流消耗in 停止和待机模式以及 表21: 典型的电流消耗待机模式 被删除. f表20中修改的 HSE_ext: 高速外部用户时钟特性 (第48页) fPLL_IN 在表27中修改: PLL 特性在第53页. 从快速模式中删除的最小SDA和SCL下降时间值 表39: 第62页的I2C特性, 注1已修改. tH (NSS) 修改于表41: 第64页的SPI特性 图27: SPI时序图 - 从机模式和CPHA = 0 (第65页). C转换器 在表45中修改: ADC特性在68页 图32: 使用ADC修改的典型连接图. 从表49中删除的 典型TS_temp 值: TS特性 第72页. LQFP48封装规格更新 (见表55和表46), 第六部分: 包装特点修改. 从表57中删除了Axx选项: 订购信息方案 第85页. 小文字变化.
22月 - 2008年	9	删除STM32F103x6部件号 (见表57: 订购信息方案) 小文字变化. 通用定时器 (TIMx) 和高级控制定时器 (TIM1) 打开 第15页已更新. 表5中更新的注释: 中等密度的STM32F103xx引脚定义在第26页. 注2修改如下表6: 第34页的电压特性, I_{DDx}^{min}和I_{VDDx}^{min}分钟删除. 第5.3.5节规定的测量条件: 电源电流特性在第38页. I_{DD}在85°C待机模式下修改表16: 典型值和 停止和待机模式下的最大电流消耗 第42页. 第57页上的常规输入/输出特性已修改. f表30中修改的 HCLK 条件: 第55页的EMS特性. ⁵JA 和表格56中为LFBGA100封装修改的间距值: 封装热特性 小文字变化.

表 58. 文档修订历史 (续)

日期	调整	变化
23-APR-2009	10	I/O 信息在第 1 页上阐明。 图 3: STM32F103xx 性能线 LFBGA100 ballout 修改。 图 9: 修改了内存映射。表 4: 定时器功能比较添加。 PB4, PB13, PB14, PB15, PB3 / TRACESWO 从默认移动 表 5: 重新映射列中密度 STM32F103xx 引脚定义。 在表 9 中修正的 LFBGA100 的 PD: 一般操作条件。 表 13 修改了注释: 运行中的最大电流消耗模式, 从 Flash 运行的数据处理代码和表 15: 睡眠模式下的最大电流消耗, 代码从闪存或 RAM。 表 20: 高速外部用户时钟特性和表 21: 低速外部用户时钟特性修改。 图 18 显示了一个典型的曲线 (标题修改)。ACC HSI 最大值 表 24 修改了 HSI 振荡器的特性。 增加了 TFBGA64 封装 (见表 54 和表 43)。小文本变化。
22 九月 2009	11	注 5 更新, 注释 4 加入表 5: 中密度 STM32F103xx 引脚定义。 VRERINT 和 T Coeff 添加到表 12: 嵌入式内部参考电压。我将 DD_VBAT 值添加到表 16 中: 典型值和最大值停止和待机模式下的电流消耗。图 16: 典型 VBAT 上的电流消耗与 RTC on 与温度的关系添加不同的 VBAT 值。 表 20 中修改的 HSE_ext 最小值: 高速外部用户时钟特点。 在表 22 中用 C 代替 CL1 和 CL2: HSE 4-16MHz 振荡器特性和表 23: LSE 振荡器特性 (fLSE = 32.768 kHz), 注释修改并移到表格下方。表 24: 恒指振荡器特性修改。从表 26 中删除的条件: 低功耗模式唤醒定时。 注 1 修改如下图 22: 8 MHz 的典型应用水晶。 IEC 1000 标准更新为 IEC 61000 和 SAE J1752 / 3 更新为第 5.3.10 节中的 IEC 61967-2: EMC 特性 (第 54 页)。 表 27 添加了抖动: PLL 特性。 表 41: SPI 特性修改。 表 45 修改了 C ADC 和 R AIN 参数: ADC 特性。 表 46 中修改的 R AIN max 值: fADC = 14 MHz 时的 RAIN max。 图 37: LFBGA100 - 10 x 10 毫米薄型细间距球栅阵列包大纲更新。

请仔细阅读：

本档中的信息仅供ST产品使用.意法半导体公司及其附属公司（“ST”）保留所有权利对本文档以及此处所述的产品和服务进行更改，更正，修改或改进的权利时间，恕不另行通知。

所有ST产品均按照ST的销售条款和条件进行销售。

购买者全权负责选择，选择和使用本文所述的ST产品和服务，ST承诺不会与本文所述ST产品和服务的选择，选择或使用相关的责任。

根据本文档，不得以禁止反言或以其他方式明示或暗示授予任何知识产权.如果这个的任何部分文件是指任何第三方产品或服务，不得被视为ST授权使用此类第三方产品的许可或服务或其中包含的任何知识产权，或作为保证涵盖以任何方式使用的保证第三方产品或服务或其中包含的任何知识产权。

除非在ST的条款和条件中另有规定ST否认不做任何明示或暗示有关使用和/或销售ST产品的担保，包括但不限于默示适销性，适用于特定用途的保证（及其在法律下的等同性任何司法管辖权），或侵犯任何专利，版权或其他知识产权。

除非经过授权的ST代表的书面明确批准，ST产品不是建议，授权或担保用于军事，航空工程，空间，救生或维持生命应用，或在产品或系统中发生故障或故障可能导致人身伤害，死亡或严重的财产或环境损害。ST产品没有被指定为“汽车等级”只能在用户自行承担风险的情况下在汽车应用中使用。

ST产品的转售与本文件中陈述和/或技术特征不同的条款将立即失效ST为ST产品或服务所授予的任何保证，不得以任何方式创建或延伸任何ST的责任。

ST和ST标志是ST在各个国家的商标或注册商标。

本文档中的信息取代以前提供的所有信息。

ST标志是意法半导体的注册商标.所有其他名称是其各自所有者的财产。

©2009意法半导体 - 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克 - 芬兰 - 法国 - 德国 - 香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美利坚合众国

www.st.com