



STM32F100xC STM32F100xD STM32F100xE

高密度值线，先进的基于ARM的32位MCU
256到512 KB闪存，16个定时器，ADC，DAC和11个通信接口

数据表 - 生产数据

特征

- 核心：ARM 32位Cortex™-M3 CPU
 - 24 MHz最大频率，1.25 DMIPS / MHz (Dhrystone 2.1) 的性能
 - 单周期乘法和硬件师
- 记忆
 - 256至512千字节的闪存
 - 24至32千字节的SRAM
 - 4个灵活的静态存储器控制器
芯片选择支持SRAM，PSRAM和NOR存储器
 - LCD并行接口，8080/6800模式
- 时钟，重置和供应管理
 - 2.0至3.6 V应用电源和I/O
 - POR，PDR和可编程电压检测器 (PVD)
 - 4至24 MHz晶体振荡器
 - 内部8 MHz工厂预留RC
 - 内部40 kHz RC
 - CPU时钟的PLL
 - 带有校准的RTC的32 kHz振荡器
- 低功耗
 - 睡眠，停止和待机模式
用于RTC和备份寄存器的 -V BAT 电源
- 串行线调试 (SWD) 和JTAG I/F
- DMA
 - 12通道DMA控制器
 - 支持的外设：定时器，ADC，SPI，I2Cs，USART和DAC
- 1×12位，1.2μsA/D转换器 (最多16通道)
 - 转换范围：0至3.6 V
 - 温度感应器
- 2×12位D/A转换器
- 多达112个快速I/O端口
 - 51/80/112 I/O，全部可在16上映射
外部中断向量和几乎所有5 V容忍



- 最多16个定时器
 - 多达7个16位定时器，每个定时器最多4个IC / OC / PWM或脉冲计数器
 - 一个16位，6通道高级控制定时器：多达6个PWM输出通道，死亡时间的产生和紧急停止
 - 一个16位定时器，2个IC / OC，1 OCN / PWM，死区时间产生和紧急停止
 - 两个16位定时器，每个都有IC / OC / OCN / PWM，死区时间的产生并紧急停止
 - 两个看门狗定时器
 - SysTick计时器：24位下降计数器
 - 两个16位基本定时器来驱动DAC
- 多达11个通信接口
 - 最多两个I2C接口 (SMBus / PMBus)
 - 多达3个USART (ISO 7816接口，LIN，IrDA能力，调制解调器控制)
 - 最多2个UART
 - 最多3个SPI (12 Mbit / s)
 - 消费电子控制 (CEC) I/F
- CRC计算单元，96位唯一ID

表格1. 设备摘要

参考	零件号
STM32F100xC	STM32F100RC, STM32F100VC, STM32F100ZC
STM32F100xD	STM32F100RD, STM32F100VD, STM32F100ZD
STM32F100xE	STM32F100RE, STM32F100VE, STM32F100ZE

内容

1	介绍	8
2	说明	9
2.1	设备概述	10
2.2	概述	13
2.2.1	带有嵌入式闪存和SRAM的ARM®Cortex™-M3内核	13
2.2.2	嵌入式闪存	13
2.2.3	CRC (循环冗余校验) 计算单元	13
2.2.4	嵌入式SRAM	13
2.2.5	FSMC (灵活的静态存储器控制器)	13
2.2.6	LCD并行接口	13
2.2.7	嵌套向量中断控制器 (NVIC)	14
2.2.8	外部中断/事件控制器 (EXTI)	14
2.2.9	时钟和启动	14
2.2.10	启动模式	14
2.2.11	供电方案	15
2.2.12	电源管理员	15
2.2.13	电压调节器	15
2.2.14	低功耗模式	15
2.2.15	DMA	16
2.2.16	RTC (实时时钟) 和备份寄存器	16
2.2.17	定时器和看门狗	16
2.2.18	IC总线	19
2.2.19	通用同步/异步收发器 (USART) ..	19
2.2.20	通用异步收发器 (UART)	19
2.2.21	串行外设接口 (SPI)	19
2.2.22	GPIO (通用输入/输出)	20
2.2.23	重映射功能	20
2.2.24	ADC (模数转换器)	20
2.2.25	DAC (数字 - 模拟转换器)	20
2.2.26	温度感应器	21
2.2.27	串行线JTAG调试端口 (SWJ-DP)	21
3	引脚和引脚说明	22

4	内存映射.....	32
五	电气特性.....	34
5.1	参数条件.....	34
5.1.1	最小值和最大值.....	34
5.1.2	典型值.....	34
5.1.3	典型的曲线.....	34
5.1.4	加载电容器.....	34
5.1.5	引脚输入电压.....	34
5.1.6	供电方案.....	35
5.1.7	电流消耗测量.....	36
5.2	绝对最大额定值.....	36
5.3	运行条件.....	37
5.3.1	一般操作条件.....	37
5.3.2	上电/掉电时的操作条件.....	38
5.3.3	嵌入式复位和功率控制模块特性.....	39
5.3.4	嵌入式参考电压.....	40
5.3.5	供应电流特性.....	40
5.3.6	外部时钟源的特点.....	47
5.3.7	内部时钟源的特点.....	52
5.3.8	PLL特性.....	53
5.3.9	记忆特性.....	54
5.3.10	FSMC的特点.....	54
5.3.11	EMC特性.....	66
5.3.12	绝对最大额定值（电气灵敏度）.....	67
5.3.13	I/O电流注入特性.....	68
5.3.14	I/O端口特性.....	69
5.3.15	NRST引脚特性.....	74
5.3.16	TIMx特性.....	75
5.3.17	通信接口.....	75
5.3.18	12位ADC特性.....	80
5.3.19	DAC电气规格.....	85
5.3.20	温度传感器特性.....	87
6	包特点.....	88
6.1	包装机械数据.....	88
6.2	热特性.....	92

6.2.1	参考文件.....	92
6.2.2	选择产品温度范围.....	93
7	订购信息计划.....	95
8	修订记录.....	96



表的列表

表格 1.	设备摘要.....	1
表 2	STM32F100xx 功能和外设计数.....	10
表 3.	定时器功能比较.....	17
表 4	高密度 STM32F100xx 引脚定义.....	24
表 5	FSMC 引脚定义.....	三十
表 6	电压特性.....	36
表 7	目前的特点.....	37
表 8	热特性.....	37
表 9	一般操作条件.....	37
表 10	上电/掉电时的操作条件.....	38
表 11	嵌入式复位和功率控制模块特性.....	39
表 12	嵌入内部参考电压.....	40
表 13.	运行模式下的最大电流消耗, 具有数据处理的代码 从 Flash 运行.....	41
表 14	运行模式下的最大电流消耗, 具有数据处理的代码 从 RAM 运行.....	41
表 15	STM32F100xxB 在休眠模式下的最大电流消耗, 代码 从 Flash 或 RAM 运行.....	42
表 16.	停止和待机模式下的典型和最大电流消耗.....	43
表 17	运行模式下的典型电流消耗, 具有数据处理的代码 从 Flash 运行.....	44
表 18	睡眠模式下的典型电流消耗, 代码从闪存或 RAM 运行.....	45
表 19.	外设电流消耗.....	46
表 20	高速外部用户时钟特性.....	47
表 21.	低速外部用户时钟特性.....	48
表 22	HSE 4-24 MHz 振荡器特性.....	50
表 23	LSE 振荡器特性 (fLSE = 32.768 kHz).....	51
表 24	HSI 振荡器特性.....	52
表 25	LSI 振荡器特性.....	52
表 26.	低功耗模式唤醒定时.....	53
表 27	PLL 特性.....	53
表 28	闪存特性.....	54
表 29.	闪存耐用性和数据保留.....	54
表 30	异步非复用 SRAM / PSRAM / NOR 读取时序.....	56
表 31.	异步非复用 SRAM / PSRAM / NOR 写时序.....	57
表 32.	异步复用 PSRAM / NOR 读取时序.....	58
表 33	异步多路复用 PSRAM / NOR 写时序.....	59
表 34.	同步多路复用 NOR / PSRAM 读取时序.....	61
表 35	同步多路复用 PSRAM 写时序.....	63
表 36.	同步非多路复用 NOR / PSRAM 读取时序.....	64
表 37.	同步非复用 PSRAM 写时序.....	65
表 38.	EMS 特性.....	66
表 39.	EMI 特性.....	67
表 40	ESD 绝对最大额定值.....	67
表 41.	电气敏感度.....	67
表 42	I / O 电流注入敏感度.....	68
表 43.	I / O 静态特性.....	69
表 44.	输出电压特性.....	72

表45.	I / O AC特性.....	73
表46.	NRST引脚特性.....	74
表47.	TIMx特性.....	75
表48.	I2 C特性.....	76
表49.	SCL频率 (fPCLK1 = 24 MHz, VDD = 3.3 V)	77
表50.	SPI特性.....	78
表51.	ADC特性.....	81
表52.	fADC的RAIN最大值 = 12 MHz.....	82
表53.	ADC精度 - 有限的测试条件.....	82
表54.	ADC准确度.....	82
表55.	DAC特性.....	85
表56.	TS特性.....	87
表57.	LQFP144, 20 x 20 mm, 144引脚薄型四方扁平封装机械数据.....	89
表58.	LQFP100 - 14 x 14 mm, 100引脚薄型四方扁平封装机械数据.....	90
表59.	LQFP64 - 10 x 10 mm, 64引脚薄型四方扁平封装机械数据.....	91
表60.	封装热特性.....	92
表61.	订购信息计划.....	95
表62.	文档修订历史.....	96



数字列表

图1.	STM32F100xx数值线框图	11
图2	时钟树	12
图3.	STM32F100xx数值线LQFP144引脚	22
图4.	STM32F100xx数值线LQFP100引脚	23
图5	LQFP64引脚的STM32F100xx数值线	24
图6.	内存映射	33
图7.	引脚加载条件	35
图8.	引脚输入电压	35
图9.	供电方案	35
图10.	电流消耗测量方案	36
图11.	高速外部时钟源交流时序图	49
图12.	低速外部时钟源交流时序图	49
图13.	典型的8 MHz晶体应用	50
图14.	典型应用与32.768 kHz晶体	52
图15.	异步非复用SRAM / PSRAM / NOR读取波形	55
图16.	异步非复用SRAM / PSRAM / NOR写入波形	57
图17.	异步复用PSRAM / NOR读取波形	58
图18.	异步多路复用PSRAM / NOR写入波形	59
图19.	同步多路复用NOR / PSRAM读取时序	60
图20.	同步多路复用PSRAM写时序	62
图21.	同步非多路复用NOR / PSRAM读取时序	64
图22.	同步非复用PSRAM写时序	65
图23.	标准I / O输入特性 - CMOS端口	70
图24.	标准I / O输入特性 - TTL端口	70
图25.	5 V宽容I / O输入特性 - CMOS端口	71
图26.	5 V容许I / O输入特性 - TTL端口	71
图27.	I / O AC特性定义	74
图28.	建议NRST引脚保护	74
图29.	I2 C总线交流波形和测量电路	77
图30.	SPI时序图 - 从模式和CPHA = 0	79
图31.	SPI时序图 - 从模式和CPHA = 1	79
图32.	SPI时序图 - 主模式	80
图33.	ADC准确度特性	83
图34.	使用ADC的典型连接图	83
图35.	电源和参考去耦 (VREF + 不连接到VDDA)	84
图36.	电源和参考去耦 (VREF + 连接到VDDA)	84
图37.	12位缓冲/非缓冲DAC	86
图38.	LQFP144, 20 x 20毫米, 144针薄四方扁平 包大纲	89
图39.	建议的足迹	89
图40.	LQFP100 - 14 x 14 mm, 100引脚薄型四方扁平封装外形	90
图41.	建议的足迹	90
图42.	LQFP64 - 10 x 10 mm, 64引脚小型四方扁平封装轮廓	91
图43.	建议的足迹	91
图44.	LQFP100 PD 最大值对T A	94

1 介绍

本数据表提供了订购信息和机械特性

STM32F100xC, STM32F100xD和STM32F100xE超值系列微控制器. 在里面文档的其余部分, STM32F100xC, STM32F100xD和STM32F100xE被引用作为高密度的价值线设备.

应该读入STM32F100xC, STM32F100xD和STM32F100xE数据表

结合STM32F100xx高密度基于ARM的32位MCU参考手册

(RM0059). 有关编程, 擦除和保护内部闪存的信息

内存请参考STM32F100xx高密度值线Flash编程

手册 (PM0072). 参考和Flash编程手册均可从

意法半导体的网站www.st.com.

有关Cortex™-M3内核的信息, 请参阅Cortex™-M3技术

参考手册, 可从www.arm.com网站获取以下地址:

<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0337e/>.



2 描述

STM32F100xx数值线系列集成了高性能的ARM Cortex™-M3工作频率为24 MHz的32位RISC内核，高速嵌入式存储器（闪存内存高达512 Kbytes，SRAM高达32 Kbytes），一个灵活的静态内存控制（FSMC）接口（针对100引脚以上封装的器件）和广泛的应用增强型外围设备和连接到两条APB总线的I/O的范围。所有设备提供标准通信接口（最多两个I2C，三个SPI，一个HDMI CEC，最多三个USART和2 UARTS），一个12位ADC，两个12位DAC，最多9个通用16位定时器和高级控制PWM定时器。

STM32F100xx高密度值线系列工作在-40至+85°C和-40至+105°C温度范围，从2.0到3.6 V电源。一套完整的省电模式允许设计低功耗应用。

STM32F100xx价值线系列包括三种不同封装的器件从64个引脚到144个引脚。取决于所选的设备，不同的外设组合包括，下面的描述给出了一个完整的外设范围的概述在这个家庭提出。

这些特性使得STM32F100xx系列微控制器产品适用于广泛的应用范围，如电机驱动器，应用控制，医疗和手持设备，PC和游戏外设，GPS平台，工业应用，PLC，逆变器，打印机，扫描仪，报警系统，可视对讲机和暖通空调。

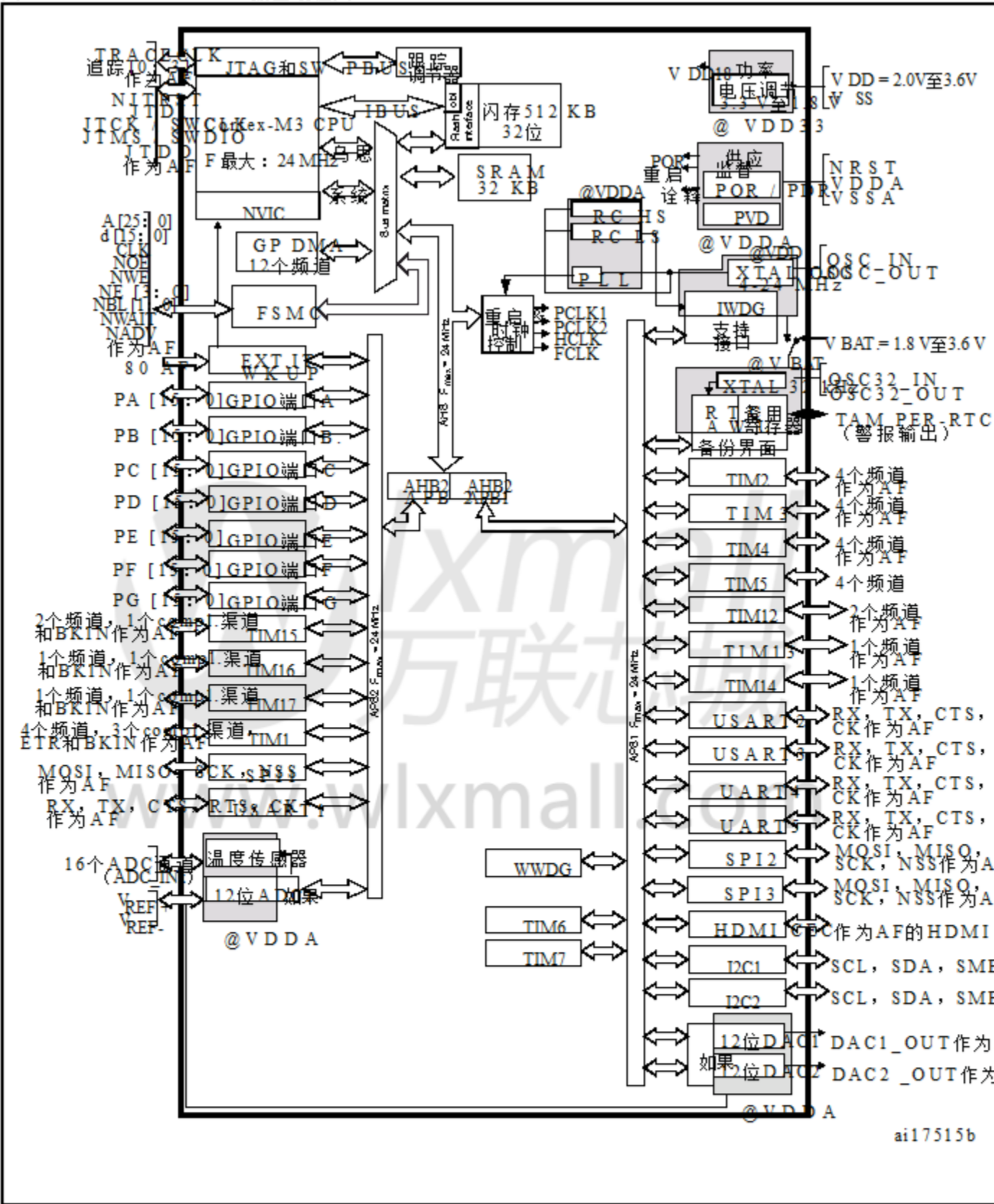
2.1 设备概述

表2 STM32F100xx功能和外设计数

外围设备		STM32F100Rx			STM32F100Vx			STM32F100Zx		
闪存 - 千字节		256	384	512	256	384	512	256	384	512
SRAM - 千字节		24	32	32	24	32	32	24	32	32
FSMC		没有			是 (1)			是		
计时器	先进的控制	11						1		
	一般用途	10			10			10		
通讯接口	SPI	33						3		
	I2C	22						2		
	USART	33						3		
	UART	22						2		
	CEC	11						1		
12位同步ADC通道数		1 16个频道			1 16个频道			1 16个频道		
个GPIO		51			80			112		
12位DAC通道数		2 2			2 2			2 2		
CPU频率		24兆赫								
工作电压		2.0至3.6 V								
工作温度		环境工作温度: -40至+85°C / -40至+105°C 结温: -40至+125°C								
包		LQFP64			LQFP100			LQFP144		

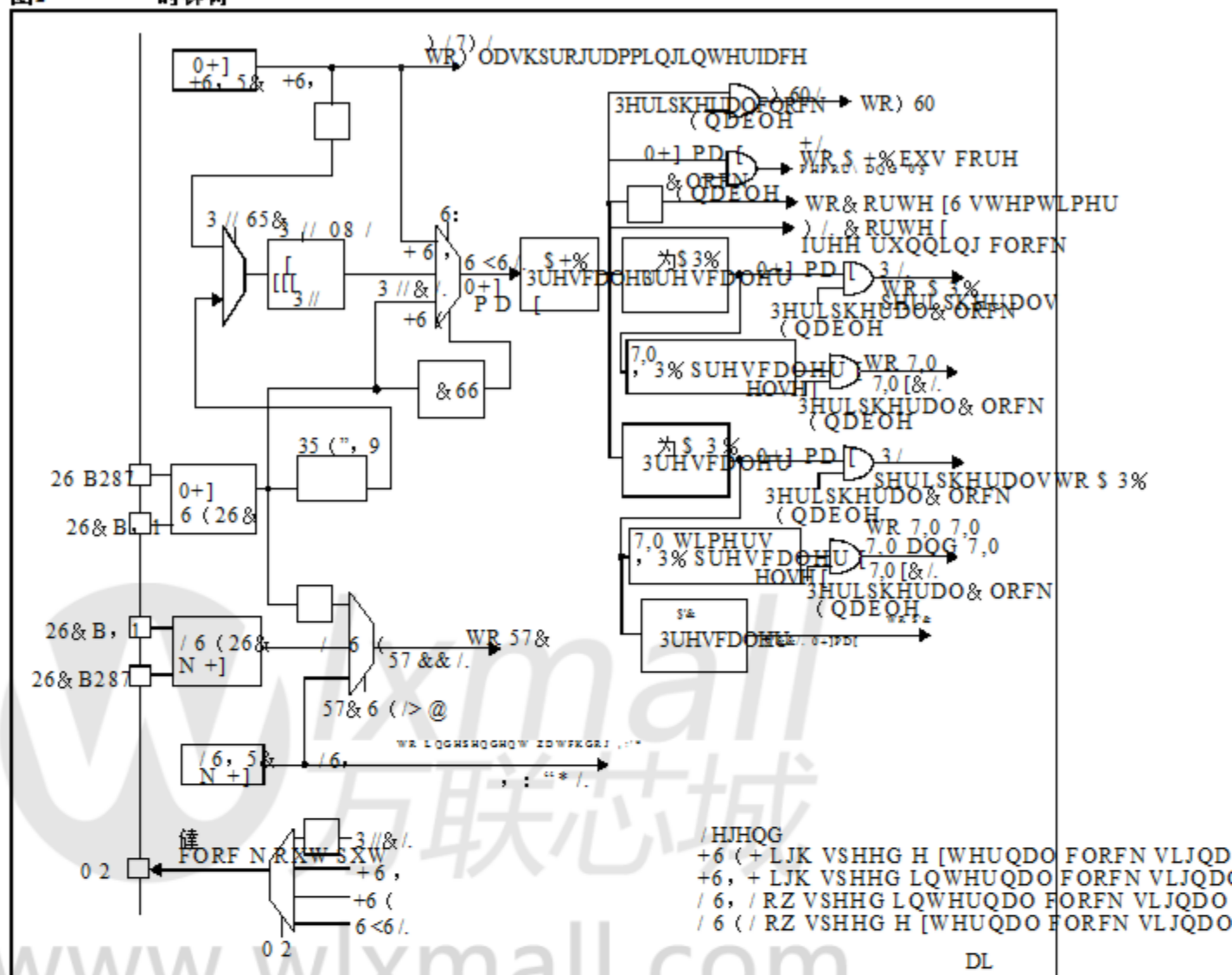
1. 对于LQFP100封装, 只有FSMC Bank1可用. Bank1只能支持多路复用的NOR / PSRAM存储器.

图1. STM32F100xx数值线框图



- 1. AF = I / O端口引脚上的复用功能.
- 2. T A = -40°C至+ 85°C (结温高达105°C) 或 T A = -40°C至+105°C (结温高达125°C) .

图2 时钟树



1. 要获得1.2μs的ADC转换时间，APB2必须在24 MHz。

2.2 概观

2.2.1 带有嵌入式闪存和SRAM的ARM®Cortex™-M3内核

ARM Cortex™-M3处理器是最新一代嵌入式ARM处理器系统.它已经被开发提供一个低成本的平台,以满足MCU的需求实现,在减少引脚数量和低功耗的同时提供杰出的计算性能和先进的系统响应中断.

ARM Cortex™-M3 32位RISC处理器具有出色的代码效率,通常在内存大小上提供ARM内核期望的高性能与8位和16位设备相关联.

因此,具有嵌入式ARM内核的STM32F100xx数值线系列兼容所有的ARM工具和软件.

2.2.2 嵌入式闪存

高达512 KB的嵌入式Flash存储器可用于存储程序和数据.

2.2.3 CRC (循环冗余校验) 计算单元

CRC (循环冗余校验) 计算单元用于从32位获取CRC码数据字和固定生成多项式.

在其他应用中,基于CRC的技术用于验证数据传输或存储完整性.在EN / IEC 60335-1标准的范围内,它们提供了一种手段验证闪存的完整性. CRC计算单元帮助计算签名运行时的软件,与链接生成的参考签名进行比较,时间并存储在给定的存储位置.

2.2.4 嵌入式SRAM

以CPU时钟速度访问(读/写)高达32 KB的嵌入式SRAM,等待时间为0状态.

2.2.5 FSMC (灵活的静态存储器控制器)

FSMC嵌入在高密度价值线系列中.它有四个芯片选择输出支持以下模式: SRAM, PSRAM和NOR.

功能概述:

- 三个FSMC中断线进行或运算以连接到NVIC
- 没有读取FIFO
- 从外部存储器执行代码
- 没有启动功能
- 目标频率是HCLK / 2,所以当HCLK处于外部时,外部访问频率为12 MHz
24兆赫

2.2.6 LCD并行接口

FSMC可以配置为与大多数图形LCD控制器无缝连接.它支持英特尔8080和摩托罗拉6800模式,并且足够灵活适应

特定的LCD接口.这种LCD并行接口功能可以很容易地建立成本效益,使用带嵌入式控制器的LCD模块的高效图形应用,高性能解决方案使用外部控制器和专用加速.

2.2.7 嵌套向量中断控制器 (NVIC)

STM32F100xx数值线嵌入了一个能够处理的嵌套向量中断控制器多达60个可屏蔽中断通道 (不包括Cortex™-M3的16个中断线) 和16个优先级.

- 紧密耦合的NVIC提供低延迟中断处理
- 中断入口向量地址直接传递给核心
- 紧密耦合的NVIC核心接口
- 允许提前处理中断
- 处理迟到的高优先级中断
- 支持尾链
- 处理器状态自动保存
- 在中断退出时中断条目在没有指令开销的情况下恢复

这个硬件模块提供灵活的中断管理功能,并且中断最少潜伏.

2.2.8 外部中断/事件控制器 (EXTI)

外部中断/事件控制器由18个边沿检测器线路组成.中断/事件请求.每条线都可以独立配置来选择触发器事件 (上升沿, 下降沿, 两者), 可以独立屏蔽.待处理的寄存器保持中断请求的状态. EXTI可以检测一个外部线路.脉冲宽度短于内部APB2时钟周期.最多可以连接112个GPIO到16个外部中断线.

2.2.9 时钟和启动

系统时钟选择在启动时执行, 但内部RC 8 MHz振荡器是选择为复位时的默认CPU时钟.可以选择外部4-24 MHz时钟.哪种情况下监控失败.如果检测到故障, 则系统自动切换回到内部RC振荡器.如果启用, 则会生成软件中断.同样, 充满必要时可以使用PLL时钟输入的中断管理 (例如间接使用的外部晶体, 谐振器或振荡器的故障).

几个预分频器允许配置AHB频率, 高速APB (APB2) 和低速APB (APB1) 域. AHB的最大频率和APB域是24兆赫.

2.2.10 启动模式

在启动时, 引导引脚用于选择三个引导选项之一:

- 从用户Flash启动
- 从系统内存启动
- 从嵌入式SRAM启动

引导加载程序位于系统内存中.它用于通过重新编程Flash存储器使用USART1.详情请参阅AN2606.

2.2.11 供电方案

- $V_{DD} = 2.0$ 至 3.6 V: 用于I/O和内部稳压器的外部电源.通过V DD引脚从外部提供.
- V_{SSA} , $V_{DDA} = 2.0$ 至 3.6 V: 用于ADC, DAC, 复位模块的外部模拟电源, RC和PLL (ADC或DAC时, 应用于V DDA的最小电压为 2.4 V)用过的).
V DDA和V SSA必须分别连接到V DD和V SS.
- $V_{BAT} = 1.8$ 至 3.6 V: RTC电源, 外部时钟 32 kHz振荡器和备份当V DD不存在时注册 (通过电源开关).

2.2.12 电源管理员

该器件具有集成的上电复位 (POR) /掉电复位 (PDR) 电路.它是始终处于活动状态, 并确保从 2 V开始正常工作.设备保持不变在复位模式下, 当V DD低于指定的阈值时, V POR/PDR, 而不需要一个外部复位电路.

该器件具有嵌入式可编程电压检测器 (PVD), 可监测V DD/V DDA电源, 并将其与V PVD阈值进行比较.中断可以当V DD/V DDA下降到V PVD阈值以下和/或V DD/V DDA更高时产生比V PVD阈值.中断服务程序可以生成警告消息和/或将MCU置于安全状态. PVD是由软件启用的.

2.2.13 电压调节器

调节器有三种操作模式: 主 (MR), 低功率 (LPR) 和断电.

- MR用于标称调节模式 (运行)
- LPR用于停止模式
- 掉电用于待机模式: 稳压器输出高阻抗: 内核电路关闭, 导致零消耗 (但内容寄存器和SRAM丢失)

该调节器在复位后始终使能.它在待机模式下被禁用, 提供高阻抗输出.

2.2.14 低功耗模式

STM32F100xx数值线支持三种低功耗模式, 以达到最佳效果低功耗, 短启动时间和可用唤醒之间的妥协来源:

- 睡眠模式
在睡眠模式下, 只有CPU停止.所有的外围设备继续运行, 可以当中断/事件发生时唤醒CPU.
- 停止模式
停止模式在保持内容的同时达到最低的功耗
SRAM和寄存器. 1.8 V域中的所有时钟都停止工作, PLL, HSI RC
HSE晶体振荡器被禁用.电压调节器也可以放

无论是正常模式还是低功耗模式。

该设备可以通过任何EXTI线从停止模式中唤醒。EXTI线源可以是16个外部线之一，PVD输出或RTC报警。

- 待机模式

待机模式用于实现最低的功耗。内置的

电压调节器关闭，以便整个1.8 V电源关闭。该

PLL，HSI RC和HSE晶体振荡器也被关闭。进入后

备用模式下，除备份中的寄存器外，SRAM和寄存器内容都将丢失域和备用电路。

当外部复位（NRST引脚），IWDG复位，a.时，器件退出待机模式WKUP引脚的上升沿，或发生RTC报警。

注意： RTC，IWDG和相应的时钟源不会通过进入停止来停止或待机模式。

2.2.15 DMA

灵活的12通道通用DMA能够管理内存到内存，外设到内存和内存到外设的传输。两个DMA控制器支持循环缓冲区管理，避免了控制器产生中断到达缓冲区的末端。

每个通道都连接到专用硬件DMA请求，并支持软件触发每个通道。配置是由软件和传输大小之间来源和目的地是独立的。

DMA可以与主要外设一起使用：SPI，DAC，I2C，USART，所有定时器和ADC。

2.2.16 RTC（实时时钟）和备份寄存器

RTC和备份寄存器通过一个接通电源的开关提供VDD电源时，或通过VBAT引脚。备份寄存器是十个16位。当VDD电源不存在时，寄存器用于存储20个字节的用户应用程序数据。

实时时钟提供了一套可以连续运行的计数器。合适的软件提供一个时钟日历功能，并提供一个闹钟中断和一个周期性中断。它是由一个32.768 kHz的外部晶体，谐振器或振荡器，时钟内部低功耗RC振荡器或高速外部时钟128分频。内部低功耗RC的典型频率为40 kHz。RTC可以使用校准外部512赫兹输出，以补偿任何自然晶体偏差。RTC具有一个32位可编程计数器，用于比较长期测量。注册以生成警报。一个20位的预分频器用于时基时钟，并通过默认配置为从32.768 kHz的时钟产生1秒的时基。

2.2.17 定时器和看门狗

STM32F100xx器件包括一个高级控制定时器，九个通用定时器，两个基本定时器和两个看门狗定时器。

表3比较了高级控制，通用和基本定时器的功能。

表3. 定时器功能比较

计时器	计数器 解析度	计数器 类型	预分频器 因子	DMA请求 代	捕获/比较 通道	补充 输出
TIM1	16位	向上， 下， 向上/向下	16位	是	4	是
TIM2， TIM3， TIM4， TIM5	16位	向上， 下， 向上/向下	任何整数 在1之间 和65536	是	4	没有
TIM12	16位	向上	任何整数 在1之间 和65536	没有	2	没有
TIM13， TIM14	16位	向上	任何整数 在1之间 和65536	没有	1	没有
TIM15	16位	向上	任何整数 在1之间 和65536	是	2	是
TIM16， TIM17	16位	向上	任何整数 在1之间 和65536	是	1	是
TIM6， TIM7	16位	向上	任何整数 在1之间 和65536	是	0	没有

高级控制计时器（TIM1）

高级控制定时器（TIM1）可以看作是在6上复用的三相PWM通道.它具有可编程插入死区时间的互补PWM输出.它也可以看作是一个完整的通用计时器. 4个独立的频道可以用于：

- 输入捕捉
- 输出比较
- PWM生成（边缘或中心对齐模式）
- 单脉冲模式输出

如果配置为标准的16位定时器，则具有与TIMx定时器相同的功能.如果配置为16位PWM发生器，具有全调制能力（0-100％）.

计数器可以在调试模式下冻结.

许多功能与具有相同标准TIM计时器的功能共享.高级控制定时器因此可以与TIM定时器一起工作.定时器链接功能用于同步或事件链接.

通用定时器（TIM2..5, TIM12..17）

在STM32F100xx中嵌入了十个可同步的通用定时器设备（差异见表3）.每个通用定时器都可以用来生成PWM输出或简单的时基.

TIM2, TIM3, TIM4, TIM5

STM32F100xx器件具有四个可同步的4通道通用定时器。
这些定时器基于一个16位自动重装上/下计数器和一个16位预分频器。
它们具有4个独立的通道，每个通道用于输入捕捉/输出比较，
脉冲模式输出。这最多可以输出12个输入捕捉/输出比较/ PWM
最大的包裹。

TIM2, TIM3, TIM4, TIM5通用定时器可以与TIM1一起工作
高级控制定时器通过Timer Link功能进行同步或事件链接。

TIM2, TIM3, TIM4, TIM5都有独立的DMA请求生成。

这些定时器能够处理正交（增量）编码器信号，
数字输出1到3个霍尔效应传感器。

他们的计数器可以在调试模式下被冻结。

TIM12, TIM13和TIM14

这些定时器基于一个16位自动重装上计数器和一个16位预分频器。

TIM12具有两个独立通道，而TIM13和TIM14具有一个独立通道
输入捕捉/输出比较通道，PWM或单脉冲模式输出。

他们的计数器可以在调试模式下被冻结。

TIM15, TIM16和TIM17

这些定时器基于一个16位自动重装上计数器和一个16位预分频器。

TIM15具有两个独立通道，而TIM16和TIM17具有一个通道
输入捕捉/输出比较通道，PWM或单脉冲模式输出。

TIM15, TIM16和TIM17定时器可以一起使用，TIM15也可以使用
TIM1通过Timer Link功能进行同步或事件链接。

TIM15可以与TIM16和TIM17同步。

TIM15, TIM16和TIM17具有互补输出，并具有死区时间生成功能
独立的DMA请求生成

他们的计数器可以在调试模式下被冻结。

基本计时器TIM6和TIM7

这些定时器主要用于DAC触发器的生成。他们也可以用作一个
通用的16位时基。

独立监督

独立的看门狗是基于一个12位下降计数器和8位预分频器。它是
由一个独立的40 kHz内部RC控制，并且独立运行
主时钟，它可以在停止和待机模式下运行。它可以作为看门狗来使用
出现问题时重置设备，或作为应用程序超时的自由运行计时器
管理。通过选项字节可以配置硬件或软件。柜台
可以在调试模式下被冻结。

窗口看门狗

窗口看门狗是基于一个可以设置为自由运行的7位向下计数器.它
可以用作看门狗在发生时重置设备.它是从钟表钟表
主时钟.它具有预警中断能力,可以冻结计数器
调试模式.

SysTick定时器

这个计时器专用于操作系统,但也可以用作标准的计数器.它
特征:

- 一个24位的倒计时器
- 自动重新加载功能
- 当计数器达到0时,产生可屏蔽的系统中断.
- 可编程时钟源

2.2.18 I²C 总线

I²C总线接口可以在多主机和从机模式下运行.它可以支持标准
和快速模式.

它支持双从寻址(仅7位)和主模式下的7/10位寻址.
嵌入了硬件CRC生成/验证.
该接口可以通过DMA服务,并且支持SM总线2.0 / PM总线.

2.2.19 通用同步/异步收发器 (USART)

STM32F100xx数值线嵌入三个通用同步/异步接收器
发射机 (USART1, USART2和USART3).

可用的USART接口通信速率高达3 Mbit / s.他们提供硬件
管理CTS和RTS信号,它们支持IrDA SIR ENDEC,
多处理器通信模式,单线半双工通信模式等
具有LIN主/从功能.

USART接口可以由DMA控制器提供服务.

2.2.20 通用异步收发器 (UART)

STM32F100xx数值线嵌入2个通用异步收发器
(UART4和UART5).

可用的UART接口支持多处理器通信 IrDA SIR ENDEC
模式,单线半双工通信模式,并具有LIN主/从
能力.

UART接口可由DMA控制器提供服务.

2.2.21 串行外设接口 (SPI)

最多三个SPI能够以全速方式在从模式和主模式下以12 Mbit /
双工和单工通信模式. 3位预分频器提供8个主模式
频率和帧可配置为8位或16位.

SPI可以由DMA控制器提供服务.

HDMI（高清晰度多媒体接口）消费者 电子控制（CEC）

STM32F100xx数值线嵌入一个提供硬件的HDMI-CEC控制器支持消费电子控制（CEC）（HDMI附录1标准）。

该协议提供了所有视听产品之间的高级控制功能环境。它被规定在低速运行，最小的处理和内存高架。

2.2.22 GPIO（通用输入/输出）

每个GPIO引脚都可以通过软件配置为输出（推挽或漏极开路）输入（有或没有上拉或下拉）或作为外设备用功能。大部分的GPIO引脚与数字或模拟替代功能共享。所有GPIO都是高电流能。

I/O备用功能配置可以根据需要锁定以避免寄生写入I/O寄存器。

2.2.23 重映射功能

此功能允许在给定的应用程序中使用最大数量的外设。事实上，备用功能不仅可用于默认引脚，还可用于其他功能。它们可重映射的特定引脚。这有制作板子的好处。设计和端口使用更加灵活。

有关详细信息，请参见表4：高密度STM32F100xx引脚定义。它显示的清单可重新映射的备用功能以及可重新映射的引脚。看到了STM32F100xx参考手册中的软件注意事项。

2.2.24 ADC（模数转换器）

12位模数转换器具有多达16个外部通道并执行单次或扫描模式下的转换。在扫描模式下，执行自动转换在选定的一组模拟输入上。

ADC可以由DMA控制器提供服务。

模拟看门狗功能可以非常精确地监视一个转换后的电压，部分或全部选定的频道。转换后的电压产生中断超出编程的阈值。

2.2.25 DAC（数字 - 模拟转换器）

两个12位缓冲DAC通道可用于将两个数字信号转换为两个模拟电压信号输出。所选的设计结构是由集成的电阻串和同相放大器。

这个双数字接口支持以下功能：

- 两个DAC转换器：每个输出通道一个
- 高达10位输出
- 左对齐或右对齐12位模式
- 同步更新功能
- 噪音波的产生
- 三角波的一代
- 双DAC通道独立或同时转换
- 每个通道的DMA能力
- 外部触发器进行转换
- 输入电压参考V_{REF+}

在STM32F100xx中使用8个DAC触发输入。DAC通道被触发通过也连接到不同DMA通道的定时器更新输出。

2.2.26 温度感应器

温度传感器必须产生一个随温度线性变化的电压。该转换范围在2 V < V_{DDA} < 3.6 V之间。温度传感器在内部连接到用于转换传感器输出的ADC1_IN16输入通道电压转换成数字值。

2.2.27 串行线JTAG调试端口（SWJ-DP）

ARM SWJ-DP接口是嵌入式的，是一个组合的JTAG和串行线调试端口，使串行线调试或JTAG探针连接到目标。

JTAG TMS和TCK引脚分别与SWDIO和SWCLK以及a

TMS引脚上的特定序列用于在JTAG-DP和SW-DP之间切换。

3 引脚和引脚说明

图3. STM32F100xx数值线LQFP144引脚

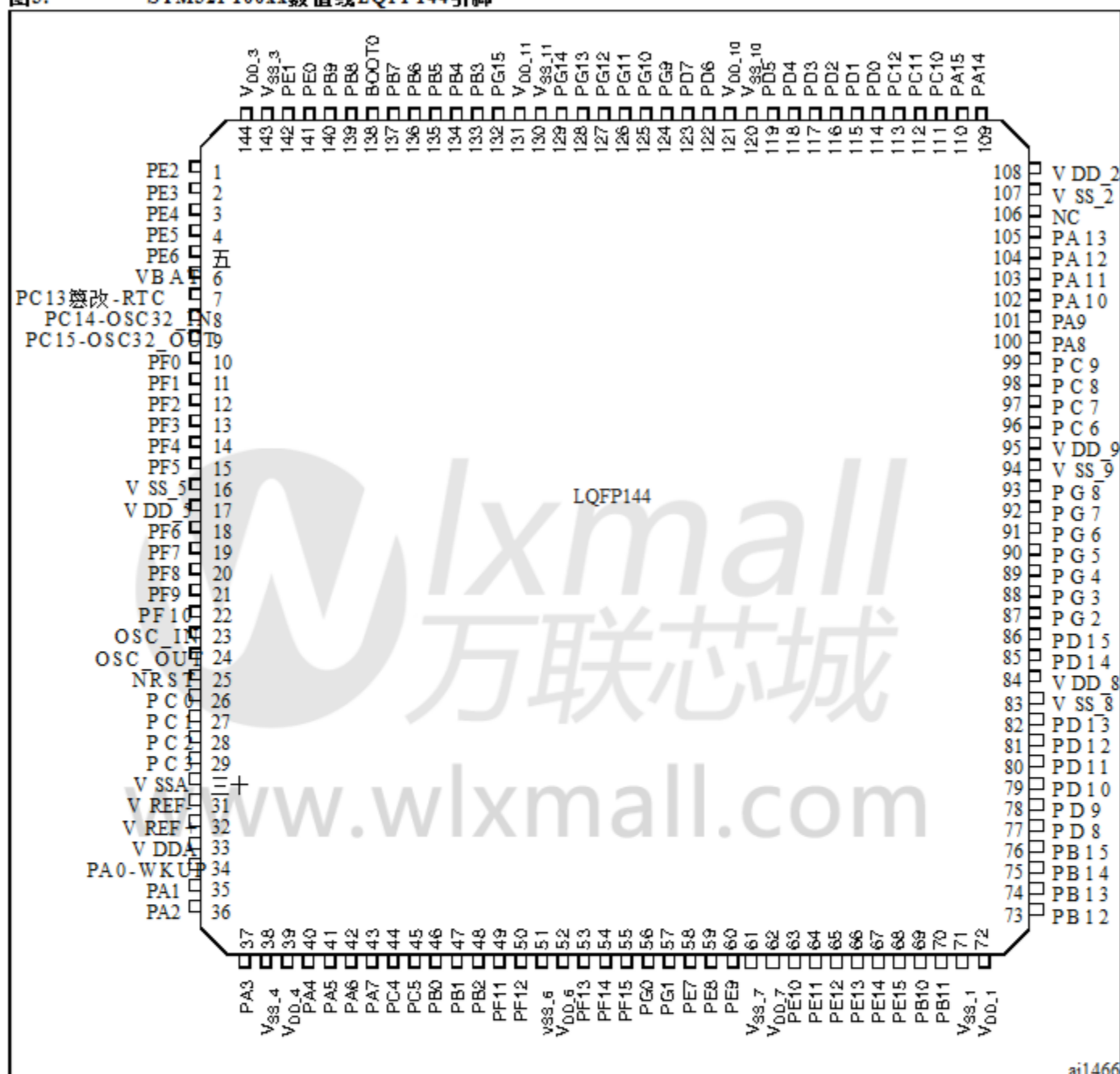


图4. STM32F100xx数值线LQFP100引脚

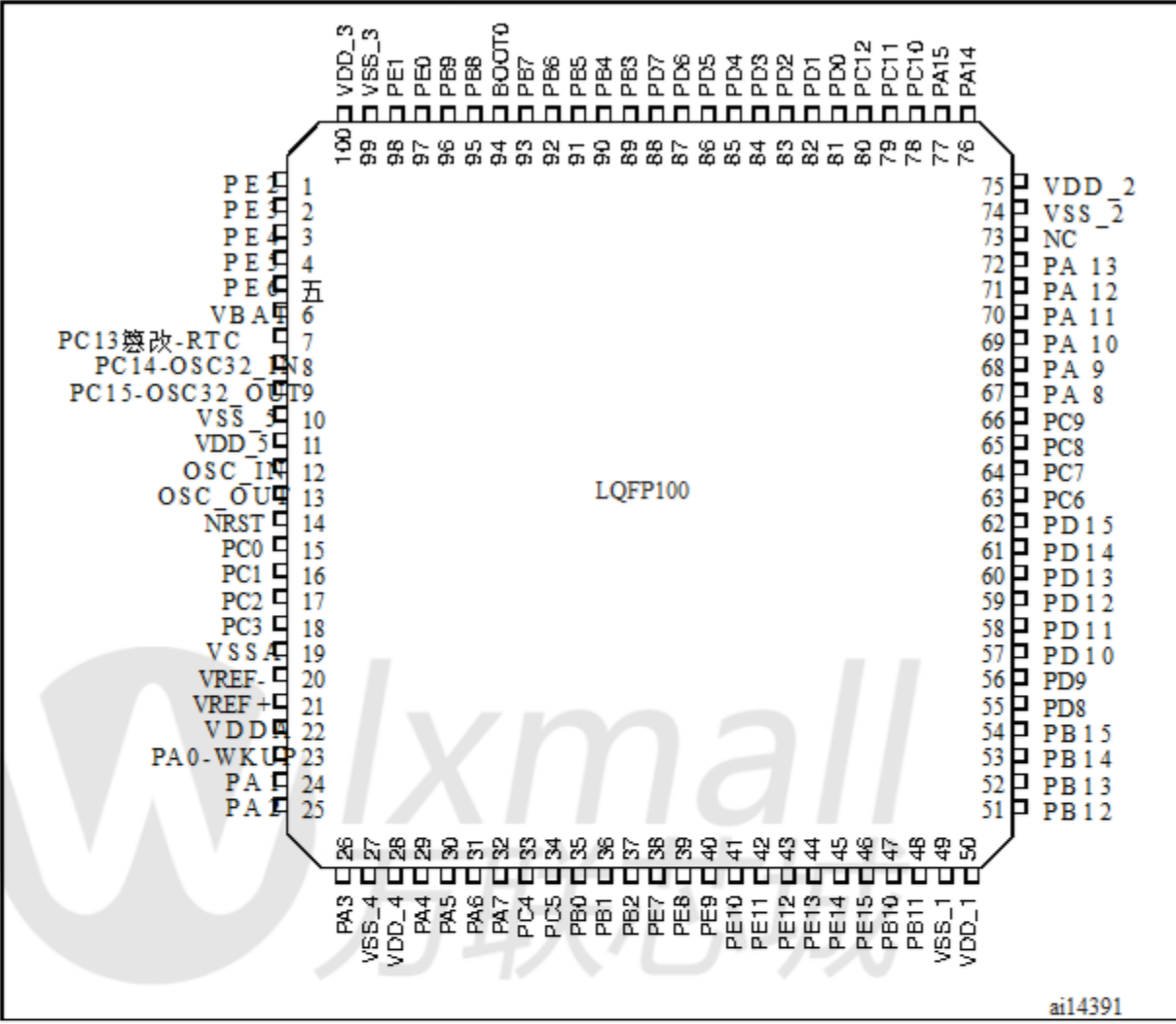


图5 LQFP64引脚的STM32F100xx数值线

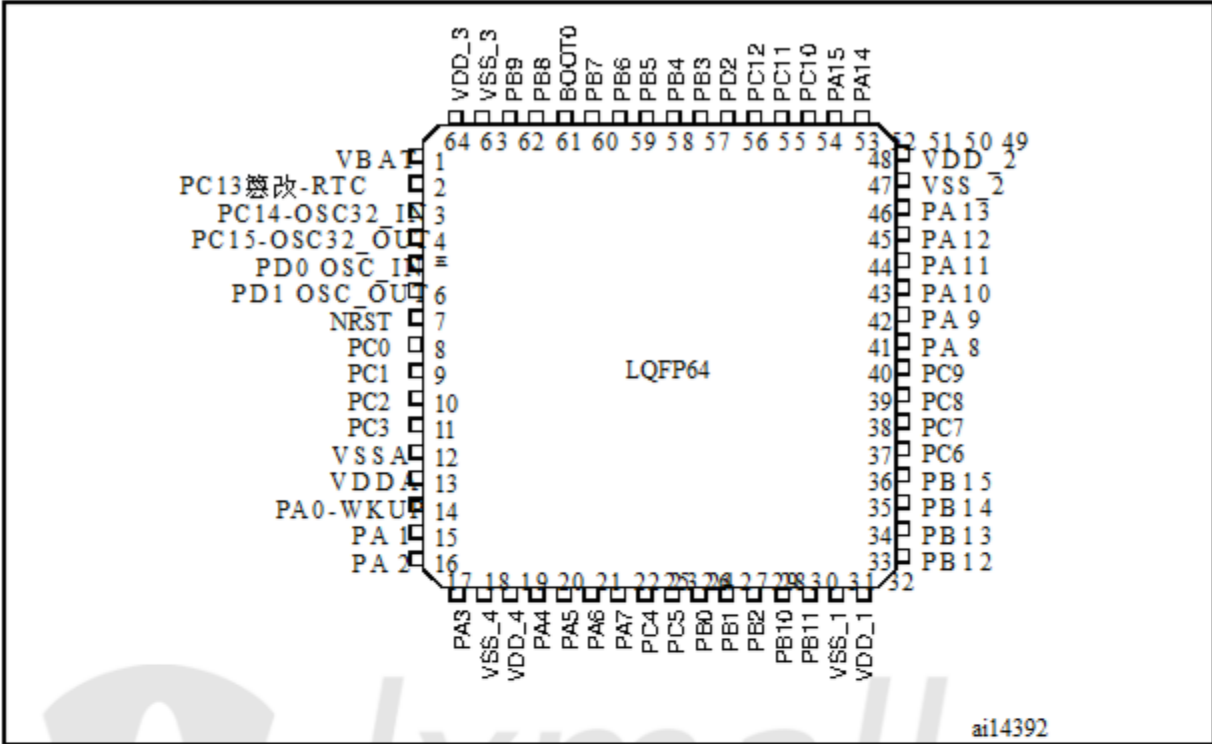


表4 高密度STM32F100xx引脚定义

销			别名	Type ⁽¹⁾ I / O Level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (4)	
LQFP144	LQFP100	LQFP64				默认	重映射
1	1	-	PE2	I / O FT	PE2	TRACECK / FSMC_A23	
2	2	-	PE3	I / O FT	PE3	TRACED0 / FSMC_A19	
3	3	-	PE4	I / O FT	PE4	TRACED1 / FSMC_A20	
4	4	-	PE5	I / O FT	PE5	TRACED2 / FSMC_A21	
五	五	-	PE6	I / O FT	PE6	TRACED3 / FSMC_A22	
66		1	V BAT	S V BAT			
77		2	PC13-篡改 RTC (5)	I/O	PC13 (6)	篡改 RTC	
88		3	PC14- OSC32_IN (5)	I/O	PC14 (6)	OSC32_IN	
99		4	PC15- OSC32_OUT (5)	I/O	PC15 (6)	OSC32_OUT	
10	-	-	PF0	I / O FT	PF0	FSMC_A0	
11	-	-	PF1	I / O FT	PF1	FSMC_A1	
12	-	-	PF2	I / O FT	PF2	FSMC_A2	
13	-	-	PF3	I / O FT	PF3	FSMC_A3	
14	-	-	PF4	I / O FT	PF4	FSMC_A4	



表4 高密度STM32F100xx引脚定义 (续)

销			别名	Type ⁽¹⁾ I/O Level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (4)	
LQFP144	LQFP100	LQFP64				默认	重映射
15	-	-	PF5	I/O FT	PF5	FSMC_A5	
16	10	-	V SS_5	S V SS_5			
17	11	-	V DD_5	S V DD_5			
18	-	-	PF6	I/O	PF6		
19	-	-	PF7	I/O	PF7		
20	-	-	PF8	I/O	PF8		
21	-	-	PF9	I/O	PF9		
22	-	-	PF10	I/O	PF10		
23	12	五	OSC_IN	—世	OSC_IN		PD0 (7)
24	13	6	OSC_OUT	Ø	OSC_OUT		PD1 (7)
25	14	7	NRST	I/O	NRST		
26	15	8	PC0	I/O	PC0	ADC_IN10	
27	16	9	PC1	I/O	PC1	ADC_IN11	
28	17	10	PC2	I/O	PC2	ADC_IN12	
29	18	11	PC3	I/O	PC3	ADC_IN13	
30	19	12	V SSA	S V SSA			
31	20	-	V REF-	S V REF-			
32	21	-	V REF+	S V REF+			
33	22	13	V DDA	S V DDA			
34	23	14	PA0-WKUP	I/O	PA0	WKUP / USART2_CTS (8) ADC_IN0 TIM2_CH1_ETR TIM5_CH1	
35	24	15	PA1	I/O	PA1	USART2_RTS (8) ADC_IN1 / TIM5_CH2 / TIM2_CH2 (8)	
36	25	16	PA2	I/O	PA2	USART2_TX (8) / TIM5_CH3 ADC_IN2 / TIM15_CH1 TIM2_CH3 (8)	
37	26	17	PA3	I/O	PA3	USART2_RX (8) / TIM5_CH4 ADC_IN3 / TIM2_CH4 (8) / TIM15_CH2	
38	27	18	V SS_4	S V SS_4			
39	28	19	V DD_4	S V DD_4			

表4 高密度STM32F100xx引脚定义 (续)

销			别名	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LQFP144	LQFP100	LQFP64					默认	重映射
40	29	20	PA 4	I/O		PA 4	SPI1_NSS (8) / USART2_CK (8) DAC_OUT1 / ADC_IN4	
41	30	21	PA 5	I/O		PA 5	SPI1_SCK (8) DAC_OUT2 / ADC_IN5	
42	31	22	PA 6	I/O		PA 6	SPI1_MISO (8) / ADC_IN6 / TIM3_CH1 (8)	TIM1_BKIN / TIM16_CH1
43	32	23	PA 7	I/O		PA 7	SPI1_MOSI (8) / ADC_IN7 / TIM3_CH2 (8)	TIM1_CH1N / TIM17_CH1
44	33	24	PC4	I/O		PC4	ADC_IN14 / TIM12_CH1	
45	34	25	PC5	I/O		PC5	ADC_IN15 / TIM12_CH2	
46	35	26	PB0	I/O		PB0	ADC_IN8 / TIM3_CH3	TIM1_CH2N / TIM13_CH1
47	36	27	PB1	I/O		PB1	ADC_IN9 / TIM3_CH4 (8)	TIM1_CH3N / TIM14_CH1
48	37	28	PB2	I / O F T		PB2 / BOOT1		
49	-	-	PF11	I / O F T		PF11		
50	-	-	PF12	I / O F T		PF12	FSMC_A6	
51	-	-	V SS_6	S V		V SS_6		
52	-	-	V DD_6	S V		V DD_6		
53	-	-	PF13	I / O F T		PF13	FSMC_A7	
54	-	-	PF14	I / O F T		PF14	FSMC_A8	
55	-	-	PF15	I / O F T		PF15	FSMC_A9	
56	-	-	PG0	I / O F T		PG0	FSMC_A10	
57	-	-	PG1	I / O F T		PG1	FSMC_A11	
58	38	-	PE7	I / O F T		PE7	FSMC_D4	TIM1_ETR
59	39	-	PE8	I / O F T		PE8	FSMC_D5	TIM1_CH1N
60	40	-	PE9	I / O F T		PE9	FSMC_D6	TIM1_CH1
61	-	-	V SS_7	S V		V SS_7		
62	-	-	V DD_7	S V		V DD_7		
63	41	-	PE10	I / O F T		PE10	FSMC_D7	TIM1_CH2N
64	42	-	PE11	I / O F T		PE11	FSMC_D8	TIM1_CH2
65	43	-	PE12	I / O F T		PE12	FSMC_D9	TIM1_CH3N
66	44	-	PE13	I / O F T		PE13	FSMC_D10	TIM1_CH3

表4 高密度STM32F100xx引脚定义 (续)

销			别名	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LQFP144	LQFP100	LQFP64					默认	重映射
67	45	-	PE14	I / O FT	PE14		FSMC_D11	TIM1_CH4
68	46	-	PE15	I / O FT	PE15		FSMC_D12	TIM1_BKIN
69	47	29	PB10	I / O FT	PB10		I2C2_SCL / USART3_TX (8)	TIM2_CH3 / HDMI_CEC
70	48	30	PB11	I / O FT	PB11		I2C2_SDA / USART3_RX (8)	TIM2_CH4
71	49	31	V SS_1	S V	SS_1			
72	50	32	V DD_1	S V	DD_1			
73	51	33	PB12	I / O FT	PB12		SPI2_NSS / I2C2_SMBA / USART3_CK (8) / TIM1_BKIN (8)	TIM12_CH1
74	52	34	PB13	I / O FT	PB13		SPI2_SCK / USART3_CTS (8) / TIM1_CH1N	TIM12_CH2
75	53	35	PB14	I / O FT	PB14		SPI2_MISO / TIM1_CH2N USART3_RTS (8) /	TIM15_CH1
76	54	36	PB15	I / O FT	PB15		SPI2_MOSI / TIM1_CH3N (8) / TIM15_CH1N	TIM15_CH2
77	55	-	PD8	I / O FT	PD8		FSMC_D13	USART3_TX
78	56	-	PD9	I / O FT	PD9		FSMC_D14	USART3_RX
79	57	-	PD10	I / O FT	PD10		FSMC_D15	USART3_CK
80	58	-	PD11	I / O FT	PD11		FSMC_A16	USART3_CTS
81	59	-	PD12	I / O FT	PD12		FSMC_A17	TIM4_CH1 / USART3_RTS
82	60	-	PD13	I / O FT	PD13		FSMC_A18	TIM4_CH2
83	-	-	V SS_8	S V	SS_8			
84	-	-	V DD_8	S V	DD_8			
85	61	-	PD14	I / O FT	PD14		FSMC_D0	TIM4_CH3
86	62	-	PD15	I / O FT	PD15		FSMC_D1	TIM4_CH4
87	-	-	PG2	I / O FT	PG2		FSMC_A12	
88	-	-	PG3	I / O FT	PG3		FSMC_A13	
89	-	-	PG4	I / O FT	PG4		FSMC_A14	
90	-	-	PG5	I / O FT	PG5		FSMC_A15	
91	-	-	PG6	I / O FT	PG6			
92	-	-	PG7	I / O FT	PG7			

表4 高密度STM32F100xx引脚定义 (续)

销			别名	Type ⁽¹⁾ I/O Level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (4)	
LQFP144	LQFP100	LQFP64				默认	重映射
93	-	-	PG8	I/O FT	PG8		
94	-	-	VSS_9	SVSS_9			
95	-	-	VDD_9	SVDD_9			
96	63	37	PC6	I/O FT	PC6		TIM3_CH1
97	64	38	PC7	I/O FT	PC7		TIM3_CH2
98	65	39	PC8	I/O FT	PC8	TIM13_CH1	TIM3_CH3
99	66	40	PC9	I/O FT	PC9	TIM14_CH1	TIM3_CH4
100	67	41	PA8	I/O FT	PA8	USART1_CK / TIM1_CH1 (8) / MCO	
101	68	42	PA9	I/O FT	PA9	USART1_TX (8) / TIM1_CH2 (8) / TIM15_BKIN	
102	69	43	PA10	I/O FT	PA10	USART1_RX (8) / TIM1_CH3 (8) / TIM17_BKIN	
103	70	44	PA11	I/O FT	PA11	USART1_CTS / TIM1_CH4 (8)	
104	71	45	PA12	I/O FT	PA12	USART1_RTS / TIM1_ETR (8)	
105	72	46	PA13	I/O FT	JTMS- SWDIO		
106	73	-			未连接		
107	74	47	VSS_2	SVSS_2			
108	75	48	VDD_2	SVDD_2			
109	76	49	PA14	I/O FT	JTCK- SWCLK		
110	77	50	PA15	I/O FT	JTDI	SPI3_NSS	TIM2_CH1_ETR / SPI1_NSS
111	78	51	PC10	I/O FT	PC10	UART4_TX	USART3_TX
112	79	52	PC11	I/O FT	PC11	UART4_RX	USART3_RX
113	80	53	PC12	I/O FT	PC12	UART5_TX	USART3_CK
114	81	-	PD0	I/O FT	PD0	FSMC_D2 (9)	
115	82	-	PD1	I/O FT	PD1	FSMC_D3 (9)	
116	83	54	PD2	I/O FT	PD2	TIM3_ETR / UART5_RX	
117	84	-	PD3	I/O FT	PD3	FSMC_CLK	USART2_CTS
118	85	-	PD4	I/O FT	PD4	FSMC_NOE	USART2_RTS

表4 高密度STM32F100xx引脚定义 (续)

销			别名	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LQFP144	LQFP100	LQFP64					默认	重映射
119	86	-	PD5	I / O F T	PD5		FSMC_NWE	USART2_TX
120	-	-	VSS_10	S V	SS_10			
121	-	-	VDD_10	S V	DD_10			
122	87	-	PD6	I / O F T	PD6		FSMC_NWAIT	USART2_RX
123	88	-	PD7	I / O F T	PD7		FSMC_NE1	USART2_CK
124	-	-	PG9	I / O F T	PG 9		FSMC_NE2	
125	-	-	PG10	I / O F T	PG 10		FSMC_NE3	
126	-	-	PG11	I / O F T	PG 11			
127	-	-	PG12	I / O F T	PG 12		FSMC_NE4	
128	-	-	PG13	I / O F T	PG13		FSMC_A24	
129	-	-	PG14	I / O F T	PG14		FSMC_A25	
130	-	-	VSS_11	小号	VSS_11			
131	-	-	VDD_11	小号	VDD_11			
132	-	-	PG15	I / O F T	PG 15			
133	89	55	PB3 /	I / O F T	JTDO		SPI3_SCK	PB3 / TRACESWO TIM2_CH2 / SPI1_SCK
134	90	56	PB4	I / O F T	NJTRST		SPI3_MISO	TIM3_CH1 SPI1_MISO
135	91	57	PB5	I/O		PB5	I2C1_SMBA / SPI3_MOSI TIM16_BKIN	TIM3_CH2 / SPI1_MOSI
136	92	58	PB6	I / O F T		PB6	I2C1_SCL (8) / TIM4_CH1 (8) / TIM16_CH1N	USART1_TX
137	93	59	PB7	I / O F T		PB7	I2C1_SDA (8) / FSMC_NADV / TIM4_CH2 (8) / TIM17_CH1N	USART1_RX
138	94	60	BOOT0	—世		BOOT0		
139	95	61	PB8	I / O F T		PB8	TIM4_CH3 (8) / TIM16_CH1 / HDMI_CEC	I2C1_SCL
140	96	62	PB9	I / O F T		PB9	TIM4_CH4 (8) / TIM17_CH1I2C1_SDA	
141	97	-	PE0	I / O F T		PE0	TIM4_ETR / FSMC_NBL0	
142	98	-	PE1	I / O F T		PE1	FSMC_NBL1	
143	99	63	VSS_3	S V	SS_3			
144	100	64	VDD_3	S V	DD_3			

1. I = 输入, O = 输出, S = 电源.

2. $FT = 5V$ 容忍。
3. 功能可用性取决于所选设备。
4. 如果多个外设共享相同的I/O引脚, 则为避免这些复用功能之间的冲突而只有一个外设应该通过外设时钟使能位 (在相应的RCC中) 来使能 (外设时钟使能寄存器)。
5. PC13, PC14和PC15通过电源开关供电。由于交换机只能下载一个限制电流 (3 mA), 在输出模式下使用GPIO PC13至PC15是有限的: 速度不应该超过2 MHz, 最大负载为30 pF, 并且这些IO不能用作电流源 (例如驱动一个LED)。
6. 第一个备份域上电后的主要功能。稍后, 这取决于备份的内容。即使在复位后也是寄存器 (因为这些寄存器没有被主复位复位)。有关如何的详细信息管理这些IO, 请参阅电池备份域和BKP寄存器说明部分。
STM32F100xx参考手册, 可从STMicroelectronics网站获得: www.st.com。
7. 对于LQFP64封装, 复位后, 引脚编号5和6被配置为OSC IN / OSC OUT, 然而PD0和PD1的功能可以通过这些引脚上的软件重新映射。对于LQFP100和LQFP144封装, PD0和PD1默认是可用的, 所以不需要重新映射。对于更多细节, 请参考STM32F100xx的备用功能I/O和调试配置部分参考手册。
8. 这个备用功能可以通过软件重新映射到一些其他端口引脚 (如果可用的话)。有关更多详细信息, 请参阅中的替代功能I/O和调试配置部分。
STM32F100xx参考手册, 可从STMicroelectronics网站获得: www.st.com。
9. 对于以LQFP64封装交付的器件, FSMC功能不可用。

表5 FSMC引脚定义

销	FSMC		LQFP100 (1)
	NOR / PSRAM / SRAM	NOR / PSRAM复用器	
PE 2	A 2 3	A23	是
PE 3	A 1 9	A19	是
PE 4	A 2 0	A20	是
PE 5	A 2 1	A21	是
PE 6	A 2 2	A22	是
PF0	A0		-
PF1	A1		-
PF2	A2		-
PF3	A3		-
PF4	A4		-
PF5	A5		-
PF6			-
PF7			-
PF8			-
PF9			-
PF10			-
PF11			-
PF12	A6		-
PF13	A7		-

表5 FSMC引脚定义 (续)

销	FSMC		LQFP100 (1)
	NOR / PSRAM / SRAM	NOR / PSRAM复用器	
PF14	A8		-
PF15	A9		-
PG0	A 1 0		-
PG1	A 1 1		-
P E 7	D4	D A 4	是
P E 8	D5	D A 5	是
P E 9	D6	D A 6	是
PE10	D7	D A 7	是
PE11	D8	D A 8	是
PE12	D9	D A 9	是
PE13	D 1 0	DA 1 0	是
PE14	D 1 1	DA 1 1	是
PE15	D 1 2	DA 1 2	是
PD8	D 1 3	DA 1 3	是
PD9	D 1 4	DA 1 4	是
PD10	D15	DA 1 5	是
PD11	A16	A 1 6	是
PD12	A17	A 1 7	是
PD13	A18	A 1 8	是
PD14	D0	D A 0	是
PD15	D1	D A 1	是
PG2	A 1 2		-
PG3	A 1 3		-
PG4	A 1 4		-
PG5	A 1 5		-
PG6			-
PG7			-
PD0	D2	D A 2	是
PD1	D3	D A 3	是
P D 3	C L K	CLK	是
PD4	N O E	NOE	是
PD5	N W E	NWE	是
PD6	NWAIT	NWAIT	是

表5 FSMC引脚定义（续）

销	FSMC		LQFP100（1）
	NOR / PSRAM / SRAM	NOR / PSRAM复用器	
PD7	NE 1	NE1	是
PG9	NE 2	NE2	-
PG10	NE3	NE 3	-
PG11			-
PG12	NE4	NE 4	-
PG13	A24	A 2 4	-
PG14	A25	A 2 5	-
P B 7	NADV	NADV	是
P E 0	NBL 0	NBL 0	是
P E 1	NBL 1	NBL 1	是

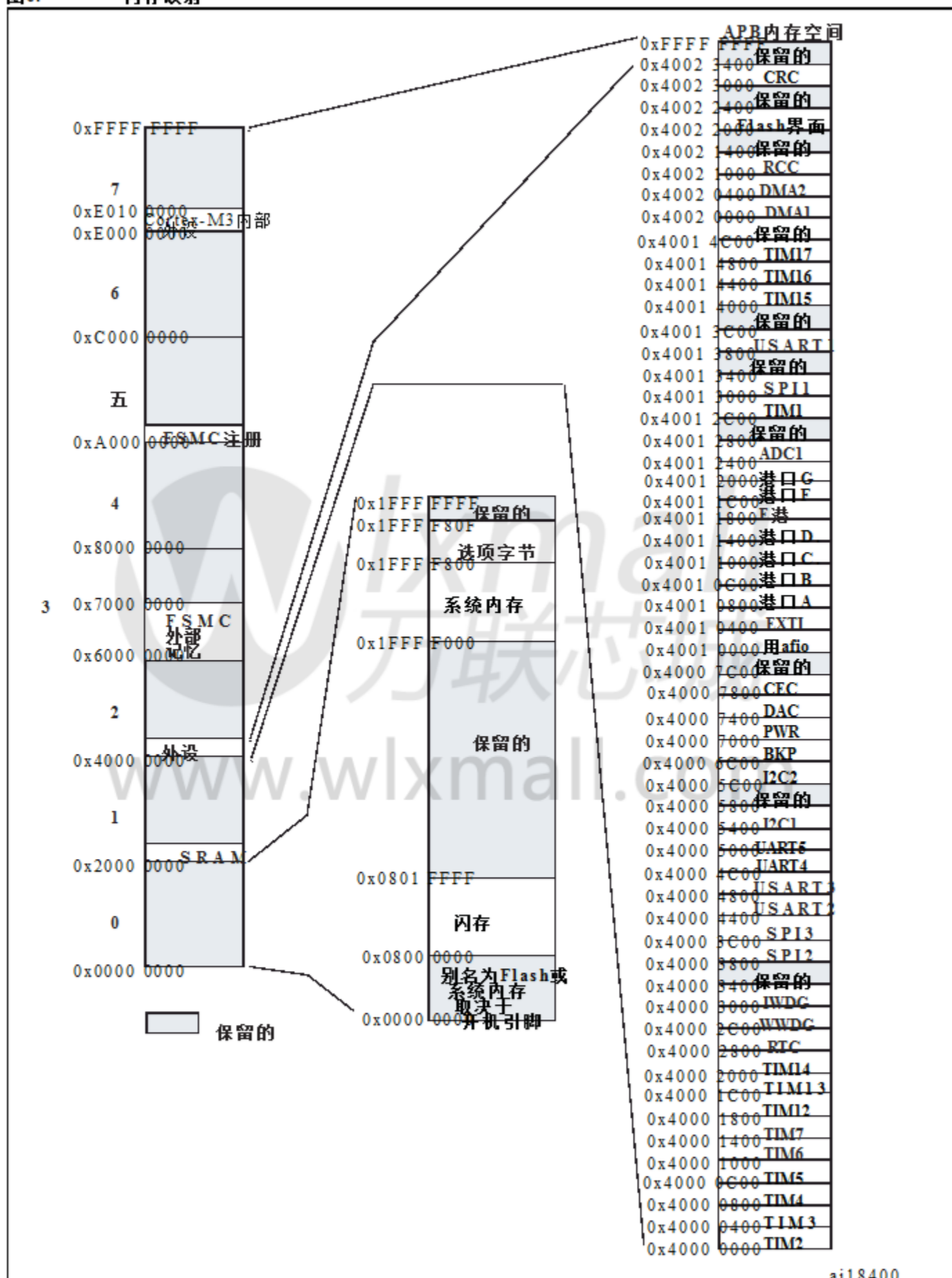
1. 采用100引脚封装的器件不提供端口F和G.

4 内存映射

内存映射如图6所示.



图6. 内存映射



五 电气特性

5.1 参数条件

除非另有说明，否则所有电压均以 V_{SS} 为参考。

5.1.1 最小值和最大值

除非另有规定，最低和最高值保证最差
环境温度条件，供电电压和频率的测试在生产上
100%的环境温度在 $T_A = 25^{\circ}\text{C}$ ， $T_A = T_{A\max}$ （由下式给出）
所选温度范围）。

基于特征结果，设计模拟和/或技术特征的数据
在表格脚注中标明，未在生产中进行测试。基于
表征，最小值和最大值是指样品测试和代表的
平均值加上或减去标准差的三倍（平均值 $\pm 3\Sigma$ ）。

5.1.2 典型值

除非另有说明，否则典型数据基于 $T_A = 25^{\circ}\text{C}$ ， $V_{DD} = 3.3\text{ V}$ （对于
 $2\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 电压范围）。它们只作为设计指导而不是
测试。

典型的ADC准确度值是通过表征一批样品来确定的
在整个温度范围内的标准扩散区，其中95%的装置具有一个
误差小于或等于所示值（平均值 $\pm 2\Sigma$ ）。

5.1.3 典型的曲线

除非另有规定，否则所有的典型曲线只作为设计指南给出
未经测试。

5.1.4 加载电容器

用于引脚参数测量的负载条件如图7所示。

5.1.5 引脚输入电压

图8描述了器件引脚上的输入电压测量。

图7. 引脚加载条件

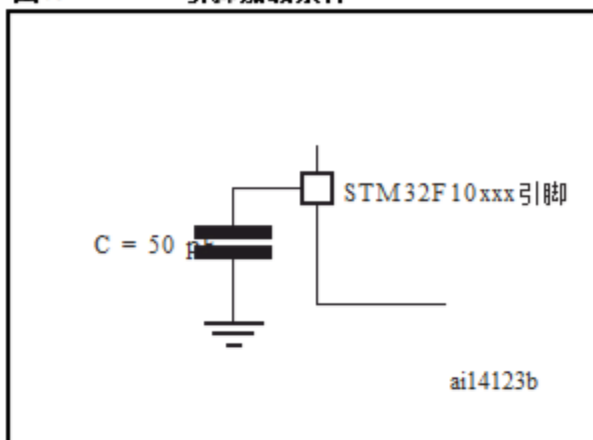
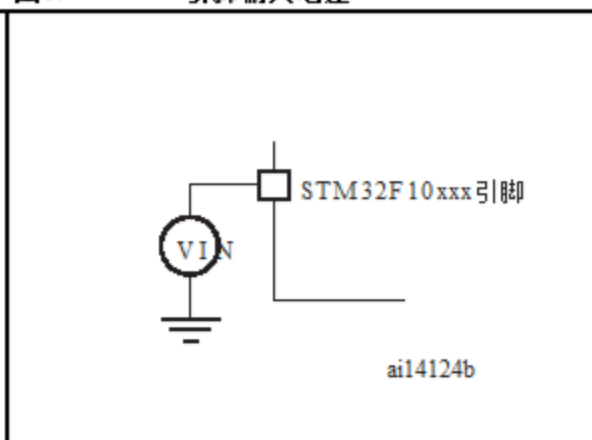
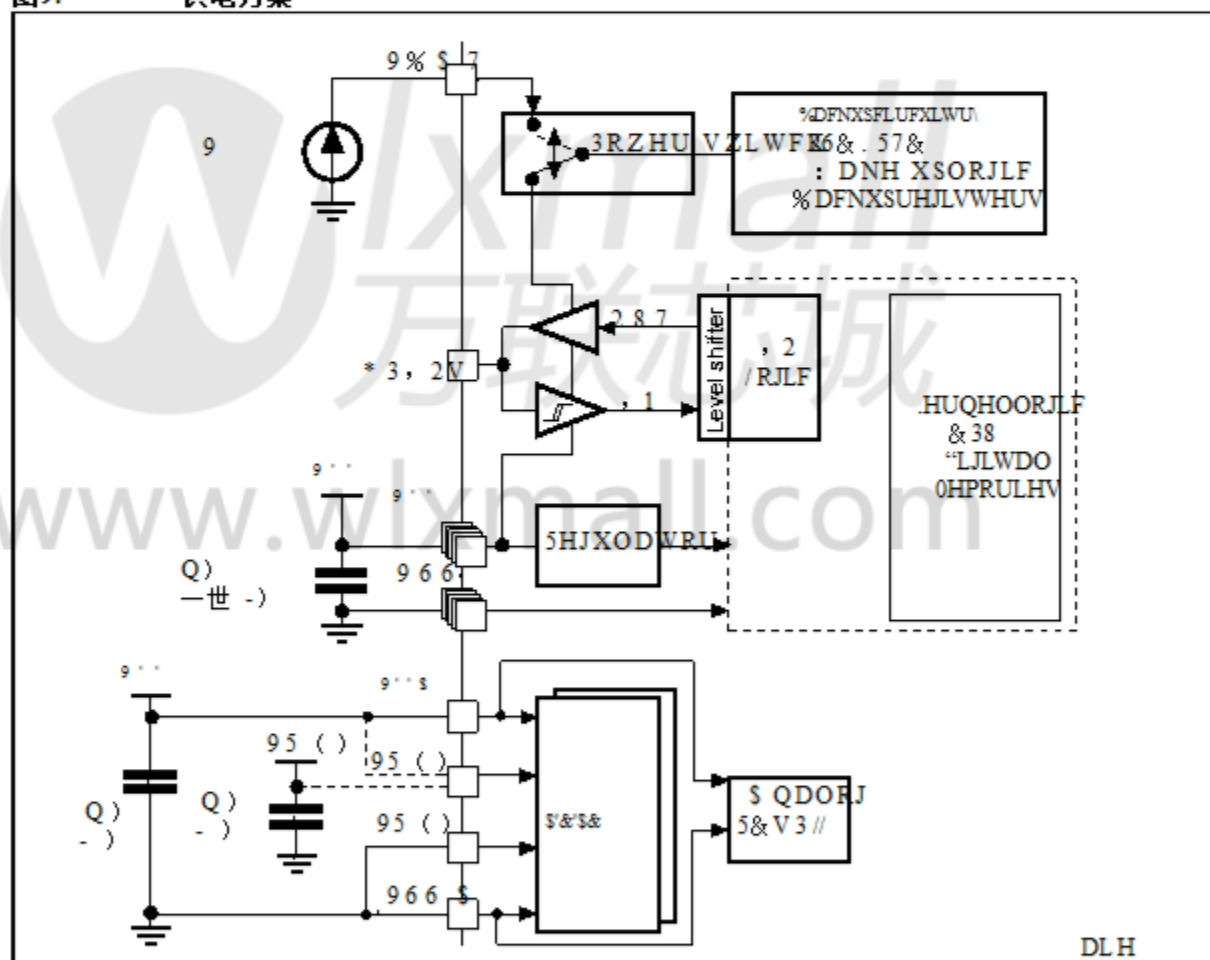


图8. 引脚输入电压



5.1.6 供电方案

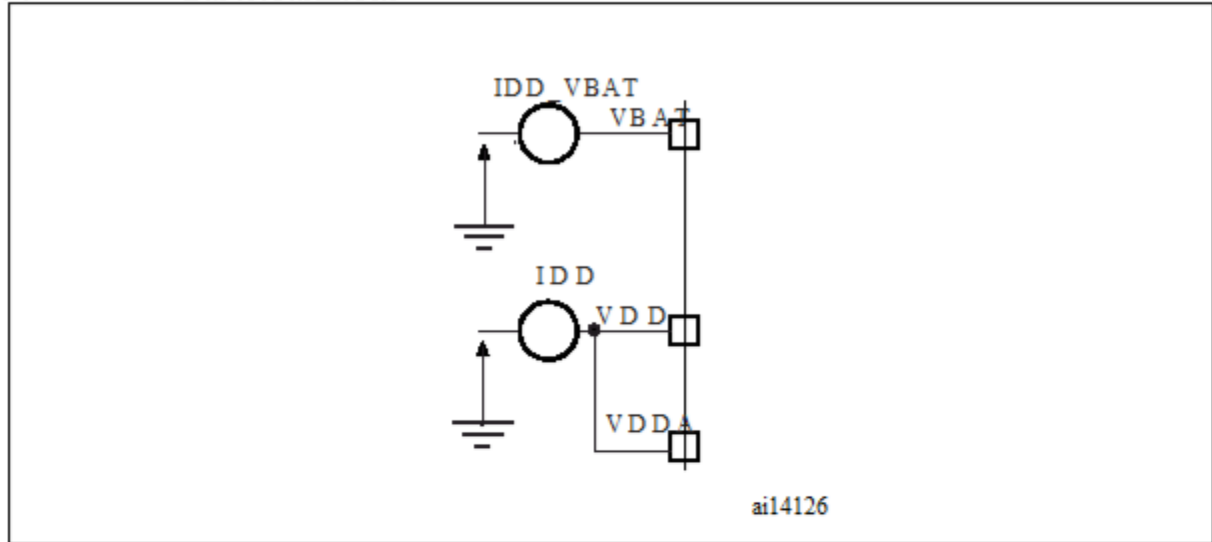
图9. 供电方案



警告: 在图9中, 必须将4.7 μ F电容连接到V_{DD3}.

5.1.7 电流消耗测量

图10. 电流消耗测量方案



5.2 绝对最大额定值

强调超过表6列出的绝对最大额定值：电压特性，表7：电流特性，表8：热特性可能会导致永久性损坏设备。这些只是压力额定值和设备的功能操作在这些条件下不是暗示的。暴露于最大额定条件下延长周期可能会影响设备可靠性。

表6 电压特性

符号	评级	敏	马克斯	单元
$V_{DD} - V_{SS}$	外部主电源电压（包括 V_{DDA} 和 V_{DD} ）(1)	-0.3	4	V
$V_{IN}^{(2)}$	五伏容错引脚上的输入电压	$V_{SS} - 0.3$	$V_{DD} + 4.0$	
	输入任何其他引脚的电压	$V_{SS} - 0.3$	4	
$ \Delta V_{DDx} $	不同的 V_{DD} 电源引脚之间的差异		50	毫伏
$ V_{SSX} - V_{SS} $	所有不同地面之间的差异		50	
$V_{ESD} (HBM)$	静电放电电压（人体模型）	见5.3.12节：绝对最大额定值（电气灵敏度）		

- 所有主电源（ V_{DD} ， V_{DDA} ）和地（ V_{SS} ， V_{SSA} ）引脚必须始终连接到外部电源供应，在允许的范围内。
- 必须始终遵守最大 V_{IN} 。请参阅表7：最大电流特性允许注入电流值。

表7 目前的特点

符号	评级	最大	单元
我的 VDD	进入 V DD / VDDA 电源线的总电流 (源) (1)	150	嘛
我 VSS	总电流出 V SS 地线 (水槽) (1)	150	
我呢	输出电流由任何 I / O 和控制引脚吸收	25	
	由任何 I / O 和控制引脚输出电流源	-25	
我 INJ (PIN)	在五伏容错引脚上注入电流 (3)	-5 / +0	
	注入任何其他引脚上的电流 (4)	±5	
ΣIINJ (PIN)	总注入电流 (所有 I / O 和控制引脚的总和) (5)	±25	

1. 所有主电源 (V DD, VDDA) 和地 (V SS, VSSA) 引脚必须始终连接到外部电源供应, 在允许的范围内.
2. 负向注入会干扰设备的模拟性能. 请参阅第82页的注意:
3. 这些 I / O 上不能进行正极性注入. V IN < V SS 引起负向注入. 我 INJ (PIN) 必须永远不会被超越. 请参阅表6: 最大允许输入电压的电压特性值.
4. V IN > V DD 引起正向注入, 而 V IN < V SS 引起负向注入. 我 INJ (PIN) 必须永远不会被超越. 请参阅表6: 最大允许输入电压的电压特性值.
5. 当几个输入提交给当前注射时, 最大值 ΣIINJ (PIN) 是的绝对总和正向和负向注入电流 (瞬时值).

表8 热特性

符号	评级	值	单元
T STG	存储温度范围	-65到+150	C
T J	最高结温	150	C

5.3 运行条件

5.3.1 一般操作条件

表9 一般操作条件

符号	参数	条件	敏	马克斯	单元
f HCLK	内部AHB时钟频率		0	24	兆赫
f PCLK1	内部APB1时钟频率		0	24	
f PCLK2	内部APB2时钟频率		0	24	
V DD	标准工作电压		2	3.6	V
V DD A (1)	模拟工作电压 (ADC未使用)	必须是相同的潜力作为 V DD	2.3	3.6	V
	模拟工作电压 (ADC使用)		2.4	3.6	
V BAT	备份工作电压		1.8	3.6	V



表9 一般运行条件（续）

符号	参数	条件	敏	马克斯	单元
P _d	T _A =时的功耗 85°C为后繼6或T _A = 后繼7（2）为105°C	LQFP144		666	毫瓦
		LQFP100		434	
		LQFP64		444	
T _A	环境温度为6 后繼版本	最大功耗	-40	85	C
		低功耗（3）	-40	105	
	环境温度为7 后繼版本	最大功耗	-40	105	C
		低功耗（3）	-40	125	
T _J	结温范围	6后繼版本	-40	105	C
		7后繼版本	-40	125	

- 1. 使用ADC时，请参见表51：ADC特性。
- 2. 如果T_A较低，则只要T_J不超过T_{Jmax}，则允许较高的P_D值（见第6.2节：第92页的热特性）。
- 3. 在低功耗状态下，只要T_J不超过T_{Jmax}，T_A就可以扩展到这个范围第6.2节：第92页的热特性）。

注意：建议从同一个电源为V_{DD}和V_{DDA}供电。最大的区别在上电和运行期间，V_{DD}和V_{DDA}之间的电压可以达到300 mV

5.3.2 上电/掉电时的操作条件

根据T_A的一般操作条件。

表10 上电/掉电时的操作条件

符号	参数	敏	马克斯	单元
t _{VDD}	V _{DD} 上升时间率	0	∞	微秒/ V
	V _{DD} 下降时间率	20	∞	



5.3.3 嵌入式复位和功率控制模块特性

表 11 中给出的参数来源于在环境下进行的测试
温度和VDD电源电压条件总结在表9中。

表 11 嵌入式复位和功率控制模块特性

符号	参数	条件	敏	典型	马克	单元
V PVD	可编程电压 探测器级选择	PLS [2: 0] = 000 (上升沿)	2.1	2.18	2.26	V
		PLS [2: 0] = 000 (下降沿)	2	2.08	2.16	V
		PLS [2: 0] = 001 (上升沿)	2.19	2.28	2.37	V
		PLS [2: 0] = 001 (下降沿)	2.09	2.18	2.27	V
		PLS [2: 0] = 010 (上升沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 010 (下降沿)	2.18	2.28	2.38	V
		PLS [2: 0] = 011 (上升沿)	2.38	2.48	2.58	V
		PLS [2: 0] = 011 (下降沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 100 (上升沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 100 (下降沿)	2.37	2.48	2.59	V
		PLS [2: 0] = 101 (上升沿)	2.57	2.68	2.79	V
		PLS [2: 0] = 101 (下降沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 110 (上升沿)	2.66	2.78	2.9	V
		PLS [2: 0] = 110 (下降沿)	2.56	2.68	2.8	V
		PLS [2: 0] = 111 (上升沿)	2.76	2.88	3	V
		PLS [2: 0] = 111 (下降沿)	2.66	2.78	2.9	V
V PVDhys ⁽²⁾	PVD迟滞			100		毫伏
V POR / PDR	开机/关机 重置阈值	下降的边缘	1.8 (1)	1.88	1.96	V
		上升的优势	1.84	1.92	2.0	V
V PDRhys ⁽²⁾	PDR滞后			40		毫伏
RSTTEMPO ⁽²⁾	重置延时		1.5	2.5	4.5	女士

- 1. 产品行为由设计保证到最小V POR / PDR 值.
- 2. 由设计保证，未经生产测试.

5.3.4 嵌入式参考电压

表12中给出的参数来源于在环境下进行的测试
温度和V_{DD}电源电压条件总结在表9中。

表12 嵌入内部参考电压

符号	参数	条件	敏	典型	马克斯	单元
V _{REFINT}	内部参考电压	-40°C < T _A < +105°C	1.16	1.20	1.26	V
		-40°C < T _A < +85°C	1.16	1.20	1.24	V
T _{S_vrefint} (1)	ADC采样时间 阅读内部 参考电压			5.1	17.1 (2)	微秒
V _{RERINT} (2)	内部参考电压 蔓延的温度 范围	V _{DD} = 3V±10mV			10	毫伏
T _{科夫} (2)	温度系数				100	PPM/°C

- 1. 可以在应用中通过多次迭代确定最短的采样时间。
- 2. 由设计保证，未经生产测试。

5.3.5 供应电流特性

电流消耗是几个参数和因素的函数，例如
工作电压，环境温度，I/O引脚负载，设备软件配置，
工作频率，I/O引脚切换速率，程序在内存中的位置并执行
二进制代码。

电流消耗按图10所示进行测量：电流消耗
测量方案。

本节给出的所有运行模式电流消耗测量均使用a进行
减少代码，使消费相当于Dhrystone 2.1代码。

最大电流消耗

MCU被置于以下条件：

- 所有I/O引脚都处于输入模式，静态值为V_{DD}或V_{SS}（空载）
- 除非明确提及，否则所有外围设备都是禁用的
- 预取中（提醒：该位必须在时钟设置和总线预分频之前设置）
- 当使能外设时，PCLK1 = fHCLK/2，fPCLK2 = fHCLK

表13给出的参数来源于在环境下进行的测试
温度和V_{DD}电源电压条件总结在表9中。



表13. 运行模式下的最大电流消耗，具有数据处理的代码从Flash运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
我 DD	供应 目前在 运行模式	外部时钟 (2)，全部 外设已启用	24兆赫	19.7	20	嘛
			16兆赫	14.6	14.7	
			8 MHz	8.2	8.6	
		外部时钟 (2)，全部 外设禁用	24兆赫	11.3	11.6	
			16兆赫	8.7	8.9	
			8 MHz	5.6	6	
		HSI时钟 (2)，所有外设 启用	24兆赫	19	19	
			16兆赫	13.1	13.2	
			8 MHz	10.1	10.1	
		HSI时钟 (2)，所有外设 残	24兆赫	9.4	9.6	
			16兆赫	6.7	7	
			8 MHz	5.4	5.6	

1. 基于特性描述，未经生产测试。
2. 当f HCLK > 8 MHz时，外部时钟或HSI频率为8 MHz，PLL处于开启状态。

表14 运行模式下的最大电流消耗，具有数据处理的代码从RAM运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
我 DD	电源电流 在运行模式下	外部时钟 (2)，全部 外设已启用	24兆赫	18.5	19	嘛
			16兆赫	13.1	13.5	
			8 MHz	7.3	7.6	
		外部时钟 (2) 全部 外设禁用	24兆赫	8.4	8.5	
			16兆赫	7.3	7.7	
			8 MHz	4.8	5.2	
		HSI时钟 (2)，全部 外设已启用	24兆赫	17.2	17.2	
			16兆赫	11.7	11.8	
			8 MHz	8.9	9	
		HSI时钟 (2)，全部 外设禁用	24兆赫	8.1	8.3	
			16兆赫	5.6	5.8	
			8 MHz	4.3	4.5	

1. 根据特性，在V DD max, f HCLK max的生产中进行测试。
2. 当f HCLK > 8 MHz时，外部时钟或HSI频率为8 MHz，PLL处于开启状态。

表15 STM32F100xxB在休眠模式下的最大电流消耗，代码从Flash或RAM运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85℃	T A = 105℃	
I _{DD}	电源电流 在睡眠模式下	外部时钟 (2) 全部 外设已启用	24兆赫	14.1	14.3	μA
			16兆赫	9.7	10.3	
			8 MHz	5.9	6.2	
		外部时钟 (2)，全部 外设禁用	24兆赫	4.2	4.6	
			16兆赫	3.7	4.1	
			8 MHz	2.9	3.4	
		HSI时钟 (2)，全部 外设已启用	24兆赫	12.5	12.7	
			16兆赫	8.2	8.5	
			8 MHz	6.4	6.6	
		HSI时钟 (2)，全部 外设禁用	24兆赫	2.3	2.5	
			16兆赫	1.7	2	
			8 MHz	1.4	1.7	

1. 基于特性描述，在 启用外设的情况下 在V_{DD max}和f_{HCLK max}下 进行生产测试。
2. 当f_{HCLK} > 8 MHz时，外部时钟或HSI频率为8 MHz，PLL处于开启状态。



表16. 停止和待机模式下的典型和最大电流消耗

符号	参数	条件	典型 (1)			马克斯		单元
			V DD / V BA = 2.0V	V DD / V BA = 2.4V	V DD / V BA = 3.3V	T A = 85°C	T A = 105°C	
I DD	电源电流 在停止模式下	运行模式下的稳压器， 低速和高速 内部RC振荡器， 速度振荡器OFF (no 独立看门狗)			31	320	670	μA
		低功耗模式下的稳压器， 低速和高速 内部RC振荡器， 速度振荡器OFF (no 独立看门狗)			24	305	650	
	电源电流 在备用 模式	低速内部RC振荡器 独立看门狗开启			3.2			
		低速内部RC振荡器 ON，独立看门狗关闭			3.1			
		低速内部RC振荡器 独立看门狗关闭， 低速振荡器和RTC 关闭			2.2	3.9	5.7	
	备用 域名供应 当前	低速振荡器和RTC 上	1.0	1.2	1.4	2	2.3	

1. 典型值在T A = 25°C时测量。

典型的电流消耗

MCU被置于以下条件:

- 所有I / O引脚都处于输入模式，静态值为V DD 或V SS (空载)
- 除非明确提及，否则所有外围设备都是禁用的
- 当使能外设时，PCLK1 = fHCLK / 4, fPCLK2 = fHCLK / 2, fADCCLK = fPCLK2 / 4

表17中给出的参数来源于在环境下进行的测试
温度和V DD 电源电压条件总结在表9中。

表17 运行模式下的典型电流消耗，具有数据处理的代码从Flash运行

符号参数		条件	f HCLK	典型值 (1)		单元
				所有的外围设备 启用 (2)	所有的外围设备 残	
我 DD	供应 目前在 运行模式	高速运行 外部时钟与 8 MHz晶振 (3)	24兆赫	14.1	9.5	嘛
			16兆赫	10	6.85	
			8 MHz	5.8	4.05	
			4 MHz	3.6	2.65	
			2 MHz	2.3	1.85	
			1 MHz	1.7	1.46	
			500千赫	1.4	1.3	
			125千赫	1.15	1.1	
		高速运行 内部RC (HSI)	24兆赫	13.4	8.7	
			16兆赫	9.3	6.2	
			8 MHz	5.2	3.45	
			4 MHz	2.95	2.1	
			2 MHz	1.7	1.3	
			1 MHz	1.1	0.9	
			500千赫	0.8	0.7	
			125千赫	0.6	0.55	

1. 典型值是在T A = 25℃，V DD = 3.3V下的测量值.
2. 为ADC增加额外的功耗为0.8 mA，DAC模拟部分为0.5 mA.在应用中，只有在ADC处于开启状态（ADON位设置在ADC_CR2寄存器中）时才会发生这种消耗.
3. 一个8 MHz的晶振用作外部时钟源. AHB预分频器用于降低频率
当f HCLK < 8 MHz时，当f HCLK > 8 MHz时使用PLL.



表18 睡眠模式下的典型电流消耗，代码从Flash或内存

符号参数		条件	f HCLK	典型值 (1)		单元
				所有的外围设备 启用 (2)	所有的外围设备 关闭	
I _{DD}	供应 目前在 睡眠 模式	高速运行 外部时钟与 8 MHz晶振 (3)	24兆赫	8.7	2.75	mA
			16兆赫	6.1	2.1	
			8 MHz	3.3	1.3	
			4 MHz	2.25	1.2	
			2 MHz	1.65	1.15	
			1 MHz	1.35	1.1	
			500千赫	1.2	1.07	
			125千赫	1.1	1.05	
		高速运行 内部RC (HSI)	24兆赫	8	2.15	
			16兆赫	5.5	1.5	
			8 MHz	2.7	0.75	
			4 MHz	1.65	0.6	
			2 MHz	1.1	0.55	
			1 MHz	0.8	0.5	
			500千赫	0.65	0.49	
			125千赫	0.53	0.47	

- 典型值是在T_A = 25°C, V_{DD} = 3.3V下的测量值。
- 为ADC增加额外的功耗为0.8 mA, DAC模拟部分为0.5 mA. 在应用中, 只有在ADC处于开启状态 (ADON位设置在ADC_CR2寄存器中) 时才会发生这种消耗。
- 一个8 MHz的晶振用作外部时钟源. AHB预分频器用于降低频率
当f_{HCLK} > 8 MHz时, 当f_{HCLK} > 8 MHz时使用PLL。

片内外设电流消耗

表19给出了片内外设的电流消耗
在以下条件下：

- 所有I / O引脚都处于输入模式，静态值为V_{DD}或V_{SS}（空载）
- 除非另有说明，所有外围设备都是禁用的
- 给定值是通过测量电流消耗来计算的
 - 所有外围设备都关闭
 - 只有一个外设时钟
- 环境工作温度和V_{DD}电源电压条件总结在表6

表19. 外设电流消耗

外围设备		在25°C时的典型消耗量 (1)	单元
APB1	TIM2	0.48	mA
	TIM3	0.49	
	TIM4	0.48	
	TIM5	0.48	
	TIM6	0.2	
	TIM7	0.2	
	TIM12	0.32	
	TIM13	0.25	
	TIM14	0.25	
	D A C	1.06 (2)	
	W W D G	0.15	
	SPI2	0.2	
	SPI3	0.19	
	USART2	0.36	
	USART3	0.36	
	UART4	0.35	
	UART5	0.36	
	I2C1	0.34	
	I2C2	0.34	
	HDMI CEC	0.2	



表19. 外设电流消耗（续）

外围设备		在25°C时的典型消耗量（1）	单元
APB2	GPIO A	0.26	嘛
	GPIO B	0.26	
	GPIO C	0.26	
	GPIO D	0.26	
	GPIO E	0.26	
	GPIO F	0.24	
	GPIO G	0.25	
	ADC1（3）	1.28	
	SPI1	0.2	
	USART1	0.37	
	TIM1	0.63	
	TIM15	0.43	
	TIM16	0.34	
	TIM17	0.34	

1. $f_{HCLK} = f_{APB1} = f_{APB2} = 24\text{ MHz}$ ，每个外设的默认预分频值。
2. DAC的具体条件：DAC_CR寄存器的EN1位设置为1。
3. ADC的具体条件： $f_{HCLK} = 24\text{ MHz}$ ， $f_{APB1} = f_{APB2} = f_{HCLK}$ ， $f_{ADCCLK} = f_{APB2} / 2$ ，ADON位
ADC_CR2寄存器被设置为1。

5.3.6 外部时钟源的特点

从外部源产生的高速外部用户时钟

表20中给出的特性来自使用高速执行的测试外部时钟源，以及在环境温度和电源电压条件下
总结在表9中。

表20 高速外部用户时钟特性

符号	参数	条件	敏	典型	马克斯单元
f_{HSE_ext}	用户外部时钟源频率（1）		18		24 兆赫
V_{HSEH}	OSC_IN输入引脚高电平电压（1）		$0.7 V_{DD}$	V_{DD}	V
V_{HSEL}	OSC_IN输入引脚低电平电压（1）		V_{SS}	$0.3 V_{DD}$	
$t_w(HSE)$ $t_w(HSE)$	OSC_IN高电平或低电平时间（1）		五		NS
$t_r(HSE)$ $t_f(HSE)$	OSC_IN上升或下降时间（1）				
$C(HSE)$	OSC_IN输入电容（1）			5 pF	的



表20 高速外部用户时钟特性

符号	参数	条件	敏	典型	马克斯	单元
DuCy (HSE)	工作周期 (1)		45		55	%
我 L	OSC_IN输入漏电流	V SS≤VIN≤VDD			±1	μA

1. 由设计保证, 未经生产测试.

由外部源产生的低速外部用户时钟

表21中给出的特性来自使用低速执行的测试外部时钟源, 以及在环境温度和电源电压条件下总结在表9中.

表21. 低速外部用户时钟特性

符号	参数	条件	敏	典型	马克斯	单元
f LSE_ext	用户外部时钟源频率 (1)			32.768	1000	千赫
V LSEH	OSC32_IN输入引脚高电平电压 (1)		0.7 V DD		V DD	V
V LSEL	OSC32_IN输入引脚低电平电压 (1)		V SS		0.3 V DD	
t w (伦敦交易所) t w (伦敦交易所)	OSC32_IN高电平或低电平时间 (1)		450			NS
t (LSE) t f (LSE)	OSC32_IN上升或下降时间 (1)				50	
C (LSE)	OSC32_IN输入电容 (1)			5	p F 的	
DuCy (LSE)	工作周期 (1)		三十		70	%
我 L	OSC32_IN输入漏电流	V SS≤VIN≤VDD			±1	μA

1. 由设计保证, 未经生产测试.



图11. 高速外部时钟源交流时序图

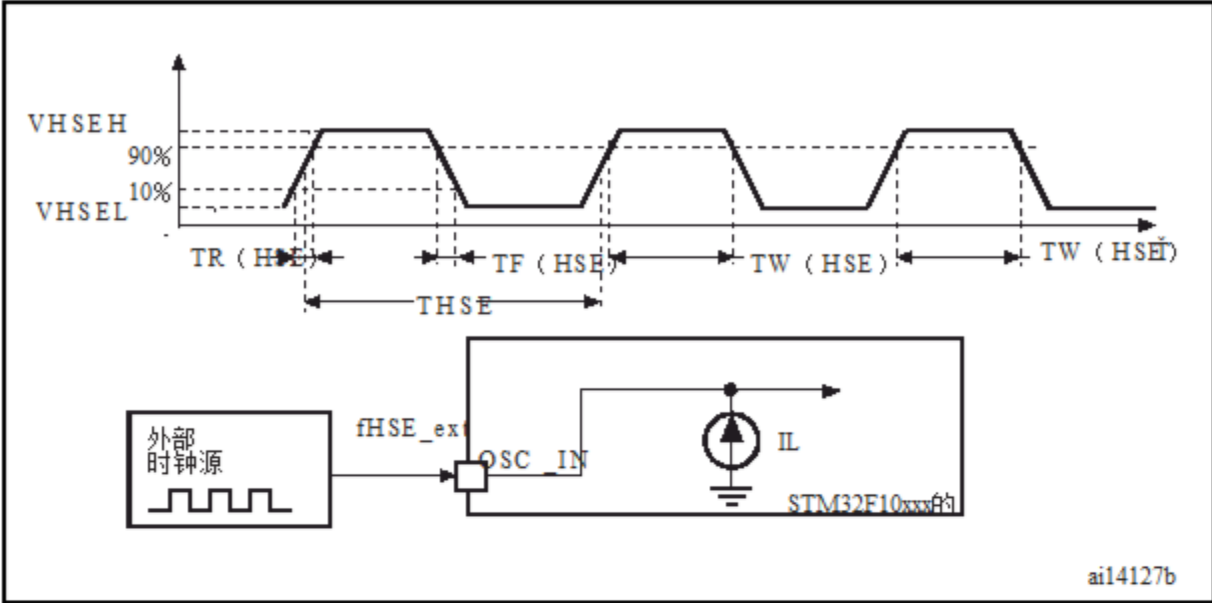
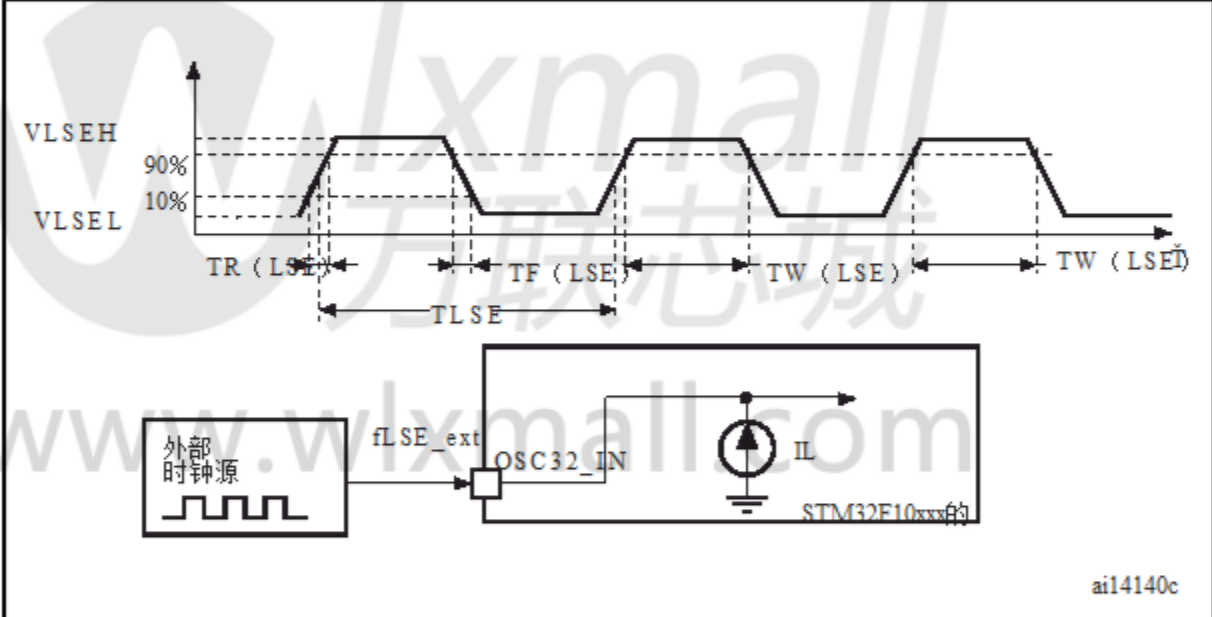


图12. 低速外部时钟源交流时序图



由晶体/陶瓷谐振器产生的高速外部时钟

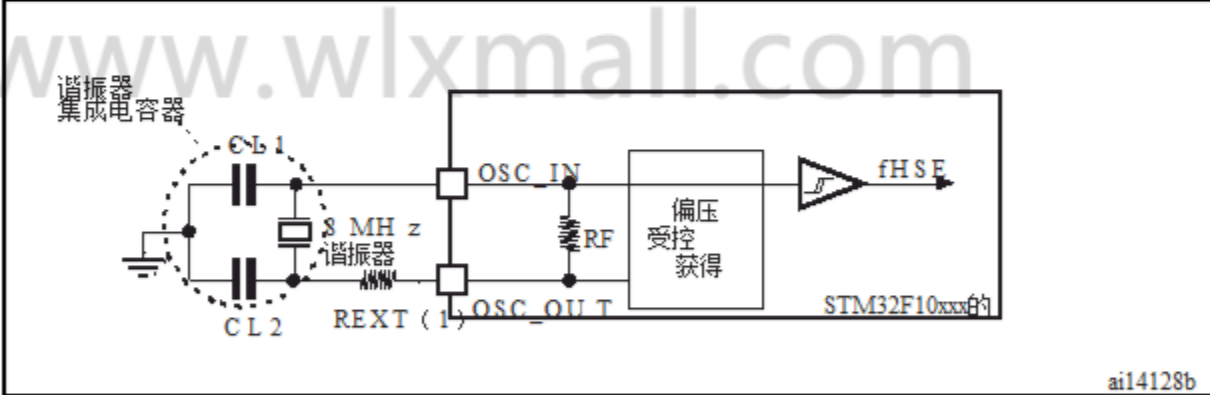
高速外部 (HSE) 时钟可以提供一个4到24 MHz的晶体/陶瓷谐振器.本段中的所有信息都是基于特征的
使用表22中指定的典型外部组件获得的结果.在应用中，
谐振器和负载电容必须尽可能靠近振荡器放置
以减少输出失真和启动稳定时间.参考水晶
谐振器制造商更多关于谐振器特性（频率，
包裹，准确性）。

表22 HSE 4-24 MHz振荡器特性 (1) (2)

符号	参数	条件	敏	典型	马克斯单元
f_{OSC_IN}	振荡器频率		4	8	24 兆赫
R F	反馈电阻			200	$k\Omega$
C L1 C L2(3)	推荐的负载电容 对等系列 晶体的电阻 (R S) (4)	R S = 30 Ω		三十	pF的
我 2	HSE驱动电流	V DD = 3.3V V IN = V SS, 30 pF 加载			1 毫 安
克米	振荡器跨导	启动	25		毫安/V
吨 (HSE) (5)	启动时间	V DD 稳定		2	女士

1. 由晶体/陶瓷谐振器制造商给出的谐振器特性.
2. 基于特性描述, 未经生产测试.
3. 建议使用5 pF至25 pF (典型值) 范围内的高质量外部陶瓷电容, 专为高频应用而设计, 并选择与晶体的要求相匹配. 谐振器 C L1 和 C L2 通常是相同的大小. 晶体制造商通常指定一个负载电容是 C L1 和 C L2 的串联组合. PCB 和 MCU 引脚电容必须是包括在尺寸确定时 (10 pF 可用作引脚和电路板组合电容的粗略估算) C L1 和 C L2.
4. 射频电阻的相对较低的值提供了一个很好的保护, 防止因使用 a 而产生的问题潮湿的环境中, 由于诱发泄漏和偏差情况的变化. 但是, 这是如果 MCU 在恶劣的湿度条件下使用, 建议考虑这一点.
5. S U (HSE) 是从启用 (通过软件) 到稳定的 8 MHz 的时刻测量的启动时间. 振荡达到. 这个值是测量一个标准的晶体谐振器, 它可以显著变化与晶体制造商.

图13. 典型的 8 MHz 晶体应用



1. R EXT 值取决于晶体特性.

由晶体/陶瓷谐振器产生的低速外部时钟

低速外部 (LSE) 时钟可以提供 32.768 kHz 晶体/陶瓷谐振器. 本段中的所有信息都是基于特征的. 使用表 23 中指定的典型外部组件获得的结果. 在应用程序中, 谐振器和负载电容必须尽可能靠近振荡器放置, 以减少输出失真和启动稳定时间. 参考水晶谐振器制造商更多关于谐振器特性 (频率, 包裹, 准确性).

注意：对于CL1和CL2，推荐使用5 pF至5pF的高质量陶瓷电容
选择15 pF范围以匹配晶体或谐振器的要求。CL1和CL2，都是
通常大小相同。晶体制造商通常会指定一个负载电容
是CL1和CL2的串联组合。
负载电容CL具有以下公式： $CL = CL1 \times CL2 / (CL1 + CL2) + C_{stray}$ 其中
C杂散是引脚电容和电路板或PCB走线的相关电容。通常情况下，
在2 pF和7 pF之间。

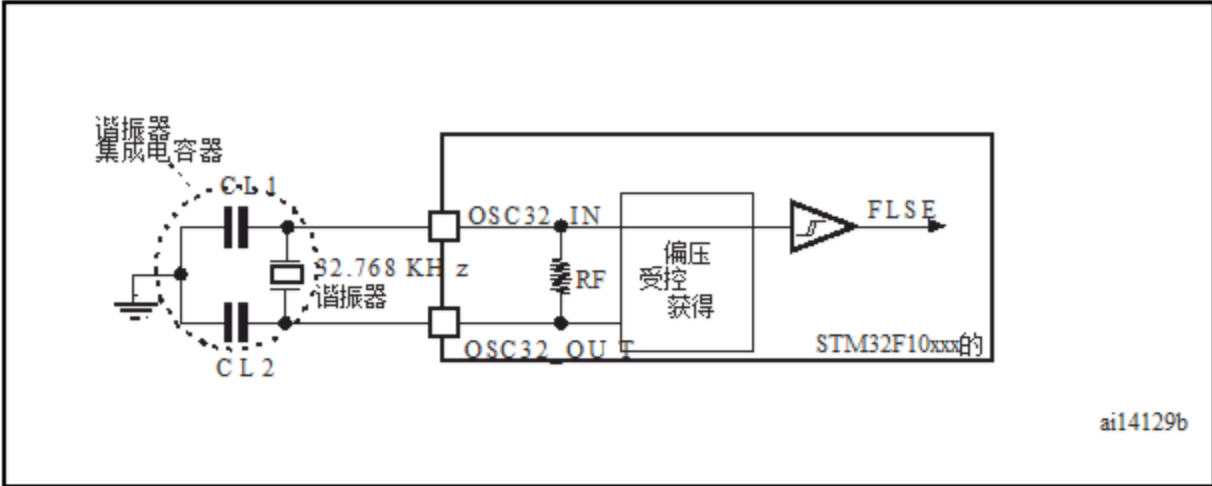
警告：为了避免超过CL1和CL2（15 pF）的最大值，强烈建议
使用负载电容CL≤7 pF的谐振器。切勿在负载中使用谐振器
电容为12.5 pF。
例如：如果选择负载电容CL=6 pF，C杂散=2 pF的谐振器，
那么CL1=CL2=8pF。

表23 LSE振荡器特性 (fLSE = 32.768 kHz) (1)

符号	参数	条件	敏	典型	马克斯	单元
RF	反馈电阻			五		中号
CL1 CL2(2)	推荐的负载电容 对等系列 晶体的电阻 (RS) (3)	RS = 30KΩ			15	pF的
我2	LSE驱动电流	VDD = 3.3V VIN = VSS			1.4	μA
克米	振荡器跨导		五			μA/V
苏 (LSE)(4)	启动时间	VDD是 稳定	TA = 50°C	1.5		小号
			TA = 25°C	2.5		
			TA = 10°C	4		
			TA = 0°C	6		
			TA = -10°C	10		
			TA = -20°C	17		
			TA = -30°C	32		
			TA = -40°C	60		

- 1. 基于特性描述，未经生产测试。
- 2. 请参阅表格上方的注释和注意事项。
- 3. 振荡器的选择可以使用具有较小RS值的高质量谐振器在电源电流方面进行优化
示例MSIV-TIN32.768 kHz. 请参阅晶体制造商了解更多详情
- 4. SU (LSE) 是从启用（通过软件）到稳定的32.768 kHz振荡的那一刻测得的启动时间是
到达.该值是针对标准晶体测量的，并且可以与晶体制造商显著不同

图14. 典型应用与32.768 kHz晶体



5.3.7 内部时钟源的特点

表24中给出的参数来源于在环境下进行的测试
温度和V_{DD}电源电压条件总结在表9中。

高速内部（HSI）RC振荡器

表24 HSI振荡器特性 (1)

符号	参数	条件	敏	典型	马克斯	单元
f _{恒指}	频率			8		兆赫
ACC HSI	HSI振荡器的精确度	T A = -40至105°C (2)	-2.4		2.5	%
		T A = -10至85°C (2)	-2.2		1.3	%
		T A = 0至70°C (2)	-1.9		1.3	%
		T A = 25°C	-1		1	%
苏 (HSI) 3	HSI振荡器启动时间		1		2	微秒
我 DD (HSI)	HSI振荡器功耗			80	100	μA

1. 除非另有规定，否则 V_{DD} = 3.3 V，T A = -40至105°C。
2. 基于特性描述，未经生产测试。
3. 由设计保证，未在生产中测试。

低速内部（LSI）RC振荡器

表25 LSI振荡器特性 (1)

符号	参数	敏	典型	马克斯	单元
LSI	频率	三十	40	60	千赫
LSI (LSI) ⁽²⁾	LSI振荡器启动时间			85	微秒
我 DD (LSI)	LSI振荡器的功耗		0.65	1.2	μA

1. V_{DD} = 3 V，T A = -40至105°C除非另有规定。
2. 由设计保证，未经生产测试。

从低功耗模式唤醒的时间

表26给出的唤醒时间是在8MHz HSI的唤醒阶段测量的
RC振荡器.用于唤醒器件的时钟源取决于电流
操作模式:

- 停止或待机模式: 时钟源是RC振荡器
- 睡眠模式: 时钟源是进入睡眠模式之前设置的时钟.

所有时间都来自环境温度下VDD电源下进行的测试
电压条件总结在表9中.

表26. 低功耗模式唤醒定时

符号	参数	典型	单元
WUSLEEP (1)	从睡眠模式唤醒	1.8	微秒
t WUSTOP(1)	从停止模式唤醒 (调节器处于运行模式)	3.6	微秒
	从停止模式唤醒 (低功耗模式下的稳压器)	5.4	
t WUSTDBY(1)	从待机模式唤醒	50	微秒

1. 唤醒时间是从唤醒事件到用户应用程序代码的测量点
读取第一条指令.

5.3.8 PLL特性

表27中给出的参数来源于在环境条件下进行的测试
温度和VDD电源电压条件总结在表9中.

表27 PLL特性

符号	参数	值			单元
		分钟 (1)	典型	最大 (1)	
f PLL_IN	PLL输入时钟 (2)	18.0		24	兆赫
	PLL输入时钟占空比	40		60	%
f PLL_OUT	PLL乘法器输出时钟	16		24	兆赫
锁定	PLL锁定时间			200	微秒
抖动	周期到周期的抖动			300	PS

1. 基于器件特性, 未在生产中进行测试.
2. 请注意使用适当的乘法因子, 以使PLL输入时钟值兼容
由f PLL_OUT定义的范围.

5.3.9 记忆特性

闪存

除非另有说明，特性在T A = -40至+105°C给出.

表28 闪存特性

符号	参数	条件	最低	典型	最大值	单元
t 编	16位编程时间	T A = -40至+105°C	40	52.5	70	微秒
删除	页（2 KB）擦除时间	T A = -40至+105°C	20		40	女士
我ME	整体擦除时间	T A = -40至+105°C	20		40	女士
我 DD	电源电流	读取模式 f HCLK = 24MHz, V DD = 3.3V			20	嘛
		写/擦除模式 f HCLK = 24MHz, V DD = 3.3V			5 毫	安
		掉电模式/暂停, V DD = 3.0至3.6V			50	μA
V 前卫	编程电压		2		3.6	V

1. 由设计保证，未经生产测试.

表29. 闪存耐用性和数据保留

符号	参数	条件	值			单元
			最低	典型	马克斯	
N END	耐力	T A = -40至+85°C（6个后继版本） T A = -40至+105°C（7个后继版本）	10			kcycles
t RET	数据保留	1个循环（2），在T A = 85°C	三十			年份
		1 Kcycle（2），T A = 105°C	10			
		在T A = 55°C下 10k周（2）	20			

1. 基于未在生产中测试的特性.
2. 骑自行车在整个温度范围内进行.

5.3.10 FSMC的特点

异步波形和时序

图15到图18分别代表异步波形和表30到表33提供了相应的时间.获得这些表中显示的结果使用以下FSMC配置:

- AddressSetupTime = 0
- AddressHoldTime = 1
- DataSetupTime = 1



表30 异步非复用SRAM / PSRAM / NOR读时序 (1) (2)

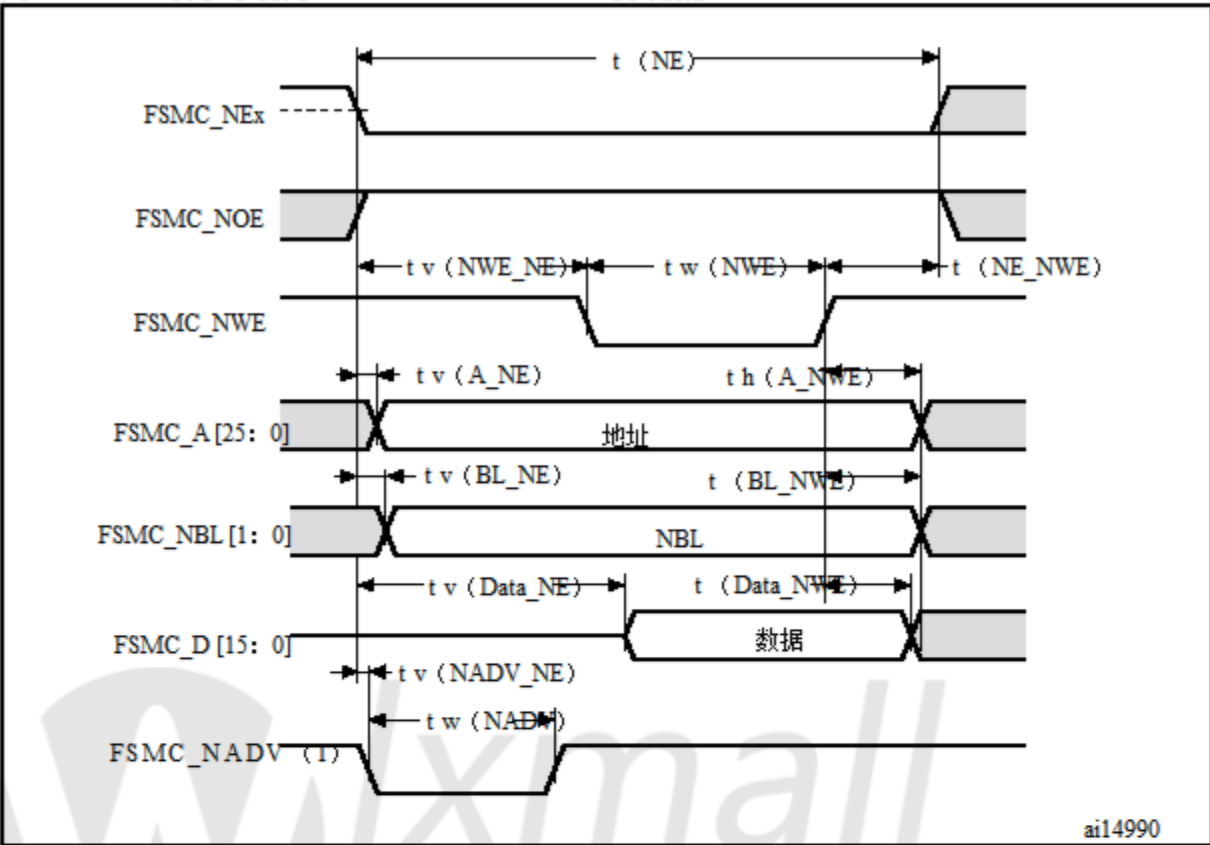
符号	参数	敏	马克斯	单元
$t_{(NE)}$	FSMC_NEx低时间	$5T_{HCLK} - 1.5$	$5T_{HCLK} + 2$	NS
$t_v(NOE_NE)$	FSMC_NEx低到FSMC_NOE低	0.5	1.5	NS
$t_w(NOE)$	FSMC_NOE低时间	$5T_{HCLK} - 1.5$	$5T_{HCLK} + 1.5$	NS
$t_{(NE_NOE)}$	FSMC_NOE高到FSMC_NE高保持时间-1.5			NS
$t_v(A_NE)$	FSMC_NEx低到FSMC_A有效		0	NS
$t_h(A_NOE)$	地址保持时间在FSMC_NOE为高后	0.1		NS
$t_v(BL_NE)$	FSMC_NEx低到FSMC_BL有效		0	NS
$t_h(BL_NOE)$	在FSMC_NOE为高电平后FSMC_BL保持时间	0		NS
$t_{su}(Data_NE)$	数据到FSMC_NEx高设置时间	$2T_{HCLK} + 25$		NS
$t_{su}(Data_NOE)$	数据到FSMC_NOEx高设置时间	$2T_{HCLK} + 25$		NS
$t_{(Data_NOE)}$	FSMC_NOE为高电平后的数据保持时间	0		NS
$t_{(Data_NE)}$	FSMC_NEx高电平后数据保持时间	0		NS
$t_v(NADV_NE)$	FSMC_NEx低到FSMC_NADV低		五	NS
$t_w(NADV)$	FSMC_NADV低时间		$T_{HCLK} + 1.5$	NS

1. $C_L = 15\text{ pF}$.

2. 初步的价值.

www.wlxmall.com

图16. 异步非复用 SRAM / PSRAM / NOR写入波形



1. 模式2 / B, C和D只在模式1中, 不使用FSMC_NADV.

表31. 异步非复用 SRAM / PSRAM / NOR写时序 (1) (2)

符号	参数	敏	马克斯	单元
$t(NE)$	FSMC_NEx低时间	$3T_{HCLK} - 1$	$3T_{HCLK} + 2$	NS
$t v (NWE_NE)$	FSMC_NEx低到FSMC_NWE低	$T_{HCLK} - 0.5$	$T_{HCLK} + 1.5$	NS
$t w (NWE)$	FSMC_NWE低时间	$T_{HCLK} - 0.5$	$T_{HCLK} + 1.5$	NS
$t (NE_NWE)$	FSMC_NWE高到FSMC_NEx高保持时间	T_{HCLK}		NS
$t v (A_NE)$	FSMC_NEx低到FSMC_A有效		7.5	NS
$t h (A_NWE)$	地址保持时间在FSMC_NWE之后	T_{HCLK}		NS
$t v (BL_NE)$	FSMC_NEx低到FSMC_NBL有效		1.5	NS
$t (BL_NWE)$	FSMC_NWE高电平后FSMC_NBL保持时间	$T_{HCLK} - 0.5$		NS
$t v (Data_NE)$	FSMC_NEx低到数据有效		$T_{HCLK} + 7$	NS
$t (Data_NWE)$	FSMC_NWE为高电平后的数据保持时间	T_{HCLK}		NS
$t v (NADV_NE)$	FSMC_NEx低到FSMC_NADV低		5.5	NS
$t w (NADV)$	FSMC_NADV低时间		$T_{HCLK} + 1.5$	NS

1. $C_L = 15\text{ pF}$.
2. 初步的价值.

图17. 异步复用PSRAM / NOR读取波形

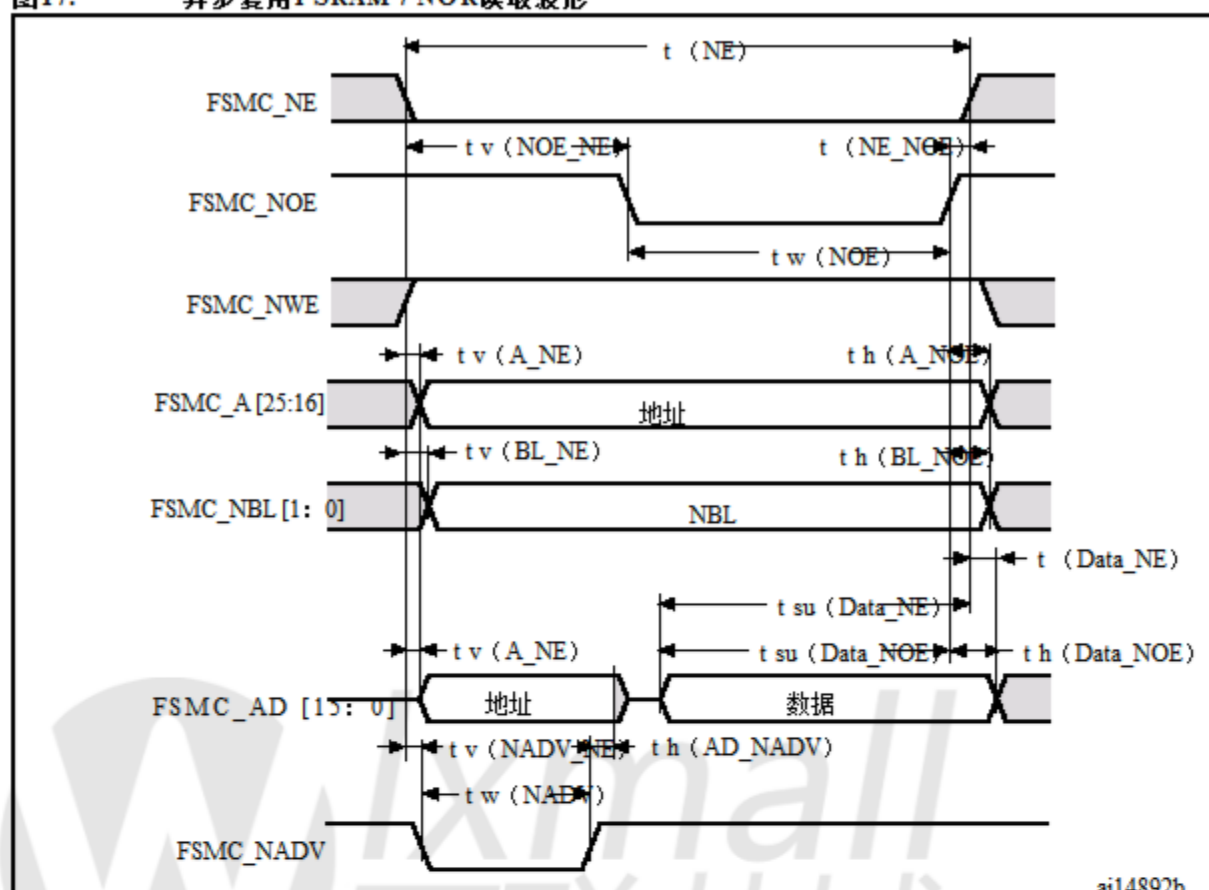


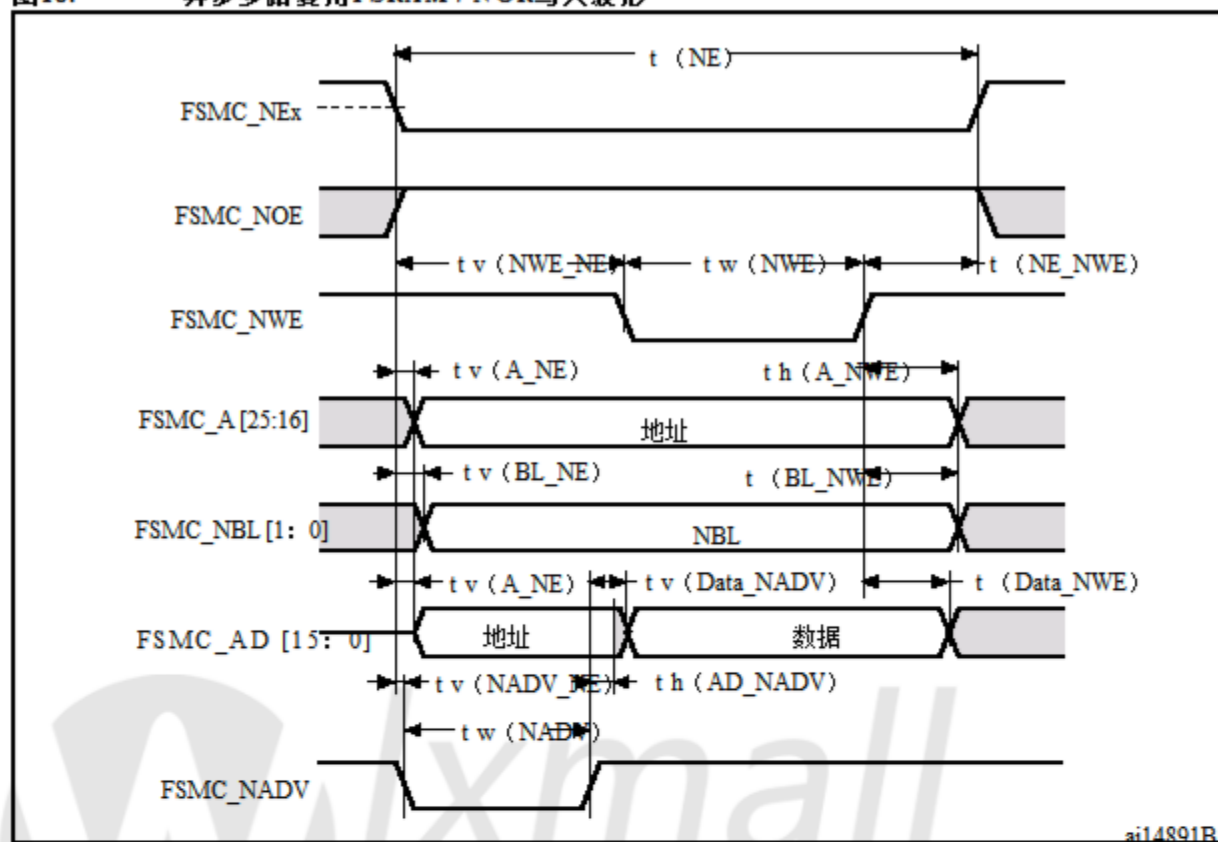
表32. 异步复用PSRAM / NOR读时序 (1) (2)

符号	参数	敏	马克斯	单元
$t(NE)$	FSMC_NE低时间	$7T_{HCLK} - 2$	$7T_{HCLK} + 2$	NS
$t_v(NOE_NE)$	FSMC_NEx低到FSMC_NOE低	$3T_{HCLK} - 0.5$	$3T_{HCLK} + 1.5$	ns
$t_w(NOE)$	FSMC_NOE低时间	$4T_{HCLK} - 1$	$4T_{HCLK} + 2$	NS
$t(NE_NOE)$	FSMC_NOE高到FSMC_NE高保持时间	-1		NS
$t_v(A_NE)$	FSMC_NEx低到FSMC_A有效		0	NS
$t_v(NADV_NE)$	FSMC_NEx低到FSMC_NADV低	3	五	NS
$t_w(NADV)$	FSMC_NADV低时间	$T_{HCLK} - 1.5$	$T_{HCLK} + 1.5$	NS
$t_h(AD_NADV)$	FSMC_AD (地址) 后有效的保持时间 FSMC_NADV高	T_{HCLK}		NS
$t_h(A_NOE)$	地址保持时间在FSMC_NOE为高后	T_{HCLK}		NS
$t_h(BL_NOE)$	在FSMC_NOE为高电平后FSMC_BL保持时间	0		NS
$t_v(BL_NE)$	FSMC_NEx低到FSMC_BL有效		0	NS
$t_{su}(Data_NE)$	数据到FSMC_NEx高设置时间	$2T_{HCLK} + 24$		NS
$t_{su}(Data_NOE)$	数据到FSMC_NOE的高设置时间	$2T_{HCLK} + 25$		NS
$t(Data_NE)$	FSMC_NEx高电平后数据保持时间	0		NS
$t_h(Data_NOE)$	FSMC_NOE高电平后数据保持时间	0		NS

1. $C_L = 15\text{ pF}$.

2. 初步的价值.

图18. 异步多路复用PSRAM / NOR写入波形



ai14891B

表33 异步复用PSRAM / NOR写时序 (1) (2)

符号	参数	敏	马克斯	单元
$t(NE)$	FSMC_NEx低时间	$5T_{HCLK} - 1$	$5T_{HCLK} + 2$	NS
$t_v(NWE_NE)$	FSMC_NEx低到FSMC_NWE低	$2T_{HCLK}$	$2T_{HCLK} + 1$	NS
$t_w(NWE)$	FSMC_NWE低时间	$2T_{HCLK} - 1$	$2T_{HCLK} + 2$	NS
$t(NE_NWE)$	FSMC_NWE高到FSMC_NEx高保持时间	$T_{HCLK} - 1$		NS
$t_v(A_NE)$	FSMC_NEx低到FSMC_A有效		7	NS
$t_v(NADV_NE)$	FSMC_NEx低到FSMC_NADV低	3	五	NS
$t_w(NADV)$	FSMC_NADV低时间	$T_{HCLK} - 1$	$T_{HCLK} + 1$	NS
$t_h(AD_NADV)$	FSMC_AD (地址) 后有效的保持时间 FSMC_NADV高	$T_{HCLK} - 3$		NS
$t_h(A_NWE)$	地址保持时间在FSMC_NWE之后	$4T_{HCLK}$		NS
$t_v(BL_NE)$	FSMC_NEx低到FSMC_BL有效		1.6	NS
$t(BL_NWE)$	FSMC_NWE高电平后FSMC_BL保持时间	$T_{HCLK} - 1.5$		NS
$t_v(Data_NADV)$	FSMC_NADV高到数据有效		$T_{HCLK} + 1.5$	NS
$t(Data_NWE)$	FSMC_NWE为高电平后的数据保持时间	$T_{HCLK} - 5$		NS

1. $CL = 15\text{ pF}$.

2. 初步的价值.

表34. 同步多路复用 NOR / PSRAM 读取时序 (1) (2)

符号	参数	敏	马克斯	单元
t_w (CLK)	FSMC_CLK 周期	27.7		NS
t_d (CLKL-NE _x L)	FSMC_CLK 低到 FSMC_NE _x 低 ($x = 0 \dots 2$)		1.5	NS
t_d (CLKL-NE _x H)	FSMC_CLK 低到 FSMC_NE _x 高 ($x = 0 \dots 2$)	2		NS
t_d (CLKL-NADV)	FSMC_CLK 低到 FSMC_NADV 低		4	NS
t_d (CLKL-NADVH)	FSMC_CLK 低到 FSMC_NADV 高	五		NS
t_d (CLKL-AV)	FSMC_CLK 低到 FSMC_A _x 有效 ($x = 16 \dots 25$)		0	NS
t_d (CLKL-AIV)	FSMC_CLK 低到 FSMC_A _x 无效 ($x = 16 \dots 25$)	2		NS
t_d (CLKH-NOEL)	FSMC_CLK 高到 FSMC_NOE 低		1	NS
t_d (CLKL-NOEH)	FSMC_CLK 低到 FSMC_NOE 为高	0.5		NS
t_d (CLKL-ADV)	FSMC_CLK 低到 FSMC_AD [15: 0] 有效		12	NS
t_d (CLKL-ADIV)	FSMC_CLK 低到 FSMC_AD [15: 0] 无效	0		NS
t_{su} (ADV-CLKH)	FSMC_A / D [15: 0] FSMC_CLK 之前的有效数据高	6		NS
t_h (CLKH-ADV)	FSMC_A / D [15: 0] FSMC_CLK 为高电平后, 有效数据为0			NS
	在FSMC_CLK为高电平之前, t_{su} (NWAITV-CLKH) FSMC_NWAIT 有效	8		NS
t (CLKH-NWAITV)	FSMC_CLK 为高电平后, FSMC_NWAIT 有效	2		NS

1. $C_L = 15$ pF.

2. 初步的价值.

图20. 同步多路复用PSRAM写时序

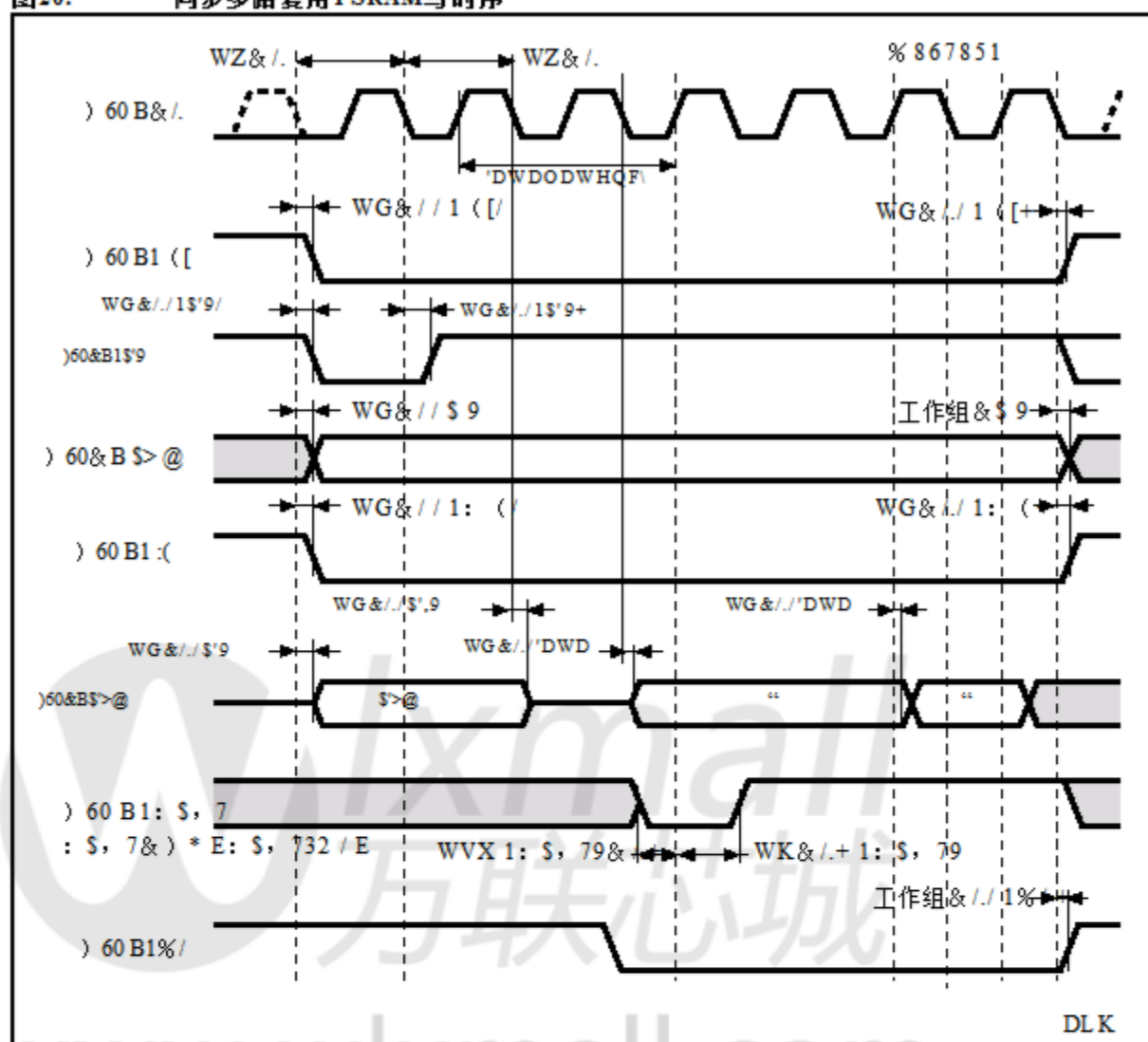


表35 同步多路复用PSRAM写时序 (1) (2)

符号	参数	敏	马克斯	单元
t_w (CLK)	FSMC_CLK周期	27.7		NS
t_d (CLKL-NExL)	FSMC_CLK低到FSMC_Nex低 ($x = 0 \dots 2$)		2	NS
t_d (CLKL-NExH)	FSMC_CLK低到FSMC_NEx高 ($x = 0 \dots 2$)	2		NS
t_d (CLKL-NADV)	FSMC_CLK低到FSMC_NADV低		4	NS
t_d (CLKL-NADVH)	FSMC_CLK低到FSMC_NADV高	五		NS
t_d (CLKL-AV)	FSMC_CLK低到FSMC_Ax有效 ($x = 16 \dots 25$)		0	NS
t_d (CLKL-AIV)	FSMC_CLK低到FSMC_Ax无效 ($x = 16 \dots 25$)	2		NS
t_d (CLKL-NWEL)	FSMC_CLK低到FSMC_NWE低		1	NS
t_d (CLKL-NWEH)	FSMC_CLK低到FSMC_NWE高	1		NS
t_d (CLKL-ADV)	FSMC_CLK低到FSMC_AD [15: 0]有效		12	NS
t_d (CLKL-ADIV)	FSMC_CLK低到FSMC_AD [15: 0]无效	3		NS
t_d (CLKL数据)	FSMC_A / D [15: 0]在FSMC_CLK为低电平后有效		6	NS
t_{su} (NWAITV-CLKH)	FSMC_NWAIT在FSMC_CLK为高电平之前有效	7		NS
t (CLKH-NWAITV)	FSMC_NWAIT在FSMC_CLK为高电平后有效	2		NS
t_d (CLKL-NBLH)	FSMC_CLK低到FSMC_NBL高	1		NS

1. $C_L = 15$ pF.

2. 初步的价值

图22. 同步非复用PSRAM写时序

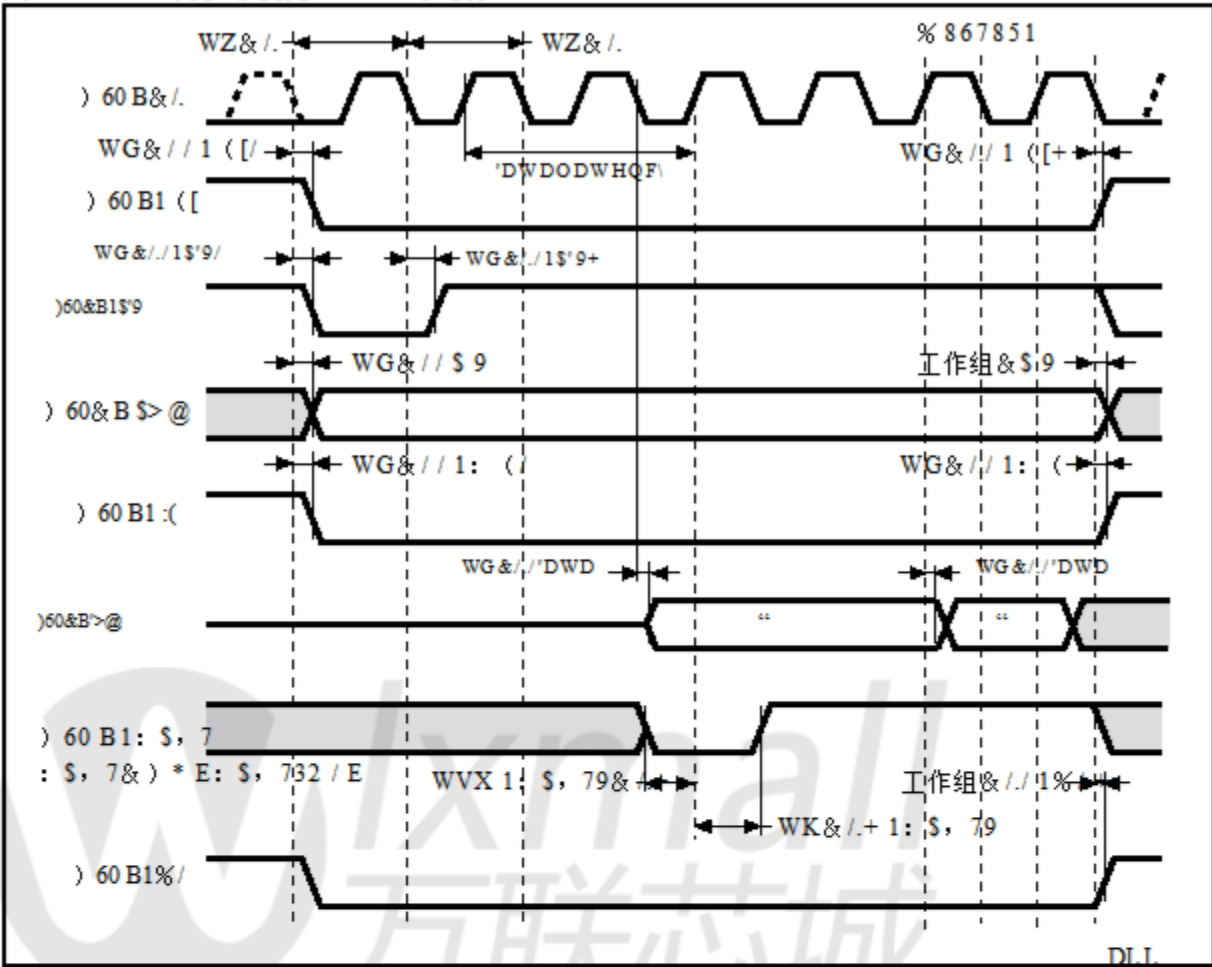


表37. 同步非复用PSRAM写时序 (1) (2)

符号	参数	敏	马克斯	单元
t _w (CLK)	FSMC_CLK周期	27.7		NS
t _d (CLKL-NE _x L)	FSMC_CLK低到FSMC_NE _x 低 (x = 0 ... 2)		2	NS
t _d (CLKL-NE _x H)	FSMC_CLK低到FSMC_NE _x 高 (x = 0 ... 2)	2		NS
t _d (CLKL-NADV _L)	FSMC_CLK低到FSMC_NADV低		4	NS
t _d (CLKL-NADV _H)	FSMC_CLK低到FSMC_NADV高	五		NS
t _d (CLKL-AV)	FSMC_CLK低到FSMC_A _x 有效 (x = 16 ... 25)		0	NS
t _d (CLKL-AIV)	FSMC_CLK低到FSMC_A _x 无效 (x = 16 ... 25)	2		NS
t _d (CLKL-NWEL)	FSMC_CLK低到FSMC_NWE低		1	NS
t _d (CLKL-NWEH)	FSMC_CLK低到FSMC_NWE高	1		NS
t _d (CLKL数据)	FSMC_D [15: 0]在FSMC_CLK为低电平后的有效数据		6	NS
t _{su} (NWAITV-CLKH)	FSMC_NWAIT在FSMC_CLK为高电平之前有效	7		NS
t _h (CLKH-NWAITV)	FSMC_NWAIT在FSMC_CLK为高电平后有效	2		NS
t _d (CLKL-NBLH)	FSMC_CLK低到FSMC_NBL高	1		NS

1. C L = 15 pF.
2. 初步的价值.

5.3.11 EMC特性

在器件表征过程中，以样品为基础进行敏感性测试。

功能性EMS（电磁敏感性）

在设备上执行简单的应用程序（通过I/O端口切换2个LED）。该装置受到两个电磁事件的压力，直到发生故障。失败是由LED指示：

- 静电放电（ESD）（正极和负极）施加到所有器件引脚直到发生功能紊乱。该测试符合IEC 61000-4-2标准。
- FTB：快速瞬变电压（正和负）突发被施加到VDD和VSS通过一个100 pF电容，直到发生功能性干扰。这个测试是符合IEC 61000-4-4标准。

设备重置允许恢复正常操作。

测试结果在表38中给出。它们基于EMS水平和类别。在应用笔记AN1709中定义。

表38. EMS特性

符号	参数	条件	等级/类别
V FESD	要在任何I/O引脚上施加电压限制诱发功能障碍	VDD = 3.3V, TA = +25°C, fHCLK = 24 MHz, LQFP144包, 符合IEC 61000-4-2	2B
V EFTB	快速瞬态电压突发限制是在VDD和VSS引脚上通过100 pF施加诱发功能障碍	VDD = 3.3V, TA = +25°C, fHCLK = 24 MHz, LQFP144包, 符合IEC 61000-4-4	4A

设计强化软件以避免噪音问题

EMC表征和优化是在组件级别上进行的。应用环境和简化的MCU软件应该指出，好的EMC性能高度依赖于用户应用程序和软件。

因此建议用户应用EMC软件优化和预先与其申请所要求的EMC等级相关的资格测试。

软件建议

软件流程图必须包含失控条件的管理，例如：

- 损坏的程序计数器
- 意外的重置
- 关键数据损坏（控制寄存器...）

资格预审试验

大多数常见的故障（意外重置和程序计数器损坏）都可以通过在NRST引脚或振荡器引脚上手动强制为低电平来复制。第二，为了完成这些试验，静电放电应力可以直接施加在设备上规格值的范围。当意外的行为被发现，软件可以硬化以防止发生不可恢复的错误（参见应用笔记AN1015）。



电磁干扰 (EMI)

监测设备发射的电磁场，同时进行简单的应用
执行（通过I/O端口切换2个LED）。这个排放测试符合
IEC 61967-2标准规定了测试板和引脚负载。

表39. EMI特性

符号参数	条件	监控 频带	Max与 [f HSE / fHCLK]		单元
			8/24 MHz		
S EMI	高峰水平	VDD=3.6V, TA=25℃, LQFP144封装 符合SAE J1752 / 3	0.1 MHz至30 MHz	16	平dBμV
			30 MHz至130 MHz	25	
			130 MHz至1GHz	25	
		SAE EMI电平	4	-	

5.3.12 绝对最大额定值 (电气灵敏度)

基于三个不同的测试 (ESD, LU) 使用特定的测量方法，该设备是
强调为了确定其在电气灵敏度方面的表现。

静电放电 (ESD)

静电放电 (阳性，然后负脉冲分开1秒)
根据每个引脚组合应用到每个样品的引脚。样本大小
取决于器件中电源引脚的数量 (3个部件 × (n + 1) 个电源引脚)。这个测试
符合JESD22-A114 / C101标准。

表40 ESD绝对最大额定值

符号	评级	条件	类	最大 价值 (1)	单元
V ESD (HBM)	静电放电 电压 (人体模型)	TA = +25°C 符合JESD22-A114	2	2000	V
V ESD (CDM)	静电放电 电压 (充电设备型号)	TA = +25°C 符合JESD22-C101	II	500	

1. 根据表征结果，未经生产测试。

静态闭锁

在六个部分需要两个互补的静态测试来评估闭锁
性能：

- 电源过压被应用到每个电源引脚
- 电流注入应用于每个输入，输出和可配置的I/O引脚

这些测试符合EIA / JESD78 IC闭锁标准。

表41. 电气敏感度

符号	参数	条件	类
鲁	静态闭锁类	TA = +105°C符合JESD78	II级A级

5.3.13 I / O电流注入特性

一般来说，由于外部电压低于V_{SS}或I / O引脚，电流注入到I / O引脚
在正常产品中，应避免 高于V_{DD}（对于标准的，3 V的I / O引脚）
操作.但是，为了说明单片机的稳健性
异常注射时偶然发生的情况，进行了敏感性试验
器件表征过程中的样品基础

对I / O电流注入的功能敏感性

在设备上执行简单的应用程序时，设备受到注入压力
电流进入浮动输入模式下编程的I / O引脚.当电流注入
I / O引脚，一次一个，检查设备是否有功能故障.

超出范围参数表示失败：ADC误差超过一定限制（> 5
LSB TUE），超出相邻引脚上的电流注入或其他功能故障
例如复位，振荡器频率偏差）.

测试结果在表42中给出

表42 I / O电流注入敏感度

符号	描述	功能易感性		单元
		负 注射	正 注射	
我 INJ	在OSC_IN32上注入电流， OSC_OUT32, PA4, PA5, PC13	-0	+0	嘛
	注入所有FT引脚上的电流	-5	+0	
	注入任何其他引脚上的电流	-5	+5	



5.3.14 I / O端口特性

一般输入/输出特性

除非另有说明，否则表43中给出的参数来自测试
所有I / O都是CMOS和TTL
兼容。

表43. I / O静态特性

符号	参数	条件	敏	典型	马克斯	单元
V IL	标准I / O输入低电平电压		-0.3		$0.28 * (V_{DD} - 2V) + 0.8V$	V
	I / O FT (1) 输入低电平电压		-0.3		$0.32 * (V_{DD} - 2V) + 0.75V$	
V IH	标准I / O输入高电平电压		$0.41 * (V_{DD} - 2V) + 1.3V$		$V_{DD} + 0.3$	
	I / O FT (1) 输入高电平电压	$V_{DD} > 2V$	$0.42 * (V_{DD} - 2) + 1V$		5.5	
		$V_{DD} \leq 2V$			5.2	
V hys	标准I / O施密特触发电压迟滞 (2)		200			毫伏
	I / O FT施密特触发器电压滞后 (2)		$5\% V_{DD} (3)$			毫伏
I kg	输入泄漏当前 (4)	$V_{SS} \leq V_{IN} \leq V_{DD}$ 标准I / O			± 1	μA
		$V_{IN} = 5V$ I / O FT			3	
R PU	弱上拉等效电阻 (5)	$V_{IN} = V_{SS}$	三十	40	50	$k\Omega$
R PD	弱下拉等效电阻 (5)	$V_{IN} = V_{DD}$	三十	40	50	$k\Omega$
C IO	I / O引脚电容			五		pF的

- 1. FT = 5V宽容. 要维持高于 $V_{DD} + 0.3$ 的电压，必须禁用内部上拉/下拉电阻.
- 2. 施密特触发器切换电平之间的滞后电压. 由设计保证，未经生产测试.
- 3. 至少100 mV.
- 4. 泄漏可能高于最大值. 如果负电流注入相邻的引脚.
- 5. 上拉和下拉电阻采用真正的电阻与可开关PMOS / NMOS串联设计. 这个PMOS / NMOS对串联电阻的贡献 最小 (~10%的数量级)

所有I / O都符合CMOS和TTL (不需要软件配置) .其特性涵盖了超过严格的CMOS技术或TTL参数. 该图23和图24显示了这些要求的覆盖范围，用于标准I / O
在图25和图26中为5 V容许I / O.



图23. 标准I/O输入特性 - CMOS端口

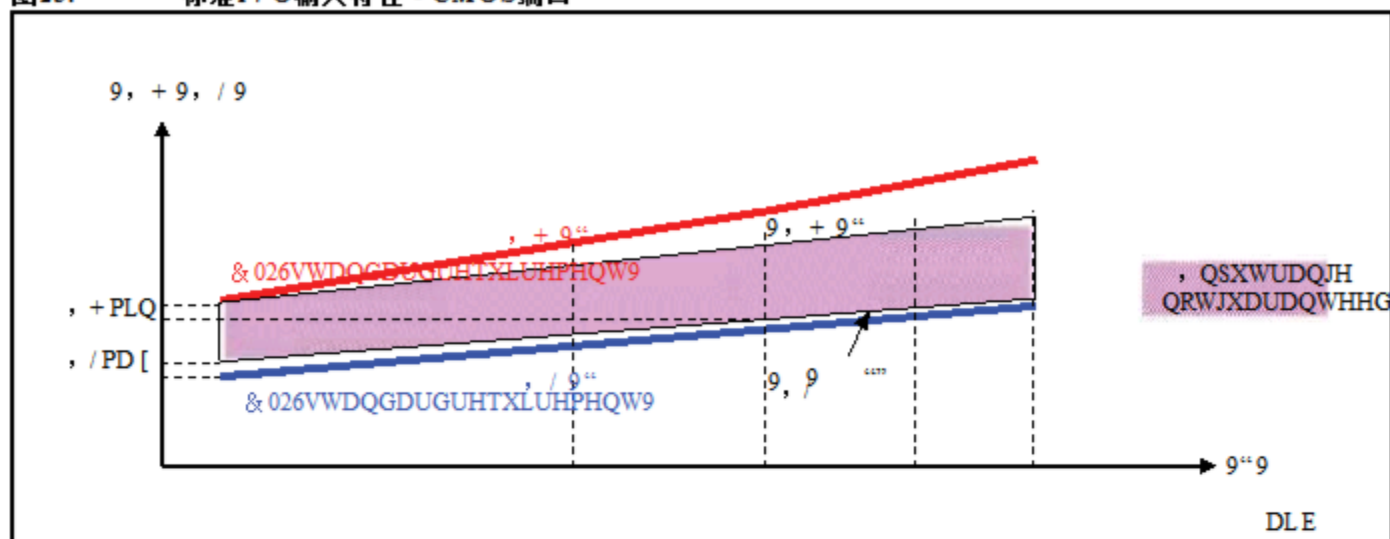


图24. 标准I/O输入特性 - TTL端口

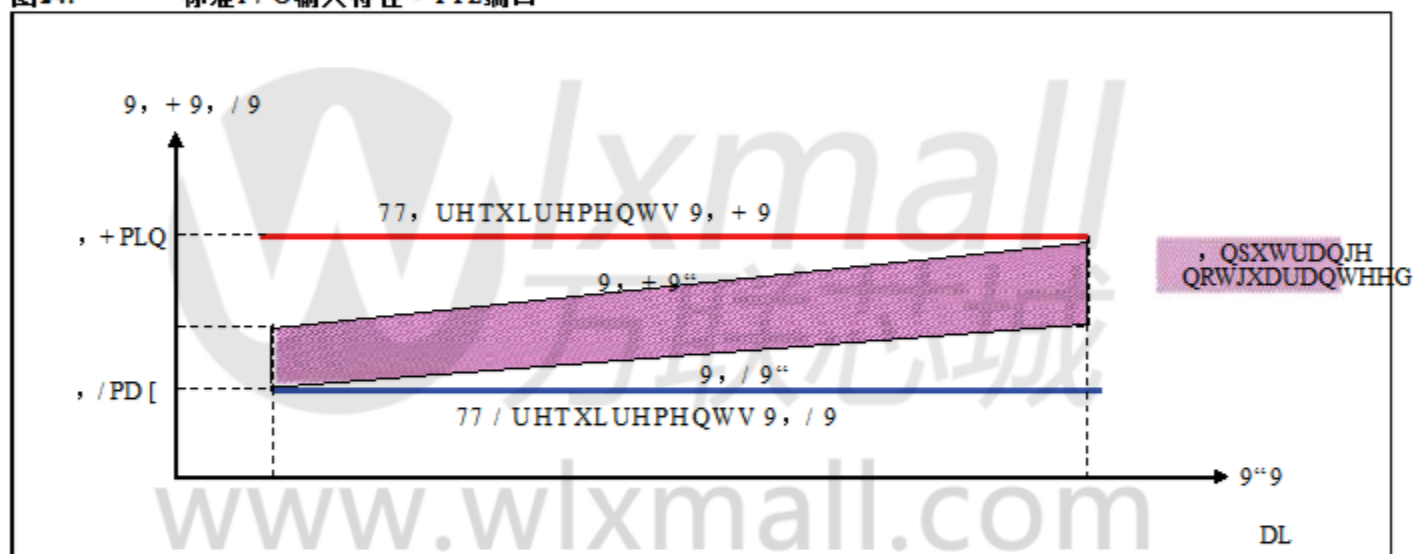


图25. 5 V宽容I / O输入特性 - CMOS端口

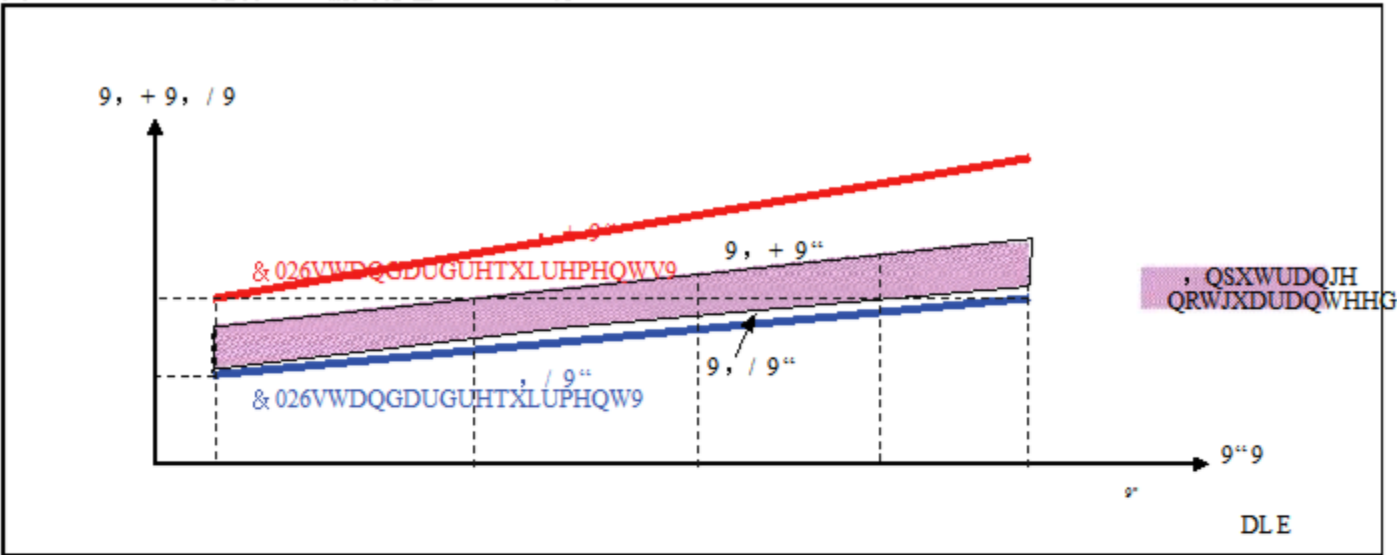
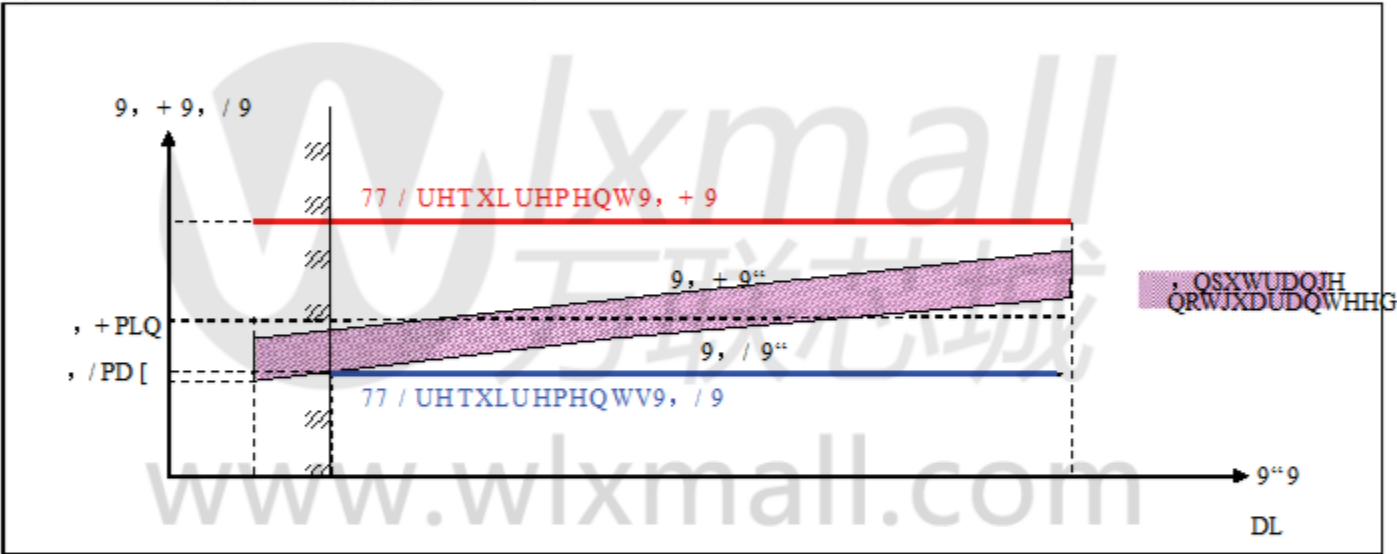


图26. 5 V容许I / O输入特性 - TTL端口



输出驱动电流

GPIO（通用输入/输出）可以吸收或提供最高达+/- 8 mA的电流，电源可达+/- 20 mA（带宽松的VOL / VOH），PC13，PC14和PC15除外或源达+/- 3mA.在输出模式下使用GPIO至PC15时，速度不应超过2 MHz，最大负载为30 pF.

在用户应用程序中，可以驱动电流的I / O引脚的数量必须限制在[第5.2节中规定的绝对最大额定值](#)：

- VDD上的所有I / O所产生的电流总和 加上最大值Run
源于VDD的MCU的功耗 不能超过绝对最大额定值
I / VDD（见表7）.
- VSS上的所有I / O所加载的电流总和 加上最大值Run
VSS上沉没的MCU的功耗 不能超过绝对最大额定值
I / VSS（见表7）.

输出电压水平

除非另有说明，否则表44中给出的参数来自测试
在环境温度和V_{DD}电源电压条件下进行总结
在表9中.所有I / O都符合CMOS和TTL.

表 44. 输出电压特性

符号	参数	条件	敏	马克斯	单元
V _{OL} (1)	输出I / O引脚的低电平电压 当8个引脚同时被击沉时	CMOS端口 (2) I _{IO} = + 8mA, 2.7 V < V _{DD} < 3.6 V		0.4	V
V _{OH} (3)	输出I / O引脚的高电平电压 当8个引脚同时来源时		V _{DD} - 0.4		
V _{OL} (1)	输出I / O引脚的低电平电压 当8个引脚同时被击沉时	TTL端口 (2) I _{IO} = + 8mA 2.7 V < V _{DD} < 3.6 V		0.4	V
V _{OH} (3)	输出I / O引脚的高电平电压 当8个引脚同时来源时		2.4		
V _{OL} (1)	输出I / O引脚的低电平电压 当8个引脚同时被击沉时	I _{IO} = + 20 mA (4) 2.7 V < V _{DD} < 3.6 V		1.3	V
V _{OH} (3)	输出I / O引脚的高电平电压 当8个引脚同时来源时		V _{DD} - 1.3		
V _{OL} (1)	输出I / O引脚的低电平电压 当8个引脚同时被击沉时	I _{IO} = + 6mA (4) 2 V < V _{DD} < 2.7 V		0.4	V
V _{OH} (3)	输出I / O引脚的高电平电压 当8个引脚同时来源时		V _{DD} - 0.4		

1. 器件吸入 的I_{IO}电流必须始终遵守表7中规定的绝对最大额定值
I_{IO} (I / O端口和控制引脚) 的总和 不得超过I_{VSS}.
2. TTL和CMOS输出与JEDEC标准JESD36和JESD52兼容.
3. 设备产生的I_{IO}电流必须始终保持在中指定的绝对最大额定值
表7和I_{IO} (I / O端口和控制引脚) 的总和 不得超过I_{VDD}.
4. 基于特征数据，未经生产测试.



输入/输出AC特性

输入/输出AC特性的定义和值在图27和图27中给出表45.

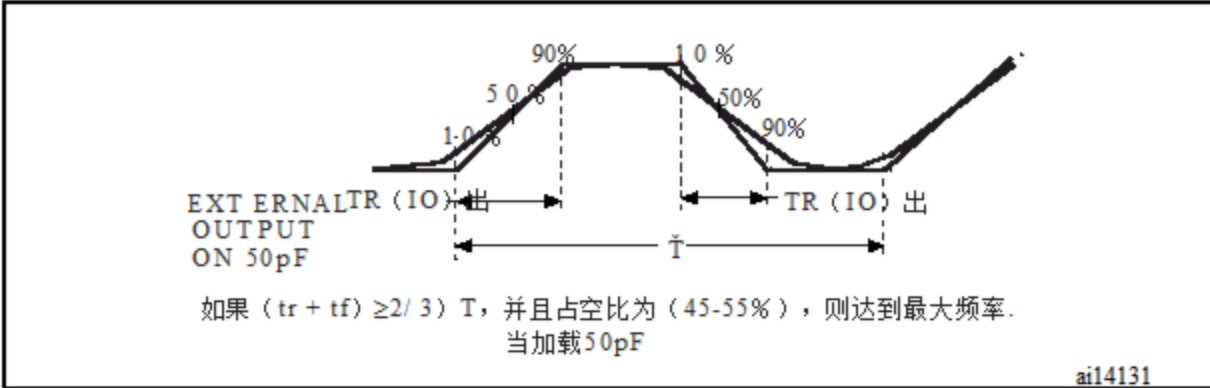
除非另有说明，否则表45中给出的参数来自测试在环境温度和V_{DD}电源电压条件下进行总结在表9中.

表45. I/O交流特性 (1)

MODEx [1: 0]位 值 (1)	符号	参数	条件	马克斯单元	
10	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V	2 (3)	兆赫
	t _f (IO) _{out}	输出高到低水平下降时间	C _L = 50pF, V _{DD} = 2V至3.6V	125 (3)	NS
	t _r (IO) _{out}	输出从低到高的水平上升时间		125 (3)	
01	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V	10 (3)	兆赫
	t _f (IO) _{out}	输出高到低水平下降时间	C _L = 50pF, V _{DD} = 2V至3.6V	25 (3)	NS
	t _r (IO) _{out}	输出从低到高的水平上升时间		25 (3)	
11	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V	24	兆赫
	t _f (IO) _{out}	输出高到低水平下降时间	C _L = 30pF, V _{DD} = 2.7V至3.6V	5 (3)	NS
			C _L = 50pF, V _{DD} = 2.7V至3.6V	8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V	12 (3)	
	t _r (IO) _{out}	输出从低到高的水平上升时间	C _L = 30pF, V _{DD} = 2.7V至3.6V	5 (3)	
			C _L = 50pF, V _{DD} = 2.7V至3.6V	8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V	12 (3)	
-t _{EXTI} pw		外部脉冲宽度 信号检测到的 EXTI控制器		10 (3)	NS

1. I/O速度使用MODEx [1: 0]位进行配置.请参阅STM32F100xx参考手册中的GPIO端口配置寄存器的描述.
2. 最大频率在图27中定义.
3. 由设计保证，未经生产测试.

图27. I/O AC特性定义



5.3.15 NRST引脚特性

NRST引脚输入驱动器使用CMOS技术.它连接到一个永久的上拉电阻R_{PU} (见表43).

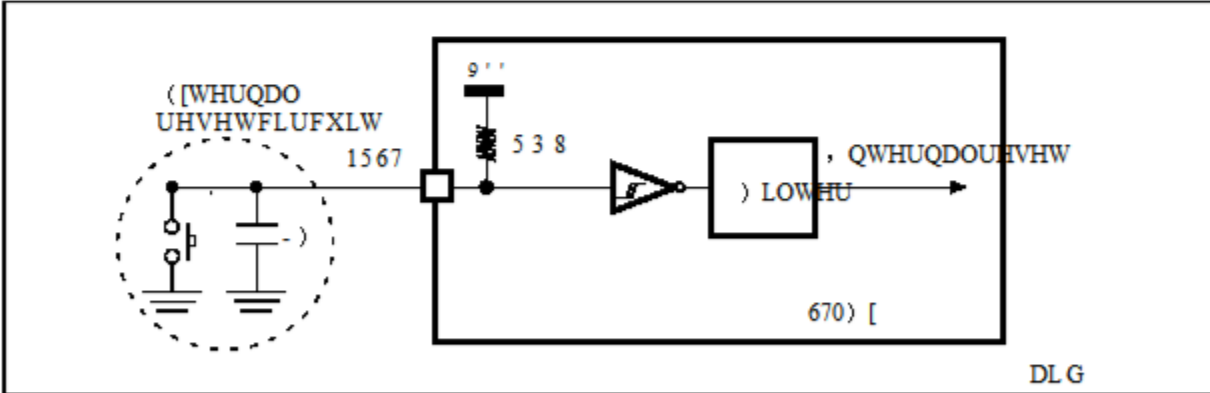
除非另有说明, 否则表46中给出的参数来自测试
在环境温度和V_{DD}电源电压条件下进行总结
在表9中.

表46. NRST引脚特性

符号	参数	条件	敏	典型	马克斯	单元
V _{IL} (NRST)	NRST输入低电平电压		-0.5		0.8	V
V _{IH} (NRST)	NRST输入高电平电压		2		V _{DD} + 0.5	
V _{HS} (NRST)	NRST施密特触发器电压 滞后			200		毫伏
R _{PU}	弱上拉等效电阻 (2)	V _{IN} = V _{SS}	三十	40	50	k Ω
V _F (NRST)	NRST输入滤波脉冲				100	NS
V _{NF} (NRST)	NRST输入无滤波脉冲		300			NS

1. 由设计保证, 未经生产测试.
2. 上拉电阻采用真正的电阻设计, 与可切换的PMOS串联. 这是PMOS的贡献
串联电阻必须最小 (~10% 订单)

图28. 推荐的NRST引脚保护



1. 复位网络保护设备免受寄生重置.
2. 用户必须确保NRST引脚上的电平可以低于在中 指定的V_{IL} (NRST) 最大电平
表46.否则, 复位将不会被设备考虑在内.

5.3.16 TIMx特性

表47给出的参数由设计保证。
有关输入/输出的详细信息，请参见第5.3.13节“**I / O**电流注入特性”
备用功能特性（输出比较，输入捕捉，外部时钟，PWM输出）。

表47. TIMx特性

符号	参数	条件 (1)	敏	马克斯	单元
TIM (TIMx)	定时器解析时间		1 t TIMxCLK		
		f TIMxCLK = 24 MHz	41.7		NS
f EXT	定时器外部时钟 CHx频率 (2)		0 TIMxCLK / 2		兆赫
		f TIMxCLK = 24 MHz	0	12	兆赫
Res TIM	定时器分辨率			16	位
t COUNTER	16位计数器时钟周期 当内部时钟是 选		1	65536	t TIMxCLK
		f TIMxCLK = 24 MHz		2730	微妙
t MAX_COUNT	可能的最大数量			65536×65536	t TIMxCLK
		f TIMxCLK = 24 MHz		178	小号

- 1. TIMx用作通用术语来指代TIM1, TIM2, TIM3, TIM4, TIM5, TIM15, TIM16和TIM17
计时器.
- 2. CHx用作通用术语，指CH1到CH4用于TIM1, TIM2, TIM3, TIM4和TIM5，用于CH1到CH4
CH2为TIM15，而CH1为TIM16和TIM17.

5.3.17 通信接口

我的I2C接口特性

除非另有说明，否则表48中给出的参数是初步值
从在环境温度下进行的测试，f PCLK1 频率和V DD 电源
[电压条件总结在表9中](#).
STM32F100xx数值线I2C接口符合标准I2C的要求
通信协议有以下限制：I / O引脚SDA和SCL是
映射到不是“真正的”漏洞.当配置为漏极开路时，PMOS连接
I / O引脚和V DD 之间禁用，但仍然存在.
表48中描述了I2C特性.另请参见第5.3.13节：I / O电流
有关输入/输出备用功能特性的更多细节的注入特性
（SDA和SCL）。



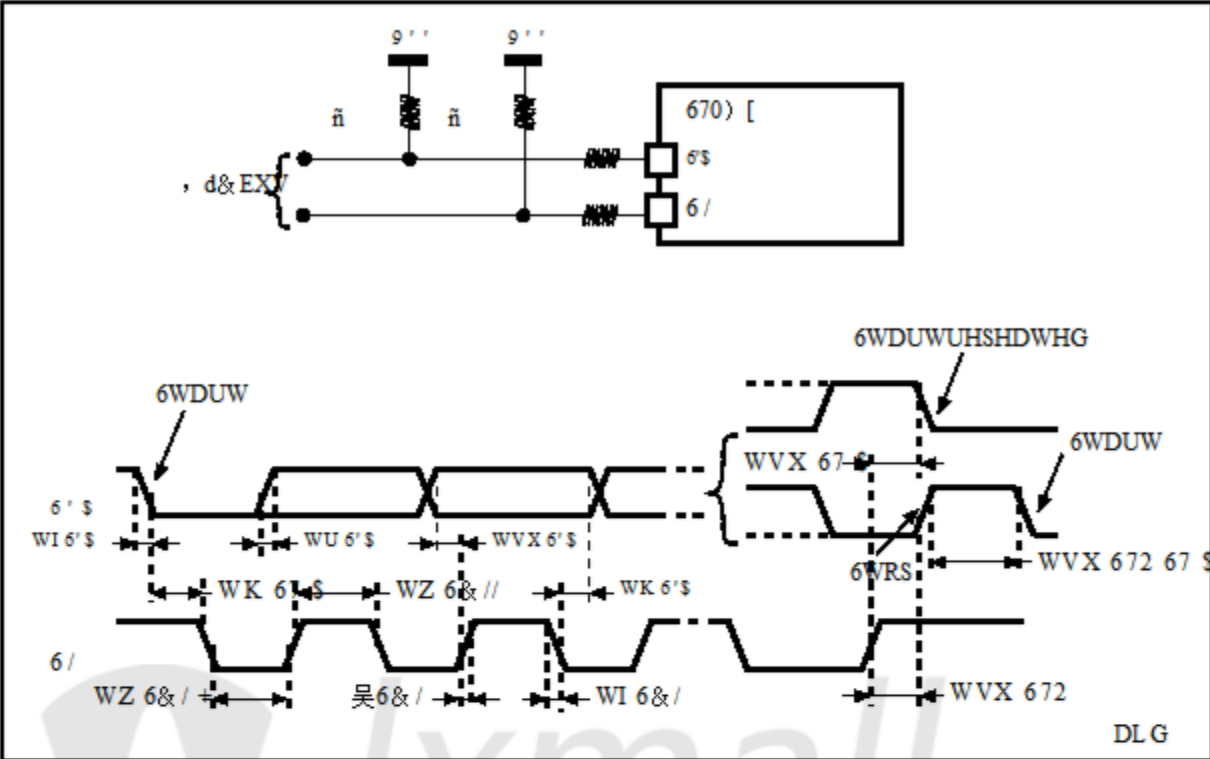
表 48. 我的 I²C 特性

符号	参数	标准模式 I ² C (1)		快速模式 I ² C (1) (2)		单元
		敏	马克斯	敏	马克斯	
t _w (SCL)	SCL 时钟低电平时间	4.7		1.3		微秒
t _w (SCLH)	SCL 时钟高时间	4		0.6		
苏 (SDA)	SDA 设置时间	250		100		NS
t (SDA)	SDA 数据保持时间	0		0	900 (3)	
t (SDA) t (SCL)	SDA 和 SCL 上升时间		1000		300	
t _f (SDA) t _f (SCL)	SDA 和 SCL 下降时间		300		300	
t (STA)	开始条件保持时间	4		0.6		微秒
吨 (STA)	重复启动条件设置时间	4.7		0.6		
苏 (STO)	停止条件设置时间	4		0.6		微秒
t _w (STO: STA)	停止开始条件时间 (公交车自由)	4.7		1.3		微秒
C _b	每条总线的容性负载		400		400	pF 的

1. 由设计保证, 未经生产测试.
2. f_{PCLK1} 必须至少 2 MHz 才能达到标准模式 I²C 频率. 它必须至少有 4 兆赫实现快速模式 I²C 频率. 它必须是 10 MHz 的倍数才能达到最大 400 kHz 的 I²C 快速模式时钟.
3. 如果接口不延长 SCL 的低电平期, 则只能满足最大数据保持时间信号.

www.wlxml.com

图29. I2C总线交流波形和测量电路



1. 测量点在CMOS电平上进行：0.3V DD和0.7V DD.

表49. SCL频率 (f PCLK1 = 24 MHz, V DD = 3.3 V) (1) (2)

f SCL (kHz) ³⁾	I2C_CCR值
	R P = 4.7kΩ
400	0x8011
300	0x8016
200	0x8021
100	0x0064
50	0x00C8
20	0x01F4

1. R P=外部上拉电阻, f SCL = I 2 C速度,
2. 对于400 kHz左右的速度, 实现速度的容差是 ±2%. 对于其他速度范围, 容差就达到了速度 ±1%. 这些变化取决于外部的准确性用于设计应用程序的组件.
3. 由设计保证, 未经生产测试.

SPI接口特性

除非另有规定，否则表50中给出的参数是初步值
 从在环境温度下进行的测试，fPCLKx 频率和VDD 电源
 电压条件总结在表9中。

有关更多详细信息，请参见第5.3.13节：I/O 电流注入特性
 输入/输出复用功能特性（NSS，SCK，MOSI，MISO）。

表50 SPI特性

符号	参数	条件	敏	马克斯	单元
f SCK 1 / tc (SCK)	SPI时钟频率	主模式		12	兆赫
		从模式		12	
t (SCK) tf (SCK)	SPI时钟上升和下降 时间	容性负载：C = 30 pF		8	NS
DuCy (SCK)	SPI从机输入时钟 占空比	从模式	三十	70	%
苏 (NSS)(1)	NSS安装时间	从模式	4t PCLK		NS
t (NSS)(1)	NSS持有时间	从模式	2t PCLK		
t w (SCKH) t w (SCKL)	SCK高低时间	主模式，f PCLK = 24 MHz， presc = 4	50	60	
吨 (MOSI) 吨 (SI)(1)	数据输入设置时间	主模式	五		
		从模式	五		
吨 (MISO) t (SI)(1)	数据输入保持时间	主模式	五		
		从模式	4		
t (SO)(1)	数据输出访问时间从模式，	f PCLK = 24 MHz	0	3t PCLK	
t dis (SO)(1)	数据输出禁止时间从模式		2	10	
t (SO)(1)	数据输出有效时间	从模式（启用边沿之后）		25	
t v (MOSI)	数据输出有效时间	主模式（启用后 边缘）		五	
t (SO)(1)	数据输出保持时间	从模式（启用边沿之后）	15		
吨 (MISO)		主模式（启用后 边缘）	2		

1. 初步的价值。
2. 最短时间是驱动输出的最短时间，最长时间是最长时间验证数据。
3. 最短时间是使输出无效的最短时间，最长时间是最长时间Hi-Z中的数据



图30. SPI时序图 - 从模式和CPHA = 0

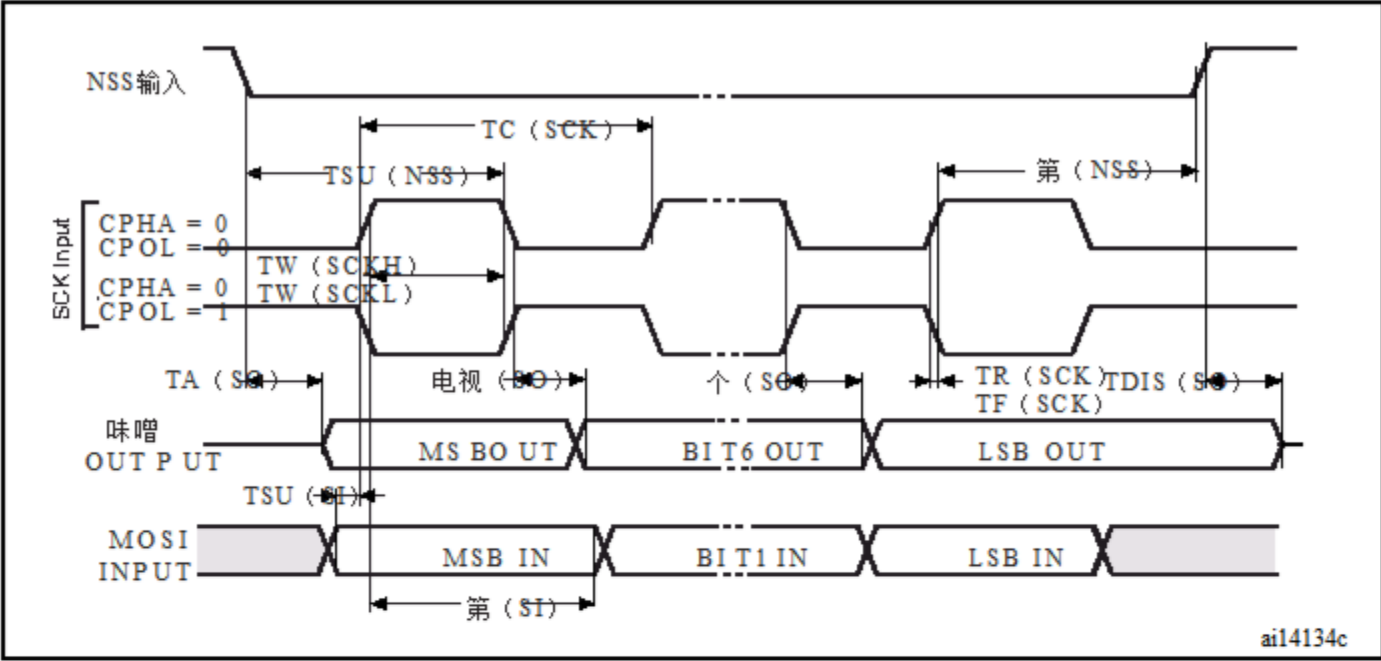
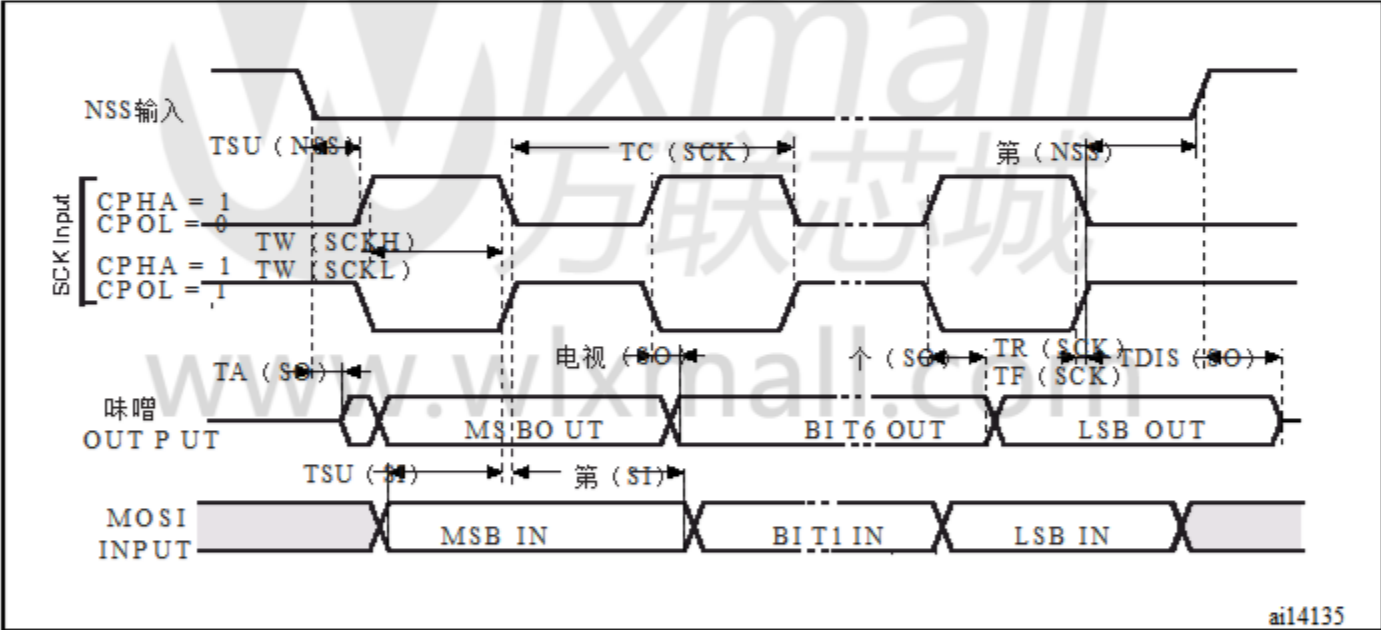
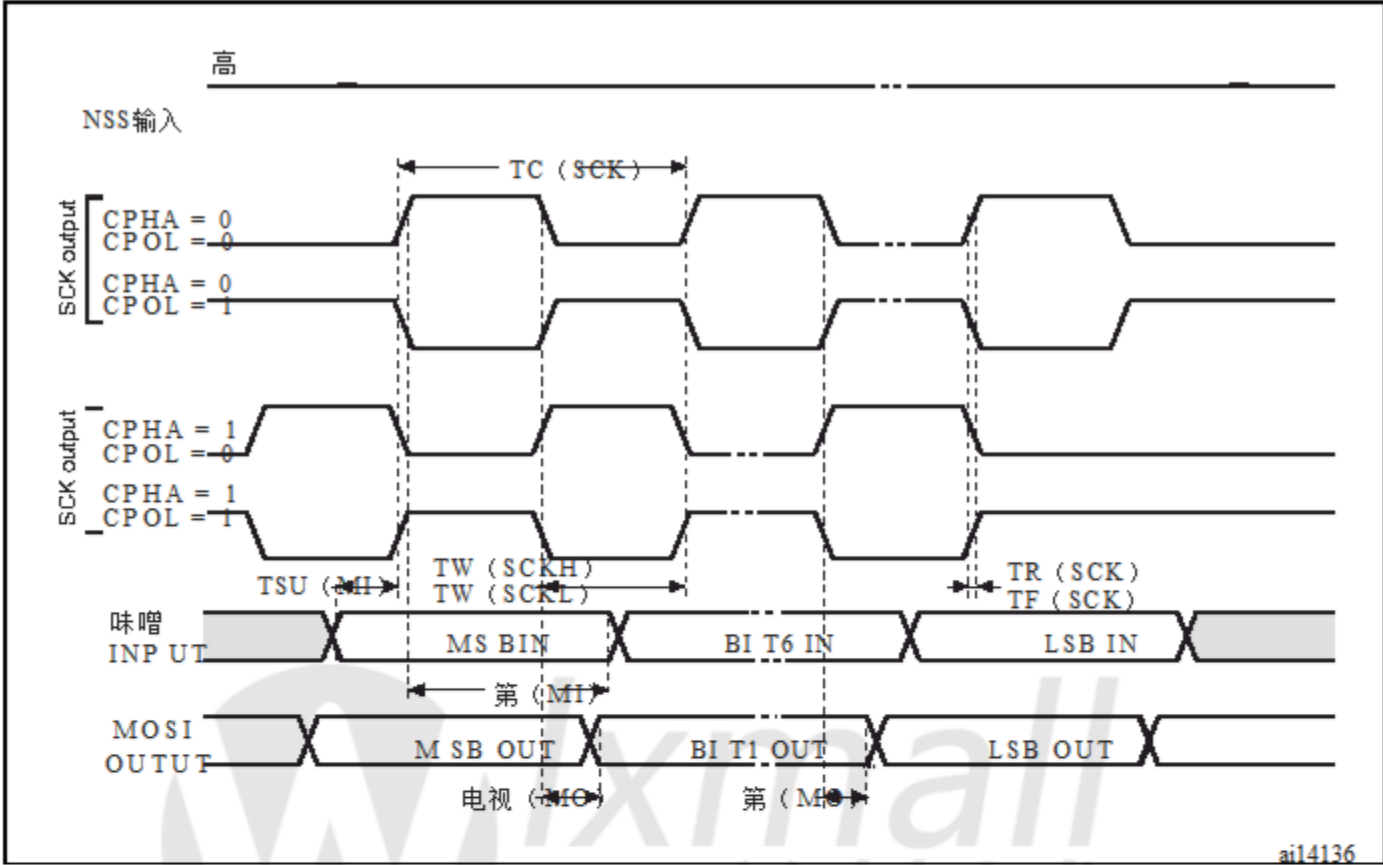


图31. SPI时序图 - 从模式和CPHA = 1



1. 测量点在CMOS电平上进行：0.3V_{DD}和0.7V_{DD}。

图32. SPI时序图 - 主模式



1. 测量点在CMOS电平上进行：0.3V_{DD}和0.7V_{DD}。

HDMI消费电子控制（CEC）

有关更多详细信息，请参见第5.3.13节：I/O电流注入特性
输入/输出备用功能特性。

5.3.18 12位ADC特性

除非另有说明，否则表51中给出的参数是初步值
从在环境温度下执行的测试，f_{PCLK2} 频率和V_{DDA} 供应
电压条件总结在表9中。

注意：建议在每次上电后执行校准。

表51 ADC特性

符号	参数	条件	敏	典型	马克斯	单元
V DDA	电源		2.4		3.6	V
V REF +	正参考电压		2.4		V DDA	V
我 VREF	V REF 输入上的电流 销			160 (1) 220 (1)		μA
ADC	ADC时钟频率		0.6		12	兆赫
f S (2)	采样率		0.05		1	兆赫
f TRIG (2)	外部触发频率	f ADC = 12 MHz			8 2 3	千赫
					17	1 / f ADC
V AIN (3)	转换电压范围		0 (V SSA 绑定到 地面)		V REF +	V
R AIN (2)	外部输入阻抗	见公式1和 表52的细节			50	kΩ
R ADC (2)	采样开关电阻				1	kΩ
C ADC (2)	内部采样和保持 电容器				为 8	p F
T CAL (2)	校准时间	f ADC = 12 MHz	5.9			微秒
			83			1 / f ADC
t lat (2)	注入触发器转换 潜伏	f ADC = 12 MHz			0.214	微秒
					3 (4)	1 / f ADC
t latr (2)	定期触发转换 潜伏	f ADC = 12 MHz			0.143	微秒
					2 (4)	1 / f ADC
TS (2)	采样时间	f ADC = 12 MHz	0.125		17.1	微秒
			1.5		239.5	1 / f ADC
STAB (2)	开机时间		0	0	1	微秒
t CONV (2)	总转换时间 (包括采样时间)	f ADC = 12 MHz	1.17		21	微秒
			14至252 (t S 取样+12.5 逐次逼近)			1 / f ADC

1. 初步的价值.
2. 由设计保证, 未经生产测试.
3. V REF + 内部连接到V DDA
4. 对于外部触发, 必须将 延迟1 / fPCLK2 添加到表51中指定的延迟.

公式1: R AIN max公式:

$$R_{AIN} \leq \frac{T_{\text{小号}}}{f_{ADC} \times C_{ADC} \times \ln(2)^{N^2}} \times R_{ADC}$$

上面的公式 (公式1) 用于确定允许的最大外部阻抗
低于LSB 1/4的误差.这里N = 12 (从12位分辨率) .



表52. $f_{ADC} = 12\text{ MHz}$ 时的 A_{IN} 最大值 (1)

T_s (周期)	t_S (μs)	$R_{AIN\ max}$ ($k\Omega$)
1.5	0.125	0.4
7.5	0.625	5.9
13.5	1.125	11.4
28.5	2.375	25.2
41.5	3.45	37.2
55.5	4.625	50
71.5	5.96	NA
239.5	20	NA

1. 由设计保证, 未经生产测试。

表53. ADC准确度 - 有限的测试条件 (1) (2)

符号	参数	测试条件	典型	马克斯	单元
ET	总未调整的误差	$f_{PCLK2} = 24\text{ MHz}$, $f_{ADC} = 12\text{ MHz}$, $R_{AIN} < 10k\Omega$, $V_{DDA} = 3V$ 至 $3.6V$ $V_{REF+} = V_{DDA}$ $T_A = 25^\circ C$ 之后的测量 ADC校准	± 1.5	± 2.5	LSB
EO	偏移误差		± 1	± 2	
例如	收益误差		± 0.5	± 1.5	
ED	微分线性误差		± 1.5	± 2	
EL	积分线性误差		± 1.5	± 2	

1. ADC直流精度值是在内部校准后测量的。

2. 初步的价值。

表54. ADC准确度 (1) (2) (3)

符号	参数	测试条件	典型	马克斯	单元
ET	总未调整的误差	$f_{PCLK2} = 24\text{ MHz}$, $f_{ADC} = 12\text{ MHz}$, $R_{AIN} < 10k\Omega$, $V_{DDA} = 2.4V$ 至 $3.6V$ $T_A =$ 全部工作范围 之后的测量 ADC校准	± 2	± 5	LSB
EO	偏移误差		± 1.5	± 2.5	
例如	收益误差		± 1.5	± 3	
ED	微分线性误差		± 1.5	± 2.5	
EL	积分线性误差		± 1.5	± 4.5	

1. ADC直流精度值是在内部校准后测量的。

2. 在有限的 V_{DD} , 频率, V_{REF} 和温度范围内可以获得更好的性能。

3. 初步的价值。

注意:

ADC精度与负向注入电流: 在任何模拟上注入负电流

应避免输入引脚, 因为这会显著降低转换的准确性

在另一个模拟输入上执行. 建议添加一个肖特基二极管 (引脚到地) 到可能会注入负电流的模拟引脚。

注意：在I_{INJ} (PIN) 和ΣI_{INJ} (PIN) 规定的限制范围内的任何正向注入电流
5.3.13节不影响ADC精度。

图33. ADC准确度特性

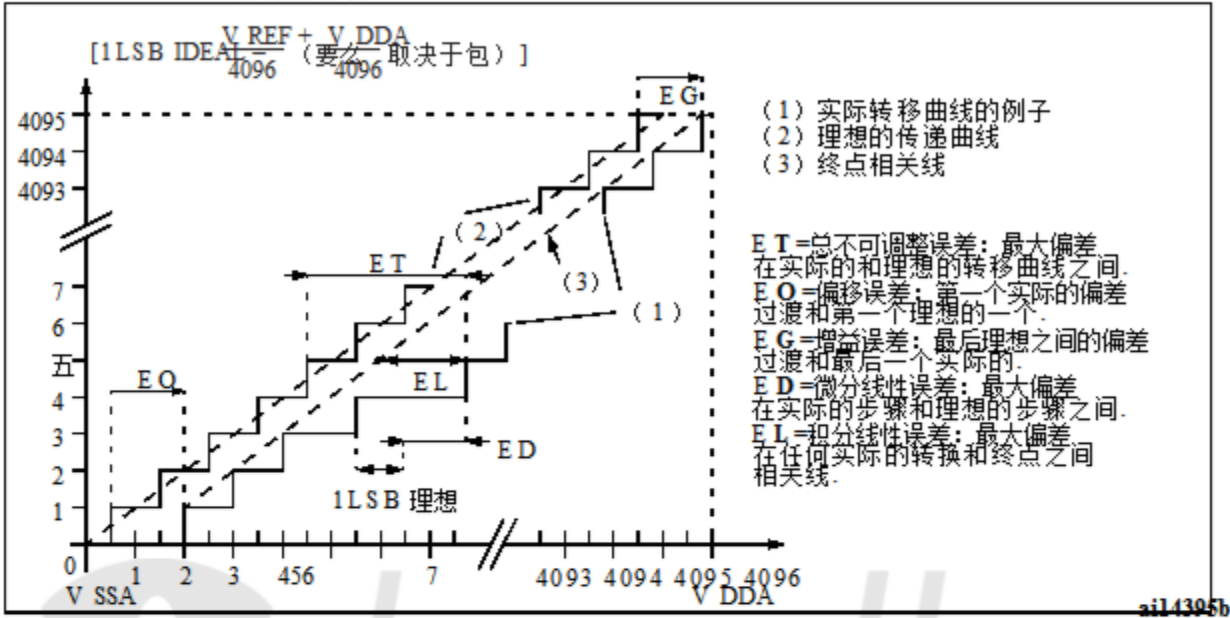
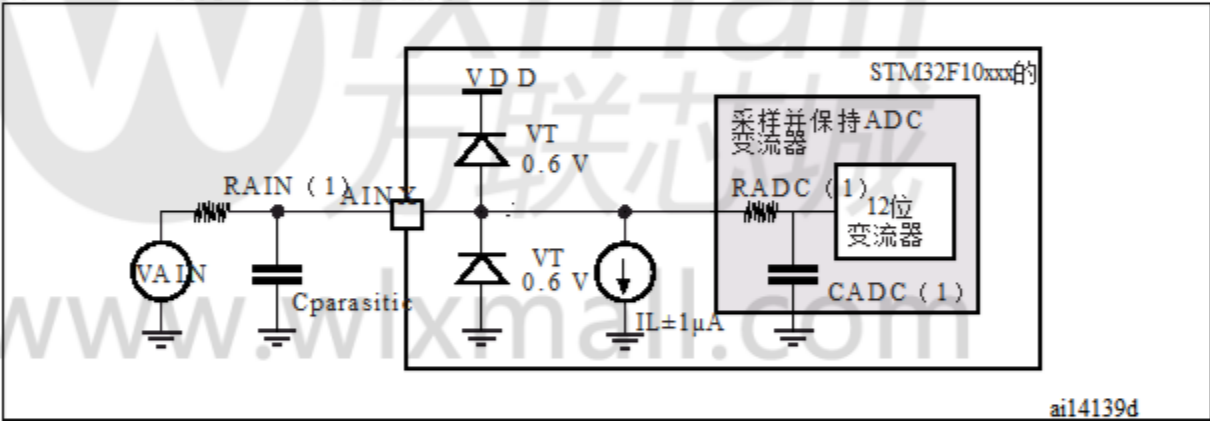


图34. 使用ADC的典型连接图



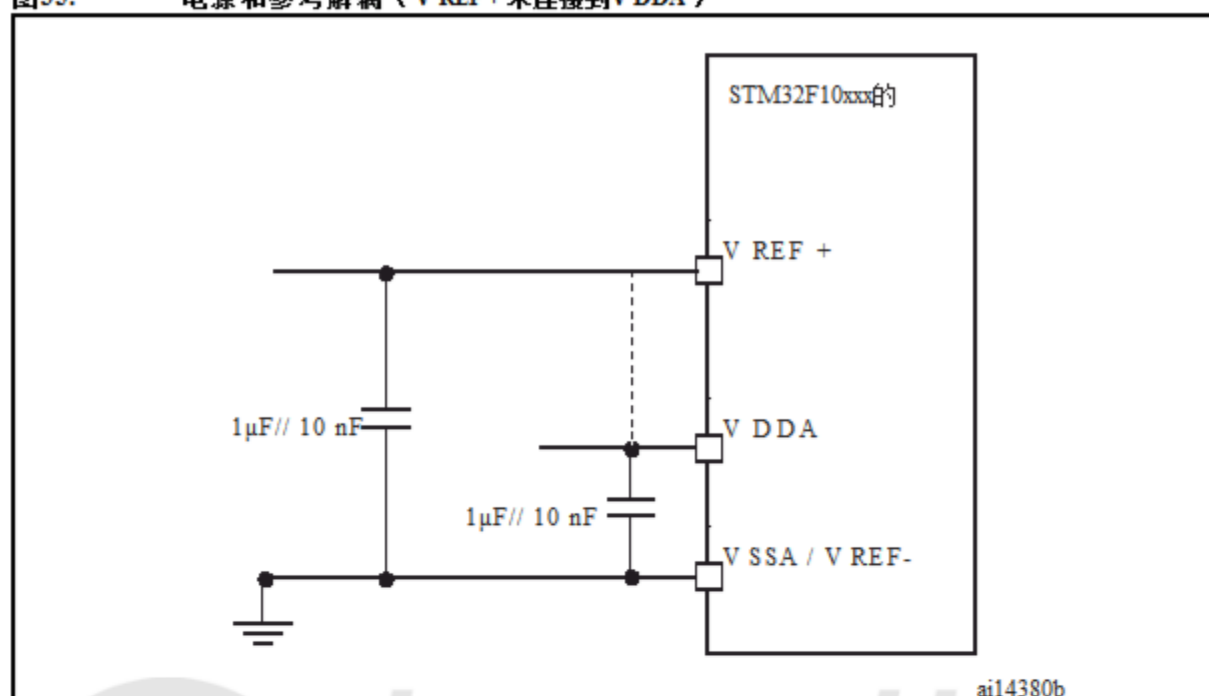
1. R_{AIN}, R_{ADC} 和 C_{ADC} 的值请参见表 51.
2. C_{寄生} 表示 PCB 的电容 (取决于焊接和 PCB 布局质量) 加上焊盘电容 (大约 7 pF). 高 C_{寄生} 值会降低转换精度. 补救这个, ADC 应该减少.

一般PCB设计准则

电源去耦应按图35或图36所示进行.

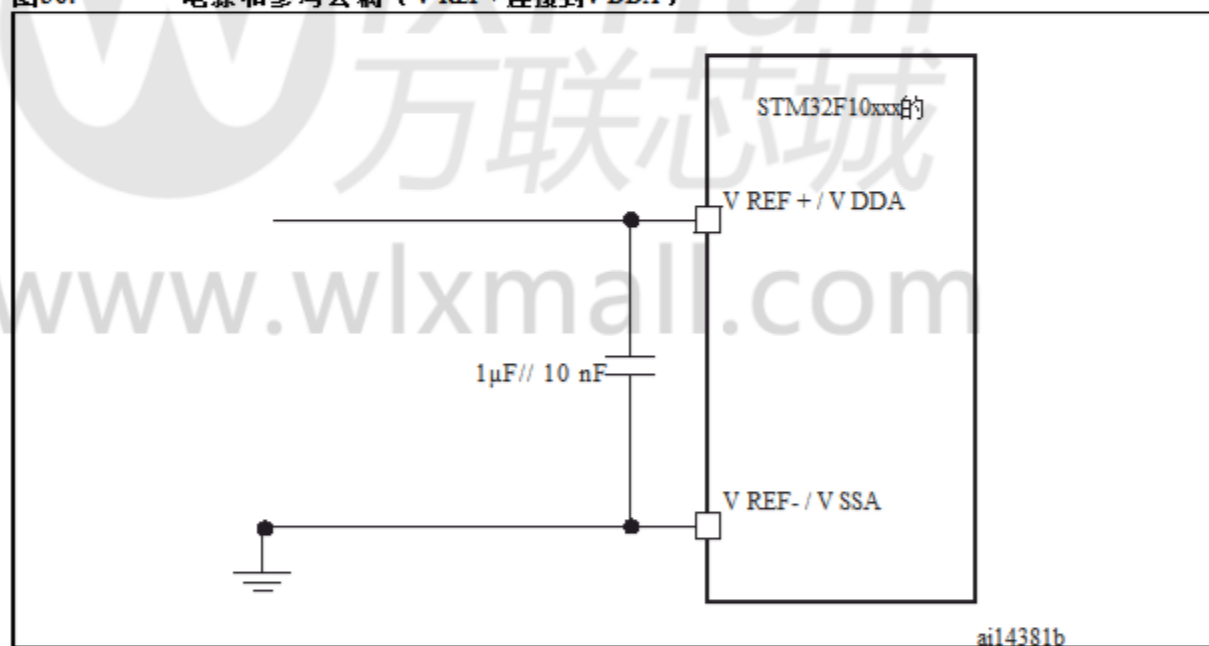
取决于 V_{REF} + 是否连接到 V_{DDA}. 10 nF 电容应该是陶瓷 (质量好). 他们应该放在尽可能靠近芯片.

图35. 电源和参考解耦 (V REF+ 未连接到V DDA)



1. V REF+ 可在100引脚封装和TFBGA64封装上使用. V REF- 可在100引脚上使用只有包.

图36. 电源和参考去耦 (V REF+ 连接到V DDA)



1. V REF+ 和V REF- 输入仅在100引脚封装上可用.

5.3.19 DAC电气规格

表55 DAC特性

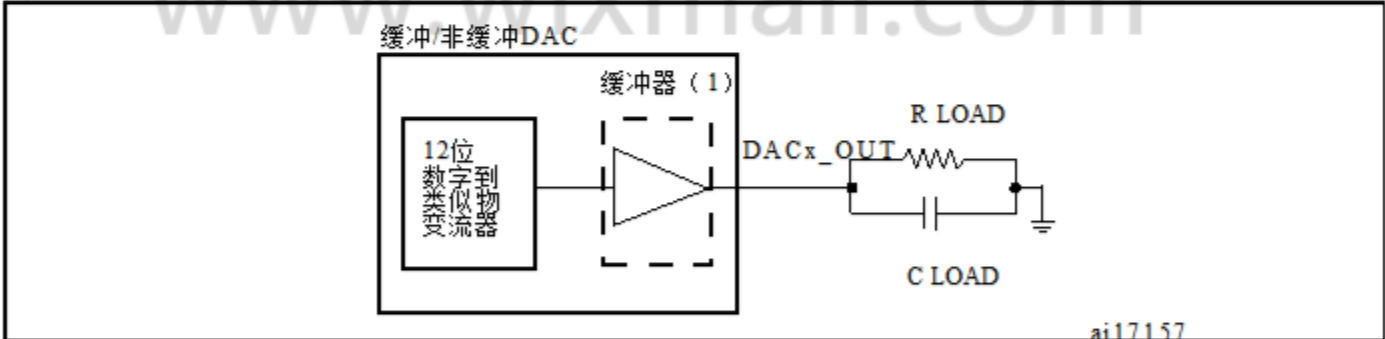
符号	参数	敏	典型	最大 (1单元)	注释
V _{DDA}	模拟电源电压	2.4		3.6	V
V _{REF+}	参考电源电压	2.4		3.6	V V _{REF+} 必须始终低于V _{DDA}
V _{SSA}	地面	0		0	V
R _{LOAD} (1)	带缓冲器的电阻性负载	五			k Ω
R _O (1)	阻抗输出与缓冲器关闭			15	k Ω 当缓冲器关闭时， 最小电阻负载 在DAC_OUT和V _{SS} 之间 有1%的精确度是1.5M Ω
C _{LOAD} (1)	容性负载			50	pF的 最大容性负载 DAC_OUT引脚（当缓冲器 打开）。
DAC_OUT 分 (1)	用缓冲器降低DAC_OUT电压 上	0.2			V 它提供了最大的输出 DAC的远足。 它对应于12位输入 代码 (0x0E0) 到 (0xF1C) at V _{REF+} = 3.6 V和 (0x155) 和 (0xEAB) 在 V _{REF+} = 2.4 V
DAC_OUT 最大值 (1)	带有缓冲器的DAC_OUT电压更高 上			V _{DDA} - 0.2	V
DAC_OUT 分 (1)	用缓冲器降低DAC_OUT电压 关闭	0.5			毫伏 它提供了最大的输出 DAC的远足。
DAC_OUT 最大值 (1)	带有缓冲器的DAC_OUT电压更高 关闭			V _{REF+} - 1LSB	V
我 _{DDVREF+}	DAC直流电流消耗in 静态模式 (待机模式)			220	μ A 没有负载，最糟糕的代码 (0xF1C) 在 V _{REF+} = 3.6 V in 直流电消耗的条件 输入
我是 _{DDA}	DAC直流电流消耗in 静态模式 (2)			380	μ A 没有负载，中间代码 (0x800) 的输入
				480	μ A 没有负载，最糟糕的代码 (0xF1C) 在 V _{REF+} = 3.6 V in 直流电消耗的条件 输入
DNL (1)	微分非线性差异 在两个连续的代码-1LSB之间)			± 0.5	LSB 给定10位的DAC 组态
				± 2	LSB 给定12位的DAC 组态
INL (1)	积分非线性 (差分 在代码i的测量值之间 和Code i的值在一行上 在代码0和最后一个代码之间绘制 1023)			± 1	LSB 给定10位的DAC 组态
				± 4	LSB 给定12位的DAC 组态

表55 DAC特性 (续)

符号	参数	敏	典型	最大 (1单元)	注释
偏移 (1)	偏移错误 (测量值之间的差异 在代码 (0x800) 和理想值= $V_{REF}+/2$)			± 10	毫伏 给定12位的DAC 组态
				± 3	LSB 给定10位DAC的DAC $V_{REF}+=3.6V$
				± 12	LSB 鉴于在12位的DAC在 $V_{REF}+=3.6V$
获得 误差 (1)	收益错误			± 0.5	% 给定12位的DAC 组态
结算 (1)	建立时间 (全里程: 10位 输入代码之间的转换 最低和最高的输入代码 当DAC_OUT达到最终值时 $\pm 1LSB$)		34		微秒 $C_{LOAD} \leq 50pF, R_{LOAD} \geq 5k\Omega$
更新 率 (1)	最大频率为正确的 小DAC_OUT改变 输入代码的变化 (来自代码i 到i + 1LSB)			1MS / s	$C_{LOAD} \leq 50pF, R_{LOAD} \geq 5k\Omega$
唤醒 (1)	唤醒时间从关闭状态 (设置 DAC控制中的ENx位 寄存器)		6.5	10	微秒 $C_{LOAD} \leq 50pF, R_{LOAD} \geq 5k\Omega$ 输入代码在最低和 尽可能高的.
PSRR + (1)	电源抑制比 (对V DDA) (静态直流测量)		-67	-40	Db 无R LOAD, $C_{LOAD} = 50pF$

1. 初步的价值.
2. 静态模式是指DAC的输出状态保持稳定, 不涉及动态消耗.

图37. 12位缓冲/非缓冲DAC



1. DAC集成了一个输出缓冲器, 可以用来降低输出阻抗并直接驱动外部负载而无需使用外部运算放大器. 该缓冲区可以通过配置BOFFx位旁路DAC_CR寄存器.

5.3.20 温度传感器特性

表56. TS特性

符号	参数	敏	典型	马克斯	单元
TL (1)	V SENSE 线性与温度		±1	±2	C
Avg_Slope (1)	平均坡度	4	4.3	4.6	毫伏/°C
V25 (1)	电压在25°C	1.32	1.41	1.50	V
开始 (2)	启动时间	4		10	微秒
TS_temp (3) (2)	ADC读取温度时的采样时间			17.1	微秒

- 1. 由特性保证，未经生产测试。
- 2. 由设计保证，未经生产测试。
- 3. 可以在应用中通过多次迭代确定最短的采样时间。



6 包特点

6.1 包装机械数据

为了达到环保要求, ST提供这些设备的不同档次
ECOPACK® 包装, 取决于他们的环保要求. ECOPACK®
规格, 等级定义和产品状态可在www.st.com上获得.
ECOPACK® 是ST商标.



图38. LQFP144,20 x 20毫米，144针薄四方扁平包大纲

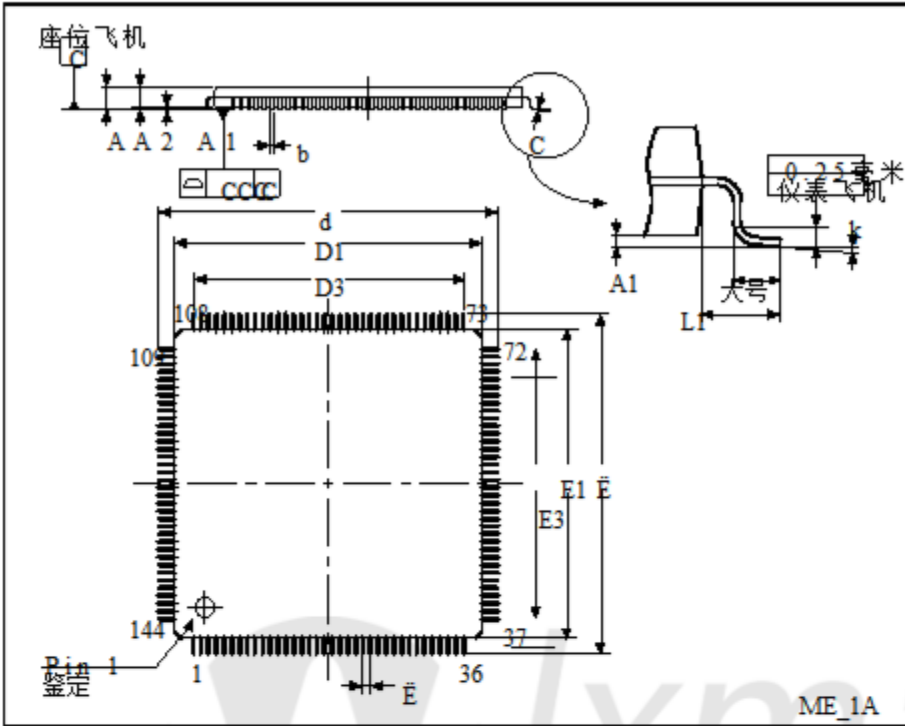
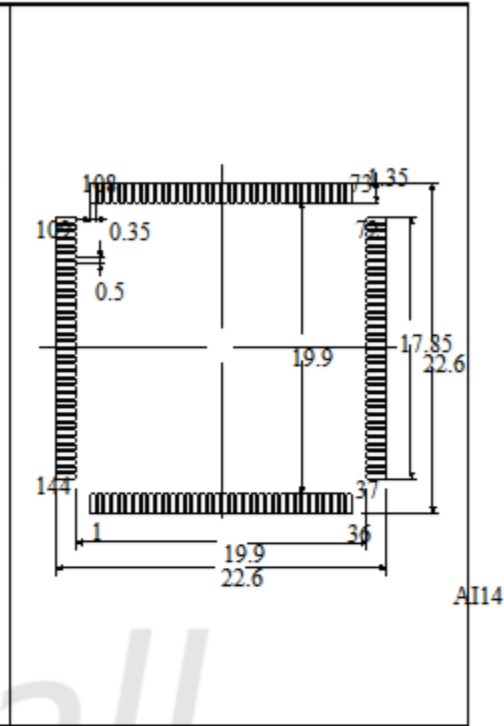


图39. 推荐的脚印



- 1. 绘图不是按比例.
- 2. 尺寸以毫米为单位.

表57 LQFP144,20 x 20 mm，144引脚薄型四方扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
A 1	6 0					0.063
A1	0.05		0.15	0.002		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.20	0.0035		0.0079
d	21.80	22.00	22.20	0.8583	0.8661	0.874
D1	19.80	20.00	20.20	0.7795	0.7874	0.7953
D3		17.50			0.689	
E	21.80	22.00	22.20	0.8583	0.8661	0.874
E1	19.80	20.00	20.20	0.7795	0.7874	0.7953
E3		17.50			0.689	
E		0.50			0.0197	
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
k	0° 3.5° 7°			0° 3.5° 7°		
CCC	0.08			0.0031		

- 1. 以英寸为单位的值从mm转换为四位十进制数字.



图40. LQFP100 - 14 x 14毫米，100引脚薄型四方扁平封装大纲

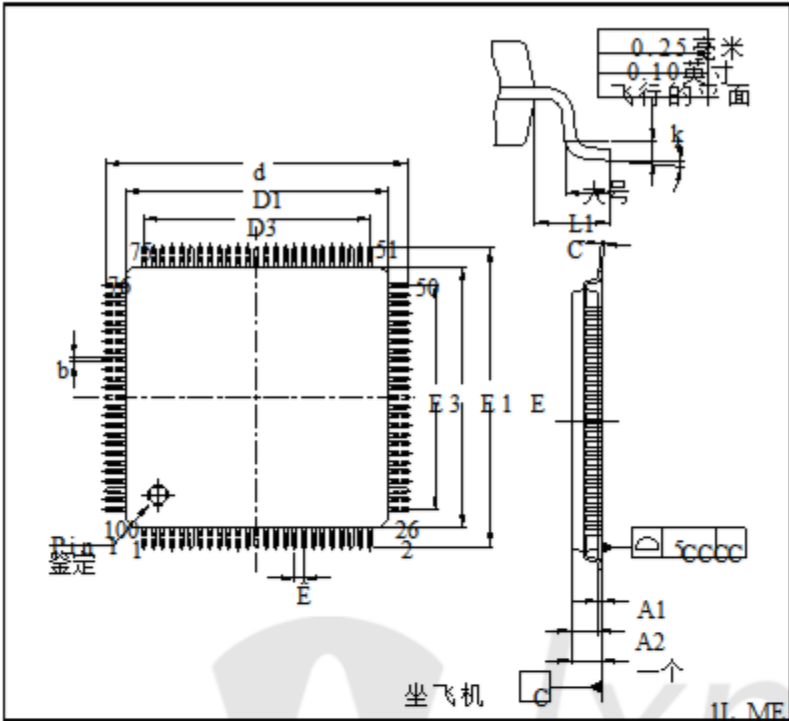
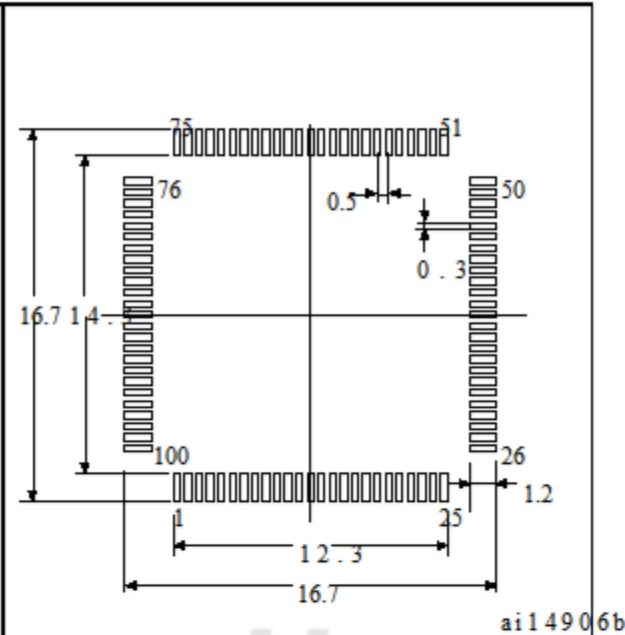


图41. 建议的足迹



- 1. 绘图不是按比例.
- 2. 尺寸以毫米为单位.

表58. LQPF100 - 14 x 14 mm，100引脚薄型四方扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.063
A1	0.05		0.15	0.002		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.20	0.0035		0.0079
d	15.80	16.00	16.20	0.622	0.6299	0.6378
D1	13.80	14.00	14.20	0.5433	0.5512	0.5591
D3		12.00			0.4724	
E	15.80	16.00	16.20	0.622	0.6299	0.6378
E1	13.80	14.00	14.20	0.5433	0.5512	0.5591
E3		12.00			0.4724	
E		0.50			0.0197	
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
k	0°	3.5° 7°		0° 3.5°		7°
CCC	0.08			0.0031		

- 1. 以英寸为单位的值从mm转换为四位十进制数字.

图42. LQFP64 - 10 x 10 mm, 64针小尺寸四通道
扁平的包大纲

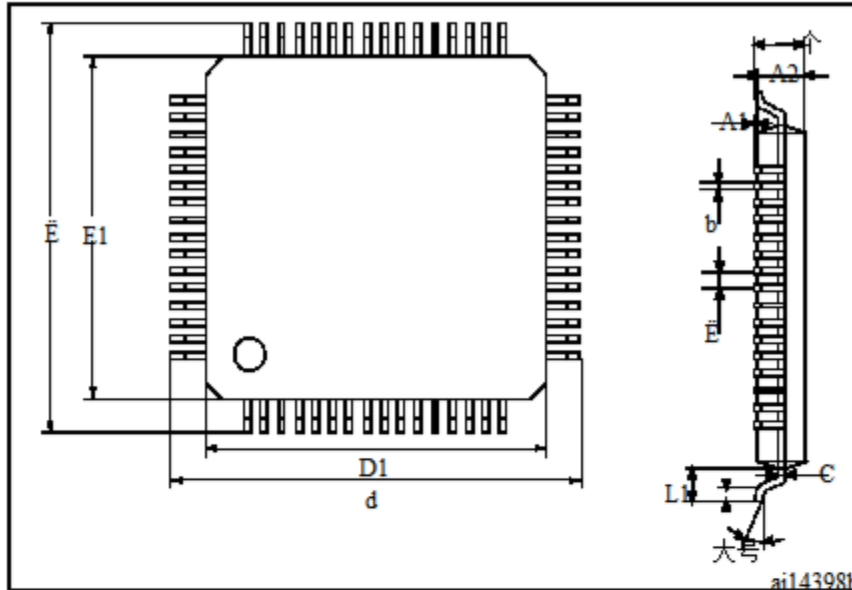
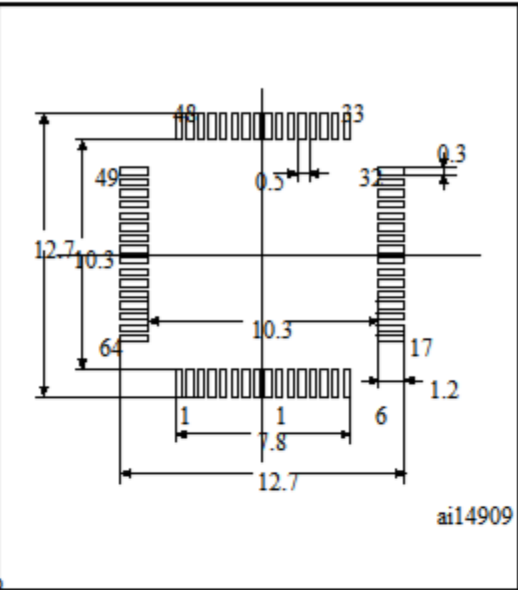


图43. 推荐的
脚印



1. 绘图不是按比例.
2. 尺寸以毫米为单位.

表59 LQFP64 - 10 x 10 mm, 64引脚薄型四方扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.0630
A1	0.05		0.15	0.0020		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.20	0.0035		0.0079
d		12.00			0.4724	
D1		10.00			0.3937	
E		12.00			0.4724	
E1		10.00			0.3937	
E		0.50			0.0197	
θ	0°	3.5°	7°	0°	3.5°	7°
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
ñ	引脚数					
	64					

1. 以英寸为单位的值从mm转换为四位十进制数字.

6.2 热特性

芯片结点的最大温度（ T_{Jmax} ）不能超过中给出的值
[表9：第37页的一般操作条件](#)

可以计算以摄氏度为单位的最大芯片结温度 T_{Jmax}
使用以下公式：

$$T_{Jmax} = T_{Amax} + (P_{Dmax} \times \theta_{JA})$$

哪里：

- T_{Amax} 是以°C为单位的最高环境温度，
- θ_{JA} 是封装结到环境的热阻，单位°C/W，
- P_{Dmax} 是 P_{INTmax} 和 $P_{I/Omax}$ 之和（ $P_{Dmax} = P_{INTmax} + P_{I/Omax}$ ），
- P_{INTmax} 是 I_{DD} 和 V_{DD} 的乘积，以瓦特表示. 这是最大的筹码内部动力.

$P_{I/Omax}$ 表示输出引脚的最大功耗，其中：

$$P_{I/Omax} = \Sigma (V_{OL} \times I_{OL}) + \Sigma ((V_{DD} - V_{OH}) \times I_{OH}) ,$$

考虑到 I/O 的实际 V_{OL}/I_{OL} 和 V_{OH}/I_{OH} 在低和高的水平应用.

表 60 封装热特性

符号	参数	值	单元
θ_{JA}	热阻结 - 环境 LQFP 144 - 20×20 mm / 0.5 mm间距	35	°C / W
	热阻结 - 环境 LQFP 100 - 14×14毫米/0.5毫米间距	40	
	热阻结 - 环境 LQFP 64 - 10×10毫米/0.5毫米间距	49	

6.2.1 参考文件

JESD51-2集成电路热测试方法环境条件 - 自然
对流（静止）.可从www.jedec.org获得.



6.2.2 选择产品温度范围

订购微控制器时，温度范围在订购时指定

信息方案见表61：订购信息方案。

每个温度范围后缀对应于特定的保证环境温度at
最大耗散和特定的最大结温。

由于应用通常不会在最大功耗下使用STM32F100xx，因此它非常有用
计算确切的功耗和结温来确定哪个
温度范围将最适合该应用。

以下示例显示如何计算给定的温度范围
应用。

例如：高性能应用程序

假设以下应用条件：

最高环境温度 $T_{Amax} = 82^{\circ}\text{C}$ （根据JESD51-2测量），
 $I_{DDmax} = 50\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，输出低电平时最多同时使用20个I/O
 $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$ ，同时输出最多8个I/O
 $I_{OL} = 20\text{ mA}$ ， $V_{OL} = 1.3\text{ V}$ 的低电平模式
 $P_{INTmax} = 50\text{ mA} \times 3.5\text{ V} = 175\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} + 8 \times 20\text{ mA} \times 1.3\text{ V} = 272\text{ mW}$
 这给出： $P_{INTmax} = 175\text{ mW}$ 和 $P_{IOmax} = 272\text{ mW}$
 $P_{Dmax} = 175 + 272 = 447\text{ mW}$

因此： $P_{Dmax} = 447\text{ mW}$

使用在表60中获得的值 T_{Jmax} 如下计算：

- 对于LQFP64， 49°C/W

$T_{Jmax} = 82^{\circ}\text{C} + (49^{\circ}\text{C/W} \times 447\text{ mW}) = 82^{\circ}\text{C} + 20.1^{\circ}\text{C} = 102.1^{\circ}\text{C}$

这在后缀6个版本部件（ $-40 < T_J < 105^{\circ}\text{C}$ ）的范围内。

在这种情况下，零件必须至少在温度范围后缀6（见“
表61：订购信息方案。”）。

例2：高温应用

使用相同的规则，可以解决在高环境下运行的应用程序
只要结温 T_J 保持在一个低的温度 范围内
指定范围。

假设以下应用条件：

最高环境温度 $T_{Amax} = 115^{\circ}\text{C}$ （根据JESD51-2测量），
 $I_{DDmax} = 20\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，最多20个I/O同时用于输出低电平
 $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$
 $P_{INTmax} = 20\text{ mA} \times 3.5\text{ V} = 70\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} = 64\text{ mW}$
 这给出： $P_{INTmax} = 70\text{ mW}$ 和 $P_{IOmax} = 64\text{ mW}$ ：
 $P_{Dmax} = 70 + 64 = 134\text{ mW}$

因此： $P_{Dmax} = 134\text{ mW}$

使用在表60中获得的值 T_{Jmax} 如下计算:

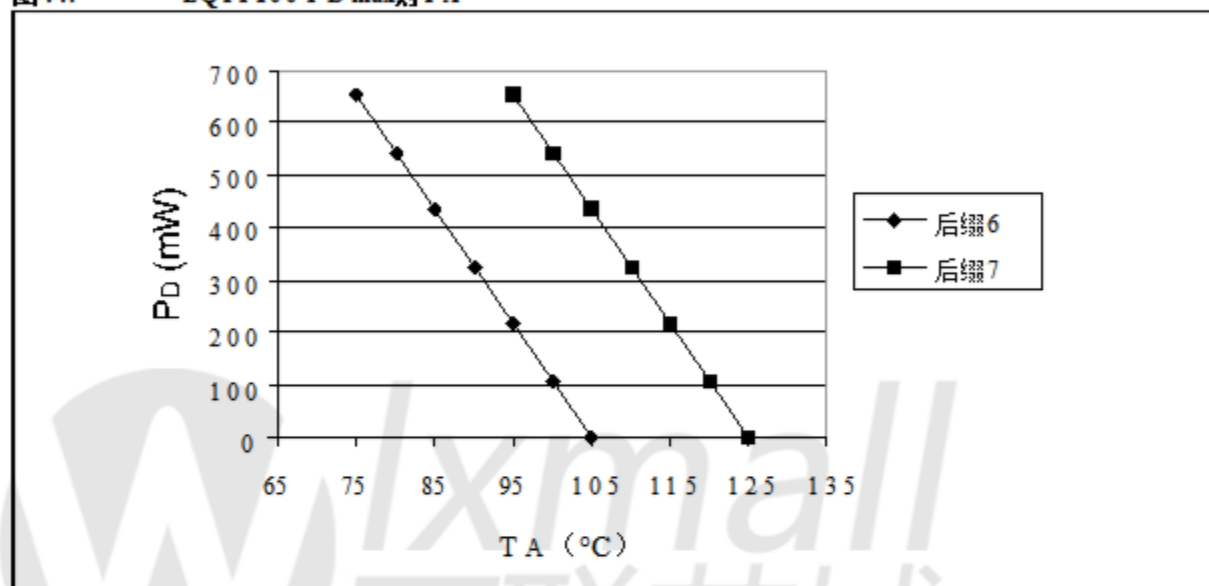
- 对于LQFP100, $40^{\circ}\text{C} / \text{W}$

$$T_{Jmax} = 115^{\circ}\text{C} + (40^{\circ}\text{C} / \text{W} \times 134\text{mW}) = 115^{\circ}\text{C} + 5.4^{\circ}\text{C} = 120.4^{\circ}\text{C}$$

这是在后继7版本部件 ($-40 < T_J < 125^{\circ}\text{C}$) 的范围内.

在这种情况下, 部件必须至少在温度范围后继7 (请参见“[表61: 订购信息方案](#)”).

图44. LQFP100 P_{Dmax} 对 T_A



7 订购信息计划

表61 订购信息计划

例:	STM32	F	100	V	C	T	6	B	xxx
设备系列	STM32 =基于ARM的32位微控制器								
产品类别									
F =通用									
设备子系列									
100 =价值线									
引脚数									
R = 64个引脚									
V = 100个引脚									
Z = 144针									
闪存大小									
C = 256 KB闪存									
D = 384千字节的闪存									
E = 512 KB闪存									
包									
T = LQFP									
温度范围									
6 =工业温度范围, -40至85°C									
7 =工业温度范围, -40到105°C									
内部代码									
乙									
选项									
xxx =编程的部分									
TR =磁带和真实									

有关可用选项（速度，包装等）的列表或任何方面的进一步信息
请联系离您最近的ST销售办事处。

8 修订记录

表 62 文档修订历史

日期	调整	变化
09 - 10月, 2008年	1	初始发行.
31月 - 2009年	2	I / O信息在第1页上阐明. 表5: 修改了高密度STM32F100xx引脚定义. 图5: 修改了第26页的存储器映射. 表13修改了注释: 运行中的最大电流消耗模式, 从Flash运行的数据处理代码和表15: 睡眠模式下的最大电流消耗, 代码从闪存或RAM. 表20: 高速外部用户时钟特性和表21: 低速用户外部时钟特性修改. ACCHSI表24中修改的最大值: HSI振荡器特性. 表13修改了注释: 运行中的最大电流消耗模式, 从Flash运行的数据处理代码和表15: 睡眠模式下的最大电流消耗, 代码从闪存或RAM. 图10, 图11和图12显示了典型的曲线 (标题改变). 小文字变化.
01九月2010	3	整个文件的重大修改. 增加了LQFP144封装和附加外设 (SPI3, UART4, UART, TIM5,12,14,13, FSMC).
10月18日2010	4	表13至表16更新了功耗数据 更新了第66页上的第5.3.11节: EMC特性
11-APR-2011	五	在第13页添加了第2.2.6节: LCD并行接口 在第24页的表4中, 移动了TIM15_BKIN和TIM17_BKIN重新映射到默认列.更新了PA3, PA5和PF6的描述到PF10. 表6: 第36页的电压特性更新了脚注 和表7: 第37页的电流特性 表16添加了VBAT值: 典型值和最大值 停止和待机模式下的消耗 (第43页) 更新表20中的$t_{w\ min}$: 高速外部用户时钟特性在第47页 表23更新了启动时间: LSE振荡器特性 ($f_{LSE} = 32.768\ kHz$) (第51页) 表24: HSI振荡器添加了HSI时钟精度值特性在第52页 第60页更新了FSMC同步波形和时序 更新了表43: I / O静态特性 (第69页) 增加了第5.3.13节: I / O电流注入特性第68页 表44: 输出电压修正TTL和CMOS指定特性在第72页

表62 文档修订历史 (续)

日期	调整	变化
08月2012	6	更新了表7: 第37页的电流特性 更正了第5.3.10节中的“CLKL-NOEL”: FSMC特性第54页 更新了第76页上的表48: I2C特性 更正了第5.3.18节: 12位ADC中的“非健壮性”注释特性在80页 更新了图1: STM32F100xx的数值线框图第11页 更新了第69页上的第5.3.14节“I/O端口特性” 更新了第2.2.22节: GPIO (通用输入/输出)第20页 更新了表4: 高密度STM32F100xx引脚定义第24页 更新了第37页上的章节5.3.1: 一般操作条件 表4更新了PD0和PD1: 高密度STM32F100xx引脚定义在第24页
17九月2012	7	更新P 表9中的 D_{max}规格: 一般操作条件 表55: DAC中的IDDA参数说明添加脚注特点

请仔细阅读：

本档中的信息仅供ST产品使用.意法半导体公司及其附属公司（“ST”）保留所有权利对本文档以及此处所述的产品和服务进行更改，更正，修改或改进的权利时间，恕不另行通知。

所有ST产品均按照ST的销售条款和条件进行销售。

购买者全权负责选择，选择和使用本文所述的ST产品和服务，ST承诺不会与本文所述ST产品和服务的选择，选择或使用相关的责任。

根据本文档，不得以任何禁止反言或以其他方式明示或暗示授予任何知识产权.如果这个的任何部分文件是指任何第三方产品或服务，不得被视为ST授权使用此类第三方产品的许可或服务或其中包含的任何知识产权，或作为保证涵盖以任何方式使用的保证第三方产品或服务或其中包含的任何知识产权。

除非在ST的条款和条件中另有规定ST否认不做任何明示或暗示有关使用和/或销售ST产品的担保，包括但不限于默示适销性，适用于特定用途的保证（及其在法律下的等同性任何司法管辖权），或侵犯任何专利，版权或其他知识产权。

除非两家授权的ST代表书面明确批准，ST产品不是建议，授权或担保用于军事，航空工程，空间，救生或维持生命应用，或在产品或系统中发生故障或故障可能导致人身伤害，死亡或严重的财产或环境损害。ST产品没有被指定为“汽车等级”只能在用户自行承担风险的情况下在汽车应用中使用。

ST产品的转售与本文件中陈述和/或技术特征不同的条款将立即失效ST为ST产品或服务所授予的任何保证，不得以任何方式创建或延伸任何ST的责任。

ST和ST标志是ST在各个国家的商标或注册商标。

本文档中的信息取代以前提供的所有信息。

ST标志是意法半导体的注册商标.所有其他名称是其各自所有者的财产。

©2012意法半导体 - 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克 - 芬兰 - 法国 - 德国 - 香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美利坚合众国

www.st.com