



HC32D391 系列

32 位 ARM[®] Cortex[®]-M4 微控制器

HC32D391FEUA-QFN32TR

HC32D391FEUA-TFN32TR

数据手册

产品特性

ARM Cortex-M4 32bit MCU+FPU, 250DMIPS, up to 512KB Flash, 192KB SRAM, USB FS (Device/Host), 4Timers, ADC, PGA, 14 个通信接口

- ARMv7-M 架构 32bit Cortex-M4 CPU, 集成 FPU、MPU, 支持 SIMD 指令的 DSP, 及 CoreSight 标准调试单元。最高工作主频 200MHz, Flash 加速单元实现 0-wait 程序执行, 达到 250DMIPS 或 680Coremarks 的运算性能
- 内置存储器
 - 最大 512KByte 的 Flash memory, 支持安全保护及数据加密*1
 - 最大 192KByte 的 SRAM, 包括 32KByte 的 200MHz 单周期访问高速 RAM, 4KByte Retention RAM
- 电源, 时钟, 复位管理
 - 系统电源 (Vcc): 1.8-3.6V
 - 6 个独立时钟源: 外部主时钟晶振 (4-24MHz), 外部副晶振 (32.768kHz), 内部高速 RC (16/20MHz), 内部中速 RC (8MHz), 内部低速 RC (32kHz), 内部 WDT 专用 RC (10kHz)
 - 包括上电复位 (POR), 低电压检测复位 (LVDR), 端口复位 (PDR) 在内的 14 种复位源, 每个复位源有独立标志位
- 低功耗运行
 - 外设功能可以独立关闭或开启
 - 三种低功耗模式: Sleep, Stop, Power down 模式
 - Run 模式和 Sleep 模式下支持超高速模式、高速模式、超低速模式之间的切换
 - 待机功耗: Stop 模式 typ.90uA@25°C, Power down 模式最低至 1.8uA@25°C
 - Power down 模式下, 支持 16 个端口唤醒, 支持超低功耗 RTC 工作, 4KByte SRAM 保持数据
 - 待机快速唤醒, Stop 模式唤醒最快至 2us, Power down 模式唤醒最快至 20us
- 外设运行支持系统显著降低 CPU 处理负荷
 - 8 通道双主机 DMAC
 - USBFS 专用 DMAC
 - 数据计算单元 (DCU)
 - 支持外设事件相互触发 (AOS)
- 高性能模拟
 - 1 个独立 12bit 2.5MSPS ADC
 - 1 个可编程增益放大器 (PGA)
 - 1 个片上温度传感器 (OTS)
- Timer
 - 3 个 16bit 通用 Timer (TimerA)
 - 1 个 16bit 基础 Timer (Timer0)
- 最大 25 个 GPIO
 - CPU 单周期访问, 最大 100MHz 输出
 - 最大 23 个 5V-tolerant IO
- 最大 14 个通信接口
 - 2 个 I2C, 支持 SMBus 协议
 - 3 个 USART, 支持 ISO7816-3 协议
 - 3 个 SPI
 - 4 个 I2S, 内置音频 PLL 支持音频级采样精度
 - 1 个 QSPI, 支持 200Mbps 高速访问 (XIP)
 - 1 个 USB 2.0 FS, 内置 PHY, 支持 Device/Host
- 数据加密功能
 - AES/HASH/TRNG
- 封装形式:
 - QFN32 (4×4mm) 0.55mm
 - QFN32 (4×4mm) 0.75mm

*1: 关于 Flash 安全保护及数据加密的具体规格, 请咨询销售窗口。

声 明

- 小华半导体有限公司（以下简称：“XHSC”）保留随时更改、更正、增强、修改小华半导体产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。

- 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。

- XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。

- XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。

- 任何带有“®”或“™”标识的图形或字样是 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。

- 本通知中的信息取代并替换先前版本中的信息。

©2022 小华半导体有限公司 - 保留所有权利

目 录

产品特性.....	2
声 明.....	3
目 录.....	4
1 简介 (Overview)	10
1.1 型号命名规则	11
1.2 型号功能对比表	12
1.3 功能框图.....	13
1.4 功能简介.....	14
1.4.1 CPU	14
1.4.2 总线架构 (BUS)	14
1.4.3 复位控制 (RMU)	15
1.4.4 时钟控制 (CMU)	15
1.4.5 电源控制 (PWC)	16
1.4.6 初始化配置 (ICG)	16
1.4.7 嵌入式 FLASH 接口 (EFM)	17
1.4.8 内置 SRAM (SRAM)	17
1.4.9 通用 IO (GPIO)	17
1.4.10 中断控制 (INTC)	18
1.4.11 键盘扫描 (KEYSCAN)	18
1.4.12 存储保护单元 (MPU)	19
1.4.13 DMA 控制器 (DMA)	19
1.4.14 模数转换器 (ADC)	20
1.4.15 温度传感器 (OTS)	21
1.4.16 通用定时器 (TimerA)	21
1.4.17 通用定时器 (Timer0)	21
1.4.18 实时时钟 (RTC)	21
1.4.19 看门狗计数器 (WDT)	22
1.4.20 串行通信接口 (USART)	22
1.4.21 集成电路总线 (I2C)	22
1.4.22 串行外设接口 (SPI)	22
1.4.23 四线式串行外设接口 (QSPI)	22
1.4.24 集成电路内置音频总线 (I2S)	23
1.4.25 USB2.0 全速模块 (USB FS)	23
1.4.26 加密协处理模块 (CPM)	23
1.4.27 数据计算单元 (DCU)	24
1.4.28 CRC 计算单元 (CRC)	24
2 引脚配置及功能 (Pinouts)	25
2.1 引脚配置图.....	25
2.2 引脚功能表.....	26
2.3 引脚功能说明	30

2.4	引脚使用说明	32
3	电气特性 (ECs)	33
3.1	参数条件.....	33
3.1.1	最小值和最大值.....	33
3.1.2	典型值.....	33
3.1.3	典型曲线.....	33
3.1.4	负载电容.....	33
3.1.5	引脚输入电压.....	34
3.1.6	电源方案.....	35
3.1.7	电流消耗测量.....	37
3.2	绝对最大额定值	38
3.3	工作条件.....	40
3.3.1	通用工作条件.....	40
3.3.2	上电 / 掉电时的工作条件	41
3.3.3	复位和电源控制模块特性	42
3.3.4	供电电流特性.....	45
3.3.5	电气敏感性.....	54
3.3.5.1	静电放电 (ESD).....	54
3.3.5.2	静态 Latch-up.....	54
3.3.6	低功耗模式唤醒时序.....	55
3.3.7	I/O 端口特性	56
3.3.8	USART 接口特性.....	60
3.3.9	I2S 接口特性	60
3.3.10	I2C 接口特性.....	63
3.3.11	SPI 接口特性.....	64
3.3.12	USB 接口特性.....	66
3.3.13	PLL 特性.....	68
3.3.14	JTAG 接口特性	69
3.3.15	外部时钟源特性.....	70
3.3.15.1	外部源产生的高速外部用户时钟	70
3.3.15.2	晶振 / 陶瓷谐振器产生的高速外部时钟.....	71
3.3.15.3	晶振 / 陶瓷谐振器产生的低速外部时钟.....	72
3.3.16	内部时钟源特性.....	73
3.3.16.1	内部高速(HRC)振荡器	73
3.3.16.2	内部中速(MRC)振荡器	73
3.3.16.3	内部低速(LRC)振荡器.....	74
3.3.16.4	SWDT 专用内部低速(SWDTLRC)振荡器.....	74
3.3.17	12 位 ADC 特性	74
3.3.18	DAC 特性	82
3.3.19	增益可调放大器特性.....	83
3.3.20	温度传感器.....	84
3.3.21	存储器特性.....	85

3.3.21.1 闪存	85
4 封装信息	86
4.1 封装尺寸	86
4.2 焊盘示意图	87
4.3 丝印说明	88
4.4 封装热阻系数	89
5 订购信息	90
版本信息 & 联系方式	91

表目录

表 1-1	型号功能对比表	12
表 2-1	引脚功能表	27
表 2-2	Func32~63 表	28
表 2-3	端口配置	29
表 2-4	通用功能规格	29
表 2-5	引脚功能说明	31
表 2-6	引脚使用说明	32
表 3-1	VCAP_1/VCAP_2 工作条件	36
表 3-2	电压特性	38
表 3-3	电流特性	38
表 3-4	热特性	39
表 3-5	通用工作条件	40
表 3-6	上电 / 掉电时的工作条件	41
表 3-7	复位和电源控制模块特性	43
表 3-8	超高速模式电流消耗	46
表 3-9	高速模式电流消耗 1	47
表 3-10	高速模式电流消耗 2	48
表 3-11	高速模式电流消耗 3	49
表 3-12	超低速模式电流消耗 1	50
表 3-13	超低速模式电流消耗 2	51
表 3-14	低功耗模式电流消耗	53
表 3-15	模拟模块电流消耗	53
表 3-16	ESD 特性	54
表 3-17	静态 Latch-up 特性	54
表 3-18	低功耗模式唤醒时间	55
表 3-19	I/O 静态特性	56
表 3-20	输出电压特性	57
表 3-21	I/O 交流特性	58
表 3-22	USART AC 时序	60
表 3-23	I2S 电气特性	61
表 3-24	I2C 电气特性	63
表 3-25	SPI 电气特性	64
表 3-26	USB Full-Speed 电气特性	66
表 3-27	USB Low-Speed 电气特性	67
表 3-28	PLL 主要性能指标	68
表 3-29	JTAG 接口特性	69
表 3-30	高速外部用户时钟特性	70
表 3-31	XTAL 4-24 MHz 振荡器特性	71
表 3-32	XTAL32 振荡器特性	72
表 3-33	HRC 振荡器特性	73

表 3-34	MRC 振荡器特性	73
表 3-35	LRC 振荡器特性	74
表 3-36	SWDTLRC 振荡器特性	74
表 3-37	ADC 特性	74
表 3-38	ADC 特性 (续)	75
表 3-39	ADC1_IN0、ADC1_IN4 输入通道精度@ f _{ADC} =60MHz	76
表 3-40	ADC1_IN0、ADC1_IN4 输入通道精度@ f _{ADC} =30MHz	76
表 3-41	ADC1_IN0、ADC1_IN4 输入通道精度@ f _{ADC} =30MHz	76
表 3-42	ADC1_IN0、ADC1_IN4 输入通道精度@ f _{ADC} =8MHz	77
表 3-43	ADC1_IN9 输入通道精度@ f _{ADC} =60MHz	77
表 3-44	ADC1_IN9 输入通道精度@ f _{ADC} =30MHz	77
表 3-45	ADC1_IN9 输入通道精度@ f _{ADC} =30MHz	78
表 3-46	ADC1_IN9 输入通道精度@ f _{ADC} =8MHz	78
表 3-47	ADC1_IN0、ADC1_IN4 输入通道输入通道动态精度@ f _{ADC} =60MHz	78
表 3-48	ADC1_IN0、ADC1_IN4 输入通道输入通道动态精度@ f _{ADC} =30MHz	79
表 3-49	ADC1_IN0、ADC1_IN4 输入通道输入通道动态精度@ f _{ADC} =8MHz	79
表 3-50	DAC 特性	82
表 3-51	增益可调放大器特性	84
表 3-52	温度传感器特性	84
表 3-53	闪存特性	85
表 3-54	闪存编程擦除时间	85
表 3-55	闪存可擦写次数和数据保存期限	85
表 4-1	各封装热阻系数表	89

图目录

图 1-1 功能框图	13
图 2-1 引脚配置图	25
图 3-1 引脚负载条件（左）与输入电压测量（右）	34
图 3-2 电源方案	35
图 3-3 电流消耗测量方案	37
图 3-4 I/O 交流特性定义	59
图 3-5 USART 时钟时序	60
图 3-6 USART（CSI）输入输出时序	60
图 3-7 I2S 从模式时序（Philips 协议）	61
图 3-8 I2S 主模式时序（Philips 协议）	62
图 3-9 I2C 总线时序定义	63
图 3-10 SCK Clock 定义	64
图 3-11 SPI 接口时序要求	65
图 3-12 USB 上升/下降时间及 Cross Over 电压定义	67
图 3-13 JTAG JTCK 时钟	69
图 3-14 JTAG 输入输出	70
图 3-15 采用8 MHz 晶振的典型应用	71
图 3-16 ADC 精度特性	80
图 3-17 使用 ADC 的典型连接	81
图 3-18 电源和参考电源去耦例	81

1 简介 (Overview)

HC32D391FEUA 系列是基于 ARM® Cortex®-M4 32-bit RISC CPU，最高工作频率 200MHz 的高性能 MCU。Cortex-M4 内核集成了浮点运算单元 (FPU) 和 DSP，实现单精度浮点算术运算，支持所有 ARM 单精度数据处理指令和数据类型，支持完整 DSP 指令集。内核集成了 MPU 单元，同时叠加 DMAC 专用 MPU 单元，保障系统运行的安全性。

HC32D391FEUA 系列集成了高速片上存储器，包括最大 512KB 的 Flash，最大 192KB 的 SRAM。集成了 Flash 访问加速单元，实现 CPU 在 Flash 上的单周期程序执行。轮询式总线矩阵支持多个总线主机同时访问存储器和外设，提高运行性能。总线主机包括 CPU，DMA，USB 专用 DMA 等。除总线矩阵外，支持外设间数据传递，基本算术运算和事件相互触发，可以显著降低 CPU 的事务处理负荷。

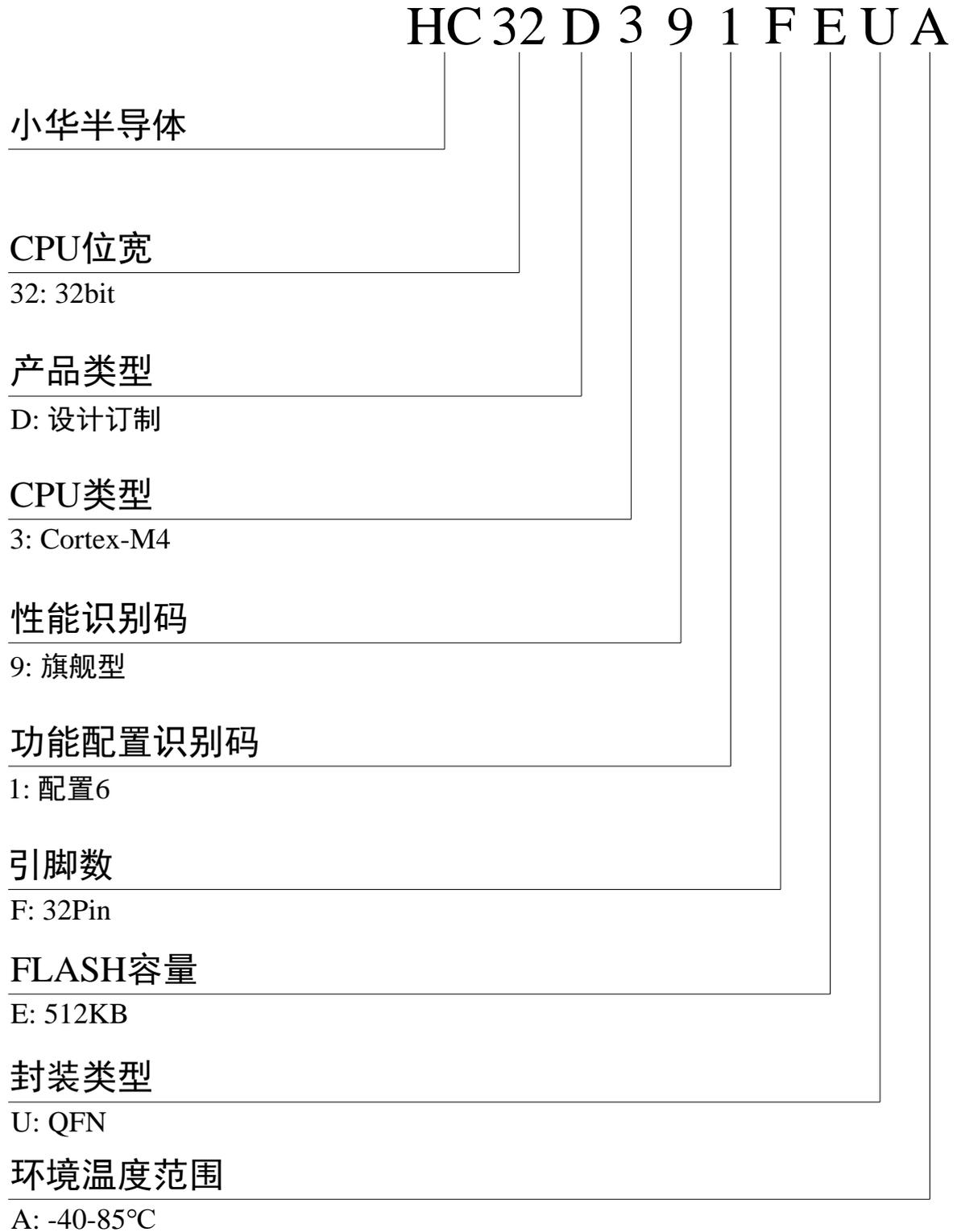
HC32D391FEUA 系列集成了丰富的外设功能。包括 1 个独立的 12bit 2.5MSPS ADC，1 个增益可调 PGA，3 个 16bit 通用 Timer (TimerA) 支持最大 24 路 Duty 独立可设 PWM 输出，8 个串行通信接口 (I2C/UART/SPI)，1 个 QSPI 接口，4 个 I2S 支持音频 PLL，1 个 USB FS Controller 带片上 FS PHY 支持 Device/Host。

HC32D391FEUA 系列支持宽电压范围 (1.8-3.6V)，宽温度范围 (-40-85°C) 和各种低功耗模式。Run 模式和 Sleep 模式下可切换超高速模式 ($\leq 200\text{MHz}$)、高速模式 ($\leq 168\text{MHz}$) 和超低速模式 ($\leq 8\text{MHz}$)。支持低功耗模式的快速唤醒，STOP 模式唤醒最快至 2us，Power Down 模式唤醒最快至 20us。

典型应用

HC32D391FEUA 系列提供 32pin 的 QFN 封装，适用于指纹锁模块等领域。

1.1 型号命名规则



1.2 型号功能对比表

功能	产品型号	
	HC32D391FEUA-QFN32TR	HC32D391FEUA-TFN32TR
Flash Memory (KB)	512	
引脚数	32	
GPIO数	25	
5V Tolerant GPIO数	23	
封装	QFN32 (4×4mm) 0.55mm	QFN32 (4×4mm) 0.75mm
温度范围	-40 ~ 85°C	
电源电压范围	1.8 ~ 3.6V	
OTP (Byte)	960	
SRAM (KB)	192	
DMA	2unit * 4ch	
外部端口中断	EIRQ * 13vec + NMI * 1ch	
Communication Interfaces (括号内是每一个ch最少所需IO数)	UART	3ch (2)
	SPI	3ch (3)
	I2C	2ch (2)
	I2S	4ch (3)
	QSPI	1ch (6)
	USB-FS	1ch (2)
Timers	Timer0	1unit
	TimerA	3unit
	WDT	1ch
	SWDT	1ch
	RTC	1ch
Analog	12bit ADC	1unit, 3ch
	PGA	1ch
	OTS	√
AES128	√	
HASH (SHA256)	√	
TRNG	√	
频率监测模块 (FCM)	√	
可编程电压检测功能(PVD)	√	
调试接口	SWD	
	JTAG	

表 1-1 型号功能对比表

1.3 功能框图

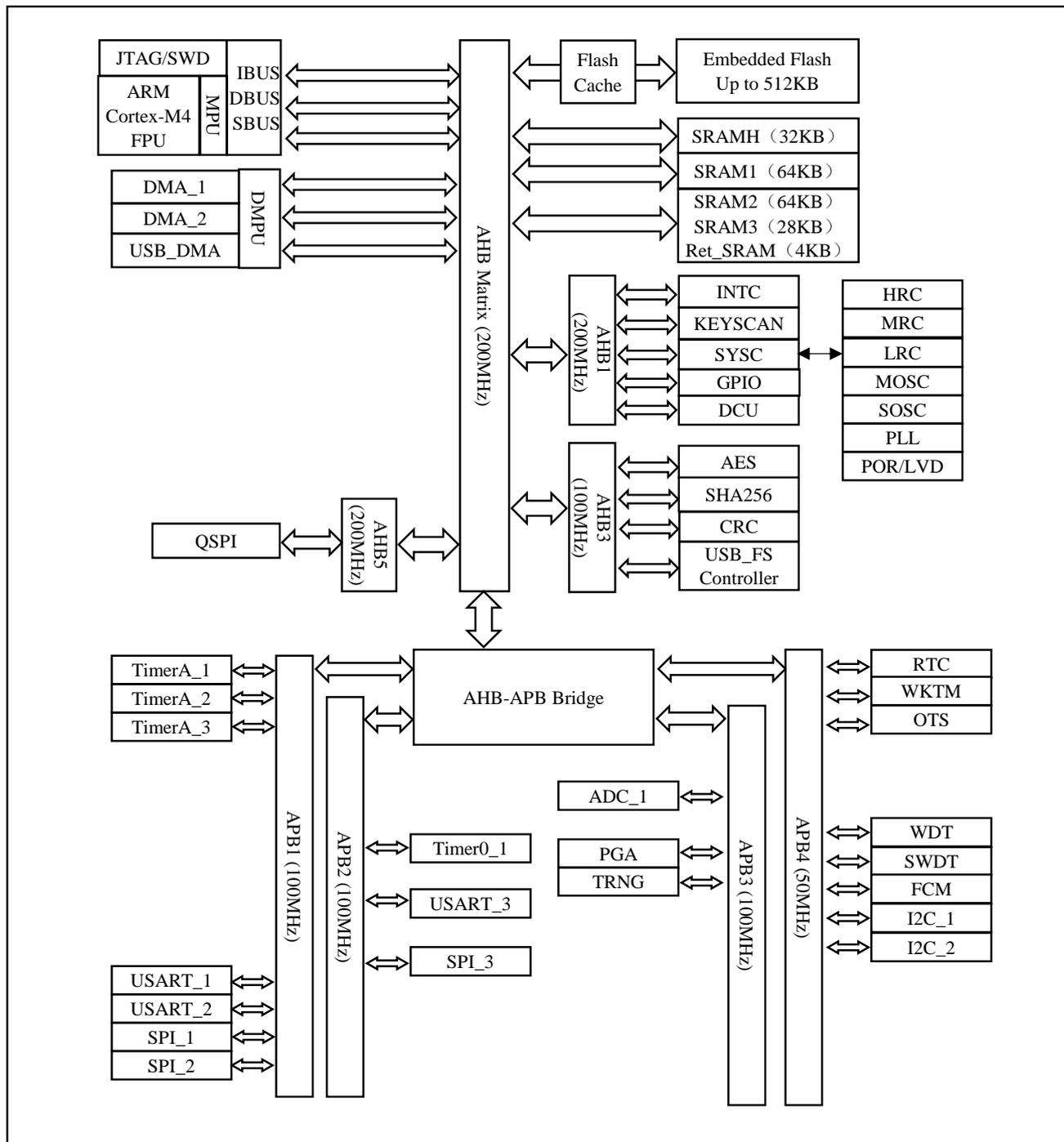


图 1-1 功能框图

1.4 功能简介

1.4.1 CPU

HC32D391FEUA 系列集成了最新一代的嵌入式 ARM® Cortex®-M4 with FPU 32bit 精简指令 CPU，实现了管脚少功耗低的同时，提供出色的运算性能和迅速的中断反应能力。片上集成的存储容量可以充分发挥出 ARM® Cortex®-M4 with FPU 出色的指令效率。CPU 支持 DSP 指令，可以实现高效信号处理运算和复杂算法。单点精度 FPU(Floating Point Unit) 单元可以避免指令饱和，加快软件开发。

1.4.2 总线架构 (BUS)

主系统由 32 位多层 AHB 总线矩阵构成，可实现以下主机总线和从机总线的互连。

主机总线

- Cortex-M4F 内核 CPUI 总线，CPUD 总线，CPUS 总线
- 系统 DMA_1 总线，系统 DMA_2 总线
- USB DMA 总线

从机总线

- Flash ICODE 总线
- Flash DCODE 总线
- Flash MCODE 总线(除 CPU 以外其他主机访问 Flash 的总线)
- SRAMH 总线(SRAMH 32kB)
- SRAMA 总线(SRAM1 64KB)
- SRAMB 总线(SRAM2 64KB, SRAM3 28KB, Ret_SRAM 4KB)
- APB1 外设总线(EMB/Timers/SPI/USART/I2S)
- APB2 外设总线(Timers/SPI/USART/I2S)
- APB3 外设总线(ADC/PGA/TRNG)
- APB4 外设总线(FCM/WDT/ OTS/RTC/WKTM/I2C)
- AHB1 外设总线(KEYSCAN/INTC/DCU/GPIO/SYSC)
- AHB3 外设总线(AES/HASH/CRC/USB FS)
- AHB5 外设总线(QSPI)

借助总线矩阵，可以实现主机总线到从机总线高效率的并发访问。

1.4.3 复位控制（RMU）

芯片配置了 14 种复位方式。

- 上电复位(POR)
- NRST 引脚复位(NRST)
- 欠压复位（BOR）
- 可编程电压检测 1 复位（PVD1R）
- 可编程电压检测 2 复位（PVD2R）
- 看门狗复位（WDTR）
- 专用看门狗复位（SWDTR）
- 掉电唤醒复位(PDRST)
- 软件复位(SRST)
- MPU 错误复位(MPUR)
- RAM 奇偶校验复位(RAMPR)
- RAMECC 复位(RAMECCR)
- 时钟异常复位(CKFER)
- 外部高速振荡器异常停振复位(XTALER)

1.4.4 时钟控制（CMU）

时钟控制单元提供了一系列频率的时钟功能，包括：一个外部高速振荡器，一个外部低速振荡器，两个 PLL 时钟，一个内部高速振荡器，一个内部中速振荡器，一个内部低速振荡器，一个 SWDT 专用内部低速振荡器，时钟预分频器，时钟多路复用和时钟门控电路。

时钟控制单元还提供时钟频率测量功能（FCM）。时钟频率测量电路使用测定基准时钟对测定对象时钟进行监视测定。在超出设定范围时发生中断或者复位。

AHB、APB 和 Cortex-M4 时钟都源自系统时钟，系统时钟的源可选择 6 个时钟源：

- 1) 外部高速振荡器（XTAL）
- 2) 外部低速振荡器（XTAL32）

- 3) MPLL 时钟 (MPLL)
- 4) 内部高速振荡器 (HRC)
- 5) 内部中速振荡器 (MRC)
- 6) 内部低速振荡器 (LRC)

系统时钟的最大运行时钟频率可以达到 200MHz。SWDT 有独立的时钟源：SWDT 专用内部低速振荡器 (SWDTLRC)。实时时钟 (RTC) 使用外部低速振荡器或者内部低速振荡器作为时钟源。USB-FS 的 48MHz 时钟，I2S 通信时钟可以选择系统时钟，MPLL，UPLL 作为时钟源。

对于每一个时钟源，在未使用时都可以单独打开和关闭，以降低功耗。

1.4.5 电源控制 (PWC)

电源控制器用来控制芯片的多个电源域在多个运行模式和低功耗模式下的电源供给、切换、检测。电源控制器由功耗控制逻辑(PWC)、电源电压检测单元(PVD)构成。

芯片的工作电压(VCC)为 1.8V 到 3.6V。电压调节器(LDO)为 VDD 域和 VDDR 域供电，VDDR 电压调压器(RLDO)在掉电模式时为 VDDR 域供电。芯片通过功耗控制逻辑(PWC)提供了超高速、高速、超低速三种运行模式，睡眠、停止和掉电等三种低功耗模式。

电源电压检测单元(PVD)提供了上电复位(POR)、掉电复位(PDR)、欠压复位(BOR)、可编程电压检测 1(PVD1)、可编程电压检测 2(PVD2)等功能，其中 POR、PDR、BOR 通过检测 VCC 电压，控制芯片复位动作。PVD1 通过检测 VCC 电压，根据寄存器设定使芯片产生复位或者中断。PVD2 通过检测 VCC 电压或者外部输入检测电压，根据寄存器选择产生复位或者中断。

VDDR 区域在芯片进入掉电模式后可以通过 RLDO 维持电源，保证实时时钟模块(RTC)、唤醒定时器(WKTM)能够继续动作，保持 4KB 的低功耗 SRAM(Ret-SRAM)的数据。模拟模块配备了专用供电引脚，提高了模拟性能。

1.4.6 初始化配置 (ICG)

芯片复位解除后，硬件电路会读取 FLASH 地址 0x00000400H~0x0000041FH (其中 0x00000408~0x0000041F 为预留功能地址，该 24byte 地址需要用户设定全 1 以确保芯片动作正常) 把数据加载到初始化配置寄存器，用户需要编程或擦除 FLASH 扇区 0 来

修改初始化配置寄存器。

1.4.7 嵌入式 FLASH 接口 (EFM)

FLASH 接口通过 AHB I-CODE 和 D-CODE 对 FLASH 进行访问，可对 FLASH 执行编程，擦除和全擦除操作；通过指令预取和缓存机制加速代码执行。

主要特性：

- 最大 512KByte FLASH 空间
- I-CODE 总线 16Byte 预取值
- I-CODE 和 D-CODE 总线上的共享 64 个缓存(1Kbyte)
- 提供 960Bbyte 一次性编程区域(OTP)
- 支持低功耗读操作
- 支持引导交换功能
- 支持安全保护及数据加密*1

*1：关于 Flash 安全保护及数据加密的具体规格，请咨询销售窗口

1.4.8 内置 SRAM (SRAM)

本产品带有 4KB 掉电模式保持 SRAM (Ret_SRAM) 和 188KB 系统 SRAM (SRAMH/SRAM1/ SRAM2/SRAM3)。

SRAM 可按照字节、半字 (16 位) 或全字 (32 位) 访问。读写操作以 CPU 速度执行，可插入等待周期。

Ret_SRAM 可在 Power down 模式下提供 4KB 的数据保持空间。

SRAM3 带有 ECC 校验 (Error Checking and Correcting)，ECC 校验为纠一检二码，即可以纠正一位错误，检查两位错误；SRAMH/SRAM1/SRAM2/Ret_SRAM 带有奇偶校验 (Even-parity check)，每字节数据带有一位校验位。

1.4.9 通用 IO (GPIO)

GPIO 主要特性：

- 支持上拉
- 支持推挽，开漏输出模式

- 支持高，中，低型驱动模式
- 支持外部中断的输入
- 支持 I/O pin 周边功能复用，每个 I/O pin 最多 16 个可选的复用功能，部分 I/O 最多 64 个功能可选
- 各个 I/O pin 可独立编程
- 各个 I/O pin 可以选择 2 个功能同时有效（不支持 2 个输出功能同时有效）

1.4.10 中断控制（INTC）

中断控制器（INTC）的功能为选择中断事件请求作为中断输入到 NVIC，唤醒 WFI；作为事件输入，唤醒 WFE。选择中断事件请求作为低功耗模式（休眠模式和停止模式）的唤醒条件；外部管脚 NMI 和 EIRQ 的中断控制功能；软件中断的中断/事件选择功能。

主要规格：

- 1) NVIC 中断向量：实际使用中中断向量数请参考用户手册（不包括 Cortex™-M4F 的 16 根中断线），每个中断向量可以根据中断选择寄存器选择对应的外设中断事件请求。更多关于异常和 NVIC 编程的说明，请参考《ARM Cortex™-M4F 技术参考手册》中的第 5 章：异常和第 8 章：嵌套向量中断控制器。
- 2) 可编程优先级：16 个可编程优先级（使用了 4 位中断优先级）。
- 3) 不可屏蔽中断：除 NMI 管脚作为不可屏蔽中断源以外，可以独立选择多种系统中断事件请求作为不可屏蔽中断，且各中断事件请求配备独立的使能选择，挂起，清除挂起寄存器。
- 4) 配备 13 个外部管脚中断。
- 5) 配置多种外设中断事件请求，具体请参考中断事件请求序号列表。
- 6) 配备 32 个软件中断事件请求。
- 7) 中断可唤醒系统休眠模式和停止模式。

1.4.11 键盘扫描（KEYSCAN）

KEYSCAN 模块支持键盘行列扫描，同外部中断 IRQ 组合可以实现按键识别功能，最大可以支持 13*1 的键盘阵列。

1.4.12 存储保护单元 (MPU)

MPU 可以提供对存储器的保护，通过阻止非授权的访问，可以提高系统的安全性。

本产品内置了四个针对主机的 MPU 单元和一个针对 IP 的 MPU 单元。

其中 ARM MPU 提供 CPU 对全部 4G 地址空间的访问权限控制。

DMA MPU (DMPU) 提供 DMA_1/DMA_2/USB FS DMA 对全部 4G 地址空间的读写访问权限控制。对禁止空间发生访问时，可以设置 MPU 动作为无视/总线错误/不可屏蔽中断/复位。

IP MPU 提供非特权模式时对系统 IP 和安全相关 IP 的访问权限控制。

1.4.13 DMA 控制器 (DMA)

DMA 用于在存储器和外围功能模块之间传送数据，能够在 CPU 不参与的情况下实现存储器之间，存储器和外围功能模块之间以及外围功能模块之间的数据交换。

- DMA 总线独立于 CPU 总线，按照 AMBA AHB-Lite 总线协议传输
- 拥有 8 个独立通道 (DMA_1 和 DMA_2 各 4 个通道)，可以独立操作不同的 DMA 传输功能
- 每个通道的启动请求源通过独立的触发源选择寄存器配置
- 每次请求传输一个数据块
- 数据块最小为 1 个数据，最多可以是 1024 个数据
- 每个数据可配置为 8bit, 16bit 或 32bit
- 可以配置最多 65535 次传输
- 源地址和目标地址可以独立配置为固定，自增，自减，循环或指定偏移量的跳转
- 可产生 3 种中断，块传输完成中断，传输完成中断，传输错误中断。每种中断都可以配置是否屏蔽。其中块传输完成，传输完成可作为事件输出，用作其它具有硬件触发功能外围模块的触发源输入
- 支持连锁传输功能，可实现一次请求传输多个数据块
- 支持外部事件触发通道重置
- 不使用时可设置进入模块停止状态以降低功耗

1.4.14 模数转换器（ADC）

12 位 ADC 是一种采用逐次逼近方式的模拟数字转换器。它最大拥有 3 个模拟输入通道，可以转换外部端口和内部的模拟信号。这些通道可以任意组合成一个序列进行逐次扫描转换，序列可以进行单次，或者连续扫描的转换。支持对任意指定通道进行连续多次转换并对转换结果进行平均。ADC 模块还搭载模拟看门狗功能，对任意指定通道的转换结果进行监视，检测是否超出用户设定的阈值。

ADC 主要特性

- 高性能
 - 可配置 12 位、10 位和 8 位分辨率
 - 周边时钟 PCLK4 和 A/D 转换时钟 ADCLK 的频率比可选择：
 - PCLK4: ADCLK=1: 1, 2: 1, 4: 1, 8: 1, 1: 2, 1: 4
 - ADCLK 可选与系统时钟 HCLK 异步的 PLL，此时 PCLK4 与 ADCLK 的时钟源同时被固定为 PLL，且频率比为 1: 1，原分频设定无效
 - 2.5MSPS（PCLK4=ADCLK=60MHz, 12 位，采样 11 周期）
 - 各通道采样时间独立编程
 - 各通道独立数据寄存器
 - 数据寄存器可配置数据对齐方式
 - 连续多次转换平均功能
 - 模拟看门狗，监视转换结果
 - 不使用时可以将 ADC 模块设定成停止状态
- 模拟输入通道
 - 最大 3 个外部模拟输入通道
 - 1 个内部基准电压
- 转换开始条件
 - 软件设置转换开始
 - 周边外设同步触发转换开始
- 转换模式
 - 2 个扫描序列 A、B，可任意指定单个或多个通道

- 序列 A 单次扫描
- 序列 A 连续扫描
- 双序列扫描，序列 A、B 独立选择触发源，序列 B 优先级高于 A
- 中断与事件信号输出
 - 序列 A 扫描结束中断 EOCA_INT 和事件 EOCA_EVENT
 - 序列 B 扫描结束中断 EOCB_INT 和事件 EOCB_EVENT
 - 模拟看门狗通道比较中断 CHCMP_INT 和事件 CHCMP_EVENT，序列比较中断 SEQCMP_INT 和事件 SEQCMP_EVENT
 - 上述 4 个事件均可启动 DMA

1.4.15 温度传感器 (OTS)

OTS 可以获取芯片内部的温度，以支持系统的可靠性操作。使用软件或者硬件触发启动测温后，OTS 提供一组与温度相关的数字量，通过计算公式可以计算得到温度值。

1.4.16 通用定时器 (TimerA)

通用定时器 A (TimerA) 是一个具有 16 位计数宽度、最大 8 路 PWM 输出的定时器。该定时器支持三角波和锯齿波两种波形模式，可生成各种 PWM 波形；支持软件同步启动计数；比较基准值寄存器支持缓存功能。本系列产品搭载 3 个单元 TimerA，最大可实现 24 路 PWM 输出。

1.4.17 通用定时器 (Timer0)

通用定时器 0 (Timer0) 是一个可以实现同步计数、异步计数两种方式的基本定时器。定时器内含 2 个通道，可以在计数期间产生比较匹配事件。该事件可以触发中断，也可作为事件输出来控制其它模块等。本系列产品中搭载 1 个单元的 Timer0。

1.4.18 实时时钟 (RTC)

实时时钟 (RTC) 是一个以 BCD 码格式保存时间信息的计数器。记录从 00 年到 99 年间的具体日历时间。支持 12/24 小时两种时制，根据月份和年份自动计算日数 28、29 (闰年)、30 和 31 日。

1.4.19 看门狗计数器（WDT）

看门狗计数器有两个，一种是计数时钟源为专用内部 RC（WDTCLK:10KHz）的专用看门狗计数器(SWDT),另一种是计数时钟源为 PCLK4 的通用看门狗计数器(WDT)。专用看门狗和通用看门狗是 16 位递减计数器,用来监测由于外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行而产生的软件故障。

两个看门狗都支持窗口功能。在计数开始前可预设窗口区间,计数值位于窗口区间时,可刷新计数器,计数重新开始。

1.4.20 串行通信接口（USART）

本产品搭载串行通信接口模块（USART）3 个单元。串行通信接口模块（USART）能够灵活地与外部设备进行全双工数据交换；本 USART 支持通用异步串行通信接口（UART）,时钟同步通信接口,智能卡接口 (ISO/IEC7816-3)。支持调制解调器操作 (CTS/RTS 操作),多处理器操作。

1.4.21 集成电路总线（I2C）

本产品搭载集成电路总线（I2C）2 个单元。I2C 用作微控制器和 I2C 串行总线之间的接口。提供多主模式功能,可以控制所有 I2C 总线的协议、仲裁。支持标准模式、快速模式。

1.4.22 串行外设接口（SPI）

本产品搭载 3 个通道的串行外设接口 SPI,支持高速全双工串行同步传输,方便地与外围设备进行数据交换。用户可根据需要进行三线/四线,主机/从机及波特率范围的设置。

1.4.23 四线式串行外设接口（QSPI）

四线式串行外设接口（QSPI）是一个存储器控制模块,主要用于和带 SPI 兼容接口的串行 ROM 进行通信。其对象主要包括有串行闪存,串行 EEPROM 以及串行 FeRAM。

1.4.24 集成电路内置音频总线 (I2S)

I2S (Inter_IC Sound Bus), 集成电路内置音频总线, 该总线专责于音频设备之间的数据传输。本产品搭载 4 个 I2S, 具有以下特性。

功能	主要特性
通信方式	<ul style="list-style-type: none"> 支持全双工和半双工通信 支持主模式或从模式操作
数据格式	<ul style="list-style-type: none"> 可选通道长度: 16/32 位 可选传送数据长度: 16/24/32 位 数据移位顺序: MSB 开始
波特率	<ul style="list-style-type: none"> 8 位可编程线性预分频器, 可实现精确的音频采样频率 支持采样频率 192k, 96k, 48k, 44.1k, 32k, 22.05k, 16k, 8k 可输出驱动时钟以驱动外部音频元件, 比率固定为 256*Fs(Fs 为音频采样频率)
支持 I2S 协议	<ul style="list-style-type: none"> I2S Philips 标准 MSB 对齐标准 LSB 对齐标准 PCM 标准
数据缓冲	<ul style="list-style-type: none"> 带有 2 字深, 32 位宽的输入输出 FIFO 缓冲区域
时钟源	<ul style="list-style-type: none"> 可使用内部 I2SCLK(UPLLQ/UPLLQ/UPLLQ/MPLLQ/MPLLQ/MPLLQ); 也可由 I2S_EXCK 引脚上的外部时钟提供
中断	<ul style="list-style-type: none"> 发送缓冲区有效空间达到报警阈值时产生中断 接收缓冲区有效空间达到报警阈值时产生中断 接收数据区域已满仍有写入数据请求, 接收上溢 发送数据区域已空仍有发送请求, 发送下溢 发送数据区域已满仍有写入数据请求, 发送上溢

1.4.25 USB2.0 全速模块 (USB FS)

本产品搭载 USB2.0 全速模块 (USB FS) 1 个单元, 内置片上全速 PHY。USB FS 是一款双角色(DRD)控制器, 同时支持从机功能和主机功能。主机模式下, USB FS 支持全速和低速收发器, 而从机模式下仅支持全速收发器。

本产品搭载的 USB FS 模块在主机模式成功发送 SOF 令牌或从机模式成功接收到 SOF 令牌时可以产生 SOF 事件。

1.4.26 加密协处理模块 (CPM)

加密协处理模块 (CPM) 包括 AES 加解密算法处理器, HASH 安全散列算法, TRNG

真随机数发生器三个子模块。

AES 加解密算法处理器遵循标准的数据加密解密标准，可以实现 128 位密钥长度的加密运算和解密运算。

HASH 安全散列算法是 SHA-2 版本的 SHA-256 (Secure Hash Algorithm)，符合美国国家标准和技术局发布的国家标准“FIPS PUB 180-3”，可以对长度不超过 2^{64} 位的消息产生 256 位的消息摘要输出。

TRNG 真随机数发生器是以连续模拟噪声为基础的随机数发生器，提供 64bit 随机数。

1.4.27 数据计算单元 (DCU)

数据计算单元(Data Computing Unit)是一个不借助于 CPU 的简单处理数据的模块。每个 DCU 单元具有 3 个数据寄存器，能够进行 2 个数据的加减和比较大小，以及窗口比较功能。本产品搭载 4 个 DCU 单元，每个单元均可独立完成自身功能。

1.4.28 CRC 计算单元 (CRC)

本模块 CRC 算法遵从 ISO/IEC13239 的定义，分别采用 32 位和 16 位的 CRC。CRC32 的生成多项式为 $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$ 。CRC16 的生成多项式为 $X^{16}+X^{12}+X^5+1$ 。

2 引脚配置及功能 (Pinouts)

2.1 引脚配置图

QFN32

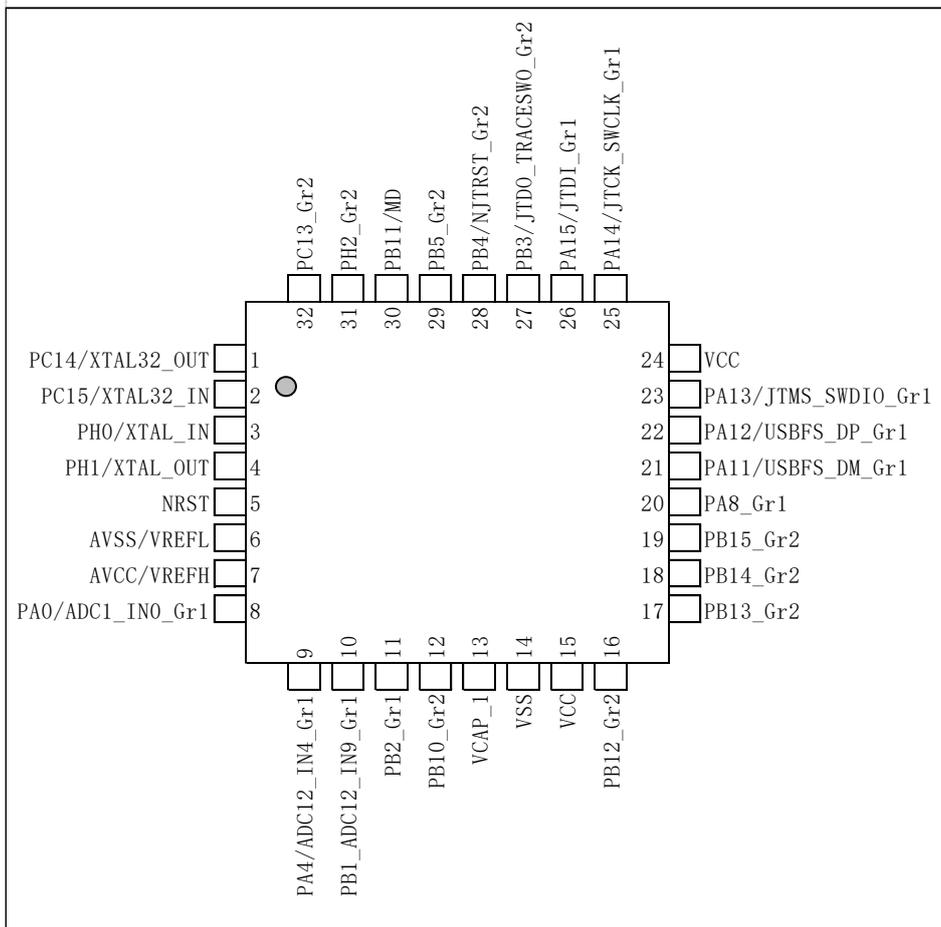


图 2-1 引脚配置图

2.2 引脚功能表

QFN 32	Pin Name	Analog	EIRQ/W KUP	JTAG/SWD	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16-31	Func32-63	
					GPO	other	-	-	TIMA	TIMA	-	USART/SPI/QSPI	KEY		USBFS/I2S	-	-	-	EVNTP	EVENTOUT	-	Communication Funes	
31	PH2		EIRQ2		GPO	FCMREF									I2S3_EXCK						EVENTOUT		Func_Grp2
32	PC13		EIRQ13		GPO	RTC_OUT									I2S3_MCK						EVNTP313		Func_Grp2
1	PC14	XTAL32_OUT	EIRQ14		GPO																EVNTP314		
2	PC15	XTAL32_IN	EIRQ15		GPO																EVNTP315		
3	PH0	XTAL_IN	EIRQ0		GPO																		
4	PH1	XTAL_OUT	EIRQ1		GPO																		
5	NRST																						
6	AVSS/VREFL																						
7	AVCC/VREFH																						
8	PA0	ADC1_IN0	EIRQ0/W KUP0_0		GPO				TIMA_2_PWM1			SPI_SS1									EVNTP100	EVENTOUT	Func_Grp1
9	PA4	ADC1_IN4	EIRQ4		GPO					TIMA_3_PWM5		USART2_CK	KEYOUT0		I2S1_EXCK						EVNTP104	EVENTOUT	Func_Grp1
10	PB1	ADC1_IN9	EIRQ1/W KUP0_1		GPO				TIMA_1_PWM7	TIMA_3_PWM4		QSPL_QSSN			I2S2_EXCK						EVNTP201	EVENTOUT	Func_Grp1
11	PB2	PVD2EXINP	EIRQ2/W KUP0_2		GPO	VCOUT123			TIMA_1_PWM8			QSPL_QSIO3			I2S2_MCK						EVNTP202	EVENTOUT	Func_Grp1
12	PB10		EIRQ10		GPO				TIMA_2_PWM3			QSPL_QSIO2			I2S3_EXCK						EVNTP210	EVENTOUT	Func_Grp2
13	VCAP_1																						
14	VSS																						
15	VCC																						
16	PB12		EIRQ12		GPO	VCOUT1			TIMA_1_PWM8			QSPL_QSIO1			I2S3_MCK						EVNTP212	EVENTOUT	Func_Grp2
17	PB13		EIRQ13		GPO	VCOUT2			TIMA_1_PWM5			QSPL_QSIO0									EVNTP213	EVENTOUT	Func_Grp2
18	PB14		EIRQ14		GPO	VCOUT3			TIMA_1_PWM6			QSPL_QSCK									EVNTP214	EVENTOUT	Func_Grp2
19	PB15		EIRQ15		GPO	RTC_OUT			TIMA_1_PWM7			USART3_CK									EVNTP215	EVENTOUT	Func_Grp2
20	PA8		EIRQ8/W KUP2_0		GPO	MCO_1			TIMA_1_PWM1			USART1_CK			USBFS_SOF						EVNTP108	EVENTOUT	Func_Grp1
21	PA11		EIRQ11/WKUP2_3		GPO				TIMA_1_PWM4						USBFS_DM						EVNTP111	EVENTOUT	Func_Grp1
22	PA12		EIRQ12/WKUP3_0		GPO										USBFS_DP						EVNTP112	EVENTOUT	Func_Grp1
23	PA13		EIRQ13/WKUP3_1	JTMS_SWDI	GPO				TIMA_2_PWM5			SPI2_SS1									EVNTP113	EVENTOUT	Func_Grp1
24	VCC																						
25	PA14		EIRQ14/WKUP3_2	JTCK_SWCLK	GPO				TIMA_2_PWM6			SPI2_SS2			I2S1_EXCK						EVNTP114	EVENTOUT	Func_Grp1

QFN 32	Pin Name	Analog	EIRQ/W KUP	JTAG/SWD	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9	Func10	Func11	Func12	Func13	Func14	Func15	Func16-31	Func32-63	
					GPO	other	-	-	TIMA	TIMA	-	USART/SPI/ QSPI	KEY		USBFS/I2S	-	-	-				EVNTP1	EVENTOUT
26	PA15		EIRQ15/ WKUP3_3	JTDI	GPO				TIMA_2_PW M1			SPI2_SS3			I2S1_MCK					EVNTP115	EVENTOUT		Func_Grp1
27	PB3		EIRQ3/W KUP0_3	JTDO_TRAC ESWO	GPO	FCMREF			TIMA_2_PW M2											EVNTP203	EVENTOUT		Func_Grp2
28	PB4		EIRQ4/W KUP1_0	NJTRST	GPO				TIMA_3_PW M1											EVNTP204	EVENTOUT		Func_Grp2
29	PB5		EIRQ5/W KUP1_1		GPO				TIMA_3_PW M2						I2S4_EXCK					EVNTP205	EVENTOUT		Func_Grp2
30	PB11/MD		NMI																	EVNTP211			

表 2-1 引脚功能表

注：

- 上表中，有 20 个引脚支持 Func32~63 功能选择，Func32~63 主要为串行通信功能（包含 USART，SPI，I2C，I2S），分成两组 Func_Grp1, Func_Grp2。详细请参考表 2-2。

	Func32	Func33	Func34	Func35	Func36	Func37	Func38	Func39	Func40	Func41	Func42	Func43	Func44	Func45	Func46	Func47
Func_Grp 1	USART1_ TX	USART1_ RX	USART1_R TS	USART1_C TS	USART2_ TX	USART2_ RX	USART2_R TS	USART2_C TS	SPI1_MO SI	SPI1_MIS O	SPI1_SS0	SPI1_SC K	SPI2_MO SI	SPI2_MIS O	SPI2_SS0	SPI2_SC K
Func_Grp 2	USART3_ TX	USART3_ RX	USART3_R TS	USART3_C TS					SPI3_MO SI	SPI3_MIS O	SPI3_SS0	SPI3_SC K				

	Func48	Func49	Func50	Func51	Func52	Func53	Func54	Func55	Func56	Func57	Func58	Func59	Func60	Func61	Func62	Func63
Func_Grp 1	I2C1_SDA	I2C1_SCL	I2C2_SDA	I2C2_SCL	I2S1_SD	I2S1_SDIN	I2S1_WS	I2S1_CK	I2S2_SD	I2S2_SDI N	I2S2_WS	I2S2_CK				
Func_Grp 2					I2S3_SD	I2S3_SDIN	I2S3_WS	I2S3_CK	I2S4_SD	I2S4_SDI N	I2S4_WS	I2S4_CK				

表 2-2 Func32~63 表

Package	Port Group	Bits														Pin Count			
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Total	
QFN32	PortA	0	0	0	0	0	-	-	0	-	-	-	0	-	-	-	0	8	25
	PortB	0	0	0	0	0	0	-	-	-	-	0	0	0	0	0	-	11	
	PortC	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-	-	3	
	PortH	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0	3	
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

表 2-3 端口配置

	Port	上拉	开漏输出	驱动能力	5V 耐压	备注
PortA	PA0,PA4,PA8 PA11~PA15	支持	支持	低,中,高	支持 *	
	PA11, PA12	支持	支持	低,中,高	不支持	
PortB	PB1~PB5, PB12~PB15	支持	支持	低,中,高	支持 *	
	PB11	支持	-	-	支持	输入专用
PortC	PC13~PC15	支持	支持	低,中,高	支持 *	
PortH	PH0~PH2	支持	支持	低,中,高	支持	

表 2-4 通用功能规格

注:

- 用作模拟功能时，输入电压不得高于 VREFH/AVCC。

2.3 引脚功能说明

类别	功能名	I/O	说明
Power	VCC	I	电源
	VSS	I	电源地
	VCAP_1	IO	内核电压
	AVCC/ VREFH	I	模拟电源/模拟参考电压
	AVSS/ VREFL	I	模拟电源地/模拟参考电压
System	NRST	I	复位引脚, 低有效
	MD	I	模式引脚
PVD	PVD2EXINP	I	PVD2 外部输入比较电压
Clock	XTAL_IN	I	外部主时钟振荡器接口
	XTAL_OUT	O	
	XTAL32_IN	I	外部副时钟(32K)振荡器接口
	XTAL32_OUT	O	
	MCO_1	O	内部时钟输出
GPIO	GPIOxy (x= A~C,H, y=0~15)	IO	通用输入输出
EVENTOUT	EVENTOUT	O	Cortex-M4 CPU 事件输出
EIRQ	EIRQx (x=0~15)	I	可屏蔽外部中断
	WKUPx_y (x,y=0~3)	I	PowerDown 模式外部唤醒输入
	NMI	I	非可屏蔽外部中断
Event Port	EVNTPxy (x=1~4, y=0~15)	IO	事件端口输入输出功能
Key	KEYOUT0	O	KEYSCAN 扫描输出信号
JTAG/SWD	JTCK_SWCLK	I	在线调试接口
	JTMS_SWDIO	IO	
	JTDO_TRACESWO	O	
	JTDI	I	
	NJTRST	I	
FCM	FCMREF	I	时钟频率计测用外部基准时钟输入
RTC	RTCOUT	O	1Hz 时钟输出
TimerA	TIMA_x_PWMY (y=1~8)	O	外部事件触发输入或 PWM 端口输出
USARTx (x=1~3)	USARTx_TX	IO	发送数据
	USARTx_RX	IO	接收数据
	USARTx_CK	IO	通信时钟
	USARTx_RTS	O	请求发送信号

	USARTx_CTS	I	清除发送信号
SPIx (x=1~3)	SPIx_MISO	IO	主输入/从输出数据传输引脚
	SPIx_MOSI	IO	主输出/从输入数据传输引脚
	SPIx_SCK	IO	传输时钟
	SPIx_SS0	IO	从机选择输入输出引脚
	SPIx_SS1~3	O	从机选择输出引脚
QSPI	QSPI_QSIO0~3	IO	数据线
	QSPI_QSCK	O	时钟输出
	QSPI_QSSN	O	从机选择
I2Cx (x=1~2)	I2Cx_SCL	IO	时钟线
	I2Cx_SDA	IO	数据线
I2Sx (x=1~4)	I2Sx_SD	IO	串行数据
	I2Sx_SDIN	I	全双工串行数据输入
	I2Sx_WS	IO	字选择
	I2Sx_CK	IO	串行时钟
	I2Sx_EXCK	I	外部时钟源
	I2Sx_MCK	O	主时钟
USBFS	USBFS_DM	IO	USBFS 片上全速 PHY D-信号
	USBFS_DP	IO	USBFS 片上全速 PHY D+信号
	USBFS_VBUS	I	USBFS VBUS 信号
	USBFS_ID	I	USBFS ID 信号
	USBFS_SOF	O	USBFS SOF 脉冲输出信号
	USBFS_DRVVBUS	O	USBFS VBUS 驱动许可信号
ADC	ADC1_INx (x=0,4,9)	I	ADC1 外部模拟输入端口

表 2-5 引脚功能说明

2.4 引脚使用说明

引脚名	使用说明
VCC	电源，接 1.8V~3.6V 电压，并就近与 VSS 引脚接去耦电容（参考电气特性）
VSS	电源地，接 0V
VCAP_1	内核电压，就近与 VSS 引脚接电容，以稳定内核电压（参考电气特性）
AVCC	模拟电源，给模拟模块供电，接与 VCC 相同电压（参考电气特性） 不使用模拟模块时，请与 VCC 短接
AVSS/VREFL	模拟电源地/参考电压，接与 AVSS 相同电压（参考电气特性） 不使用模拟模块时，请与 VSS 短接
VREFH	ADC1, ADC2 的模拟参考电压，接不高于 AVCC 的电压 不使用 ADC 时，请与 AVCC 短接
PB11/MD	模式输入，固定为输入状态。复位引脚（NRST）解除（从低电平变为高电平）时，本管脚必须固定为高电平。推荐接电阻（4.7KΩ）到 VCC（上拉）
NRST	复位引脚，低有效。不使用时接电阻到 VCC（上拉）
Pxy, x=A~C,H, y=0~15	通用引脚。用作输入功能时,输入电压不要超过 5V。用作模拟输入时，模拟电压不要超过 VREFH/AVCC 不使用时悬空，或者接电阻到 VCC（上拉）/VSS（下拉）

表 2-6 引脚使用说明

3 电气特性 (ECs)

3.1 参数条件

若无另行说明, 所有电压都以 VSS 为基准。

3.1.1 最小值和最大值

除非特别说明, 所有器件的最小值和最大值在最坏的环境温度、供电电压和时钟频率条件下由设计保证或者特性测试保证。

3.1.2 典型值

除非特别说明, 典型数据都是在 $T_A = 25\text{ }^\circ\text{C}$ 、 $V_{CC} = 3.3\text{ V}$ 条件下通过设计或者特性测试分析得到。

3.1.3 典型曲线

除非特别说明, 否则所有典型曲线未经测试, 仅供设计参考。

3.1.4 负载电容

图 3-1 (左) 中显示了用于测量引脚参数的负载条件。

3.1.5 引脚输入电压

图 3-1（右）中显示了器件引脚上输入电压的测量方法。

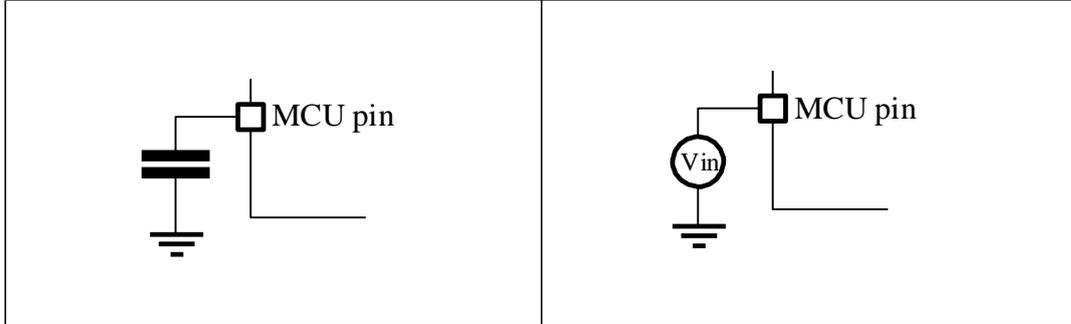


图 3-1 引脚负载条件（左）与输入电压测量（右）

3.1.6 电源方案

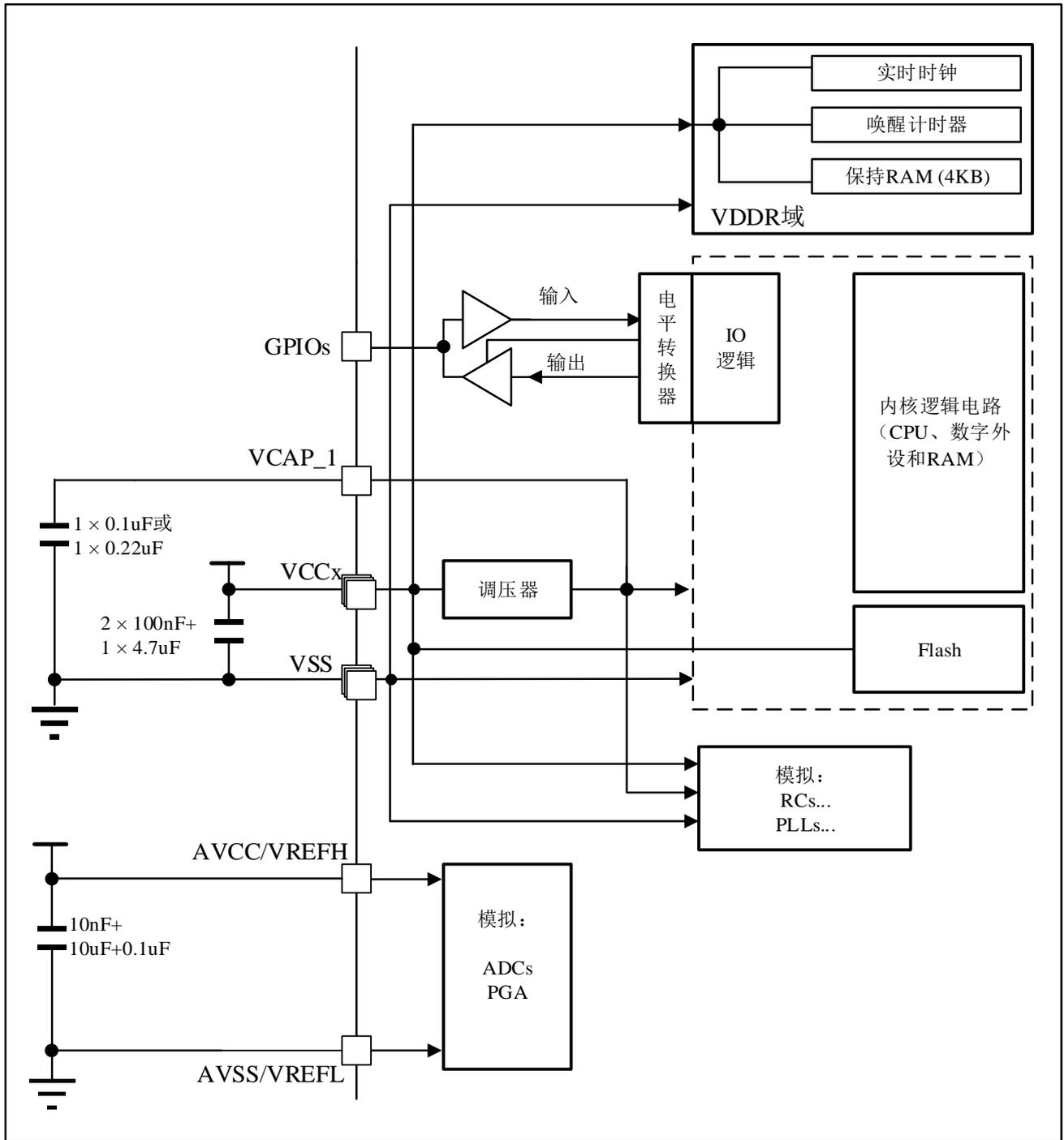


图 3-2 电源方案

1. 4.7 μ F 陶瓷电容必须连至 VCC 引脚之一。
2. AVSS=VSS。
3. 每个电源对（例如 VCC/VSS, AVCC/AVSS ...）必须使用上述的滤波陶瓷电容去耦。这些电容

必须尽量靠近或低于 PCB 下面的适当引脚，以确保器件正常工作。不建议去掉滤波电容来降低 PCB 尺寸或成本。这可能导致器件工作不正常。

4. 芯片的 VCAP_1/VCAP_2 管脚使用的电容如下：1) 同时存在 VCAP_1 和 VCAP_2 管脚的芯片，每个管脚可以使用 0.047uF 或者 0.1uF 电容（总容量为 0.094uF 或者 0.2uF）。2) 只有 VCAP_1 管脚的芯片，可以使用 0.1uF 或者 0.22uF 电容。从掉电模式唤醒时，内核电压建立过程中需要给 VCAP_1/VCAP_2 充电。一方面，较小的 VCAP_1/VCAP_2 总容量能够缩短充电时间，为应用带来快速响应能力；另一方面，较大的 VCAP_1/VCAP_2 总容量会延长充电时间，但是也提供更强的电磁兼容性(EMC)。用户可以根据电磁兼容性和系统响应速度的要求，选择较大或者较小的电容值。芯片的 VCAP_1/VCAP_2 总容量必须与 PWR_PWRC3.PDTS 位的赋值相匹配。VCAP_1/VCAP_2 的总容量为 0.2uF 或者 0.22uF 时，需要在进入掉电模式之前确保 PWR_PWRC3.PDTS 位清零。VCAP_1/VCAP_2 的总容量为 0.094uF 或者 0.1uF 时，需要在进入掉电模式之前确保 PWR_PWRC3.PDTS 位置位。
5. 主调压器的稳定性是通过将外部电容连接到 VCAP_1（或 VCAP_1/VCAP_2）引脚实现的，电容值 C_{EXT} 根据系统的稳定性要求确定。电容值 C_{EXT} 和 ESR 要求如下：

符号	参数	条件
C _{EXT}	外部电容的电容值	0.047μF / 0.1μF / 0.22uF
ESR	外部电容的等效串联电阻ESR	< 0.3 Ω

表 3-1 VCAP_1/VCAP_2 工作条件

3.1.7 电流消耗测量

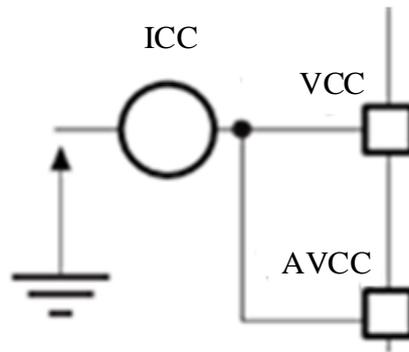


图 3-3 电流消耗测量方案

3.2 绝对最大额定值

如果加在器件上的载荷超过表 3-2 电压特性、表 3-3 电流特性和表 3-4 热特性中列出的绝对最大额定值，则可能导致器件永久损坏。这些数值只是额定应力，并不意味着器件在这些条件下功能正常。长期工作在最大额定值条件下可能会影响器件的可靠性。

符号	项目	最小值	最大值	单位
$V_{CC-V_{SS}}$	外部主电源电压（包括 AV_{CC} 、 V_{CC} ） ⁽¹⁾	-0.3	4.0	V
V_{IN}	5V耐压引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{CC}+4.0$ (最大5.8V)	
	PA11/USBFS_DM和PA12/USBFS_DP引脚上的输入电压	$V_{SS}-0.3$	4.0	
$V_{ESD(HBM)}$	静电放电电压(人体模型)	请参考 3.3.5 电气敏感性		-

表 3-2 电压特性

1. 在允许的范围内，所有主电源（ V_{CC} 、 AV_{CC} ）和接地（ V_{SS} 、 AV_{SS} ）引脚必须始终连接到外部电源。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见表 3-3。

符号	项目	最大值	单位
ΣI_{VCC}	流入所有 V_{CCX} 电源线的总电流（拉电流） ⁽¹⁾	240	mA
ΣI_{VSS}	流出所有 V_{SSX} 接地线的总电流（灌电流） ⁽¹⁾	-240	
I_{VCC}	流入每个 V_{CCX} 电源线的最大电流（拉电流） ⁽¹⁾	100	
I_{VSS}	流出每个 V_{SSX} 接地线的最大电流（灌电流） ⁽¹⁾	-100	
I_{IO}	任意 I/O 和控制引脚的输出灌电流	40	
	任意 I/O 和控制引脚的输出拉电流	-40	
ΣI_{IO}	所有 I/O 和控制引脚上的总输出灌电流	120	
	所有 I/O 和控制引脚上的总输出拉电流	-120	

表 3-3 电流特性

1. 在允许的范围内，所有主电源（ V_{CC} 、 AV_{CC} ）和接地（ V_{SS} 、 AV_{SS} ）引脚必须始终连接到外部电源。

符号	项目	数值	单位
T _{STG}	储存温度范围	-55 到 +125	°C
T _J	最大结温	125	°C

表 3-4 热特性

3.3 工作条件

3.3.1 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率	超高速模式 ^[1] PWRC2.DVS=00 PWRC2.DDAS=1111	0	-	200	MHz
		高速模式 ^[1] PWRC2.DVS=11 PWRC2.DDAS=1111	0	-	168	
		超低速模式 PWRC2.DVS=10 PWRC2.DDAS=1000	0	-	8	
V _{CC}	标准工作电压	-	1.8	-	3.6	V
V _{AVCC} ⁽²⁾	模拟工作电压	-	1.8	-	3.6	
V _{IN}	5V耐压引脚上的输入电压 ⁽³⁾	2 V ≤ V _{CC} ≤ 3.6 V	-0.3	-	5.5	
		V _{CC} ≤ 2 V	-0.3	-	5.2	
	PA11/USBFS_DM PA12/USBFS_DP 引脚的输入电压	-0.3	-	V _{CC} +0.3		
T _J	结温范围		-40	-	125	°C

表 3-5 通用工作条件

1. 量产测试保证。
2. 若存在 VREFH 引脚，则必须考虑下述条件：V_{AVCC}-V_{REFH} < 1.2 V。
3. 要使电压保持在高于 V_{CC}+0.3，必须禁止内部上拉/下拉电阻。

3.3.2 上电 / 掉电时的工作条件

TA 服从一般工作条件。

符号	参数	最小值	最大值	单位
t _{vcc}	VCC 上升时间速率	20	20000	μs/V
	VCC 下降时间速率	20	20000	

表 3-6 上电 / 掉电时的工作条件

3.3.3 复位和电源控制模块特性

符号	参数	条件		最小值	典型值	最大值	单位
V _{BOR}	BOR的监测电压	超高速模式	ICG1.BOR_LEV[1:0]=00	1.88	1.99	2.09	V
			ICG1.BOR_LEV [1:0]=01	1.99	2.09	2.20	V
			ICG1.BOR_LEV [1:0]=10	2.09	2.20	2.30	V
			ICG1.BOR_LEV [1:0]=11	2.30	2.40	2.51	V
		高速模式 超低速模式	ICG1.BOR_LEV[1:0]=00	1.80	1.90	2.00	V
			ICG1.BOR_LEV [1:0]=01	1.90	2.00	2.10	V
			ICG1.BOR_LEV [1:0]=10	2.00	2.10	2.20	V
			ICG1.BOR_LEV [1:0]=11	2.20	2.30	2.40	V
V _{PVD1}	PVD1监测电压 ⁽³⁾	超高速模式	PVD1LVL[2:0]=000	1.99	2.09	2.20	V
			PVD1LVL[2:0]=001	2.09	2.20	2.30	V
			PVD1LVL[2:0]=010	2.30	2.40	2.51	V
			PVD1LVL[2:0]=011	2.54	2.67	2.79	V
			PVD1LVL[2:0]=100	2.65	2.77	2.90	V
			PVD1LVL[2:0]=101	2.75	2.88	3.00	V
			PVD1LVL[2:0]=110	2.85	2.98	3.11	V
			PVD1LVL[2:0]=111	2.96	3.08	3.21	V
		高速模式 超低速模式	PVD1LVL[2:0]=000	1.90	2.00	2.10	V
			PVD1LVL[2:0]=001	2.00	2.10	2.20	V
			PVD1LVL[2:0]=010	2.20	2.30	2.40	V
			PVD1LVL[2:0]=011	2.43	2.55	2.67	V
			PVD1LVL[2:0]=100	2.53	2.65	2.77	V
			PVD1LVL[2:0]=101	2.63	2.75	2.87	V
			PVD1LVL[2:0]=110	2.73	2.85	2.97	V
			PVD1LVL[2:0]=111	2.83	2.95	3.07	V

符号	参数	条件	最小值	典型值	最大值	单位	
V _{PVD2}	PVD2监测电压 ⁽³⁾	超高速模式	PVD2LVL[2:0]=000	2.09	2.20	2.30	V
			PVD2LVL[2:0]=001	2.30	2.40	2.51	V
			PVD2LVL[2:0]=010	2.54	2.67	2.79	V
			PVD2LVL[2:0]=011	2.65	2.77	2.90	V
			PVD2LVL[2:0]=100	2.75	2.88	3.00	V
			PVD2LVL[2:0]=101	2.85	2.98	3.11	V
			PVD2LVL[2:0]=110	2.96	3.08	3.21	V
			PVD2LVL[2:0]=111 ⁽²⁾	1.05	1.15	1.25	V
		高速模式 超低速模式	PVD2LVL[2:0]=000	2.00	2.10	2.20	V
			PVD2LVL[2:0]=001	2.20	2.30	2.40	V
			PVD2LVL[2:0]=010	2.43	2.55	2.67	V
			PVD2LVL[2:0]=011	2.53	2.65	2.77	V
			PVD2LVL[2:0]=100	2.63	2.75	2.87	V
			PVD2LVL[2:0]=101	2.73	2.85	2.97	V
			PVD2LVL[2:0]=110 ⁽¹⁾	2.83	2.95	3.07	V
PVD2LVL[2:0]=111 ⁽²⁾	1.00	1.10	1.20	V			
V _{pvdhyst}	PVD1,2的迟滞 ⁽³⁾		-	100	-	mV	
V _{POR} ⁽¹⁾	上电/掉电复位阈值	上升沿VPOR	1.60	1.68	1.76	V	
		下降沿VPDR	1.56	1.64	1.72	V	
V _{PORhyst}	POR 迟滞		-	40	-	mV	
I _{RUSH}	调压器上电时的浪涌电流(POR或从待机唤醒)		-	100	150	mA	
T _{NRST}	NRST复位最低宽度		500	-	-	ns	
T _{RIPT}	内部复位时间		140	160	200	us	
T _{RSTTAO}	上电复位解除时间		-	2500	3000	us	

表 3-7 复位和电源控制模块特性

1. 量产测试保证。
2. PVD2LVDL[2:0] = 111 时，比较电压是 PVD2EXINP 管脚的外部输入比较电压
3. PVD1 监测电压是 VCC 电压下降时的监测电压;在 PVD2LVL[2:0]设置为 111 时 PVD2 监测电压是 PVDEXINP 电压下降时的监测电压，在 PVD2LVD[2:0]设置为 111 之外的值时 PVD2 监测电压是 VCC 电压下降时的监测电压。
4. PVD1,2 的迟滞是 VCC 上升时的监测电压与 VCC 下降时的监测电压的差值。
VCC 上升时的 PVD1 监测电压= $V_{pvd1} + V_{pvdhyst}$;
VCC 上升时的 PVD2 监测电压= $V_{pvd2} + V_{pvdhyst}$ 。

3.3.4 供电电流特性

电流消耗受多个参数和因素影响，其中包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及运行的代码等。

图 3-3 电流消耗测量方案中介绍了电流消耗的测量方法。本节所述各种运行模式下的电流消耗测量值都是在实验室条件下通过一套运行在 FLASH 的测试代码得出。

具体条件如下：

- 1) 所有 I/O 引脚都处于输入模式，VCC 或 VSS 上为静态值（无负载）。
- 2) 时钟频率选择超高速模式 $f_{\text{HCLK}}=200\text{MHz}$ ，
高速模式 $f_{\text{HCLK}}=168\text{MHz}/120\text{MHz}/24\text{MHz}$ 和超低速模式 $f_{\text{HCLK}}=8\text{MHz}/1\text{MHz}$ 。
- 3) 功耗模式分为：正常工作模式 ICC_RUN, 休眠模式 ICC_SLEEP, 停止模式 ICC_STP, 掉电模式 ICC_PD 以及 Dhrystone 工作模式 ICC_DHRYSTONE。
- 4) 外设时钟 ON/OFF 请参考具体电流测试项目。
- 5) 超高速模式 $f_{\text{HCLK}}=200\text{MHz}$ ，高速模式 $f_{\text{HCLK}}=168\text{MHz}/120\text{MHz}$ 下 PLL 处于开启状态。

模式	Parameter	Symbol	条件	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
超高速 模式	f _{HCLK} = 200MHz	ICC_RUN	while(1),全模块时钟OFF	-40	-	16	-	mA
			while(1),全模块时钟ON	-40	-	29	-	mA
		ICC_DHRystone	CACHE OFF	-40	-	17	-	mA
			CACHE ON	-40	-	19	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	11	-	mA
			全模块时钟ON	-40	-	24	-	mA
		ICC_RUN	while(1),全模块时钟OFF	25	-	16	-	mA
			while(1),全模块时钟ON	25	-	29	-	mA
		ICC_DHRystone	CACHE OFF	25	-	17	-	mA
			CACHE ON	25	-	19	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	11	-	mA
			全模块时钟ON	25	-	24	-	mA
		ICC_RUN	while(1),全模块时钟OFF	85	-	-	22	mA
			while(1),全模块时钟ON	85	-	-	35	mA
		ICC_DHRystone	CACHE OFF	85	-	-	22	mA
			CACHE ON	85	-	-	25	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	17	mA
			全模块时钟ON	85	-	-	30	mA
		ICC_RUN	while(1),全模块时钟OFF	105	-	-	25	mA
			while(1),全模块时钟ON	105	-	-	39	mA
ICC_DHRystone	CACHE OFF	105	-	-	24	mA		
	CACHE ON	105	-	-	29	mA		
ICC_SLEEP	全模块时钟OFF	105	-	-	21	mA		
	全模块时钟ON	105	-	-	34	mA		

表 3-8 超高速模式电流消耗

1. Typ 电压条件 V_{CC}=3.3V
2. Max 电压条件 V_{CC}=1.8~3.6V

模式	Parameter	Symbol	条件	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
高速 模式	f _{HCLK} = 168MHz	ICC_RUN	while(1),全模块时钟OFF	-40	-	13	-	mA
			while(1),全模块时钟ON	-40	-	23	-	mA
		ICC_DHRYSTONE	CACHE OFF	-40	-	14	-	mA
			CACHE ON	-40	-	15	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	9	-	mA
			全模块时钟ON	-40	-	19	-	mA
		ICC_RUN	while(1),全模块时钟OFF	25	-	13	-	mA
			while(1),全模块时钟ON	25	-	23	-	mA
		ICC_DHRYSTONE	CACHE OFF	25	-	14	-	mA
			CACHE ON	25	-	15	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	9	-	mA
			全模块时钟ON	25	-	19	-	mA
		ICC_RUN	while(1),全模块时钟OFF	85	-	-	18	mA
			while(1),全模块时钟ON	85	-	-	28	mA
		ICC_DHRYSTONE	CACHE OFF	85	-	-	18	mA
			CACHE ON	85	-	-	20	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	14	mA
			全模块时钟ON	85	-	-	24	mA
		ICC_RUN	while(1),全模块时钟OFF	105	-	-	20	mA
			while(1),全模块时钟ON	105	-	-	31	mA
		ICC_DHRYSTONE	CACHE OFF	105	-	-	19	mA
			CACHE ON	105	-	-	23	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	17	mA
			全模块时钟ON	105	-	-	27	mA

表 3-9 高速模式电流消耗 1

1. Typ 电压条件 V_{CC}=3.3V
2. Max 电压条件 V_{CC}=1.8~3.6V

模式	Parameter	Symbol	条件	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
高速 模式	f _{HCLK} = 120MHz	ICC_RUN	while(1),全模块时钟OFF	-40	-	9.5	-	mA
			while(1),全模块时钟ON	-40	-	16.5	-	mA
		ICC_DHRystone	CACHE OFF	-40	-	10	-	mA
			CACHE ON	-40	-	11.5	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	7	-	mA
			全模块时钟ON	-40	-	14.5	-	mA
		ICC_RUN	while(1),全模块时钟OFF	25	-	9.5	-	mA
			while(1),全模块时钟ON	25	-	16.5	-	mA
		ICC_DHRystone	CACHE OFF	25	-	10	-	mA
			CACHE ON	25	-	11.5	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	7	-	mA
			全模块时钟ON	25	-	14.5	-	mA
		ICC_RUN	while(1),全模块时钟OFF	85	-	-	14	mA
			while(1),全模块时钟ON	85	-	-	22	mA
		ICC_DHRystone	CACHE OFF	85	-	-	14	mA
			CACHE ON	85	-	-	17	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	12	mA
			全模块时钟ON	85	-	-	20	mA
		ICC_RUN	while(1),全模块时钟OFF	105	-	-	16	mA
			while(1),全模块时钟ON	105	-	-	25	mA
		ICC_DHRystone	CACHE OFF	105	-	-	15	mA
			CACHE ON	105	-	-	19	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	15	mA
			全模块时钟ON	105	-	-	22	mA

表 3-10 高速模式电流消耗 2

1. Typ 电压条件 V_{CC}=3.3V
2. Max 电压条件 V_{CC}=1.8~3.6V

模式	Parameter	Symbol	条件	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
高速 模式	f _{HCLK} = 24MHz	ICC_RUN	while(1),全模块时钟OFF	-40	-	3	-	mA
			while(1),全模块时钟ON	-40	-	6	-	mA
		ICC_DHRYSTONE	CACHE OFF	-40	-	3.5	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	2	-	mA
			全模块时钟ON	-40	-	5.5	-	mA
		ICC_RUN	while(1),全模块时钟OFF	25	-	3	-	mA
			while(1),全模块时钟ON	25	-	6	-	mA
		ICC_DHRYSTONE	CACHE OFF	25	-	3.5	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	2	-	mA
			全模块时钟ON	25	-	5.5	-	mA
		ICC_RUN	while(1),全模块时钟OFF	85	-	-	8	mA
			while(1),全模块时钟ON	85	-	-	12	mA
		ICC_DHRYSTONE	CACHE OFF	85	-	-	7	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	8	mA
			全模块时钟ON	85	-	-	11	mA
		ICC_RUN	while(1),全模块时钟OFF	105	-	-	10	mA
			while(1),全模块时钟ON	105	-	-	14	mA
		ICC_DHRYSTONE	CACHE OFF	105	-	-	8	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	10	mA
			全模块时钟ON	105	-	-	14	mA

表 3-11 高速模式电流消耗 3

1. Typ 电压条件 V_{CC}=3.3V
2. Max 电压条件 V_{CC}=1.8~3.6V

模式	Parameter	Symbol	条件	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
超低速 模式	f _{HCLK} = 8MHz	ICC_RUN	while(1),全模块时钟OFF	-40	-	1	-	mA
			while(1),全模块时钟ON	-40	-	3.5	-	mA
		ICC_DHRYSTONE	CACHE OFF	-40	-	1.5	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	1.2	-	mA
			全模块时钟ON	-40	-	3.2	-	mA
		ICC_RUN	while(1),全模块时钟OFF	25	-	1	-	mA
			while(1),全模块时钟ON	25	-	3.5	-	mA
		ICC_DHRYSTONE	CACHE OFF	25	-	1.5	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	1.2	-	mA
			全模块时钟ON	25	-	3.2	-	mA
		ICC_RUN	while(1),全模块时钟OFF	85	-	-	4	mA
			while(1),全模块时钟ON	85	-	-	6	mA
		ICC_DHRYSTONE	CACHE OFF	85	-	-	4	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	3.5	mA
			全模块时钟ON	85	-	-	6	mA
		ICC_RUN	while(1),全模块时钟OFF	105	-	-	6	mA
			while(1),全模块时钟ON	105	-	-	7	mA
		ICC_DHRYSTONE	CACHE OFF	105	-	-	4.5	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	4	mA
			全模块时钟ON	105	-	-	6.5	mA

表 3-12 超低速模式电流消耗 1

1. Typ 电压条件 V_{CC}=3.3V
2. Max 电压条件 V_{CC}=1.8~3.6V

模式	Parameter	Symbol	条件	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
超低速 模式	f _{HCLK} = 1MHz	ICC_RUN	while(1),全模块时钟OFF	-40	-	0.7	-	mA
			while(1),全模块时钟ON	-40	-	2.5	-	mA
		ICC_DHRystone	CACHE OFF	-40	-	0.9	-	mA
		ICC_SLEEP	全模块时钟OFF	-40	-	0.9	-	mA
			全模块时钟ON	-40	-	2.4	-	mA
		ICC_RUN	while(1),全模块时钟OFF	25	-	0.7	-	mA
			while(1),全模块时钟ON	25	-	2.5	-	mA
		ICC_DHRystone	CACHE OFF	25	-	0.9	-	mA
		ICC_SLEEP	全模块时钟OFF	25	-	0.9	-	mA
			全模块时钟ON	25	-	2.4	-	mA
		ICC_RUN	while(1),全模块时钟OFF	85	-	-	4	mA
			while(1),全模块时钟ON	85	-	-	5	mA
		ICC_DHRystone	CACHE OFF	85	-	-	3.5	mA
		ICC_SLEEP	全模块时钟OFF	85	-	-	3.5	mA
			全模块时钟ON	85	-	-	5	mA
		ICC_RUN	while(1),全模块时钟OFF	105	-	-	5	mA
			while(1),全模块时钟ON	105	-	-	5.5	mA
		ICC_DHRystone	CACHE OFF	105	-	-	4	mA
		ICC_SLEEP	全模块时钟OFF	105	-	-	5	mA
			全模块时钟ON	105	-	-	5.5	mA

表 3-13 超低速模式电流消耗 2

1. Typ 电压条件 V_{CC}=3.3V
2. Max 电压条件 V_{CC}=1.8~3.6V

模式	Parameter	Symbol	条件(VCC=3.3V)	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
停止模式	-	ICC_STP	PWR_PWRC1.STPDAS=00	-40	-	160	-	uA
			PWR_PWRC1.STPDAS=11	-40	-	30	-	uA
			PWR_PWRC1.STPDAS=00	25	-	220	-	uA
			PWR_PWRC1.STPDAS=11	25	-	80	-	uA
			PWR_PWRC1.STPDAS=00	85	-	-	3600	uA
			PWR_PWRC1.STPDAS=11	85	-	-	3400	uA
			PWR_PWRC1.STPDAS=00	105	-	-	4800	uA
			PWR_PWRC1.STPDAS=11 ⁽³⁾	105	-	-	4600	uA
掉电模式	-	ICC_PD	掉电模式1	-40	-	10	-	uA
			掉电模式2	-40	-	4	-	uA
			掉电模式3	-40	-	1.8	-	uA
			掉电模式4	-40	-	1.8	-	uA
			掉电模式2+XTAL32+RTC	-40	-	6	-	uA
			掉电模式2+LRC+RTC	-40	-	9	-	uA
			掉电模式1	25	-	10	-	uA
			掉电模式2	25	-	4	-	uA
			掉电模式3	25	-	1.8	-	uA
			掉电模式4	25	-	1.8	-	uA
			掉电模式2+XTAL32+RTC	25	-	6	-	uA
			掉电模式2+LRC+RTC	25	-	9	-	uA
			掉电模式1	85	-	-	21	uA
			掉电模式2	85	-	-	19	uA
			掉电模式3	85	-	-	19	uA
			掉电模式4	85	-	-	19	uA
			掉电模式2+XTAL32+RTC	85	-	-	21	uA
			掉电模式2+LRC+RTC	85	-	-	21	uA
			掉电模式1	105	-	-	35	uA
			掉电模式2	105	-	-	33	uA

模式	Parameter	Symbol	条件(VCC=3.3V)	Ta (°C)	产品规格			Unit
					Min	Typ ⁽¹⁾	Max ⁽²⁾	
			掉电模式3	105	-	-	30	uA
			掉电模式4 ⁽³⁾	105	-	-	30	uA
			掉电模式2+XTAL32+RTC	105	-	-	35	uA
			掉电模式2+LRC+RTC	105	-	-	35	uA

表 3-14 低功耗模式电流消耗

1. Typ 电压条件 $V_{CC}=3.3V$
2. Max 电压条件 $V_{CC}=1.8\sim 3.6V$
3. 量产测试保证。

Item	Parameter	Symbol	条件(VCC=AVCC=3.3V)	Ta (°C)	产品规格			Unit
					Min	Typ	Max	
模块 电流	-	ICC_MODULE	XTAL振荡模式大驱动24MHz	25	-	1.8	-	mA
			振荡模式中驱动16MHz	25	-	1	-	mA
			振荡模式小驱动10MHz	25	-	0.8	-	mA
			振荡模式超小驱动8MHz	25	-	0.6	-	mA
			XTAL 32K	25	-	0.5	-	mA
			HRC	25	-	0.35	-	mA
			PLL (@480MHz)	25	-	2.3	-	mA
			PLL (@240MHz)	25	-	1.4	-	mA
			ADC	25	-	1.2	-	mA
			DAC	25	-	70	-	uA
			PGA	25	-	1	-	mA
			USBFS ⁽¹⁾	25	-	6	-	mA

表 3-15 模拟模块电流消耗

1. 包含控制部分与 USBPHY 通信时的电流。

3.3.5 电气敏感性

使用特定的测量方法对芯片进行不同的测试（ESD、LU），以确定其在电气敏感性方面的性能。

3.3.5.1 静电放电 (ESD)

根据每种引脚组合，对每个样本的引脚施加静电放电。此项测试符合 JESD22-A114/C101 标准。

符号	参数	条件	最大值	单位
V _{ESD(HBM)}	静电放电电压（人体模型）	T _A =+25 °C，符合 JESD22-A114 标准	4000	V
V _{ESD(CDM)}	静电放电电压（充电设备模型）	T _A =+25 °C，符合 JESD22-C101 标准	1000	

表 3-16 ESD 特性

3.3.5.2 静态 Latch-up

为评估静态 Latch-up 性能，需要对芯片执行两项互补的静态 Latch-up 测试：

- 对每个电源和模拟输入引脚施加过压
- 对其他输入、输出和可配置 I/O 引脚施加电流注入

这些测试符合 EIA/JESD 78A IC Latch-up 标准。

符号	参数	条件	最大值	单位
LU	静态Latch-up	T _A =+105 °C，符合 JESD78A 标准	200	mA

表 3-17 静态 Latch-up 特性

3.3.6 低功耗模式唤醒时序

唤醒时间测量方法为，从唤醒事件触发至 CPU 执行的第一条指令：

- 对于停止或睡眠模式：唤醒事件为 WFE。
- WKUP 引脚用于从待机、停止、睡眠模式唤醒。所有时序均在环境温度及 VCC=3.3V 测试得出。

符号	参数	条件	典型值	最大值	单位
T _{STOP1}	从停止模式唤醒	PWR_PWRC1.VHRCSD=1且 PWR_PWRC1.VPLLSD=1,系统时钟为MRC, 程序在RAM上执行	2	5	us
T _{STOP2}	从停止模式唤醒	系统时钟为MRC, 程序在Flash上执行	8	15	
T _{PD1} ⁽¹⁾	从掉电模式1唤醒	VCAP_1总容量为0.094uF或者0.1uF	15	25	
		VCAP_1总容量为0.2uF或者0.22uF	20	30	
T _{PD2} ⁽¹⁾	从掉电模式2唤醒	VCAP_1总容量为0.094uF或者0.1uF	40	50	
		VCAP_1总容量为0.2uF或者0.22uF	45	55	
T _{PD3} ⁽¹⁾	从掉电模式3唤醒	VCAP_1总容量为0.094uF或者0.1uF	2500	3000	
		VCAP_1总容量为0.2uF或者0.22uF	2500	3000	
T _{PD4} ⁽¹⁾	从掉电模式4唤醒	VCAP_1总容量为0.094uF或者0.1uF	65	75	
		VCAP_1总容量为0.2uF或者0.22uF	70	80	

表 3-18 低功耗模式唤醒时间

1. 芯片的 VCAP_1 总容量必须与 PWR_PWRC3.PDTS 位的赋值相匹配。VCAP_1 的总容量为 0.2uF 或者 0.22uF 时，需要在进入掉电模式之前确保 PWR_PWRC3.PDTS 位清零。VCAP_1 的总容量为 0.094uF 或者 0.1uF 时，需要在进入掉电模式之前确保 PWR_PWRC3.PDTS 位置位。

3.3.7 I/O 端口特性

常规输入/输出特性

符号	参数		条件	最小值	典型值	最大值	单位
$V_{IL}^{(1)}$	输入低电平		$1.8 \leq V_{CC} \leq 3.6$	-	-	$0.2V_{CC}$	V
$V_{IH}^{(1)}$	输入高电平		$1.8 \leq V_{CC} \leq 3.6$	$0.8V_{CC}$	-	-	V
V_{HYS}	输入迟滞		$1.8 \leq V_{CC} \leq 3.6$	-	0.2	-	V
$I_{LKG}^{(1)}$	I/O输入泄露电流		$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	± 1	μA
			$V_{IN} = 5.5V^{(2)}$	-	-	5	μA
$R_{PU}^{(1)}$	弱上拉 等效电 阻	USBFS_DP、 USBFS_DM	-	-	1.5	-	$k\Omega$
		除了的USBFS_DP和 USBFS_DM的其他输入 引脚	$V_{IN} = V_{SS}$	-	30	-	$k\Omega$
C_{IO}	I/O引脚 电容	PA11/USBFS_DM PA12/USBFS_DP	-	-	10	-	pF
		除了PA11/USBFS_DM和 PA12/USBFS_DP的其他 输入引脚	-	-	5	-	pF

表 3-19 I/O 静态特性

1. 量产测试保证。
2. 要使电压保持在高于 $V_{CC}+0.3 V$ ，必须禁止内部上拉 / 下拉电阻。

输出电压

驱动设置	符号	参数	条件	最小值	典型值	最大值	单位
低驱动	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 1.5\text{mA}, 1.8\leq V_{CC}<2.7$	-	-	0.4	V
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 3\text{mA}, 2.7\leq V_{CC}\leq 3.6$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 6\text{mA}, 2.7\leq V_{CC}\leq 3.6$	-	-	1.3	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-1.3$	-	-	
中驱动	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 3\text{mA}, 1.8\leq V_{CC}<2.7$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 5\text{mA}, 2.7\leq V_{CC}\leq 3.6$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 12\text{mA}, 2.7\leq V_{CC}\leq 3.6$	-	-	1.3	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-1.3$	-	-	
高驱动	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 6\text{mA}, 1.8\leq V_{CC}<2.7$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 8\text{mA}, 2.7\leq V_{CC}\leq 3.6$	-	-	0.4	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-0.4$	-	-	
	$V_{OL}^{(1)(2)}$	低电平输出	$I_{IO}=\pm 20\text{mA}, 2.7\leq V_{CC}\leq 3.6$	-	-	1.3	
	$V_{OH}^{(1)(3)}$	高电平输出		$V_{CC}-1.3$	-	-	

表 3-20 输出电压特性

1. 量产测试保证。
2. 器件的 I_{IO} 灌电流必须一直考虑表 3-3 中规定的绝对最大额定。 I_{IO} (I/O 端口和控制引脚) 之和一定不能超过 I_{VSS} 。
3. 器件的 I_{IO} 拉电流必须始终遵循表 3-3 所列的绝对最大额定值, I_{IO} (I/O 端口和控制引脚) 的总和不得超过 I_{VCC} 。

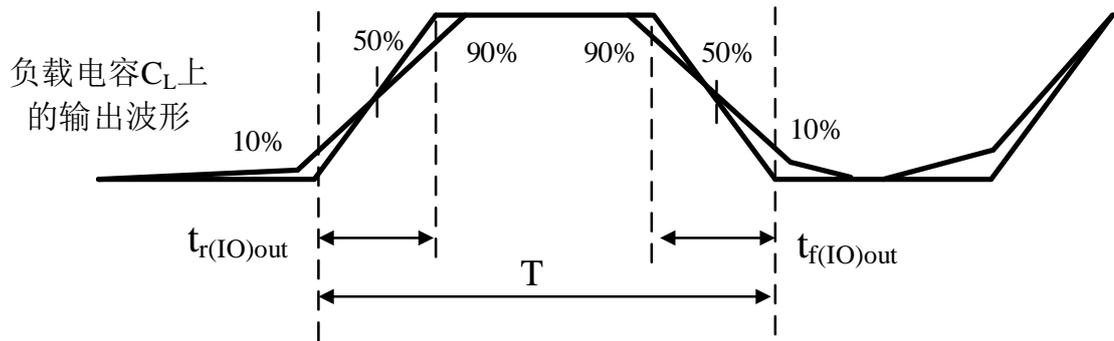
输入/输出交流特性

驱动设置	符号	参数	条件 ⁽³⁾	最小值	典型值	最大值	单位
低驱动	$f_{\max}(\text{IO})_{\text{out}}$	最大频率 ⁽¹⁾	$C_L=30\text{ pF}, V_{CC}\geq 2.7\text{V}$	-	-	20	MHz
			$C_L=30\text{ pF}, V_{CC}\geq 1.8\text{V}$	-	-	10	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	40	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	20	
	$t_f(\text{IO})_{\text{out}}$ $t_r(\text{IO})_{\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30\text{ pF}, V_{CC}\geq 2.7\text{V}$	-	-	15	ns
			$C_L=30\text{ pF}, V_{CC}\geq 1.8\text{V}$	-	-	25	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	7.5	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	15	
中驱动	$f_{\max}(\text{IO})_{\text{out}}$	最大频率 ⁽¹⁾	$C_L=30\text{ pF}, V_{CC}\geq 2.7\text{V}$	-	-	45	MHz
			$C_L=30\text{ pF}, V_{CC}\geq 1.8\text{V}$	-	-	22.5	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	90	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	45	
	$t_f(\text{IO})_{\text{out}}$ $t_r(\text{IO})_{\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30\text{ pF}, V_{CC}\geq 2.7\text{V}$	-	-	7.5	ns
			$C_L=30\text{ pF}, V_{CC}\geq 1.8\text{V}$	-	-	12	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	4	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	7.5	
高驱动	$f_{\max}(\text{IO})_{\text{out}}$	最大频率 ⁽¹⁾	$C_L=30\text{ pF}, V_{CC}\geq 2.7\text{V}$	-	-	100	MHz
			$C_L=30\text{ pF}, V_{CC}\geq 1.8\text{V}$	-	-	50	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	180	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	100	
	$t_f(\text{IO})_{\text{out}}$ $t_r(\text{IO})_{\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=30\text{ pF}, V_{CC}\geq 2.7\text{V}$	-	-	4	ns
			$C_L=30\text{ pF}, V_{CC}\geq 1.8\text{V}$	-	-	6	
			$C_L=10\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	2.5	
			$C_L=10\text{pF}, V_{CC}\geq 1.8\text{V}$	-	-	4	

表 3-21 I/O 交流特性

1. 最大频率在图 3-4 中定义。
2. 负载电容 C_L 必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算

为 10 pF)。



最大频率条件： $(t_r + t_f) \leq (2/3)T$ 并且Duty cycle= 50%±5%（负载电容 C_L 在“输入/输出交流特性”表格的“条件”一栏中标明）

图 3-4 I/O 交流特性定义

3.3.8 USART 接口特性

符号	参数		最小值	最大值	单位
t_{cyc}	输入时钟周期数	UART	4	-	t_{PCLK1}
		CSI	6	-	
t_{CKw}	输入时钟宽度		0.4	0.6	t_{Scyc}
t_{CKr}	输入时钟上升时间		-	5	ns
t_{CKf}	输入时钟下降时间		-	5	ns
t_{TD}	发送延迟时间	CSI	-	28	ns
t_{RDS}	接收数据建立时间	CSI	15	-	ns
t_{RDH}	接收数据保持时间	CSI	5	-	ns

表 3-22 USART AC 时序

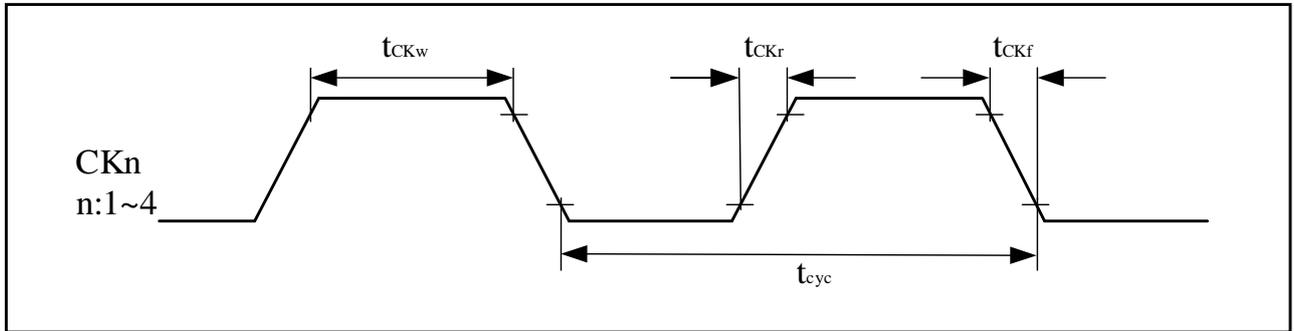


图 3-5 USART 时钟时序

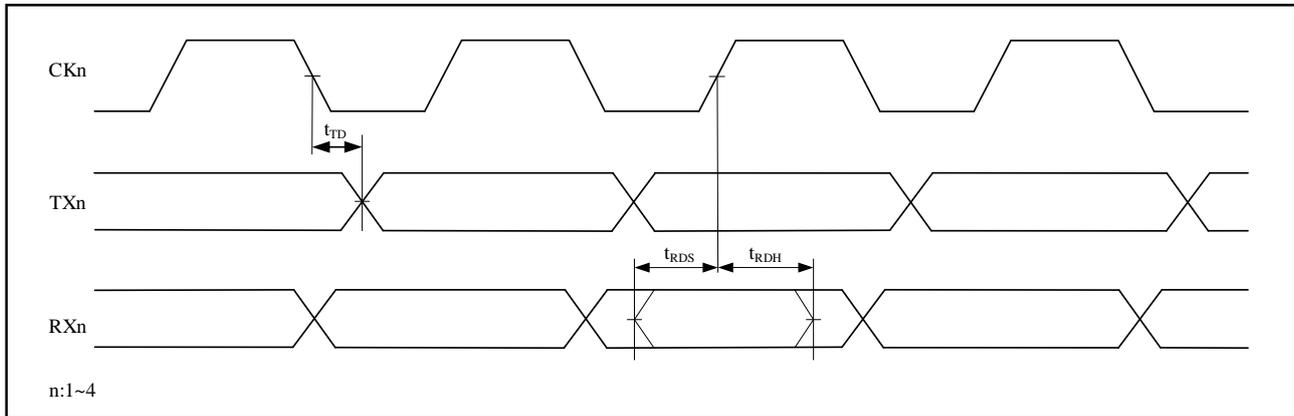


图 3-6 USART (CSI) 输入输出时序

3.3.9 I2S 接口特性

符号	性能指标	条件	Min	Max	Unit
f_{MCK}	I2S main clock output	-	256 * 8K	256 * Fs	MHz

f _{CK}	I2S clock frequency	Master data: 32 bits	20	64*Fs	MHz
		Slave data: 32 bits	-	64*Fs	
D _{CK}	I2S clock frequency duty cycle	Slave receiver	30	70	%
t _v (WS)	WS valid time	Master mode	0	-	ns
t _h (WS)	WS hold time	Master mode	0	-	
t _{su} (WS)	WS setup time	Slave mode	1	-	
t _h (WS)	WS hold time	Slave mode	0	-	
t _{su} (SD_MR)	Data input setup time	Master receiver	7.5	-	
t _{su} (SD_SR)		Slave receiver	2	-	
t _h (SD_MR)	Data input hold time	Master receiver	0	-	
t _h (SD_SR)		Slave receiver	0	-	
t _v (SD_ST)	Data output valid time	Slave transmitter(after enable edge)	-	27	
t _h (SD_ST)		Master transmitter(after enable edge)	-	20	
t _v (SD_MT)		Master transmitter(after enable edge)	-	20	
t _h (SD_MT)	Data output hold time	Master transmitter(after enable edge)	2.5	-	

表 3-23 I2S 电气特性

1. Fs: I2S 采样频率

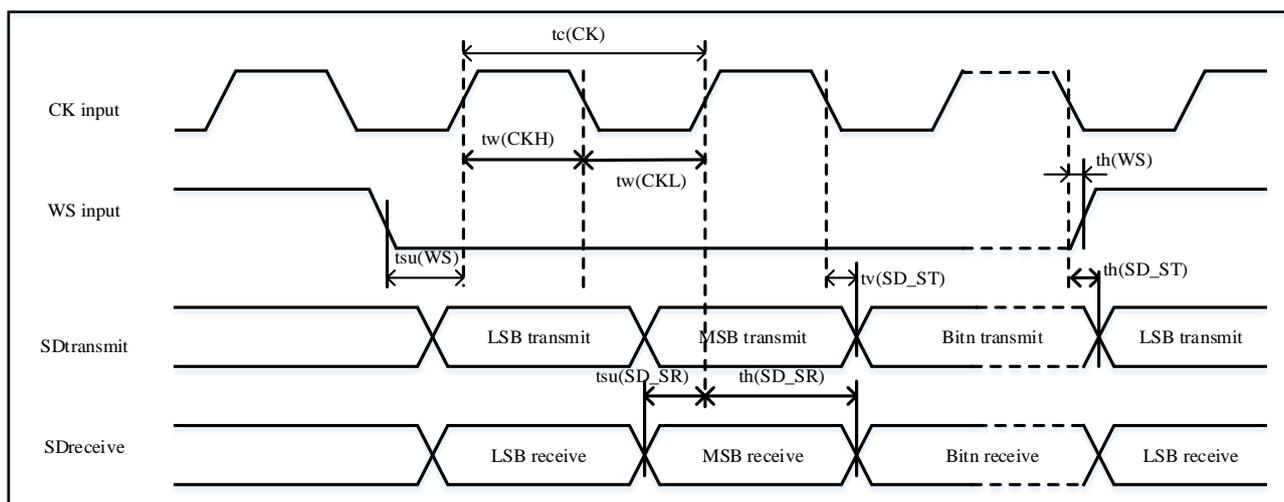


图 3-7 I2S 从模式时序 (Philips 协议)

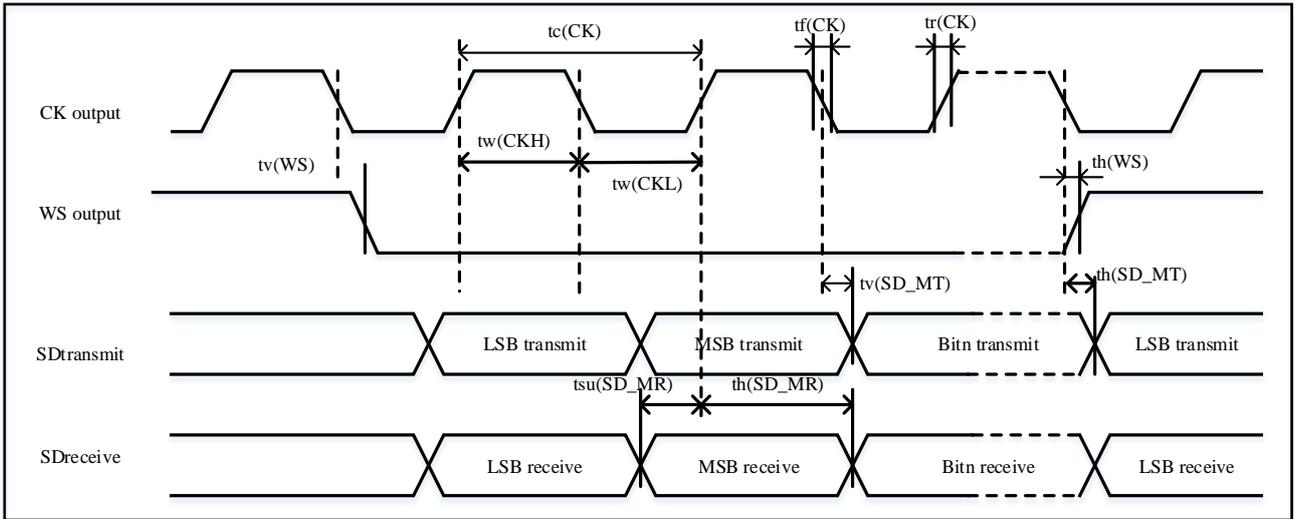


图 3-8 I2S 主模式时序 (Philips 协议)

3.3.10 I2C 接口特性

符号	参数	标准模式 (SM)		快速模式 (FM)		单位
		Min	Max	Min	Max	
f_{SCL}	SCL频率	0	100	0	400	kHz
$t_{HD;STA}$	开始条件/重新开始条件Hold	4.0	-	0.6	-	us
t_{LOW}	SCL低电平	4.7	-	1.3	-	us
t_{HIGH}	SCL高电平	4	-	0.6	-	us
$t_{SU;STA}$	重新开始条件Setup	4.7	-	0.6	-	us
$t_{HD;DAT}$	数据Hold	0	-	0	-	us
$t_{SU;DAT}$	数据Setup	50+	-	50+	-	ns
		t_{I2C} 基准时钟周期		t_{I2C} 基准时钟周期		
t_R	SCL/SDA的上升时间	-	1000	6.5	300	ns
t_F	SCL/SDA的下降时间	-	300	6.5	300	ns
$t_{SU;STO}$	停止条件Setup	4	-	0.6	-	us
t_{BUF}	停止条件到开始条件间的 BUS空闲时间	4.7	-	1.3	-	us
C_b	负载电容	-	400	-	400	pF

表 3-24 I2C 电气特性

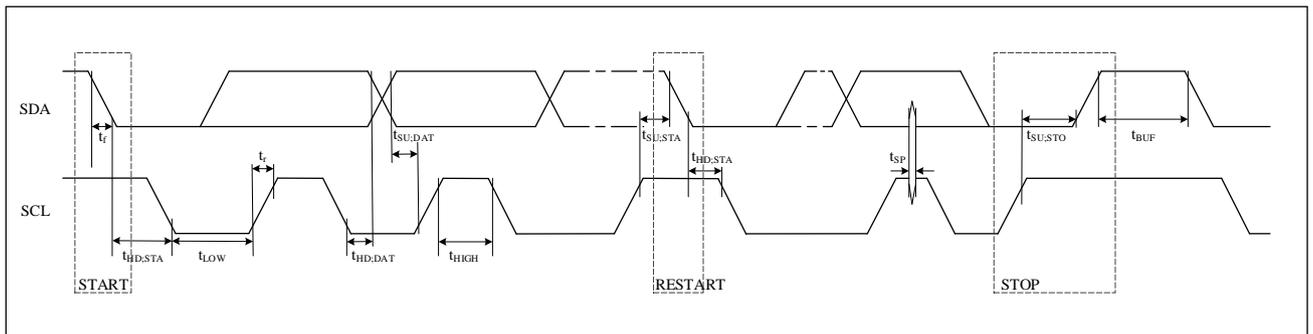


图 3-9 I2C 总线时序定义

3.3.11 SPI 接口特性

Item		Symbol	Min	Max	Unit	Test conditions	
SCK clock cycle	Master	tspeyc	2 (pclk ≤60MHz)	4096	tpeyc	图 3-10 C=30pF	
	Slave		4 (pclk ≤60MHz)				
SCK clock rise and fall time	Master	tsckr	-	5	ns		
	Slave	tsckf	-	1	us		
Data input setup time	Master	tsu	4	-	ns		图 3-11 C=30pF
	Slave		5	-			
Data input hold time	Master	th	tpeyc	-	ns		
	Slave		20	-			
Data output delay	Master	tod	-	8	ns		
	Slave		-	20			
Data output hold time	Master	toh	0	-	ns		
	Slave		0	-			
MOSI/MISO rise and fall time	Master	tdr	-	5	ns		
	Slave	tdf	-	1	us		
SS rise and fall time	Master	tssr	-	5	ns		
	Slave		tssf	-	1	us	

表 3-25 SPI 电气特性

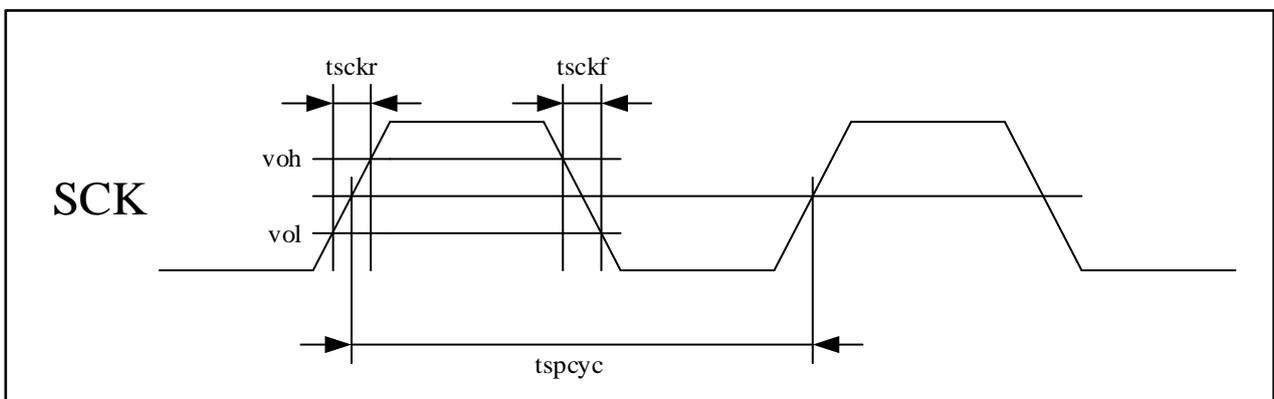


图 3-10 SCK Clock 定义

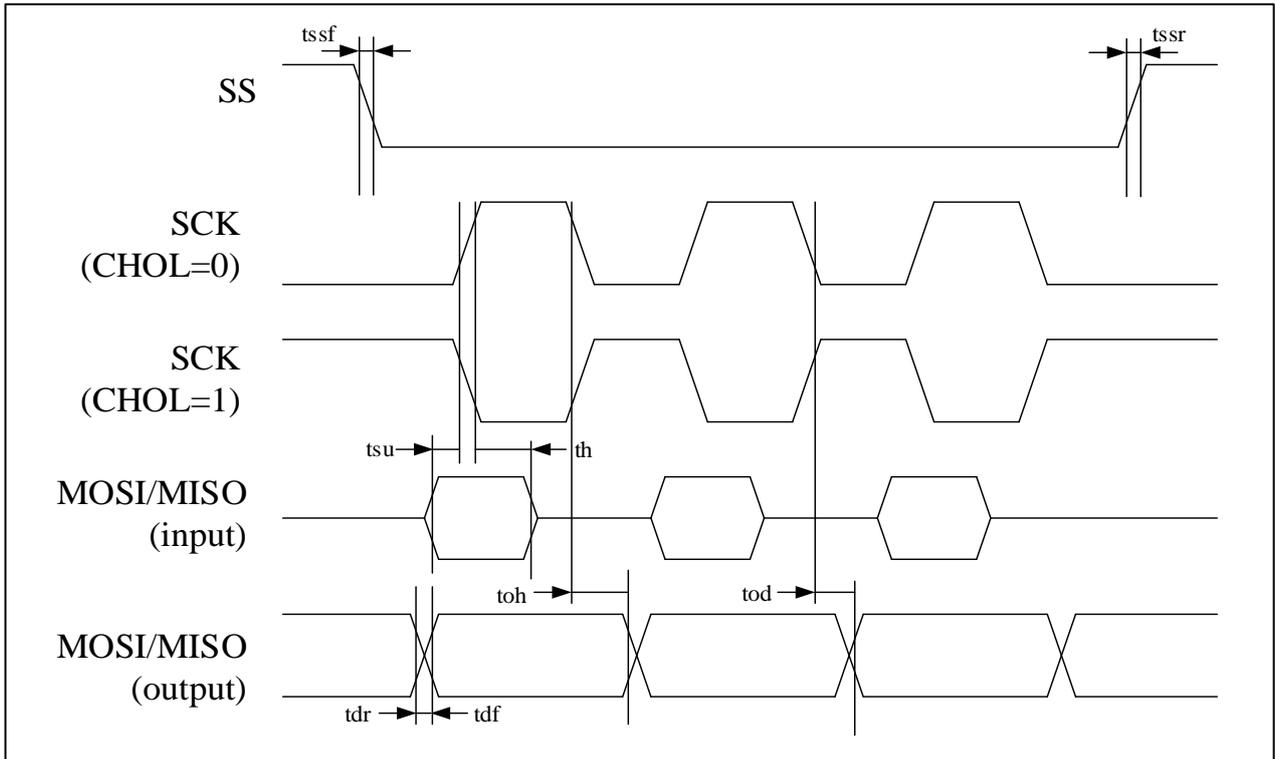


图 3-11 SPI 接口时序要求

3.3.12 USB 接口特性

Symbol		Parameter	Conditions	Min. ⁽¹⁾	Typ.	Max. ⁽¹⁾	单位
输入	V _{CC}	工作电压	-	3.0 ⁽²⁾	-	3.6	V
	V _{IL}	输入低电平	-	-	-	0.8	V
	V _{IH}	输入高电平	-	2.0	-	-	V
	V _{DI}	差分输入灵敏度	-	0.2	-	-	V
	V _{CM}	差分共模电压	-	0.8	-	2.5	V
输出	V _{OL} ⁽³⁾	静态输出低电平	R _L =1.5kΩ to 3.6V ⁽⁴⁾	-	-	0.3	V
	V _{OH} ⁽³⁾	静态输出高电平	R _L =15kΩ to V _{SS} ⁽⁴⁾	2.8	-	3.6	V
	V _{CRS}	Cross-over电压	C _L =50pF	1.3	-	2.0	V
	t _R	上升时间	C _L =50pF, 10%~90% of V _{OH} -V _{OL}	4	-	20	ns
	t _F	下降时间	C _L =50pF, 10%~90% of V _{OH} -V _{OL}	4	-	20	ns
	t _{RFMA}	上升下降时间比 t _R /t _F	C _L =50pF	90	-	111.1	%
R _{PD} ⁽³⁾	下拉电阻	V _{IN} = V _{CC} , in host mode	-	15	-	kΩ	
R _{PU} ⁽³⁾	上拉电阻	V _{IN} = V _{SS} , idle state	0.900	1.2	1.575	kΩ	
		V _{IN} = V _{SS} , in device mode	1.425	2.3	3.090	kΩ	

表 3-26 USB Full-Speed 电气特性

1. 所有电压均基于局部接地电位测得。
2. 工作电压降至 2.7V 时，仍可保证 USB 全速收发器的功能，但不能保证完整的 USB 全速电气特性，后者在 2.7 到 3.0V 的 V_{CC} 电压范围内会降级。
3. 量产测试保证。
4. R_L 是连接至 USB 全速驱动器的负载。

Symbol		Parameter	Conditions	Min. ⁽¹⁾	Typ.	Max. ⁽¹⁾	单位
输入	V _{CC}	工作电压	-	3.0 ⁽²⁾	-	3.6	V
	V _{IL}	输入低电平	-	-	-	0.8	V
	V _{IH}	输入高电平	-	2.0	-	-	V
	V _{DI}	差分输入灵敏度	-	0.2	-	-	V
	V _{CM}	差分共模电压	-	0.8	-	2.5	V
输出	V _{OL} ⁽³⁾	静态输出低电平	R _L =1.5kΩ to 3.6V ⁽⁴⁾	-	-	0.3	V
	V _{OH} ⁽³⁾	静态输出高电平	R _L =15kΩ to V _{SS} ⁽⁴⁾	2.8	-	3.6	V
	V _{CRS} ⁽³⁾	Cross-over电压	C _L =200pF~600pF	1.3	-	2.0	V
	t _R ⁽³⁾	上升时间	C _L =200pF~600pF, 10%~90% of V _{OH} -V _{OL}	75	-	300	ns
	t _F ⁽³⁾	下降时间	C _L =200pF~600pF, 10%~90% of V _{OH} -V _{OL}	75	-	300	ns
	t _{RFMA} ⁽³⁾	上升下降时间比 t _R /t _F	C _L =200pF~600pF	80	-	125	%
R _{PD} ⁽³⁾	下拉电阻	V _{IN} = V _{CC} , in host mode	14.25	-	24.80	kΩ	

表 3-27 USB Low-Speed 电气特性

1. 所有电压均基于局部接地电位测得。
2. 工作电压降至 2.7V 时，仍可保证 USB 低速收发器的功能，但不能保证完整的 USB 低速电气特性，后者在 2.7 到 3.0V 的 V_{CC} 电压范围内会劣化。
3. 量产测试保证。
4. R_L 是连接至 USB 低速驱动器的负载。

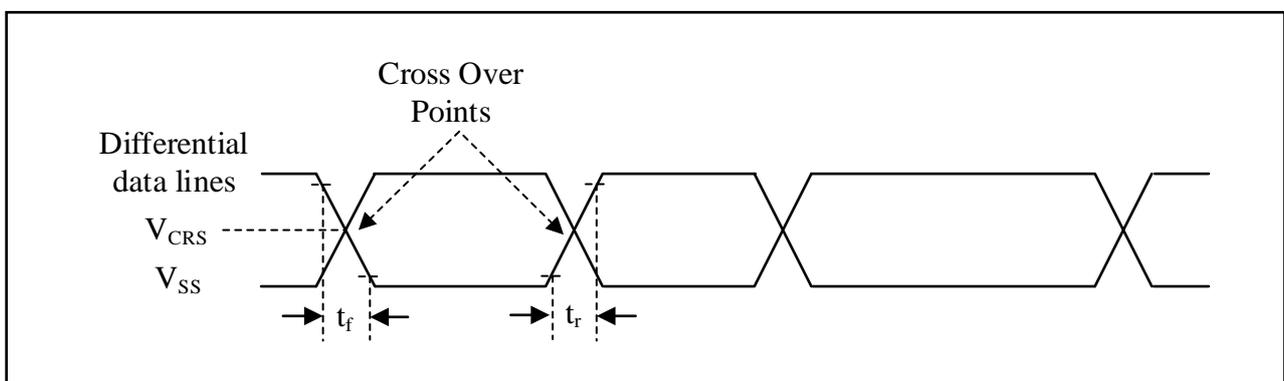


图 3-12 USB 上升/下降时间及 Cross Over 电压定义

3.3.13 PLL 特性

符号	参数	条件	Min	Typ	Max	Unit
f_{PLL_IN}	PLL input clock ⁽¹⁾	-	1	-	24	MHz
f_{PLL_OUT}	PLL multiplier output	-	15	-	240	MHz
f_{VCO_OUT}	PLL VCO output	-	240	-	480	MHz
t_{LOCK}	PLL lock time	-	-	80	120	μ s
Jitter _{PLL}	Period Jitter	PLL输入时钟=4MHz 系统时钟=120MHz	-	-	± 200	ps

表 3-28 PLL 主要性能指标

1. 推荐使用较高的输入时钟，以获得良好的 Jitter 特性。

3.3.14 JTAG 接口特性

Symbol	Item	Min	Typ	Max	Unit
t_{TCKcyc}	JTCK clock cycle time	50	-	-	ns
t_{TCKH}	JTCK clock high pulse width	20	-	-	ns
t_{TCKL}	JTCK clock low pulse width	20	-	-	ns
t_{TCKr}	JTCK clock rise time	-	-	5	ns
t_{TCKf}	JTCK clock fall time	-	-	5	ns
t_{TMSs}	JTMS setup time	8	-	-	ns
t_{TMSh}	JTMS hold time	8	-	-	ns
t_{TDIs}	JTDI setup time	8	-	-	ns
t_{TDIh}	JTDI hold time	8	-	-	ns
t_{TDod}	JTDO data delay time	-	-	20	ns

表 3-29 JTAG 接口特性

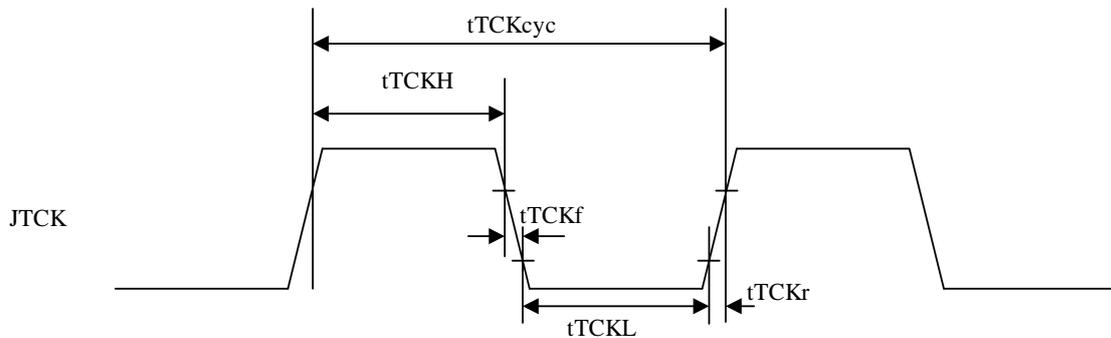


图 3-13 JTAG JTCK 时钟

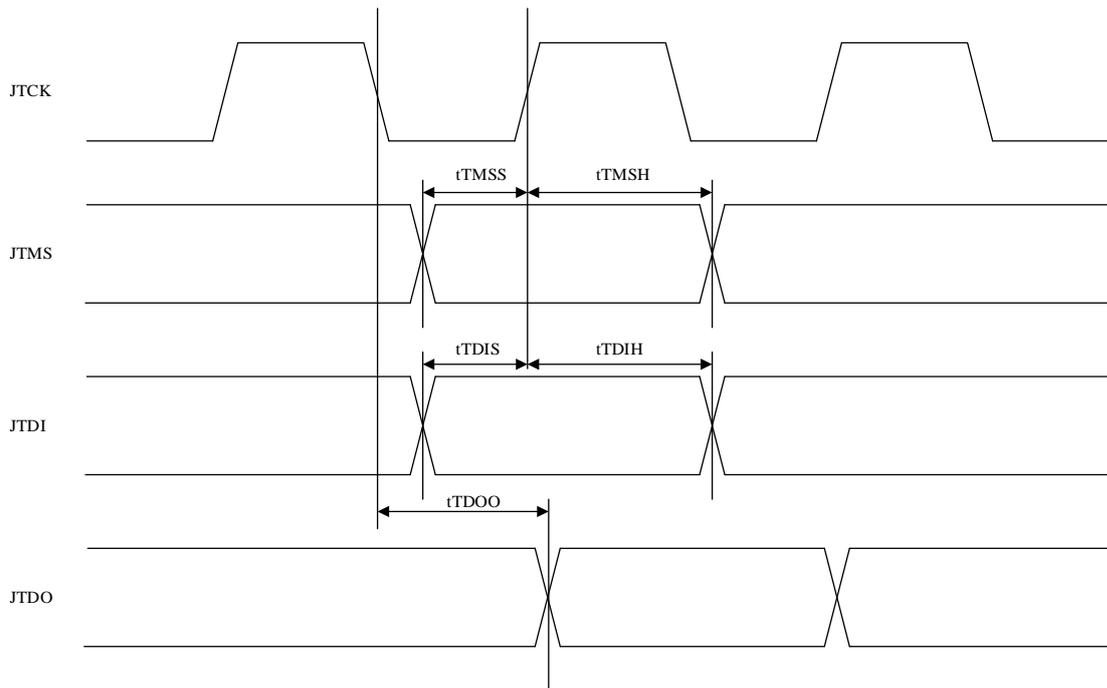


图 3-14 JTAG 输入输出

3.3.15 外部时钟源特性

3.3.15.1 外部源产生的高速外部用户时钟

在旁路模式，XTAL 振荡器关闭，输入引脚为标准 I/O。外部时钟信号必须考虑 I/O 静态特性。

符号	参数	条件	最小值	典型值	最大值	单位
f_{XTAL_EXT}	用户外部时钟源频率		1	-	24	MHz
V_{IH_XTAL}	XTAL_IN输入引脚高电平电压		$0.8 \cdot V_{CC}$	-	V_{CC}	V
V_{IL_XTAL}	XTAL_IN输入引脚低电平电压	-	V_{SS}	-	$0.2 \cdot V_{CC}$	
$t_{r(XTAL)}$ $t_{f(XTAL)}$	XTAL_IN上升或下降时间		-	-	5	ns
$Duty_{(XTAL)}$	占空比	-	40	-	60	%

表 3-30 高速外部用户时钟特性

3.3.15.2 晶振 / 陶瓷谐振器产生的高速外部时钟

高速外部 (XTAL) 时钟可以使用一个 4 到 24 MHz 的晶振 / 陶瓷谐振振荡器产生。在应用中, 谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以尽量减小输出失真和起振稳定时间。有关谐振器特性 (频率、封装、精度等) 的详细信息, 请咨询晶振谐振器制造商。

符号	参数	条件	最小值	典型值	最大值	单位
f_{XTAL_IN}	振荡器频率		4	-	24	MHz
$R_F^{(1)}$	反馈电阻		-	300	-	k Ω
G_{mmax}	-	起振	4	-	-	mA/V
$t_{SU(XTAL)}^{(2)}$	启动时间	VCC稳定, 晶振=8MHz	-	2.0	-	ms
		VCC稳定, 晶振=4MHz	-	4.0	-	ms

表 3-31 XTAL 4-24 MHz 振荡器特性

1. 量产测试保证。
2. $t_{SU(XTAL)}$ 是起振时间, 即从软件使能 XTAL 开始测量, 直至得到稳定的 8MHz 振荡频率这段时间。该值基于标准晶振谐振器测得, 可能随晶振制造商的不同而显著不同。

对于 C_{L1} 和 C_{L2} , 建议使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于 5 pF 到 25 pF (典型值) 之间的高质量外部陶瓷电容 (请参见下图)。 C_{L1} 和 C_{L2} 的大小通常相同。晶振制造商指定的负载电容通常是 C_{L1} 和 C_{L2} 的串联组合。确定 C_{L1} 和 C_{L2} 的规格时, 必须将 PCB 和 MCU 引脚的电容考虑在内 (引脚与电路板的电容可粗略地估算为 10 pF)。

带集成电容的谐振器

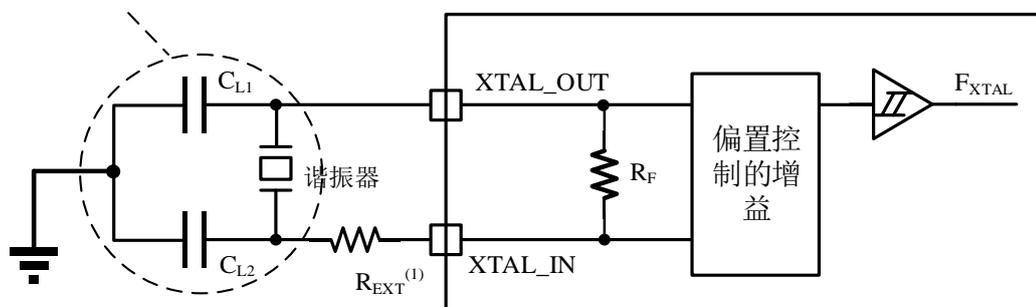


图 3-15 采用8 MHz 晶振的典型应用

1. R_{EXT} 的值取决于晶振特性。

3.3.15.3 晶振 / 陶瓷谐振器产生的低速外部时钟

低速外部时钟可以使用一个由 32.768 kHz 的晶振/陶瓷谐振器构成的振荡器产生。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

符号	参数	条件	规格			单位
			Min	Typ	Max	
F _{XTAL32}	频率	-	-	32.768	-	kHz
R _F ⁽¹⁾	反馈电阻	-	-	15	-	MΩ
I _{DD_XTAL32}	功耗	-	-	-	1	uA
G _{mmax}	G _m	-	3	-	-	uA/V
T _{SUXTAL32}	启动时间 ⁽²⁾	VCC稳定状态下	-	2	-	s

表 3-32 XTAL32 振荡器特性

1. 量产测试保证。
2. T_{SUXTAL32} 是起振时间，即从软件使能 XTAL32 开始测量，直至得到稳定的 32.768 kHz 振荡频率这段时间。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

3.3.16 内部时钟源特性

3.3.16.1 内部高速(HRC)振荡器

符号	参数	条件	最小值	典型值	最大值	单位
f _{HRC}	频率 ⁽¹⁾	模式1	-	16	-	MHz
		模式2	-	20	-	
	用户调整刻度	-	-	-	0.2	%
	频率精度 ⁽¹⁾	TA = -40 到 85 °C	-2	-	2	%
		TA = -20 到 85 °C	-1.5	-	1.5	%
		TA = 25 °C	-0.5	-	0.5	%
t _{st(HRC)}	HRC 振荡器振荡	-	-	-	15	μs

表 3-33 HRC 振荡器特性

1. 量产测试保证。

3.3.16.2 内部中速(MRC)振荡器

符号	参数	最小值	典型值	最大值	单位
f _{MRC} ⁽¹⁾	频率	7.2	8	8.8	MHz
t _{st(MRC)}	MRC振荡器稳定时间	-	-	3	μs

表 3-34 MRC 振荡器特性

1. 量产测试保证。

3.3.16.3 内部低速(LRC)振荡器

符号	参数	最小值	典型值	最大值	单位
$f_{LRC}^{(1)}$	频率	27.853	32.768	37.683	kHz
$t_{st(LRC)}$	LRC振荡器稳定时间	-	-	36	μs

表 3-35 LRC 振荡器特性

1. 量产测试保证。

3.3.16.4 SWDT 专用内部低速(SWDTLRC)振荡器

符号	参数	最小值	典型值	最大值	单位
$f_{SWDTLRC}^{(1)}$	频率	9	10	11	kHz
$t_{st(SWDTLRC)}$	SWDTLRC振荡器稳定时间	-	-	57.1	μs

表 3-36 SWDTLRC 振荡器特性

1. 量产测试保证。

3.3.17 12 位 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{AVCC}	电源	-	1.8	-	3.6	V
$V_{REFH}^{(1)}$	正参考电压	-	1.8	-	V_{AVCC}	V
f_{ADC}	ADC 转换时钟频率	超高速/高速动作模式下 $V_{AVCC}=2.4 \sim 3.6V$	1	-	60	MHz
		超高速/高速动作模式下 $V_{AVCC}=1.8 \sim 2.4V$	1	-	30	
		超低速动作模式	1	-	8	
V_{AIN}	转换电压范围	-	V_{AVSS}	-	V_{REFH}	V
R_{AIN}	外部输入阻抗	详见公式1	-	-	50	k Ω
R_{ADC}	采样开关电阻	-	-	-	6	k Ω
C_{ADC}	内部采样和保持电容	-	-	4	7	pF
t_D	触发器转换延迟	$f_{ADC} = 60 \text{ MHz}$	-	-	0.3	μs

表 3-37 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
t _s	采样时间	f _{ADC} =60MHz	0.183	-	4.266	μs
			11	-	255	1/ f _{ADC}
t _{CONV}	单通道总转换时间 (包括采样时间)	f _{ADC} = 60 MHz 12 位分辨率	0.4	-	-	μs
		f _{ADC} = 60 MHz 10 位分辨率	0.36	-	-	μs
		f _{ADC} = 60 MHz 8 位分辨率	0.33	-	-	μs
		20到 268 (采样时间 t _S + 逐次趋近 n 位分辨率+1)				
f _s	采样率 f _{ADC} = 60 MHz	12 位分辨率单ADC	-	-	2.5	MspS
t _{ST}	上电时间	-	-	1	2	μs

表 3-38 ADC 特性 (续)

1. V_{AVCC}-V_{REFH}<1.2V

公式 1: RAIN 最大值公式

$$R_{AIN} = \frac{k - 1}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上式 (公式 1) 用于确定使误差低于 1/4 LSB 的最大外部阻抗。其中 N=12 (12 位分辨率), k 为 ADC_SSTR 寄存器中定义的采样周期数。

符号	参数	条件	典型值	最大值	单位
E _T	绝对误差	超高速/高速动作模式下 f _{ADC} =60MHz 输入源阻抗<1kΩ V _{AVCC} =2.4~3.6V	±4.5	±6	LSB
E _O	偏移误差		±3.5	±6	LSB
E _G	增益误差		±3.5	±6	LSB
E _D	微分线性误差		±1	±2	LSB
E _L	积分线性误差		±1.5	±3	LSB

表 3-39 ADC1_IN0、ADC1_IN4 输入通道精度@ f_{ADC}=60MHz

符号	参数	条件	典型值	最大值	单位
E _T	绝对误差	超高速/高速动作模式下 f _{ADC} =30MHz 输入源阻抗<1kΩ V _{AVCC} =2.4~3.6V	±4.5	±6	LSB
E _O	偏移误差		±3.5	±6	LSB
E _G	增益误差		±3.5	±6	LSB
E _D ⁽¹⁾	微分线性误差		±1	±2	LSB
E _L ⁽¹⁾	积分线性误差		±1.5	±3	LSB

表 3-40 ADC1_IN0、ADC1_IN4 输入通道精度@ f_{ADC}=30MHz

1. 量产测试保证。

符号	参数	条件	典型值	最大值	单位
E _T	绝对误差	超高速/高速动作模式下 f _{ADC} =30MHz 输入源阻抗<1kΩ V _{AVCC} =1.8~2.4V	±4.5	±6	LSB
E _O	偏移误差		±3.5	±6	LSB
E _G	增益误差		±3.5	±6	LSB
E _D	微分线性误差		±1	±2	LSB
E _L	积分线性误差		±2	±3	LSB

表 3-41 ADC1_IN0、ADC1_IN4 输入通道精度@ f_{ADC}=30MHz

符号	参数	条件	典型值	最大值	单位
E _T	绝对误差	超低速动作模式下 f _{ADC} =8MHz 输入源阻抗<1kΩ V _{AVCC} =1.8~3.6V	±4.5	±6	LSB
E _O	偏移误差		±3.5	±6	LSB
E _G	增益误差		±3.5	±6	LSB
E _D	微分线性误差		±1	±2	LSB
E _L	积分线性误差		±2	±3	LSB

表 3-42 ADC1_IN0、ADC1_IN4 输入通道精度@ f_{ADC}=8MHz

符号	参数	条件	典型值	最大值	单位
E _T	绝对误差	超高速/高速动作模式下 f _{ADC} =60MHz 输入源阻抗<1kΩ V _{AVCC} =2.4~3.6V	±5.5	±7	LSB
E _O	偏移误差		±4.5	±7	LSB
E _G	增益误差		±4.5	±7	LSB
E _D	微分线性误差		±1.5	±2	LSB
E _L	积分线性误差		±2.0	±3	LSB

表 3-43 ADC1_IN9 输入通道精度@ f_{ADC}=60MHz

符号	参数	条件	典型值	最大值	单位
E _T	绝对误差	高速动作模式下 f _{ADC} =30MHz 输入源阻抗<1kΩ V _{AVCC} =2.4~3.6V	±5.5	±7	LSB
E _O	偏移误差		±4.5	±7	LSB
E _G	增益误差		±4.5	±7	LSB
E _D ⁽¹⁾	微分线性误差		±1.5	±2	LSB
E _L ⁽¹⁾	积分线性误差		±2.0	±3	LSB

表 3-44 ADC1_IN9 输入通道精度@ f_{ADC}=30MHz

1. 量产测试保证。

符号	参数	条件	典型值	最大值	单位
E _T	绝对误差	超高速/高速动作模式下 f _{ADC} =30MHz 输入源阻抗<1kΩ V _{AVCC} =1.8~2.4V	±5.5	±7	LSB
E _O	偏移误差		±4.5	±7	LSB
E _G	增益误差		±4.5	±7	LSB
E _D	微分线性误差		±1.5	±2	LSB
E _L	积分线性误差		±2.5	±3	LSB

表 3-45 ADC1_IN9 输入通道精度@ f_{ADC}=30MHz

符号	参数	条件	典型值	最大值	单位
E _T	绝对误差	超低速动作模式下 f _{ADC} =8MHz 输入源阻抗<1kΩ V _{AVCC} =1.8~3.6V	±5.5	±7	LSB
E _O	偏移误差		±4.5	±7	LSB
E _G	增益误差		±4.5	±7	LSB
E _D	微分线性误差		±1.5	±2	LSB
E _L	积分线性误差		±2.5	±3	LSB

表 3-46 ADC1_IN9 输入通道精度@ f_{ADC}=8MHz

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	超高速/高速动作模式下 f _{ADC} =60MHz 输入信号频=2kHz 输入源阻抗<1kΩ V _{AVCC} =2.4~3.6V	10.6	-	Bits
SINAD	信噪谐波比		64	-	dB
SNR	信噪比		66	-	dB
THD	总谐波失真		-	-70	dB

表 3-47 ADC1_IN0、ADC1_IN4 输入通道输入通道动态精度@ f_{ADC}=60MHz

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	超高速/高速动作模式下 $f_{ADC}=30\text{MHz}$ 输入信号频=2kHz 输入源阻抗 $<1\text{k}\Omega$ $V_{AVCC}=1.8\sim 2.4\text{V}$	10.4	-	Bits
SINAD	信噪谐波比		62	-	dB
SNR	信噪比		64	-	dB
THD	总谐波失真		-	-67	dB

表 3-48 ADC1_IN0、ADC1_IN4 输入通道输入通道动态精度@ $f_{ADC}=30\text{MHz}$

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	超低速动作模式下 $f_{ADC}=8\text{MHz}$ 输入信号频=2kHz 输入源阻抗 $<1\text{k}\Omega$ $V_{AVCC}=1.8\sim 3.6\text{V}$	10.4	-	Bits
SINAD	信噪谐波比		62	-	dB
SNR	信噪比		64	-	dB
THD	总谐波失真		-	-67	dB

表 3-49 ADC1_IN0、ADC1_IN4 输入通道输入通道动态精度@ $f_{ADC}=8\text{MHz}$

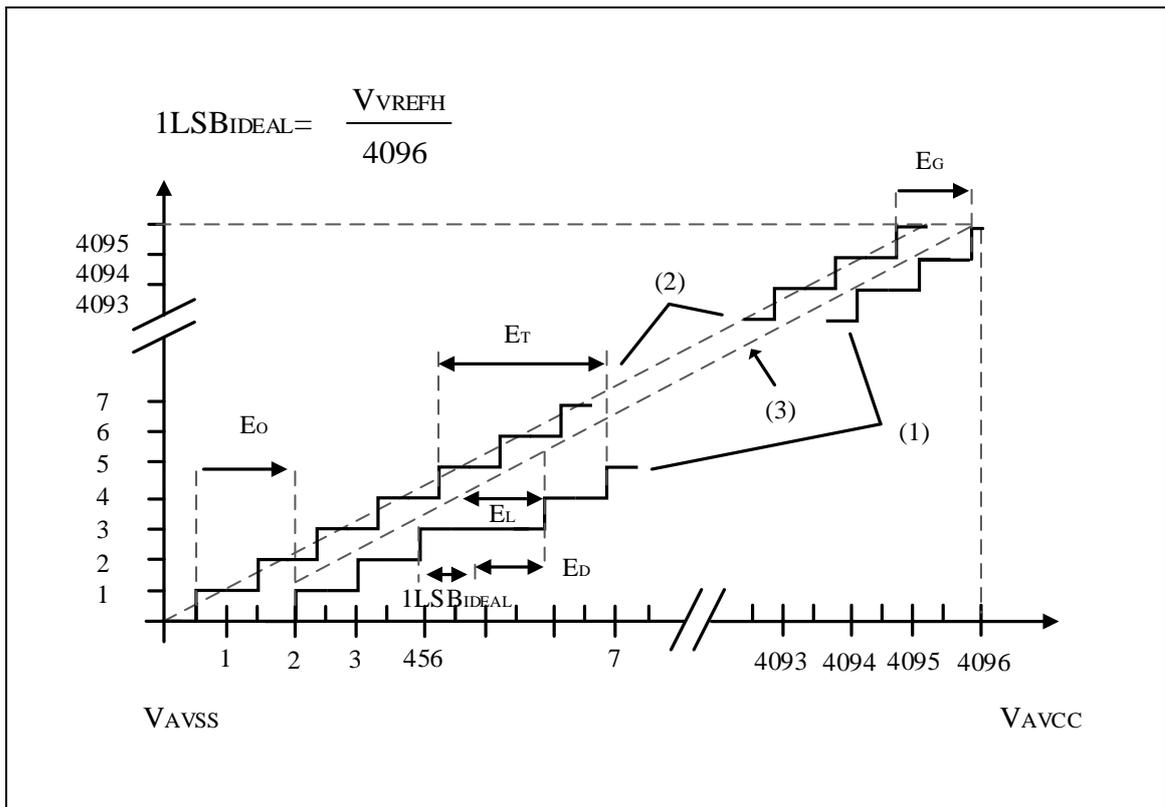


图 3-16 ADC 精度特性

1. 另请参见上述表格。

2. 实际传输曲线举例。

3. 理想传输曲线。

4. 端点相关线。

5. E_T = 总未调整误差：实际和理想传输曲线间的最大偏离。

E_O = 偏移误差：第一次实际转换和第一次理想转换间的偏离。

E_G = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。

E_D = 微分线性误差：实际步进和理想值间的最大偏离。

E_L = 积分线性误差：任何实际转换和端点相关线间的最大偏离。

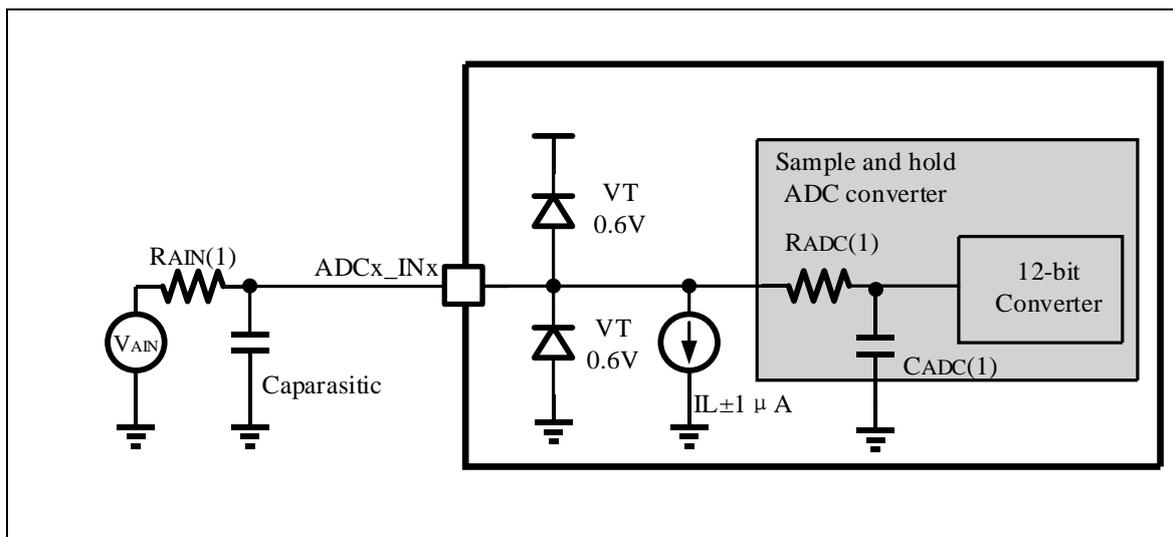


图 3-17 使用 ADC 的典型连接

1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 值的信息，请参见表 3-37。
2. $C_{parasitic}$ 表示 PCB 电容（取决于焊接和 PCB 布线质量）以及焊盘电容（约 5 pF）。 $C_{parasitic}$ 值较高会导致转换精度降低。要解决这一问题，应减小 f_{ADC} 。

通用 PCB 设计准则

应按照下图所示对电源进行去耦，具体取决于 V_{REFH} 是否与 $AVCC$ 相连以及 $AVCC$ 引脚个数。0.1 μ F 电容应为（优质）陶瓷电容。这些电容应尽可能靠近芯片。

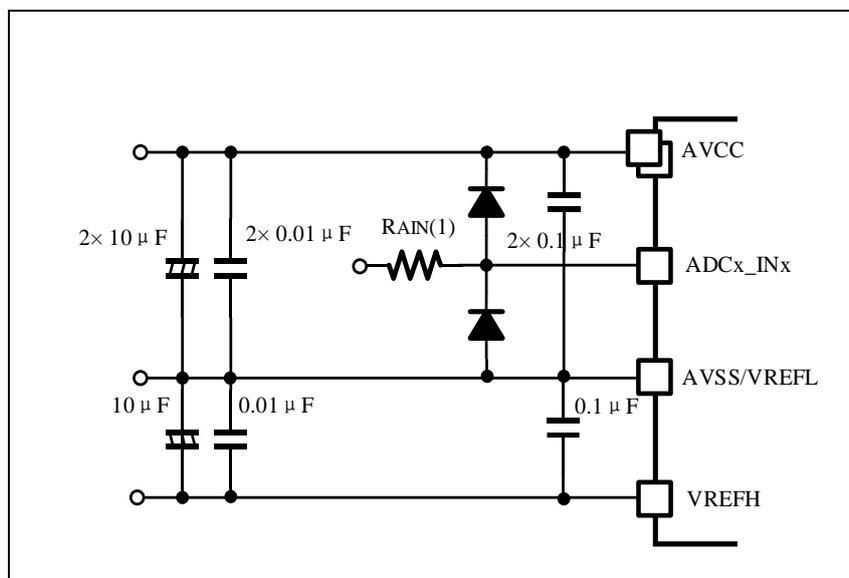


图 3-18 电源和参考电源去耦例

3.3.18 DAC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{AVCC}	模拟电源电压	-	1.8	3.3	3.6	V
DNL	微分非线性误差（两个连续代码之间的偏差-1LSB）	-	-	-	±2	LSB
偏移	偏移误差（代码（0x80）处测得值与理想值V _{AVCC} /2之间的差）	-	-	-	±2	LSB
T _{SETTLING}	建立时间（满刻度：适用于到DA0/DA1达到最终值±4LSB时，最低输入代码与最高输入代码之间8位输入代码转换）	-	-	-	8	μs

表 3-50 DAC 特性

3.3.19 增益可调放大器特性

符号	参数		条件	最小值	典型值	最大值	单位
V_{AVCC}	模拟电源电压		-	1.8	3.3	3.6	V
$V_{OS}^{(1)}$	输入失调电压		-	-8	-	8	mV
V_I	输入电压范围		-	$0.1 \cdot V_{AVCC}/Gain$	-	$0.9 \cdot V_{AVCC}/Gain$	V
G_E	增益误差	使用外部端口PGAVSS作为PGA负相输入	Gain=2 ⁽¹⁾	-1	-	1	%
			Gain=2.133	-1	-	1	%
			Gain=2.286	-1	-	1	%
			Gain=2.667	-1	-	1	%
			Gain=2.909	-1	-	1	%
			Gain=3.2	-1.5	-	1.5	%
			Gain=3.556	-1.5	-	1.5	%
			Gain=4.0	-1.5	-	1.5	%
			Gain=4.571	-2	-	2	%
			Gain=5.333	-2	-	2	%
			Gain=6.4	-3.0	-	3.0	%
			Gain=8	-3.0	-	3.0	%
			Gain=10.667	-4.0	-	4.0	%
		Gain=16	-4.0	-	4.0	%	
		Gain=32 ⁽¹⁾	-7.0	-	7.0	%	
		使用内部的模拟地AVSS作为PGA负相输入	Gain=2 ⁽¹⁾	-2	-	2	%
			Gain=2.133	-2	-	2	%
			Gain=2.286	-2	-	2	%
			Gain=2.667	-2	-	2	%
			Gain=2.909	-2	-	2	%
Gain=3.2	-2.5		-	2.5	%		
Gain=3.556	-2.5		-	2.5	%		

		Gain=4.0	-2.5	-	2.5	%
		Gain=4.571	-3.0	-	3.0	%
		Gain=5.333	-3.0	-	3.0	%
		Gain=6.4	-4.0	-	4.0	%
		Gain=8	-4.0	-	4.0	%
		Gain=10.667	-5.0	-	5.0	%
		Gain=16	-5.0	-	5.0	%
		Gain=32 ⁽¹⁾	-8.0	-	8.0	%

表 3-51 增益可调放大器特性

1. 量产测试保证。

3.3.20 温度传感器

符号	参数	条件	最小值	典型值	最大值	单位
T _L	相对精度	根据用户手册，每颗芯片单独定标	-	-	±5	°C

表 3-52 温度传感器特性

3.3.21 存储器特性

3.3.21.1 闪存

器件交付给客户时，闪存已被擦除。

符号	参数	条件	最小值	典型值	最大值	单位
I _{vcc}	供电电流	读模式, V _{CC} =1.8 V~3.6V	-	-	5	mA
		编程模式, V _{CC} =1.8 V~3.6V	-	-	10	
		块擦除模式, V _{CC} =1.8 V~3.6V	-	-	10	
		全擦除模式, V _{CC} =1.8 V~3.6V	-	-	10	

表 3-53 闪存特性

符号	参数	条件	最小值	典型值	最大值	单位
T _{prog} ⁽¹⁾	字编程时间	单编程模式	43+2* T _{hclk} ⁽²⁾	48+4* T _{hclk} ⁽²⁾	53+6* T _{hclk} ⁽²⁾	μs
	字编程时间	连续编程模式	12+2* T _{hclk} ⁽²⁾	14+4* T _{hclk} ⁽²⁾	16+6* T _{hclk} ⁽²⁾	μs
T _{erase} ⁽¹⁾	块擦除时间	-	16+2* T _{hclk} ⁽²⁾	18+4* T _{hclk} ⁽²⁾	20+6* T _{hclk} ⁽²⁾	ms
T _{mas} ⁽¹⁾	全擦除时间	-	16+2* T _{hclk} ⁽²⁾	18+4* T _{hclk} ⁽²⁾	20+6* T _{hclk} ⁽²⁾	ms

表 3-54 闪存编程擦除时间

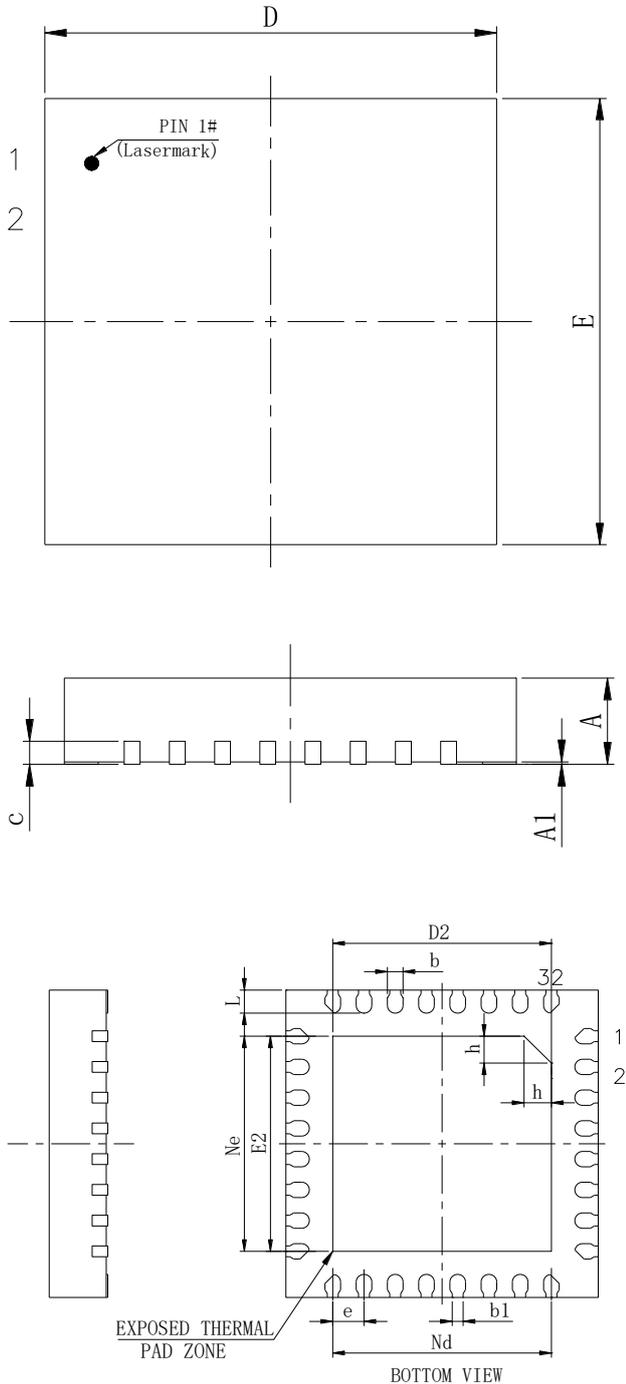
1. 量产测试保证。
2. T_{hclk} 为 CPU 时钟的 1 周期。

符号	参数	条件	数值	单位
			最小值	
N _{end}	编程, 块擦除次数	T _A = 85°C	10	kcycles
N _{end}	全擦除次数	T _A = 85°C	10	kcycles
T _{ret}	数据保存期限	T _A = 85°C, after 10 kcycles	10	Years

表 3-55 闪存可擦写次数和数据保存期限

4 封装信息

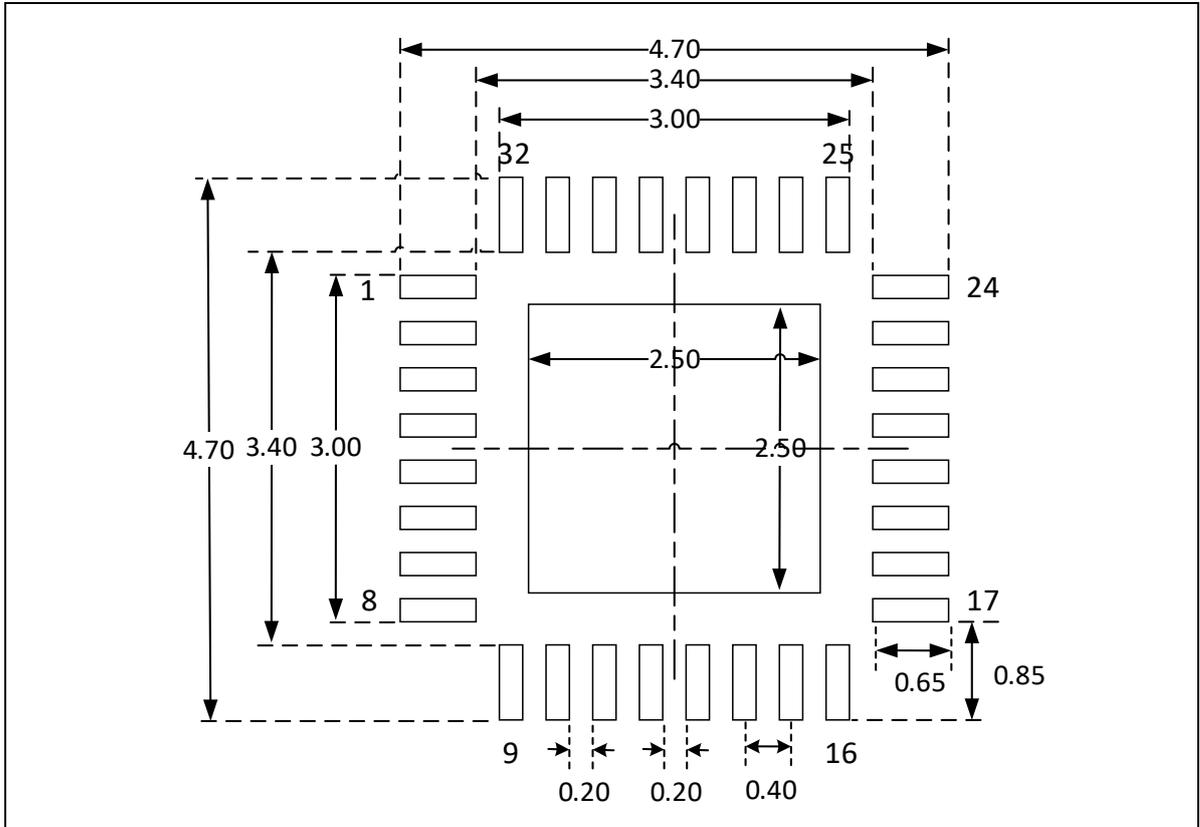
4.1 封装尺寸



Symbol	QFN32TR			TFN32TR		
	Min	Nom	Max	Min	Nom	Max
A	0.50	0.55	0.60	0.7	0.75	0.8
A1	0	0.02	0.05	0	0.02	0.05
b	0.15	0.20	0.25	0.15	0.20	0.3
b1	0.14REF			无		
c	0.10	0.15	0.20	0.15	0.2	0.25
D	3.90	4.00	4.10	3.90	4.00	4.10
D2	2.55	2.65	2.75	2.6	2.75	2.9
e	0.40BSC			0.40BSC		
Nd	2.80BSC			2.80BSC		
E	3.90	4.00	4.10	3.90	4.00	4.10
E2	2.55	2.65	2.75	2.6	2.75	2.9
Ne	2.80BSC			2.80BSC		
L	0.35	0.40	0.45	0.2	0.3	0.45
h	0.30	0.35	0.40	0.25	0.3	0.40

4.2 焊盘示意图

QFN32 封装 (4mm x 4mm)



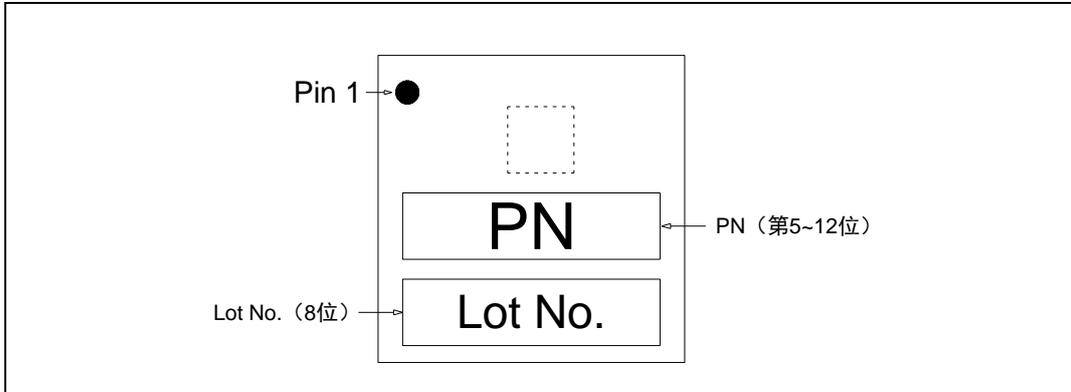
NOTE:

- Dimensions are expressed in millimeters.
- 尺寸仅做参考。

4.3 丝印说明

以下给出各封装正面丝印的 Pin 1 位置和信息说明。

QFN32 封装 (4mm x 4mm)



注意：

- 上图空白框表示与生产相关的可选标记，本节不作说明。

4.4 封装热阻系数

封装芯片在指定工作环境温度下工作时，芯片表面的结温 T_j (°C) 可以按照下面的公式计算：

$$T_j = T_{amb} + (P_D \times \theta_{JA})$$

- T_{amb} 是指封装芯片工作时的环境温度，单位是°C；
- θ_{JA} 是指封装对环境的热阻系数，单位是°C/W；
- P_D 等于芯片的内部功耗和 I/O 功耗之和，单位是 W。芯片的内部功耗是产品的 $I_{DD} \times V_{DD}$ ，I/O 功耗指的是指芯片工作时 I/O 引脚产生的功耗，通常该部分值很小，可以忽略。

芯片在指定工作环境温度下工作时芯片表面的结温 T_j ，不可以超出芯片可容许的最大结温度 T_j 。

Package Type and Size	Thermal Resistance Junction-ambient Value (θ_{JA})	Unit
QFN32 4mm x 4mm / 0.4mm pitch	53 +/- 10%	°C/W

表 4-1 各封装热阻系数表

5 订购信息

产品型号	HC32D391FEUA-QFN32TR	HC32D391FEUA-TFN32TR
主频 (MHz)	200	200
内核	ARM Cortex-M4	ARM Cortex-M4
Flash (KB)	512	512
RAM (KB)	192	192
OTP (B)	960	960
通用IO	25	25
最低工作电压	1.8	1.8
最高工作电压	3.6	3.6
DMA	2*4ch	2*4ch
16位定时器	4	4
12位ADC 通道数	3	3
放大器PGA	1	1
SPI	3	3
QUADSPI	1	1
I ² C	2	2
I ² S	4	4
USART	3	3
全速USB OTG	1	1
DCU	4	4
PVD	√	√
AES128	1	1
SHA256	1	1
TRNG	1	1
CRC	1	1
RTC	√	√
FLASH 物理加密	√	√
工作温度 (°C)	-40 ~ 85	-40 ~ 85
Package (mm *mm)	QFN32 (4*4) e=0.4	QFN32 (4*4) e=0.4
产品厚度 (mm)	0.55	0.75
包装方式	卷带	卷带

订购前，请联系销售窗口咨询最新量产信息。

版本信息 & 联系方式

版本	日期	修订内容摘要
Rev1.0	2020/2/26	初版发布
Rev1.1	2020/8/26	1) 增加超高速运行模式描述、更新 CoreMark/DMIPS、增加超高速模拟与高速模式、超低速模式之间的切换流程、更新 200Mhz 时 SRAM 和 Flash 的等待周期，读端口时的等待周期。更新总线架构里的频率值，更新功能框图 2) 增加焊盘示意图和封装热阻系数 3) 增加超高速模式下 BOR/PVD 特性，电流特性 4) 更新 JTAG/SWJ 调试端口引脚
Rev1.2	2021/5/25	修改声明
Rev1.3	2021/8/10	增加 HC32D391FEUA-TFN32TR
Rev1.4	2022/3/9	公司 Logo 更新
Rev1.41	2022/3/29	1) 3.3.12 USB 接口特性 R _{PD} 删除 MAX, MIN 值, 添加 Typ 值 15k Ω 3.3.15 t _{SU(XTAL)} 启动时间删除最大值, 添加典型值



如果您在购买与使用过程中有任何意见或建议，请随时与我们联系。

Email: mcu@xhsc.com.cn

网址: <http://www.xhsc.com.cn>

通信地址: 上海市浦东新区中科路 1867 号 A 座 10 层

邮编: 201210

