

EZ-USB®FX2LP™USB微控制器 高速USB外设控制器

特征

- USB 2.0 USB IF高速认证 (TID# 40460272)
- 单芯片集成USB 2.0收发器, 智能SIE和增强型8051微处理器
- 与FX2兼容的外形, 形式和功能
 - 引脚兼容
 - 对象代码兼容
 - 功能兼容 (FX2LP是超集)
- 超低功耗: ICC在任何模式下均不超过85 mA bus适用于总线和电池供电应用
- 软件: 8051代码运行于:
 - 内部RAM, 通过USB下载
 - 内部RAM, 从EEPROM加载
 - 外部存储器件 (128引脚封装)
- 16 KB的片上代码/数据RAM
- 四个可编程BULK, INTERRUPT和异步终结点
 - 缓冲选项: 双重, 三重和四重
- 额外的可编程 (BULK / INTERRUPT) 64字节端点
- 8位或16位外部数据接口
- 智能媒体标准ECC生成
- GPIF (通用可编程接口)
 - 可以直接连接到大多数并行接口
 - 可编程波形描述符和配置寄存器来定义波形
 - 支持多个就绪 (RDY) 输入和控制 (CTL) 输出
- 集成的行业标准增强型8051
 - 48 MHz, 24 MHz或12 MHz CPU操作
 - per每个指令周期有四个时钟
 - 两个USART
 - 三个计数器/定时器
 - 扩展的中断系统
 - 两个数据指针

- 具有5 V容限输入的3.3 V操作
- 向里USB中断和GPIF / FIFO中断
- 为a的设置和数据部分分开数据缓冲区 CONTROL转移
- 集成I²C控制器, 运行在100或400 kHz
- 四个集成的FIFO
 - 集成胶水逻辑和FIFO降低系统成本
 - 自动切换到16位总线
 - 主或从属操作
 - 使用外部时钟或异步选通
 - 便捷的ASIC和DSPIC接口
- 可用于商业和工业温度等级 (除VFBGA外的所有封装)

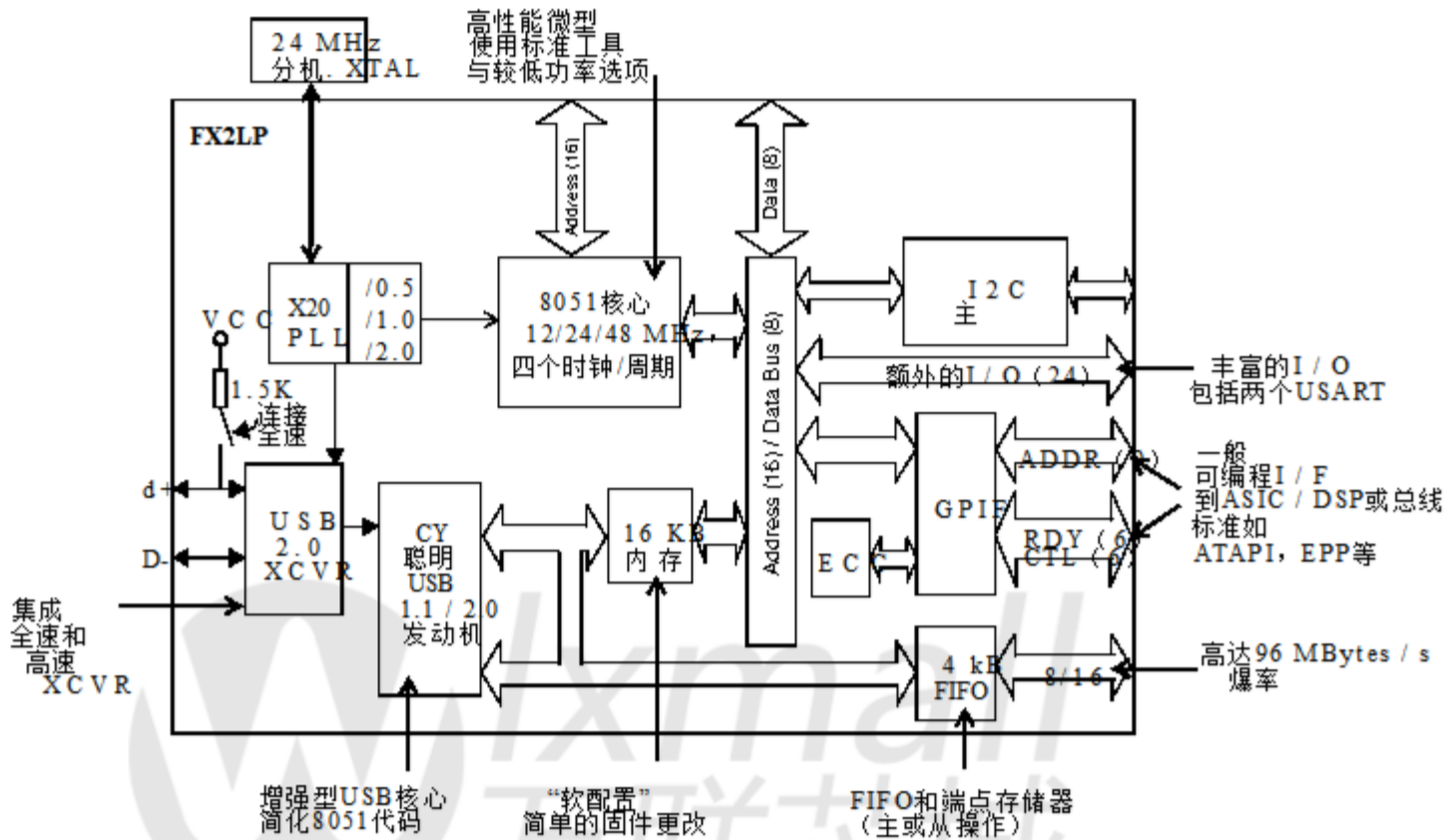
特性 (仅限CY7C68013A / 14A)

- CY7C68014A: 电池供电应用的理想选择
 - 暂停电流: 100µA (典型值)
- CY7C68013A: 非电池供电应用的理想选择
 - 暂停电流: 300µA (典型值)
- 采用5个无铅封装, 最多可支持40个GPIO
 - 128 引脚TQFP (40个GPIO), 100引脚TQFP (40个GPIO), 56引脚QFN (24个GPIO), 56引脚SSOP (24个GPIO) 和56引脚VFBGA (24个GPIO)

特性 (仅限CY7C68015A / 16A)

- CY7C68016A: 电池供电应用的理想选择
 - 暂停电流: 100µA (典型值)
- CY7C68015A: 非电池供电应用的理想选择
 - 暂停电流: 300µA (典型值)
- 采用无铅56引脚QFN封装 (26个GPIO)
- 另外两个GPIO比CY7C68013A / 14A支持更多功能相同的足迹

逻辑框图



赛普拉斯的EZ-USB[®]FX2LP (CY7C68013A / 14A) 是低电平EZ-USB FX2的高功率版本 (CY7C68013), 这是一个高度集成的低功耗USB 2.0微控制器。通过集成USB 2.0收发器, 串行接口引擎 (SIE), 增强型8051微控制器和一个可编程外设接口在单芯片上,

赛普拉斯提供了一个经济高效的解决方案。优越的上市时间和低功耗的优势总线供电应用。

FX2LP的巧妙架构可以实现数据传输超过53兆字节每秒的速率, 最大允许值USB 2.0带宽, 同时仍然使用低成本的8051微控制器封装小至56 VFBGA (5 mm x 5 毫米)。由于它集成了USB 2.0收发器, FX2LP更经济, 提供更小尺寸的解决方案。

比USB 2.0 SIE或外部收发器实现。同EZ-USB FX2LP, 赛普拉斯智能SIE处理大部分硬件中的USB 1.1和2.0协议, 释放嵌入式微控制器用于特定应用功能并正在减少开发时间以确保USB兼容性。

通用可编程接口 (GPIF) 和主/从端点FIFO (8位或16位数据总线) 提供了一个简单的方法无缝接口到流行的接口, 如ATA, UTOPIA, EPP, PCMCIA和大多数DSP /处理器。

FX2LP的消耗电流比FX2 (CY7C68013) 少片上代码/数据RAM加倍, 并且适合形式和功能与56, 100和128引脚FX2兼容。

该系列定义了五种封装: 56个VFBGA, 56个SSOP, 56 QFN, 100 TQFP和128 TQFP。

内容

应用	4	数据存储器读取	40
功能概述	4	数据存储器写入	41
USB信号速度	4	PORTC频闪功能时序	42
8051微处理器	4	GPIF同步信号	43
I2C总线	4	从FIFO同步读取	44
巴士	4	从属FIFO异步读取	45
USB启动方法	5	从属FIFO同步写入	46
重新计算	5	从属FIFO异步写入	47
总线供电应用	5	从器件FIFO同步数据包结束选通	47
中断系统	5	从属FIFO异步数据包结束选通	48
重置和唤醒	7	从设备FIFO输出使能	49
程序/数据RAM	8	从属FIFO地址到标志/数据	49
注册地址	10	从属FIFO同步地址	49
端点RAM	11	从属FIFO异步地址	50
外部FIFO接口	12	序列图	50
GPIF	13	订购信息	55
ECC生成[7]	13	订购代码定义	55
USB上传和下载	13	封装图	56
自动拨号访问	13	PCB布局建议	61
I2C控制器	14	四方扁平封装无引脚 (QFN) 封装	
兼容上一代EZ-USB FX2. 14		设计说明	62
CY7C68013A / 14A和CY7C68015A / 16A的区别 14		首字母缩略词	63
Pin Assignments	15	文件公约	63
CY7C68013A / 15A引脚说明	22	计量单位	63
注册摘要	30	文档历史页	64
绝对最大额定值	37	销售, 解决方案和法律信息	66
运行条件	37	全球销售和設計支持	66
热特性	37	产品	66
直流特性	38	PSoC解决方案	66
USB收发器	38		
交流电气特性	39		
USB收发器	39		
程序存储器读取	39		

1. 应用程序

- 便携式录像机
- MPEG / TV转换
- DSL调制解调器
- ATA接口
- 存储卡读卡器
- 传统转换设备
- 相机
- 扫描仪
- 无线局域网
- MP3播放器
- 网络

赛普拉斯网站的“参考设计”部分为典型的USB 2.0应用提供了额外的工具. 每参考设计包含固件源和目标代码, 原理图和文档. 访问 www.cypress.com 了解更多信息.

2. 功能概述

2.1 USB信令速度

FX2LP以USB中定义的三种速率中的两种速率工作
2000年4月27日规格修订版2.0:

- 全速, 信号比率为12 Mbps
- 高速, 信号比率为480 Mbps

FX2LP不支持低速信号模式
1.5 Mbps.

2.2 8051微处理器

嵌入FX2LP系列的8051微处理器具有
256个字节的寄存器RAM, 一个扩展的中断系统, 三个
定时器/计数器和两个USART.

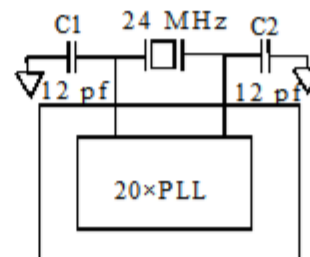
2.2.1 8051时钟频率

FX2LP具有使用外部的片上振荡器电路
24 MHz (± 100 ppm) 晶体, 具有以下特性:

- 并联谐振
- 基本模式
- 500 μ W驱动器级别
- 12 pF (5%容差) 负载电容

片上PLL将24 MHz振荡器倍频至480 MHz,
按照收发器/PHY和内部计数器的要求进行划分
它用作8051时钟. 默认的8051时钟
频率是12 MHz. 8051的时钟频率可以
动态地通过CPUCS寄存器由8051改变.

图2-1. 晶体配置



12 pF电容值假设一个跟踪电容
在四层FR4 PCA上每面3 pF

CLKOUT引脚可以三态并反向使用
内部控制位, 输出50% 占空比8051时钟, 在
选定的8051时钟频率: 48 MHz, 24 MHz或12 MHz.

2.2.2 USART

FX2LP包含两个标准8051 USART, 可通过以下网址查询
特殊功能寄存器 (SFR) 位. USART接口引脚
在单独的I / O引脚上可用, 并且不与多路复用
端口引脚.

UART0和UART1可以使用内部时钟进行操作
230波特率, 波特率误差不超过1%. 230千字节
操作是通过内部派生的时钟源实现的
在适当的时间产生溢出脉冲. 内置的
时钟可以调整8051时钟频率 (48 MHz, 24 MHz, 和
12 MHz), 因此它始终显示正确的频率
230 KBaud操作. [1]

2.2.3 特殊功能寄存器

某些8051 SFR地址被填充以提供快速
访问关键的FX2LP功能. 这些SFR的增加是
如第5页的表1所示. 粗体字表示非标准,
增强型8051寄存器. 以“0”结尾的两个SFR行
和“8”包含位寻址寄存器. 四个I / O端口A到
D使用标准8051中用于端口0的SFR地址
到3, 这在FX2LP中没有实现. 因为速度更快
和更高效的SFR寻址, FX2LP I / O端口不是
在外部RAM空间中寻址 (使用MOVX
指令).

2.3 I2C总线

FX2LP 仅在100/400 KHz时才支持I2C总线作为主设备.
SCL和SDA引脚具有开漏输出和迟滞
投入. 即使没有I2C, 这些信号也必须上拉至3.3 V
设备已连接.

2.4 巴士

所有封装, 8位或16位“FIFO”双向数据总线,
多路复用在I / O端口B和D上. 128引脚封装: 增加了16位
输出只有8051地址总线, 8位双向数据总线.

注意

1. 通过将8051 SMOD0或SMOD1位分别设置为UART0, UART1或两者的“1”, 也可以实现115-KBaud操作.

表1.特殊功能寄存器

X	8X	9X	斧头	BX	CX	DX	防爆	FX
0	IOA	IOB	国际奥林匹克委员会	IOD	SCON1	PSW	ACC	乙
1 S P		EXIF	INT2CLR	IOE	SBUF1	-	-	-
2 D P L 0		MPAGE	INT4CLR	OEA	-		-	-
3 D P H 0		-	-	OEB	-		-	-
4	DPL1	-		OEC	-		-	-
五	DPH1	-		OED	-		-	-
6	DPS	-		OEE	-		-	-
7 P C O N		-	-	-	-	-	-	-
8	TCON	SCON0	IE	IP	T2CON	EICON	EIE	EIP
9	TMOD	SBUF0	-	-	-	-	-	-
A T L 0		AUTOPTRH1	EP2468STAT	EP01STAT	RCAP2L	-	-	-
B T L 1		AUTOPTRL1	EP24FIFOFLGS	GPIFTRIG	RCAP2H	-	-	-
C T H 0		保留的	EP68FIFOFLGS		TL2	-	-	-
D T H 1		AUTOPTRH2	-	GPIFSGLDATH	TH2	-	-	-
E	CKCON	AUTOPTRL2	-	GPIFSGLDATLX	-		-	-
F-		保留的	AUTOPTRESET-UP	GPIFSGLDATLNOX	-		-	-

2.5 USB启动方法

在上电序列期间，内部逻辑检查I2C端口用于连接第一个字节为0xC0的EEPROM或0xC2。如果找到，它使用EEPROM中的VID / PID / DID值代替内部存储的值（0xC0），或者启动加载EEPROM内容到内部RAM（0xC2）。如果没有EEPROM检测到，FX2LP枚举使用内部存储的描述符。FX2LP的默认ID值是VID / PID / DID（0x04B4，0x8613，0xAxxx其中xxx = 芯片修订版）[2]

表2. FX2LP的默认ID值

默认VID / PID / DID		
供应商ID	0x04B4	赛普拉斯半导体
产品ID	0x8613	EZ-USB FX2LP
设备发布	0xAxxx	取决于芯片修订 (xxx = 首次芯片修订 硅 = 001)

2.6重新计算

由于FX2LP的配置比较软，因此可以采用一个芯片多个不同USB设备的身份。

首次插入USB时，FX2LP列举自动下载固件和USB描述符。USB电缆上的表格。接下来，FX2LP再次列举，这次是作为由下载的信息定义的设备。这个专利的两步骤过程称为ReNumeration。即刻插入设备时，没有任何提示最初的下步骤已经发生。

发生

USBCS（USB控制和状态）寄存器中的两个控制位，控制ReNumeration过程：DISCON和RENUM。至模拟USB断开，固件将DISCON设置为1。重新连接，固件将DISCON清除为0。

在重新连接之前，固件会设置或清除RENUM位指示固件或默认USB设备处理终端零点以上的设备请求：如果RENUM = 0，则默认USB设备处理设备请求；如果RENUM = 1，则固件为请求提供服务。

2.7总线供电应用

FX2LP通过列举完全支持总线供电设计。根据USB 2.0规范的要求，其电流小于100 mA。

2.8中断系统

2.8.1 INT2中断请求和使能寄存器

FX2LP为INT2和INT4实现自动向量功能。有27个INT2（USB）向量和14个INT4（FIFO / GPIF）向量。请参阅EZ-USB技术参考手册（TRM）更多细节。

2.8.2 USB中断自动调节器

主USB中断由27个中断源共享。至保存识别所需的代码和处理时间。单独的USB中断源，FX2LP提供了第二个中断向量的级别，称为Autovectoring。当一个USB中断有效，FX2LP将程序计数器按下它的堆栈，然后跳转到它期望的地址0x0043找到USB中断服务程序的“跳转”指令。

注意

2. 即使没有连接EEPROM，I2C总线SCL和SDA引脚也必须上拉。否则这种检测方法无法正常工作。

FX2LP跳转指令编码如下:

表3. INT2 USB中断

USB INTERRUPT TABLE FOR INT2			
优先	INT2VEC值	资源	笔记
1	00	SUDAV	设置数据可用
2	04	SOF	帧开始 (或微帧)
3	08	SUTOK	收到安装令牌
4	0C	暂停	USB暂停请求
五	10	USB RESET	总线重置
6	14	你好快速	进入高速运转
7	18	EP0ACK	FX2LP确认CONTROL握手
8	1C		保留的
9	20	EP0-IN	EP0-IN准备好加载数据
10	24	EP0-OUT	EP0-OUT具有USB数据
11	28	EP1-IN	EP1-IN准备好加载数据
12	2C	EP1-OUT	EP1-OUT具有USB数据
13	三十	EP2	IN: 缓冲区可用. OUT: 缓冲区有数据
14	34	EP4	IN: 缓冲区可用. OUT: 缓冲区有数据
15	38	EP6	IN: 缓冲区可用. OUT: 缓冲区有数据
16	3C	EP8	IN: 缓冲区可用. OUT: 缓冲区有数据
17	40	IBN	IN-Bulk-NAK (任何IN端点)
18	44		保留的
19	48	EP0PING	EP0 OUT被钉住了, 它没有响了
20	4C	EP1PING	EP1 OUT被钉住了, 它没有声音
21	50	EP2PING	EP2 OUT was pinged and it NAK'd
22	54	EP4PING	EP4 OUT被钉住了, 它没有响了
23	58	EP6PING	EP6 OUT被钉住了, 它没有声音
24	5C	EP8PING	EP8 OUT被钉住了, 它没有响了
25	60	ERRLIMIT	总线错误超出了设定的限制
26	64	-	-
27	68	-	保留的
28	6C	-	保留的
29	70	EP2ISOERR	ISO EP2 OUT PID序列错误
三十	74	EP4ISOERR	ISO EP4 OUT PID序列错误
31	78	EP6ISOERR	ISO EP6 OUT PID序列错误
32	7C	EP8ISOERR	ISO EP8 OUT PID序列错误

如果自动引导启用 (INTSET-UP寄存器中的AV2EN = 1), 则FX2LP替代其INT2VEC字节.因此, 如果高跳转表地址的字节 ("页") 被预加载在位置0x0044处, 自动插入的INT2VEC字节在0x0045处指示跳转到页面中27个地址中的正确地址.

2.8.3 FIFO / GPIF中断 (INT4)

正如USB中断在27个独立USB中断源之间共享一样, FIFO / GPIF中断在14个人之间共享. FIFO / GPIF源.类似于USB中断的FIFO / GPIF中断可以使用自动向量机.第7页的表4显示了14个FIFO / GPIF中断源的优先级和INT4VEC值.

表4.单独的FIFO / GPIF中断源

优先	INT4VEC值	资源	笔记
1	80	EP2PF	端点2可编程标志
2	84	EP4PF	端点4可编程标志
3	88	EP6PF	端点6可编程标志
4	8C	EP8PF	端点8可编程标志
五	90	EP2EF	端点2空标志
6	94	EP4EF	端点4空标志
7	98	EP6EF	端点6空标志
8	9C	EP8EF	端点8空标志
9	A0	EP2FF	端点2满标志
10	A4	EP4FF	端点4满标志
11	A8	EP6FF	端点6满标志
12	AC	EP8FF	端点8满标志
13	B0	GPIFDONE	GPIF操作完成
14	B4	GPIFWF	GPIF波形

如果启用Autovectoring (INTSET-UP中的AV4EN = 1) 寄存器), FX 2LP将替换其INT4VEC字节.因此, 如果跳转表地址的高字节 (“页面”) 被预加载为位置0x0054, 自动插入INT4VEC字节0x0055将跳转指向14之外的正确地址地址在页面内.当ISR发生时, FX2LP将程序计数器推入堆栈, 然后跳转到地址0x0053, 它期望在ISR中找到“跳转”指令中断服务程序.

2.9重置和唤醒

2.9.1 复位引脚

输入引脚RESET# 在置位时复位FX2LP.这个引脚有滞后现象, 并处于低电平状态.当使用晶体时CY7C680xxA的复位周期必须使能稳定晶体和PLL.这个重置周期必须近似

VCC达到3.0V后5 ms.如果晶体输入引脚被驱动200内部PLL稳定的时钟信号在VCC之后达到3.0V.[3]

第8页的图2-2显示了加电复位条件和a在操作期间应用重置.上电复位定义为电源正在施加时断言的时间重置电路.通电复位是FX2LP上电和操作和RESET# 引脚置位.

赛普拉斯提供了一份描述和应用说明建议开启复位实施.更多有关FX2系列重置实施的信息产品请访问<http://www.cypress.com>.

注意

3.如果外部时钟与CY7C680xxA同时供电且具有稳定等待时间, 则必须将其添加到200

ns.

图2-2.重置计时图

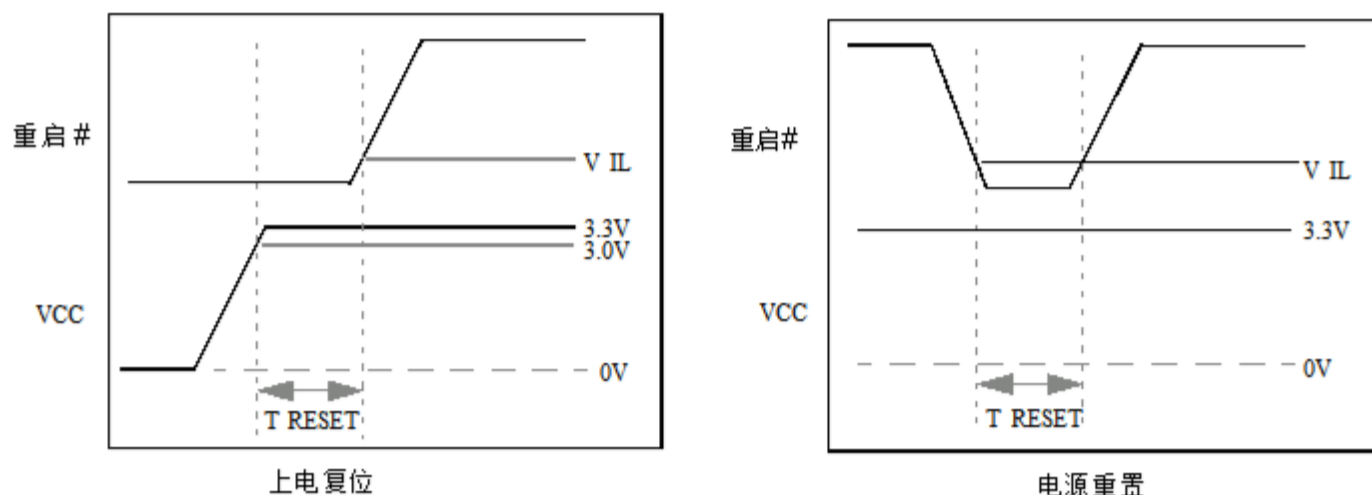


表2-1.重置计时值

条件	T RESET
通过晶体上电复位	5毫秒
通过外部电源重启时钟	200 μ s + 时钟稳定时间
电源重置	200 μ s

2.9.2 唤醒引脚

8051将自己和芯片的其余部分置于关机状态。模式设置PCON.0 = 1.这会停止振荡器和PLL.当WAKEUP由外部逻辑振荡器振荡时PLL稳定后重新启动, 8051接收唤醒打断.无论FX2LP是否连接到本机, 这都适用USB.

FX2LP使用一个退出掉电(USB暂停)状态以下方法:

- USB总线活动(如果D+/D-线悬空, 这些噪声行可能指示FX2LP活动并启动唤醒)
- 外部逻辑置位WAKEUP引脚
- 外部逻辑断言PA3 / WU2引脚

第二个唤醒引脚WU2也可以配置为一个通用I/O引脚.这使得一个简单的外部RC网络被用作定期唤醒源. WAKEUP是通过默认低电平有效.

2.10 程序/数据RAM

2.10.1 尺寸

FX2LP具有16 KB的内部程序/数据RAM, 其中PSEN# / RD# 信号在内部进行或运算以使8051能够作为程序和数据存储器访问它.没有USB控制寄存器出现在这个空间.

两个存储器映射如下图所示:

第9页的图2-3显示了内部代码存储器, EA = 0

第10页的图2-4显示了外部代码存储器, EA = 1.

2.10.2 内部代码存储器, EA = 0

该模式实现内部16 KB RAM块(从0开始)作为组合代码和数据存储器.什么时候外部RAM或ROM被添加, 外部读写闪存禁止用于存在于内部的存储空间.芯片.这使用户可以连接一个64 KB的内存而不需要地址解码以保持内部清除内存空间.

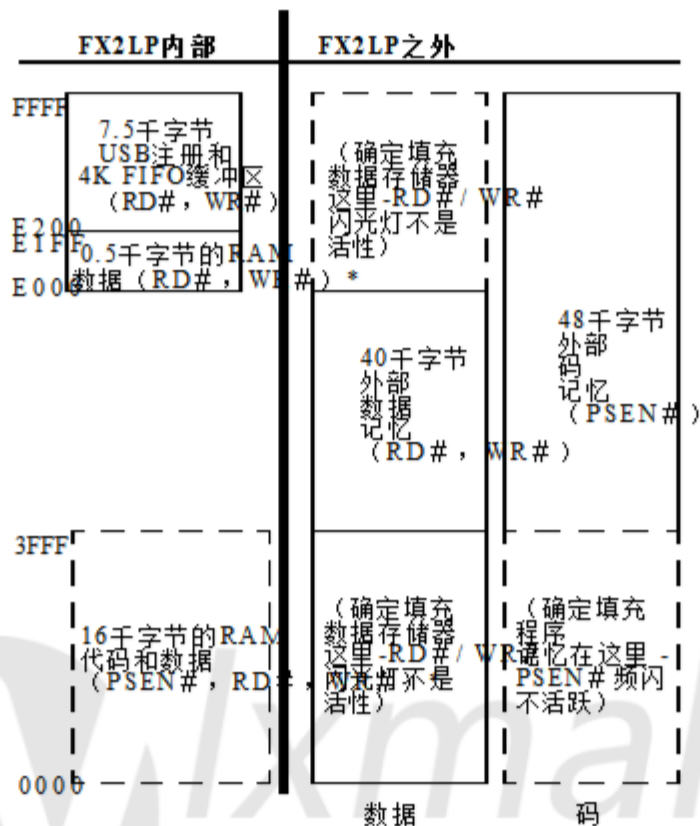
只有内部16千字节和便笺簿0.5千字节的RAM空格有以下权限:

- USB下载
- USB上传
- 设置数据指针
- 我C接口引导负载.

2.10.3 外部代码存储器, EA = 1

最低16 KB的程序存储器是外部的.因此可以访问底部16 KB的内部RAM.仅作为数据存储器.

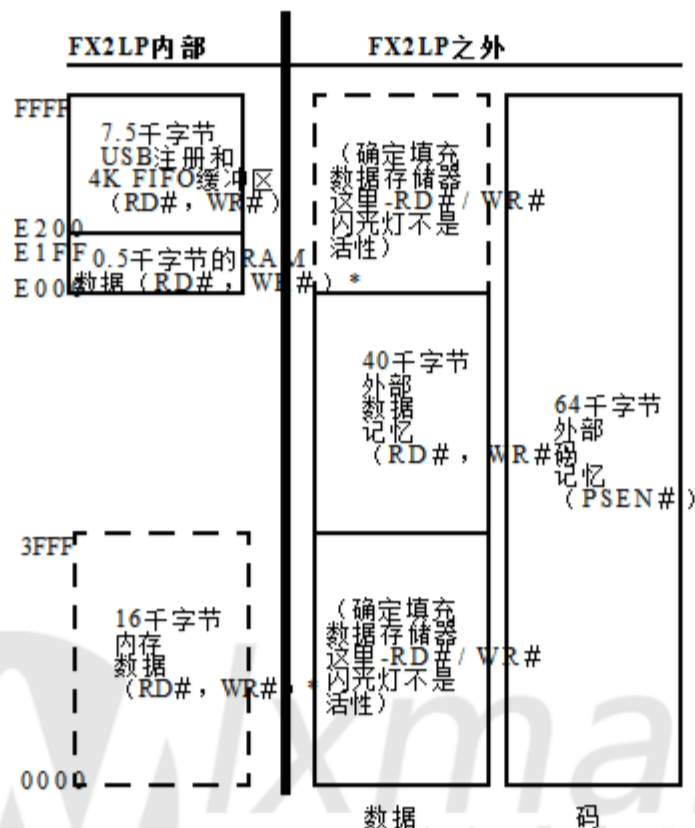
图2-3.内部代码存储器，EA = 0



* SUDPTR, USB上传/下载, I2C接口启动访问

www.wxmall.com

图2-4.外部代码存储器，EA = 1



* SUDPTR, USB上传/下载, I2C接口启动访问

2.11 注册地址

FFFF	4千字节EP2-EP8 缓冲区 (8 x 512)
F000 EFFF	2千字节保留
E800 E7FF	64字节EP1IN
E780 E77F	64字节EP1OUT
E740 E73F	64字节EP0输入/输出
E700 E6FF	64字节保留
E500 E4FF	8051可寻址寄存器 (512)
E480 E47F	保留(128)
E400 E3FF	128个字节的GPIF波形
E200 E1FF	保留(512)
E000	512字节 8051 xdata RAM

2.12 端点RAM

2.12.1 大小

- 3×64字节 (终点0和1)
- 8×512字节 (终点2, 4, 6, 8)

2.12.2 组织

- EP0
- 双向端点零, 64字节缓冲区
- EP1IN, EP1OUT
- 64字节缓冲区, 批量或中断
- EP2,4,6,8
- 8个512字节缓冲区, 批量, 中断或等时. EP4和EP8可以双重缓冲; EP2和6可以是双重的, 三重或四重缓冲.用于高速端点配置选项, 请参见图2-5.

2.12.3 设置数据缓冲区

0xE6B8-0xE6BF处的单独8字节缓冲区保存设置数据从CONTROL转移.

2.12.4 端点配置 (高速模式)

端点0和1对于每个配置都是相同的.端点0是唯一的CONTROL端点, 端点1也可以是BULK或INTERRUPT.

端点缓冲区可以在12个中的任何一个中配置.配置显示在垂直列中.在中工作时,全速BULK模式只有每个缓冲区的前64个字节被使用.例如, 在高速下, 最大数据包大小为512字节, 但全速是64字节.即使缓冲区是配置为一个512字节的缓冲区, 全速只有前64个字节被使用.未使用的端点缓冲区空间不可用于其他操作.示例端点配置是EP2-1024双缓冲; EP6-512四方缓冲 (第8栏).

图2-5.终端配置



2.12.5 默认全速备用设置

表5. 默认全速备用设置[4, 5]

备用设置	0	1	2	3
EP0	64	64	64	64
EP1OUT	0	64块	64 int	64 int
ep1in	0	64块	64 int	64 int
EP2	0	64块外出 (2×)	64 int out (2×)	64个输出 (2×)
EP4	0	64块外出 (2×)	64块外出 (2×)	64块外出 (2×)
EP6	0	(2×) 64块	(2×) 64 int	(2×) 中的64个iso
EP8	0	(2×) 64块	(2×) 64块	(2×) 64块

2.12.6 默认高速备用设置

表6. 默认高速备用设置[4, 5]

备用设置	0	1	2	3
EP0	64	64	64	64
EP1OUT	0	512散装[6]	64 int	64 int
ep1in	0	512散装[6]	64 int	64 int
EP2	0	512块外出 (2×)	512 int out (2×)	512 iso out (2×)
EP4	0	512块外出 (2×)	512块外出 (2×)	512块外出 (2×)
EP6	0	(2×) 512块	(2×) 512 int	(2×) 512 iso
EP8	0	(2×) 512块	(2×) 512块	(2×) 512块

2.13 外部FIFO接口

2.13.1 体系结构

FX2LP从机FIFO架构中有8个512字节的块直接用作FIFO存储器的端点RAM由FIFO控制信号控制(如IFCLK, SLCS#, SLRD, SLWR, SLOE, PKTEND和标志)。

在操作中, 八个RAM块中的一些填充或清空SIE, 而其他连接到I/O传输逻辑。该传输逻辑有两种形式, GPIF用于内部生成控制信号和从属FIFO接口用于外部受控转移。

2.13.2 主/从控制信号

FX2LP端点FIFOS以8个物理实现不同的256x16 RAM块。8051/SIE可以切换任何一种两个域之间的RAM块, 即USB(SIE)域和8051-I/O单元域。这种切换是虚拟完成的瞬间, 给予之间基本上零转换时间“USB FIFOS”和“Slave FIFOS”。因为它们是物理上的相同的内存之间没有实际的字节传输缓冲区。

在任何时候, 一些RAM块正在填充/清空USB数据在SIE控制下, 其他RAM块可用8051, I/O控制单元或两者。RAM块作为USB域中的单端口以及8051-I/O中的双端口

域。这些块可以配置为单, 双, 三, 或如前所示进行四元缓冲。

I/O控制单元实现内部主站(M for 主机)或外部主机(S用于从机)接口。

在主(M)模式下, GPIF内部控制FIFOADR[1..0]选择一个FIFO_RDY引脚(两个在56引脚封装中, 六个在100引脚和128引脚封装中)可用作标志输入。根据需求从外部FIFO或其他逻辑。GPIF可以从内部派生时钟运行或从外部提供时钟(IFCLK), 数据传输速率高达96兆字节/秒(具有16位接口的48 MHz IFCLK)。

在Slave(S)模式下, FX2LP可以在内部接受派生时钟或外部提供时钟(IFCLK, 最大频率48 MHz)和SLCS#, SLRD, SLWR, SLOE, PKTEND信号来自外部逻辑。当使用外部IFCLK时, 外部在切换到外部时钟之前时钟必须存在IFCLKSRC位。每个端点都可以单独选择通过内部配置位和a进行字节或字运算从器件FIFO输出使能信号SLOE使能数据选定的宽度。外部逻辑必须确保输出使能将数据写入从设备FIFO时, 信号无效。奴隶接口也可以异步操作, SLRD和SLWR信号直接作为选通, 而不是时钟限定符如同步模式。信号SLRD, SLWR, SLOE和PKTEND由信号SLCS#进行门控。

笔记

4.“0”表示“未实施”。

5.“2×”表示“双缓冲”。

6.尽管这些缓冲区是64字节, 但为了符合USB 2.0标准, 它们报告为512。用户绝不能将大于64字节的数据包传输到EP1。

2.13.3 GPIF和FIFO时钟速率

8051寄存器位选择两个频率中的一个
内部提供的接口时钟: 30 MHz和48 MHz.
或者, 外部提供5 MHz-48 MHz的时钟
馈送IFCLK引脚可用作接口时钟. IFCLK
可以配置为GPIF时用作输出时钟
和FIFO在内部计时. 输出使能位在
如果需要, IFCONFIG寄存器关闭此时钟输出. 另一个
位在IFCONFIG寄存器中反转IFCLK信号
无论是内部还是外部来源.

2.14 GPIF

GPIF是一个灵活的8位或16位并行接口驱动的一个用户可编程的有限状态机. 它使能
CY7C68013A / 15A执行本地总线控制并可以
实施各种协议, 如ATA接口,
打印机并行端口和Utopia.

GPIF有六个可编程控制输出 (CTL), 九个
地址输出 (GPIFADRx) 和六个通用就绪
输入 (RDY). 数据总线宽度可以是8或16位. 每个GPIF
向里定义控制输出的状态, 并确定
准备好的输入 (或多个输入) 之前必须处于什么状态
就绪. 可以对GPIF矢里进行编程以推进 a
FIFO到下一个数据值, 提前地址等
GPIF向里的序列组成单个波形
被执行以执行期望的数据移动
FX2LP和外部设备.

2.14.1 六个控制输出信号

100引脚和128引脚封装带来全部六个控制
输出引脚 (CTL0-CTL5). 8051编程GPIF单元
定义CTL波形. 56针封装带来了三个
这些信号中的CTL0-CTL2. CTLx波形边缘可以
编程为每个时钟一次快速转换 (20.8
ns使用48 MHz时钟).

2.14.2 六个就绪IN信号

100引脚和128引脚封装带来全部六个Ready输入
(RDY0-RDY5). 8051编程GPIF单元来测试
RDY引脚用于GPIF分支. 56针封装带来了两个
这些信号, RDY0-1.

2.14.3 九个GPIF地址输出信号

100个引脚和128个引脚提供九个GPIF地址线
软件包, GPIFADR [8..0]. GPIF地址线启用
索引最多512字节的RAM. 如果有更多地址
需要线路使用I / O端口引脚.

2.14.4 长传输模式

在主模式下, 8051适当地设置GPIF
事务计数器寄存器 (GPIFTCB3, GPIFTCB2, GPIFTCB1,
或GPIFTCB0) 进行最多232个事务的无人值守传输.
GPIF自动调节数据流以防止出现或
溢出, 直到全部请求的交易
完成. GPIF将这些寄存器中的值递减为
代表交易的当前状态.

2.15 ECC生成[7]

EZ-USB可以计算ECC (纠错码)
数据通过GPIF或Slave FIFO接口传递. 那里
是两种ECC配置: 两种ECC, 每种计算结束
256字节 (SmartMedia标准) 并计算出一个ECC
512字节.

ECC可以纠正任何一位错误或检测任何两位错误.

2.15.1 ECC实施

两个ECC配置由ECCM位选择:

ECCM = 0

两个3字节的ECC, 每个都通过256字节的数据块进行计算.
此配置符合SmartMedia标准.

将任何值写入ECCRESET, 然后通过GPIF传递数据
或从设备FIFO接口. ECC为前256个字节的数据
被计算并存储在ECC1中. 下一个256字节的ECC
存储在ECC2中. 在计算第二个ECC之后, 这些值
在写入ECCRESET之前, ECCx寄存器不会改变
再次, 即使更多的数据随后通过
接口.

ECCM = 1

在512字节的数据块上计算一个3字节的ECC.

将任何值写入ECCRESET, 然后通过GPIF传递数据
或从设备FIFO接口. ECC用于前512个字节的数据
被计算并存储在ECC1中; ECC2未使用. 之后
计算ECC时, 即使ECC1中的值不变
更多的数据随后通过接口传递, 直到
ECCRESET再次被写入.

2.16 USB上传和下载

核心能够直接编辑数据的内容
内部16 KB RAM和内部512字节便笺
RAM通过供应商特定的命令. 这种能力通常是
软下载用户代码时使用, 仅适用于
和内部RAM, 只有当8051保持复位状态. 该
可用的RAM空间是从0x0000-0x3FFF开始的16 KB
(代码/数据) 以及0xE000-0xE1FF (暂存区) 的512个字节
数据RAM) .[8]

2.17 自动拨号访问

FX2LP提供了两个相同的自动选取器. 它们与...类似
内部8051数据指针但具有附加功能:
他们可以选择增加每个内存访问后. 这个
能力可用于内部和外部
内存. 自动指针在外部FX2LP寄存器中可用
在模式位 (AUTOPTRESET-UP.0) 的控制下. 使用
外部FX2LP自动指针访问 (0xE67B - 0xE67C)
使自动选择器能够访问所有内部和外部RAM
到部分.

此外, 自动指针可以指向任何FX2LP寄存器或
端点缓冲区空间. 当autopointer访问外部时
内存已启用, XDATA中的位置为0xE67B和0xE67C
代码空间不能使用.

笔记

7. 要使用ECC逻辑, 必须将GPIF或从设备FIFO接口配置为全字节操作.
8. 从主机下载数据后, 可以从内部RAM执行“加载程序”, 将下载的数据传输到外部存储器.

2.18 I2C 控制器

FX2LP 有一个 I2C 端口，由两个内部控制器驱动，一个在启动时自动运行以加载 VID / PID / DID 和配置信息，以及 8051 使用的另一个信息。运行时可控制外部 I2C 设备。I2C 端口仅在主模式下运行。

2.18.1 I2C 端口引脚

I2C 引脚 SCL 和 SDA 必须具有外部 2.2 k Ω 上拉电阻。即使没有 EEPROM 连接到 FX2LP 也是如此。必须配置外部 EEPROM 器件地址引脚。正常。见表 7 配置器件地址引脚。

表 7. 将带引导的 EEPROM 地址线连接到这些值

字节	EEPROM 示例	A2	A1	A0
16	24LC00 [9]	N/A	N/A	N/A
128	24LC01	0	0	0
256	24LC02	0	0	0
4K	24LC32	0	0	1
8K	24LC64	0	0	1
16K	24LC128	0	0	1

2.18.2 I2C 接口引导加载程序

在上电复位时，I2C 接口引导加载程序加载 VID / PID / DID 配置字节和高达 16 KB 的程序/数据。可用的 RAM 空间距离 16 KB 0x0000-0x3FFF 和来自 0xE000-0xE1FF 的 512 个字节。8051 正在重置。I2C 接口引导加载程序仅在通电后才会发生重启。

2.18.3 I2C 接口通用接入

8051 可以控制连接到 I2C 总线的外设 I2C CTL 和 I2C DAT 寄存器。FX2LP 提供 I2C 主控只有控制，它从来不是一个 I2C 奴隶。

2.19 与上一代兼容

EZ-USB FX2

EZ-USB FX2LP 外形小巧，除少数例外在功能上与其前身 EZ-USB FX2 兼容。这使得设计师想要轻松过渡将他们的系统从 FX2 升级到 FX2LP。引脚分配和包选择是相同的，绝大多数是之前为 FX2 功能开发的固件 FX2LP。

对于从 FX2 迁移到 FX2LP 的设计师而言，材料清单和内存分配审查（由于增加内部存储器）是必需的。了解更多信息关于从 EZ-USB FX2 迁移到 EZ-USB FX2LP，请参阅标题为从 EZ-USB FX2 迁移到 EZ-USB 的应用笔记。FX2LP 可在赛普拉斯网站上找到。

表 8. 零件号转换表

EZ-USB FX2 零件号	EZ-USB FX2LP 零件号	包描述
CY7C68013-56PVC	CY7C68013A-56PVXC 或 CY7C68014A-56PVXC	56 引脚 SSOP
CY7C68013-56PVCT	CY7C68013A-56PVXCT 或 CY7C68014A-56PVXCT	56 引脚 SSOP - 磁带和卷轴
CY7C68013-56LFC	CY7C68013A-56LFXC 或 CY7C68014A-56LFXC	56 针 QFN
CY7C68013-100AC	CY7C68013A-100AXC 或 CY7C68014A-100AXC	100 针 TQFP
CY7C68013-128AC	CY7C68013A-128AXC 或 CY7C68014A-128AXC	128 引脚 TQFP

2.20 CY7C68013A / 14A 和 CY7C68015A / 16A

差异

CY7C68013A 与 CY7C68014A 在形式、配合和使用方面相同。CY7C68015A 的形式与 CY7C68016A 相同，适合性和功能性。CY7C68014A 和 CY7C68016A 都有比 CY7C68013A 和 CY7C68015A 更低的暂停电流。分别是理想的功率敏感电池应用。

CY7C68015A 和 CY7C68016A 采用 56 引脚 QFN 封装。仅包两个附加的 GPIO 信号可用。CY7C68015A 和 CY7C68016A 在提供更多灵活性时在 56 引脚封装中不需要 IFCLK 或 CLKOUT。

USB 开发人员想要转换他们的 FX2 56 引脚应用程序到巴士供电系统直接受益于这些额外的信号。两个 GPIO 为开发人员提供了他们所需的信号用于其总线供电应用的电源控制电路，而不会将它们推向 FX2LP 的高引脚版本。

CY7C68015A 仅适用于 56 引脚 QFN 封装。

表 9. CY7C68013A / 14A 和 CY7C68015A / 16A

CY7C68013A / CY7C68014A	CY7C68015A / CY7C68016A
IFCLK	PE0
CLKOUT	PE1

注意

9. 这个 EEPROM 没有地址引脚。

3. 引脚分配

第16页的图3-1标识了五个软件包的所有信号类型。以下几页说明了各个引脚图，再加上一个组合图来显示哪一套完整的信号可用于128引脚，100引脚和56引脚包。

图3-1中56针封装左边缘的信号

在FX2LP系列的所有版本中都是通用的。在CY7C68013A / 14A和之间的显著差异。CY7C68015A / 16A。

所有软件包版本都提供三种模式：端口，GPIF主机和从机FIFO。这些模式定义了信号图的右边缘。8051选择接口模式。使用IFCONFIG [1: 0]寄存器位。端口模式是开机默认配置。

该100引脚封装为56引脚封装增加了功能。添加这些引脚：

- PORTC或备用GPIFADR [7: 0]地址信号
- PORTE或备用GPIFADR [8]地址信号和七额外的8051信号
- 三个GPIF控制信号
- 四个GPIF就绪信号
- 九个8051信号（两个USART，三个定时器输入，INT4和INT5#）
- BKPT，RD#，WR#。

128引脚封装添加了8051地址和数据总线。加上控制信号。请注意，两个所需的信号RD#和WR#，都出现在100引脚版本中。

在100引脚和128引脚版本中，8051控制位可以是设置为在8051读取时脉冲RD#和WR#引脚从/写入PORTC。该功能通过设置启用CPUCS寄存器中的PORTCSTB位。

第9.5节显示了读写的时序图。选通功能访问PORTC。

Wlxmall
万联芯城
www.wlxmall.com

图3-1.信号

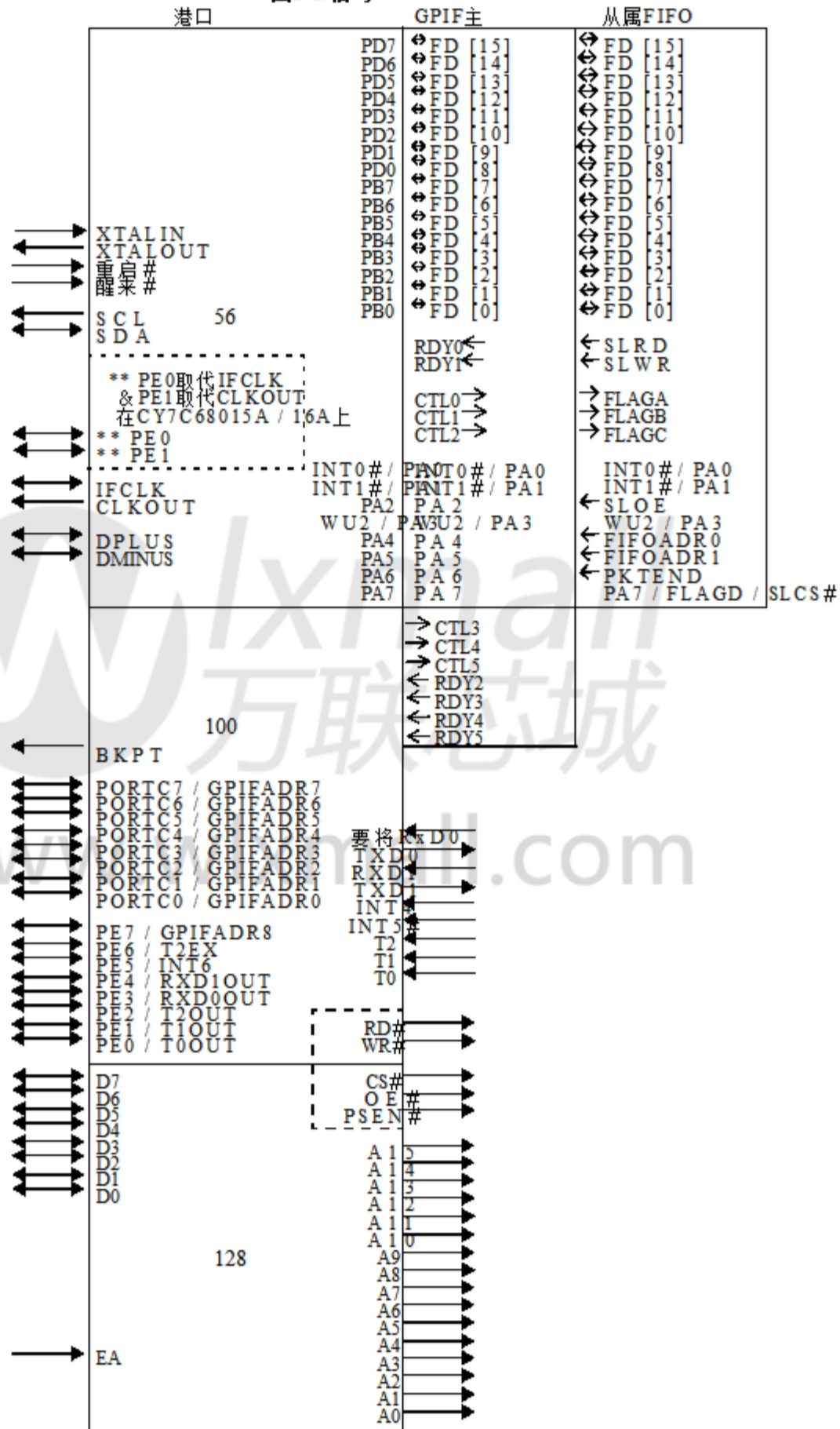
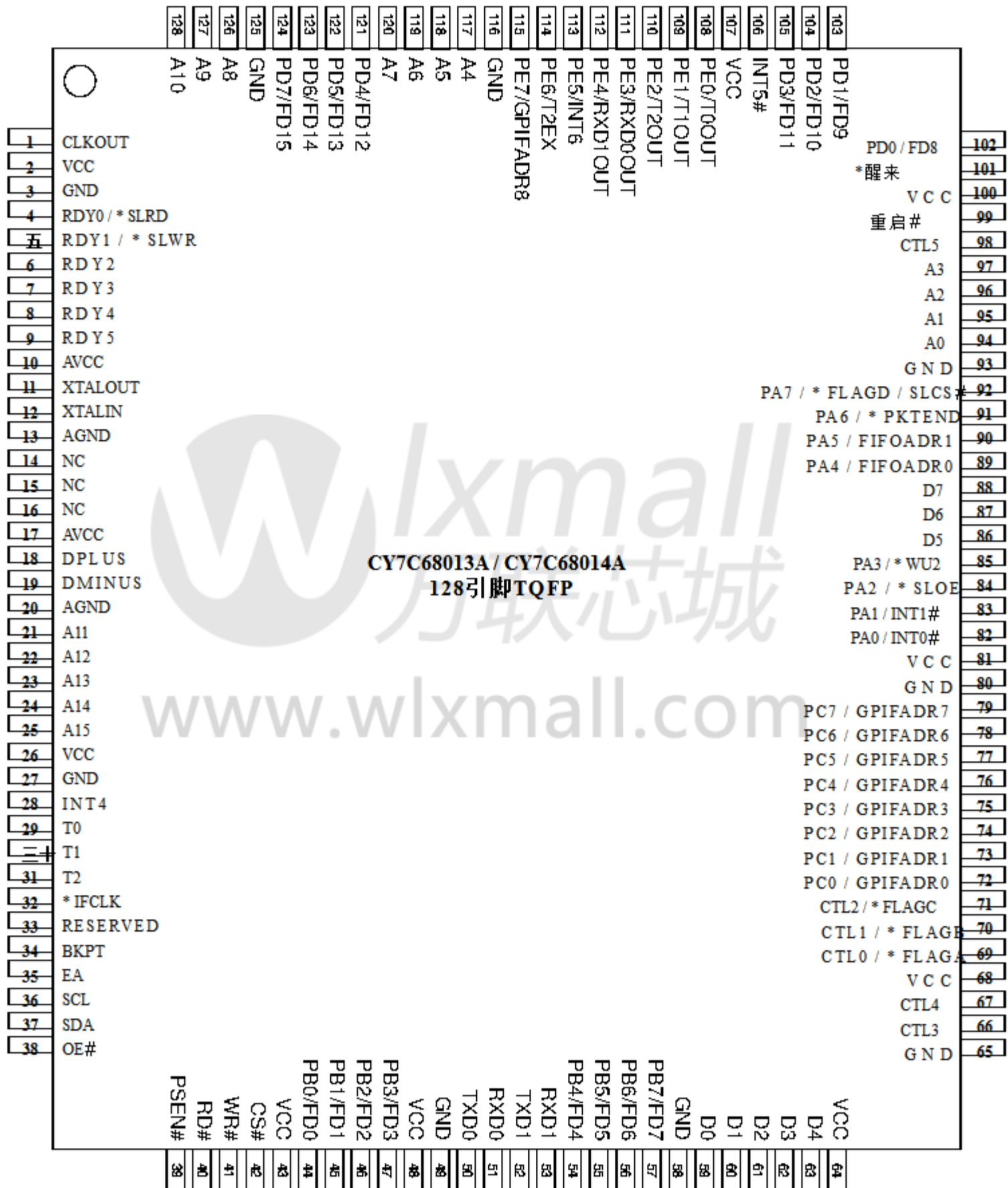
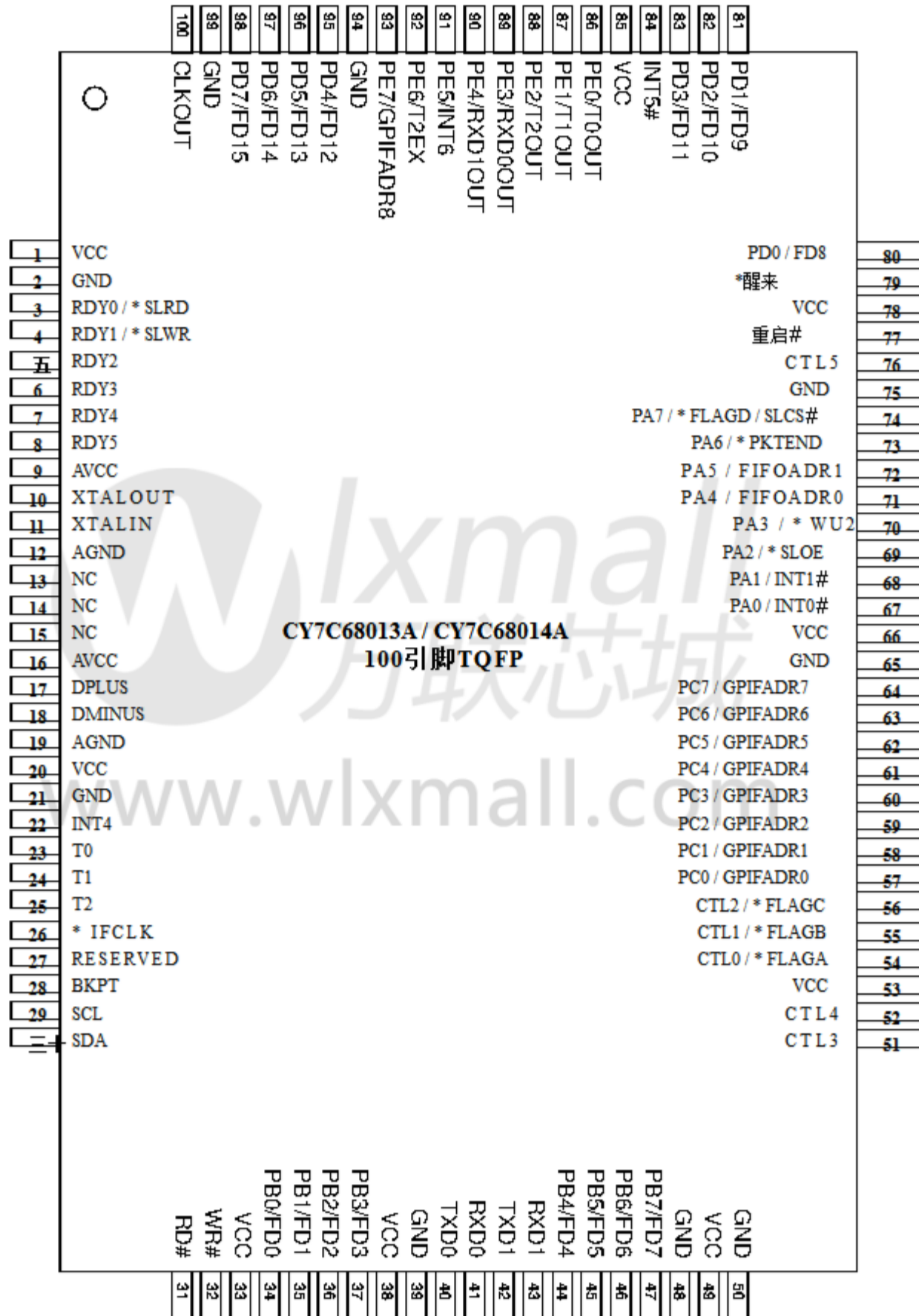


图3-2. CY7C68013A / CY7C68014A 128引脚TQFP引脚分配



*表示可编程极性

图3-3. CY7C68013A / CY7C68014A 100引脚TQFP引脚分配



*表示可编程极性

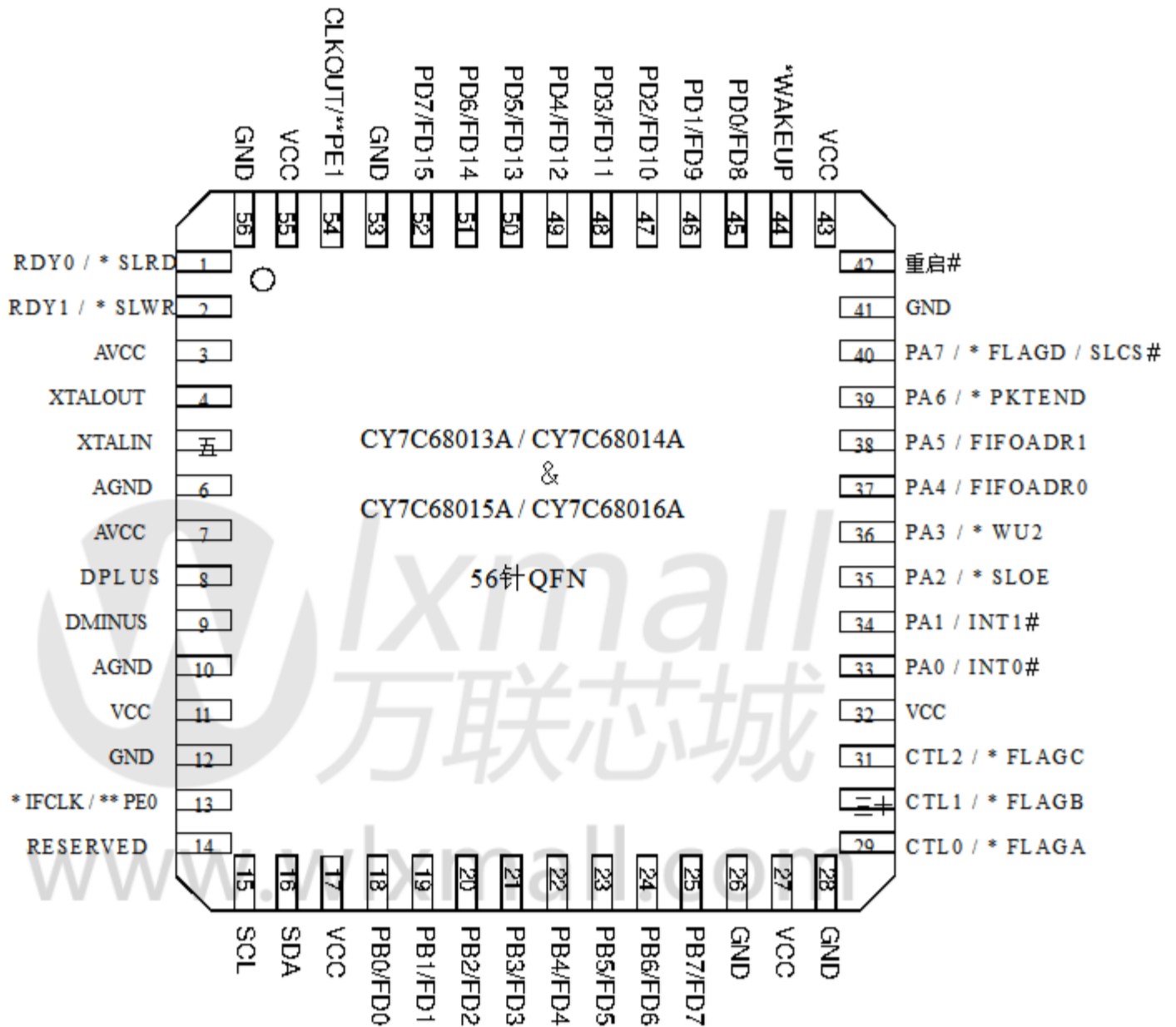
图3-4. CY7C68013A / CY7C68014A 56引脚 SSOP 引脚分配

CY7C68013A / CY7C68014A
56引脚SSOP

1	PD5 / FD13	PD4 / FD12	56
2	PD6 / FD14	PD3 / FD11	55
3	PD7 / FD15	PD2 / FD10	54
4	GND	PD1 / FD9	53
5	CLKOUT	PD0 / FD8	52
6	VCC	*醒来	51
7	GND	VCC	50
8	RDY0 / * SLRD	重启#	49
9	RDY1 / * SLWR	GND	48
10	AVCC	PA7 / * FLAGD / SLCS#	47
11	XTALOUT	PA6 / PKTEND	46
12	XTALIN	PA5 / FIFOADR1	45
13	AGND	PA4 / FIFOADR0	44
14	AVCC	PA3 / * WU2	43
15	DPLUS	PA2 / * SLOE	42
16	DMINUS	PA1 / INT1#	41
17	AGND	PA0 / INT0#	40
18	VCC	VCC	39
19	GND	CTL2 / * FLAGC	38
20	* IFCLK	CTL1 / * FLAGB	37
21	RESERVED	CTL0 / * FLAGA	36
22	SCL	GND	35
23	SDA	VCC	34
24	VCC	GND	33
25	PB0 / FD0	PB7 / FD7	32
26	PB1 / FD1	PB6 / FD6	31
27	PB2 / FD2	PB5 / FD5	30
28	PB3 / FD3	PB4 / FD4	29

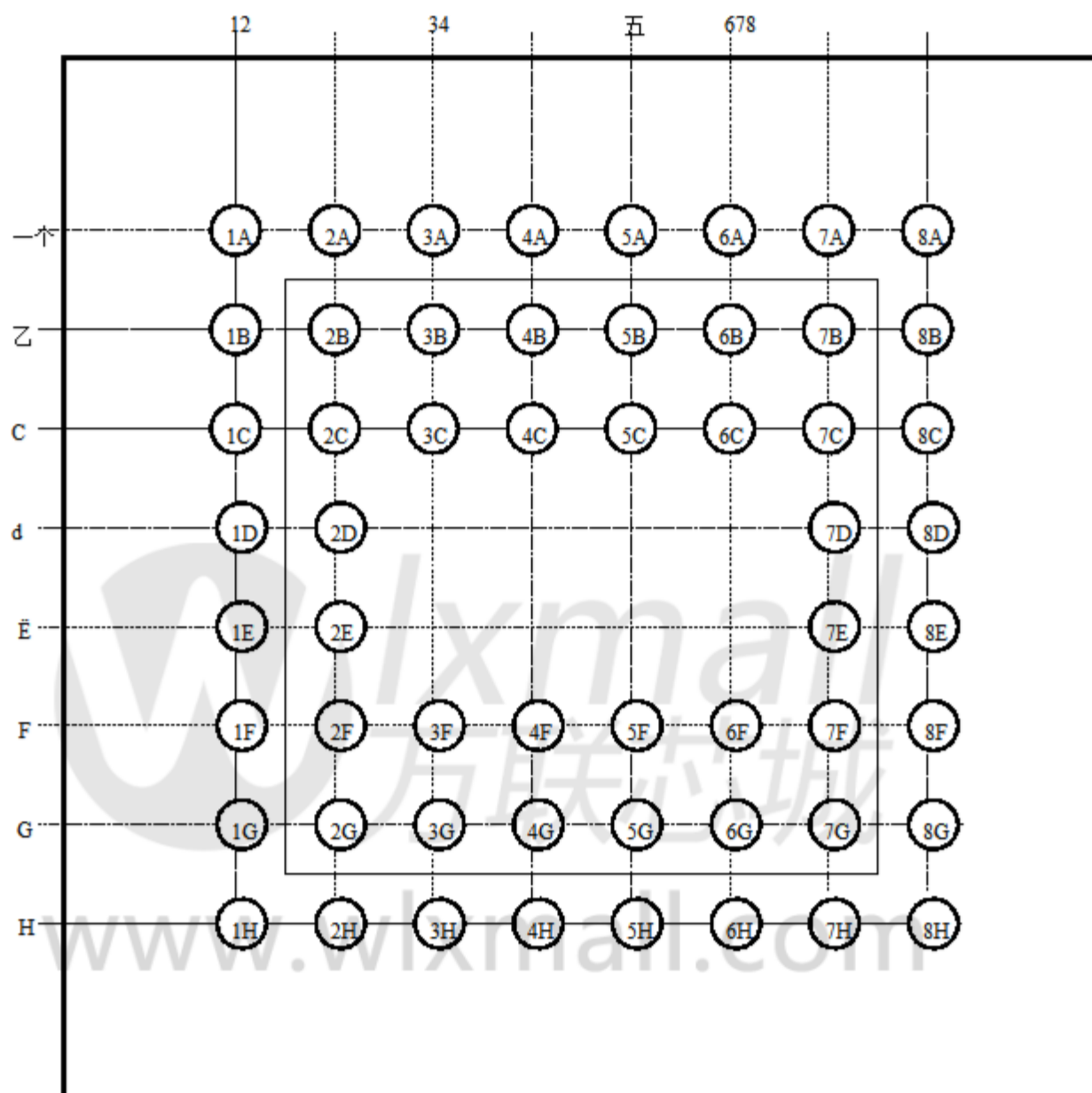
*表示可编程极性

图3-5. CY7C68013A / 14A / 15A / 16A 56引脚QFN引脚分配



*表示可编程极性
**表示CY7C68015A / CY7C68016A引脚

图3-6. CY7C68013A 56引脚VFBGA引脚分配 - 俯视图



3.1 CY7C68013A / 15A引脚说明

FX2LP引脚说明如下.[10]

表10. FX2LP引脚说明

128 T Q F F	100 T Q F F	56 SSOP	56 Q F N	56 VFBGA	名称	类型	默认	描述
10	9	10	3	2D	AVCC	功率	N / A	模拟VCC.将此引脚连接至3.3V电源. 该信号为模拟部分提供电源 芯片.
17	16	14	7	1D	AVCC	功率	N/A	模拟VCC.将此引脚连接至3.3V电源. 该信号为模拟部分提供电源 芯片.
13	12	13	6	2F	AGND	地面	N/A	模拟地.用尽可能短的路径连接到地面 尽可能.
20	19	17	10	1F	AGND	地面	N/A	模拟地.用尽可能短的路径连接到地面 尽可能.
19	18	16	9	1E	DMINUS	I / O / Z	z	USB D-信号.连接到USB D-信号.
18	17	15	8	2E	DPLUS	I / O / Z	z	USB D+信号.连接到USB D+信号.
94	-	-	-	-	A0	产里	大号	8051地址总线.这辆巴士始终驱动. 当8051寻址内部RAM时, 会反映出来 内部地址.
95	-	-	-	-	A1	产里	大号	
96	-	-	-	-	A2	产里	大号	
97	-	-	-	-	A3	产里	大号	
117	-	-	-	-	A4	产里	大号	
118	-	-	-	-	A5	产里	大号	
119	-	-	-	-	A6	产里	大号	
120	-	-	-	-	A7	产里	大号	
126	-	-	-	-	A8	产里	大号	
127	-	-	-	-	A9	产里	大号	
128	-	-	-	-	A10	产里	大号	
21	-	-	-	-	A11	产里	大号	
22	-	-	-	-	A12	产里	大号	
23	-	-	-	-	A13	产里	大号	
24	-	-	-	-	A14	产里	大号	
25	-	-	-	-	A15	产里	大号	
59	-	-	-	-	D0	I / O / Z	z	8051数据总线.这种双向总线很高 不活动时的阻抗, 总线读取的输入, 以及 输出用于总线写入.数据总线用于外部 8051程序和数据存储器.数据总线处于活动状态 仅用于外部总线访问, 并被驱动为低电平 暂停.
60	-	-	-	-	D1	I / O / Z	z	
61	-	-	-	-	D2	I / O / Z	z	
62	-	-	-	-	D3	I / O / Z	z	
63	-	-	-	-	D4	I / O / Z	z	
86	-	-	-	-	D5	I / O / Z	z	
87	-	-	-	-	D6	I / O / Z	z	
88	-	-	-	-	D7	I / O / Z	z	
39	-	-	-	-	PSEN#	产里	H	程序存储启用.这个有效的低电平信号 表示从外部存储器获取8051代码.它 对从中提取程序存储器有效 当EA引脚为低电平或来自0x4000-0xFFFF时 当EA引脚为高电平时, 为0x0000-0xFFFF.

注意

10. 未使用的输入不能悬空. 根据情况选择HIGH或LOW. 输出只能上拉或下拉以确保上电和进入信号支持. 另请注意, 器件断电时不应驱动引脚.

表10. FX2LP引脚说明 (续)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名称	类型	默认	描述
34	28	-	-		BKPT	产里	大号	断点. 8051时, 该引脚变为有效 (高电平) 地址总线与BPADDRH / L寄存器匹配 在BREAKPT寄存器中启用断点 (BPEN = 1). 如果BREAKPT中的BPPULSE位 寄存器为高电平, 该信号为高电平8 12- / 24- / 48 MHz时钟. 如果BPPULSE位为低电平, 则 信号保持高电平直到8051清除BREAK (通过写入1) 到BREAKPT寄存器中.
99	77	49	42	8B	重启#	输入	N / A	低电平有效复位. 重置整个芯片. 参见章节 2.9“复位和唤醒”(第7页) 了解更多详情.
35	-	-	-	-	EA	输入	N / A	外部访问. 这个引脚决定了8051的位置 获取地址0x0000和0x3FFF之间的代码. 如果EA = 0, 则8051从其内部获取该代码 内存. 如果EA = 1, 则8051从外部获取此代码 记忆.
12	11	12	五	1C	XTALIN	输入	N / A	晶体输入. 将此信号连接到24 MHz 并联谐振, 基模晶体和负载 电容到GND. 用外部驱动XTALIN也是正确的 来自另一个时钟的24-MHz方波 资源. 当从外部来源驾驶时, 驱动信号应该是3.3V方波.
11	10	11	4	2C	XTALOUT	产里	N / A	晶体输出. 将此信号连接到24 MHz 并联谐振, 基模晶体和负载 电容到GND. 如果使用外部时钟驱动XTALIN, 请保留此设置 销打开.
1	100	五	54	2B	CLKOUT 开启 CY7C68013A 和 CY7C68014A PE1上 CY7C68015A 和 CY7C68016A	O / Z	12 MHz 一世	CLKOUT: 12-, 24-或48 MHz时钟, 锁相至 24 MHz输入时钟. 8051默认为12 MHz 操作. 8051可以通过三态输出这个输出 设置CPUCS.1 = 1. PE1是一个双向I / O端口引脚.
港口 A								
82	67	40	33	8G	PA0或 INT0 #	I / O / Z	一世 (PA0)	多路复用引脚, 其功能由选择 PORTACFG.0 PA0是一个双向I / O端口引脚. INT0# 是低电平有效的8051 INT0中断输入 信号, 这是边沿触发 (IT0 = 1) 或电平 触发 (IT0 = 0).
83	68	41	34	6G	PA1或 INT1 #	I / O / Z	一世 (PA1)	多路复用引脚, 其功能通过以下方式选择: PORTACFG.1 PA1是一个双向I / O端口引脚. INT1# 是低电平有效的8051 INT1中断输入 信号, 这是边沿触发 (IT1 = 1) 或电平 触发 (IT1 = 0).
84	69	42	35	8F	PA2或 SLOE或	I / O / Z	一世 (PA2)	多路复用引脚, 其功能由两位选择: IFCONFIG [1: 0]. PA2是一个双向I / O端口引脚. SLOE是一种仅用于输入的输出使能, mable极性 (FIFOPINPOLAR.4) 为奴隶FIFOs 连接到FD [7..0]或FD [15..0].

表10. FX2LP引脚说明 (续)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名称	类型	默认	描述
85	70	43	36	7F	PA3或 WU2	I / O / Z	一世 (PA3)	多路复用引脚, 其功能通过以下方式选择: WAKEUP.7和OE.3 PA3是一个双向I / O端口引脚. WU2是启用USB唤醒的备用源 由WU2EN位 (WAKEUP.1) 和极性设置 WU2POL (WAKEUP.4) 如果8051处于暂停状态 WU2EN = 1, 此引脚上的一个转换启动振荡器, latch并中断8051使其能够退出 挂起模式.声明这个引脚禁止芯片 如果WU2EN = 1, 则挂起.
89	71	44	37	6F	PA4或 FIFOADR0	I / O / Z	一世 (PA4)	多路复用引脚, 其功能通过以下方式选择: IFCONFIG [1..0]. PA4是一个双向I / O端口引脚. FIFOADR0是从机的仅输入地址选择 FIFO连接到FD [7..0]或FD [15..0].
90	72	45	38	8C	PA5或 FIFOADR1	I / O / Z	一世 (PA5)	多路复用引脚, 其功能通过以下方式选择: IFCONFIG [1..0]. PA5是一个双向I / O端口引脚. FIFOADR1是从机的仅输入地址选择 FIFO连接到FD [7..0]或FD [15..0].
91	73	46	39	7C	PA6或 PKTEND	I / O / Z	一世 (PA6)	多路复用引脚, 其功能由选择 IFCONFIG [1: 0]位. PA6是一个双向I / O端口引脚. PKTEND是用于提交FIFO数据包的输入 数据到端点, 并且其极性是程序 - 通过FIFOPINPOLAR.5.
92	74	47	40	6C	PA7或 FLAGD或 SLCS#	I / O / Z	一世 (PA7)	多路复用引脚, 其功能由选择 IFCONFIG [1: 0]和PORTACFG.7位. PA7是一个双向I / O端口引脚. FLAGD是一个可编程的从FIFO输出状态 标志信号. SLCS# 关闭所有其他从机FIFO使能/选通
港口 B								
44	34	25	18	3H	PB0或 FD [0]	I / O / Z	一世 (PB0)	多路复用引脚, 其功能由选择 以下位: IFCONFIG [1..0]. PB0是一个双向I / O端口引脚. FD [0]是双向FIFO / GPIF数据总线.
45	35	26	19	4F	PB1或 FD [1]	I / O / Z	一世 (PB1)	多路复用引脚, 其功能由选择 以下位: IFCONFIG [1..0]. PB1是一个双向I / O端口引脚. FD [1]是双向FIFO / GPIF数据总线.
46	36	27	20	4H	PB2或 FD [2]	I / O / Z	一世 (PB2)	多路复用引脚, 其功能由选择 以下位: IFCONFIG [1..0]. PB2是一个双向I / O端口引脚. FD [2]是双向FIFO / GPIF数据总线.
47	37	28	21	4G	PB3或 FD [3]	I / O / Z	一世 (PB3)	多路复用引脚, 其功能由选择 以下位: IFCONFIG [1..0]. PB3是一个双向I / O端口引脚. FD [3]是双向FIFO / GPIF数据总线.
54	44	29	22	5H	PB4或 FD [4]	I / O / Z	一世 (PB4)	多路复用引脚, 其功能由选择 以下位: IFCONFIG [1..0]. PB4是一个双向I / O端口引脚. FD [4]是双向FIFO / GPIF数据总线.

表10. FX2LP引脚说明 (续)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名称	类型	默认	描述
55	45	三十	23	5G	PB5或 FD [5]	I / O / Z	一世 (PB5)	多路复用引脚, 其功能由选择 以下位: IFCONFIG [1..0]. PB5是一个双向I / O端口引脚. FD [5]是双向FIFO / GPIF数据总线.
56	46	31	24	5F	PB6或 FD [6]	I / O / Z	一世 (PB6)	多路复用引脚, 其功能由选择 以下位: IFCONFIG [1..0]. PB6是一个双向I / O端口引脚. FD [6]是双向FIFO / GPIF数据总线.
57	47	32	25	6H	PB7或 FD [7]	I / O / Z	一世 (PB7)	多路复用引脚, 其功能由选择 以下位: IFCONFIG [1..0]. PB7是一个双向I / O端口引脚. FD [7]是双向FIFO / GPIF数据总线.
港口 C								
72	57	-	-	-	PC0或 GPIFADR0	I / O / Z	一世 (PC0)	多路复用引脚, 其功能由选择 PORTCCFG.0来 PC0是一个双向I / O端口引脚. GPIFADR0是一个GPIF地址输出引脚.
73	58	-	-	-	PC1或 GPIFADR1	I / O / Z	一世 (PC1)	多路复用引脚, 其功能由选择 PORTCCFG.1 PC1是一个双向I / O端口引脚. GPIFADR1是GPIF地址输出引脚.
74	59	-	-	-	PC2或 GPIFADR2	I / O / Z	一世 (PC2)	多路复用引脚, 其功能由选择 PORTCCFG.2 PC2是一个双向I / O端口引脚. GPIFADR2是一个GPIF地址输出引脚.
75	60	-	-	-	PC3或 GPIFADR3	I / O / Z	一世 (PC3)	多路复用引脚, 其功能由选择 PORTCCFG.3 PC3是一个双向I / O端口引脚. GPIFADR3是一个GPIF地址输出引脚.
76	61	-	-	-	PC4或 GPIFADR4	I / O / Z	一世 (PC4)	多路复用引脚, 其功能由选择 PORTCCFG.4 PC4是一个双向I / O端口引脚. GPIFADR4是一个GPIF地址输出引脚.
77	62	-	-	-	PC5或 GPIFADR5	I / O / Z	一世 (PC5)	多路复用引脚, 其功能由选择 PORTCCFG.5 PC5是一个双向I / O端口引脚. GPIFADR5是一个GPIF地址输出引脚.
78	63	-	-	-	PC6或 GPIFADR6	I / O / Z	一世 (PC6)	多路复用引脚, 其功能由选择 PORTCCFG.6 PC6是一个双向I / O端口引脚. GPIFADR6是一个GPIF地址输出引脚.
79	64	-	-	-	PC7或 GPIFADR7	I / O / Z	一世 (PC7)	多路复用引脚, 其功能由选择 PORTCCFG.7 PC7是一个双向I / O端口引脚. GPIFADR7是一个GPIF地址输出引脚.
PORT D								
102	80	52	45	8A	PD0或 FD [8]	I / O / Z	一世 (PD0)	多路复用引脚, 其功能由选择 IFCONFIG [1..0]和EPxFIFO CFG.0 (全字节) 位. FD [8]是双向FIFO / GPIF数据总线.
103	81	53	46	7A	PD1或 FD [9]	I / O / Z	一世 (PD1)	多路复用引脚, 其功能由选择 IFCONFIG [1..0]和EPxFIFO CFG.0 (全字节) 位. FD [9]是双向FIFO / GPIF数据总线.

表10. FX2LP引脚说明 (续)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名称	类型	默认	描述
104	82	54	47	6B	PD2或 FD [10]	I / O / Z	一世 (PD2)	多路复用引脚, 其功能由选择 IFCONFIG [1..0]和EPxFIFOCFG.0 (全字节) 位. FD [10]是双向FIFO / GPIF数据总线.
105	83	55	48	6A	PD3或 FD [11]	I / O / Z	一世 (PD3)	多路复用引脚, 其功能由选择 IFCONFIG [1..0]和EPxFIFOCFG.0 (全字节) 位. FD [11]是双向FIFO / GPIF数据总线.
121	95	56	49	3B	PD4或 FD [12]	I / O / Z	一世 (PD4)	多路复用引脚, 其功能由选择 IFCONFIG [1..0]和EPxFIFOCFG.0 (全字节) 位. FD [12]是双向FIFO / GPIF数据总线.
122	96	1	50	3A	PD5或 FD [13]	I / O / Z	一世 (PD5)	多路复用引脚, 其功能由选择 IFCONFIG [1..0]和EPxFIFOCFG.0 (全字节) 位. FD [13]是双向FIFO / GPIF数据总线.
123	97	2	51	3C	PD6或 FD [14]	I / O / Z	一世 (PD6)	多路复用引脚, 其功能由选择 IFCONFIG [1..0]和EPxFIFOCFG.0 (全字节) 位. FD [14]是双向FIFO / GPIF数据总线.
124	98	3	52	2A	PD7或 FD [15]	I / O / Z	一世 (PD7)	多路复用引脚, 其功能由选择 IFCONFIG [1..0]和EPxFIFOCFG.0 (全字节) 位. FD [15]是双向FIFO / GPIF数据总线.
港口E								
108	86	-	-	-	PE0或 T0OUT	I / O / Z	一世 (PE0)	多路复用引脚, 其功能由选择 PORTECFG.0位. PE0是一个双向I / O端口引脚. T0OUT是来自8051的高电平有效信号 定时器计数器0. T0OUT输出一个高电平 Timer0溢出时的CLKOUT时钟周期.如果Timer0 在模式3下运行 (两个独立的定时器/计数器), 低字节定时器/计数器时, T0OUT有效 溢出.
109	87	-	-	-	PE1或 T1OUT	I / O / Z	一世 (PE1)	多路复用引脚, 其功能由选择 PORTECFG.1位. PE1是一个双向I / O端口引脚. T1OUT是来自8051的高电平有效信号 定时器, 计数器1. T1OUT输出一个高电平 当Timer1溢出时CLKOUT时钟周期.如果Timer1 在模式3下运行 (两个独立的定时器/计数器), 低字节定时器/计数器时, T1OUT有效 溢出.
110	88	-	-	-	PE2或 T2OUT	I / O / Z	一世 (PE2)	多路复用引脚, 其功能由选择 PORTECFG.2位. PE2是一个双向I / O端口引脚. T2OUT是8051的高电平有效输出信号 定时器. T2OUT在一个时钟周期内有效 (高电平) 当定时器/计数器2溢出时.
111	89	-	-	-	PE3或 RXD0OUT	I / O / Z	一世 (PE3)	多路复用引脚, 其功能由选择 PORTECFG.3位. PE3是一个双向I / O端口引脚. RXD0OUT是来自8051 UART0的高电平有效信号. 如果选择RXD0OUT并且UART0处于模式0, 则为 引脚仅在其提供输出数据给UART0时 在同步模式下.否则它是1.

表10. FX2LP引脚说明 (续)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名称	类型	默认	描述
112	90	-	-	-	PE4或 RXD1OUT	I / O / Z	一世 (PE4)	多路复用引脚, 其功能由选择 PORTECFG.4位。 PE4是一个双向I / O端口引脚。 RXD1OUT是来自8051 UART1的高电平有效输出。 当选择RXD1OUT并且UART1处于模式0时, 该引脚仅在提供UART1的输出数据时使用 它处于同步模式。在模式1,2和3中, 该引脚为高电平。
113	91	-	-	-	PE5或 INT6	I / O / Z	一世 (PE5)	多路复用引脚, 其功能由选择 PORTECFG.5位。 PE5是一个双向I / O端口引脚。 INT6是8051 INT6中断请求输入信号。该 INT6引脚对边沿敏感, 高电平有效。
114	92	-	-	-	PE6或 T2EX	I / O / Z	一世 (PE6)	多路复用引脚, 其功能由选择 PORTECFG.6位。 PE6是一个双向I / O端口引脚。 T2EX是8051 Timer2的高电平有效输入信号。 T2EX在其下降沿重新加载定时器2。T2EX处于活动状态 只有在T2CON中设置EXEN2位。
115	93	-	-	-	PE7或 GPIFADR8	I / O / Z	一世 (PE7)	多路复用引脚, 其功能由选择 PORTECFG.7位。 PE7是一个双向I / O端口引脚。 GPIFADR8是一个GPIF地址输出引脚。
4	3	8	1	1A	RDY0或 SLRD	输入	N / A	多路复用引脚, 其功能由选择 以下几点: IFCONFIG [1..0]. RDY0是一个GPIF输入信号。 SLRD是可编程的仅输入读取选通信号 极性 (FIFOPINPOLAR.3) 用于从属FIFO 连接到FD [7..0]或FD [15..0].
五	4	9	2	1B	RDY1或 SLWR	输入	N / A	多路复用引脚, 其功能由选择 以下几点: IFCONFIG [1..0]. RDY1是一个GPIF输入信号。 SLWR是可编程的只能输入写入选通信号 极性 (FIFOPINPOLAR.2) 为从属FIFO 连接到FD [7..0]或FD [15..0].
6	五	-	-	-	RDY2	输入	N / A	RDY2是一个GPIF输入信号。
7	6	-	-	-	RDY3	输入	N / A	RDY3是一个GPIF输入信号。
8	7	-	-	-	RDY4	输入	N / A	RDY4是一个GPIF输入信号。
9	8	-	-	-	RDY5	输入	N / A	RDY5是一个GPIF输入信号。
69	54	36	29	7H	CTL0或 FLAGA	O / Z	H	多路复用引脚, 其功能由选择 以下几点: IFCONFIG [1..0]. CTL0是一个GPIF控制输出。 FLAGA是一个可编程的从FIFO输出状态 标志信号。 默认为可编程的由FIFO选择的FIFO FIFOADR [1: 0]引脚。

表10. FX2LP引脚说明 (续)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名称	类型	默认	描述
70	55	37	三十	7G	CTL1或 FLAGB	O / Z	H	多路复用引脚, 其功能由选择 以下几点: IFCONFIG [1..0]. CTL1是一个GPIF控制输出. FLAGB是一个可编程的从FIFO输出状态 标志信号. 对于由FIFO选择的FIFO, 默认为FULL FIFOADR [1: 0]引脚.
71	56	38	31	8H	CTL2或 FLAGC	O / Z	H	多路复用引脚, 其功能由选择 以下几点: IFCONFIG [1..0]. CTL2是一个GPIF控制输出. FLAGC是一个可编程的从FIFO输出状态 标志信号. 默认为EMPTY, 由FIFO选择的FIFO FIFOADR [1: 0]引脚.
66	51	-	-	-	CTL3	O / Z	H	CTL3是一个GPIF控制输出.
67	52	-	-	-	CTL4	产里	H	CTL4是一个GPIF控制输出.
98	76	-	-	-	CTL5	产里	H	CTL5是一个GPIF控制输出.
32	26	20	13	2G	IFCLK上 CY7C68013A 和 CY7C68014A	I / O / Z	z	接口时钟, 用于同步时钟数据 进入或离开奴隶FIFOs. IFCLK也作为一个 所有从设备FIFO控制信号的时序参考 GPIF.当使用内部时钟时 (IFCONFIG.7 = 1) IFCLK引脚可以配置为输出30/48 MHz 按位IFCONFIG.5和IFCONFIG.6. IFCLK可能会 倒置, 无论是内部还是外部来源, 通过 设置位IFCONFIG.4 = 1.
					PE0上 CY7C68015A 和 CY7C68016A	I / O / Z	一世	PE0是一个双向I / O端口引脚.
28	22	-	-	-	INT4	输入	N / A	INT4是8051 INT4中断请求输入信号.该 INT4引脚对边沿敏感, 高电平有效.
106	84	-	-	-	INT5 #	输入	N / A	INT5# 是8051 INT5中断请求输入信号. INT5引脚对边沿敏感, 低电平有效.
31	25	-	-	-	T2	输入	N / A	AT2是8051 Timer2的高电平有效T2输入信号, 当C / T2 = 1时, 它向Timer2提供输入. 当C / T2 = 0时, Timer2不使用该引脚.
三十	24	-	-	-	T1	输入	N / A	AT1是8051 Timer1的高电平有效T1信号 当C / T1为1时向Timer1提供输入.当C / T1时 为0, Timer1不使用此位.
29	23	-	-	-	T0	输入	N / A	AT0是8051 Timer0的高电平有效T0信号 当C / T0为1时向Timer0提供输入.当C / T0时 为0, Timer0不使用此位.
53	43	-	-	-	RXD1	输入	N / A	ARXD1是8051 UART1的高电平有效输入信号, 它在所有模式下向UART提供数据.
52	42	-	-	-	TXD1	产里	H	ATXD1是来自8051 UART1的高电平有效输出引脚, 它在同步模式下提供输出时钟, 而 以异步模式输出数据.
51	41	-	-	-	RXD0	输入	N / A	ARXD0是8051 UART0的高电平有效RXD0输入, 它在所有模式下向UART提供数据.

表10. FX2LP引脚说明 (续)

128 TQFP	100 TQFP	56 SSOP	56 QFN	56 VFBGA	名称	类型	默认	描述
50	40	-	-	-	TXD0	产里	H	TXD0是8051的高电平有效TXD0输出。UART0提供同步模式下的输出时钟，并以异步模式输出数据。
42		-	-	-	CS#	产里	H	CS#是外部存储器的低电平有效片选。
41	32	-	-	-	WR#	产里	H	WR#是外部的低电平有效写选通输出记忆。
40	31	-	-	-	RD#	产里	H	RD#是外部的低电平有效低电平读取选通输出记忆。
38		-	-	-	OE#	产里	H	OE#是外部的低电平有效输出使能记忆。
33	27	21	14	2H	保留的	输入	N / A	保留.接地。
101	79	51	44	7B	醒来	输入	N / A	USB唤醒.如果8051暂停，断言这一点。引脚启动振荡器并中断8051使其能够退出挂起模式.举行唤醒断言禁止EZ-USB芯片挂起。该引脚具有可编程极性 (WAKEUP.4)。
36	29	22	15	3F	SCL	OD	z	I2C接口的时钟.用2.2K连接到VCC电阻器，即使没有连接I2C外设。
37	三十	23	16	3G	SDA	OD	z	I2C兼容接口的数据.连接到VCC使用2.2K电阻，即使没有I2C兼容外设已连接。
2	1	6	55	5A	VCC	功率	N / A	VCC.连接到3.3 V电源。
26	20	18	11	1G	VCC	功率	N / A	VCC.连接到3.3 V电源。
43	33	24	17	7E	VCC	功率	N / A	VCC.连接到3.3 V电源。
48	38	-	-	-	VCC	功率	N / A	VCC.连接到3.3 V电源。
64	49	34	27	8E	VCC	功率	N / A	VCC.连接到3.3 V电源。
68	53	-	-	-	VCC	功率	N / A	VCC.连接到3.3 V电源。
81	66	39	32	5C	VCC	功率	N / A	VCC.连接到3.3 V电源。
100	78	50	43	5B	VCC	功率	N / A	VCC.连接到3.3 V电源。
107	85	-	-	-	VCC	功率	N / A	VCC.连接到3.3 V电源。
3	2	7	56	4B	GND	地面	N / A	地面。
27	21	19	12	1H	GND	地面	N / A	地面。
49	39	-	-	-	GND	地面	N / A	地面。
58	48	33	26	7D	GND	地面	N / A	地面。
65	50	35	28	8D	GND	地面	N / A	地面。
80	65	-	-	-	GND	地面	N / A	地面。
93	75	48	41	4C	GND	地面	N / A	地面。
116	94	-	-	-	GND	地面	N / A	地面。
125	99	4	53	4A	GND	地面	N / A	地面。
14	13	-	-	-	NC	N / A	N / A	无连接.该引脚必须保持开路。
15	14	-	-	-	NC	N / A	N / A	无连接.该引脚必须保持开路。
16	15	-	-	-	NC	N / A	N / A	无连接.该引脚必须保持开路。

4.注册摘要

FX2LP寄存器位的定义在FX2LP TRM中有更详细的描述。

表11. FX2LP寄存器汇总

六角大小	名称	描述	B7	B6	B5	B4	B3	B2	B1	B0	默认	访问	
E400	128 WAVEDATA	GPIE波形存储器 描述符0,1,2,3数据	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW	
E480	128 保留												
E50D	GPCR2	通用配置寄存器2	保留的	保留的	保留的	FULL_S保留的	保留的	保留的	保留的	保留的	00000000	R	
E600	1 CPUICS	CPU控制和状态	0	0	PORTCS	TE CLK	SP	CLKIN	CLKOE	8051RES	00000010	rrbbbbb	
E601	1 IFCONFIG	接口配置 (端口1, GPIE, 从 FIFO)	IFCLKSR	3048MH	IFCLKO	IFCLKP	异步	GSTATE	IFCFG1	IFCFG0	10000000	RW	
E602	1 PINFLAGSA	A设备BIFO FLAGA和GB3	FLAGB2	FLAGB1	FLAGB0	FLAGA	FLAGA2	FLAGA1	FLAGA0	00000000	00	RW	
E603	1 PINFLAGSC	C设备BIFO FLAGC和GD3	FLAGD2	FLAGD1	FLAGD0	FLAGC	FLAGC2	FLAGC1	FLAGC0	00000000	00	RW	
E604	1 FIFORESET	FIFOS恢复到默认状态	ALL0	0	0	EP3	EP2	EP1	EP0	xxxxxxxx	W		
E605	1 BREAKPT	断点控制	0	0	0	0	打破	BPPULS	BPEN	0	00000000	rrrrbbbr	
E606	1 BPADDRH	断点地址H	A15	A14	A13	A12	A11	A10	A9	A8	xxxxxxxx	RW	
E607	1 BPADDRL	断点地址L	A7	A6	A5	A4	A3	A2	A1	A0	xxxxxxxx	RW	
E608	1 UART230	内部230 Kbaud生成的参考时钟	0	0	0	0	0	230UAR	T30UAR	D0000000	rrrrrrbb		
E609	1 FIFOPINPOL	从设备BIFO接口引脚极性	0	PKTEND	SLOE	SLRD	SLWR	EF	FF	00000000	rrbbbbb		
E60A	1 REVID	芯片修订	RV7	RV6	RV5	RV4	RV3	RV2	RV1	RV0	REVA[R	00000001	
E60B	1 REVCTL [11]	芯片版本控制	0	0	0	0	0	dyn_out	enh_pkt	00000000	rrrrrrbb		
E60C	1 GPIFHOLDAMOUNT	MSTB保持时间 (用于UDMA)	0	0	0	0	0	HOLDTIME1	HOLDTIME0	00000000	rrrrrr		
3	保留的 终点配置												
E610	1 EP1OUTCFG	端点1-OUT	有效	0	TYPE1	键入0	0	0	0	0	10100000	brbbrrrr	
E611	1 EP1INCFG	端点1-IN	有效	0	TYPE1	键入0	0	0	0	0	10100000	brbbrrrr	
E612	1 EP2CEG	端点2配置	有效	DIR	TYPE1	键入0	尺寸	0	BUE1	BUE0	10100010	bbbrbb	
E613	1 EP4CEG	端点4配置	有效	DIR	TYPE1	键入0	0	0	0	0	10100000	bbbrrrr	
E614	1 EP6CEG	端点6配置	有效	DIR	TYPE1	键入0	尺寸	0	BUE1	BUE0	11100010	bbbrbb	
E615	1 EP8CEG	端点8配置	有效	DIR	TYPE1	键入0	0	0	0	0	11100000	bbbrrrr	
2	保留的												
E618	1 EP2FIFOCF	端点2从属FIFO	0	INFM1	OEP1	AUTOO	AUTOI	ZEROLEN	NIN	0	WORDWIDE	00000101	rbbbbbrb
E619	1 EP4FIFOCF	端点4从属FIFO	0	INFM1	OEP1	AUTOO	AUTOI	ZEROLEN	NIN	0	WORDWIDE	00000101	rbbbbbrb
E61A	1 EP6FIFOCF	端点6从属FIFO	0	INFM1	OEP1	AUTOO	AUTOI	ZEROLEN	NIN	0	WORDWIDE	00000101	rbbbbbrb
E61B	1 EP8FIFOCF	端点8从属FIFO	0	INFM1	OEP1	AUTOO	AUTOI	ZEROLEN	NIN	0	WORDWIDE	00000101	rbbbbbrb
E61C	4 保留的												
E620	1 EP2AUTOINLENH [11]	端点2 AUTOIN数据包长度H	0	0	0	0	PL10	PL9	PL8	00000010	rrrrrrbb		
E621	1 EP2AUTOINLENL [11]	端点2 AUTOIN数据包长度L	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	00	RW	
E622	1 EP4AUTOINLENH [11]	端点4 AUTOIN数据包长度H	0	0	0	0	0	PL9	PL8	00000010	rrrrrrbb		
E623	1 EP4AUTOINLENL [11]	端点4 AUTOIN数据包长度L	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	00	RW	
E624	1 EP6AUTOINLENH [11]	端点6 AUTOIN数据包长度H	0	0	0	0	PL10	PL9	PL8	00000010	rrrrrrbb		
E625	1 EP6AUTOINLENL [11]	端点6 AUTOIN数据包长度L	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	00	RW	
E626	1 EP8AUTOINLENH [11]	端点8 AUTOIN数据包长度H	0	0	0	0	0	PL9	PL8	00000010	rrrrrrbb		
E627	1 EP8AUTOINLENL [11]	端点8 AUTOIN数据包长度L	PL6	PL5	PL4	PL3	PL2	PL1	PL0	00000000	00	RW	
E628	1 ECCCFG	ECC配置	0	0	0	0	0	0	ECCM	00000000	rrrrrrrb		
E629	1 ECCRESET	ECC重置	X	X	X	X	X	X	X	X	00000000	W	
E62A	1 ECC1B0	ECC1字节0地址	LINE15	LINE14	LINE13	LINE12	LINE11	LINE10	LINE9	LINE8	00000000	R	

注意

11. 读取和写入这些寄存器可能需要同步延迟，请参见“同步延迟”技术参考手册。

表11. FX2LP寄存器汇总 (续)

六角大小	名称	描述	B7	B6	B5	B4	B3	B2	B1	B0	默认	访问
E62B 1	ECC1B1	ECC1字节1地址	LINE7	LINE6	LINE5	线路4	LINE3	LINE2	LINE1	LINE0	00000000	R
E62C 1	ECC1B2	ECC1字节2地址	COL5	COL4	COL3	COL2	COL1	COL0	LINE17	LINE16	00000000	R
E62D 1	ECC2B0	ECC2字节0地址	LINE15	LINE14	LINE13	LINE12	LINE11	LINE10	LINE9	LINE8	00000000	R
E62E 1	ECC2B1	ECC2字节1地址	LINE7	LINE6	LINE5	线路4	LINE3	LINE2	LINE1	LINE0	00000000	R
E62F 1	ECC2B2	ECC2字节2地址	COL5	COL4	COL3	COL2	COL1	COL0	0	0	00000000	R
E630 1	EP2FIFOPF	端口1从属FIFO标志	DECIS	PKTSTA	IN: PKTISN1PKTISN6PKIOS [0]	OUT: PFC10PFC11PFC10	PFC9	PFC8	10001000	bbbrbb		
E630 1	EP2FIFOPF	端口1从属FIFO标志	DECIS	PKTSTA	OUT: PFC10PFC11PFC10	PFC9	PFC8	10001000	bbbrbb			
E631 1	EP2FIFOPF	端口2从属FIFO标志	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E631 1	EP2FIFOPF	端口2从属FIFO标志	IN: PKTISN1PKTISN6PKIOS [0]	OUT: PFC10PFC11PFC10	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW	
E632 1	EP4FIFOPF	端口4从属FIFO标志	DECIS	PKTSTA	IN: PKTISN1PKIOS [0]	OUT: PFC10PFC11PFC10	PFC8	10001000	bbbrbb			
E632 1	EP4FIFOPF	端口4从属FIFO标志	DECIS	PKTSTA	OUT: PFC10PFC11PFC10	PFC8	10001000	bbbrbb				
E633 1	EP4FIFOPF	端口4从属FIFO标志	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E633 1	EP4FIFOPF	端口4从属FIFO标志	IN: PKTISN1PKTISN6PKIOS [0]	OUT: PFC10PFC11PFC10	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW	
E634 1	EP6FIFOPF	端口6从属FIFO标志	DECIS	PKTSTA	IN: PKTISN1PKIOS [0]	OUT: PFC10PFC11PFC10	PFC8	10001000	bbbrbb			
E634 1	EP6FIFOPF	端口6从属FIFO标志	DECIS	PKTSTA	OUT: PFC10PFC11PFC10	PFC8	10001000	bbbrbb				
E635 1	EP6FIFOPF	端口6从属FIFO标志	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E635 1	EP6FIFOPF	端口6从属FIFO标志	IN: PKTISN1PKTISN6PKIOS [0]	OUT: PFC10PFC11PFC10	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW	
E636 1	EP8FIFOPF	端口8从属FIFO标志	DECIS	PKTSTA	IN: PKTISN1PKIOS [0]	OUT: PFC10PFC11PFC10	PFC8	10001000	bbbrbb			
E636 1	EP8FIFOPF	端口8从属FIFO标志	DECIS	PKTSTA	OUT: PFC10PFC11PFC10	PFC8	10001000	bbbrbb				
E637 1	EP8FIFOPF	端口8从属FIFO标志	PFC7	PFC6	PFC5	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW
E637 1	EP8FIFOPF	端口8从属FIFO标志	IN: PKTISN1PKTISN6PKIOS [0]	OUT: PFC10PFC11PFC10	PFC4	PFC3	PFC2	PFC1	PFC0	00000000	RW	
8	保留的											
E640 1	EP2ISOINPKT	EP2 (如果ISO) 在每个数据包中	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrbb	
E641 1	EP4ISOINPKT	EP4 (如果ISO) 在每个数据包中	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrrr	
E642 1	EP6ISOINPKT	EP6 (如果ISO) 在每个数据包中	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrbb	
E643 1	EP8ISOINPKT	EP8 (如果ISO) 在每个数据包中	0	0	0	0	0	INPPF1	INPPF0	00000001	brrrrrrr	
E644 4	保留的											
E648 1	INPKTEND	强制数据包结束 跳跃	0	0	0	0	EP3	EP2	EP1	EP0	xxxxxxx	W
E649 7	OUTPKTEN	强制OUT数据包结束 跳跃	0	0	0	0	EP3	EP2	EP1	EP0	xxxxxxx	W
	中断											
E650 1	EP2FIFOIE	端口2从属FIFO标志	0	0	0	0	EDGE	PF	EF	FF	00000000	RW
E651 1	EP2FIFOIRQ	端口2从属FIFO标志	0	0	0	0	PF	EF	FF	00000000	rrrrrrbb	
E652 1	EP4FIFOIE	端口4从属FIFO标志	0	0	0	0	EDGE	PF	EF	FF	00000000	RW
E653 1	EP4FIFOIRQ	端口4从属FIFO标志	0	0	0	0	PF	EF	FF	00000000	rrrrrrbb	
E654 1	EP6FIFOIE	端口6从属FIFO标志	0	0	0	0	EDGE	PF	EF	FF	00000000	RW
E655 1	EP6FIFOIRQ	端口6从属FIFO标志	0	0	0	0	PF	EF	FF	00000000	rrrrrrbb	
E656 1	EP8FIFOIE	端口8从属FIFO标志	0	0	0	0	EDGE	PF	EF	FF	00000000	RW
E657 1	EP8FIFOIRQ	端口8从属FIFO标志	0	0	0	0	PF	EF	FF	00000000	rrrrrrbb	
E658 1	IBNIE	IN-BULK-NAK中断	0	EP8	EP6	EP4	EP2	EP1	EP0	00000000	00	RW
E659 1	IBNIRQ [12]	IN-BULK-NAK中断	0	EP8	EP6	EP4	EP2	EP1	EP0	00xxxxxx	rrbbobbb	
E65A 1	NAKIE	端口 Ping-NAK / IHS	EP6	EP4	EP2	EP1	EP0	0	IBN	00000000	00	RW
E65B 1	NAKIRQ [12]	端口 Ping-NAK / IHS	EP6	EP4	EP2	EP1	EP0	0	IBN	xxxxxx	0x bbbbrbb	
E65C 1	USBIE	USB Int启用	0	EP0ACKHSGRANTRES	SUSP	SUTOK	SOF	SUDAV	00000000	00	RW	

注意

12. 寄存器只能复位, 不能设置.

表11. FX2LP寄存器汇总 (续)

六角大小	名称	描述	B7	B6	B5	B4	B3	B2	B1	B0	默认	访问	
E65D 1	USBIRQ [12]	USB中断请求	0	EP0ACK	HSGRANTRES	SUSP	SUTOK	SOF	SUDAV	0xxxxxx	rbbbb	bbb	
E65E 1	EP1IE	端点1中断	EP8	EP6	EP4	EP2	EP10U	EP1IN	EP0OUT	EP0IN	000000	00 RW	
E65F 1	EP1IRQ [12]	端点1中断请求	EP8	EP6	EP4	EP2	EP10U	EP1IN	EP0OUT	EP0IN	0	RW	
E660 1	GPIEIF [11]	GPIE中断使能	0	0	0	0	0	0	GPIEWE	GPIEDONE	000000	00 RW	
E661 1	GPIEIRQ [11]	GPIE中断请求	0	0	0	0	0	0	GPIEWE	GPIEDONE	000000	xx RW	
E662 1	USBERRIE	USB错误中断	ISOEP8	ISOEP6	ISOEP4	ISOEP2	0	0	0	ERRLIM	TD0000	00 RW	
E663 1	USBERRIRQ	USB错误中断	ISOEP8	ISOEP6	ISOEP4	ISOEP2	0	0	0	ERRLIM	TD0000	0x bbbbrrrr	
E664 1	ERRCNTLIM	USB错误计数器并限制	EC3	EC2	EC1	EC0	LIMIT3	LIMIT2	LIMIT1	LIMIT0	xxxx01	00 rrrrr	bbb
E665 1	CLRERRCNT	清除错误计数器	EC3: 0x	X	X	X	X	X	X	X	xxxxxxx	W	
E666 1	INT2IVEC	中断2 (USB)	0	I2V4	I2V3	I2V2	I2V1	I2V0	0	0	000000	00 R	
E667 1	INT4IVEC	中断4 (从机FIFO和GPIE) Autovector	0	I4V3	I4V2	I4V1	I4V0	0	0	0	100000	00 R	
E668 1	INTSETUP	中断2和4设置	0	0	0	0	AV2EN	0	INT4SR	AV4EN	000000	00 RW	
E669 7	保留的												
E670 1	PORTACFG	I/O PORTA备用	FLAGD	SLCS	0	0	0	0	INT1	INT0	000000	00 RW	
E671 1	PORTCCFG	I/O PORTC备用	GPIFA7	GPIFA6	GPIFA5	GPIFA4	GPIFA3	GPIFA2	GPIFA1	GPIFA0	000000	00 RW	
E672 1	PORTECFG	I/O PORTE备用	GPIFA8	T2EX	INT6	RXD10	RKD00	UTOUT	T1OUT	T0OUT	000000	00 RW	
E673 4	保留的												
E677 1	保留的												
E678 1	我 2 CS	I ² C总线控制	开始	停	LASTRD	ID1	ID0	BERR	ACK	DONE	000xx0	00 bbbbrrrr	
E679 1	I2DAT	I ² C总线数据	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW	
E67A 1	我 2 CTL	I ² C总线控制	0	0	0	0	0	0	STOPIE	400KHZ	000000	00 RW	
E67B 1	XAUTODAT1	Autopt1 MOVX访问, 当APTREN = 1时		D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW	
E67C 1	XAUTODAT2	Autopt2 MOVX访问, 当APTREN = 1时		D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW	
	UDMA CRC												
E67D 1	UDMACRC	UDMA CRC MSB	CRC15	CRC14	CRC13	CRC12	CRC11	CRC10	CRC9	CRC8	010010	10 RW	
E67E 1	UDMACRC	UDMA CRC LSB	CRC7	CRC6	CRC5	CRC4	CRC3	CRC2	CRC1	CRC0	101110	10 RW	
E67F 1	UDMACRC-QUALIFIER	UDMA CRC限定符	ENABLE		0	0	QSTAT	QSIGNA	QSIGNA	QSIGNA	000000	00 brrrrrrrr	
	USB控制												
E680 1	USBCS	USB控制和状态	HSM	0	0	0	DISCOM	NYNS	OF REN	SIGRSUM	000000	00 rrrrrrrrr	
E681 1	暂停	将芯片挂起	X	X	X	X	X	X	X	X	xxxxxxx	W	
E682 1	WAKEUPCS	唤醒控制和状态	WU2	WU1	WU0	WU0	DPEN	WU2EN	WUEN		xx0001	01 bbbbrrrr	
E683 1	TOGCTL	切换控制	Q	小号	R	I/O	EP3	EP2	EP1	EP0	x00000	00 rrrrrrrrr	
E684 1	USBFRAMEH	USB帧数H	0	0	0	0	0	EC10	EC9	EC8	00000x	xx R	
E685 1	USBFRAMEL	USB帧数L	EC7	EC6	EC5	EC4	EC3	EC2	EC1	EC0	xxxxxxx	xx R	
E686 1	微帧	微帧计数, 0-7	0	0	0	0	0	MF2	MF1	MF0	00000x	xx R	
E687 1	FNADDR	USB功能地址	0	FA6	FA5	FA4	FA3	FA2	FA1	FA0	0xxxxxx	xx R	
E688 2	保留的												
	ENDPOINTS												
E68A 1	EP0BCH [11]	端点0字节计数H	(BC15)	(BC14)	(BC13)	(BC12)	(BC11)	(BC10)	(BC9)	(BC8)	xxxxxxx	xx RW	
E68B 1	EP0BCL [11]	端点0字节计数L	(BC7)	BC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	xx RW	
E68C 1	保留的												
E68D 1	EP1OUTBC	端点1 OUT字节计数	0	BC6	BC5	BC4	BC3	BC2	BC1	BC0	0xxxxxx	xx RW	
E68E 1	保留的												
E68F 1	EP1INBC	端点1 IN字节计数	0	BC6	BC5	BC4	BC3	BC2	BC1	BC0	0xxxxxx	xx RW	
E690 1	EP2BCH [11]	端点2字节计数H	0	0	0	0	0	BC10	BC9	BC8	00000x	xx RW	
E691 1	EP2BCL [11]	端点2字节计数L	BC7 / SK	BPC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	xx RW	
E692 2	保留的												
E694 1	EP4BCH [11]	端点4字节计数H	0	0	0	0	0	0	BC9	BC8	00000x	xx RW	
E695 1	EP4BCL [11]	端点4字节计数L	BC7 / SK	BPC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	xx RW	
E696 2	保留的												
E698 1	EP6BCH [11]	端点6字节计数H	0	0	0	0	0	BC10	BC9	BC8	00000x	xx RW	
E699 1	EP6BCL [11]	端点6字节计数L	BC7 / SK	BPC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	xx RW	
E69A 2	保留的												
E69C 1	EP8BCH [11]	端点8字节计数H	0	0	0	0	0	0	BC9	BC8	00000x	xx RW	
E69D 1	EP8BCL [11]	端点8字节计数L	BC7 / SK	BPC6	BC5	BC4	BC3	BC2	BC1	BC0	xxxxxxx	xx RW	
E69E 2	保留的												

表11. FX2LP寄存器汇总 (续)

六角大小	名称	描述	B7	B6	B5	B4	B3	B2	B1	B0	默认	访问	
E6A0	1EP0CS	端点0控制和Sta-	HSNAK	0	0	0	0	0	忙	失速	100000	00 bbbbrb	
E6A1	1EP1OUTCS	端点1 OUT控制	0	0	0	0	0	0	忙	失速	000000	00 bbbbrb	
E6A2	1EP1INCS	端点1 IN控制和	0	0	0	0	0	0	忙	失速	000000	00 bbbbrb	
E6A3	1EP2CS	端点2控制和Sta-	0	NPAK2	NPAK1	NPAK0	充分	EMPTY	0	失速	001010	00 rrrrrrb	
E6A4	1EP4CS	端点4控制和Sta-	0	0	NPAK1	NPAK0	充分	EMPTY	0	失速	001010	00 rrrrrrb	
E6A5	1EP6CS	端点6控制和Sta-	0	NPAK2	NPAK1	NPAK0	充分	EMPTY	0	失速	000001	00 rrrrrrb	
E6A6	1EP8CS	端点8控制和Sta-	0	0	NPAK1	NPAK0	充分	EMPTY	0	失速	000001	00 rrrrrrb	
E6A7	1EP2FIFOFLG	端点2从站FIFO	0	0	0	0	0	PF	EF	FF	000000	10 R	
E6A8	1EP4FIFOFLG	端点4从站FIFO	0	0	0	0	0	PF	EF	FF	000000	10 R	
E6A9	1EP6FIFOFLG	端点6从站FIFO	0	0	0	0	0	PF	EF	FF	000000	10 R	
E6AA	1EP8FIFOFLG	端点8从站FIFO	0	0	0	0	0	PF	EF	FF	000000	10 R	
E6AB	1EP2FIFOBCH	端点2从站FIFO	0	0	0	BC12	BC11	BC10	BC9	BC8	000000	00 R	
E6AC	1EP2FIFOBCL	端点2从站FIFO	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	000000	00 R	
E6AD	1EP4FIFOBCH	端点4从站FIFO	0	0	0	0	0	BC10	BC9	BC8	000000	00 R	
E6AE	1EP4FIFOBCL	端点4从站FIFO	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	000000	00 R	
E6AF	1EP6FIFOBCH	端点6从站FIFO	0	0	0	0	BC11	BC10	BC9	BC8	000000	00 R	
E6B0	1EP6FIFOBCL	端点6从站FIFO	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	000000	00 R	
E6B1	1EP8FIFOBCH	端点8从站FIFO	0	0	0	0	0	BC10	BC9	BC8	000000	00 R	
E6B2	1EP8FIFOBCL	端点8从站FIFO	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	000000	00 R	
E6B3	1SUDPTRH	设备数据指针高	A15	A14	A13	A12	A11	A10	A9	A8	xxxxxxxx	RW	
E6B4	1SUDPTL	设备数据指针低	A7	A6	A5	A4	A3	A2	A1	0	xxxxxxx0	bbbrb	
E6B5	1SUDPTRCTL	设备数据指针自动	0	0	0	0	0	0	0	SDPAUTO	000000	01 RW	
	2 保留的												
E6B8	8SETUPDAT	8个字节的设置数据	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	R	
		SETUPDAT[0] =											
		bmRequestType											
		SETUPDAT[1] =											
		bmRequest											
		SETUPDAT[2: 3] = wValue											
		SETUPDAT[4: 5] = wIndex											
		SETUPDAT[6: 7] =											
		wLength											
		GPIF											
E6C0	1GPIFWFSELE	波形选择器	SINGLEWR1	SINGLEWR0	SINGLEWR0	SINGLEWR0	SINGLEWR0	SINGLEWR0	SINGLEWR0	SINGLEWR0	11100100	RW	
E6C1	1GPIFIDLECS	GPIF完成, GPIF空闲	NE	0	0	0	0	0	0	0	IDLEDRN	000000	00 RW
E6C2	1GPIFIDLECTL	无效公共汽车, CTL	0	0	CTL5	CTL4	CTL3	CTL2	CTL1	CTL0	11111111	11 RW	
E6C3	1GPIFCTLCEG	CTL驱动器类型	TRICTL	0	CTL5	CTL4	CTL3	CTL2	CTL1	CTL0	00000000	00 RW	
E6C4	1GPIFADR.H	GPIF地址H	0	0	0	0	0	0	0	0	GPIFA8	00000000	00 RW
E6C5	1GPIFADR.L	GPIF地址L	GPIFA7	GPIFA6	GPIFA5	GPIFA4	GPIFA3	GPIFA2	GPIFA1	GPIFA0	00000000	00 RW	
		FLOWSTATE											
E6C6	1FLOWSTATE	Flowstate启用和	FSE	0	0	0	0	FS2	FS1	FS0	000000	00 brrrrbbb	
E6C7	1FLOWLOGIC	FlowState逻辑	LFUNC1	LFUNC0	TERMA2	TERMA1	TERMA0	TERMB2	TERMB1	TERMB0	00000000	00 RW	
E6C8	1FLOWEQ0CTL	CTL引脚状态	CTL0E3	CTL0E2	CTL0E1	CTL0E0	CTL3	CTL2	CTL1	CTL0	00000000	00 RW	
E6C9	1FLOWEQ1CTL	CTL引脚状态	CTL0E3	CTL0E2	CTL0E1	CTL0E0	CTL3	CTL2	CTL1	CTL0	00000000	00 RW	
E6CA	1FLOWHOLD	保持和配置	HOPERIOD3	HOPERIOD2	HOPERIOD1	HOPERIOD0	HOPERIOD0	HOPERIOD0	HOPERIOD0	HOPERIOD0	00001001	10 RW	
E6CB	1FLOWSTB	Flowstate频闪	RDYASYNC	CTL	支持	0	0	MSTB2	MSTB1	MSTB0	00100000	00 RW	
E6CC	1FLOWSTBED	Flowstate上升/下降	0	0	0	0	0	FALLIN	0	0	00000001	rrrrrrbbb	
E6CD	1FLOWSTBPER	Flowstate频闪	D7	D6	D5	D4	D3	D2	D1	D0	00000001	10 RW	
E6CE	1GPIFTCB3	GPIF事务计数	TC31	TC30	TC29	TC28	TC27	TC26	TC25	TC24	00000000	00 RW	

表11. FX2LP寄存器汇总 (续)

六角大小	名称	描述	B7	B6	B5	B4	B3	B2	B1	B0	默认	访问
E6CF 1	GPIFTCB2	GPIF事务计数 字节2	TC23	TC22	TC21	TC20	TC19	TC18	TC17	TC16	00000000	RW
E6D0 1	GPIFTCB1	GPIF事务计数 字节1	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8	00000000	RW
E6D1 1	GPIFTCB0	GPIF事务计数 字节0	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0	00000001	RW
2	保留的										00000000	RW
	保留的											
	保留的											
E6D2 1	EP2GPIFFLGSEL	[11]端点2 GPIF标志 选择	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6D3 1	EP2GPIFPFST	端点2 GPIF停止 标志在前置旗	0	0	0	0	0	0	0	FIFO2FLAG	00000000	RW
E6D4 1	EP2GPIFTR	端点2 GPIF触发器	X	X	X	X	X	X	X	X	xxxxxxxx	W
2	保留的											
	保留的											
	保留的											
E6DA 1	EP4GPIFFLGSEL	[11]端点4 GPIF标志 选择	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6DB 1	EP4GPIFPFST	端点4 GPIF停止 标志在前置旗	0	0	0	0	0	0	0	FIFO4FLAG	00000000	RW
E6DC 1	EP4GPIFTR	端点4 GPIF触发器	X	X	X	X	X	X	X	X	xxxxxxxx	W
2	保留的											
	保留的											
	保留的											
E6E2 1	EP6GPIFFLGSEL	[11]端点6 GPIF标志 选择	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6E3 1	EP6GPIFPFST	端点6 GPIF停止 标志在前置旗	0	0	0	0	0	0	0	FIFO6FLAG	00000000	RW
E6E4 1	EP6GPIFTR	端点6 GPIF触发器	X	X	X	X	X	X	X	X	xxxxxxxx	W
2	保留的											
	保留的											
	保留的											
E6EA 1	EP8GPIFFLGSEL	[11]端点8 GPIF标志 选择	0	0	0	0	0	0	FS1	FS0	00000000	RW
E6EB 1	EP8GPIFPFST	端点8 GPIF停止 标志在前置旗	0	0	0	0	0	0	0	FIFO8FLAG	00000000	RW
E6EC 1	EP8GPIFTR	端点8 GPIF触发器	X	X	X	X	X	X	X	X	xxxxxxxx	W
2	保留的											
E6F0 1	XGPIFSGLDATA	GPIF数据H (仅限16位模式)	D15	D14	D13	D12	D11	D10	D9	D8	xxxxxxxx	RW
E6F1 1	XGPIFSGLDATA	读取/写入 GPIF数据L &交易	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
E6F2 1	XGPIFSGLDATA	NOX读取 GPIF数据L, no 事务触发器	D6	D5	D4	D3	D2	D1	D0		xxxxxxxx	R
E6F3 1	GPIFREADY	内部RDY, 同步/异步 RDY引脚状态	TRDYS	AS	TCXRDY	05	0	0	0	0	00000000	bbbbrrrr
E6F4 1	GPIFREADYS	GPIF就绪状态	0	0	RDY5	RDY4	RDY3	RDY2	RDY1	RDY0	00xxxxxx	R
E6F5 1	GPIEABORT	中止 GPIF 波形	X	X	X	X	X	X	X	X	xxxxxxxx	W
E6F6 2	保留的											
	保留的											
	保留的											
E740 64	EP0BUF	EP0-IN/-OUT缓冲区		D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
E780 64	EP1OUTBUF	EP1-OUT缓冲区	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
E7C0 64	EP1INBUF	EP1-IN缓冲区	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
E800 2048	保留											RW
F000 1024	EP2FIFOBUF	EP2/1024字节的EP2/从机 FIFO缓冲区 (IN或OUT)		D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
F400 512	EP4FIFOBUF	EP4/512字节的EP4/从机 FIFO缓冲区 (IN或OUT)		D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
F600 512	保留											
F800 1024	EP6FIFOBUF	EP6/1024字节的EP6/从机 FIFO缓冲区 (IN或OUT)		D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
FC00 512	EP8FIFOBUF	EP8/512字节的EP8/从机 FIFO缓冲区 (IN或OUT)		D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
FE00 512	保留											

表11. FX2LP寄存器汇总 (续)

六角大小	名称	描述	B7	B6	B5	B4	B3	B2	B1	B0	默认	访问
XXX	I ² C配置字节		0	DISCON	0	0	0	0	0	400KHZ	XXXXXXXX	RW
											[14]	
		特殊功能寄存器 (SFR)										
80	1	IOA [13]	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
81	1	SP	D7	D6	D5	D4	D3	D2	D1	D0	00000111	RW
82	1	DPI0	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
83	1	DPH0	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
84	1	DPL1 [13]	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
85	1	DPH1 [13]	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
86	1	DPS [13]	0	0	0	0	0	0	0	SEL	00000000	RW
87	1	PCON	SMOD0	X	1	1	X	X	X	闲	00110000	RW
88	1	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00000000	RW
89	1	TMOD	CT	M1	M0	门	CT	M1	M0		00000000	RW
8A	1	TL0	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
8B	1	TL1	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
8C	1	TH0	D15	D14	D13	D12	D11	D10	D9	D8	00000000	RW
8D	1	TH1	D15	D14	D13	D12	D11	D10	D9	D8	00000000	RW
8E	1	CKCON [13]	X	X	T2M	T1M	T0M	MD2	MD1	MD0	00000001	RW
8F	1	保留的										
90	1	IOB [13]	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
91	1	EXIF [13]	IE5	IE4	PCINT	USBNT	1	0	0	0	00001000	RW
92	1	MPAGE [13]	MOVX的高地址字	A14	A13	A12	A11	A10	A9	A8	00000000	RW
		使用 @R0 / @R1										
93	五	保留的										
98	1	SCON0	SM0_0	SM1_0	SM2_0	REN_0	TB8_0	RB8_0	TI_0	RI_0	00000000	RW
99	1	SRIF0	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
9A	1	AUTOPTRH	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
9B	1	AUTOPTRL	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
9C	1	保留的										
9D	1	AUTOPTRH	A15	A14	A13	A12	A11	A10	A9	A8	00000000	RW
9E	1	AUTOPTRL	A7	A6	A5	A4	A3	A2	A1	A0	00000000	RW
9F	1	保留的										
A0	1	国际奥委会 [13]	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
A1	1	INT2CLR [13]	X	X	X	X	X	X	X	X	xxxxxxxx	W
A2	1	INT4CLR [13]	X	X	X	X	X	X	X	X	xxxxxxxx	W
A3	五	保留的										
A8	1	IE	EA	ES1	ET2	ES0	ET1	EX1	ET0	EX0	00000000	RW
A9	1	保留的										
AA	1	EP2468STAT	EP8F	EP8E	EP6F	EP6E	EP4F	EP4E	EP2F	EP2E	01011010	R
AB	1	EP24FIFOFLC [13]	0	EP4PF	EP4EF	EP4FF	0	EP2PF	EP2EF	EP2FF	00100010	R
AC	1	EP68FIFOFLC [13]	0	EP8PF	EP8EF	EP8FF	0	EP6PF	EP6EF	EP6FF	01100110	R
广告	2	保留的										
AF	1	AUTOPTRESETUP [13]	Autopointer 1&2设置		0	0	0	APTR2IN	MPTR1IN	MPTR2IN	00000110	RW
B0	1	IOD [13]	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
B1	1	IOE [13]	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxxx	RW
B2	1	OEA [13]	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B3	1	OEB [13]	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B4	1	OEC [13]	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B5	1	OED [13]	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B6	1	OEE [13]	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
B7	1	保留的										
B8	1	IP	中断优先级 (bit add)	PS1	PT2	PS0	PT1	PX1	PT0	PX0	10000000	RW
B9	1	保留的										
BA	1	EP01STAT [13]	0	0	0	0	0	EP1INBS	EP1OUT	BSY EP0	BSY00000	R
BB	1	GPIFTRIG [13]	从属 FIFO 触发器	DONE	0	0	0	RW	EP1	EP0	10000xxx brrrr	bbb
公元	前	保留的										
BD	1	GPIFSGLDATA	GPIF数据H (16位模式)	D14	D13	D12	D11	D10	D9	D8	xxxxxxxx	RW
		(只读)										

笔记

13. SFR不是标准 8051架构的一部分。
14. 如果SIE未检测到EEPROM, 则默认值为00000000。

表11. FX2LP寄存器汇总 (续)

地址	大小	名称	描述	B7	B6	B5	B4	B3	B2	B1	B0	默认	访问
BF	1	GPIESGLDATA [13]	GPIF数据L w / 无触发	D7	D6	D5	D4	D3	D2	D1	D0	xxxxxxx	RW
C0	1	SCON1 [13]	串行口1控制 (位寻址)	SM0_1	SM1_1	SM2_1	REN_1	TB8_1	RB8_1	TI_1	RI_1	00000000	RW
C1	1	SRUE1 [13]	串行端口1数据缓冲器	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
C2	6	保留的											
C8	1	T2CON	定时器/计数器2控制 (位寻址)	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2	CPRL2	00000000	RW
C9	1	保留的											
CA	1	RCAP2L	捕获定时器2, 重新加载, 增加计数器	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
CB	1	RCAP2H	捕获定时器2, 重新加载, 增加计数器	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
CC	1	TL2	定时器2重新加载LD	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
CD	1	TH2	定时器2重新加载HD	D15	D14	D13	D12	D11	D10	D9	D8	00000000	RW
CE	2	保留的											
D0	1	PSW	程序状态字 (位寻址)	CY	AC	F0	RS1	RS0	OV	F1	P	00000000	RW
D1	7	保留的											
D8	1	EICON [13]	外部中断控制	SMCD1	1	ERES1	RES1	INT6	0	0	0	01000000	RW
D9	7	保留的											
E0	1	ACC	累加器 (位地址 - 能够)	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
E1	7	保留的											
E8	1	EIE [13]	外部中断Enable (S)	1	1	1	EX6	EX5	EX4	EI ² C	EUSB	11100000	RW
E9	7	保留的											
F0	1	乙	B (可位寻址)	D7	D6	D5	D4	D3	D2	D1	D0	00000000	RW
F1	7	保留的											
F8	1	EIP [13]	外部中断优先级控制	1	1	1	PX6	PX5	PX4	PI ² C	PUSB	11100000	RW
F9	7	保留的											

R = 所有位只读
W = 所有位都是只写的
r = 只读位
w = 只写位
b = 读/写位

5. 绝对最大额定值

超过最大额定值可能会缩短使用寿命
设备. 用户指南未经测试.

储存温度	-65	C 到 +150	C
环境温度与 供电 (商业)	0°C 至 +70°C		
环境温度与 供电 (工业)	-40	C 至 +105	C
电源电压至地电位	-0.5 V 至 +4.0 V		
直流输入电压到任何输入引脚[15]	5.25 V		
施加到输出的直流电压 在高 Z 状态	-0.5 V 至 V _{CC} + 0.5 V		
功耗	300 毫瓦		
静电放电电压	> 2000 V		
每个 I / O 端口的最大输出电流	10 mA		
最大输出电流, 全部五个 I / O 端口 (128 引脚和 100 引脚封装)	50 mA		

7. 热特性

下表显示了各种封装的热特性:

表 12. 热特性

包	周围 温度 (°C)	θ_{JC} 交界处至凯斯 热阻 (°C/W)	θ_{JA} 结到环境 热阻 (°C/W)
56 SSOP	70	24.4	47.7
100 TQFP	70	11.9	45.9
128 TQFP	70	15.5	43.2
56 QFN	70	10.6	25.2
56 VFBGA	70	30.9	58.6

结温 T_j , 可以用下列公式计算: $T_j = P * \theta_{JA} + T_a$

哪里,

P = 功率

θ_{JA} = 结到环境温度 ($\theta_{JC} + \theta_{CA}$)

T_a = 环境温度 (70°C)

表壳温度

T_c 可以用下面的公式计算: $T_c = P * \theta_{CA} + T_a$

哪里,

P = 功率

θ_{CA} = 环境温度

T_a = 环境温度 (70°C)

注意

15. 芯片关闭时不要给 I / O 供电.

6. 运行条件

T _A (偏差下的环境温度)	
商业	0°C 至 +70°C
T _A (偏差下的环境温度)	
工业	-40°C 至 +105°C
电源电压	+ 3.00 V 至 +3.60 V
接地电压	0 V
F _{OSC} (振荡器或晶振频率)	24 MHz ± 100 ppm, 并联谐振

8. 直流特性

表13. 直流特性

参数	描述	条件	敏	典型	马克斯	单元
VCC	电源电压	-	3.00	3.3	3.60	V
VCC上升0到3.3 V		-	200	-	-	ns
V IH	输入高电压	-	2	-	5.25	V
V IL	输入低电压	-	-0.5	-	0.8	V
V IH_X	晶体输入高电压	-	2	-	5.25	V
V IL_X	晶体输入低电压	-	-0.5	-	0.8	V
我 我	输入漏电流	0 < V IN < VCC	-	-	±10	μA
V OH	输出电压高	I OUT = 4 mA	2.4	-	-	V
V OL	输出低电压	I OUT = -4 mA	-	-	0.4	V
我 哦	输出电流为高	-	-	-	4	嘛
我 OL	输出电流低	-	-	-	4	嘛
C IN	输入引脚电容	除 D + / D-	-	-	10	pF的
		d + / D-	-	-	15	pF的
我 SUSP	暂停电流	连接的	-	300	380 [16]	μA
	CY7C68014 / CY7C68016	断开的	-	100	150 [16]	μA
	暂停电流	连接的	-	0.5	1.2 [16]	嘛
	CY7C68013 / CY7C68015	断开的	-	0.3	1.0 [16]	嘛
我 CC	电源电流	8051运行, 连接到USB HS	-	50	85	嘛
		8051正在运行, 连接到USB FS	-	35	65	嘛
T RESET	复位有效电源后的时间	V CC min = 3.0 V	5	-	-	女士
	开机后引脚重置		200	-	-	ns

8.1 USB收发器

USB 2.0兼容全速和高速模式。

注意

16. 在最大VCC, 25°C下测量。

9.交流电气特性

9.1 USB收发器

USB 2.0兼容全速和高速模式.

9.2 程序存储器读取

图9-1.程序存储器读取时序图

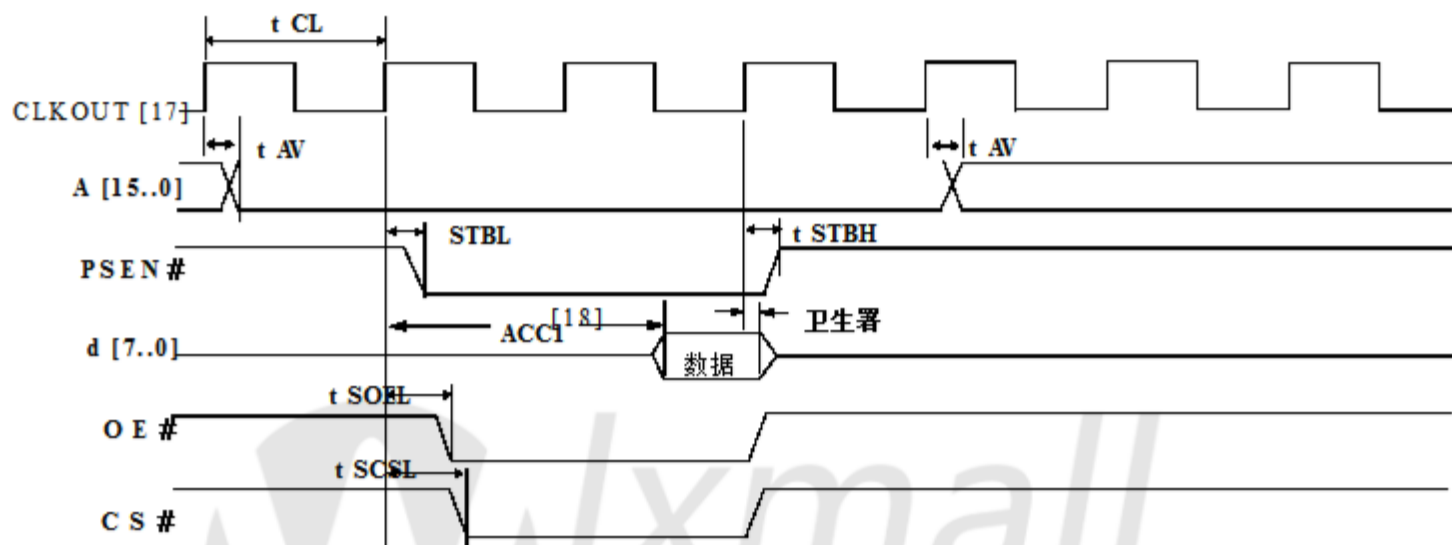


表14.程序存储器读取参数

参数	描述	敏	典型	马克斯	单元	笔记
t CL	1 / CLKOUT频率	-	20.83	-	NS	48 MHz
		-	41.66	-	NS	24 MHz
		-	83.2	-	NS	12 MHz
t AV	从时钟延迟到有效地址	0	-	10.7	NS	-
STBL	时钟到PSEN低	0	-	8	NS	-
t STBH	时钟到PSEN高	0	-	8	NS	-
t SOEL	时钟到OE低	-	-	11.1	NS	-
t SCSL	时钟至CS低	-	-	13	NS	-
t DSU	数据设置为时钟	9.6	-	-	NS	-
卫生署	数据保持时间	0	-	-	NS	-

笔记

17. CLKOUT显示为正极性.
18. t ACC1 从这些参数计算如下:
t ACC1 (24MHz) = 3 * t CL - t AV - t DSU = 106 ns.
t ACC1 (48MHz) = 3 * t CL - t AV - t DSU = 43ns.

9.3 数据存储器读取

图9-2.数据存储器读取时序图

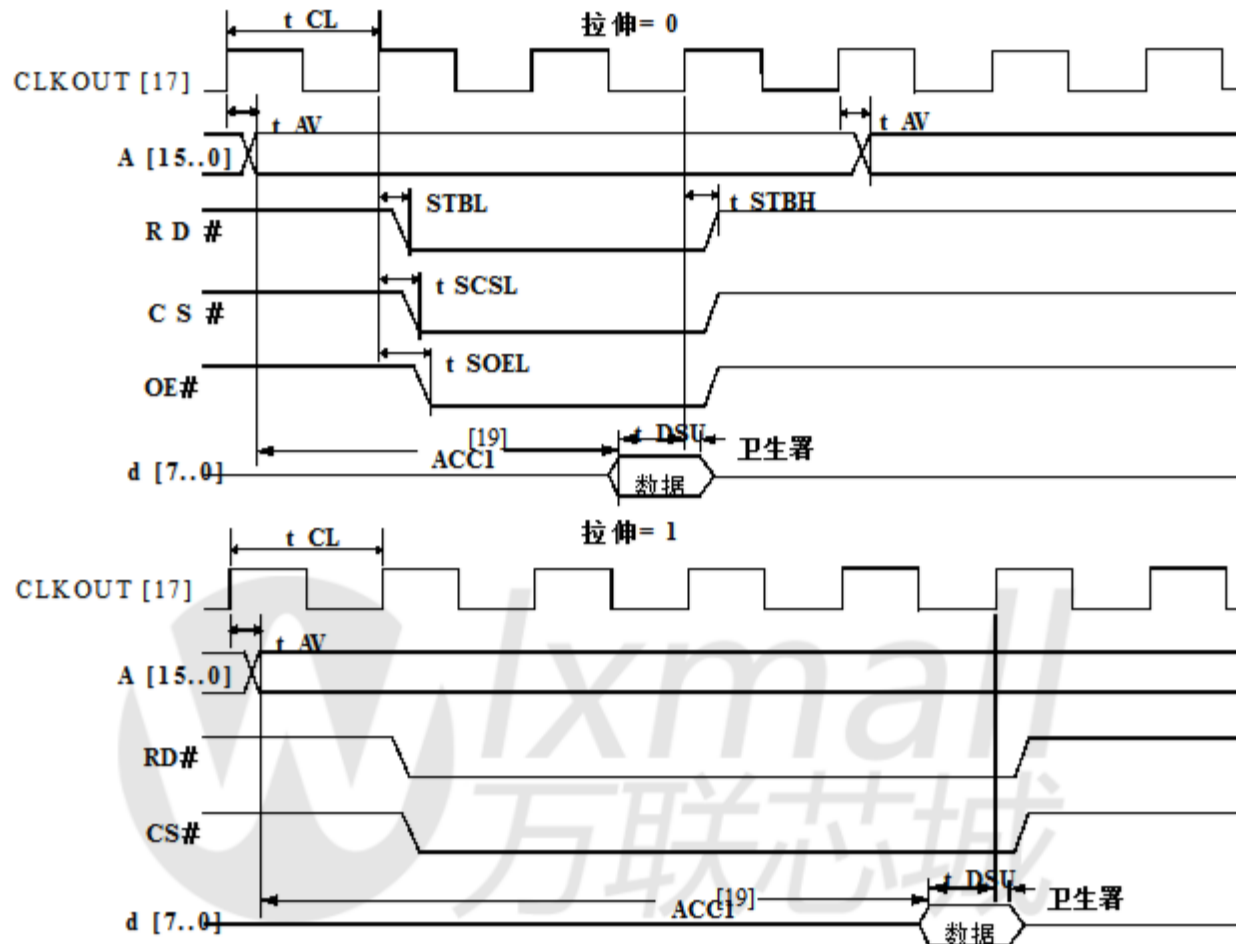


表15.数据存储器读取参数

参数	描述	敏	典型	马克斯	单元	笔记
t CL	1 / CLKOUT 频率	-	20.83	-	NS	48 MHz
		-	41.66	-	NS	24 MHz
		-	83.2	-	NS	12 MHz
t AV	从时钟延迟到有效地址	-	-	10.7	NS	-
STBL	时钟到RD低	-	-	11	NS	-
t STBH	时钟到RD高	-	-	11	NS	-
t SCSL	时钟到CS低	-	-	13	NS	-
t SOEL	时钟到OE低	-	-	11.1	NS	-
t DSU	数据设置为时钟	9.6	-	-	NS	-
卫生署	数据保存时间	0	-	-	NS	-

当使用AUTOPTR1或AUTOPTR2寻址外部存储器时，AUTOPTR1的地址只有在RD#或WR#处于活动状态。AUTOPTR2的地址在整个周期内都处于活动状态，并符合地址有效时间基于拉伸值

注意

19. t ACC2 和 t ACC3 从这些参数计算如下:
- t ACC2 (24MHz) = 5 * t CL - t AV - t DSU = 106ns.
 - t ACC2 (48 MHz) = 3 * t CL - t AV - t DSU = 43 ns.
 - t ACC3 (24MHz) = 5 * t CL - t AV - t DSU = 190ns.
 - t ACC3 (48 MHz) = 5 * t CL - t AV - t DSU = 86 ns.

9.4 数据存储器写入

图9-3.数据存储器写时序图

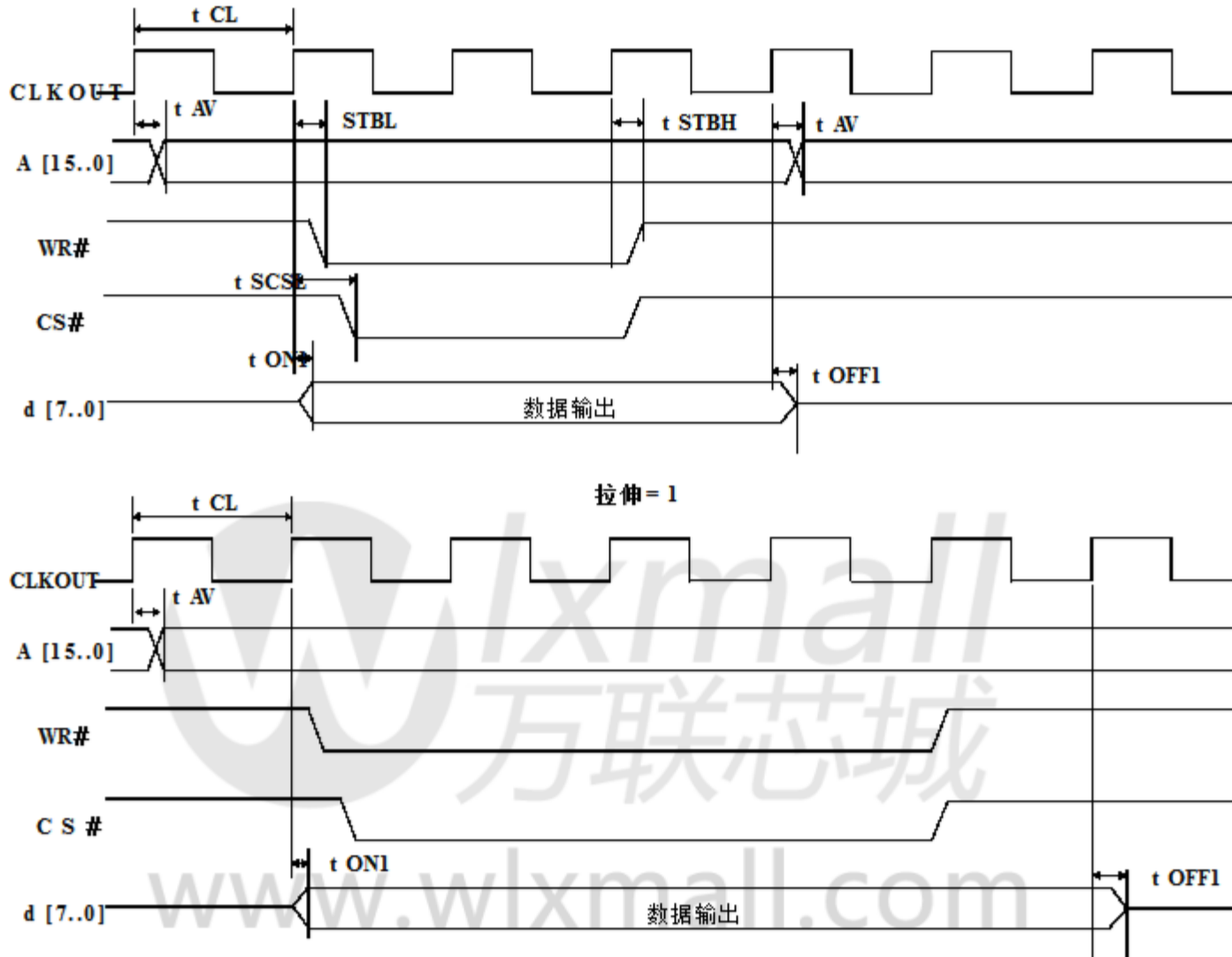


表16.数据存储器写入参数

参数	描述	敏	马克斯	单元	笔记
t AV	从时钟延迟到有效地址	0	10.7	NS	-
STBL	WR时钟脉冲为低电平	0	11.2	NS	-
t STBH	时钟到WR脉冲高电平	0	11.2	NS	-
t SCSL	时钟到CS脉冲低	-	13.0	NS	-
t ON1	时钟到数据开启	0	13.1	NS	-
t OFF1	时钟到数据保持时间	0	13.1	NS	-

当使用AUTOPTR1或AUTOPTR2寻址外部存储器时，AUTOPTR1的地址仅在RD#或WR#有效。AUTOPTR2的地址在整个周期内都处于活动状态，并且符合地址有效时间拉伸值。

9.5 PORTC频闪功能时序

RD# 和 WR# 存在于100引脚版本中
128引脚封装. 在这些100引脚和128引脚版本中,
8051控制位可以设置为在发生时触发RD# 和 WR# 引脚
8051读取或写入PORTC. 此功能已启用
通过设置CPUCS寄存器中的PORTCSTB位.

RD# 和 WR# 选通信号在两个CLKOUT周期内置位
当访问PORTC时.

在PORTC之后的两个时钟周期, WR# 选通信号被置位
更新并在之后的两个时钟周期内激活, 如图所示
图9-4.

至于读取, PORTC的值在三个时钟周期之前
RD# 的断言是8051读入的值. RD# 是
脉冲2个时钟周期后, 从时间点起3个时钟周期
8051在PORTC上执行了读取功能.

RD# 信号提示外部逻辑准备下一个
数据字节. 没有任何内容取自内部的断言
RD# 信号本身, 它只是获取下一个预取类型的信号
数据字节准备好. 所以, 用它来记住这一点很容易
设置时间到下一次阅读.

RD# 脉冲的目的是允许外部
外设知道8051完成读取PORTC和
数据被锁存到前三个CLKOUT周期的PORTC中
断言RD# 信号. RD# 脉冲后, 外部
逻辑可以更新PORTC上的数据.

以下是读写选通的时序图
功能访问PORTC. 请参阅第9.3节和章节
9.4关于RD# 和 WR# 信号传播延迟的细节.

图9-4. 当PORTC被8051访问时, WR# 选通功能

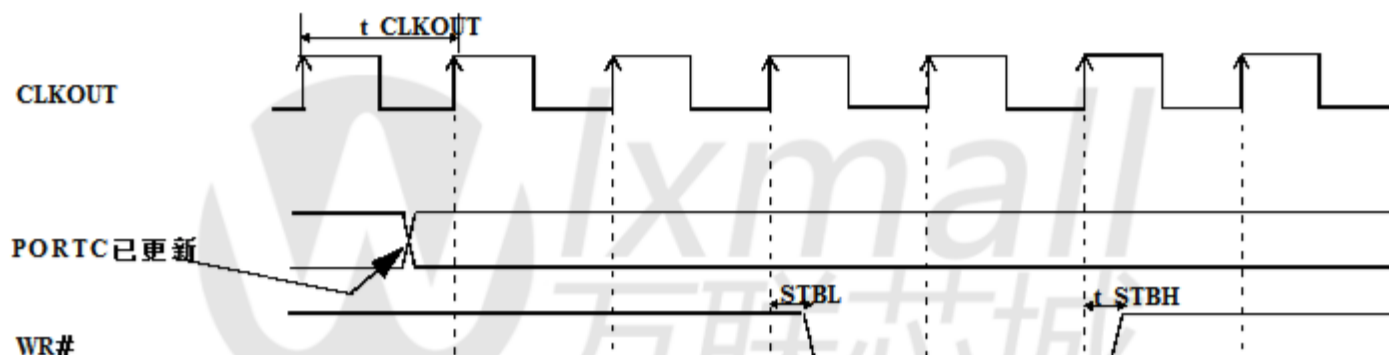
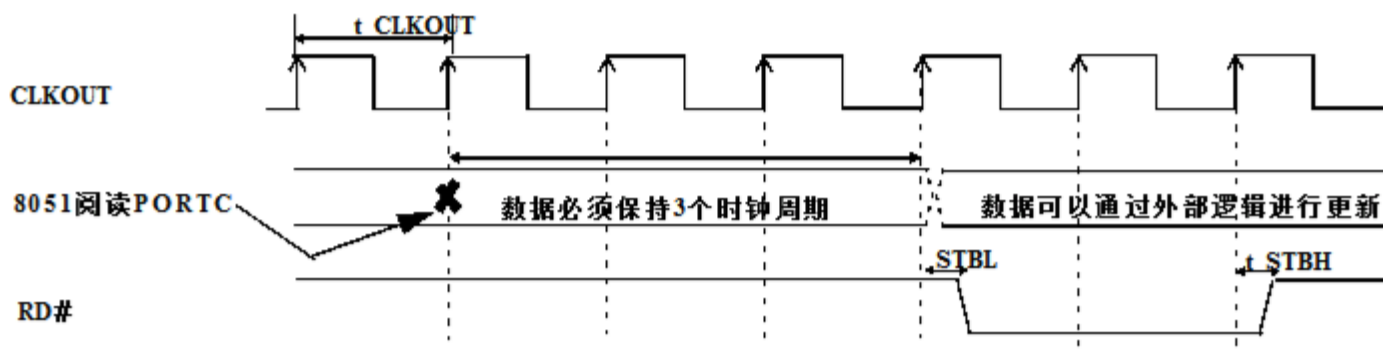


图9-5. 当PORTC被8051访问时, RD# 选通功能



9.6 GPIF同步信号

图9-6. GPIF同步信号时序图[20]

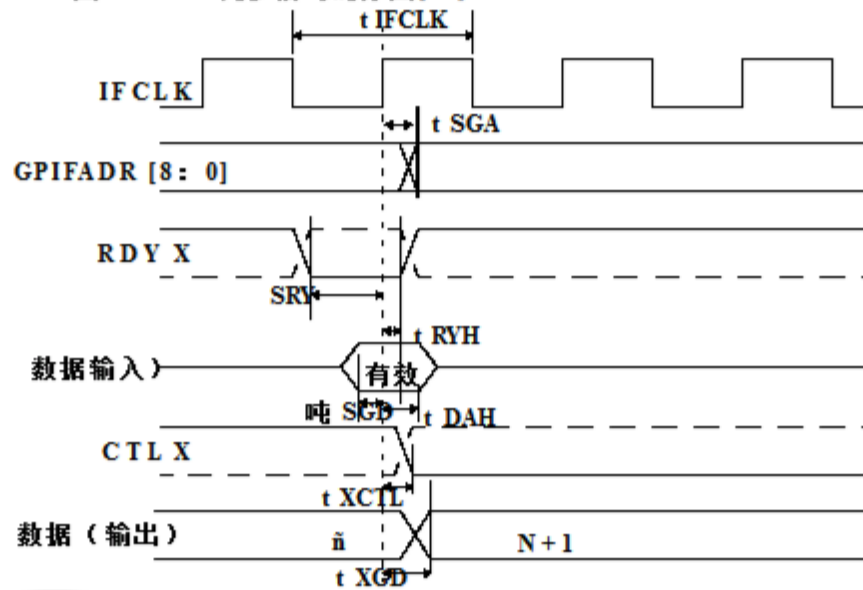


表17.具有内部源的IFCLK的GPIF同步信号参数[20,21]

参数	描述	敏	马克斯	典型		单元
				敏	马克斯	
t IFCLK	IFCLK期间	20.83	-	-	-	NS
SRY	RDY X 到时钟安装时间	8.9	-	-	-	NS
t RYH	时钟到RDY X	0	---	-	-	NS
吨 SGD	GPIF数据到时钟建立时间	9.2	-	-	-	NS
t DAH	GPIF数据保持时间	0	-	-	-	NS
t SGA	时钟到GPIF地址传播延迟	-	7.5	-	-	NS
t XGD	时钟到GPIF数据输出传播延迟	-	11	-	-	NS
t XCTL	时钟到CTL X 输出传播延迟	-	6.7	-	-	NS
t IFCLKR	IFCLK 上涨时间	-	-	-	900	PS
t IFCLKF	IFCLK 下降时间	-	-	-	900	PS
t IFCLKOD	IFCLK 输出占空比	-	-	49	51	%
t IFCLKJ	IFCLK 抖动峰到峰	-	-	-	300	PS

表18.具有外部源的IFCLK的GPIF同步信号参数[21]

参数	描述	敏	马克斯	单元
t IFCLK	IFCLK 时期[22]	20.83	200	NS
SRY	RDY X 到时钟安装时间	2.9	-	NS
t RYH	时钟到RDY X	3.7	-	NS
吨 SGD	GPIF数据到时钟建立时间	3.2	-	NS
t DAH	GPIF数据保持时间	4.5	-	NS
t SGA	时钟到GPIF地址传播延迟	-	11.5	NS
t XGD	时钟到GPIF数据输出传播延迟	-	15	NS
t XCTL	时钟到CTL X 输出传播延迟	-	10.7	NS

笔记

20. 虚线表示具有可编程极性的信号。
21. 使用内部48 MHz IFCLK时，GPIF异步RDY x 信号的最小建立时间为50 ns。
22. IFCLK不得超过48 MHz。

9.1 从FIFO同步读取

图9-7.从属FIFO同步读取时序图 [20]

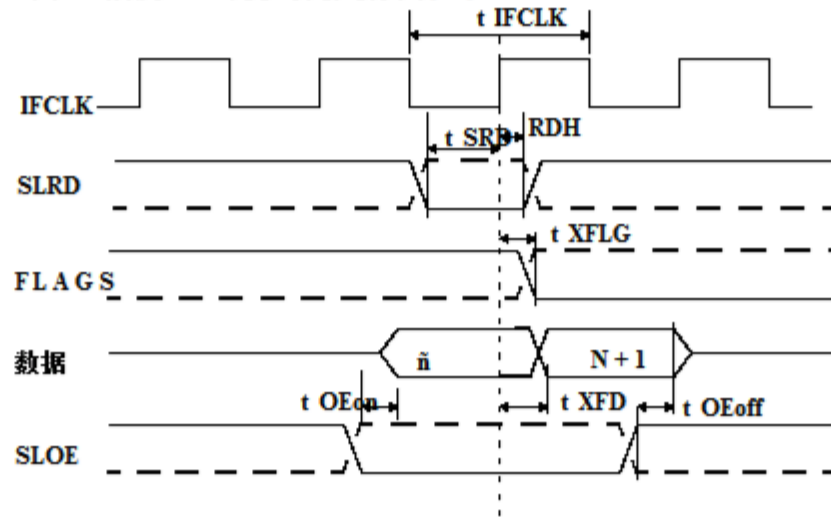


表19.具有内部源的IFCLK的从属FIFO同步读取参数 [21]

参数	描述	敏	马克斯	典型		单元
				敏	马克斯	
t IFCLK	IFCLK期间	20.83	-	-	-	NS
t SRD	SLRD来设置时间	18.7	-	-	-	NS
RDH	时钟到SLRD保持时间	0	-	-	-	NS
t OEon	SLOE打开FIFO数据有效	-	10.5	-	-	NS
t OEoff	SLOE关闭到FIFO数据保持	-	10.5	-	-	NS
t XFLG	时钟到FLAGS输出传播延迟	-	9.5	-	-	NS
t XFD	时钟到FIFO数据输出传播延迟	-	11	-	-	NS
t IFCLKR	IFCLK上涨时间	-	-	-	900	PS
t IFCLKF	IFCLK下降时间	-	-	-	900	PS
t IFCLKOD	IFCLK输出占空比	-	-	49	51	%
t IFCLKJ	IFCLK抖动峰到峰	-	-	-	300	PS

表20.具有外部源的IFCLK的从属FIFO同步读取参数[21]

参数	描述	敏	马克斯	单元
t IFCLK	IFCLK期间	20.83	200	NS
t SRD	SLRD来设置时间	12.7	-	NS
RDH	时钟到SLRD保持时间	3.7	-	NS
t OEon	SLOE打开FIFO数据有效	-	10.5	NS
t OEoff	SLOE关闭到FIFO数据保持	-	10.5	NS
t XFLG	时钟到FLAGS输出传播延迟	-	13.5	NS
t XFD	时钟到FIFO数据输出传播延迟	-	15	NS

9.8从属FIFO异步读取

图9-8.从属FIFO异步读取时序图[20]

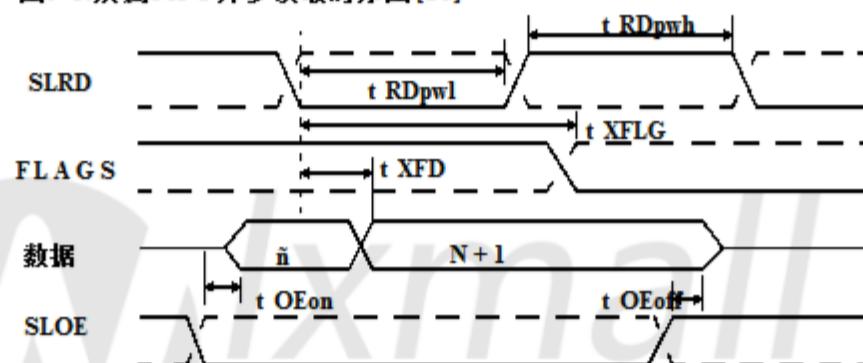


表21.从属FIFO FIFO异步读取参数[23]

参数	描述	敏	马克斯	单元
t RDpwl	SLRD脉冲宽度为低	50	-	NS
t RDpwh	SLRD脉冲宽度高	50	-	NS
t XFLG	SLRD到FLAGS输出传播延迟	-	70	NS
t XFD	SLRD到FIFO数据输出传播延迟	-	15	NS
t OEon	SLOE开启至FIFO数据有效	-	10.5	NS
t OEoff	SLOE关闭到FIFO数据保持	-	10.5	NS

注意

23.从属FIFO异步参数值使用48 MHz的内部IFCLK设置。

9.9从属FIFO同步写入

图9-9.从属FIFO同步写时序图[20]

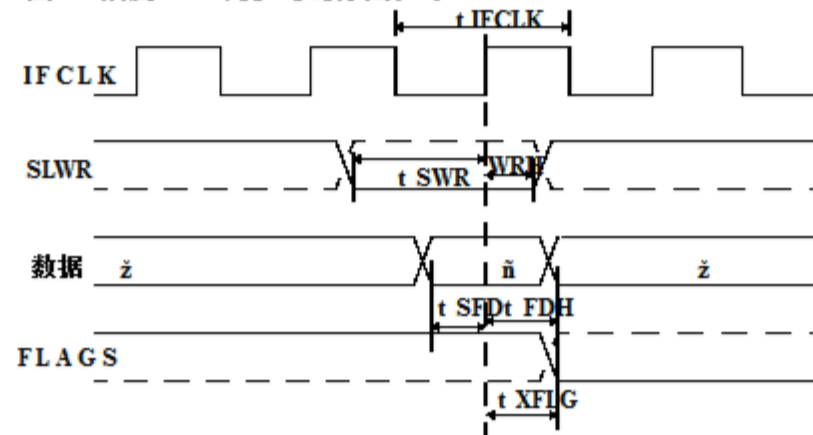


表22.具有内部源的IFCLK的从属FIFO同步写入参数[21]

参数	描述	敏	马克斯	单元
t IFCLK	IFCLK期间	20.83	-	NS
t SWR	SLWR为时钟建立时间	10.4	-	NS
WRH	时钟到SLWR保持时间	0	-	NS
t SFD	FIFO数据到时钟建立时间	9.2	-	NS
t FDH	时钟到FIFO数据保持时间	0	-	NS
t XFLG	时钟到FLAGS输出传播时间	-	9.5	NS

表23.具有外部源的IFCLK的从属FIFO同步写入参数[21]

参数	描述	敏	马克斯	单元
t IFCLK	IFCLK期间	20.83	200	NS
t SWR	SLWR为时钟建立时间	12.1	-	NS
WRH	时钟到SLWR保持时间	3.6	-	NS
t SFD	FIFO数据到时钟建立时间	3.2	-	NS
t FDH	时钟到FIFO数据保持时间	4.5	-	NS
t XFLG	时钟到FLAGS输出传播时间	-	13.5	NS

9.10 从器件FIFO异步写入

图9-10. 从机FIFO异步写时序图[20]

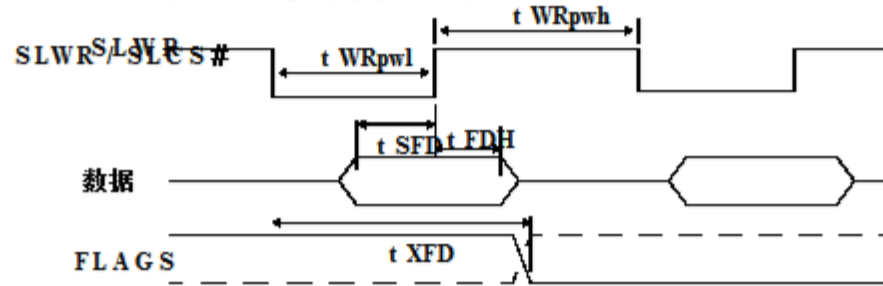


表24. 具有内部源的IFCLK的从属FIFO FIFO异步写入参数[23]

参数	描述	敏	马克斯	单元
t WRpwl	SLWR脉冲为低	50	-	NS
t WRpwh	SLWR脉冲高	70	-	NS
t SFD	SLWR到FIFO数据建立时间	10	-	NS
t FDH	FIFO数据到SLWR保持时间	10	-	NS
t XFD	SLWR到FLAGS输出传播延迟	-	70	NS

9.11 从器件FIFO同步数据包结束选通

图9-11. 从器件FIFO同步封包结束选通时序图[20]

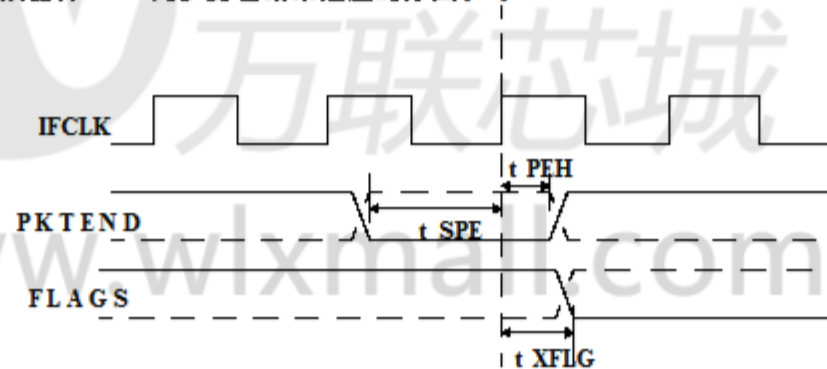


表25. 具有内部源的IFCLK的从属FIFO同步数据包结束选通参数[21]

参数	描述	敏	马克斯	单元
t IFCLK	IFCLK期间	20.83	-	NS
t SPE	PKTEND来设置时钟的时钟	14.6	-	NS
t PEH	时钟到PKTEND保持时间	0	-	NS
t XFLG	时钟到FLAGS输出传播延迟	-	9.5	NS

表26. 具有外部源的IFCLK的从属FIFO FIFO同步数据包结束选通参数[21]

参数	描述	敏	马克斯	单元
t IFCLK	IFCLK期间	20.83	200	NS
t SPE	PKTEND来设置时钟的时钟	8.6	-	NS
t PEH	时钟到PKTEND保持时间	2.5	-	NS
t XFLG	时钟到FLAGS输出传播延迟	-	13.5	NS

没有具体的时间要求应该满足
断言PKTEND引脚来断言SLWR. PKTEND可以将最后一个数据值锁定到FIFO或者其后. 建立时间 t_{SPE} 和保持时间 t_{PEH} 必须是满足.

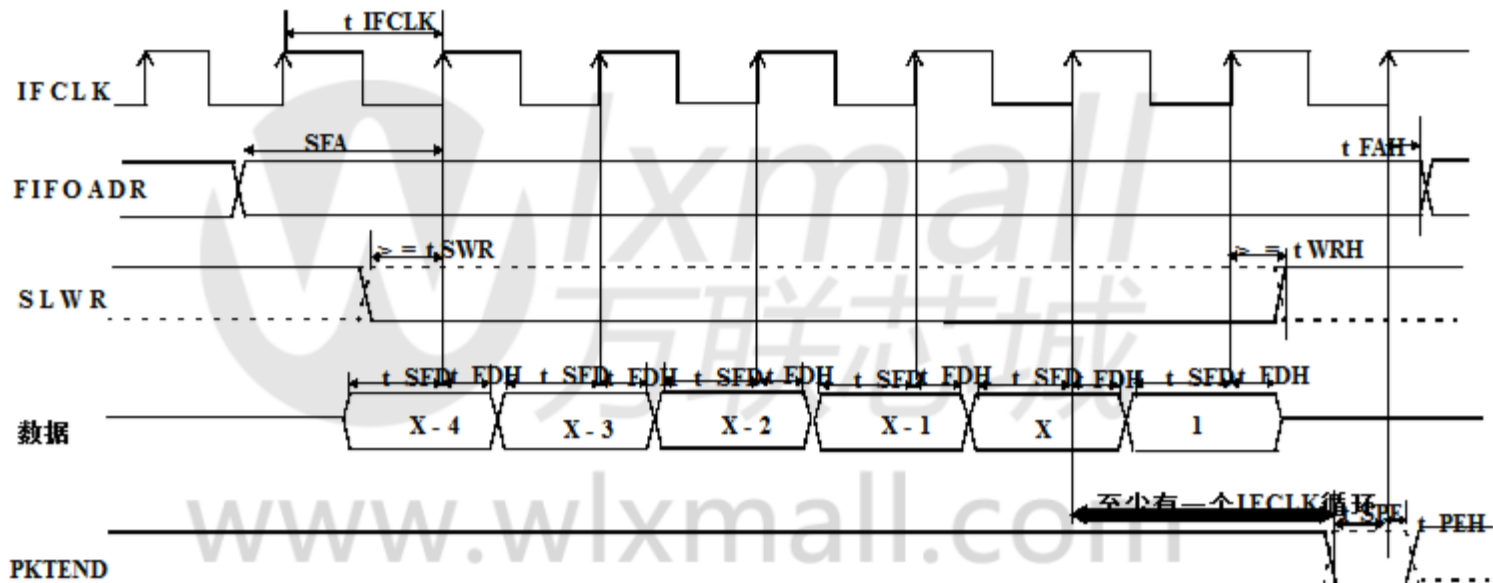
虽然没有具体的时间要求
PKTEND断言, 有一个特定的角落情况条件在使用PKTEND提交一个字节时需要注意或单词包. 还有一个额外的时间要求当FIFO配置为自动运行时需要满足模式, 并且它需要发回两个数据包: 一个完整的数据包(完全定义为FIFO会议中的字节数AUTOINLEN寄存器中设置的电平)自动提交接着是手动提交的短一个字节或字数据包使用PKTEND引脚. 在这种情况下, 用户必须确保在上升沿之后的至少一个时钟周期内断言PKTEND

导致最后一个字节或单词被记录到前一个自动承诺包. 图9-12显示了这种情况. X是AUTOINLEN寄存器的值设置为IN端点时的值配置为自动模式.

图9-12显示了提交两个数据包的场景. 第一个数据包在数字时自动提交FIFO中的字节数达到X(在AUTOINLEN中设置的值寄存器)和第二个一字节/字短包正在使用PKTEND手动提交.

请注意, 两者之间至少有一个IFCLK周期时序断言PKTEND和前一个字节的时钟数据包(导致数据包自动提交). 如果没有遵守这一时机, FX2将无法发送一个字节或单词短包.

图9-12.从属FIFO同步写序列和时序图[20]



9.12从器件FIFO异步数据包结束选通

图9-13.从器件FIFO异步数据包结束选通时序图[20]

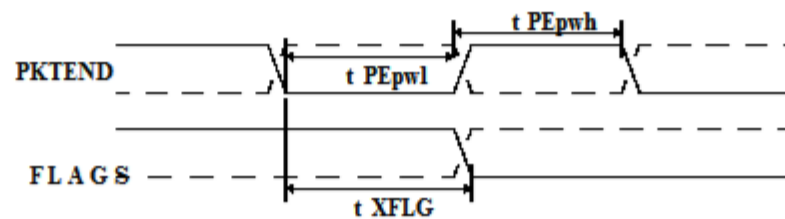


表27.从器件FIFO异步数据包结束选通参数[23]

参数	描述	敏	马克斯	单元
t_{PEpw}	PKTEND脉冲宽度为低	50	-	NS
t_{PWpw}	PKTEND脉冲宽度高	50	-	NS
t_{XFLG}	PKTEND到FLAGS输出传播延迟	-	115	NS

9.13 从器件FIFO输出使能

图9-14.从设备FIFO输出使能时序图[20]

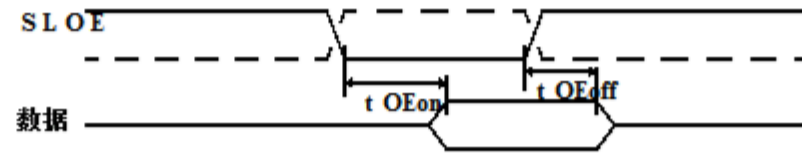


表28.从属FIFO输出使能参数

参数	描述	敏	马克斯	单元
t OEon	SLOE断言FIFO数据输出		10.5	NS
t OEoff	SLOE放弃FIFO数据保持		10.5	NS

9.14 从站FIFO地址到标志/数据

图9-15.从属FIFO地址到标志/数据时序图[20]

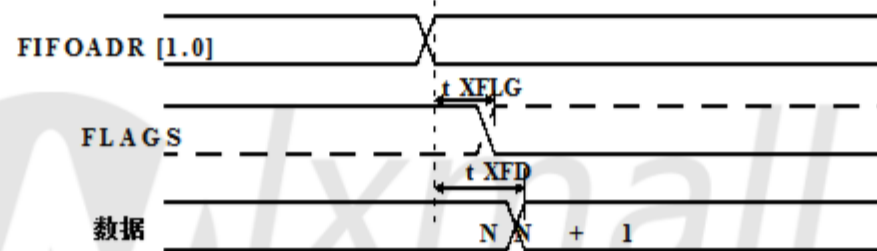


表29.从标志/数据参数的从站FIFO地址

参数	描述	敏	马克斯	单元
t XFLG	FIFOADR [1: 0]到FLAGS输出传播延迟	-	10.7	NS
t XFD	FIFOADR [1: 0]至FIFODATA输出传播延迟	-	14.3	NS

9.15 从器件FIFO同步地址

图9-16.从器件FIFO同步地址时序图[20]

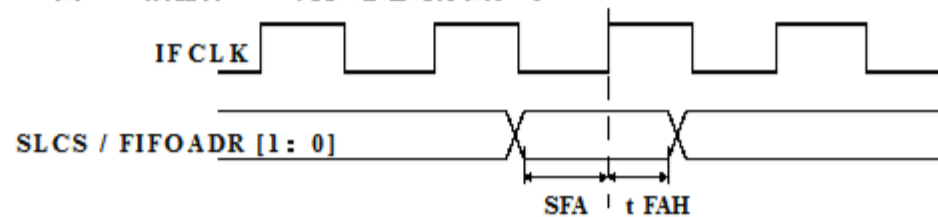


表30.从器件FIFO同步地址参数[21]

参数	描述	敏	马克斯	单元
t IFCLK	接口时钟周期	20.83	200	NS
SFA	FIFOADR [1: 0]设置时钟的时钟	25	-	NS
t FAH	时钟到FIFOADR [1: 0]保持时间	10	-	NS

9.16 从机FIFO异步地址

图9-17.从器件FIFO异步地址时序图[20]

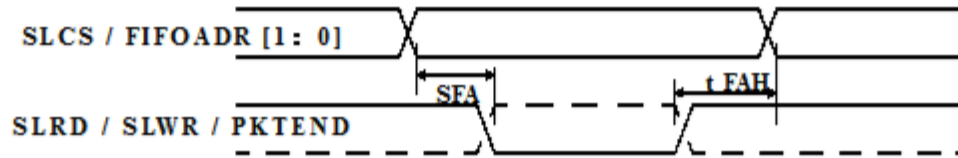


表31.从器件FIFO异步地址参数[23]

参数	描述	敏	马克斯	单元
SFA	FIFOADR [1: 0] 设置为SLRD / SLWR / PKTEND建立时间	10	-	NS
tFAH	RD / WR / PKTEND到FIFOADR [1: 0]保持时间	10	-	NS

9.17 序列图

9.17.1 单个和突发同步读取示例

图9-18.从属FIFO同步读取序列和时序图[20]

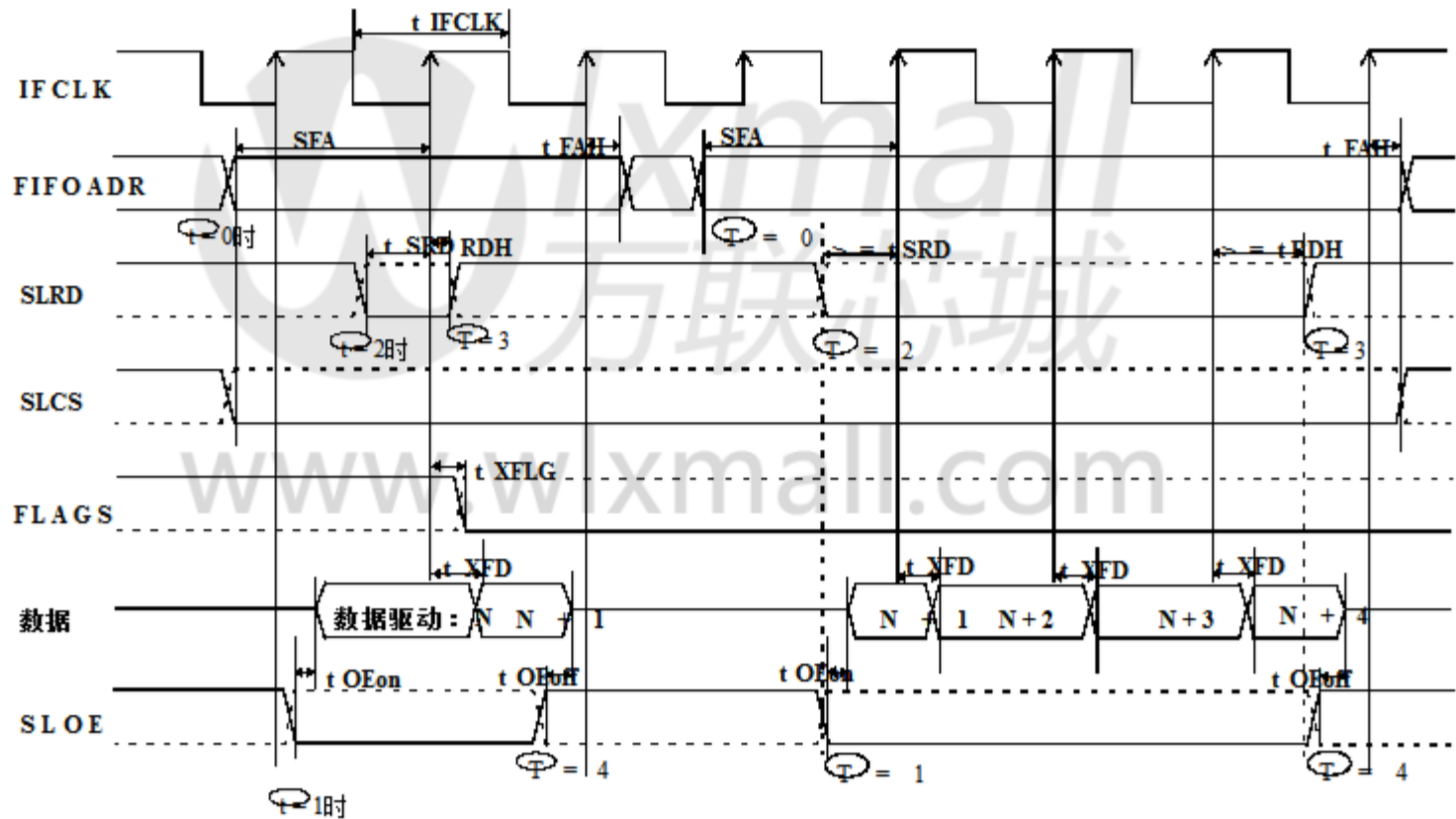
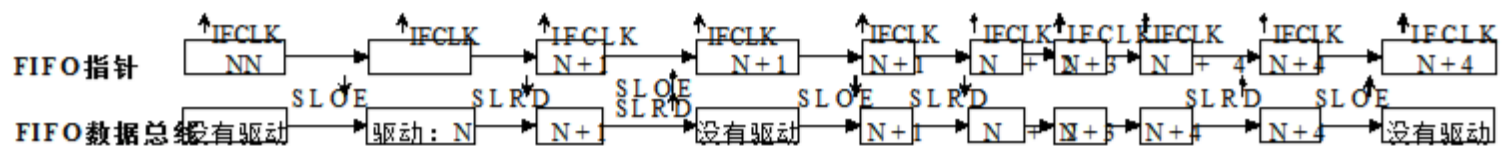


图9-19.从属FIFO的同步事件序列图



第50页上的图9-18显示了时序关系
SLAVE FIFO信号在同步FIFO读取期间使用
IFCLK作为同步时钟.该图说明了一个
单次读取, 然后突发读取.

- 在 $t=0$ 时, FIFO地址稳定且信号SLCS为
断言 (SLCS在某些应用中可能会被束缚在低位). 注意
那 SFA 至少有25纳秒. 这意味着当IFCLK是
运行在48 MHz, FIFO地址建立时间超过
一个IFCLK循环.
- 在 $t=1$ 时, SLOE被置位. SLOE仅是输出使能,
其唯一的功能是驱动数据总线. 数据是
在总线上驱动的是内部FIFO指针所在的数据
目前指向. 在这个例子中, 它是第一个数据值
FIFO. 注意: 数据是预取的并且在总线上被驱动
当SLOE被声明时.
- 在 $t=2$ 时, SLRD被置位. SLRD必须满足设定时间
 t_{SRD} (从SLRD信号到上升沿的时间)
IFCLK) 并保持 t_{RDH} (时间) 的最小保持时间
从IFCLK边缘到SLRD信号的解除).
如果使用SLCS信号, 它必须在SLRD之前置位
断言 (SLCS和SLRD信号都必须声明
开始有效的读取条件).

- FIFO指针在IFCLK的上升沿更新,
而SLRD则被认定. 这开始传播数据
从新寻址的位置到数据总线. 之后
 t_{XFD} 的传播延迟 (从上升沿测量)
IFCLK) 存在新的数据值. N是第一个数据值
从FIFO读取. 在FIFO数据总线上有数据, SLOE
也必须声明.

显示突发读取的相同事件序列
标有时间指示符 $T=0$ 到5.

注意 对于突发模式, SLRD和SLOE保持有效
在整个阅读期间. 在突发读取模式下,
当SLOE被声明时, 由FIFO指针索引的数据开启
数据总线. 在第一个读周期中, 在上升沿
FIFO指针更新并增加指向的时钟
地址 $N+1$. 对于IFCLK的每个后续上升沿, 同时
SLRD被置位, FIFO指针递增,
下一个数据值被放置在数据总线上.

9.17.2 单次和突发同步写入

图9-20. 从属FIFO同步写序列和时序图[20]

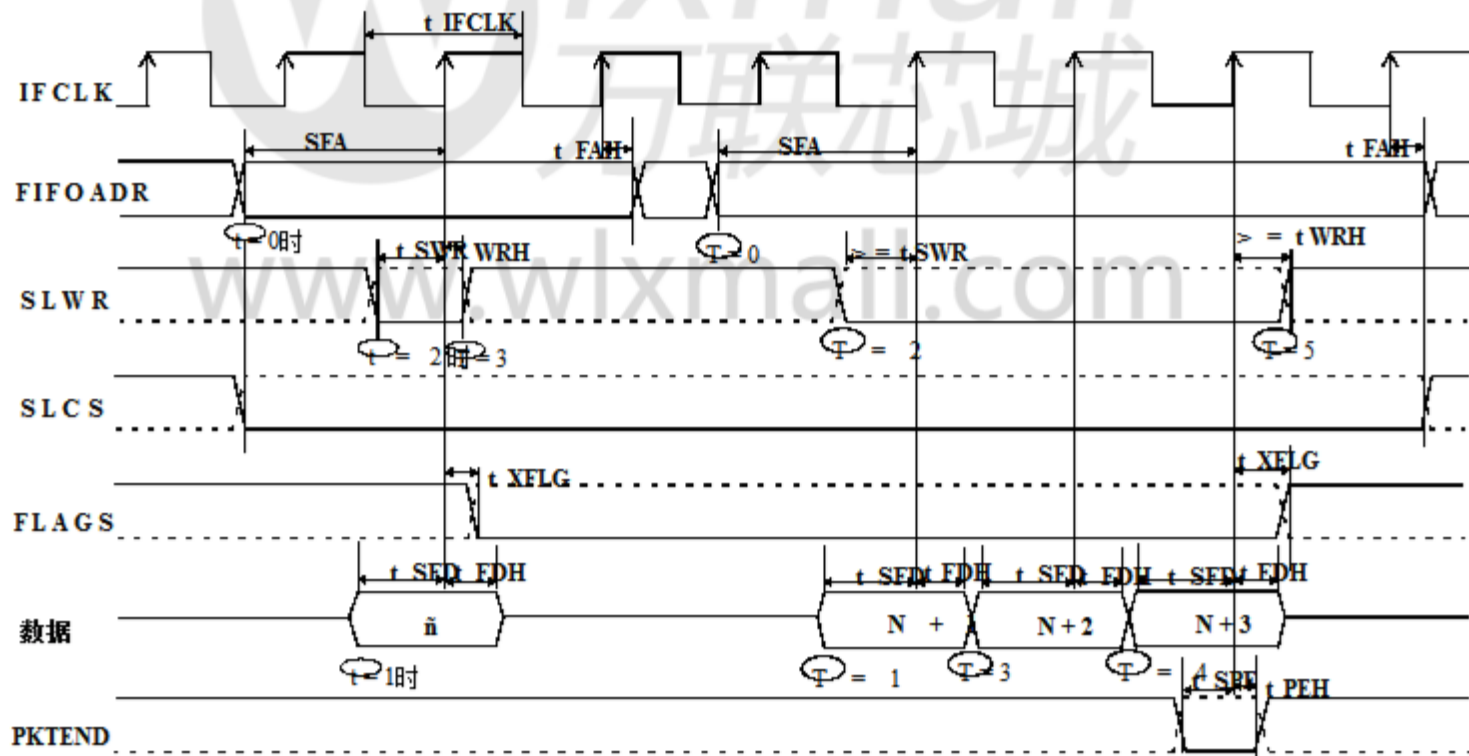


图9-20显示了SLAVE FIFO的时序关系
在使用IFCLK作为同步写入期间的信号
同步时钟.该图说明了单个写入
然后突发写入3个字节并提交所有4个字节
一个使用PKTEND引脚的短包.

- 在 $t = 0$ 时, FIFO地址稳定且信号SLCS为
断言. (在某些应用中, SLCS可能会很低) 注意
那 SFA 至少有25纳秒.这意味着当IFCLK是
运行在48 MHz, FIFO地址建立时间超过
一个IFCLK循环.
- 在 $t = 1$ 时, 外部主机/外设必须输出数据
值设置到数据总线上, 最小设置时间为 t_{SFD}
在IFCLK的上升之前.
- 在 $t = 2$ 时, SLWR被置位. SLWR必须符合设置
 t_{SWR} 的时间 (从断言SLWR信号到上升的时间
IFCLK的边缘) 并保持 t_{WRH} (时间) 的最小保持 时间
从IFCLK边缘到SLWR信号的解除置位).
如果使用SLCS信号, 则必须使用SLWR或
在SLWR被声明之前 (SLCS和SLWR信号必须
都被断言开始一个有效的写入条件).
- SLWR置位时, 将数据写入FIFO并打开
IFCLK的上升沿, FIFO指针递增.
FIFO标志也会在延迟 t_{XFLG} 之后更新
时钟的上升沿.

突发写入也显示了相同的事件序列
并标有时间指示符 $T = 0$ 至5.

注意对于突发模式, SLWR和SLCS保持置位状态
整个写入所有需要的数据值的时间.在这
突发写入模式, 在SLWR被声明后, 数据在
FIFO数据总线在每个上升沿写入FIFO
IFCLK. FIFO指针在每个上升沿更新
IFCLK.在图9-20中, 将四个字节写入后
FIFO, SLWR解除置位.短的4字节数据包可以
通过声明PKTEND信号致用于主机.

没有具体的时间要求应该满足
在断言SLWR方面断言PKTEND信号
信号. PKTEND可以用最后的数据值或者断言
其后. 唯一的要求是设置时间 t_{SPE} 和
必须满足 保持时间 t_{PEH} . 在图9-20的场景中,
提交的数据值的数里包括最后一个值
写入FIFO. 在这个例子中, 数据值和
PKTEND信号在IFCLK的相同上升沿同步.
PKTEND也可以在随后的时钟周期中断言.该
在PKTEND期间, FIFOADDR行应保持不变
断言.

虽然没有具体的时间要求
PKTEND断言, 有一个特定的角落情况条件
需要注意, 同时使用PKTEND来提交一个
字节/字数据包.额外的时间要求存在时
FIFO被配置为在自动模式下操作并且是期望的
发送两个数据包: 一个完整的数据包 (全部定义为数量
FIFO中的字节满足AUTOINLEN寄存器中设置的电平)
自动提交后短一个字节或一个字
数据包使用PKTEND引脚手动提交.

在这种情况下, 外部主机必须确保断言
PKTEND引脚在上升沿之后至少一个时钟周期
导致需要将最后一个字节或单词输入到中
先前的自动提交数据包 (数量为的数据包)
字节等于AUTOINLEN寄存器中的设置).参考
有关此计时的更多详细信息, 请参见第48页上的图9-12.

9.17.3 单次和突发异步读取的序列图

图9-21.从属FIFO异步读取序列和时序图 [20]

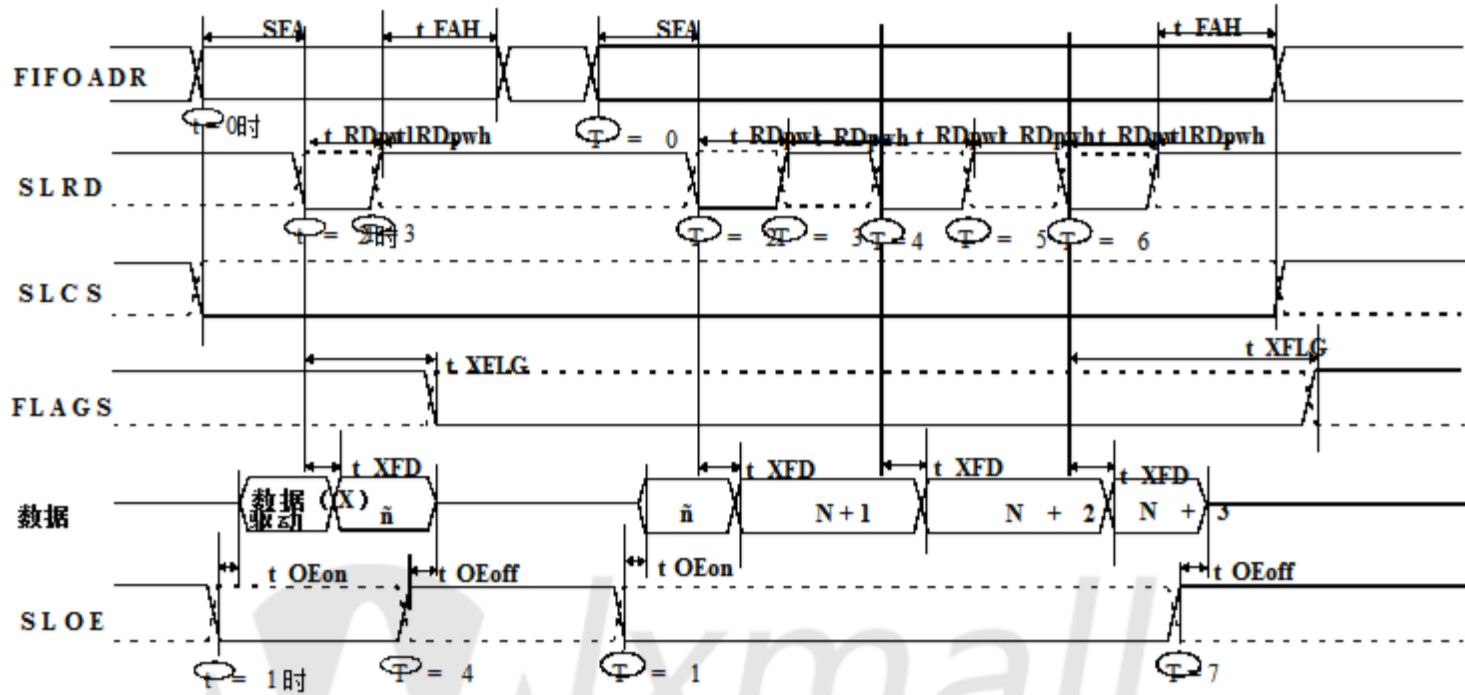


图9-22.从器件FIFO异步读取事件序列图

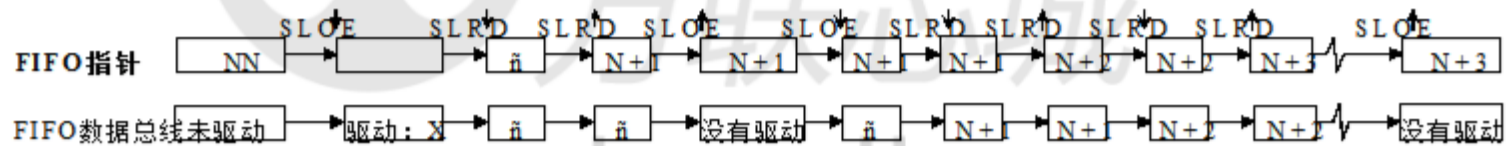


图9-21显示了SLAVE FIFO的时序关系。在异步FIFO读取期间的信号。它显示一个单一的，然后读取突发读取。

- 在 $t=0$ 时，FIFO地址稳定且SLCS信号为断言。
- 在 $t=1$ 时，SLOE被置位。这导致了数据总线的存在驱动。被驱动到总线上的数据是以前的数据，它是来自先前读取周期的FIFO中的数据。
- 在 $t=2$ 时，SLRD被置位。SLRD必须达到最低标准 t_{RDpwl} 的有源脉冲和最小失效脉冲宽度 t_{RDpwh} 。如果使用SLCS，则必须先声明SLCS。SLRD被声明（SLCS和SLRD信号必须都是断言启动一个有效的读取条件。）

- 在断言SLRD之后驱动的数据是已更新的来自FIFO的数据。此数据在传播延迟后有效。来自SLRD激活边缘的 t_{XFD} 。在图9-21中，数据N是从FIFO读取的第一个有效数据。要显示数据在读周期（SLRD置位）期间在数据总线上，SLOE必须处于断言状态。SLRD和SLOE也可以并列一起。

还显示了突发读取的相同事件序列。标记为 $T=0$ 至5。

注在突发读模式下，在SLOE断言期间，数据总线处于驱动状态并输出以前的数据。SLRD之后断言，来自FIFO的数据在数据总线（SLOE）上被驱动也必须被声明，然后FIFO指针是递增。

9.17.4 单次和突发异步写入的顺序图

图9-23.从属FIFO异步写序列和时序图[20]

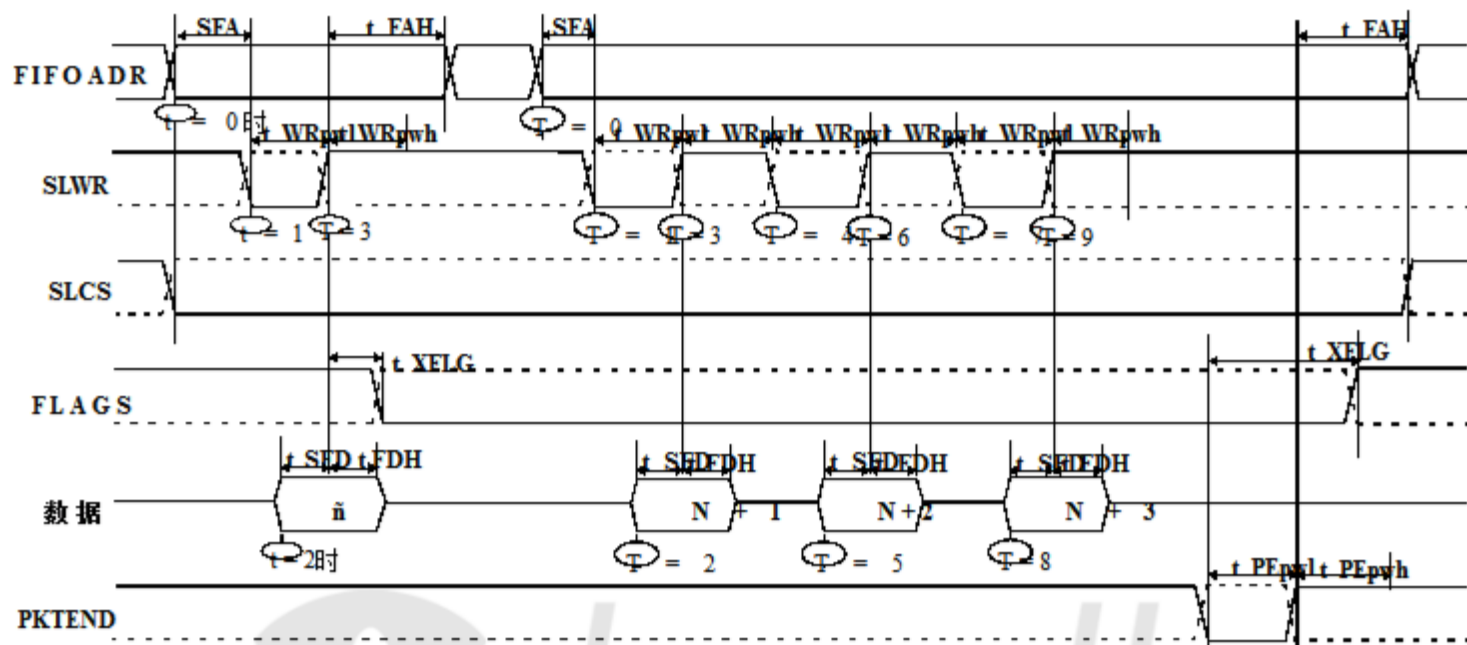


图9-23显示了SLAVE FIFO的时序关系以异步模式写入。该图显示了一个单一的写之后是3字节的突发写入并提交4使用PKTEND发送一个字节的短包。

- 在 $t = 0$ 时，FIFO地址被应用，确保它符合SFA的建立时间。如果使用SLCS，它也必须被声明（在某些应用中，SLCS可能会很低）。
- 在 $t = 1$ 时，SLWR被置位。SLWR必须达到最低要求 t_{WRpt} 的有效脉冲和最小失效脉冲宽度 t_{WRpwh} 。如果使用SLCS，则必须使用SLWR或在SLWR被声明之前。
- 在 $t = 2$ 时，数据必须在总线上出现消除SLWR的边缘。
- 在 $t = 3$ 时，取消断言SLWR会导致写入数据数据总线到FIFO，然后递增FIFO指针。FIFO标志也会在取消确认之后的 t_{XFLG} 后更新SLWR的边缘。

显示突发写入的相同事件序列，并且是由时间标记 $T = 0$ 至5表示。

注意在突发写入模式下，在SLWR解除置位后，数据写入FIFO，然后FIFO指针递增到FIFO中的下一个字节。FIFO指针是后指的递增。

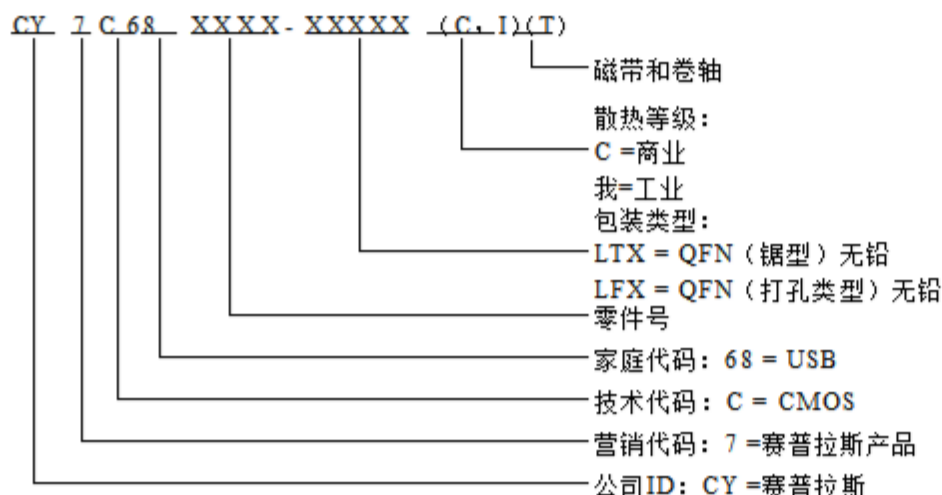
在图9-23中将四个字节写入FIFO后SLWR被解除置位，可以提交短4字节的数据包到使用PKTEND的主机。外部设备应该是旨在不会断言SLWR和PKTEND信号同时。它应该被设计为在之后声明PKTEND SLWR被解除置位，并且达到了最低无效脉冲宽度。FIFOADDR线必须保持不变。PKTEND声明。

10. 订购信息

表32. 订购信息

订购代码	包装类型	RAM大小	# 程序I / O	8051地址 /数据总线	串口调试[24]
电池供电应用的理想选择					
CY7C68014A-128AXC	128 TQFP - 无铅	16 K	40	16- / 8位	ÿ
CY7C68014A-100AXC	100 TQFP - 无铅	16 K	40	-	ÿ
CY7C68014A-56PVXC	56 SSOP - 无铅	16 K	24	-	ñ
CY7C68014A-56LTXC	56 QFN - 无铅	16 K	24	-	ñ
CY7C68016A-56LTXC	56 QFN - 无铅	16 K	26	-	ñ
CY7C68016A-56LTXCT	56 QFN - 无铅	16 K	26	-	ñ
非电池供电应用的理想选择					
CY7C68013A-128AXC	128 TQFP - 无铅	16 K	40	16- / 8位	ÿ
CY7C68013A-128AXI	128 TQFP - 无铅（工业）	16 K	40	16- / 8位	ÿ
CY7C68013A-100AXC	100 TQFP - 无铅	16 K	40	-	ÿ
CY7C68013A-100AXI	100 TQFP - 无铅（工业）	16 K	40	-	ÿ
CY7C68013A-56PVXC	56 SSOP - 无铅	16 K	24	-	ñ
CY7C68013A-56PVXCT	56 SSOP - 无铅	16 K	24	-	ñ
CY7C68013A-56PVXI	56 SSOP - 无铅（工业）	16 K	24	-	ñ
CY7C68013A-56BAXC	56 VFBGA - 无铅	16 K	24	-	ñ
CY7C68013A-56BAXCT	56 VFBGA - 无铅	16 K	24	-	ñ
CY7C68013A-56LTXC	56 QFN - 无铅	16 K	24	-	ñ
CY7C68013A-56LTXCT	56 QFN - 无铅	16 K	24	-	ñ
CY7C68013A-56LTXI	56 QFN - 无铅（工业）	16 K	24	-	ñ
CY7C68015A-56LTXC	56 QFN - 无铅	16 K	26	-	ñ
开发工具套件					
CY3684	EZ-USB FX2LP开发套件				
参考设计套件					
CY4611B	采用EZ-USB FX2LP的USB 2.0至ATA / ATAPI参考设计				

订购代码定义



注意

24. 由于CY7C68013A的56引脚封装中没有UART，因此不可能使用Keil Monitor进行串口调试。

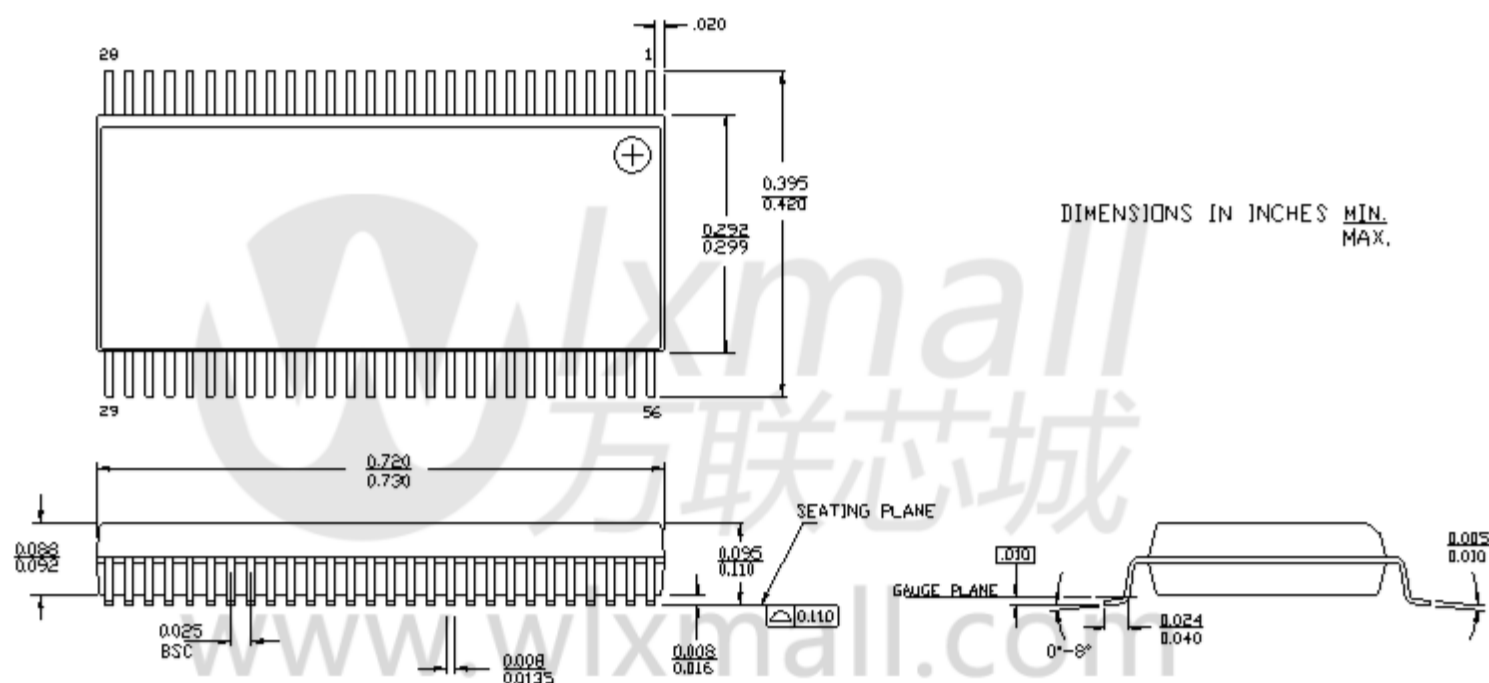
11. 包装图

FX2LP有五种封装可供选择：

- 56引脚SSOP
- 56引脚QFN
- 100引脚TQFP
- 128引脚TQFP
- 56球VFBGA

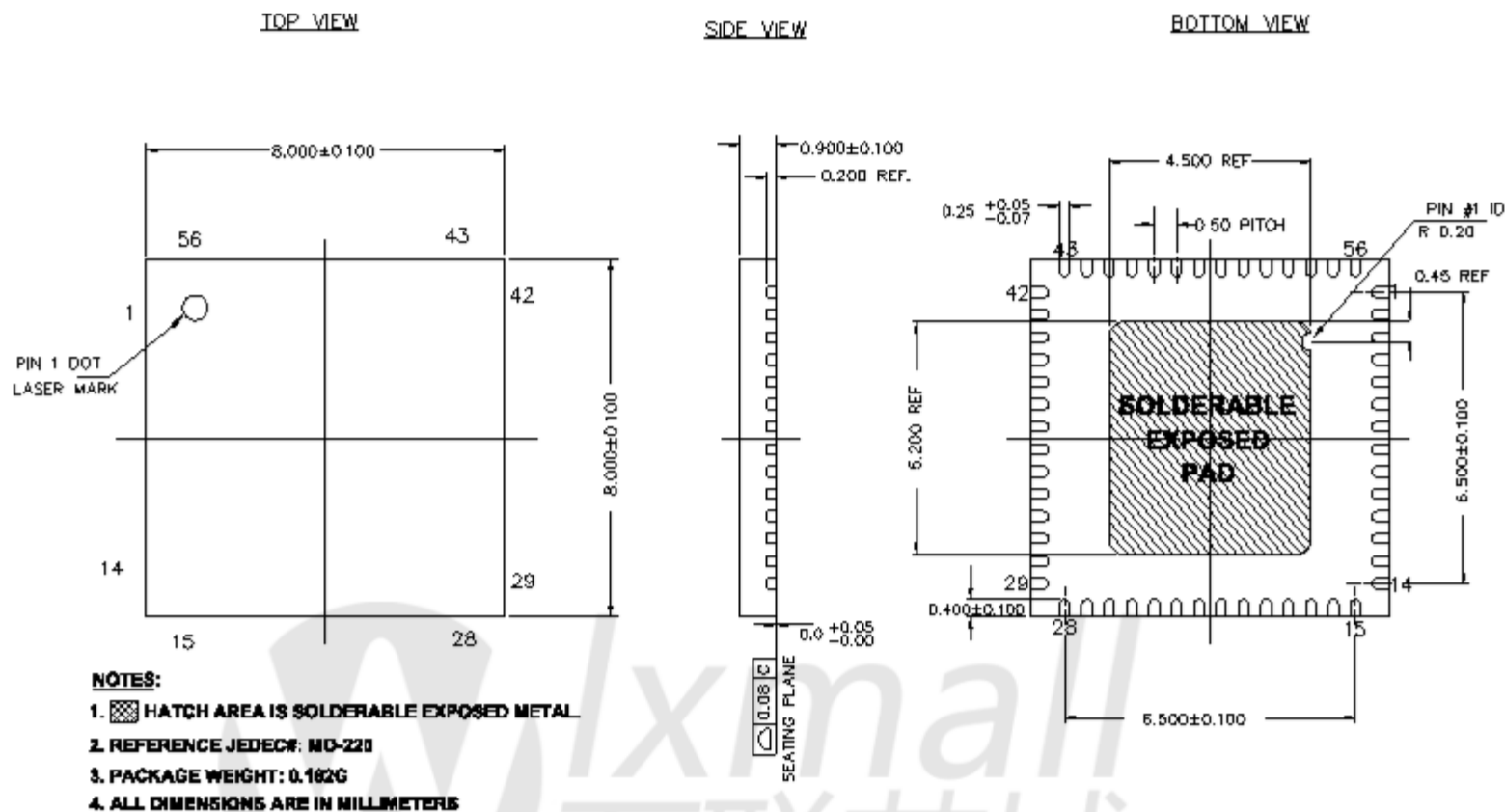
图11-1. 56引脚收缩小型封装O56 (51-85062)

56 Lead Shrunk Small Outline Package O56



51-85062 * E

图11-2. 56引脚QFN 8×8毫米锯型 (001-53450)

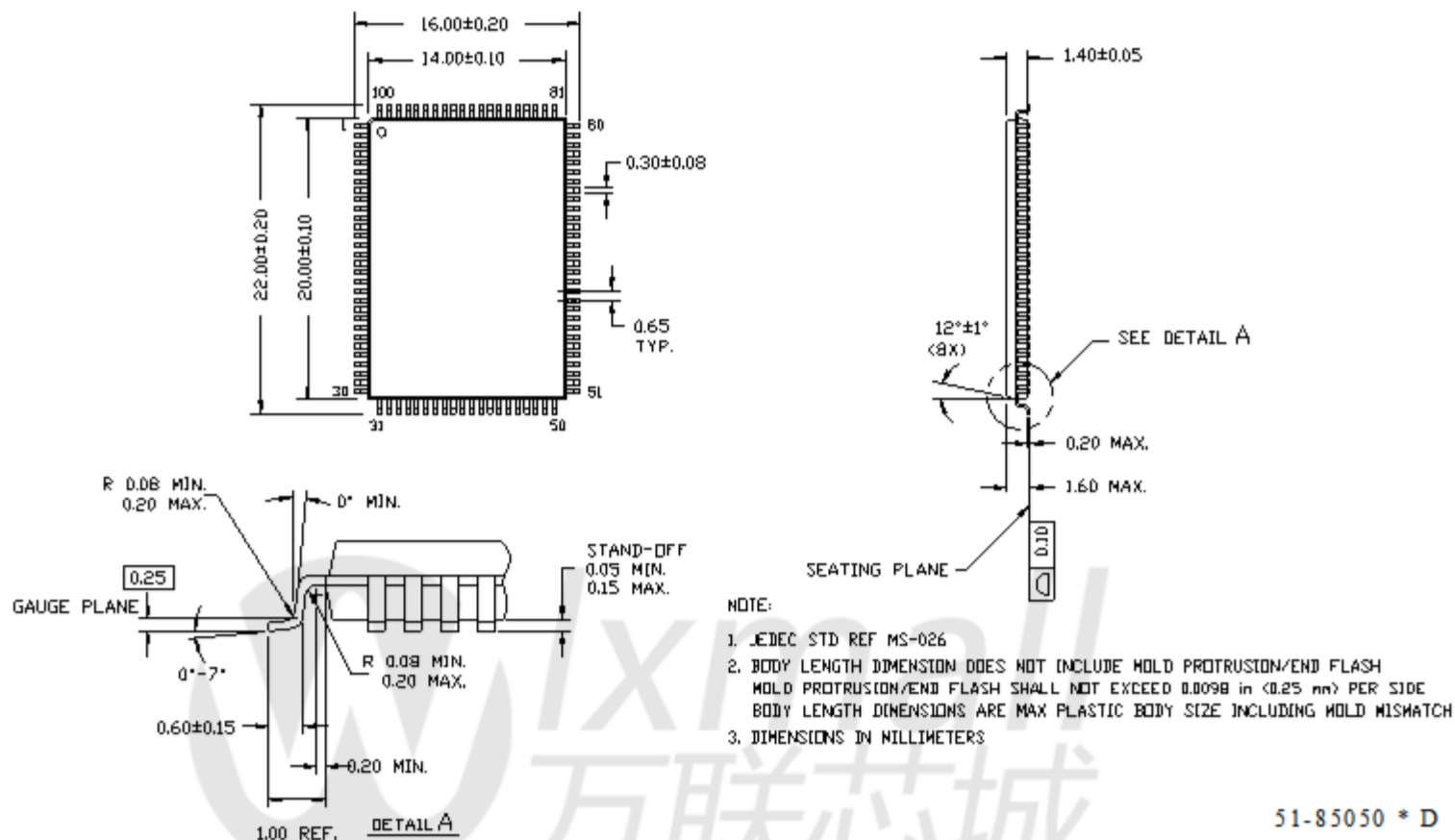


001-53450 * B

www.wlxml.com

图11-3. 100引脚薄塑料四方扁平封装 (14×20×1.4 mm) A100RA (51-85050)

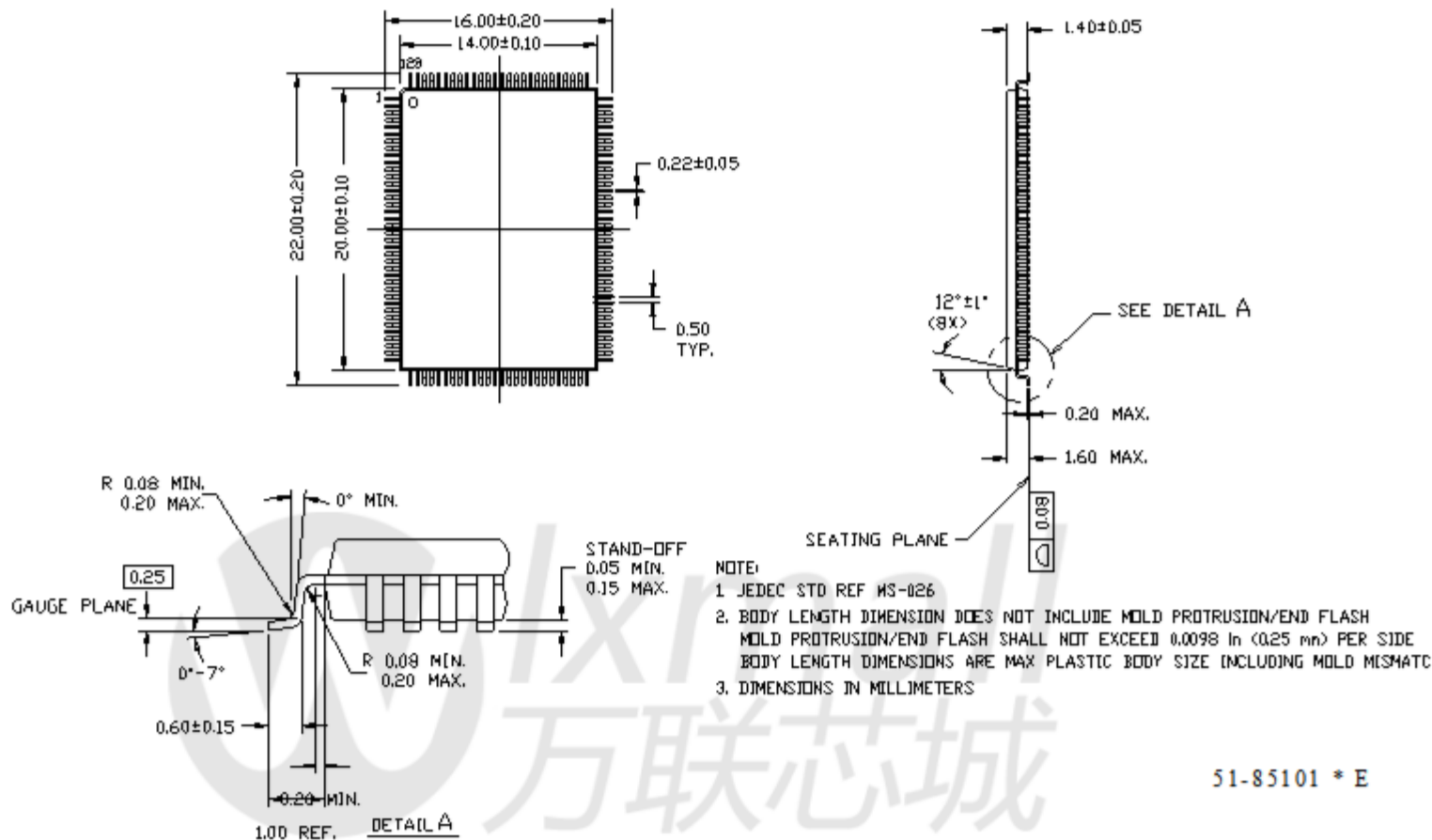
100 Lead Thin Plastic Quad Flatpack 14 X 20 X 1.4mm



51-85050 * D

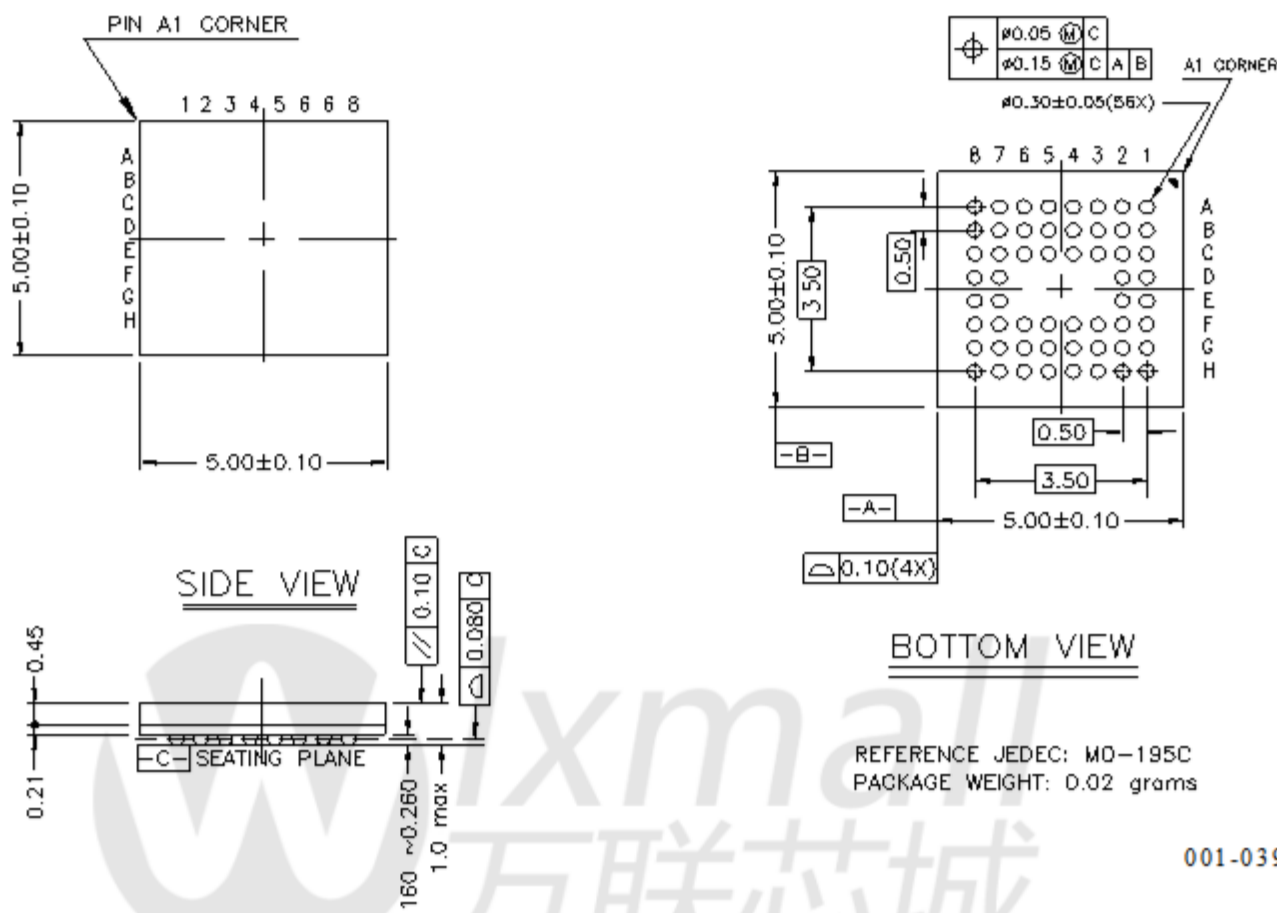
图11-4. 128引脚薄塑料四方扁平封装 (14×20×1.4毫米) A128 (51-85101)

128 Lead Thin Plastic Quad Flatpack 14 X 20 X 1.4mm – A128



51-85101 * E

图11-5. 56引脚VFBGA (5×5×1.0 mm) 0.50间距, 0.30球BZ56 (001-03901)



12. PCB布局建议

遵循这些建议以确保可靠的高
表演操作：[25]

- 需要 四层阻抗控制板
保持信号质量。
- 指定阻抗目标（询问您的主板供应商他们的
可以实现）。
- 要控制阻抗，请保持迹线宽度和迹线间距。
- 最小化存根以尽量减少反射信号。
- USB连接器外壳和信号之间的连接
接地必须靠近USB连接器。
- VBus上靠近连接器的旁路和反激幅是
推荐的。
- DPLUS和DMINUS走线长度应保持在内
长度为2毫米，最佳长度为20至20厘米
30毫米。
- 在DPLUS和DMINUS下维护坚固的地平面
痕迹.不要让飞机在这些痕迹下分裂。
- 不要在DPLUS或DMINUS走线布线上放置过孔。
- 将DPLUS和DMINUS迹线与所有其他信号隔离
痕迹不小于10毫米。



注意

25. 建议来源：EZ-USB FX2™PCB设计建议，<http://www.cypress.com>和高速USB平台设计指南，
http://www.usb.org/developers/docs/hs_usb_pdg_r1_0.pdf。

13. 四方扁平封装无引脚（QFN）封装设计说明

部件与印刷电路板（PCB）的电接触是通过将引线焊接在底部表面而制成的封装到PCB。因此，需要特别注意封装下方的传热区域提供良好的散热。结合到电路板上，在PCB中设计一个铜（Cu）填充物，包装下的导热垫，热量从中传递。FX2LP通过设备的底部金属浆包裹，来自这里的热量传导到PCB上导热垫，然后从导热垫到导热垫。PCB内部接地层由5×5阵列的通孔组成，通孔是电镀的，完成直径为13密耳的PCB上的通孔。该QFN的金属芯片必须焊接到PCB的散热片上，每个通孔上方的阻焊层都放置在电路板顶部，以阻止焊料流入通孔。顶部的面具也最大限度地减少回流焊过程中的放气。

有关此包装设计的更多信息，请参阅Application Notes for Surface Mount Assembly of Amkor's MicroLeadFrame (MLF) 包。你可以在Amkor上找到它网站<http://www.amkor.com>。

应用笔记提供关于电路板的详细信息，安装指导，焊接流程，返修流程等。

图13-1显示了下面的横截面积包。横截面只有一个通孔。锡膏模板应该设计为允许至少50%的焊料覆盖。焊膏模板的厚度应该是5密耳。使用No Clean 3型锡膏来安装零件。回流期间建议使用氮气吹扫。

图13-2是阻焊层图案和图13-3的图显示组件的X射线图像（较暗的区域表示焊接）。

图13-1. QFN包装下面的横截面

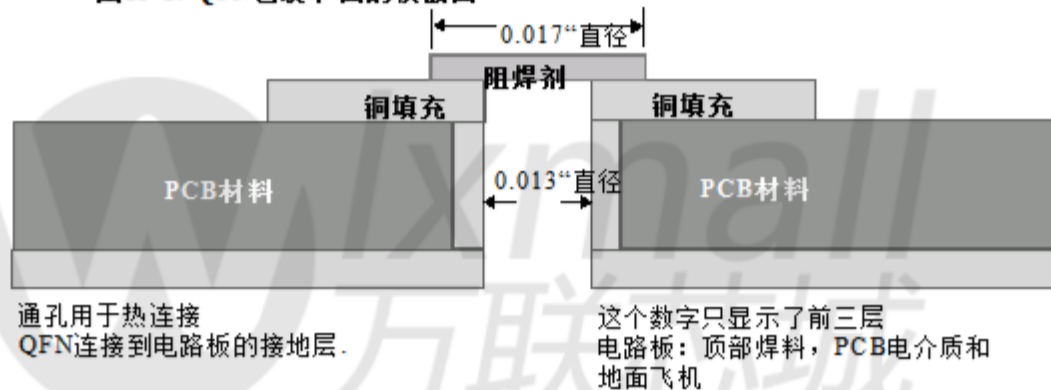


图13-2. 阻焊膜（白色区域）

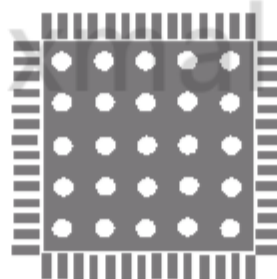
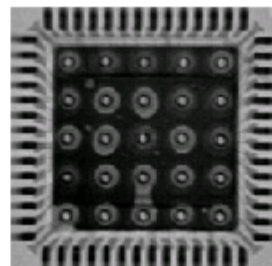


图13-3. 装配的X射线图像



缩略语

本文中使用的缩略语

缩写	描述
ASIC	专用集成电路
ATA	先进的技术附件
DID	设备标识符
DSL	数字服务线
DSP	数字信号处理器
ECC	纠错码
EEPROM	电可擦写可编程只读记忆
EPP	增强的并行端口
FIFO	先进先出
GPFI	通用可编程接口
GPIO	通用输入输出
I/O	输入输出
LAN	局域网
MPEG	动画专家组
PCMCIA	个人电脑记忆卡国际协会
PID	产品标识
PLL	锁相环
QFN	四方扁平无引线
内存	随机存取存储器
SIE	串行接口引擎
SOF	框架的开始
SSOP	超小型大纲包
TQFP	薄四方扁平包装
个USART	通用串行异步接收器/ trans-米特
USB	通用串行总线
UTOPIA	通用测试和操作物理层接口
VFBGA	非常精美的球栅阵列
VID	厂商标识符

文件惯例

计量单位

符号	测量单位
千赫	千赫
嘛	毫安
Mbps的	兆比特每秒
的MBP	兆字节每秒
兆赫	兆赫
微安	微安
V	伏

文档历史页面

文档标题: CY7C68013A, CY7C68014A, CY7C68015A, CY7C68016A, EZ- USB@FX2LP™USB微控制器高性能, 高速USB外设控制器 文件号: 38-08032			
ECN号	修订版	原稿的更改	变更描述
**	124316	VCS	03年3月17日新数据表
*—	128461	VCS	03年9月2日在整个数据表中添加PN CY7C68015A 修改了图2-1来添加ECC块并修复错误 删除了与I2C相关的词“兼容” 更正了各个位置的语法和格式 更新了第3.2.1节, 第3.9节, 第3.11节, 第8节, 第5.0节 增加了第3.15, 3.18.4, 3.20节 为了清晰起见, 修改了图2-5 更新了图11-2以匹配当前的规格修订
B	130335	KKV	03年10月9日已将PRELIMINARY恢复到标题 (已从rev. A中删除)
*C	131673	孔敬大学	04年2月12日8.1节将“认证”更改为“符合” 表13增加了参数V _{IH_X} 和V _{IL_X} 添加了序列图9.16节 使用无铅部件更新订购信息 更新的注册表摘要 第3.12.4节: 示例从第9列更改为第8列 更新了图9-3存储器写时序图 更新了第3.9节 (重置) 更新了第3.15节ECC生成
*d	230713	孔敬大学	请参阅ECN根据28-00054中的规格更改, 更改表32中的无铅营销零件编号.
*E	242398	TMD	请参阅ECN微小变化: 数据表发布到网络上,
*F	271169	MON	请参阅ECN增加了USB-IF测试ID号码 增加了USB 2.0标志 增加了I _{susp} , I _{cc} , 功耗, V _{IH_X} , V _{IL_X} 的值 将VCC从+ 10%改为± 5% 将PKTEND更改为FLAGS输出传播延迟 (异步接口) 表27从最大值70 ns到115 ns
*G	316313	MON	请参阅ECN删除了CY7C68013A-56PVXCT部件的可用性 新增适用于电池供电应用的部件: CY7C68014A, CY7C68016A 提供了有关使用PKETEND引脚的附加时序限制和要求 在自动提交数据包之后提交一个短的一个字节/字数据包 (在自动模式下). 新增Min Vcc Ramp Up时间 (0至3.3v)
*H	338901	MON	请参阅ECN增加了关于数据的AUTOPTR1 / AUTOPTR2地址定时的信息 存储器读/写时序图. 删除用于时钟最小值的TBD到FIFO数据输出传播延迟 (t _{XFD}) 从属FIFO同步读取 将表32更改为列出的电池部件中的CY7C68016A-56LFXC部件 应用程序 在寄存器摘要中添加了寄存器GPCR2
*—	371097	MON	请参阅ECN使用PortC选通功能时添加选通RD# / WR# 信号的时序 (第9.5节)
*j	397239	MON	请参阅ECN从寄存器摘要中删除XTALINSRC寄存器. 将Vcc利润率改为+ 10% 增加了56引脚VFBGA引脚封装图 在引脚列表中添加了56引脚VFBGA定义 订购信息表中添加了RDK部件号
*K	420505	MON	请参阅ECN从第9.10节的图中删除SLCS. 删除了SLRD可以在SLCS中同时声明的迹象 9.17.2和第9.17.3节 在第5节中增加了工业包装的绝对最高温度额定值. 将第3节的说明中所述的包装数里更改为五个. 各种封装的热系数增加了表12

文档标题: CY7C68013A, CY7C68014A, CY7C68015A, CY7C68016A, EZ-USB[®]FX2LP[™]USB微控制器高性能,
高速USB外设控制器
文件号: 38-08032

ECN号	修订版	原稿的更改	服从日期	变更描述
*L	2064406	CMCC / PYRS	请参阅ECN	更改了TID号码 从CY7C68015A / 16A中删除了T0OUT和T1OUT 图9-9 更新了t _{SWR Min} 值 更新的56引脚QFN封装图
*M	2710327	DPT	05/22/2009	添加了56引脚QFN (8 X 8 mm) 封装图 CY7C68013A-56LTXC, CY7C68013A-56LTXI, CY7C68014A-56LTXC, CY7C68015A-56LTXC和CY7C68016A-56LTXC部件.
*N	2727334	ODC	07/01/09	在文档历史记录页面中从*F修订中删除了E-Pad大小更改的句子 更新的56针锯包装图
*O	2756202	ODC	08/26/2009	更新了订购信息表并添加了注释24.
*P	2785207	ODC	10/12/2009	订购信息表中添加了无铅部件的信息.
*Q	2811890	ODC	二〇〇九年十月	更新CY7C68016A-56LTXC和CY7C68016A-56LTXCT器件的程序I / O “订购信息”第55页.
*R	2896281	ODC	10年3月19日	从订购信息表中删除非活动零件.更新包 销售, 解决方案和法律信息中更新的链接.
*S	3035980	ODC	10年9月22日	更新的模板. 将外部晶体的PPM要求从+/- 10 ppm改变为+/- 100 ppm以下 电气规格. 添加目录, 订购代码定义, 首字母缩略词表和度量单位.
*T	3161410	AAE	02/03/2011	更换56引脚QFN 8x8 mm冲压版本封装图 (图11.2) 和56引脚 QFN 8x8 mm锯式封装图 (图11.3). 更新的封装图 (图11.4, 图11.5).
U	3195232	ODC	2011年3月14日	更新了表格编号. 根据数据在第43页上的表17和第44页上的表19中添加了典型值 从SHAK-63和SHAK-69获得. 更新了第31页上的表12“热特性” (CDT 89510) 更新包装图001-03901为 D.
*V	3512313	GAYA	02/01/2012	除了过时的部件CY7C68014A-56BAXC 删除了修剪部分CY7C68016A-56LFXC 增加了部件CY7C68013A-56BAXCT和CY7C68013A-56PVXCT 更新了封装图

销售, 解决方案和法律信息

全球销售和設計支持

赛普拉斯拥有遍布全球的办事处, 解决方案中心, 制造商代表和分销商网络. 找办公室
请在赛普拉斯地点与我们联系.

制品

汽车	cypress.com/go/automotive
时钟和缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc
	cypress.com/go/plc
记忆	cypress.com/go/memory
光学和图像传感	cypress.com/go/image
的PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB控制器	cypress.com/go/USB
无线射频	cypress.com/go/wireless

PSoC解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 5



©赛普拉斯半导体公司, 2003-2012. 此外包含的信息如有更改, 恕不另行通知. 赛普拉斯半导体公司不承担任何责任.
赛普拉斯产品中包含的电路以外的任何电路, 它也不传达或暗示根据专利或其他权利的任何许可. 赛普拉斯产品不保证也不打算用于此目的.
医疗, 生命支持, 救生, 关键控制或安全应用, 除非与赛普拉斯签署了明确的书面协议. 此外, 赛普拉斯不授权其产品用作
生命支持系统中的关键部件, 其中可能合理预期故障或故障会对用户造成重大伤害. 将赛普拉斯产品纳入生命支持系统
应用程序意味着制造商承担所有使用风险, 并因此向赛普拉斯赔偿所有费用.

任何源代码(软件和/或固件)均归赛普拉斯半导体公司(赛普拉斯)所有, 受全球专利保护(美国 and 国外)的保护并受其保护,
美国版权法和国际条约规定. 赛普拉斯特此授予被许可人个人, 非独占, 不可转让的许可, 以复制, 使用, 修改, 创建衍生作品,
并编译赛普拉斯源代码和衍生作品, 仅用于创建定制软件和/或固件, 以支持被许可人产品. 仅用于与赛普拉斯
集成电路按适用协议的规定. 除上述规定外, 任何对此源代码的复制, 修改, 翻译, 编译或表示都是禁止的
赛普拉斯的明确书面许可.

免责声明: 对于本材料, CYPRESS 不作任何明示或暗示的担保, 包括但不限于暗示担保.
适用性和针对特定用途的适用性. 赛普拉斯保留对此外所述材料进行更改的权利, 恕不另行通知. 赛普拉斯没有
承担因应用或使用本文所述任何产品或电路而引起的任何责任. 赛普拉斯不授权将其产品用作生命支持系统中的关键组件
故障或故障可能合理预期会对用户造成重大伤害. 将赛普拉斯产品纳入生命支持系统应用意味着制造商
承担使用此类风险的所有风险, 并为此向赛普拉斯赔偿所有费用.

使用可能受限于适用的赛普拉斯软件许可协议并受此限制.