

数据手册

Datasheet

APM32F103xB

基于 **Arm[®] Cortex[®]-M3** 内核的 **32** 位微控制器

芯片版本：D 版本

手册版本：V 1.7

1 产品特性

■ 系统与架构

- 32 位 Arm® Cortex®-M3 内核
- 最高工作频率为 96MHz

■ 时钟与存储器

- HSECLK: 支持 4MHz~16 MHz 外部晶体振荡器
- LSECLK: 支持 32.768KHz 晶体/陶瓷振荡器
- HSICLK: 出厂校准的 8MHz RC 振荡器
- LSICLK: 40KHz RC 振荡器
- Flash 容量最高 128KB
- SRAM 容量最高 20KB

■ 电源与低功耗模式

- 复位供电电压 2.0V~3.6V
- 支持可编程电压监测器(PVD)
- 支持睡眠, 停机和待机三种低功耗模式
- V_{BAT} 供电可支持 RTC 及备用寄存器工作

■ FPU

- 独立 FPU 模块, 支持浮点运算

■ ADC 及温度传感器

- 2 个 12bit 精度的 ADC,支持 16 个输入通道
- ADC 电压转换范围: 0~V_{DDA}
- 支持双采样和保持功能
- 1 个内部温度传感器

■ I/O

- 可选择 80/51/37/26 个 I/O,由封装型号决定
- 所有 I/O 均可以映射到 16 个外部中断

■ DMA

- 1 个 DMA,支持 7 个独立的可配置通道

■ 定时器

- 1 个 16 位高级定时器 TMR1, 支持死区控制和紧急刹车功能
- 3 个 16 位通用定时器 TMR2/3/4, 每个定时器拥有 4 个独立通道支持输入捕获、输出比较、PWM 与脉冲计数等功能
- 2 个看门狗定时器, 分别为独立型 IWDG 和窗口型 WWDG
- 1 个 24 位自减型系统定时器 Sys Tick Timer

■ 通信接口

- 3 个 USART, 支持 ISO7816、LIN 和 IrDA 等功能
- 2 个 I2C, 支持 SMBus/PMBus
- 2 个 SPI, 最大传输速度 18Mbps
- 1 个 QSPI, 支持单线和四线访问 flash
- 1 个 USB 2.0 FS Device
- 1 个 CAN 2.0B, 可支持 USB 和 CAN 可同时独立工作

■ 1 个 CRC 单元

■ 支持 96 位不可改写的唯一 ID

■ 串行调试接口 SWD 和 JTAG

■ 芯片封装

- LQFP100/LQFP64/LQFP48/QFN36

■ 应用领域

- 医疗设备、PC 外设、工业控制、智能仪表、家用电器

目录

1	产品特性	1
	目录	2
	表格目录	5
	图目录	7
2	简介	9
3	功能描述	10
3.1	Arm® Cortex®-M3 内核	10
3.2	存储器	11
3.3	电源管理	11
3.3.1	供电方案	11
3.3.2	电压调压器	11
3.3.3	供电监控器	11
3.3.4	低功耗模式	12
3.4	时钟和启动	12
3.5	RTC 和后备寄存器	12
3.6	启动配置	13
3.7	CRC 计算单元	13
3.8	通用 IO 端口	13
3.8.1	通用输入输出接口(GPIO)	13
3.9	中断控制器	13
3.9.1	嵌套的向量式中断控制器(NVIC)	13
3.9.2	外部中断/事件控制器(EINT)	14
3.10	浮点运算单元(FPU)	14
3.11	DMA	14
3.12	定时器	15
3.13	看门狗(WDT)	15
3.14	外设接口	16
3.14.1	I2C 总线	16
3.14.2	通用同步/异步收发器(USART)	16
3.14.3	串行外设接口(SPI)	16
3.14.4	四线 SPI 控制器(QSPI)	16
3.14.5	控制器区域网络(CAN)	16

3.14.6 通用串行总线(USB)	17
3.14.7 USB 接口与 CAN 接口的同时使用	17
3.15 ADC(模拟/数字转换器)	17
3.16 温度传感器	17
3.17 调试接口(SWJ-DP)	17
4 引脚特性	17
4.1 引脚定义	17
4.1.1 APM32F103xB 系列 LQFP100	17
4.1.2 APM32F103xB 系列 LQFP64	19
4.1.3 APM32F103xB 系列 LQFP48	20
4.1.4 APM32F103xB 系列 QFN36	21
4.2 引脚描述	22
4.3 系统框图	27
4.4 时钟树	28
4.5 地址映射	28
4.6 供电方案	30
5 电气特性	32
5.1 测试条件	32
5.1.1 最大值和最小值	32
5.1.2 典型值	32
5.1.3 典型曲线	32
5.1.4 负载电容	32
5.2 绝对最大额定值	33
5.2.1 最大额定电压特性	34
5.2.2 最大额定电流特性	34
5.2.3 最大温度特性	34
5.2.4 最大电气敏感特性	35
5.3 通用工作条件下的测试	36
5.3.1 内嵌复位和电源控制模块特性测试	36
5.3.2 内置参考电压特性测试	37
5.3.3 供电电流特性	37
5.3.4 外部时钟源特性	42
5.3.5 内部时钟源特性	44
5.3.6 PLL 特性	46

5.3.7	存储器特性	46
5.3.8	I/O 端口特性	47
5.3.9	NRST 引脚特性.....	49
5.3.10	通信接口	49
5.3.11	12 位 ADC 特性.....	55
5.3.12	温度传感器特性.....	58
5.3.13	EMC 特性.....	58
6	封装信息	60
6.1	LQFP100 封装图	60
6.2	LQFP64 封装图.....	63
6.3	LQFP48 封装图.....	65
6.4	QFN36 封装图.....	69
7	订货信息	72
8	包装信息	74
9	常用功能模块命名.....	78
10	版本历史	79

表格目录

表 1	APM32F103xB 产品功能和外设配置.....	10
表 2	存储器说明	11
表 3	供电方案	11
表 4	电压调节器的工作模式.....	11
表 5	低功耗模式	12
表 6	定时器功能比较.....	15
表 7	看门狗	15
表 8	APM32F103xB 引脚定义.....	22
表 9	APM32F103xB 地址映射表.....	29
表 10	最大额定电压特性.....	34
表 11	最大额定电流特性.....	34
表 12	温度特性	34
表 13	静电放电(ESD) ⁽¹⁾	35
表 14	静态栓锁 ⁽¹⁾	35
表 15	通用工作条件	36
表 16	内嵌复位和电源控制模块特性(T _A =25°C) (-40°C-105°C) ⁽¹⁾	36
表 17	内置的参照电压.....	37
表 18	运行模式下的最大电流消耗, 数据处理代码从内部闪存中运行	38
表 19	运行模式下的最大电流消耗, 数据处理代码从内部 RAM 中运行	39
表 20	睡眠模式下的最大电流消耗, 代码从 Flash 或 RAM 中运行	39
表 21	停机和待机模式下的最大电流消耗.....	40
表 22	运行模式下的典型电流消耗, 数据处理代码从内部闪存中运行	41
表 23	运行模式下的典型电流消耗, 数据处理代码从内部 RAM 中运行	41
表 24	睡眠模式下的典型电流消耗, 代码从 Flash 或 RAM 中运行	42
表 25	停机和待机模式下的典型电流消耗.....	42
表 26	4~16MHz 的 HSECLK 振荡器特性 ⁽¹⁾⁽²⁾	43
表 27	LSECLK 振荡器特性(f _{LSSECLK} =32.768KHz) ⁽¹⁾	44
表 28	HSICLK 振荡器特性 ⁽¹⁾	45
表 29	LSICLK 振荡器特性 ⁽¹⁾	45
表 30	低功耗模式的唤醒时间.....	45
表 31	PLL 特性	46
表 32	FLASH 存储器特性 ⁽¹⁾	46

表 33	FLASH 存储器寿命和数据保存期限.....	47
表 34	I/O 静态特性(测试条件 $V_{CC}=2.7-3.6V$, $T_A = -40\sim 105^{\circ}C$)	47
表 35	输出电压特性(测试条件 $V_{CC}=2.7-3.6V$, $T_A = -40\sim 105^{\circ}C$)	48
表 36	输入输出交流特性.....	48
表 37	NRST 引脚特性 (测试条件 $V_{CC}=3.3V$, $T_A = -40\sim 105^{\circ}C$)	49
表 38	I2C 接口特性 (测试条件 $V_{DD} = 3.3V$, $T_A = 25^{\circ}C$)	50
表 39	SPI 特性($V_{DD} = 3.3V$, $T_A=25^{\circ}C$)	51
表 40	USB 直流特性	54
表 41	USB 全速电气特性($V_{DD} = 3.0-3.6V$, $T_A = 25^{\circ}C$)	55
表 42	ADC 特性($V_{DD} = 2.4-3.6V$, $T_A=-40\sim 105^{\circ}C$).....	55
表 43	$f_{ADC}=14MHz$ ⁽¹⁾ 时的最大 R_{AIN}	56
表 44	ADC 精度 ⁽¹⁾ ⁽²⁾	56
表 45	温度传感器特性.....	58
表 46	EMS 特性.....	58
表 47	EMI 特性	59
表 48	LQFP100 封装数据	61
表 49	LQFP64 封装数据.....	64
表 50	LQFP48 封装数据.....	67
表 51	QFN36 封装数据.....	70
表 52	订货信息列表	73
表 53	带状包装参数规格表.....	75
表 54	托盘包装参数规格表.....	77
表 55	常用功能模块命名.....	78
表 56	文档版本历史	79

图目录

图 1	LQFP100 引脚配置图	17
图 2	LQFP64 引脚配置图.....	19
图 3	LQFP48 引脚配置图.....	20
图 4	QFN36 引脚配置图.....	21
图 5	APM32F103xB 系列系统框图.....	27
图 6	APM32F103xB 系列时钟树.....	28
图 7	供电方案	30
图 8	测量引脚参数时的负载条件.....	32
图 9	引脚输入电压测量方案.....	33
图 10	电流消耗测量方案.....	33
图 11	使用 8MHz 晶体的典型应用	43
图 12	使用 32.768kHz 的典型应用	44
图 13	输入输出交流特性定义.....	49
图 14	总线交流波形和测量电路 ⁽¹⁾	51
图 15	SPI 时序图 — 从模式和 CPHA=0.....	52
图 16	SPI 时序图 — 从模式和 CPHA=1 ⁽¹⁾	53
图 17	SPI 时序图 — 主模式 ⁽¹⁾	53
图 18	USBD 时序：数据信号上升和下降的时间定义.....	54
图 19	ADC 的典型应用.....	55
图 20	ADC 精度特性.....	57
图 21	LQFP100 封装图	60
图 22	LQFP100 - 100 引脚，14 x 14mm 焊接 Layout 建议.....	62
图 23	LQFP100 - 100 引脚，14 x 14mm 封装标识	62
图 24	LQFP64 封装图.....	63
图 25	LQFP64 - 64 引脚，10 x 10mm 焊接 Layout 建议.....	65
图 26	LQFP64 - 64 引脚，10 x 10mm 封装标识	65
图 27	LQFP48 封装图.....	65
图 28	LQFP48 - 48 引脚，7 x 7 mm 焊接 Layout 建议.....	68
图 29	LQFP48 - 48 引脚，7 x 7 mm 标识图.....	68
图 30	QFN36 封装图.....	69
图 31	QFN36 - 36 引脚，6 x 6 mm 焊接 Layout 建议.....	71
图 32	QFN36 - 36 引脚，6 x 6 mm 标识图.....	71
图 33	带状包装规格图.....	74

图 34 托盘包装示意图..... 76

2 简介

APM32F103xB 系列芯片是基于 Arm® Cortex®-M3 内核的 32 位微控制器,最高工作频率 96MHz。内建 AHB 高性能总线,结合高速存储器及 DMA 可实现数据的快速处理和存储。内建 APB 高级外设总线,扩展了丰富的外设及增强型 I/O,保障了连接的快速性和控制的灵活性。芯片内部配备强大的 FPU 浮点运算处理单元,支持单精度数据处理指令和数据类型。

内置高达 128K 字节的闪存存储器和 20K 字节的 SRAM 存储器,所有型号都包含 2 个 12 位的 ADC、3 个通用 16 位定时器、1 个高级控制定时器和 1 个温度传感器,还包含标准的通信接口: 2 个 I2C 接口、2 个 SPI 接口、1 个 QSPI 接口、3 个 USART 接口、1 个 USB 2.0 FS 接口和 1 个 CAN 2.0B 接口,USB 与 CAN 可同时独立工作。

工作电压为 2.0V ~ 3.6V,工作温度范围有-40°C至+85°C和-40°C至+105°C两种类型供选择。具有 LQFP100/LQFP64/LQFP48/ QFN36 的 4 种不同形式的封装,不同封装的外设及 I/O 配置有所不同。

有关 Arm® Cortex®-M3 内核的相关信息,请参考 Arm® Cortex®-M3 技术参考手册,该手册可以在 Arm 公司的网站下载。

此手册适用于 APM32F103xB 系列 D 版本型号产品。

3 功能描述

具体 APM32F103xB 产品功能和外设配置请参阅下表。

表1 APM32F103xB 产品功能和外设配置

产品		APM32F103xB			
		TB	CB	RB	VB
封装		QFN36	LQFP48	LQFP 64	LQFP 100
闪存(Kbytes)		128			
SRAM(Kbytes)		20			
定时器	通用(16-bit)	3			
	高级(16-bit)	1			
	SysTick	1			
	Watchdog	2			
	RTC	1			
通信接口	SPI	1	2		
	QSPI	0			1
	I2C	1	2		
	USART	2	3		
	CAN2.0B	1			
	USB2.0 FS	1			
12 bit ADC	Unit	2			
	Channel	10		16	
GPIOs		26	37	51	80
CPU@Max. frequency		M3@96MHz			
FPU		1			
Operating voltage		2.0 V~ 3.6 V			

3.1 Arm® Cortex®-M3 内核

产品内置 Arm® Cortex®-M3 内核，工作频率为 96MHz，兼容主流 Arm 工具和软件。

APM32F103xB 系列系统框图，如图 5 所示。

3.2 存储器

表2 存储器说明

存储器	最大字节	功能
内置高速闪存存储器	128 Kbytes	用于存放程序和数据。
内置静态存储器	20 Kbytes	可以以字节, 半字(16 位)或全字(32 位)访问。

3.3 电源管理

3.3.1 供电方案

表3 供电方案

名称	电压范围	说明
V_{DD}	2.0~3.6V	V_{DD} 直接给 IO 口供电, 另外 V_{DD} 经电压调压器为核心电路供电。
V_{DDA}	2.4~3.6V	与 V_{DD} 相连, 为 ADC、复位模块、RC 振荡器和 PLL 的模拟部分供电。使用 ADC 时, V_{DDA} 大于等于 2.4V。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。
V_{BAT}	1.8V~3.6V	当关闭 V_{DD} 时, 自动为 RTC、外部 32KHz 振荡器和后备寄存器供电。

注意: 关于如何连接电源引脚的详细信息参见图 7

3.3.2 电压调压器

通过电压调压器可调节 MCU 的工作模式, 从而减少功耗, 主要有三种工作模式。

表4 电压调节器的工作模式

名称	说明
主模式(MR)	以正常功耗模式提供 1.6V 电源(内核、内存、外设)。
低功耗模式(LPR)	以低功耗模式提供 1.6V 电源, 以保存寄存器和 SRAM 的内容。
关断模式	用于 CPU 的待机模式, 调压器停止供电, 除了备用电路和备份区域外, 寄存器和 SRAM 的内容全部丢失。

调压器在复位后始终处于工作状态, 在关断模式下高阻输出。

3.3.3 供电监控器

产品内部集成了上电复位(POR)/掉电复位(PDR)电路。当 V_{DD} 达到设定的阈值 $V_{POR/PDR}$ 时, 系

统正常工作；当 V_{DD} 低于设定的阈值 $V_{POR/PDR}$ 时，系统会保持复位状态，无需连接外部复位电路。 $V_{POR/PDR}$ 的细节请参考第五章的电气特性。

3.3.4 低功耗模式

产品支持三种低功耗模式，用户可以通过设置在这些模式间进行切换。

表5 低功耗模式

模式类型	说明
睡眠模式	睡眠模式下，所有外设都处于工作状态，但 CPU 停止工作，如果发生中断/事件，则 CPU 被唤醒。
停机模式	停机模式是保持 SRAM 和寄存器内容不丢失的情况下可以达到最低的电能消耗的模式。此时，内部 1.6V 供电部分停止导致 HSECLK、HSICLK、PLL 时钟关闭，调压器被置于普通模式或低功耗模式。配置成 EINT 的中断、事件唤醒可将 CPU 从停机模式唤醒。EINT 信号包括 16 个外部 I/O 口、PVD 的输出、RTC 闹钟或 USB 的唤醒信号。
待机模式	待机模式是芯片使用的最低的电能消耗模式。此时，内部的电压调压器被关闭引起内部 1.6V 部分的供电被切断；HSECLK、HSICLK、PLL 时钟关闭；SRAM 和寄存器的内容也将消失。但后备寄存器的内容仍然保留，待机电路仍工作。 NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的一个上升边沿或 RTC 的闹钟到时终止芯片待机模式。

注：在进入停机或待机模式时，RTC、IWDG 和对应的时钟不会被停止，QSPI 的中断不能唤醒低功耗。

3.4 时钟和启动

内部 8MHz 的 RC 振荡器作为系统启动的默认时钟，通过配置可以切换为外部的、具失效监控的 4~16MHz 时钟；当检测到外部时钟失效时，系统将自动地切换到内部的 RC 振荡器，如果设置了中断，软件可以接收到相应的中断。

AHB、高速 APB(APB2)和低速 APB(APB1)的频率可通过预分频器进行配置。AHB 和高速 APB 的最高频率为 96MHz，低速 APB 的是 48MHz。

APM32F103xB 的时钟树参考图 6。

3.5 RTC 和后备寄存器

RTC 具有一组连续运行的计数器，配合软件可提供日历、闹钟中断和阶段性中断功能。它的时

钟源可以选择外部 32.768KHz 的晶体振荡器、内部 40KHz 低速 RC 振荡器或经 128 分频的外部高速时钟。并且，通过一个 512Hz 的信号可以对 RTC 的时钟进行误差校准。

10 个 16 位的寄存器的后备寄存器，用于在 V_{DD} 关闭时保存 20 个字节的用户数据。

RTC 和后备寄存器在 V_{DD} 有效时由 V_{DD} 供电，否则由 V_{BAT} 引脚供电。系统或电源复位源复位，从待机模式唤醒，都不会引起 RTC 和后备寄存器的复位。

3.6 启动配置

在启动时，通过 BOOT 引脚可以选择启动模式：

- 从用户闪存存储器启动
- 从系统存储器启动
- 从内部 SRAM 启动

启动加载程序(Boot loader)存放于系统存储器中，借助它，用户可以通过 USART1 对闪存重新进行编程。

3.7 CRC 计算单元

使用 CRC(循环冗余校验)计算单元可以计算一个 32 位的数据字的 CRC 码。

此应用实时地计算软件的签名，便于与原始签名对比。

3.8 通用 IO 端口

本产品可选择 80/51/37/26 个 I/O，具体选择可参考型号及封装。所有 I/O 均可映射到 16 个外部中断控制器，并且大部分 I/O 支持 5V 逻辑电平输入。

3.8.1 通用输入输出接口(GPIO)

产品最多可达 80 个 GPIO 引脚，可以通过软件配置在输入（可上拉，下拉）、输出(可推挽，开漏)或复用功能间切换。多数 GPIO 引脚都与复用外设共用。为避免 I/O 寄存器的意外写入，I/O 引脚的外设功能可通过特定的操作进行锁定。

在 APB2 上的 I/O 脚翻转速度可达 18MHz。

3.9 中断控制器

3.9.1 嵌套的向量式中断控制器(NVIC)

内置 1 个嵌套向量中断控制器 (NVIC)，NVIC 能够处理多达 47 个可屏蔽中断通道（不包括 16

个 Cortex®-M3 的中断线) 和 16 个优先级; 可直接向内核传递中断向量入口地址, 从而达到低延迟的中断响应处理能优先处理晚到的较高优先级中断。

3.9.2 外部中断/事件控制器(EINT)

外部中断/事件控制器由 19 个产生事件/中断请求的边沿检测器组成。其触发事件(上升沿、或下降沿、或双边沿)可以独立地配置或屏蔽; 一个挂起寄存器维持着所有中断请求的状态。多达 80 个通用 I/O 口连接到 16 个外部中断线。EINT 可以检测到脉冲宽度小于内部 APB2 的时钟周期。

3.10 浮点运算单元(FPU)

产品内置独立的 FPU 浮点运算处理单元, 支持 IEEE754 标准, 支持单精度浮点运算。

3.11 DMA

产品具有 7 路通用 DMA, 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输。

每个通道都有硬件 DMA 请求逻辑, 同时可以通过软件单独设置每个通道的源地址、目标地址和传输的长度。

DMA 可以用于主要的外设: SPI、I2C、USART, 定时器 TMRx 和 ADC。

3.12 定时器

产品包含 1 个高级控制定时器(TMR1)、3 个通用定时器(TMR2/3/4)和 1 个系统滴答定时器。

下表比较了高级定时器和通用定时器的功能：

表6 定时器功能比较

定时器类型	系统滴答定时器	通用定时器			高级定时器
定时器名称	Sys Tick Timer	TMR2	TMR3	TMR4	TMR1
计数器分辨率	24 位	16 位			16 位
计数器类型	向下	向上, 向下, 向上/下			向上, 向下, 向上/下
预分频系数	-	1~65536 之间的任意整数			1~65536 之间的任意整数
产生 DMA 请求	-	可以			可以
捕获/比较通道	-	4			4
互补输出	-	没有			有
引脚特性	-	共 5 根引脚： 1 路外部触发信号输入引脚， 4 路通道（非互补通道）引脚			共 9 根引脚： 1 路外部触发信号输入引脚， 1 路刹车输入信号引脚， 3 对互补通道引脚， 1 路通道（非互补通道）引脚
功能说明	<ul style="list-style-type: none"> - 专用于实时操作系统 - 具有自动重加载功能 - 当计数器为 0 时能产生一个可屏蔽系统中断 - 可编程时钟源 	<ul style="list-style-type: none"> - 提供同步或事件链接功能 - 在调试模式下，计数器可以被冻结。 - 可用于产生 PWM 输出 - 每个定时器都有独立的 DMA 请求机制。 - 可以处理增量编码器的信号和 1 至 3 个霍尔传感器的数字输出。 			<ul style="list-style-type: none"> - 具有带死区插入的互补 PWM 输出 - 配置为 16 位标准定时器时，它与 TMRx 定时器具有相同的功能。 - 配置为 16 位 PWM 发生器时，它具有全调制能力(0~100%)。 - 在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止。 - 提供同步或事件链接功能。

3.13 看门狗 (WDT)

产品内置两个看门狗，提供了更高的安全性、时间的精确性和使用的灵活性。两个看门狗设备(独立看门狗和窗口看门狗)用来检测和解决由软件错误引起的故障；当计数器达到给定的超时值时，触发一个中断(仅适用于窗口看门狗)或产生系统复位。

表7 看门狗

名称	计数器分辨率	计数器类型	预分频系数	功能说明
----	--------	-------	-------	------

名称	计数器分辨率	计数器类型	预分频系数	功能说明
独立看门狗	12 位	向下	1~256 之间的任意整数	由内部独立的 40KHz 的 RC 振荡器提供时钟，因此可运行于停机和待机模式；在发生问题时可复位整个系统； 可以为应用程序提供超时管理； 可以配置成是软件或硬件启动看门狗； 在调试模式下，为了方便调试可暂停计数器。
窗口看门狗	7 位	向下	-	可以设置成自由运行； 在发生问题时可复位整个系统； 由主时钟驱动，具有早期预警中断功能； 在调试模式下，计数器可以被冻结。

3.14 外设接口

3.14.1 I2C 总线

I2C1/2 均可工作于多主模式或从模式并支持 7 位和 10 位寻址，协议支持标准和快速模式。内置了硬件 CRC 发生器/校验器。可以使用 DMA 操作并支持 SMBus 总线 2.0 版 / PMBus 总线。

I2C3/4 总线是一个双线串行接口，由串行数据线（SDA）和串行时钟（SCL）组成。可以作为“发射器”和“接收器”工作，可以在标准模式、快速模式、快速模式和高速模式下运行；此外，高速模式和快速模式设备是向下兼容的。

3.14.2 通用同步/异步收发器(USART)

内嵌 3 个 USART 通信接口，其中 USART1 接口可支持 4.5Mbit/s 的通信速率，其它接口支持 2.25Mbit/s 的通信速率。它具有硬件信号 CTS 和 RTS，兼容 ISO7816 智能卡，支持 IrDA SIR ENDEC 传输编解码，还提供 LIN 主/从模式。

3.14.3 串行外设接口(SPI)

内嵌 2 个 SPI 接口，支持芯片与外部设备以半/全双工的串行方式通信。可配置为主模式或从模式，每帧 8 位或 16 位。全双工和半双工的通信速率可支持 18 Mbit/s。所有的 SPI 接口支持 DMA 操作。

3.14.4 四线 SPI 控制器(QSPI)

内嵌 1 个 QSPI 专用通信接口，可以通过单、双线或四线 SPI 模式连接外部 flash，支持 8 位、16 位和 32 位访问。内部有 8 bytes 的发送 FIFO 和 8 bytes 的接收 FIFO。

3.14.5 控制器区域网络(CAN)

内嵌 1 个 CAN 总线接口，兼容 2.0A 和 2.0B(主动)规范，通信速率最高可达 1Mbit/s。支持 11 位标识符的标准帧和 29 位标识符的扩展帧，具有 3 个发送邮箱，2 个接收 FIFO，以及 3 级 14 个可调节的滤波器。

3.14.6 通用串行总线(USB D)

产品内嵌兼容全速 USB D 设备的模块 USB D (USB D1、USB D2)，遵循全速 USB D 设备 (12 兆位/秒) 标准，端点可由软件配置，具有待机/唤醒功能。USB D 专用的 48MHz 时钟由内部 PLL 直接产生，使用 USB D 功能时，系统时钟只能是 48MHz、72MHz、96MHz 中的一个，可分别经过 1 分频、1.5 分频、2 分频获得 USB D 所需的 48MHz。

USB D1、USB D2 共用寄存器地址、引脚接口，因此同一时刻只能使用其中 1 个。

3.14.7 USB D 接口与 CAN 接口的同时使用

USB D 与 CAN 同时使用时，需要：

- 在 USB D 的基地址偏移 0x100 处写 0x00000001。
- PA11 和 PA12 引脚给 USB D 用，CAN 复用其它引脚。

3.15 ADC(模拟/数字转换器)

集成两个 12 位精度 16 通道的 ADC，每个 ADC 都可以实现单次模式和扫描模式的转换。可支持 DMA 操作，解放 CPU。ADC 接口支持单次采样、同步的采样和保持、及交叉的采样和保持逻辑功能。模拟看门狗功能可以监视多路通道，当被监视的信号超出预置的值时产生中断。

使用定时器可以使模数转换与时钟同步。

3.16 温度传感器

内嵌连接到 ADC1_IN16 输入通道上的温度传感器可以将芯片的环境温度转换为数字。

3.17 调试接口(SWJ-DP)

产品支持串行调试接口(SW-DP)和 JTAG(JTAG-DP)调试接口两种方式。

JTAG 接口为 AHB 访问端口提供 5 针标准 JTAG 接口。

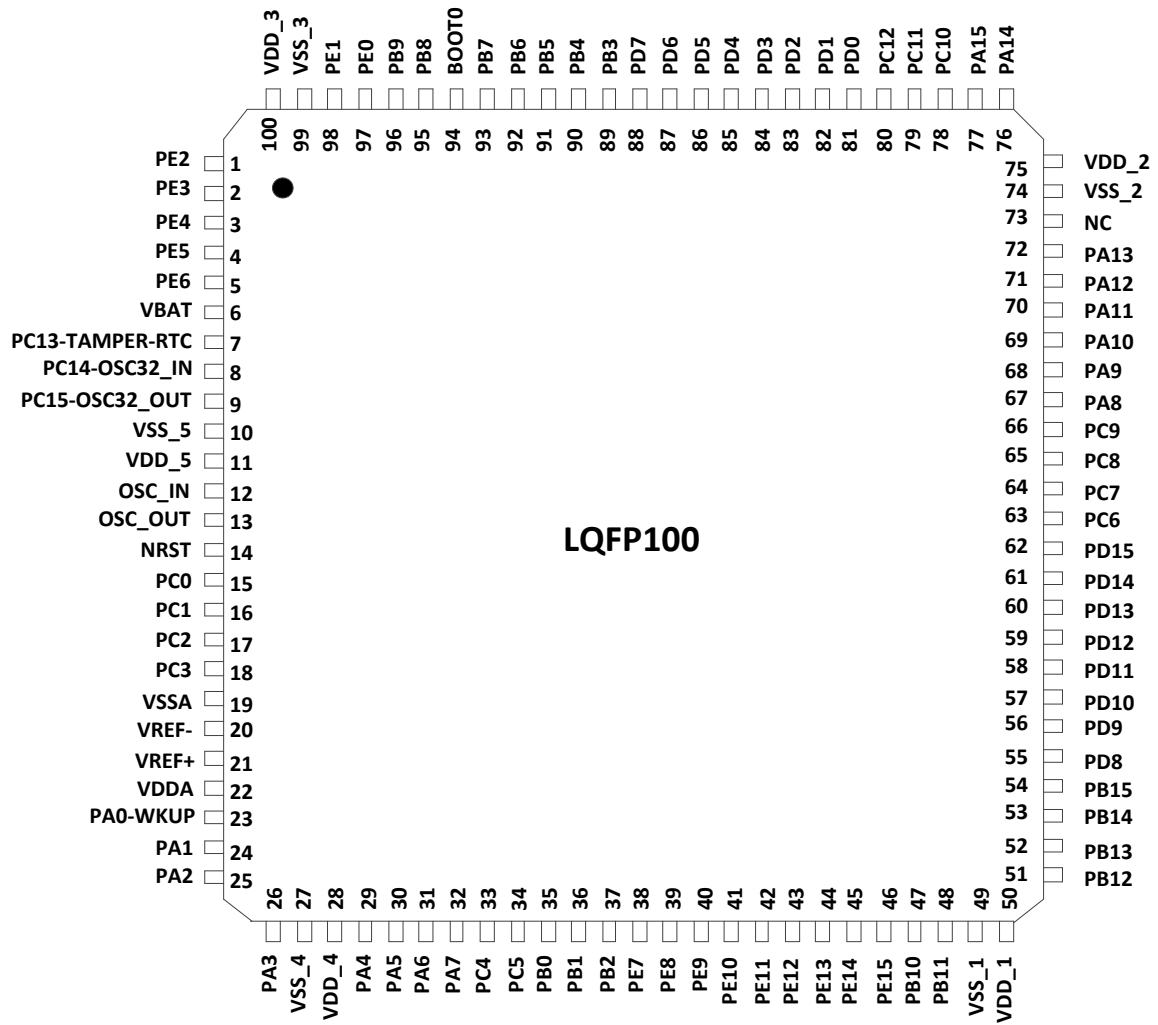
SW-DP 接口为 AHB 模块提供 2 针(数据+时钟)接口。其中，SW-DP 接口的 2 个引脚和 JTAG 接口的 5 个引脚中的一些是复用的。

4 引脚特性

4.1 引脚定义

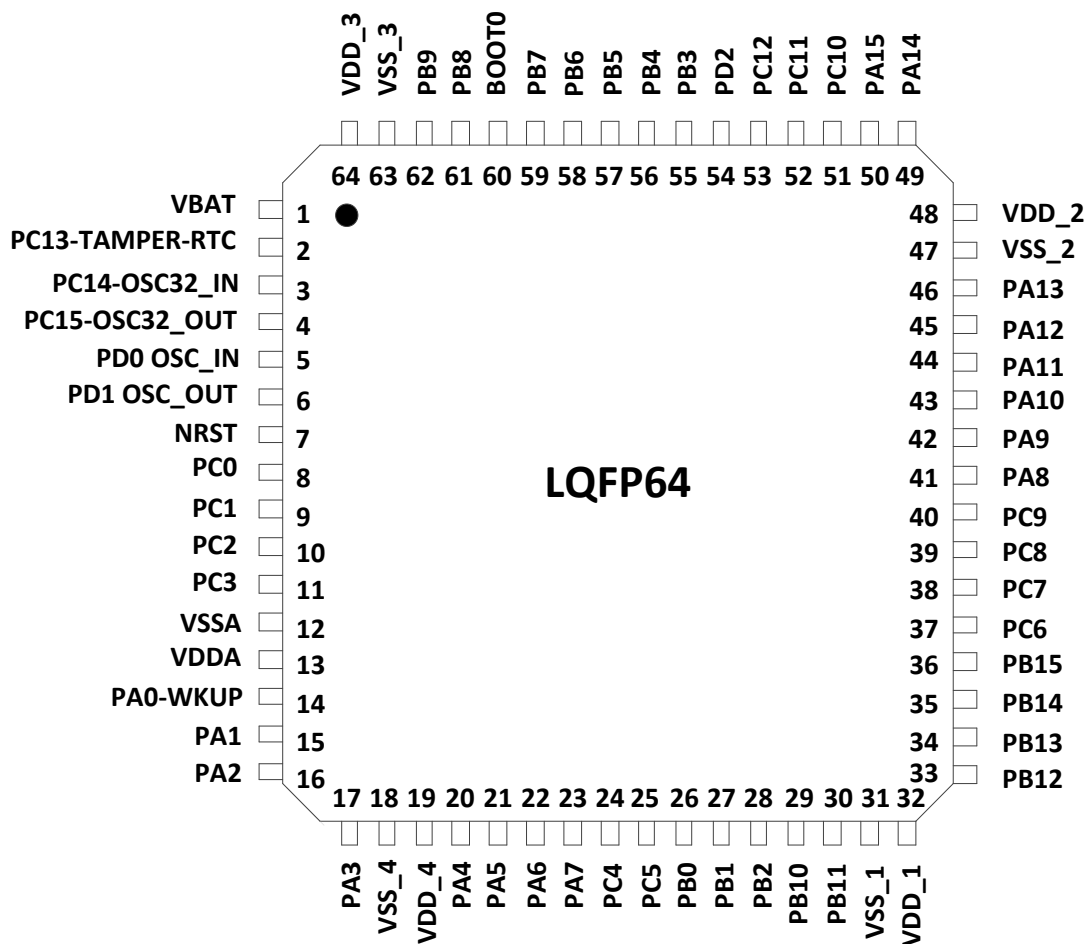
4.1.1 APM32F103xB 系列 LQFP100

图1 LQFP100 引脚配置图



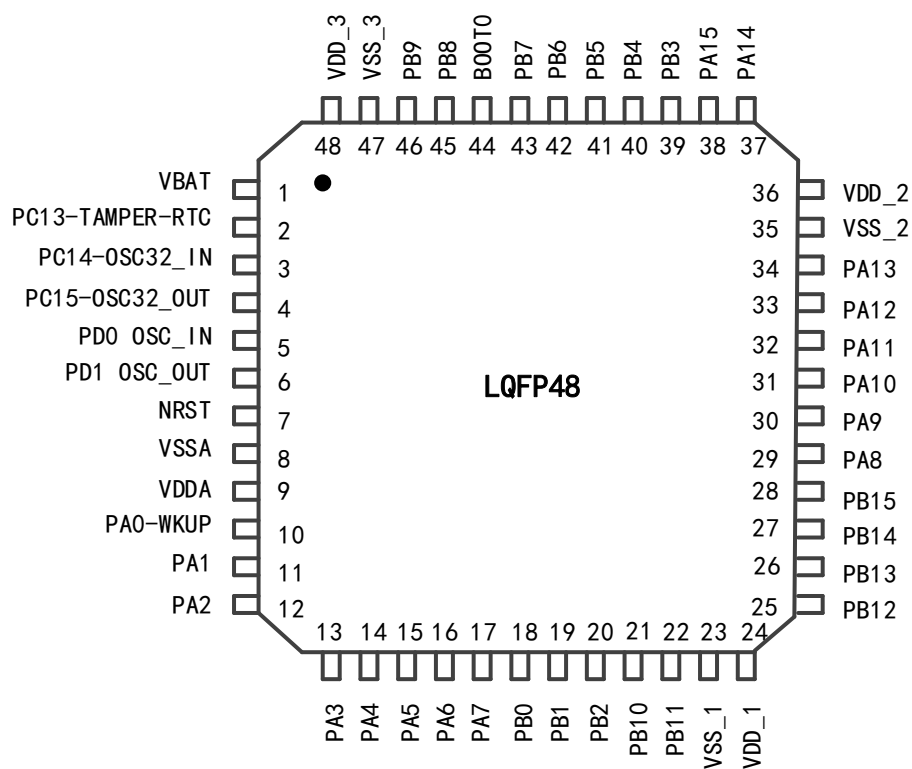
4.1.2 APM32F103xB 系列 LQFP64

图2 LQFP64 引脚配置图



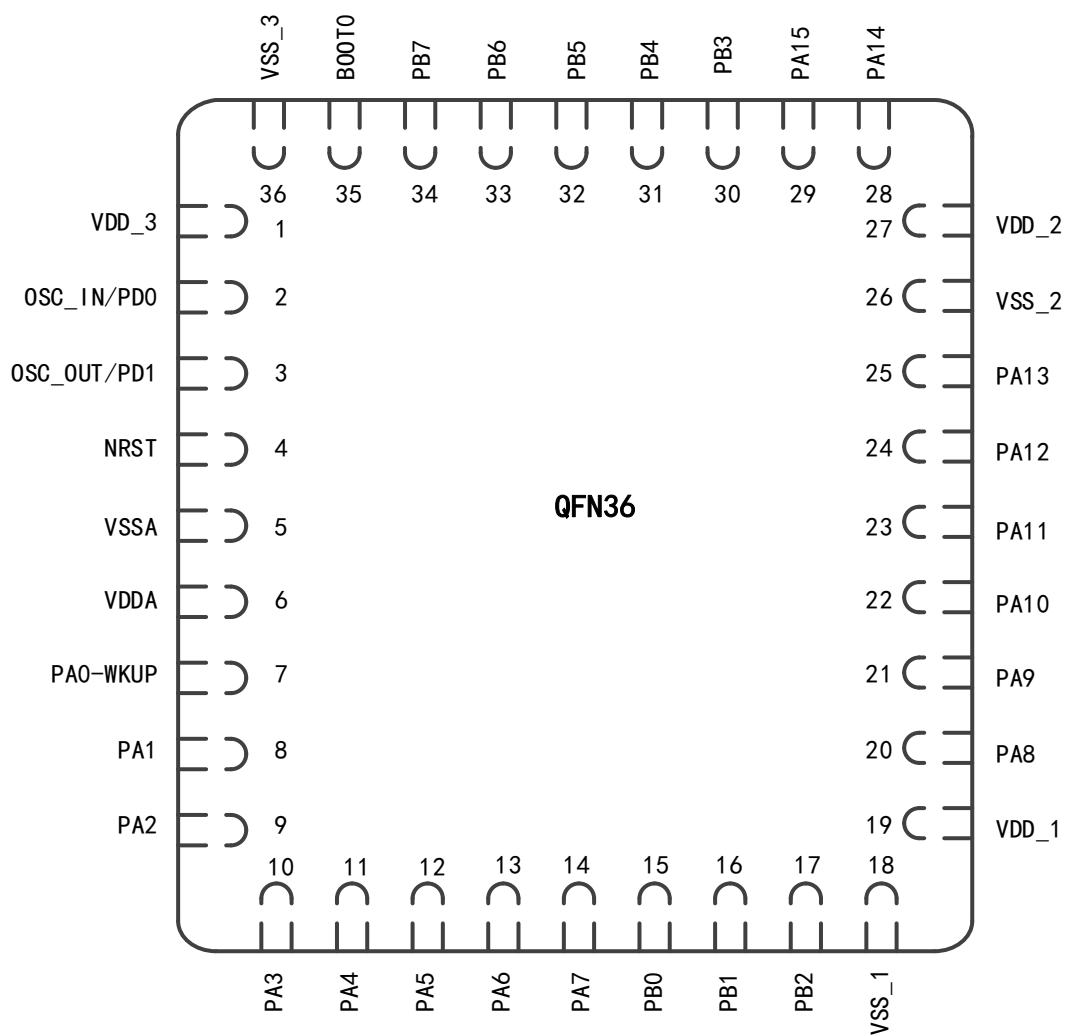
4.1.3 APM32F103xB 系列 LQFP48

图3 LQFP48 引脚配置图



4.1.4 APM32F103xB 系列 QFN36

图4 QFN36 引脚配置图



4.2 引脚描述

表8 APM32F103xB 引脚定义

引脚名称	引脚编号				类型 (1)	I/O 电平(2)	主功能(3) (复位后)	可选的复用功能	
	LQFP48	LQFP64	LQFP100	QFN36				默认复用功能	重定义功能
PE2	-	-	1	-	I/O	FT	PE2	TRACECK	-
PE3	-	-	2	-	I/O	FT	PE3	TRACED0	-
PE4	-	-	3	-	I/O	FT	PE4	TRACED1	-
PE5	-	-	4	-	I/O	FT	PE5	TRACED2	-
PE6	-	-	5	-	I/O	FT	PE6	TRACED3	-
V _{BAT}	1	1	6	-	S	-	V _{BAT}	-	-
PC13- TAMPER-RTC(4)	2	2	7	-	I/O	-	PC13(3)	TAMPER-RTC	-
PC14- OSC32_IN(4)	3	3	8	-	I/O	-	PC14(3)	OSC32_IN	-
PC15- OSC32_OUT(4)	4	4	9	-	I/O	-	PC15(3)	OSC32_OUT	-
V _{SS_5}	-	-	10	-	S	-	V _{SS_5}	-	-
V _{DD_5}	-	-	11	-	S	-	V _{DD_5}	-	-
OSC_IN	5	5	12	2	I	-	OSC_IN	-	PD0(5)
OSC_OUT	6	6	13	3	O	-	OSC_OUT	-	PD1(5)
NRST	7	7	14	4	I/O	-	NRST	-	-
PC0	-	8	15	-	I/O	-	PC0	ADC12_IN10	-
PC1	-	9	16	-	I/O	-	PC1	ADC12_IN11	-
PC2	-	10	17	-	I/O	-	PC2	ADC12_IN12	-
PC3	-	11	18	-	I/O	-	PC3	ADC12_IN13	-
V _{SSA}	8	12	19	5	S	-	V _{SSA}	-	-
V _{REF-}	-	-	20	-	S	-	V _{REF-}	-	-
V _{REF+}	-	-	21	-	S	-	V _{REF+}	-	-
V _{DDA}	9	13	22	6	S	-	V _{DDA}	-	-
PA0-WKUP	10	14	23	7	I/O	-	PA0	WKUP/ USART2_CTS(6)/ ADC12_IN0/ TMR2_CH1_ETR(6)	-
PA1	11	15	24	8	I/O	-	PA1	USART2_RTS(6)/ ADC12_IN1/ TMR2_CH2(6)	-
PA2	12	16	25	9	I/O	-	PA2	USART2_TX(6)/ ADC12_IN2/ TMR2_CH3(6)	-

引脚名称	引脚编号				类型 (1)	I/O 电平(2)	主功能(3) (复位后)	可选的复用功能	
	LQFP48	LQFP64	LQFP100	QFN36				默认复用功能	重定义功能
PA3	13	17	26	10	I/O	-	PA3	USART2_RX ⁽⁶⁾ / ADC12_IN3/ TMR2_CH4 ⁽⁶⁾	-
V _{SS_4}	-	18	27	-	S	-	V _{SS_4}	-	-
V _{DD_4}	-	19	28	-	S	-	V _{DD_4}	-	-
PA4	14	20	29	11	I/O	-	PA4	SPI1_NSS ⁽⁶⁾ / USART2_CK ⁽⁶⁾ / ADC12_IN4	-
PA5	15	21	30	12	I/O	-	PA5	SPI1_SCK ⁽⁶⁾ / ADC12_IN5	-
PA6	16	22	31	13	I/O	-	PA6	SPI1_MISO ⁽⁶⁾ / ADC12_IN6/ TMR3_CH1 ⁽⁶⁾	TMR1_BKIN
PA7	17	23	32	14	I/O	-	PA7	SPI1_MOSI ⁽⁶⁾ / ADC12_IN7/ TMR3_CH2 ⁽⁶⁾	TMR1_CH1N
PC4	-	24	33	-	I/O	-	PC4	ADC12_IN14	-
PC5	-	25	34	-	I/O	-	PC5	ADC12_IN15	-
PB0	18	26	35	15	I/O	-	PB0	ADC12_IN8/ TMR3_CH3 ⁽⁶⁾	TMR1_CH2N
PB1	19	27	36	16	I/O	-	PB1	ADC12_IN9/ TMR3_CH4 ⁽⁶⁾	TMR1_CH3N
PB2	20	28	37	17	I/O	FT	PB2/BOOT1	-	-
PE7	-	-	38	-	I/O	FT	PE7	-	TMR1_ETR
PE8	-	-	39	-	I/O	FT	PE8	-	TMR1_CH1N
PE9	-	-	40	-	I/O	FT	PE9	-	TMR1_CH1
PE10	-	-	41	-	I/O	FT	PE10	-	TMR1_CH2N
PE11	-	-	42	-	I/O	FT	PE11	-	TMR1_CH2
PE12	-	-	43	-	I/O	FT	PE12	-	TMR1_CH3N
PE13	-	-	44	-	I/O	FT	PE13	-	TMR1_CH3
PE14	-	-	45	-	I/O	FT	PE14	-	TMR1_CH4
PE15	-	-	46	-	I/O	FT	PE15	-	TMR1_BKIN
PB10	21	29	47	-	I/O	FT	PB10	I2C2_SCL/ I2C4_SCL/ USART3_TX ⁽⁶⁾	TMR2_CH3
PB11	22	30	48	-	I/O	FT	PB11	I2C2_SDA/ I2C4_SDA/ USART3_RX ⁽⁶⁾	TMR2_CH4

引脚名称	引脚编号				类型 (1)	I/O 电平(2)	主功能(3) (复位后)	可选的复用功能	
	LQFP48	LQFP64	LQFP100	QFN36				默认复用功能	重定义功能
V _{SS_1}	23	31	49	18	S	-	V _{SS_1}	-	-
V _{DD_1}	24	32	50	19	S	-	V _{DD_1}	-	-
PB12	25	33	51	-	I/O	FT	PB12	SPI2_NSS/ I2C2_SMBAL/ USART3_CK ⁽⁶⁾ / TMR1_BKIN ⁽⁶⁾	
PB13	26	34	52	-	I/O	FT	PB13	SPI2_SCK/ USART3_CTS ⁽⁶⁾ / TMR1_CH1N ⁽⁶⁾ / QSPI_IO0	
PB14	27	35	53	-	I/O	FT	PB14	SPI2_MISO/ USART3_RTS ⁽⁶⁾ / TMR1_CH2N ⁽⁶⁾ / QSPI_IO1	
PB15	28	36	54	-	I/O	FT	PB15	SPI2_MOSI/ TMR1_CH3N ⁽⁶⁾ / QSPI_IO2	-
PD8	-	-	55	-	I/O	FT	PD8	QSPI_IO3	USART3_TX
PD9	-	-	56	-	I/O	FT	PD9	-	USART3_RX
PD10	-	-	57	-	I/O	FT	PD10	QSPI_CLK	USART3_CK
PD11	-	-	58	-	I/O	FT	PD11	-	USART3_CTS
PD12	-	-	59	-	I/O	FT	PD12	QSPI_SS_N	TMR4_CH1/ USART3_RTS
PD13	-	-	60	-	I/O	FT	PD13	-	TMR4_CH2
PD14	-	-	61	-	I/O	FT	PD14	-	TMR4_CH3
PD15	-	-	62	-	I/O	FT	PD15	-	TMR4_CH4
PC6	-	37	63	-	I/O	FT	PC6	-	TMR3_CH1
PC7	-	38	64	-	I/O	FT	PC7	-	TMR3_CH2
PC8	-	39	65	-	I/O	FT	PC8	-	TMR3_CH3
PC9	-	40	66	-	I/O	FT	PC9	-	TMR3_CH4
PA8	29	41	67	20	I/O	FT	PA8	USART1_CK/ TMR1_CH1 ⁽⁶⁾ / MCO	-
PA9	30	42	68	21	I/O	FT	PA9	USART1_TX ⁽⁶⁾ / TMR1_CH2 ⁽⁶⁾	-
PA10	31	43	69	22	I/O	FT	PA10	USART1_RX ⁽⁶⁾ / TMR1_CH3 ⁽⁶⁾	-

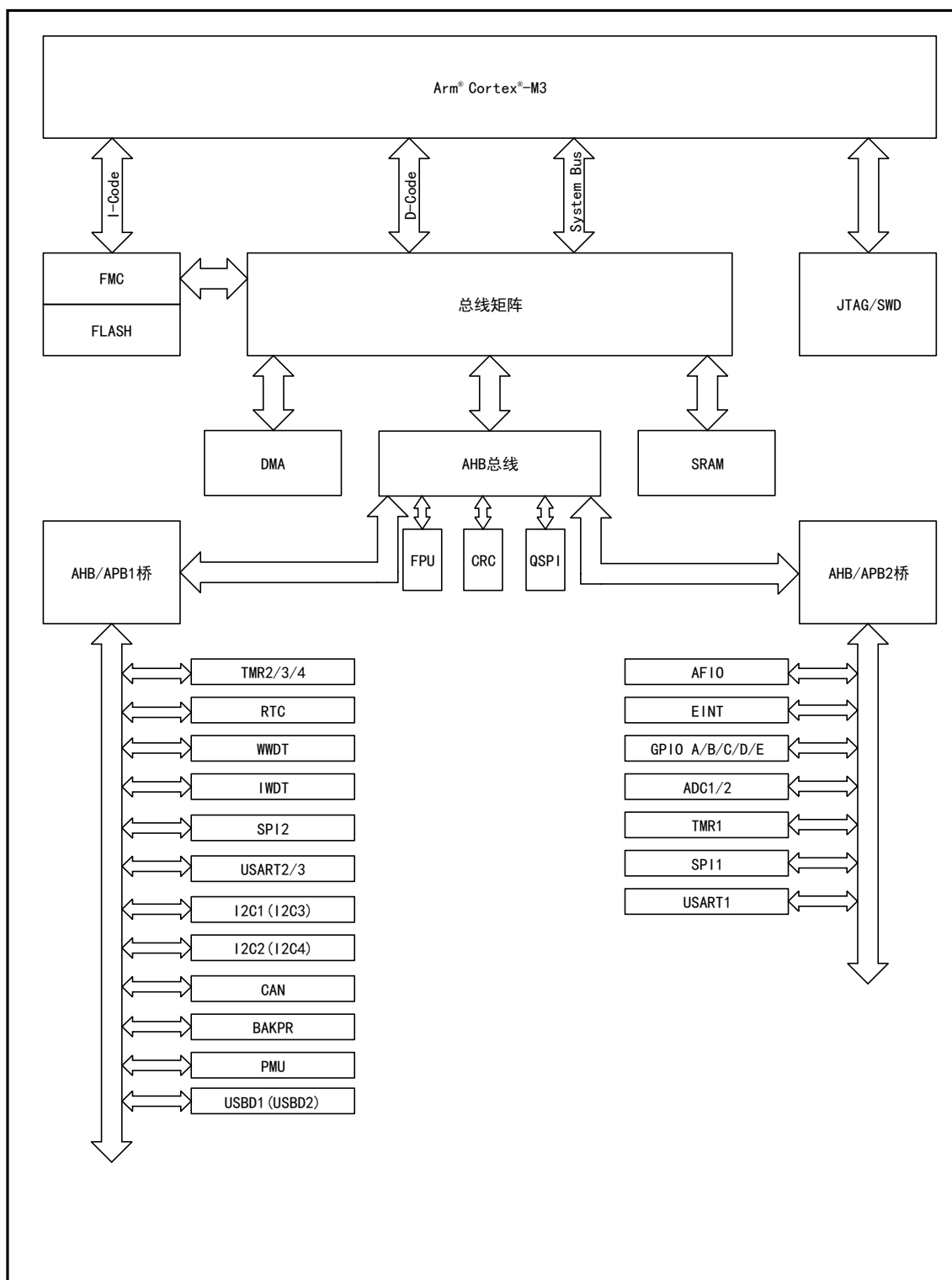
引脚名称	引脚编号				类型 (1)	I/O 电平(2)	主功能(3) (复位后)	可选的复用功能	
	LQFP48	LQFP64	LQFP100	QFN36				默认复用功能	重定义功能
PA11	32	44	70	23	I/O	FT	PA11	USART1_CTS/ USBD1DM/ USBD2DM/ CAN_RX(6)/ TMR1_CH4(6)	-
PA12	33	45	71	24	I/O	FT	PA12	USART1_RTS/ USBD1DP USBD2DP/ CAN_TX(6)/ TMR1_ETR(6)	-
PA13	34	46	72	25	I/O	FT	JTMS/ SWDIO	-	PA13
未连接	-	-	73	-	-	-	-	未连接	-
V _{SS_2}	35	47	74	26	S		V _{SS_2}	-	-
V _{DD_2}	36	48	75	27	S		V _{DD_2}	-	-
PA14	37	49	76	28	I/O	FT	JTCK/ SWCLK	-	PA14
PA15	38	50	77	29	I/O	FT	JTDI	-	TMR2_CH1_ETR/ PA15/ SPI1_NSS
PC10	-	51	78	-	I/O	FT	PC10	-	USART3_TX
PC11	-	52	79	-	I/O	FT	PC11	-	USART3_RX
PC12	-	53	80	-	I/O	FT	PC12	-	USART3_CK
PD0	-	-	81	2	I/O	FT	PD0	-	CAN_RX
PD1	-	-	82	3	I/O	FT	PD1	-	CAN_TX
PD2	-	54	83	-	I/O	FT	PD2	TMR3_ETR	-
PD3	-	-	84	-	I/O	FT	PD3	-	USART2_CTS
PD4	-	-	85	-	I/O	FT	PD4	-	USART2_RTS
PD5	-	-	86	-	I/O	FT	PD5	-	USART2_TX
PD6	-	-	87	-	I/O	FT	PD6	-	USART2_RX
PD7	-	-	88	-	I/O	FT	PD7	-	USART2_CK
PB3	39	55	89	30	I/O	FT	JTDO	-	PB3/ TRACESWO/ TMR2_CH2/ SPI1_SCK

引脚名称	引脚编号				类型 (1)	I/O 电平(2)	主功能(3) (复位后)	可选的复用功能	
	LQFP48	LQFP64	LQFP100	QFN36				默认复用功能	重定义功能
PB4	40	56	90	31	I/O	FT	NJTRST	-	PB4/ TMR3_CH1/ SPI1_MISO
PB5	41	57	91	32	I/O	-	PB5	I2C1_SMBAL	TMR3_CH2/ SPI1_MOSI
PB6	42	58	92	33	I/O	FT	PB6	I2C1_SCL(6)/ I2C3_SCL/ TMR4_CH1(6)	USART1_TX
PB7	43	59	93	34	I/O	FT	PB7	I2C1_SDA(6)/ I2C3_SDA/ TMR4_CH2(6)	USART1_RX
BOOT0	44	60	94	35	I	-	BOOT0	-	-
PB8	45	61	95	-	I/O	FT	PB8	TMR4_CH3(6)	I2C1_SCL/ (I2C3_SCL) /CAN_RX
PB9	46	62	96	-	I/O	FT	PB9	TMR4_CH4(6)	I2C1_SDA (I2C3_SDA) /CAN_TX
PE0	-	-	97	-	I/O	FT	PE0	TMR4_ETR	-
PE1	-	-	98	-	I/O	FT	PE1	-	-
V_{SS_3}	47	63	99	36	S	-	V _{SS_3}	-	-
V_{DD_3}	48	64	100	1	S	-	V _{DD_3}	-	-

1. I=输入, O=输出, S=电源
2. FT: 支持 5V
3. PC13, PC14 和 PC15 引脚供电能力弱。因此对这三个引脚有以下限制: 在同一时间只有一个引脚能作为输出, 且只能工作在 2MHz 模式下, 最大驱动负载为 30pF, 不能作为电流源(如驱动 LED)。
4. 这些引脚的状态由备份区域寄存器控制(这些寄存器不会被主复位系统所复位)。
5. 对 QFN36 封装的引脚 2 和引脚 3、LQFP48 和 LQFP64 封装的引脚 5 和引脚 6, 在芯片复位后默认配置为 OSC_IN 和 OSC_OUT 功能脚, 可以软件设置这两个引脚为 PD0 和 PD1 功能, 但对于 LQFP100 封装, PD0 和 PD1 为固有的功能引脚。
6. 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚), 详细信息请参考参考手册的复用功能 I/O 章节和调试设置章节。

4.3 系统框图

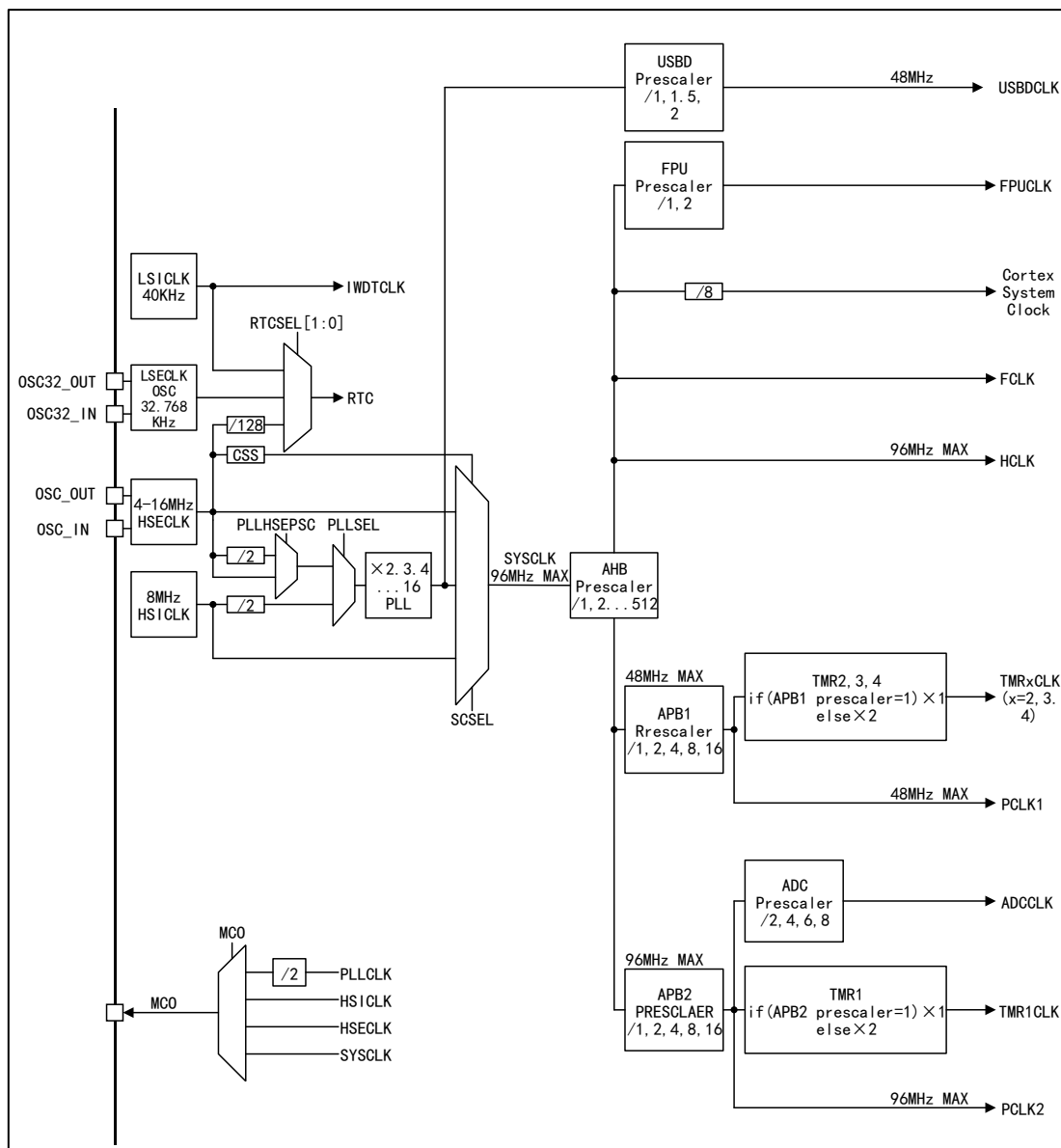
图5 APM32F103xB 系列系统框图



1. APM32F103xB 系列的 AHB 和高速 APB 的最高频率为 96MHz;
2. APM32F103xB 系列的低速 APB 时钟的最高频率为 48MHz。

4.4 时钟树

图6 APM32F103xB 系列时钟树



1. APM32F103xB 系列的 AHB 和高速 APB 的最高频率为 96MHz;
2. APM32F103xB 系列的低速 APB 时钟的最高频率为 48MHz。

4.5 地址映射

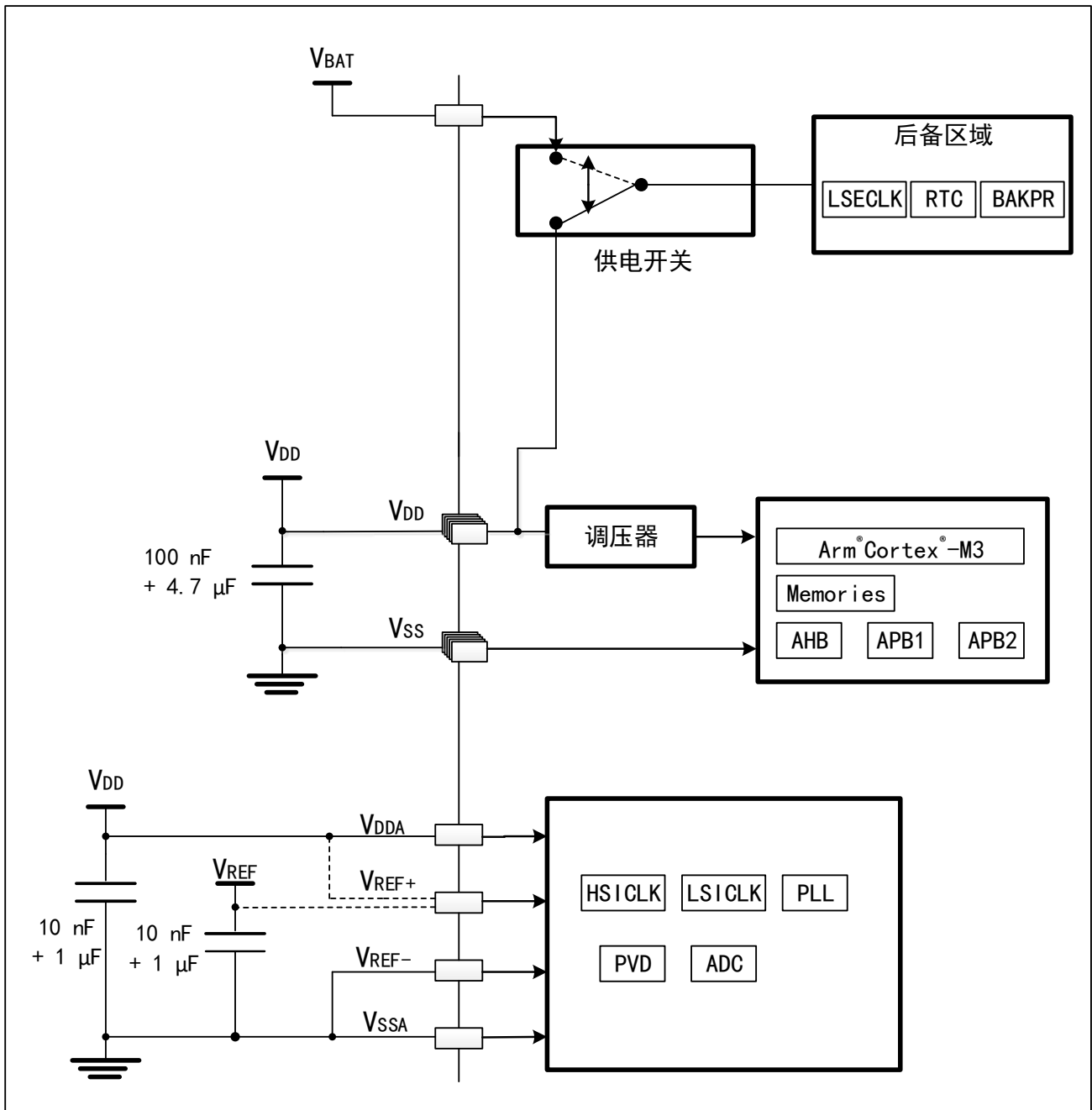
表9 APM32F103xB 地址映射表

区域	起始地址	外设名称
代码	0x0000 0000	代码映射区
代码	0x0800 0000	主存储区
代码	0x0801 FFFF	保留
代码	0x1FFF F000	系统内存
代码	0x1FFF F800	选项字节
代码	0x1FFF F80F	保留
SRAM	0x2000 0000	SRAM
APB1 总线	0x4000 0000	TMR2
APB1 总线	0x4000 0400	TMR3
APB1 总线	0x4000 0800	TMR4
APB1 总线	0x4000 0C00	保留
APB1 总线	0x4000 2800	RTC
APB1 总线	0x4000 2C00	WWDT
APB1 总线	0x4000 3000	IWDT
APB1 总线	0x4000 3400	保留
APB1 总线	0x4000 3800	SPI2
APB1 总线	0x4000 3C00	保留
APB1 总线	0x4000 4400	USART2
APB1 总线	0x4000 4800	USART3
APB1 总线	0x4000 4C00	保留
APB1 总线	0x4000 5400	I2C1(I2C3)
APB1 总线	0x4000 5800	I2C2(I2C4)
APB1 总线	0x4000 5C00	USBD1(USBD2)
APB1 总线	0x4000 6000	USBD/CAN SRAM
APB1 总线	0x4000 6400	CAN
APB1 总线	0x4000 6800	保留
APB1 总线	0x4000 6C00	BAKPR
APB1 总线	0x4000 7000	PMU
—	0x4000 7400	保留
APB2 总线	0x4001 0000	AFIO
APB2 总线	0x4001 0400	EINT
APB2 总线	0x4001 0800	Port A
APB2 总线	0x4001 0C00	Port B
APB2 总线	0x4001 1000	Port C
APB2 总线	0x4001 1400	Port D
APB2 总线	0x4001 1800	Port E
APB2 总线	0x4001 1C00	保留

区域	起始地址	外设名称
APB2 总线	0x4001 2400	ADC1
APB2 总线	0x4001 2800	ADC2
APB2 总线	0x4001 2C00	TMR1
APB2 总线	0x4001 3000	SPI1
APB2 总线	0x4001 3400	保留
APB2 总线	0x4001 3800	USART1
APB2 总线	0x4001 3C00	保留
AHB 总线	0x4002 0000	DMA
AHB 总线	0x4002 0400	保留
AHB 总线	0x4002 1000	RCM
AHB 总线	0x4002 1400	保留
AHB 总线	0x4002 2000	Flash 接口
AHB 总线	0x4002 2400	保留
AHB 总线	0x4002 3000	CRC
AHB 总线	0x4002 3400	保留
AHB 总线	0x4002 4000	FPU
AHB 总线	0x4002 4400	保留
AHB 总线	0xA000 0000	QSPI
—	0xA000 2000	保留

4.6 供电方案

图7 供电方案



5 电气特性

5.1 测试条件

除非专门规定，所有电压参数都以 V_{SS} 为参照。

5.1.1 最大值和最小值

除非特别说明，测试是在 $T_A=25^{\circ}\text{C}$ 下在生产线上所有产品进行的。其最大和最小值可支持所定最糟糕的环境温度、供电电压和时钟频率。

在每个表格下方的注解中说明是通过综合评估、设计模拟和/或工艺特性得到的数据，没有在生产线上进行测试；在综合评估的基础上，通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$)得到最大和最小数值。

5.1.2 典型值

除非特别说明，典型数据的运行条件是 $T_A=25^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($2\text{V} \leq V_{DD} \leq 3.6\text{V}$ 电压范围)。

5.1.3 典型曲线

典型曲线仅用于设计指导。

5.1.4 负载电容

图8 测量引脚参数时的负载条件

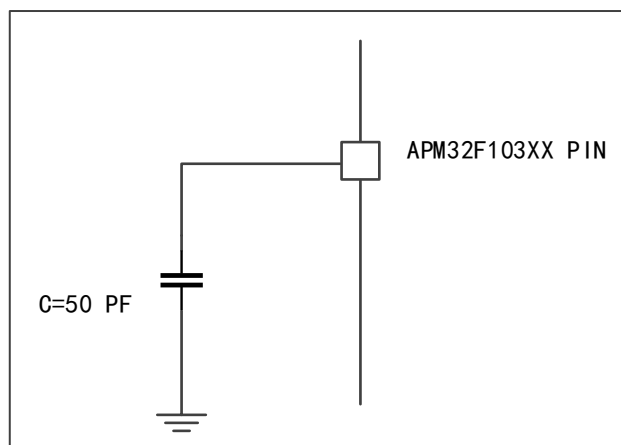


图9 引脚输入电压测量方案

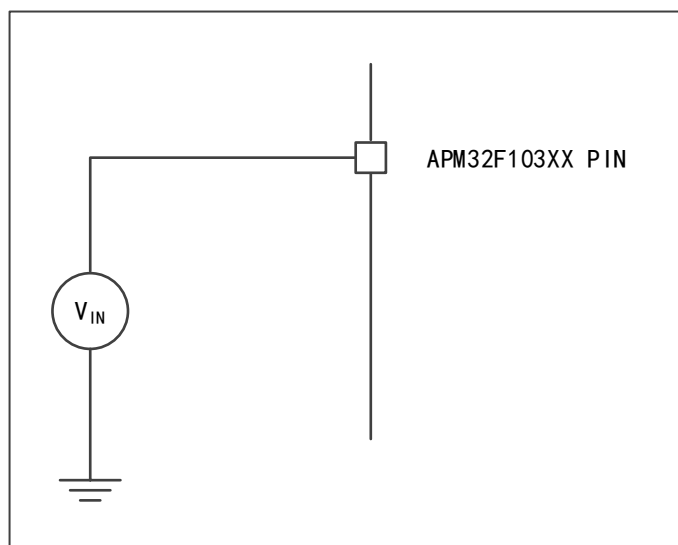
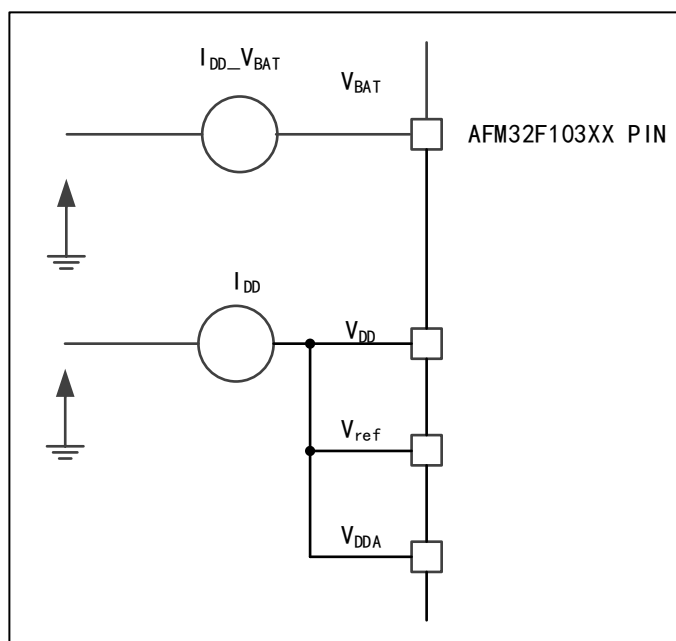


图10 电流消耗测量方案



5.2 绝对最大额定值

器件上的载荷如果超过绝对最大额定值，会导致器件永久性的损坏。这里只是给出能承受的最大载荷，不保证在此条件下器件的功能性运行正常。

5.2.1 最大额定电压特性

表10 最大额定电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压(包含 V_{DDA} 和 V_{DD}) ⁽¹⁾	-0.3	4.0	V
V_{IN}	在支持 5V 的引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	5.5	
	在其它引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{DD} + 0.3$	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差		50	mV
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差		50	

1. 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})必须始终在允许范围内。
2. 如果 V_{IN} 超过最大值, 必须在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 电流流入引脚; 当 $V_{IN} < V_{SS}$ 时, 电流流出引脚。

5.2.2 最大额定电流特性

表11 最大额定电流特性

符号	描述	最大值	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流(供应电流) ⁽¹⁾	150	mA
I_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾	150	
I_{IO}	任意 I/O 和控制引脚上的灌电流	25	
	任意 I/O 和控制引脚上的拉电流	-25	
$I_{INJ(PIN)}$ ^{(2) (3)}	NRST 引脚的注入电流	± 5	
	HSECLK 的 OSC_IN 引脚和 LSECLK 的 OSC_IN 引脚的注入电流	± 5	
	其他引脚的注入电流 ⁽⁴⁾	± 5	
$\Sigma I_{INJ(PIN)}$ ⁽²⁾	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	± 25	

1. 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})必须始终在允许范围内。
2. 如果 V_{IN} 超过最大值, 必须在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 电流流入引脚; 当 $V_{IN} < V_{SS}$ 时, 电流流出引脚。
3. 流出电流会干扰 ADC 的模拟性能。
4. 当几个 I/O 口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为流入电流与流出电流的即时绝对值之和。

5.2.3 最大温度特性

表12 温度特性

符号	描述	数值	单位
----	----	----	----

T _{STG}	储存温度范围	-55 ~ + 150	°C
T _J	最大结温度	150	°C

5.2.4 最大电气敏感特性

静电放电 (ESD)

静电放电实施方法是一个正的脉冲然后间隔一秒钟后一个负的脉冲，样片的所有引脚都要测，样品的大小与芯片上供电引脚数目有关(3片 x(n+1)供电引脚)。这个测试符合 JS-001-2017/JS-002-2018 标准。

表13 静电放电(ESD)⁽¹⁾

符号	参数	条件	最大值 ⁽¹⁾	单位
V _{ESD(HBM)}	静电放电电压(人体模型)	T _A = +25 °C, 符合 JS-001-2017	3000	V
V _{ESD(CDM)}	静电放电电压(充电设备模型)	T _A = +25 °C, 符合 JS-002-2018	2000	

1. 样品由第三方测试机构测得，不在生产中测试。

静态栓锁 (LU)

当运行一个简单的而应用时(通过 I/O 端口控制 2 个 LED 闪烁)，测试样品是被假电磁干扰直到产生错误，LED 闪烁指示错误的产生为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD78E 集成电路栓锁标准。

表14 静态栓锁⁽¹⁾

符号	参数	条件	类型
LU	静态栓锁类	T _A = 105°C, 符合 EIA/JESD78E	II 类 A

1. 样品由第三方测试机构测得，不在生产中测试。

5.3 通用工作条件下的测试

表15 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	0	96	MHz
f_{PCLK1}	内部 APB1 时钟频率	-	0	48	
f_{PCLK2}	内部 APB2 时钟频率	-	0	96	
V_{DD}	标准工作电压	-	2	3.6	V
$V_{DDA}^{(1)}$	模拟部分工作电压(未使用 ADC)	必须与 $V_{DD}^{(2)}$ 相同	2	3.6	V
	模拟部分工作电压(使用 ADC)		2.4	3.6	
V_{BAT}	备份部分工作电压	-	1.6	3.6	V
T_A	环境温度(温度标号 6)	最大功率耗散	-40	105	°C
	环境温度(温度标号 7)	最大功率耗散	-40	105	°C
T_J	结温度范围	-	-40	150	°C

1. 当使用 ADC 时, 参见 5.3.11 节。

2. 在上电和正常操作期间, 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电, 要求 V_{DD} 和 V_{DDA} 之间最多相差 300mV。

5.3.1 内嵌复位和电源控制模块特性测试

表16 内嵌复位和电源控制模块特性($T_A=25^{\circ}\text{C}$) (-40°C-105°C) ⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$V_{PVD}^{(3)}$	可编程的电压检测器的电平选择	PLS[2:0]=000 (上升沿)	2.18	2.2	2.22	V
		PLS[2:0]=000 (下降沿)	2.08	2.09	2.11	V
		PLS[2:0]=001 (上升沿)	2.28	2.3	2.32	V
		PLS[2:0]=001 (下降沿)	2.17	2.19	2.21	V
		PLS[2:0]=010 (上升沿)	2.38	2.4	2.42	V
		PLS[2:0]=010 (下降沿)	2.27	2.29	2.31	V
		PLS[2:0]=011 (上升沿)	2.48	2.5	2.52	V
		PLS[2:0]=011 (下降沿)	2.37	2.39	2.41	V
$V_{PVD}^{(3)}$	可编程的电压检测器的电平选择	PLS[2:0]=100 (上升沿)	2.58	2.6	2.62	V
		PLS[2:0]=100 (下降沿)	2.47	2.49	2.51	V
		PLS[2:0]=101 (上升沿)	2.67	2.69	2.72	V

符号	参数	条件	最小值	典型值	最大值	单位
		PLS[2:0]=101 (下降沿)	2.57	2.59	2.61	V
		PLS[2:0]=110 (上升沿)	2.77	2.8	2.82	V
		PLS[2:0]=110 (下降沿)	2.66	2.68	2.71	V
		PLS[2:0]=111 (上升沿)	2.86	2.89	2.91	V
		PLS[2:0]=111 (下降沿)	2.76	2.79	2.81	V
$V_{PVDhyst}^{(2)}$	PVD 迟滞	-	-	107	-	mV
$V_{POR/PDR}$	上电/掉电复位 阈值	下降沿	1.87 ⁽¹⁾	1.89	1.91	V
		上升沿	1.92	1.94	1.96	V
$V_{PDRhyst}^{(2)}$	PDR 迟滞	-	-	50	-	mV
$T_{RSTTEMPO}$	复位持续时间	-	0.9	-	2.4	ms

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。
2. 由设计保证，不在生产中测试。
3. 由综合评估得出，不在生产中测试。

5.3.2 内置参考电压特性测试

表17 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
$V_{REFINT}^{(1)}$	内置参考电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$ $V_{DD} = 2\text{-}3.6\text{ V}$	1.16	1.21	1.26	V
$T_{S_vrefint}^{(2)}$	当读出内部参考电压时， ADC 的采样时间	-	-	5.1	17.1	μs
V_{REFINT}	内置参考电压值在全温范围 里的变化	$V_{DD} = 3\text{V} \pm 10\text{mV}$	-	-	20	mV
T_{Coeff}	-	-	-	-	126	ppm/ $^{\circ}\text{C}$

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。

5.3.3 供电电流特性

本节中给出的运行模式下的电流值，都是通过执行 Dhystone2.1，编译环境为 Keil V5，编译优化等级为 L3 条件下测得的。

最大电流消耗

微控制器处于下列条件：

- 设置所有的 I/O 引脚都为输入模式，并连接到同一个电源上，V_{DD} 或 V_{SS}(无负载)。
- 关闭所有外设，除非特别说明。
- 调整闪存的访问时间 (0~24MHz—0 个等待周期，24~48MHz—1 个等待周期，48~72MHz—2 个等待周期，72-96MHz—3 个等待周期)。
- 开启指令预取功能 (提示：设置必须在时钟设置和总线分频前进行)。
- 当开启外设时：f_{PCLK1} = f_{HCLK}/2，f_{PCLK2} = f_{HCLK}。

表18 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	f _{HCLK}	最大值 ⁽¹⁾	单位
				T _A =105℃，V _{DD} =3.6 V	
I _{DD}	运行模式下的供应电流	外部时钟 ⁽²⁾ ，使能 所有外设	96 MHz	31.05	mA
			72MHz	25.78	
			48MHz	19.82	
			36MHz	15.19	
			24MHz	11.47	
			16MHz	8.01	
			8MHz	4.41	
		外部时钟 ⁽²⁾ ，关闭 所有外设	96 MHz	20.03	
			72MHz	17.60	
			48MHz	14.24	
			36MHz	10.89	
			24MHz	8.65	
			16MHz	6.30	
			8MHz	3.54	

1. 由综合评估得出，不在生产中测试。
2. 外部时钟为8MHz，当f_{HCLK}>8MHz时，开启PLL。

表19 运行模式下的最大电流消耗，数据处理代码从内部 RAM 中运行

符号	参数	条件	f _{HCLK}	最大值 ⁽¹⁾	单位
				T _A =105℃ , V _{DD} =3.6 V	
I _{DD}	运行模式下的供电电流	外部时钟 ⁽²⁾ , 使能所有外设	96 MHz	27.82	mA
			72MHz	20.96	
			48MHz	14.24	
			36MHz	10.89	
			24MHz	7.60	
			16MHz	5.39	
			8MHz	3.17	
		外部时钟 ⁽²⁾ , 关闭所有外设	96 MHz	16.63	
			72MHz	12.63	
			48MHz	8.77	
			36MHz	6.79	
			24MHz	4.86	
			16MHz	3.58	
			8MHz	3.14	

1. 由综合评估得出，不在生产中测试。
2. 外部时钟为 8MHz，当 f_{HCLK}>8MHz 时，开启 PLL。

表20 睡眠模式下的最大电流消耗，代码从 Flash 或 RAM 中运行

符号	参数	条件	f _{HCLK}	最大值 ⁽¹⁾	单位
				T _A =105℃ , V _{DD} =3.6 V	
I _{DD}	睡眠模式下的供电电流	外部时钟 ⁽²⁾ , 使能所有外设	96 MHz	17.39	mA
			72MHz	13.32	
			48MHz	9.14	
			36MHz	7.11	
			24MHz	5.07	
			16MHz	3.69	
			8MHz	2.31	
		外部时钟 ⁽²⁾ , 关闭所有外设	96 MHz	5.07	
			72MHz	4.06	
			48MHz	3.02	
			36MHz	2.46	
			24MHz	1.99	

			16MHz	1.62	
			8MHz	1.35	

1. 由综合评估得出，不在生产中测试。
2. 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时，开启 PLL。

表21 停机和待机模式下的最大电流消耗

符号	参数	条件	最大值 ⁽¹⁾	单位
			$T_A=105^\circ\text{C}$, $V_{DD}=3.6\text{V}$	
I_{DD}	停机模式下的供应电流	调压器处于运行模式，低速和高速内部 RC 振荡器和高速振荡器处于关闭状态 (没有独立看门狗)	94.19	μA
		调压器处于低功耗模式，低速和高速内部 RC 振荡器和高速振荡器处于关闭状态 (没有独立看门狗)	79.18	
	待机模式下的供应电流	低速内部 RC 振荡器和独立看门狗处于开启状态	17	
		低速内部 RC 振荡器处于开启状态,独立看门狗处于关闭状态	16.82	
		低速内部 RC 振荡器和独立看门狗处于关闭状态，低速振荡器和 RTC 处于关闭状态	15.89	
	I_{DD_VBAT}	备份区域的供应电流	低速振荡器和 RTC 处于开启状态	

1. 由综合评估得出，不在生产中测试。

典型电流消耗

微控制器处于下列条件：

- 设置所有的 I/O 引脚都处于为输入模式，并连接到同一个电源上， V_{DD} 或 V_{SS} (无负载)。关闭所有的外设，除非特别说明。
- 调整闪存的访问时间(0~24MHz—0 个等待周期，24~48MHz—1 个等待周期，48~72MHz—2 个等待周期，96MHz—3 个等待周期)。
- 开启指令预取功能(提示：设置必须在时钟设置和总线分频前进行)。

当开启外设时： $f_{PCLK1} = f_{HCLK}/2$ ， $f_{PCLK2} = f_{HCLK}$ 。

表22 运行模式下的典型电流消耗，数据处理代码从内部闪存中运行

符号	参数	f _{HCLK}	典型值 ⁽¹⁾		单位
			T _A =25°C, V _{DD} =3.3V		
			外部时钟 ⁽²⁾ , 使能所有外设	外部时钟 ⁽²⁾ , 关闭所有外设	
I _{DD}	运行模式下的 供应电流	96 MHz	30.94	19.37	mA
		72MHz	25.47	17.22	
		48MHz	19.35	14.08	
		36MHz	14.95	10.67	
		24MHz	11.17	8.32	
		16MHz	7.72	6.01	
		8MHz	4.25	3.28	

1. 由综合评估得出，不在生产中测试。
2. 外部时钟为 8MHz，当 f_{HCLK}>8MHz 时，开启 PLL。

表23 运行模式下的典型电流消耗，数据处理代码从内部 RAM 中运行

符号	参数	f _{HCLK}	典型值 ⁽¹⁾		单位
			T _A =25°C, V _{DD} =3.3V		
			外部时钟 ⁽²⁾ , 使能所有外设	外部时钟 ⁽²⁾ , 关闭所有外设	
I _{DD}	运行模式下的 供应电流	96 MHz	27.53	16.42	mA
		72MHz	20.78	12.51	
		48MHz	14.43	8.74	
		36MHz	11.02	6.61	
		24MHz	7.65	4.68	
		16MHz	5.36	3.37	
		8MHz	3.08	3.10	

1. 由综合评估得出，不在生产中测试。
2. 外部时钟为 8MHz，当 f_{HCLK}>8MHz 时，开启 PLL。

表24 睡眠模式下的典型电流消耗，代码从 Flash 或 RAM 中运行

符号	参数	f _{HCLK}	典型值 ⁽¹⁾		单位
			T _A =25°C, V _{DD} =3.3V		
			外部时钟 ⁽²⁾ , 使能所有外设	外部时钟 ⁽²⁾ , 关闭所有外设	
I _{DD}	睡眠模式下的 供应电流	96 MHz	17.18	5.16	mA
		72MHz	13.03	3.92	
		48MHz	9.11	2.88	
		36MHz	7.06	2.36	
		24MHz	5.01	1.85	
		16MHz	3.67	1.52	
		8MHz	2.25	1.19	

1. 由综合评估得出，不在生产中测试。
2. 外部时钟为 8MHz，当 f_{HCLK}>8MHz 时，开启 PLL。

表25 停机和待机模式下的典型电流消耗

符号	参数	条件	典型值 (T _A =25°C)			单位
			V _{DD} =2.4 V	V _{DD} =3.3 V	V _{DD} =3.6 V	
I _{DD}	停机模式下的 供应电流	调压器处于运行模式，低速和高速内部 RC 振荡器 和高速振荡器处于关闭状态(没有独立看门狗)	22.4	24.7	25.8	μA
		调压器处于低功耗模式，低速和高速内部 RC 振荡器 和高速振荡器处于关闭状态(没有独立看门狗)	10.3	12.5	13.6	
	待机模式下的 供应电流	低速内部 RC 振荡器和独立看门狗处于开启状态	3.6	6.2	7.6	
		低速内部 RC 振荡器处于开启状态,独立看门狗处 于关闭状态	3.4	6.0	7.3	
		低速内部 RC 振荡器和独立看门狗处于关闭状态, 低速振荡器和 RTC 处于关闭状态	2.8	5.1	6.3	
	I _{DD_VBAT}	备份区域的 供应电流	低速振荡器和 RTC 处于开启状态	1.2	1.5	

1. 由综合评估得出，不在生产中测试。

5.3.4 外部时钟源特性

晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSECLK)可以使用一个 4~16 MHz 的晶体/陶瓷谐振器产生。下表给出了评估的

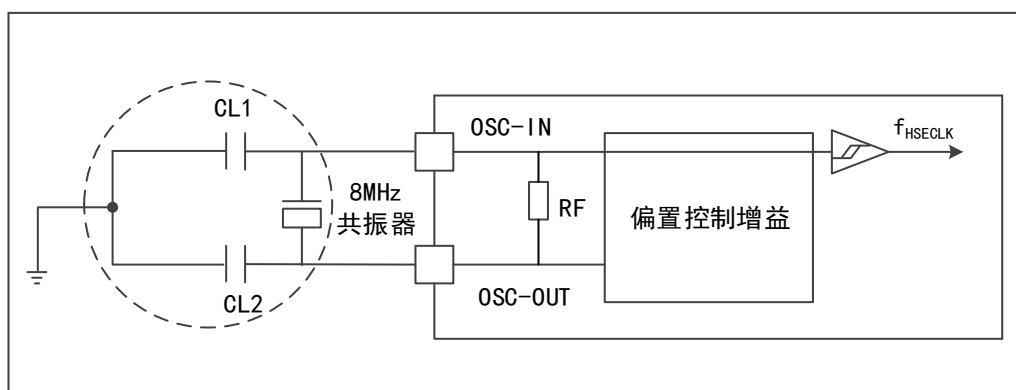
外部器件情况在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小失真和启动的稳定时间。晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表26 4~16MHz 的 HSECLK 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	8	16	MHz
R_F	反馈电阻	-	-	300	-	k Ω
C_{L1} & C_{L2} ⁽³⁾	建议的负载电容与对应的晶体串行阻抗(R_S) ⁽⁴⁾	$R_S = 30k\Omega$	-	30	-	pF
i_2	HSECLK 驱动电流	$V_{DD}=3.3V, V_{IN}=V_{SS}$ 30pF 负载	-	-	1.1	mA
g_m	振荡器的跨导	启动	6.17	-	-	mA/V
$t_{SU(HSECLK)}$ ⁽⁵⁾	启动时间	V_{DD} 是稳定的	-	1.33	-	ms

1. 谐振器的特性参数来自晶体/陶瓷谐振器制造商。
2. 上述是综合评估得出。
3. 推荐 C_{L1} 和 C_{L2} ，采用高质量的、为高频应用而设计的(典型值为)5pF~25pF 之间的瓷介电容器，选择符合晶体或谐振器要求的电容值。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常给出的负载电容参数是以 C_{L1} 和 C_{L2} 的串行组合值。在选择 C_{L1} 和 C_{L2} 时，要考虑 PCB 和 MCU 引脚的容抗 (通常电容按 10pF 估计)。
4. 潮湿环境下使用时应使用相对低的 R_F 电阻值。然而，如果 MCU 是应用在恶劣的潮湿环境里，设计时需要注意防护。
5. $t_{SU(HSECLK)}$ 是启动时间，定义从软件使能 HSECLK 开始，直至得到稳定的 8MHz 振荡这段时间。这个数值是使用标准的晶体谐振器测量得到的，它会因晶体制造商的不同而变化较大。

图11 使用 8MHz 晶体的典型应用



晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSECLK)可以使用一个 32.768 kHz 的晶体/陶瓷谐振器产生。下表给出了评估的外部器件情况在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小失真和启动的稳定时间。晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商

表27 LSECLK 振荡器特性($f_{LSECLK}=32.768\text{KHz}$)⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单元
f_{OSC_IN}	振荡器频率	-	-	32.768	-	KHz
R_F	反馈电阻	-	-	7	-	MΩ
C_{L1} & C_{L2} ⁽²⁾	建议的负载电容与对应的晶体串行阻抗(R_S) ⁽³⁾	$R_S = 30\text{k}\Omega$	-	-	15	pF
i_2	LSECLK 驱动电流	$V_{DD}=3.3\text{V}, V_{IN}=V_{SS}$	-	-	1.4	μA
$t_{SU(LSECLK)}$ ⁽⁴⁾	启动时间	V_{DD} 是稳定的	-	2.75	-	s

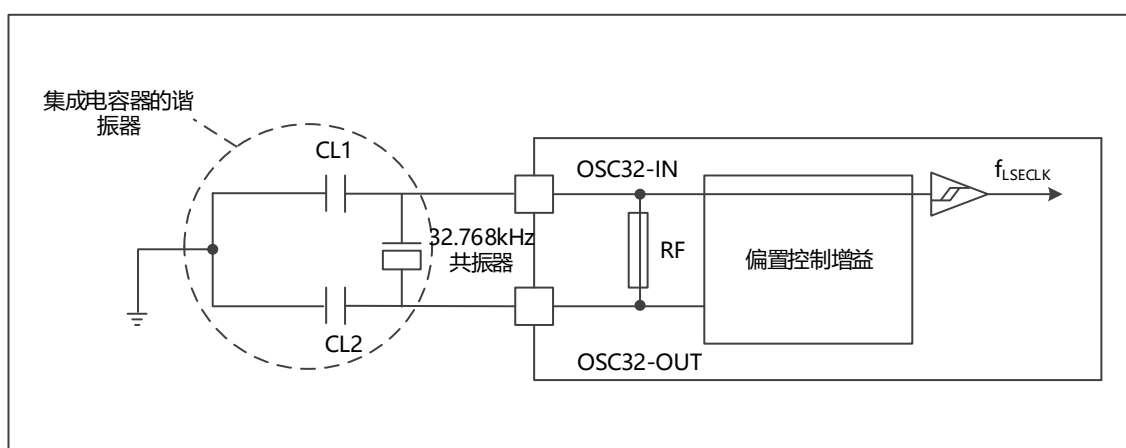
1. 此表是评估表。
2. 参见提示和警告段落。
3. 较小 R_S 值的高质量振荡器(如 MSIV-TIN32.768kHz)可以优化电流消耗。详情请咨询晶体制造商。
4. $t_{SU(HSECLK)}$ 是启动时间,定义从软件使能 LSECLK 开始,直至得到稳定的 32.768kHz 振荡这段时间。这个数值是使用标准的晶体谐振器测量得到的,它会因晶体制造商的不同而变化较大。

提示: 建议 C_{L1} 和 C_{L2} , 选用高质量的 5pF~15pF 之间的瓷介电容器, 选择符合晶体或谐振器的要求电容值。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常给出负载电容的参数是 C_{L1} 和 C_{L2} 的串行组合值。负载电容 C_L 的计算公式: $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$, 其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容, 它通常介于 2pF 至 7pF 之间。

警告: 建议使用负载电容 $C_L \leq 7\text{pF}$ 的谐振器, 拒绝使用负载电容为 12.5pF 的谐振器。

例如: 如果选择了一个负载电容 $C_L = 6\text{pF}$ 的谐振器并且 $C_{stray} = 2\text{pF}$, 则 $C_{L1} = C_{L2} = 8\text{pF}$

图12 使用 32.768kHz 的典型应用



5.3.5 内部时钟源特性 高速内部 (HSICLK) 振荡器测试

表28 HSICLK 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位	
f_{HSICLK}	频率	-	-	8	-	MHz	
ACC_{HSICLK}	HSICLK 振荡器的精度	工厂校准	$T_A=25^{\circ}C$ $V_{DD} = 3.3V$	1	-	1	%
			$T_A=-40\sim 105^{\circ}C$ $V_{DD} = 2-3.6V$	-2.63	-	3.56	%
			$T_A = 25^{\circ}C$ $V_{DD} = 2-3.6V$	-0.88	-	3.28	%
		用户校准		-1	-	1	%
$t_{SU(HSICLK)}$	HSICLK 振荡器启动时间	$V_{DD} = 3.3V$ $T_A = -40\sim 105^{\circ}C$	1.73	-	2.12	μs	
$I_{DD(HSICLK)}$	HSICLK 振荡器功耗	$V_{DD} = 3.6V$ $T_A = -40\sim 105^{\circ}C$	-	-	-	μA	

1. 由综合评估得出，不在生产中测试。

低速内部 (LSICLK) 振荡器测试

表29 LSICLK 振荡器特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
f_{LSICLK}	频率 ($V_{DD} = 2-3.6V$, $T_A = -40\sim 105^{\circ}C$)	30	40	50	KHz
$t_{SU(LSICLK)}$	LSICLK 振荡器启动时间 ($V_{DD} = 3.3V$, $T_A = -40\sim 105^{\circ}C$)	-	-	39	μs
$I_{DD(LSICLK)}$	LSICLK 振荡器功耗 ($V_{DD} = 3.6V$, $T_A = -40\sim 105^{\circ}C$)	-	1	1.5	μA

1. 由综合评估得出，不在生产中测试。

从低功耗模式唤醒的时间

表中的时间值都是由一个 8MHz 的 HSICLK 振荡器作唤醒时钟源，并在其唤醒阶段测得的。唤醒时使用的时钟源由当前的工作模式确定：

- 停机或待机模式：时钟源是 RC 振荡器
- 睡眠模式：时钟源是进入睡眠模式时所设置的时钟

表30 低功耗模式的唤醒时间

符号	参数	典型值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	1.2	μs
$t_{WUSTOP}^{(1)}$	从停机模式唤醒(调压器处于运行模)	3.6	μs

符号	参数	典型值	单位
	从停机模式唤醒(调压器为低功耗模式)	6	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	32	μs

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.6 PLL 特性

表31 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值 ⁽¹⁾	
f_{PLL_IN}	PLL 输入时钟 ⁽²⁾	2	8	25	MHz
	PLL 输入时钟占空比	40	-	60	%
f_{PLL_OUT}	PLL 倍频输出时钟 ($V_{DD} = 3.3V$, $T_A = -40\sim 105^\circ C$)	16	-	96	MHz
t_{LOCK}	PLL 锁相时间	-	-	130	μs

1. 由综合评估得出, 不在生产中测试。

2. 注意使用合适的倍频系数, 从而使 PLL 输入时钟频率与由 f_{PLL_OUT} 确定的范围相一致。

5.3.7 存储器特性

FLASH 存储器

表32 FLASH 存储器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	16 位编程时间	$T_A = -40\sim 105^\circ C$ $V_{DD}=2.4\sim 3.6V$	17.8	18.6	19.5	μs
t_{ERASE}	页(1K 字节)擦除时间	$T_A = -40\sim 105^\circ C$ $V_{DD}=2.4\sim 3.6V$	1.34	1.42	1.51	ms
t_{ME}	整片擦除时间	$T_A = 25^\circ C$ $V_{DD}=3.3V$	-	-	6.5	ms
V_{prog}	编程电压	$T_A = -40\sim 105^\circ C$	2.0	3.3	3.6	V

1. 由综合评估得出, 不在生产中测试。

表33 FLASH 存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N _{END}	擦写循环次数	T _A = -40~85℃	100	-	-	千次循环
t _{RET}	数据保存期限	T _A = 55℃	20	-	-	年

1. 由综合评估得出，不在生产中测试。

5.3.8 I/O 端口特性

输入输出静态特性

表34 I/O 静态特性(测试条件 V_{CC}=2.7-3.6V, T_A = -40~105℃)

符号	参数	条件	最小值	典型	最大值	单位
V _{IL}	输入低电平电压	TTL 端口	-0.5	-	0.8	V
V _{IH}	标准 I/O 脚, 输入高电平电压		2	-	V _{DD} +0.5	
	FT I/O 脚 ⁽¹⁾ , 输入高电平电压		2	-	5.5	
V _{IL}	输入低电平电压	CMOS 端口	-0.5	-	0.3V _{DD}	V
V _{IH}	输入高电平电压		0.7V _{DD}	-	V _{DD} +0.5	
V _{hys}	标准 I/O 脚施密特触发器电压迟滞 ⁽²⁾	-	150	-	-	mV
	5V 容忍 I/O 脚施密特触发器电压迟滞 ⁽²⁾		5%V _{DD}	-	-	mV
I _{lkg}	输入漏电流 ⁽³⁾	V _{SS} ≤ V _{IN} ≤ V _{DD} 标准 I/O 端口	-	-	±1	μA
		V _{IN} = 5V, 5V 容忍端口	-	-	1	
R _{PU}	弱上拉等效电阻 ⁽⁴⁾	V _{IN} = V _{SS}	32	40	49	kΩ
R _{PD}	弱下拉等效电阻 ⁽⁴⁾	V _{IN} = V _{DD}	32	40	49	kΩ
C _{IO}	I/O 引脚的电容	-	-	5	-	pF

1. FT = 5V 容忍, 要想承受高于 V_{DD}+0.3 的电压, 内部的上拉或下拉电阻必须关断。
2. 施密特触发器开关电平的迟滞电压由综合评估得出, 不在生产中测试。
3. 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。
4. 上下拉电阻是设计为一个真正的电阻串联一个可控的 PMOS/NMOS 开关实现。

输出驱动电流测试

GPIO(通用输入/输出端口)正常支持±8mA 电流, 最多支持±20mA 电流(V_{OL}/V_{OH} 降低标准)。在应用中, 要限制能够驱动电流的 I/O 的数目, 以保证消耗的电流不能超过绝对最大额定值:

- 所有 I/O 输出的电流总和，加上 MCU 的最大运行电流，不能超过绝对最大额定值 I_{VDD} 。
- 所有 I/O 吸收的电流总和，加上 MCU 最大运行电流，不能超过绝对最大额定值 I_{VSS} 。

输出电压测试

表35 输出电压特性(测试条件 $V_{CC}=2.7-3.6V, T_A = -40\sim 105^\circ C$)

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平，当 8 个引脚同时吸收电流	TTL 端口， $I_{IO} = +8mA$ $2.7V < V_{DD} < 3.6V$	-	0.4	V
$V_{OH}^{(2)}$	输出高电平，当 8 个引脚同时输出电流		$V_{DD}-0.4$	-	
$V_{OL}^{(1)}$	输出低电平，当 8 个引脚同时吸收电流	CMOS 端口， $I_{IO} = +8mA$ $2.7V < V_{DD} < 3.6V$	-	0.4	V
$V_{OH}^{(2)}$	输出高电平，当 8 个引脚同时输出电流		2.4	-	
$V_{OL}^{(1)(3)}$	输出低电平，当 8 个引脚同时吸收电流	$I_{IO} = +20mA$ $2.7V < V_{DD} < 3.6V$	-	1.3	V
$V_{OH}^{(2)(3)}$	输出高电平，当 8 个引脚同时输出电流		$V_{DD}-1.3^{(4)}$	-	

1. I/O 吸收的电流 I_{IO} 必须始终遵循绝对最大额定值要求，同时 I_{IO} 的总和(所有 I/O 和控制脚)不能超过 I_{VSS} 。
2. I/O 输出的电流 I_{IO} 必须始终遵循绝对最大额定值要求，同时 I_{IO} 的总和(所有 I/O 和控制脚)不能超过 I_{VDD} 。
3. 由综合评估得出，不在生产中测试。
4. PC13-15 的驱动能力不包含在该项中，PC 其他端口规格在电压范围为 $3.3V < V_{DD} < 3.6V$ 。

输入输出交流特性($T_A = 25^\circ C$)

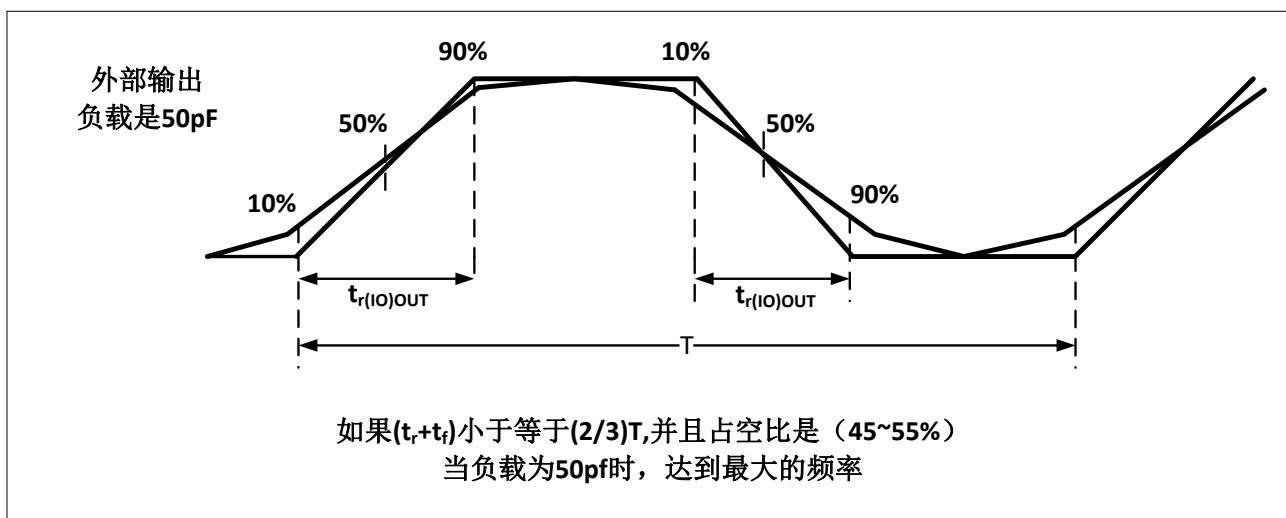
表36 输入输出交流特性

MODEx[1:0] 的配置	符号	参数	条件	最小值	最大值	单位
10 (2MHz)	$f_{max(I/O)out}$	最大频率 ⁽²⁾	$C_L = 50 pF, V_{DD} = 2\sim 3.6V$	-	2	MHz
	$t_{r(I/O)out}$	输出高至低电平的下降时间	$C_L = 50 pF, V_{DD} = 2\sim 3.6V$	-	50 ⁽³⁾	ns
	$t_{f(I/O)out}$	输出低至高电平的上升时间		-	50 ⁽³⁾	
01 (10MHz)	$f_{max(I/O)out}$	最大频率 ⁽²⁾	$C_L = 50 pF, V_{DD} = 2\sim 3.6V$	-	10	MHz
	$t_{r(I/O)out}$	输出高至低电平的下降时间	$C_L = 50 pF, V_{DD} = 2\sim 3.6V$	-	24 ⁽³⁾	ns
	$t_{f(I/O)out}$	输出低至高电平的上升时间		-	23	
11 (50MHz)	$f_{max(I/O)out}$	最大频率 ⁽²⁾	$C_L = 30 pF, V_{DD} = 2.7\sim 3.6V$	-	48	MHz
	$t_{r(I/O)out}$	输出高至低电平的下降时间	$C_L = 30 pF, V_{DD} = 2.7\sim 3.6V$	-	7 ⁽³⁾	ns

MODEx[1:0] 的配置	符号	参数	条件	最小值	最大值	单位
	$t_{r(I/O)out}$	输出低至高电平的上升时间		-	5 ⁽³⁾	

1. I/O 端口的速度可以通过 MODEx[1:0]配置。
2. 最大频率在下图中定义。
3. 由设计保证，不在生产中测试。

图13 输入输出交流特性定义



5.3.9 NRST 引脚特性

NRST 引脚输入驱动采用 CMOS 工艺，它连接了一个永久性上拉电阻， R_{PU} 。

表37 NRST 引脚特性（测试条件 $V_{CC}=3.3V, T_A = -40\sim 105^\circ C$ ）

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压	-	-0.5	-	0.8	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压	-	2	-	$V_{DD}+0.5$	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	-	-	300	-	mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$	32	40	49	k Ω

1. 由设计保证，不在生产中测试。
2. 上拉电阻由一个纯电阻串联一个可关断的 PMOS/NMOS 管实现的，这个 PMOS/NMOS 开关的电阻很小。

5.3.10 通信接口

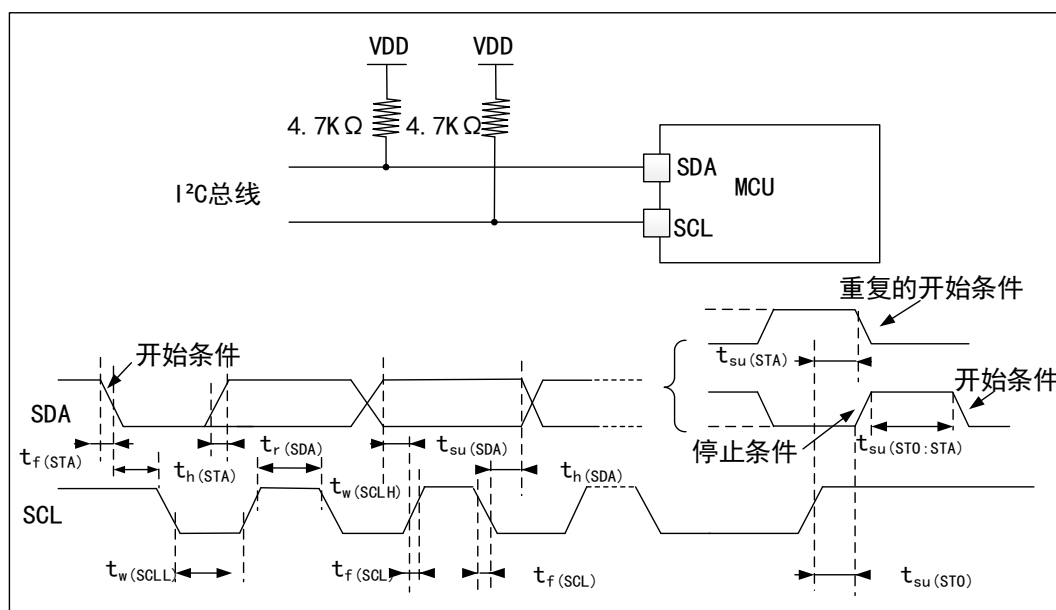
I2C 接口特性

表38 I2C 接口特性（测试条件 $V_{DD} = 3.3V$, $T_A = 25^\circ C$ ）

符号	参数	标准 I2C ⁽¹⁾		快速 I2C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCLL)}$	SCL 时钟低时间	5.05	-	1.72	-	μs
$t_{w(SCLH)}$	SCL 时钟高时间	4.94	-	0.77	-	
$t_{su(SDA)}$	SDA 建立时间	4532	-	1216	-	ns
$t_h(SDA)$	SDA 数据保持时间	0 ⁽³⁾	503	0 ⁽⁴⁾	459 ⁽³⁾	
$t_r(SDA)$ $t_r(SCL)$	SDA 和 SCL 上升时间	-	197	-	190	
$t_f(SDA)$ $t_f(SCL)$	SDA 和 SCL 下降时间	-	8	-	9.8	
$t_h(STA)$	开始条件保持时间	4.97	-	0.82	-	μs
$t_{su(STA)}$	重复的开始条件建立时间	4.93	-	0.81	-	
$t_{su(STO)}$	停止条件建立时间	4.91	-	0.82	-	μs
$t_w(STO:STA)$	停止条件至开始条件的时间(总线空闲)	5.27	-	4.02	-	μs

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率， f_{PCLK1} 必须大于 2MHz。为达到快速模式 I2C 的最大频率， f_{PCLK1} 必须大于 4MHz。
3. 如果不想拉长 SCL 信号的低电平时间，则起始条件的最大保持时间必须满足。
4. 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号至少有 300ns 的保持时间。

图14 总线交流波形和测量电路⁽¹⁾



1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

SPI 接口特性

表39 SPI 特性($V_{DD} = 3.3V$, $T_A = 25^\circ C$)

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_c(SCK)$	SPI 时钟频率	主模式	-	18	MHz
		从模式	-	18	
$t_r(SCK)$ $t_f(SCK)$	SPI 时钟上升和下降时间	负载电容: $C = 30pF$	-	7.1	ns
$t_{su(NSS)}^{(2)}$	NSS 建立时间	从模式 $f_{PCLK} = 36MHz$	111.4	-	ns
$t_{h(NSS)}^{(2)}$	NSS 保持时间	从模式 $f_{PCLK} = 36MHz$	55.6	-	ns
$t_w(SCKH)^{(2)}$ $t_w(SCKL)^{(2)}$	SCK 高和低的时间	主模式, $f_{PCLK} = 36MHz$, 预分频系数=4	55.1	55.9	ns
$t_{su(MI)}^{(2)}$ $t_{su(SI)}^{(2)}$	数据输入建立时间	主模式	10.9	-	ns
		从模式	21.3	-	
$t_{h(MI)}^{(2)}$ $t_{h(SI)}^{(2)}$	数据输入保持时间	主模式	35	-	ns
		从模式	25	-	
$t_{a(SO)}^{(2)(3)}$	数据输出访问时间	从模式, $f_{PCLK} = 20MHz$	6.5	8.7	ns
$t_{dis(SO)}^{(2)(4)}$	数据输出禁止时间	从模式	12	-	ns

符号	参数	条件	最小值	最大值	单位
$t_{v(SO)}^{(2)(1)}$	数据输出有效时间	从模式(使能边沿之后)	-	19.3	ns
$t_{v(MO)}^{(2)(1)}$	数据输出有效时间	主模式(使能边沿之后)	-	7.6	ns
$t_{h(SO)}^{(2)}$	数据输出保持时间	从模式(使能边沿之后)	10.7	-	ns
$t_{h(MO)}^{(2)}$		主模式(使能边沿之后)	2	-	

1. 重映射的 SPI1 特性需要进一步确定。
2. 由推算得出，不在生产中测试。
3. 最小值表示驱动输出的最小时间，最大值表示使数据有效的最大时间。
4. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

图15 SPI 时序图 — 从模式和 CPHA=0

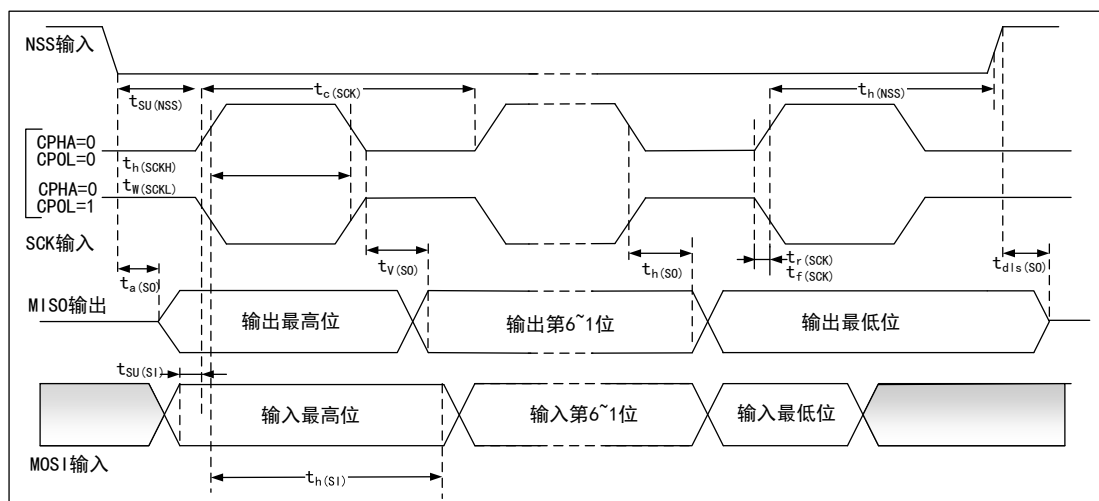
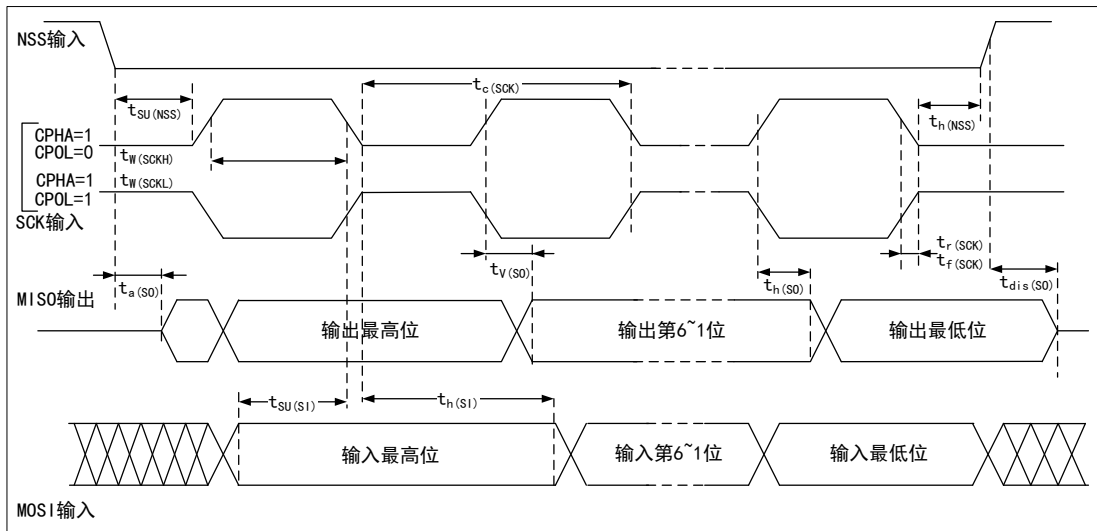
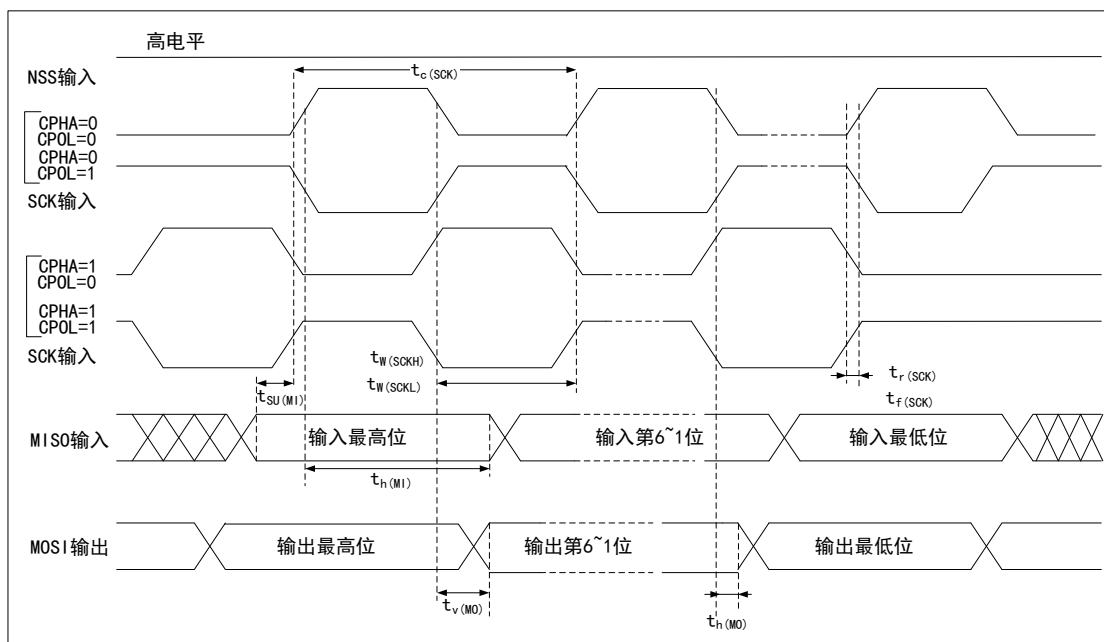


图16 SPI 时序图 — 从模式和 CPHA=1⁽¹⁾



1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

图17 SPI 时序图 — 主模式⁽¹⁾



1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

USB D 接口特性

表40 USB D 直流特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
输入电平					
V_{DD}	USB D 操作电压 ⁽²⁾	-	3.0 ⁽³⁾	3.6	V
V_{DI} ⁽⁴⁾	差分输入灵敏度	I (USBDP, USBDM)	0.2	-	V
V_{CM} ⁽⁴⁾	差分共模范围	包含 V_{DI} 范围	0.8	2.5	
V_{SE} ⁽⁴⁾	单端接收器阈值	-	1.3	2.0	
输出电平					
V_{OL}	静态输出低电平	1.5k Ω 的 R_L 接至 3.6V ⁽⁵⁾	-	0.3	V
V_{OH}	静态输出高电平	15k Ω 的 R_L 接至 V_{SS} ⁽⁵⁾	2.8	3.6	

1. 所有的电压测量都是以设备端地线为准。
2. 为了与 USB2.0 全速电气规范兼容，USBDP (D+) 引脚必须通过一个 1.5k Ω 电阻接至 3.0~3.6V 电压。
3. APM32F103xx 的正确 USB D 功能可以在 2.7V 得到保证，而不是在 2.7~3.0V 电压范围下降级的电气特征。
4. 有综合评估保证，不在生产中测试。
5. R_L 是连接到 USB D 驱动器上的负载。

图18 USB D 时序：数据信号上升和下降的时间定义

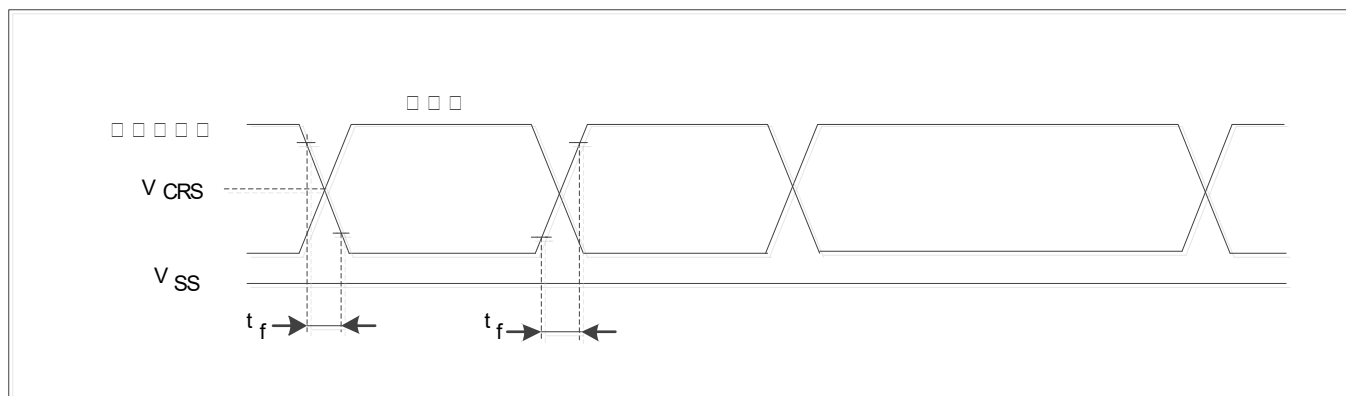


表41 USB D 全速电气特性($V_{DD} = 3.0-3.6V$, $T_A = 25^{\circ}C$)

符号	参数	条件	最小值	最大值	单位
t_r	上升时间	$C_L = 50pF$	4.6	9.3	ns
t_f	下降时间	$C_L = 50pF$	5.2	10.9	ns
$t_{r/m}$	上升下降时间匹配	t_r / t_f	71	97	%
V_{CRS}	输出信号交叉电压	-	1.60	2.17	V

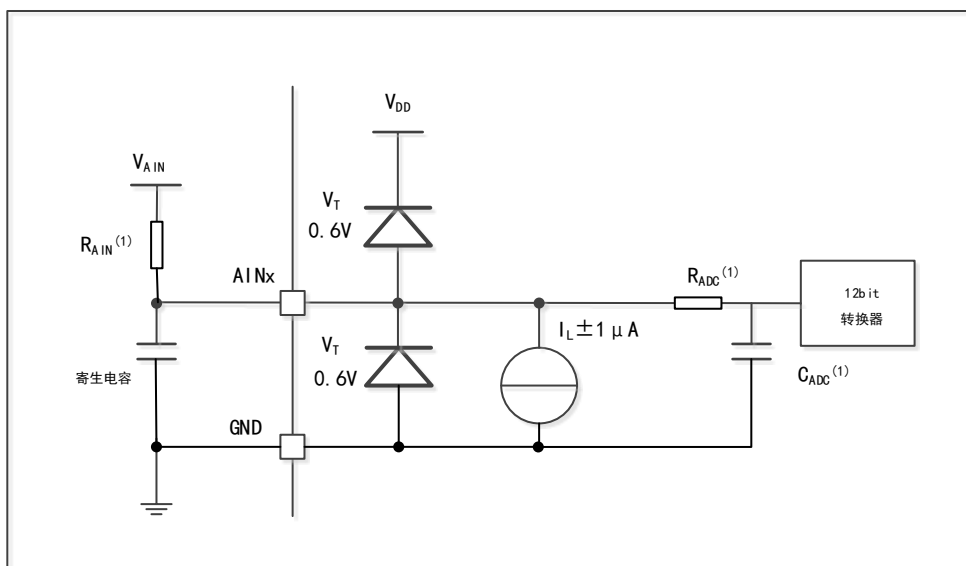
5.3.11 12 位 ADC 特性

表42 ADC 特性($V_{DD} = 2.4-3.6V$, $T_A = -40\sim 105^{\circ}C$)

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	-	2.4	-	3.6	V
V_{REF+}	正参考电压	-	2.4	-	V_{DDA}	V
I_{VREF}	在 V_{REF} 输入脚上的电流	-	-	260	484	μA
f_{ADC}	ADC 时钟频率	-	0.6	-	14	MHz
f_s	采样速率	-	0.05	-	1	MHz
V_{AIN}	转换电压范围	-	0	-	V_{REF+}	V
t_{CAL}	校准时间	$f_{ADC} = 14MHz$	5.9			μs
		-	83			$1/f_{ADC}$
R_{ADC}	采样电阻	-	1			k Ω
C_{ADC}	采样保持电容	-	12			Pf
t_s	采样时间	$f_{ADC} = 14MHz$	0.107	-	17.1	μs
		-	1.5	-	239.5	$1/f_{ADC}$
t_{CONV}	总的转换时间(包括采样时间)	$f_{ADC} = 14MHz$	1	-	18	μs
		-	14~252(采样 $t_s +$ 逐次逼近 12.5)			$1/f_{ADC}$

1. 由综合评估保证，不在生产中测试
2. $C_{parasitic}$ 表示 PCB(与焊接和 PCB 布局质量相关)与焊盘上的寄生电容(大约 7PF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

图19 ADC 的典型应用



外部输入阻抗的最大值计算公式如下：

公式 1: 最大 R_{AIN} 公式

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

其中 $f_{ADC}=14\text{MHz}$, $C_{ADC}=12\text{PF}$ (表 42), $R_{ADC}=1\text{k}\Omega$ (表 42), 对于 0.25LSB 采样误差精度要求的条件下, T_s 与 R_{AIN} 的关系如下表:

表43 $f_{ADC}=14\text{MHz}$ ⁽¹⁾ 时的最大 R_{AIN}

T_s (周期)	t_s (μs)	最大值 R_{AIN} ($\text{k}\Omega$)
1.5	0.11	1.2
7.5	0.54	10
13.5	0.96	19
28.5	2.04	41
41.5	2.96	60
55.5	3.96	80
71.5	5.11	104
239.5	17.1	350

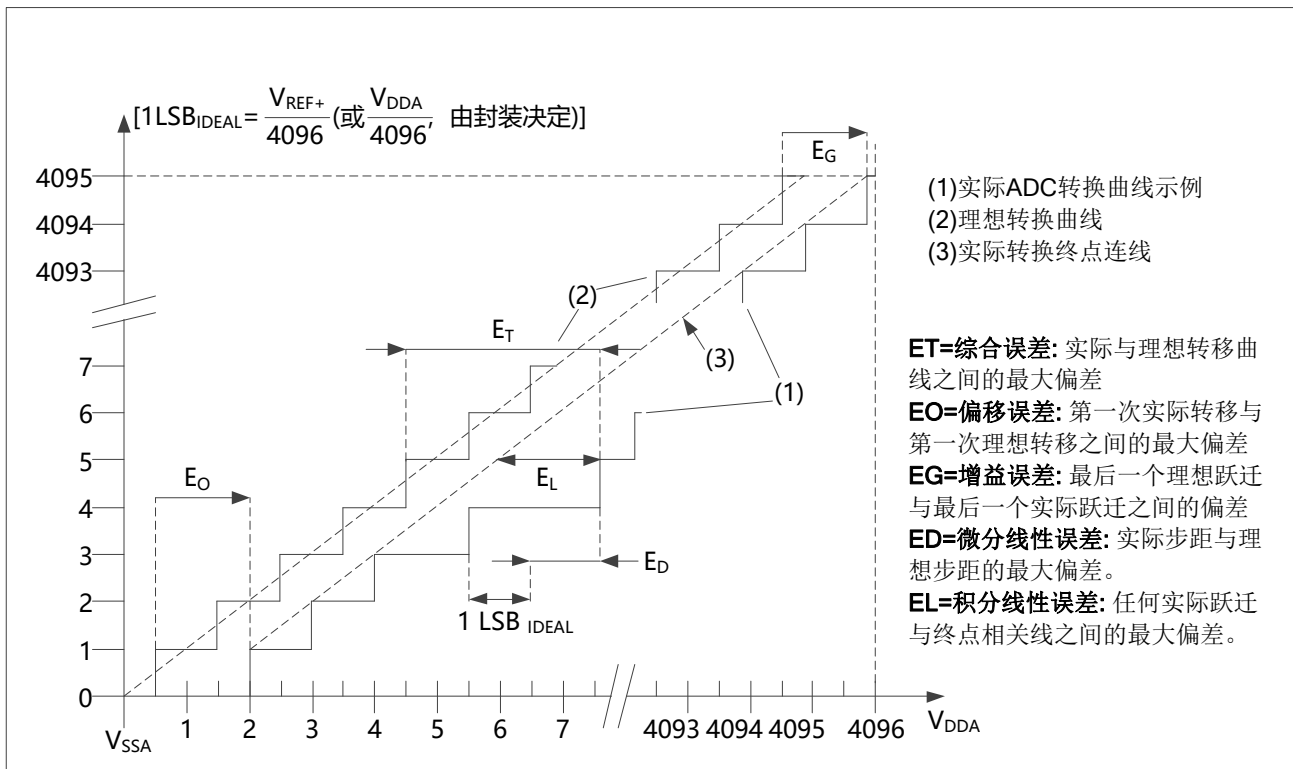
1. 由设计保证, 不在生产中测试。

表44 ADC 精度 ⁽¹⁾ ⁽²⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	综合误差	$f_{PCLK2}=56\text{MHz},$ $f_{ADC}=14\text{MHz}, R_{AIN}<10\text{K}\Omega,$ $V_{DDA}=2.4\sim 3.6\text{V}, T_A=-40\sim 105^\circ\text{C}$ 测量是在 ADC 校准之后进行的	± 2.5	± 5.5	LSB
Eo	偏移误差		± 2.1	± 3.5	
EG	增益误差		± 2.0	± 4	
ED	微分线性误差		± 1.5	± 2.5	
EL	积分线性误差		± 1.8	± 3	

1. 经过内部校准后测量得到 ADC 的直流精度数值。
2. 反向注入电流会明显影响 ADC 精度建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。
正向的注入电流，只要处于 5.3.8 中给出的 $I_{INJ(PIN)}$ 和 $\sum I_{INJ(PIN)}$ 范围之内，就不会影响 ADC 精度。
3. 是评估值。

图20 ADC 精度特性



5.3.12 温度传感器特性

表45 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
Avg_Slope(1)	平均斜率 ($V_{DD} = 3.3V$, $T_A = -40\sim 105^{\circ}C$)	4.1	4.2	4.5	mV/ $^{\circ}C$
V_{25}	在 $25^{\circ}C$ 时的电压 ($V_{DD} = 2.0\sim 3.6V$)	1.32	1.41	1.5	V
$t_{START}(2)$	建立时间	4	-	10	μs
$T_{S_temp}(2)(3)$	当读取温度时, ADC 采样时间	-	-	17.1	μs

1. 由特性分析保证, 不在生产中测试。
2. 由设计保证, 不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5.3.13 EMC 特性

敏感性测试在产品的综合评估时抽样进行测试。

电磁敏感性(EMS)

当运行一个通过 I/O 端口控制 2 个 LED 闪烁的简单应用时, 测试样品被 2 种电磁干扰直到 LED 闪烁指示的错误产生。这个测试符合 IEC 61000-4-4 标准。

表46 EMS 特性

符号	参数	条件	级别
V_{FESD}	施加到任一 IO 口, 导致功能错误的电压极限。	$V_{DD} = 3.3V$, $T_A = +25^{\circ}C$, $f_{HCLK} = 72MHz$ 。符合 IEC 61000-4-2	2B
V_{EFTB}	在 V_{DD} 和 V_{SS} 上通过 100pF 电容施加的、导致功能错误的瞬变脉冲群电压极限	$V_{DD} = 3.3V$, $T_A = +25^{\circ}C$, $f_{HCLK} = 72MHz$ 。符合 IEC 61000-4-4	2B

电磁干扰(EMI)

当运行一个通过 I/O 端口控制 2 个 LED 闪烁的简单应用时，监测芯片发射的电磁场。这个发射测试符合 SAE J1752/3 标准，这个标准规定了测试板和引脚的负载。

表47 EMI 特性

符号	参数	条件	检测频段	最大值(f_{HSECLK}/f_{HCLK})		单位
				8/36MHz	8/96MHz	
S _{EMI}	峰值	V _{DD} = 3.3V, T _A = +25 °C, LQFP100 封装	30-230MHz	PASS	PASS	dB μ V
			130MHz-1GHz	PASS	PASS	

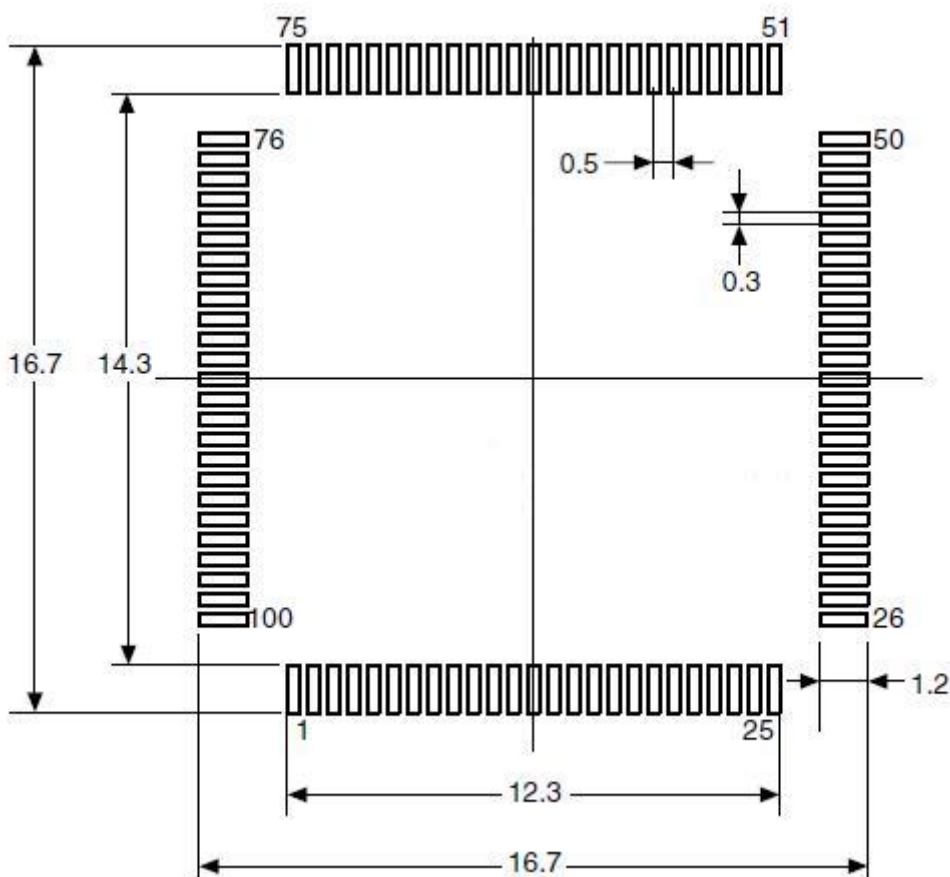
表48 LQFP100 封装数据

DIMENSION LIST(FOOTPRINT: 2.00)

S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.1±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	16.00±0.20	LEAD TIP TO TIP
5	D1	14.00±0.10	PKG LENGTH
6	E	16.00±0.20	LEAD TIP TO TIP
7	E1	14.00±0.10	PKG WDTN
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF	LEAD LENGTH
10	T	0.15	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0° ~7°	FOOT ANGLE
13	b	0.22±0.02	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H(REF.)	(12.00)	CUM. LEAD PITCH
17	aaa	0.2	PROFILE OF LEAD TIPS
18	bbb	0.2	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

1. 尺寸以毫米表示。

图22 LQFP100 - 100 引脚，14 x 14mm 焊接 Layout 建议



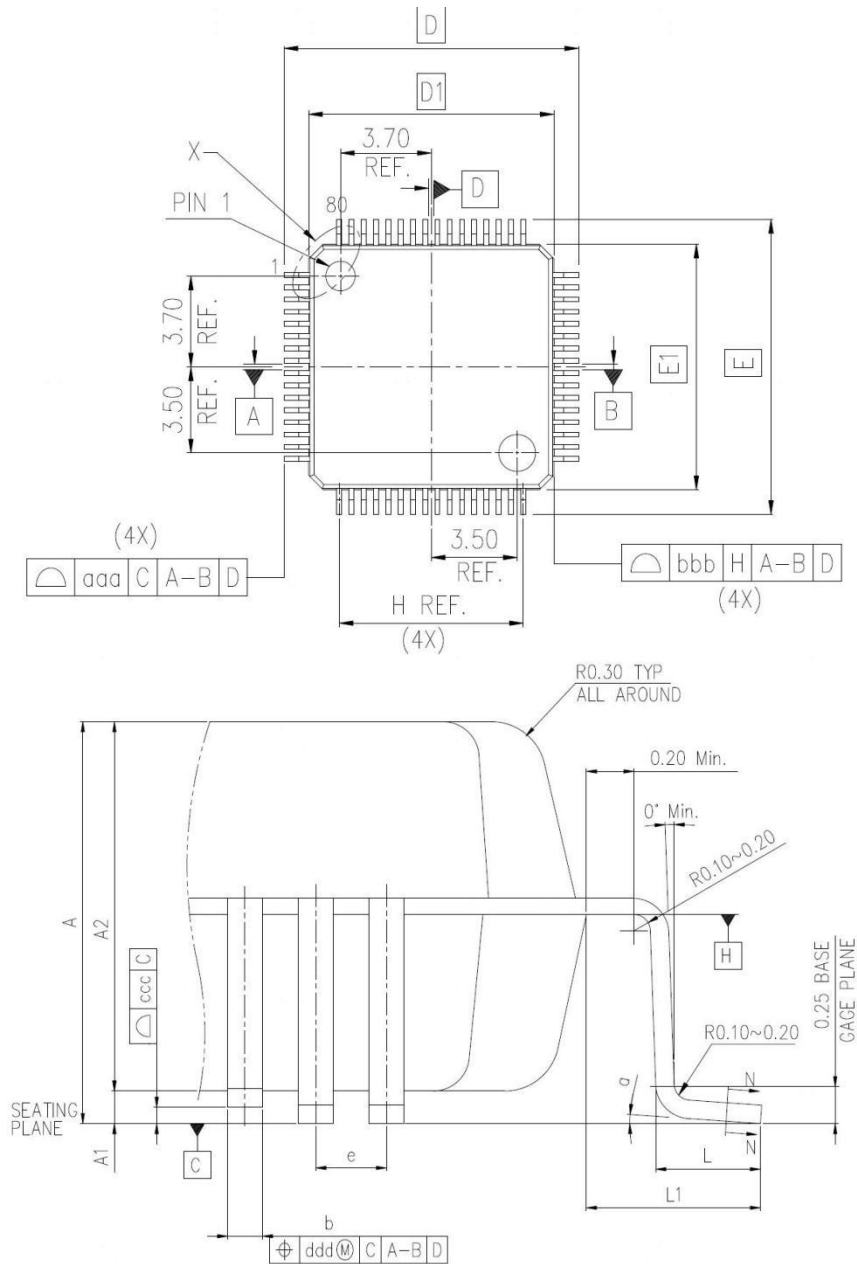
1. 尺寸以毫米表示。

图23 LQFP100 - 100 引脚，14 x 14mm 封装标识



6.2 LQFP64 封装图

图24 LQFP64 封装图



1. 图不是按照比例绘制。
2. 后背的焊盘内部没有联到 V_{SS} 或 V_{DD} 。
3. 在 LQFP 封装的底面有一个焊盘，应把它焊接在 PCB 上。
4. 所有的引脚都应该焊接在 PCB 上。

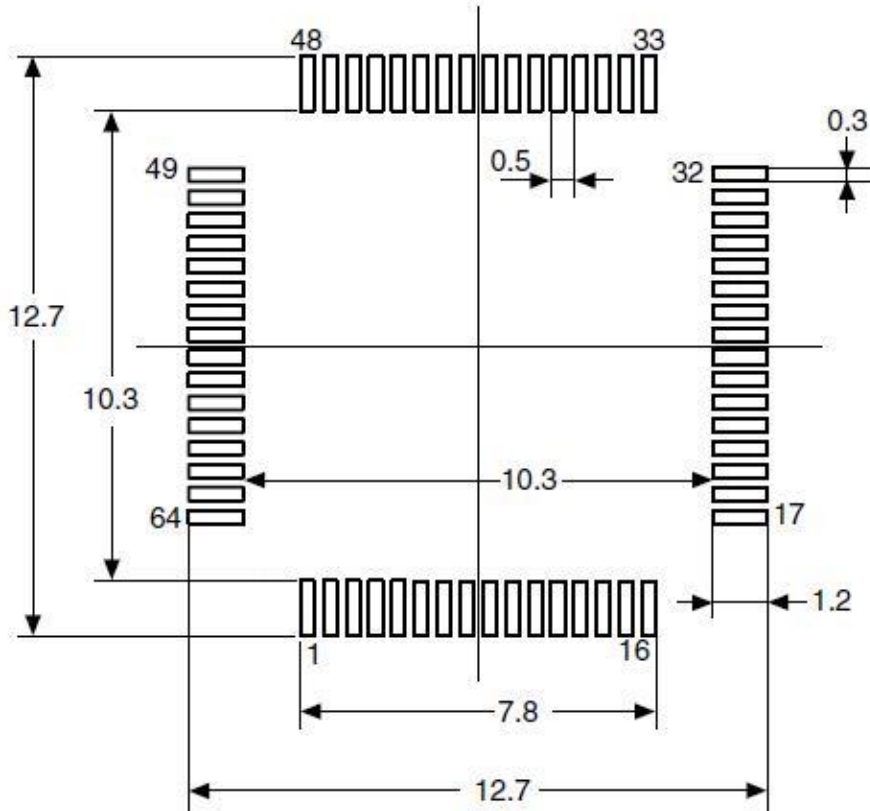
表49 LQFP64 封装数据

DIMENSION LIST(FOOTPRINT: 2.00)

S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX. 1.600	OVERALL HEIGHT
2	A1	0.100±0.050	STANDOFF
3	A2	1.400±0.050	PKG THICKNESS
4	D	12.000±0.200	LEAD TIP TO TIP
5	D1	10.000±0.100	PKG LENGTH
6	E	12.000±0.200	LEAD TIP TO TIP
7	E1	10.000±0.100	PKG WPTH
8	L	0.600±0.150	FOOT LENGTH
9	L1	1.000 REF	LEAD LENGTH
10	T	0.150	LEAD THICKNESS
11	T1	0.127±0.030	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.220±0.050	LEAD WIDTH
14	b1	0.200±0.030	LEAD BASE METAL WIDTH
15	e	0.500 BASE	LEAD PITCH
16	H(REF.)	(7.500)	CUM. LEAD PITCH
17	aaa	0.2	PROFILE OF LEAD TIPS
18	bbb	0.2	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

1. 尺寸以毫米表示。

图25 LQFP64 - 64 引脚，10 x 10mm 焊接 Layout 建议



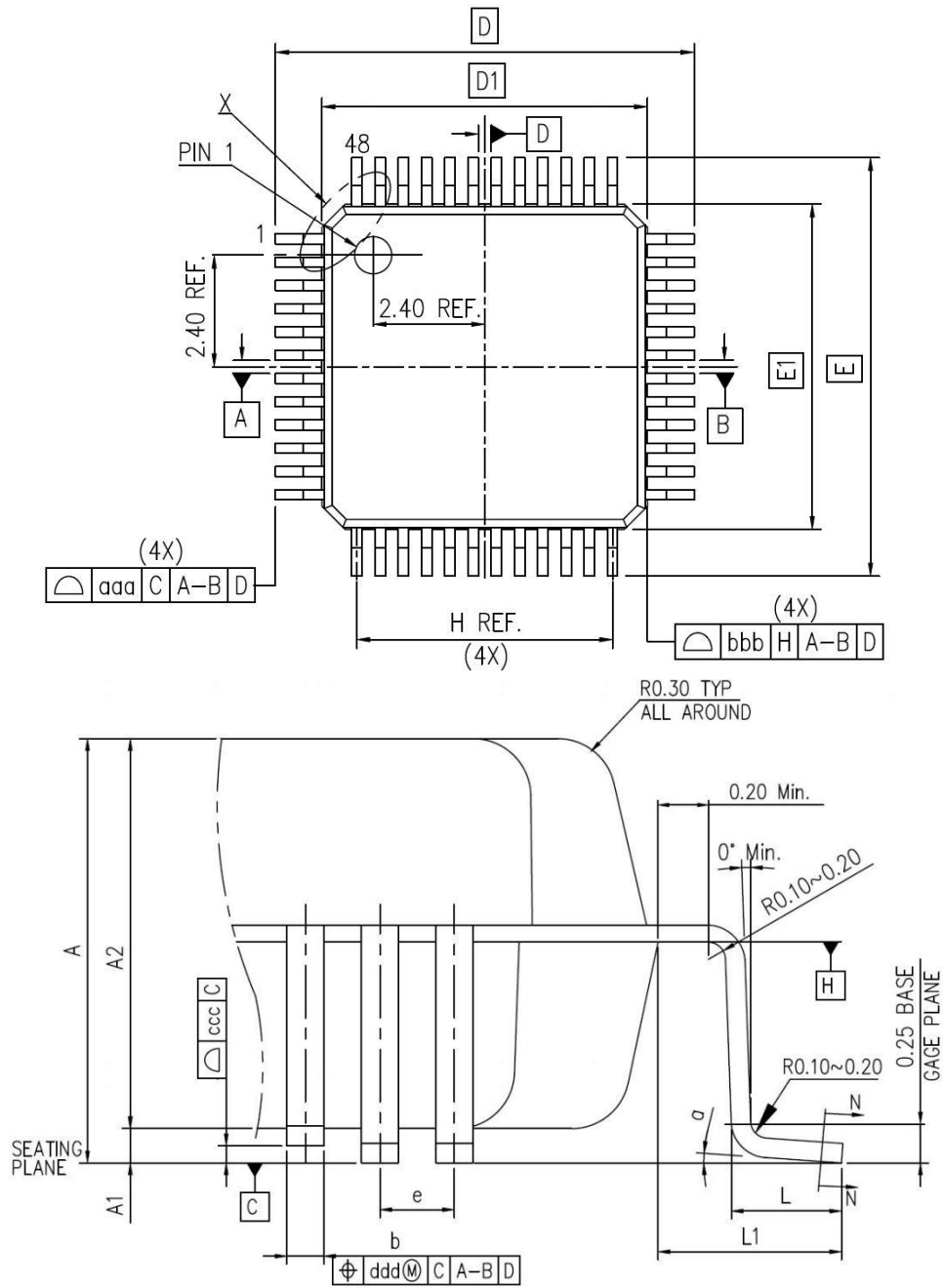
1. 尺寸以毫米表示。

图26 LQFP64 - 64 引脚，10 x 10mm 封装标识



6.3 LQFP48 封装图

图27 LQFP48 封装图



1. 图不是按照比例绘制。
2. 后背的焊盘内部没有联到 V_{SS} 或 V_{DD} 。
3. 在 LQFP 封装的底面有一个焊盘，应把它焊接在 PCB 上。
4. 所有的引脚都应该焊接在 PCB 上。

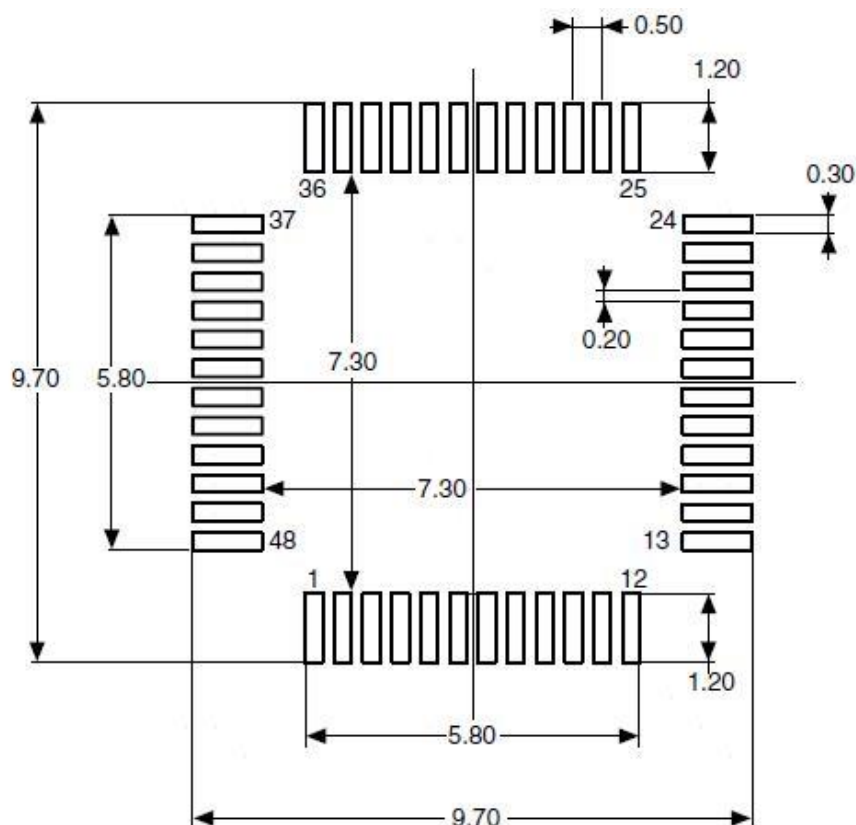
表50 LQFP48 封装数据

DIMENSION LIST(FOOTPRINT: 2.00)

S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.1±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	9.00±0.20	LEAD TIP TO TIP
5	D1	7.00±0.10	PKG LENGTH
6	E	9.00±0.20	LEAD TIP TO TIP
7	E1	7.00±0.10	PKG WDTN
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF	LEAD LENGTH
10	T	0.15	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.22±0.02	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H(REF.)	(5.50)	CUM. LEAD PITCH
17	aaa	0.2	PROFILE OF LEAD TIPS
18	bbb	0.2	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

1. 尺寸以毫米表示。

图28 LQFP48 - 48 引脚，7 x 7 mm 焊接 Layout 建议



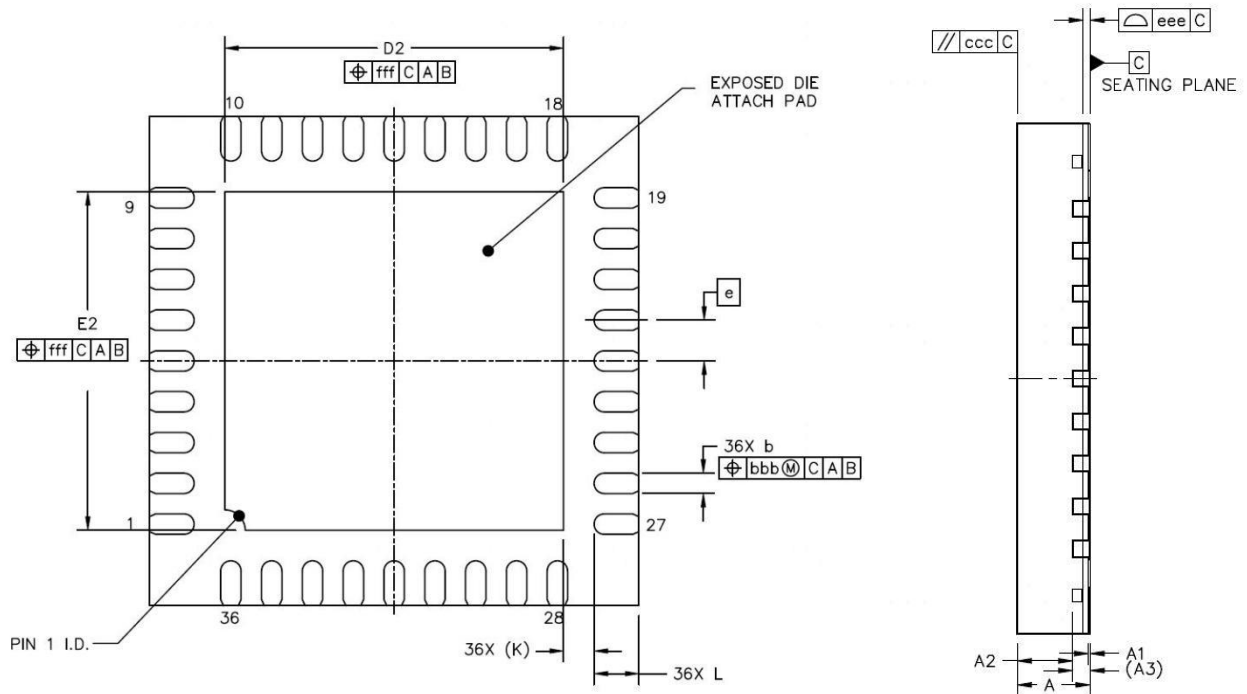
1. 尺寸以毫米表示。

图29 LQFP48 - 48 引脚，7 x 7 mm 标识图



6.4 QFN36 封装图

图30 QFN36 封装图



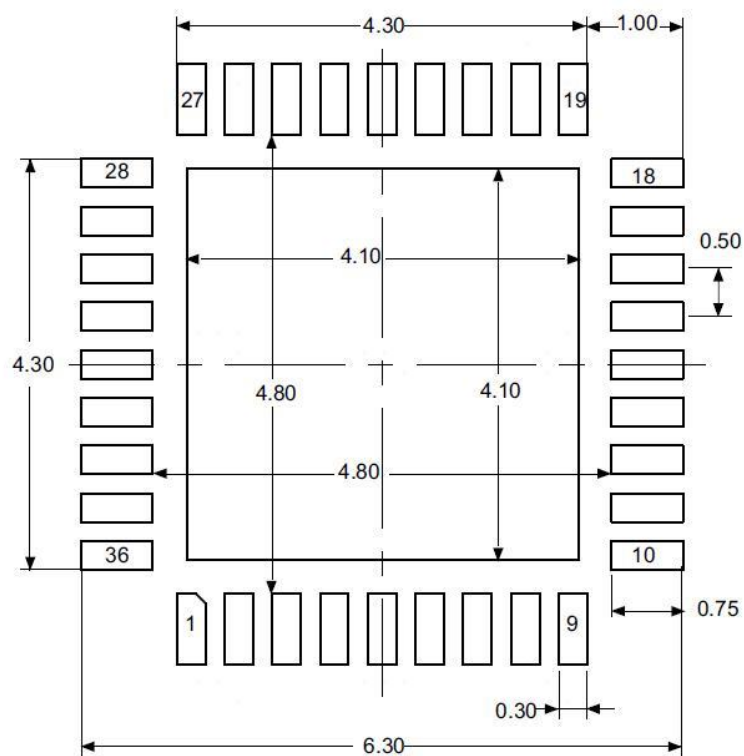
1. 图不是按照比例绘制。
2. 后背的焊盘内部没有联到 V_{SS} 或 V_{DD} 。
3. 在 QFN 封装的底面有一个焊盘，应把它焊接在 PCB 上。
4. 所有的引脚都应该焊接在 PCB 上。

表51 QFN36 封装数据

		SYMBOL	MIN	NOD	MAX
TOTAL THCKNESS		A	0.8	0.85	0.9
STANO OFF		A1	0	0.02	0.05
MOLO THCKNESS		A2	---	0.65	---
L/F THCKNESS		A3	0.203REF		
LEAD WIDTH		b	0.2	0.25	0.3
BOOY SIZE	X	D	6 BSC		
	Y	E	6 BSC		
LEAD PITCH		e	0.5 BSC		
EP SIZE	X	D2	4.05	4.15	4.25
	Y	E2	4.05	4.15	4.25
LEAD LENGTH		L	0.45	0.55	0.65
LEAD TIP TO EXPOSE PAD EDGE		k	0.375 REF		
PACKAGE EOGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.1		
EXPOSED PAD OFFSET		fff	0.1		

1. 尺寸以毫米表示。

图31 QFN36 - 36 引脚，6 x 6 mm 焊接 Layout 建议



1. 尺寸以毫米表示。

图32 QFN36 - 36 引脚，6 x 6 mm 标识图



7 订货信息

例如：	APM32	F	103	C	B	T	6	XXX
产品系列								
APM32=基于Arm的32位微控制器								
产品类型								
F=通用类型								
产品子系列								
103=基础型								
引脚数目								
T=36脚								
C=48脚								
R=64脚								
V=100脚								
闪存存储器容量								
B=128Kbytes								
封装								
T=LQFP								
U=QFN								
温度范围								
6=-40°C~85°C								
7=-40°C~105°C								
选项								
XXX=已编程的器件代号								
R=卷带式包装								
空白=托盘包装								

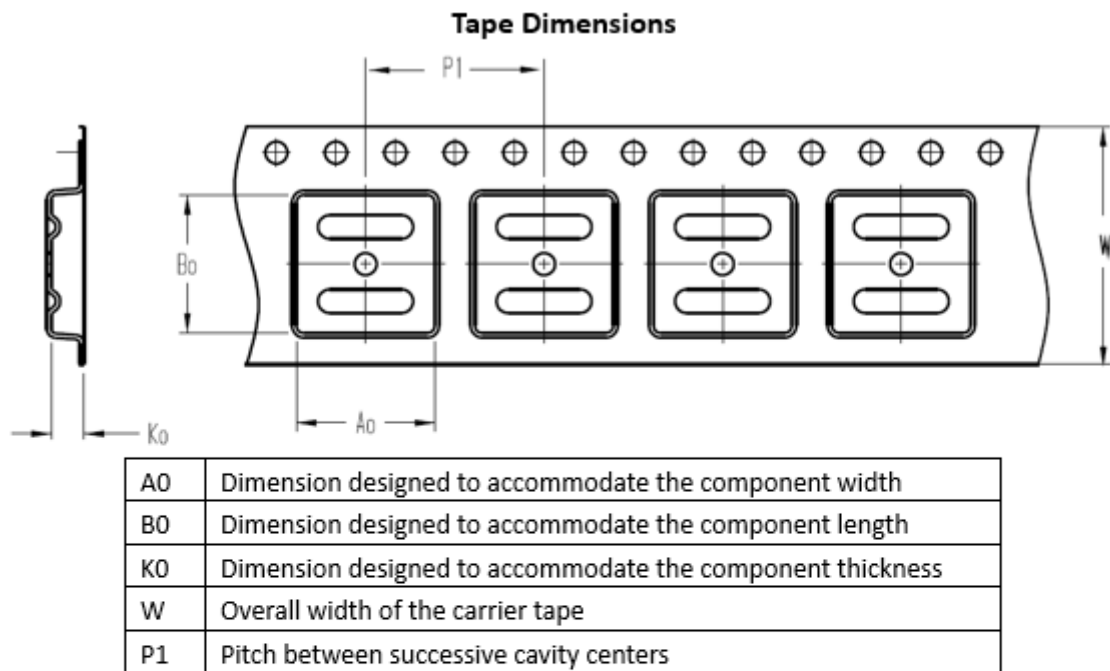
表52 订货信息列表

订货编码	FLASH(KB)	SRAM(KB)	封装	SPQ	温度范围
APM32F103TBU6-R	128	20	QFN36	2500	工业级 -40℃~85℃
APM32F103TBU6	128	20	QFN36	4900	工业级 -40℃~85℃
APM32F103CBT6-R	128	20	LQFP48	2000	工业级 -40℃~85℃
APM32F103CBT6	128	20	LQFP48	2500	工业级 -40℃~85℃
APM32F103RBT6-R	128	20	LQFP64	1000	工业级 -40℃~85℃
APM32F103RBT6	128	20	LQFP64	1600	工业级 -40℃~85℃
APM32F103VBT6	128	20	LQFP100	900	工业级 -40℃~85℃
APM32F102CBT6-R	128	20	LQFP48	2000	工业级 -40℃~85℃
APM32F102CBT6	128	20	LQFP48	2500	工业级 -40℃~85℃
APM32F102RBT6-R	128	20	LQFP64	1000	工业级 -40℃~85℃
APM32F102RBT6	128	20	LQFP64	1600	工业级 -40℃~85℃
APM32F101TBU6-R	128	20	QFN36	2500	工业级 -40℃~85℃
APM32F101TBU6	128	20	QFN36	4900	工业级 -40℃~85℃
APM32F101CBT6-R	128	20	LQFP48	2000	工业级 -40℃~85℃
APM32F101CBT6	128	20	LQFP48	2500	工业级 -40℃~85℃
APM32F101RBT6-R	128	20	LQFP64	1000	工业级 -40℃~85℃
APM32F101RBT6	128	20	LQFP64	1600	工业级 -40℃~85℃
APM32F101VBT6	128	20	LQFP100	900	工业级 -40℃~85℃

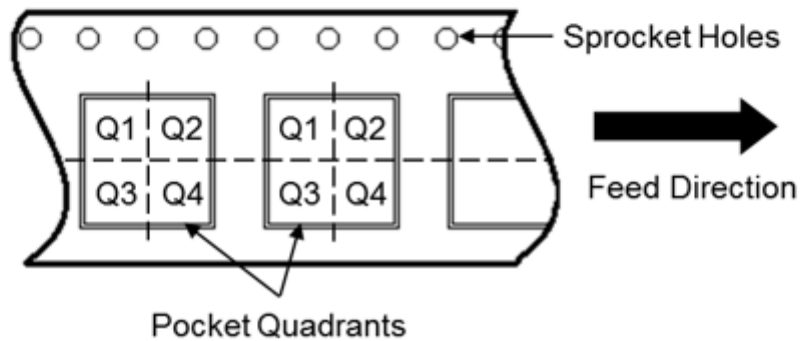
1. SPQ=最小包装数量

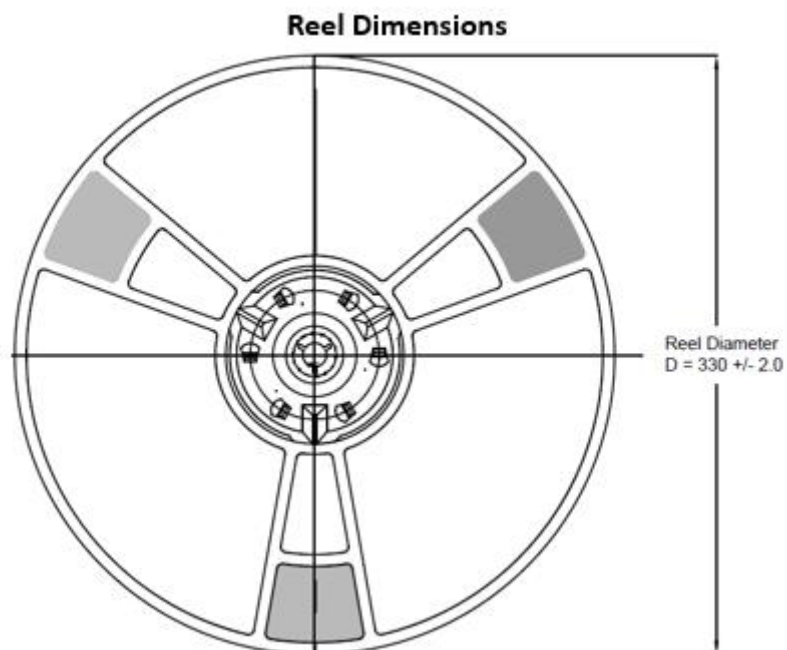
8 包装信息

图33 带状包装规格图



Quadrant Assignments For PIN1 Orientation In Tape



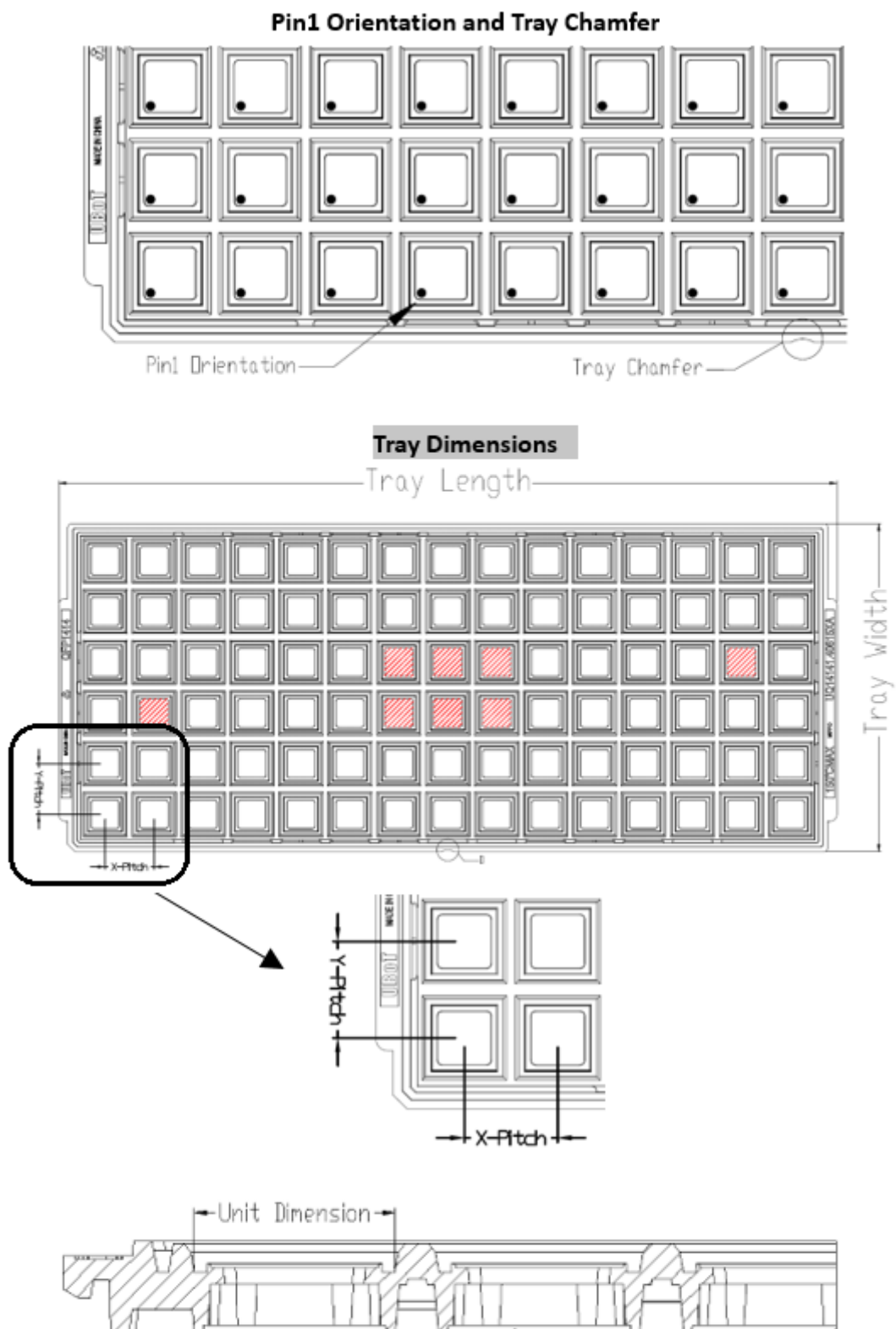


所有照片仅供参考，外观以产品为准。

表53 带状包装参数规格表

Device	Package Type	Pins	SPQ	Reel Diameter (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
APM32F103RBT6	LQFP	64	1000	330	12.35	12.35	2.2	16	24	Q1
APM32F102RBT6	LQFP	64	1000	330	12.35	12.35	2.2	16	24	Q1
APM32F101RBT6	LQFP	64	1000	330	12.35	12.35	2.2	16	24	Q1
APM32F103CBT6	LQFP	48	2000	330	9.3	9.3	2.2	12	16	Q1
APM32F102CBT6	LQFP	48	2000	330	9.3	9.3	2.2	12	16	Q1
APM32F101CBT6	LQFP	48	2000	330	9.3	9.3	2.2	12	16	Q1
APM32F103TBU6	QFN	36	2500	330	6.4	6.4	1.4	8	16	Q1
APM32F101TBU6	QFN	36	2500	330	6.4	6.4	1.4	8	16	Q1

图34 托盘包装示意图



所有照片仅供参考，外观以产品为准。

表54 托盘包装参数规格表

Device	Package Type	Pins	SPQ	X-Dimension	Y-Dimension	X-Pitch	Y-Pitch	Tray Length	Tray Width
				(mm)	(mm)	(mm)	(mm)	(mm)	(mm)
APM32F103VBT6	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
APM32F101VBT6	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
APM32F103RBT6	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
APM32F102RBT6	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
APM32F101RBT6	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
APM32F103CBT6	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9
APM32F102CBT6	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9
APM32F101CBT6	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9
APM32F103TBU6	QFN	36	4900	6.2	6.2	8.8	9.2	322.6	135.9
APM32F101TBU6	QFN	36	4900	6.2	6.2	8.8	9.2	322.6	135.9

9 常用功能模块命名

表55 常用功能模块命名

中文描述	简称
复位管理单元	RMU
时钟管理单元	CMU
复位和时钟管理单元	RCM
外部中断	EINT
通用 IO	GPIO
复用 IO	AFIO
唤醒控制器	WUPT
蜂鸣器	BUZZER
独立看门狗定时器	IWDT
窗口看门狗定时器	WWDT
定时器	TMR
CRC 控制器	CRC
电源管理单元	PMU
备份寄存器	BAKPR
DMA 控制器	DMA
模拟数字转换器	ADC
数字模拟转换器	DAC
实时时钟	RTC
外部存储控制器	EMMC
SDIO 接口	SDIO
USB 设备控制器	USB
控制器局域网	CAN
USB OTG	OTG
以太网	ETH
I2C 接口	I2C
串行外设接口	SPI
通用异步收发器	UART
通用异步同步收发器	USART
闪存接口控制单元	FMC

10 版本历史

表56 文档版本历史

日期	版本	变更内容
2019.2.14	1.0.0	新建
2019.2.26	1.0.1	增加了表 8 的注释
2019.5.6	1.0.2	电压由 1.8V 改为 1.6V
2019.10.30	1.0.3	增加了电气特性和常用功能模块命名, 修改封面
2020.2.24	1.0.4	在 5.2 章节中提取了 5.3 章节
2020.3.4	1.0.5	生成了 3.14.2 章节
2020.6.22	1.1.0	调整产品特性、系统框图、时钟树、存储映射图、供电方案
2020.7.6	1.1.1	修改了目录格式
2020.9.9	1.2	(1) 修改第 7 章的“订货信息命名规格”, 在表格“订货信息列表”中增加“最小包装数”、修改“订货编码” (2) 修改文档字体格式
2020.12.22	1.2	(1) 修改引脚描述表格中的注释 7 为注释 6 (2) 增加引脚描述注意点注释 6 描述 (3) 更新了系统框图
2021.2.22	1.2	(1) 修改 HXT-HSECLK LXT-LSECLK HIRC-HSICLK LIRC-LSICLK USB-USBD (2) 修改引脚定义中的 PA14 引脚的名称错误 (3) 修改图 15 中的 STO:STA 为 STA:STO
2021.8.9	1.3	(1) 将时钟树中的“4-16MHz LSICLK OSC”更正为“4-16MHz HSECLK” (2) 删除所有关于 APM32F103x4x6x8 的内容和名称
2022.6.30	1.4	(1) 修改 Arm 商标 (2) 增加“声明” (3) 增加 HSECLK 的振荡器的跨导 gm 参数
2022.11.3	1.5	(1) 修改引脚定义 PD10 默认复用功能 QSPI_CMU 为 QSPI_CLK (2) 调整 ADC 特性表格 (3) 修改表格“APM32F103xB 产品功能和外设配置”
2022.12.28	1.6	(1) 修改系统框图、地址映射和引脚定义表格中 USBBD 的名称 (2) 修改 USBBD 的功能描述 (3) 修改地址映射及定时器描述
2023.5.17	1.7	(1) 修改 NVIC 功能描述 (2) 修改简介, 添加适用版本说明 (3) 修改 LU 测试条件

		<p>(4)修改 QFN36 引脚配置图,"OCS_IN/PD0"修改为"OSC_IN/PD0", "OCS_OUT/PD1"修改为"OSC_IN/PD1",</p> <p>(5) 修改“封装信息”中的产品标识图</p> <p>(6) 修改地址映射表格</p> <p>(7) 修改系统时基定时器为系统滴答定时器</p> <p>(8)“停止模式”统一改为“停机模式”</p> <p>(9) 删除功能描述中 GPIO 模块的描述：“每个引脚都支持大电流通过”</p>
--	--	---

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，除非在极海销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及 / 或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册的任何第三方均不承担损害赔偿 responsibility，包括任何一般、特殊因使用或无法使用本手册相关信息而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失）。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2019-2023 珠海极海半导体有限公司 – 保留所有权利