

ADSP-21483 / ADSP-21486 / ADSP-21487 / ADSP-21488 /

概要

高性能的32位/40位浮点处理器

为高性能音频处理而优化

单指令多数据 (SIMD) 计算

建筑

片上存储器 - 5 Mbits片上RAM, 片上4 Mbits

只读存储器

高达450 MHz的工作频率

代码兼容SHARC系列的所有其他成员

ADSP-2148x处理器具有独特的音频 -

以数字应用为中心的外设

接口, 串口, 精密时钟发生器, S/PDIF

收发器, 异步采样率转换器, 输入

数据端口等等

有关完整的订购信息, 请参阅订购指南

第66页

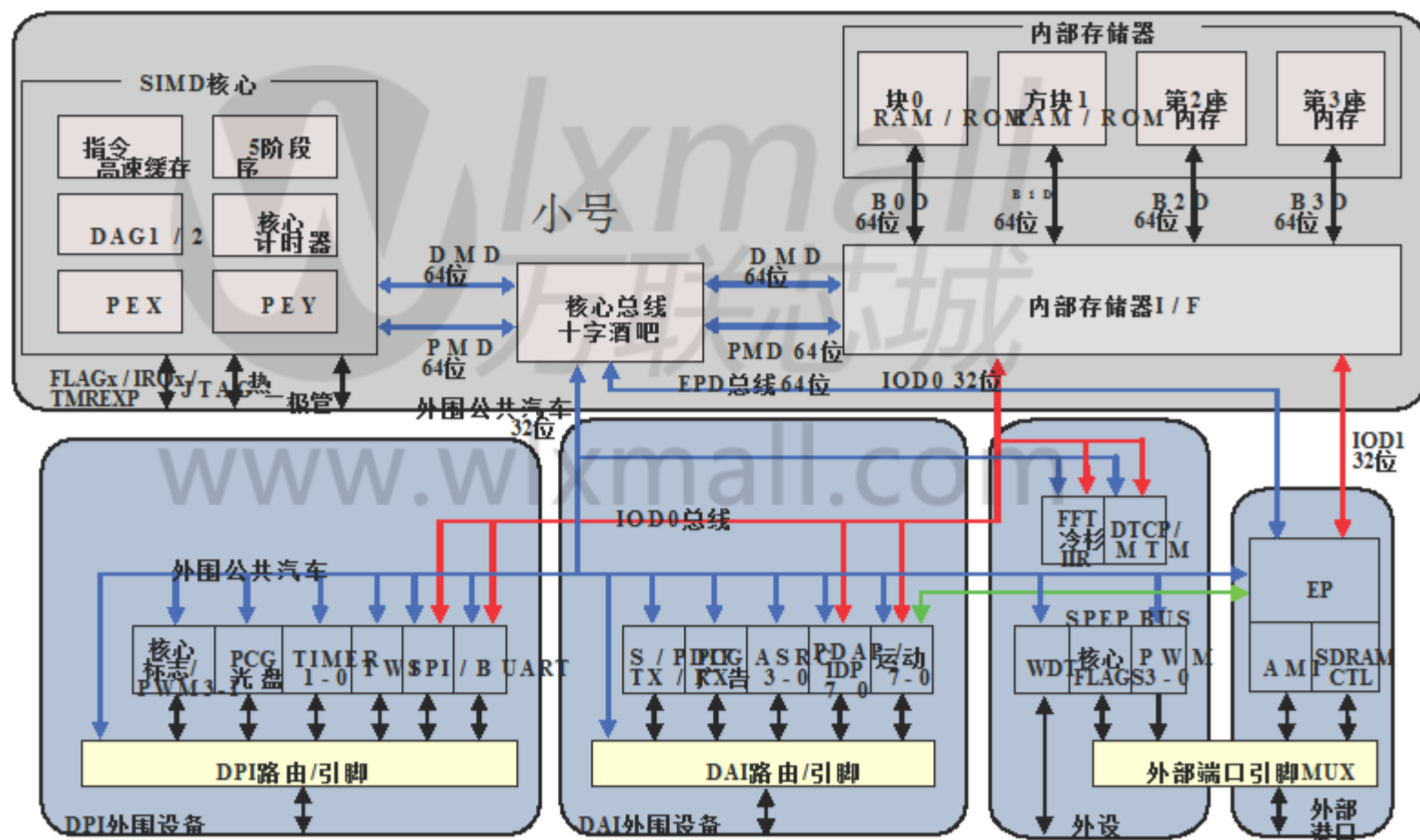


图1.功能框图

SHARC和SHARC徽标是ADI公司的注册商标。

版本B

文档反馈

ADI公司提供的信息被认为是准确和可靠的。但是, ADI公司不承担任何责任, 也不承担任何责任。规格如有变更, 恕不另行通知。没有许可证的暗示。或以其他方式根据ADI公司的任何专利或专利权。商标和注册商標是其各自公司的财产。

One Technology Way, PO Box 9106, Norwood, MA 02062-9106 US
电话: 781.329.4700 ©2013 Analog Devices, Inc.保留所有权利。
技术支持 www.analog.com

目录

总结	1	最大功耗	21
一般说明	3	包装信息	21
家庭核心架构	4	时序规格	22
家庭外围设备	7	输出驱动电流	55
I/O处理器特性	10	测试条件	55
系统设计	11	容性负载	55
开发工具	12	热特性	56
附加信息	13	100-LQFP_EP主任职位	58
相关信号链	13	176引脚LQFP_EP引线分配	60
引脚功能描述	14	外形尺寸	64
规格	18	表面贴装设计	65
经营状况	18	汽车产品	66
电气特性	19	订购指南	66
绝对最大额定值	21		
ESD敏感度	21		

修订记录

3 / 13-修订版A至修订版B

更正了出色的文件勘误。

增加了静态电压缩放 (SVS) 部分

经修订的开发工具

修订MS 0-1 引脚说明

引脚功能描述

经修订的电气特性

经修订的总功率消耗

添加段落到SDRAM接口时序 (166 MHz
SDCLK)

在AMI表格32中增加了脚注3 Read

在脉宽调制中更改表43中的最大值

发电机 (PWM)

在“汽车产品表” (表63) 中增加了模型

汽车产品

修订订购指南

增加了450 MHz产品和信息到以下内容:

• 一般说明中的表1和表2

• 运营条件

• 电气特性

• 总耗散功率表14和15

• 时钟输入中的表20

一般描述

ADSP-2148x SHARC® 处理器是成员
SIMD SHARC系列DSP具有ADI公司的“
超级哈佛建筑学”处理器是源代码
与ADSP-2126x, ADSP-2136x, ADSP-2137x,
ADSP-2146x, ADSP-2147x和ADSP-2116x DSP
在SISD中使用第一代ADSP-2106x SHARC处理器
(单指令, 单数据) 模式. ADSP-2148x pro-
cessors是32位/ 40位浮点处理器的最佳选择
高性能音频应用与大片上SRAM,
多条内部总线来消除I/O瓶颈,
创新的数字应用接口 (DAI).

表1显示了ADSP-2148x的性能基准
处理器.表2显示了各个产品的功能
产品.

表1.处理器基准

基准算法	速度 (在400MHz)	速度 (在450MHz)
1024点复数FFT (基数4, 逆转)	23μs	20.44μs
FIR滤波器 (每个抽头) 1	1.25纳秒	1.1 ns
IIR滤波器 (每个二进制) 1	5 ns	4.43 ns
矩阵乘法 (流水线) [3×3]×[3×1]	11.25 ns	10.0纳秒
[4×4]×[4×1]	20 ns	17.78 ns
除 (y / x)	7.5纳秒	6.67纳秒
逆平方根	11.25 ns	10.0纳秒

1 假定在多通道SIMD模式下有两个文件

表2. ADSP-2148x系列特性

特征	ADSP-21483	ADSP-21486	ADSP-21487	ADSP-21488	ADSP-21489
最大指令速率	400 MHz	400 MHz	450 MHz	400 MHz	450 MHz
内存	3 Mbits	5 Mbits		3 Mbits	5 Mbits
只读存储器		4 Mbits			没有
ROM中的音频解码器		是			没有
脉冲宽度调制		4个单位 (3个单位在100引脚包)			
DTCP硬件加速器		联系ADI公司			
外部端口接口 (SDRAM, AMI) 2	是 (16位)	只有AMI		是 (16位)	
串口			8		
直接DMA从体育到外部端口 (外部存储器)			是		
FIR, IIR, FFT加速器			是		
看门狗定时器			是 (仅限176引脚封装)		
MediaLB接口			只有汽车模型		
IDP / PDAP			是		
UART			1		
DAI (SRU) / DPI (SRU2)			是		
S / PDIF收发器			是		
SPI			是		
I ² C			1		
SRC表现 3			-128分贝		
热二极管			是		
签证支持			是		
包2	176引脚LQFP EPAD 100引脚LQFP EPAD		176引脚LQFP EPAD	176引脚LQFP EPAD 100引脚LQFP EPAD	

1 ROM在出厂时已经通过Dolby® Labs和DTS®的最新多声道音频解码和后处理算法编程. 解码器/后处理器算法
组合支持取决于芯片版本和系统配置. 请访问www.analog.com 获取完整信息.

2 100引脚封装不包含外部端口. 使用此封装时, 必须禁用SDRAM控制器引脚. 有关更多信息, 请参阅引脚功能
第14页的说明. 176引脚封装的ADSP-21486处理器也不包含SDRAM控制器. 有关更多信息, 请参阅176引脚LQFP_EP
主角分配 (第60页).

3 某些型号具有-140 dB的性能. 有关更多信息, 请参阅第66页的订购指南.

第1页的图表显示了两个时钟域
ADSP-2148x处理器.核心时钟域包含
以下功能:

- 两个处理单元 (PE_x, PE_y)
包括ALU, 乘法器, 移位器和数据寄存器文件
 - 数据地址生成器 (DAG1, DAG2)
 - 带有指令缓存的程序定序器
 - PM和DM总线能够支持2x64位数据
内存和内核之间的转换,
cessor循环
 - 一个带引脚分配的定时间隔计时器
 - 片上SRAM (5 Mbit) 和掩膜可编程ROM
(4 Mbit)
- 用于仿真和边界扫描的JTAG测试访问端口.
JTAG通过用户断点提供软件调试,
它允许灵活的异常处理.

第1页的ADSP-2148x的框图也显示了
外设时钟域 (也称为I/O处理器)
其中包含以下功能:

- IOD0 (外设DMA) 和IOD1 (外部端口DMA)
总线用于32位数据传输
- 用于核心连接的外设和外部端口总线
- 带有AMI和SDRAM控制器的外部端口
- 4个单元用于PWM控制
- 1个内存到内存的内存 (MTM) 单元
内存传输
- 数字应用程序界面, 包括四个精度
时钟发生器 (PCG), 输入数据端口 (IDP / PDAP)
用于串行和并行互连, 一个S / PDIF
接收器/发射器, 四个异步采样速率
转换器, 八个串行端口和一个灵活的信号路由单元
(DAI SRU).
- 数字外设接口, 包括两个定时器, a
2线接口 (TWI), 一个UART, 两个串行外设
接口 (SPI), 2个精密时钟发生器 (PCG), 脉冲
宽度调制 (PWM) 以及灵活的信号路由
单位 (DPI SRU2).

如第5页的SHARC核心框图所示,
处理器使用两个计算单位来提供重要的
性能比以前的SHARC处理器有所提高
DSP算法的范围.凭借其SIMD计算硬件,
该处理器可以执行2.7 GFLOPS运行
450 MHz.

家庭核心建筑

ADSP-2148x在组件级与代码兼容
ADSP-2147x, ADSP-2146x, ADSP-2137x, ADSP-2136x,
ADSP-2126x, ADSP-21160和ADSP-21161, 以及第一款
新一代ADSP-2106x SHARC处理器. ADSP-2148x
与ADSP-2126x共享架构特性, ADSP-
2136x, ADSP-2137x, ADSP-2146x和ADSP-2116x SIMD
SHARC处理器, 如图2所示,
降低部分.

SIMD计算引擎

ADSP-2148x包含两个计算处理电路,
作为单指令多数据操作
(SIMD) 引擎.处理元件被称为PE_x
和PE_y, 每个包含一个ALU, 乘数, 移位器和reg-
ister文件. PEx始终处于活动状态, PE_y可以启用
将MODE1寄存器中的PEYEN模式位置1. SIMD
模式允许处理器执行相同的指令
两个处理单元, 但是每个处理单元都运行
在不同的数据.这个体系结构在执行数学上是高效的
密集的DSP算法.

SIMD模式也影响数据之间的传输方式
内存和处理元素因为数据的两倍
带宽是需要维持计算操作的
处理元素.因此, 进入SIMD模式也是同样的,
放弃内存和处理之间的带宽
元素.使用DAG在SIMD中传输数据时
模式下, 每个存储器或reg-
ister文件访问.

独立的并行计算单元

在每个处理单元内是一组计算单元.
计算单元由算术/逻辑单元组成
(ALU), 乘数和移位器.这些单位执行所有歌剧 -
并行排列, 最大化
计算吞吐量.单一的多功能指示
执行并行ALU和乘法器操作.在SIMD模式下,
并行ALU和乘法器操作都发生在pro-
cessing元素.这些计算单元支持IEEE 32位
单精度浮点, 40位扩展精度浮点型,
点和32位定点数据格式.

计时器

处理器包含一个可定期生成的核心定时器
软件中断.核心计时器可以配置使用
FLAG3作为定时器过期信号.

数据寄存器文件

每个处理单元都包含一个通用数据注册表,
ter文件.寄存器文件在计算之间传输数据
单元和数据总线, 并存储中间结果.这些
10个端口, 32个寄存器 (16个主, 16个辅助) 寄存器文件,
结合处理器的增强型哈佛架构,
允许计算单位之间无约束的数据流
内部存储器. PEX中的寄存器称为
R0-R15, 在PEY中为S0-S15.

上下文切换

许多处理器的寄存器都有二级寄存器
可以在中断服务期间激活快速上下文
开关.寄存器文件中的数据寄存器, DAG寄存器,
乘法器结果寄存器都有二级寄存器.
主寄存器在复位时处于活动状态, 而在辅助状态时
寄存器由模式控制寄存器中的控制位激活.

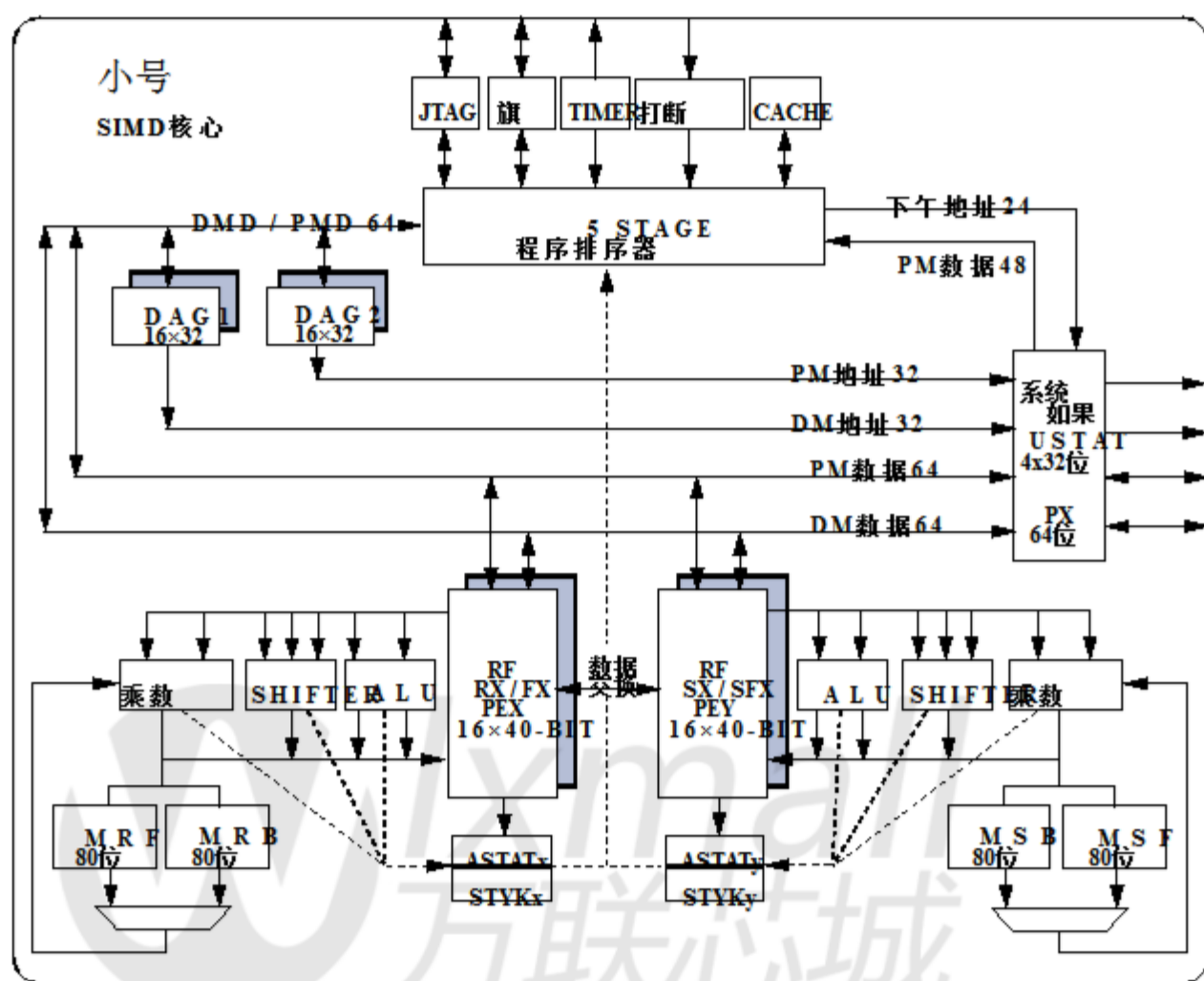


图2. SHARC核心框图

通用寄存器

这些寄存器可以用于通用任务。该

USTAT (4) 寄存器允许简单的位操作 (Set, Clear, 切换, 测试, 异或) 所有外设寄存器 (控制/状态)。

数据总线交换寄存器 (PX) 允许数据通过 64 位 PM 数据总线和 64 位 DM 数据总线之间, 或者在 40 位寄存器文件和 PM / DM 数据总线之间。这些寄存器包含硬件来处理数据宽度差异。

单周期取指令和四个操作数

ADSP-2148x 具有增强型哈佛架构

数据存储器 (DM) 总线传输数据, 程序存储器 (PM) 总线传输指令和数据。

凭借其独立的程序和存储器总线, 片上指令缓存, 处理器可以同时读取四个操作数 (每个数据总线两个) 和一条指令 (来自缓存), 全部在一个周期内。

指令缓存

处理器包含一个片上指令缓存

启用三总线操作提取指令和四数据值。缓存是有选择性的 - 只有指令的

获取与 PM 总线数据访问的冲突缓存。这个高速缓存允许全速执行核心循环操作如数字滤波器的乘法累加和 FFT 蝶形处理。

具有零开销硬件的数据地址发生器 循环缓冲区支持

两个数据地址生成器 (DAG) 用于间接在硬件中寻址和实现循环数据缓冲区。循环缓冲区允许有效的延迟线编程和数字信号处理所需的其他数据结构通常用于数字滤波器和傅立叶变换。两个 DAG 包含足够的寄存器以允许创建多达 32 个循环缓冲区 (16 个主寄存器组, 16 个第二寄存器组) 元。DAG 自动处理地址指针环绕, 减少开销, 提高性能, 实施。循环缓冲区可以在任何地方开始和结束内存位置。

灵活的指令集

48 位指令字适应各种并行操作, 简洁的编程。例如, 处理器可以有条件地执行乘法, 加法和 a

ADSP-21483 / ADSP-21486 / ADSP-21487 / ADSP-21488 / ADSP-21489

在两个处理单元中减去分支和取出 -
最多可以从内存中获得四个32位值，全部在一个单独的内存中指令。

可变指令集体系结构 (VISA)

除了支持从标准的48位指令
以前的SHARC处理器，ADSP-2148x支持新的
16位和32位的指令。这个特性叫做Variable
指令集体系结构 (VISA)，丢弃冗余/未使用
在48位指令内创建更高效的位
紧凑的代码。程序排序器支持读取这些
来自内部和外部的16位和32位指令

SDRAM内存。这种支持并没有扩展到
异步存储器接口 (AMI)。源模块需要
要使用VISA选项来构建，以允许代码属 -
这些工具可以创建这些更高效的操作码。

片上存储器

ADSP-21483和ADSP-21488处理器包含在内
3 Mbits的内部RAM (表3) 和ADSP-21486,
ADSP-21487和ADSP-21489处理器包含5 Mbits的
内部RAM (表4)。每个内存块都支持单线程
循环，由核心处理器和I/O独立访问
处理器。

表3.内部存储器空间 (3 Mbits-ADSP-21483 / ADSP-21488)

IOP寄存器 0x0000 0000-0x0003 FFFF			
长字 (64位)	扩展精度正常或 指令字 (48位)	普通单词 (32位)	短字 (16位)
块0 ROM (保留) 0x0004 0000-0x0004 7FFF	块0 ROM (保留) 0x0008 0000-0x0008 AAA9	块0 ROM (保留) 0x0008 0000-0x0008 FFFF	块0 ROM (保留) 0x0010 0000-0x0011 FFFF
保留的 0x0004 8000-0x0004 8FFF	保留的 0x0008 AAAA-0x0008 BFFF	保留的 0x0009 0000-0x0009 1FFF	保留的 0x0012 0000-0x0012 3FFF
块0 SRAM 0x0004 9000-0x0004 CFFF	块0 SRAM 0x0008 C000-0x0009 1554	块0 SRAM 0x0009 2000-0x0009 9FFF	块0 SRAM 0x0012 4000-0x0013 3FFF
保留的 0x0004 D000-0x0004 FFFF	保留的 0x0009 1555-0x0009 FFFF	保留的 0x0009 A000-0x0009 FFFF	保留的 0x0013 4000-0x0013 FFFF
块1 ROM (保留) 0x0005 0000-0x0005 7FFF	块1 ROM (保留) 0x000A 0000-0x000A AAA9	块1 ROM (保留) 0x000A 0000-0x000A FFFF	块1 ROM (保留) 0x0014 0000-0x0015 FFFF
保留的 0x0005 8000-0x0005 8FFF	保留的 0x000A AAAA-0x000A BFFF	保留的 0x000B 0000-0x000B 1FFF	保留的 0x0016 0000-0x0016 3FFF
块1 SRAM 0x0005 9000-0x0005 CFFF	块1 SRAM 0x000A C000-0x000B 1554	块1 SRAM 0x000B 2000-0x000B 9FFF	块1 SRAM 0x0016 4000-0x0017 3FFF
保留的 0x0005 D000-0x0005 FFFF	保留的 0x000B 1555-0x000B FFFF	保留的 0x000B A000-0x000B FFFF	保留的 0x0017 4000-0x0017 FFFF
块2 SRAM 0x0006 0000-0x0006 1FFF	块2 SRAM 0x000C 0000-0x000C 2AA9	块2 SRAM 0x000C 0000-0x000C 3FFF	块2 SRAM 0x0018 0000-0x0018 7FFF
保留的 0x0006 2000-0x0006 FFFF	保留的 0x000C 2AAA-0x000D FFFF	保留的 0x000C 4000-0x000D FFFF	保留的 0x0018 8000-0x001B FFFF
Block 3 SRAM 0x0007 0000-0x0007 1FFF	Block 3 SRAM 0x000E 0000-0x000E 2AA9	Block 3 SRAM 0x000E 0000-0x000E 3FFF	Block 3 SRAM 0x001C 0000-0x001C 7FFF
保留的 0x0007 2000-0x0007 FFFF	保留的 0x000E 2AAA-0x000F FFFF	保留的 0x000E 4000-0x000F FFFF	保留的 0x001C 8000-0x001F FFFF

1 一些ADSP-2148x处理器包括一个客户可定义的ROM模块。这些型号的ROM地址不保留，如下表所示。请联系您的模拟
设备销售代表了解更多详情。

处理器的SRAM可以配置为最大值
32位数据的160k字，16位数据的320k字，106.7k
48位指令 (或40位数据) 的字或其组合
不同的字大小可达5兆比特。所有的内存都可以
以16位，32位，48位或64位字访问。一个16位
支持浮点存储格式，
放弃可能存储在芯片上的数据里。转变
在32位浮点和16位浮点之间
格式在一条指令中执行。虽然每个mem-
ory块可以存储代码和数据的组合，访问是

当一个块使用DM总线存储数据时，效率最高
转移，另一块存储指令和数据使用
PM总线的转移。

使用DM总线和PM总线，一条总线专用于
内存块，确保使用两个数据的单周期执行
传输。在这种情况下，指令必须可用
缓存。

表3和表4中的内存映射显示内部
处理器的内存地址空间。48位空间sec-
描述这个地址范围看起来像一个

表4.内部存储器空间 (5 MBits-ADSP-21486 / ADSP-21487 / ADSP-21489) 1

IOP寄存器 0x0000 0000-0x0003 FFFF			
长字 (64位)	扩展精度正常或指令字 (48位)	普通单词 (32位)	短字 (16位)
块0 ROM (保留) 0x0004 0000-0x0004 7FFF	块0 ROM (保留) 0x0008 0000-0x0008 AAA9	块0 ROM (保留) 0x0008 0000-0x0008 FFFF	块0 ROM (保留) 0x0010 0000-0x0011 FFFF
保留的 0x0004 8000-0x0004 8FFF	保留的 0x0008 AAAA-0x0008 BFFF	保留的 0x0009 0000-0x0009 1FFF	保留的 0x0012 0000-0x0012 3FFF
块0 SRAM 0x0004 9000-0x0004 EFFF	块0 SRAM 0x0008 C000-0x0009 3FFF	块0 SRAM 0x0009 2000-0x0009 DFFF	块0 SRAM 0x0012 4000-0x0013 BFFF
保留的 0x0004 F000-0x0004 FFFF	保留的 0x0009 4000-0x0009 FFFF	保留的 0x0009 E000-0x0009 FFFF	保留的 0x0013 C000-0x0013 FFFF
块1 ROM (保留) 0x0005 0000-0x0005 7FFF	块1 ROM (保留) 0x000A 0000-0x000A AAA9	块1 ROM (保留) 0x000A 0000-0x000A FFFF	块1 ROM (保留) 0x0014 0000-0x0015 FFFF
保留的 0x0005 8000-0x0005 8FFF	保留的 0x000A AAAA-0x000A BFFF	保留的 0x000B 0000-0x000B 1FFF	保留的 0x0016 0000-0x0016 3FFF
块1 SRAM 0x0005 9000-0x0005 EFFF	块1 SRAM 0x000A C000-0x000B 3FFF	块1 SRAM 0x000B 2000-0x000B DFFF	块1 SRAM 0x0016 4000-0x0017 BFFF
保留的 0x0005 F000-0x0005 FFFF	保留的 0x000B 4000-0x000B FFFF	保留的 0x000B E000-0x000B FFFF	保留的 0x0017 C000-0x0017 FFFF
块2 SRAM 0x0006 0000-0x0006 3FFF	块2 SRAM 0x000C 0000-0x000C 5554	块2 SRAM 0x000C 0000-0x000C 7FFF	块2 SRAM 0x0018 0000-0x0018 FFFF
保留的 0x0006 4000-0x0006 FFFF	保留的 0x000C 5555-0x000D FFFF	保留的 0x000C 8000-0x000D FFFF	保留的 0x0019 0000-0x001B FFFF
Block 3 SRAM 0x0007 0000-0x0007 3FFF	Block 3 SRAM 0x000E 0000-0x000E 5554	Block 3 SRAM 0x000E 0000-0x000E 7FFF	Block 3 SRAM 0x001C 0000-0x001C FFFF
保留的 0x0007 4000-0x0007 FFFF	保留的 0x000E 5555-0x000F FFFF	保留的 0x000E 8000-0x000F FFFF	保留的 0x001D 0000-0x001F FFFF

1 某些ADSP-2148x处理器包含一个客户可定义的ROM模块, 不保留在此表中. 请联系您的ADI销售代表了解更多详情.

指令, 检索48位内存. 32位部分描述了这个地址范围对于一条指令的样子. 它检索32位内存.

基于ROM的安全

ADSP-2148x具有ROM安全功能. 硬件支持通过防止用户软件代码的安全. 未经授权从内部读取代码. 当使用这个功能, 处理器不会开机加载任何外部代码, exe-从内部ROM专门切割. 另外, 处理器不能通过JTAG端口自由访问. 相反, 一个唯一的64位密钥, 必须通过JTAG扫描或测试访问端口将分配给每个客户. 该设备将忽略错误的键. 仿真功能可用扫描正确的密钥后.

片上存储器带宽

内部存储器架构允许程序有四个同时访问四个区块中的任何一个 (假设没有块冲突). 总带宽被实现使用DMD和PMD总线 (2×64位, CCLK速度) 和IOD0 / 1总线 (2×32位, PCLK速度).

家庭周边建筑

ADSP-2148x系列包含丰富的外设. 支持包括高质量在内的各种应用. 音频, 医学影像, 通信, 军事, 测试设备, 3D图形, 语音识别, 电机控制, 成像, 和其他应用程序.

外部存储器

外部端口接口支持访问外部存储器 - 通过核心和DMA访问. 外部存储器地址空间分为四个银行. 任何银行都可以亲语法为异步或同步内存. 该外部端口由以下模块组成.

- 一个通讯的异步存储器接口. 与SRAM, 闪存和其他设备符合标准, dard异步SRAM访问协议. AMI支持0M和8M的6M字外部存储器. 银行1, 银行2和银行3的外部记忆字.
- 支持无缝接口的SDRAM控制器. 任何标准的SDRAM. SDC支持62M. 银行0的外部存储器字, 以及64M字的存储器. 银行1, 银行2和银行3中的外部存储器. 注意: 这一点功能在ADSP-21486产品上不可用.

- 仲裁逻辑，以协调核心和DMA传输内部和外部存储器之间的外部港口。

显示非SDRAM外部存储器地址空间
表5

表5.非SDRAM地址的外部存储器

银行	大小在话	地址范围
银行 0	6M	0x0020 0000-0x007F FFFF
银行 1	8M	0x0400 0000-0x047F FFFF
银行 2	8M	0x0800 0000-0x087F FFFF
银行 3	8M	0x0C00 0000-0x0C7F FFFF

外部端口

外部端口提供了一个高性能，无缝的inter-面对各种行业标准的存储设备。该外部端口，可用于176引脚LQFP，可用于接口到同步和/或异步存储设备。通过使用其独立的内部存储器控制器。该首先是一个SDRAM控制器，用于连接工业-dard同步DRAM设备，而第二个是异步存储器控制器旨在接口到一个各种存储设备。四个存储器选择引脚启用四个独立的设备共存，支持任何所需的com-同步和异步设备类型的组合。

异步存储器控制器

异步存储器控制器提供一个可配置的接口可以连接四个独立的内存或I/O设备。每个银行可以独立编程dif-不同的时间参数，使连接到各种各样的存储器设备，包括SRAM，闪存和EPROM作为与标准存储器控制接口的I/O设备。线。银行0占用一个6M的字窗口和银行1，2和3在处理器的地址空间占用8M字窗口，但是，如果没有完全填充，这些窗口不是连续的由内存控制器逻辑。

SDRAM控制器

SDRAM控制器提供了最多四个分离的接口，工业标准的SDRAM设备速度达到fSDCLK。完全符合SDRAM标准，每家银行都有它自己的内存选择线（MS0-MS3），并可以进行配置包含4M字节和256M字节的内存。

表6显示了SDRAM外部存储器地址空间。

注：此功能在ADSP-21486型号上不可用。

表6. SDRAM地址的外部存储器

银行	大小在话	地址范围
银行 0	62M	0x0020 0000-0x03FF FFFF
银行 1	64M	0x0400 0000-0x07FF FFFF
银行 2	64M	0x0800 0000-0x0BFF FFFF
银行 3	64M	0x0C00 0000-0x0FFF FFFF

一组可编程的定时参数可用于配置 - 支持SDRAM bank以支持较慢的存储设备。注意SDRAM上不支持32位宽的器件AMI接口。

SDRAM控制器地址，数据，时钟和控制引脚可以驱动负载达到30 pF的分布。对于较大的内存系统，应该是SDRAM控制器的外部缓冲时间应该提供选择和外部缓冲，SDRAM控制器引脚上的负载不超过30 pF。

请注意，显示的外部存储库地址是正常字（32位）访问。如果48位指令也是如此32位数据都放在同一个外部存储库中，映射它们时必须小心，避免重叠。

SIMD访问外部存储器

处理器上的SDRAM控制器支持SIMD访问。在允许访问的64位EPD（外部端口数据总线）上到正常的PEy单元上的互补寄存器字空间（NW）。这消除了显式访问的需要。当数据在外部SDRAM中时，可以使用免费的寄存器记忆。

VISA和ISA访问外部存储器

ADSP-2148x处理器上的SDRAM控制器，端口VISA代码操作可减少内存负载。因为VISA指令是压缩的。而且，巴士由于在最好的情况下是一个48位提取，因此提取次数减少包含三个有效的指示。从tra-同时支持ISA操作。请注意代码无论如何，只有银行0支持执行VISA/ISA。表7显示了指令的地址范围在每个模式下获取。

表7.外部Bank 0指令提取

访问类型	大小在话	地址范围
ISA（NW）	4M	0x0020 0000-0x005F FFFF
签证（SW）	10M	0x0060 0000-0x00FF FFFF

脉冲宽度调制

PWM模块是一种灵活的可编程PWM波形发电机，可以编程生成所需的开关模式适用于各种与电机有关的应用。发动机控制或音频功率控制。PWM发生器可以产生中心对齐或边沿对齐的PWM波形，形式。另外，它可以产生互补信号两个成对模式输出或独立信号，配对模式（适用于单组四个PWM波形）。

整个PWM模块有四组四个PWM输出。总共产生16个PWM输出。每个PWM组pro-在四个PWM输出上加入两对PWM信号。

PWM发生器能够以两种不同的方式工作模式同时产生中心对齐的PWM波形：单更新模式或双更新模式。在单更新模式下，占空比值只能编程一次PWM周期。这导致PWM模式是对称的，调整PWM周期的中点。在双重更新模式，实现PWM寄存器的第二次更新在PWM周期的中点。在这种模式下，这是可能的产生不对称的PWM模式，产生较低的三相PWM逆变器中的谐波失真。

PWM信号可以映射到外部端口地址线或DPI引脚。

MediaLB

ADSP-2148x处理器的汽车模型有一个MLB接口允许处理器作为a媒体本地总线设备。它也包括对3-pin的支持作为5针媒体本地总线协议。它支持速度达到1024 FS (49.25 Mbits/sec, FS = 48.1 kHz) 和最多31个逻辑通道，每个媒体本地总线帧最多有124个字节的数据。有关汽车模型的列表，请参阅汽车产品第66页。

数字应用接口 (DAI)

数字应用程序接口 (DAI) 允许连接各种外设连接到任何DAI引脚 (DAI_P20-1)。程序使用信号路由单元进行这些连接 (SRU)。

SRU是矩阵路由单元 (或多路复用器组) 使得DAI提供的外设可以互相通信，在软件控制下连接。这可以方便地使用DAI关联的外围设备用于更广泛的应用。通过使用比noncon-可信的信号路径。

DAI包括八个串行端口，四个精确时钟属，(PCG)，一个S/PDIF收发器，四个ASRC和一个输入数据端口 (IDP)。IDP提供了一个额外的输入路径SHARC内核，可配置为8个串行通道数据或单个20位宽同步并行数据采集，港口。每个数据通道都有自己的DMA通道独立于处理器的串行端口。

串行端口 (SPORT)

ADSP-2148x具有八个同步串行端口提供一个廉价的接口，以广泛的数字和混合信号外设器件，如ADI公司的“AD183x系列音频编解码器，ADC和DAC。串口由两条数据线，时钟和帧同步组成。该数据线可以被编程为发送或接收。每条数据线都有专用的DMA通道。

串行端口最多可支持16个发送或16个接收DMA。所有八个SPORT都启用时的音频数据通道。每帧128个通道的四个全双工TDM流。

串口数据可以自动传入和传出片上存储器/外部存储器通过专用的DMA channels。每个串行端口都可以配合使用。

另一个串口提供TDM支持。一个SPORT pro-提供两个发射信号，而另一个SPORT提供两个接收信号。帧同步和时钟是共享的。

串行端口有五种工作模式：

- 标准串行模式
- 多通道 (TDM) 模式
- I2S模式
- 打包I2S模式
- 左对齐模式

S/PDIF兼容的数字音频接收器/发射器

S/PDIF接收器/发送器没有单独的DMA信道，NELS。它以串行格式接收音频数据并将其转换转换成双相编码信号。将串行数据输入到接收机/发射机可以被格式化为左对齐，I2S或右对齐16,18,20或24位的字宽。

串行数据，时钟和帧同步输入到S/PDIF接收器/发射器通过信号路由单元路由 (SRU)。他们可以来自各种来源，如SPORT，外部引脚或精密时钟发生器 (PCG)，并由SRU控制寄存器控制。

异步采样率转换器 (SRC)

异步采样率转换器包含四个SRC与AD1896 192 kHz所使用的内核相同。立体声异步采样率转换器和提供128分贝信噪比。SRC块用于执行同步或异步采样率转换独立立体声通道，而不使用内部处理器资源。四个SRC块也可以配置为一起运行转换多声道音频数据而没有相位失配。最后，SRC可以用来清除音频数据的抖动时钟源，如S/PDIF接收器。

输入数据端口

IDP提供最多八个串行输入通道，每个通道都带有它自己的时钟，帧同步和数据输入。八个通道被自动多路复用为一个32位八倍的深度FIFO。数据总是被格式化为64位帧并被分割分成两个32位字。串行协议旨在接收I2S中的音频通道，左对齐样本对或右对齐模式。

IDP还提供并行数据采集端口 (PDAP)，可以用来接收并行数据。PDAP端口有一个时钟输入和一个保持输入。PDAP的数据可以从DAI引脚或从外部端口引脚收到。该PDAP支持最多20位数据和四个不同的数据打包模式来接收传入的数据。

精密时钟发生器

精密时钟发生器 (PCG) 由四个单元组成其中产生一对信号 (时钟和帧同步) 来自时钟输入信号。单元AB，C和D是相同的功能和独立的运作。其他通常使用由每个单元产生的两个信号作为串行位时钟/帧同步对。

PCG A和B的输出可以通过DAI路由到引脚和PCG C和D的输出可以驱动到DAI以及DPI引脚。

数字外设接口 (DPI)

ADSP-2148x SHARC处理器具有数字外设接口，提供连接到两个串行外设接口端口 (SPI)，一个通用异步接收器 - 发送器 (UART)，12个标志，一个2线接口 (TWI)，三个PWM模块 (PWM3-1) 和两个通用定时器。

串行外设 (兼容) 接口 (SPI)

SPI是工业标准的同步串行链路，使SPI兼容端口能够与其他端口通信SPI兼容设备。SPI由两个数据引脚组成，一个是数据引脚器件选择引脚和一个时钟引脚。这是一个全双工的同步 - 串行接口，支持主从模式。SPI端口可以在多主机环境下运行也可以连接多达四个SPI兼容设备充当主设备或从设备。SPI兼容的periph-实施也具有可编程的波特率和时钟相位和极性。SPI兼容的端口使用开放排水驱动程序，以支持多主机配置和避免数据争用。

UART端口

处理器提供全双工通用异步接收器/发送器 (UART) 端口，完全兼容与PC标准的UART。UART端口提供了一个简化版本，配合其他外设或主机的UART接口，支持全双工，DMA支持的串行异步传输数据。UART还具有多处理器通信功能，使用9位地址检测功能。这允许它被使用多点网络通过RS-485数据接口标准。UART端口还包含对5到8个数据的支持位，1或2个停止位，以及无，偶数或奇校验。UART端口支持两种操作模式：

- PIO (编程的I/O) - 处理器发送或接收数据写入或读取I/O映射的UART寄存器。数据在发送和接收时都是双缓冲的。
- DMA (直接内存访问) - DMA控制器trans-同时发送和接收数据。这减少了转移所需中断的数量和频率数据往返于内存。UART有两个专用的DMA通道，一个用于传输，一个用于接收。这些DMA通道的默认优先级低于大多数DMA渠道，因为他们的服务率相对较低。

计时器

ADSP-2148x共有三个定时器：一个内核定时器可以产生周期性的软件中断，通用定时器可以产生周期性的中断，独立设置为以三种模式之一进行操作：

- 脉冲波形生成模式
- 脉冲宽度计数/捕捉模式
- 外部事件看门狗模式

核心定时器可以配置为使用FLAG3作为定时器到期信号，通用定时器只有一个双向信号，以及实现其模式的四个寄存器操作：一个6位配置寄存器，一个32位计数寄存器，一个32位周期寄存器和一个32位脉宽寄存器。罪恶 - gle控制和状态寄存器启用或禁用general-通用计时器。

2线接口端口 (TWI)

TWI是用于移动8位的双向2线串行总线数据同时保持与I2C总线协议的一致性。TWI主站包含以下功能：

- 7位寻址
- 多个同时进行主从操作支持多主数据的设备系统仲裁
- 数字滤波和定时事件处理
- 100 kbps和400 kbps数据速率
- 低中断率

I/O处理器功能

I/O处理器也提供多达65个DMA通道作为一套广泛的外设。

DMA控制器

处理器的片上DMA控制器允许数据传输没有处理器干预。DMA控制器运行独立和不可见的处理器核心，允许DMA操作在内核同时执行时发生，切断其程序指令。DMA传输可能发生在ADSP-2148x的内部存储器与其串行端口之间，SPI兼容 (串行外设接口) 端口，IDP (输入数据端口)，PDAP或UART。DMA通道总结如表8所示。

可以使用DMA将程序下载到ADSP-2148x传输。其他的DMA功能包括中断产生完成DMA传输和DMA链接后自动连接的DMA传输。

表8. DMA通道

外围设备	DMA通道
体育	16
IDP / PDAP	8
SPI	2
UART	2
外部端口	2
加速器	2
内存到内存	2
MLB 1	31

1 仅汽车模型。

延迟线DMA

处理器提供延迟线DMA功能.这个
允许处理器读写外部延迟线缓冲器
(从而影响到外部存储器), 核心交互有限.

分散/收集DMA

处理器提供分散/收集DMA功能.这个
允许处理器DMA读取/写入/不连续
内存块.

FFT加速器

FFT加速器执行基数2复数/实数输入,
复杂的输出FFT, 无需核心干预. FFT加速 -
erator运行在外设时钟频率上.

FIR加速器

FIR (有限脉冲响应) 加速器由1024个
字系数存储器, 一个1024字长的延时线
数据和四个MAC单元.控制器管理加速器.
FIR加速器以外设时钟频率运行.

IIR加速器

IIR (无限脉冲响应) 加速器由a
用于存储biquad系数的1440字系数存储器
用于存储中间数据的数据存储器, 以及一个
MAC单元.控制器管理加速器. IIR加速 -
erator运行在外设时钟频率上.

看门狗定时器

看门狗定时器用来监控系统的稳定性,
软件.当以这种方式使用时, 软件将重新加载
看门狗定时器定时向下
计数定时器永不过期.到期的计时器然后指示
该系统软件可能失控.

32位看门狗定时器可以用来实现一个软件,
看门狗功能.软件看门狗可以改进
通过强制处理器进入已知状态来实现系统可靠性
通过产生系统复位, 如果定时器到期之前
被软件重新加载.软件初始化计数值
的计时器, 然后启用计时器.看门狗定时器
重置核心和内部外围设备.请注意这一点
功能仅适用于176引脚封装.

系统设计

以下部分提供了系统设计的介绍
选项和电源问题.

程序引导

ADSP-2148x的内部存储器在系统上启动
通过外部端口 (SPI) 从8位EPROM上电
主机或SPI从机.引导由引导配置确定
表9中的引脚 (BOOT_CFG2-0) 引脚为176引脚
封装和表10为100引脚封装.

表9.引导模式选择, 176引脚封装

BOOT_CFG2-0	启动模式
000	SPI从机启动
001	SPI主引导
010	AMI用户引导 (用于8位Flash引导)
011	没有启动 (处理器从内部执行ROM复位后)
1XX	保留的

表10.引导模式选择, 100引脚封装

BOOT_CFG1-0	启动模式
00	SPI从机启动
01	SPI主引导
10	保留的
11	没有启动 (处理器从内部执行ROM复位后)

“运行重置”功能允许用户执行重置
处理器的核心和外设, 但没有重置
PLL和SDRAM控制器, 或执行启动.该
RESETOUT / RUNRSTIN引脚的功能现在已经完成
扩展为也用作启动运行重置的输入.
有关更多信息, 请参阅ADSP-214xx SHARC处理器
硬件参考.

电源

处理器有独立的电源连接
内部 (VDD_INT) 和外部 (VDD_EXT) 电源. 该
内部电源必须符合VDD_INT规范. 该
外部电源必须符合VDD_EXT规范. 所有的exter-
最终电源引脚必须连接到相同的电源.

为了减少噪声耦合, PCB应该使用一对并联的
电源和地平线VDD_INT和GND.

静态电压缩放 (SVS)

ADSP-2148x的某些型号具有静态电压调节功能
(SVS) 在VDD_INT电源上. (见订购指南
在第66页的模型细节.) 这个电压规格tech-
尼克可以提供显著的性能优势, 包括
450 MHz的核心频率操作没有太大的意义
增加力量.

SVS优化 每个人 所需的VDD_INT电压
器件, 以实现高达450 MHz的增强工作频率.
优化的SVS电压导致最大值的减小
我 DD_INT 使450 MHz运行在相同或更低
在固定电压下工作的最大功率超过400 MHz
供应. SVS的实现需要特定的电压调节器
lator电路设计和初始化代码.

工程师对工程师注意“静态电压缩放
ADSP-2148x处理器” (EE-357) 了解更多信息.
EE-Note详细介绍了实施的要求和流程
一个SVS电源系统, 可以运行高达450 MHz.
这仅适用于ADSP-2148x内的特定产品
能够支持450 MHz操作的家庭.

功耗和静态和动态电流的详细信息

消费可以在总耗电里上找到

第20页.另请参阅第18页上的操作条件了解更多信息.

以下是SVS功能.

- SVS仅适用于450 MHz型号(不适用到400 MHz或更低频率的型号)。
- 每个单独的SVS设备都包含一个寄存器(SVS_DAT)包含出厂时已知的独特的SVS电压作为SVS NOM。

- SVS NOM 值是所需的设定电压VDD_INT 稳压器。

SVS不需要专用引脚. TWI串行总线用于将SVS NOM与电压调节器 进行通信。

- ADI公司推荐使用特定的电压调节器设计和初始化代码序列, 优化上电顺序。

工程师对工程师注意“静态电压缩放比例ADSP-2148x处理器”(EE-357)包含的详细信息调节器设计和初始化要求。

- 与ADI公司建议的区别
可编程调节器设计必须由Ana-记录器件以确保其符合电压精度和范围要求。

目标板JTAG仿真器连接器

ADI公司DSP工具产品系列的JTAG仿真器使用ADSP-2148x pro的IEEE 1149.1 JTAG测试访问端口, 监视和控制目标板处理器

在仿真期间. ADI公司DSP工具产品线JTAG仿真器在全处理器速度下提供仿真, 允许检查和修改内存, 寄存器和处理器堆栈. 处理器的JTAG接口确保仿真器不会影响目标系统负载或时间。

有关ADI公司SHARC DSP的完整信息JTAG仿真器操作的工具产品线, 请参阅“Private仿真器硬件用户指南”。

开发工具

ADI公司全面支持其处理器软件和硬件开发工具, 包括集成开发环境(包括CrossCore Embedded Studio和/或VisualDSP ++[®]), 评估产品, 仿真器和各种各样的软件加载项。

集成开发环境 (IDE)

对于C / C++软件编写和编辑, 代码生成和调试支持, ADI公司提供两个IDE。

最新的IDE, CrossCore嵌入式工作室, 是基于Eclipse TM 框架. 支持大多数ADI公司的proces-它是未来处理器的首选IDE, 包括多核设备. CrossCore嵌入式工作室无缝集成可用的软件加载项以支持真实的实时操作系统, 文件系统, TCP / IP堆栈, USB堆栈,

算法软件模块和评估硬件板

支持包.欲了解更多信息请访问

www.analog.com/cces.

其他Analog Devices IDE (VisualDSP ++)[®] 支持proces-在CrossCore发布之前推出的

嵌入式工作室该IDE包含Analog Devices VDK

实时操作系统和开源TCP / IP协议栈。

欲了解更多信息, 请访问www.analog.com/visualdsp.注意VisualDSP ++将不会支持未来的ADI公司处理器。

EZ-KIT Lite评估板

对于处理器评估, ADI公司提供广泛的范围

EZ-KIT Lite[®] 评估板. 包括处理器和

关键外设, 评估板也支持片内

仿真能力等评估和开发

特征. 还有各种EZ-Extenders

[®], 这是

子卡提供额外的专门功能,

包括音频和视频处理. 了解更多信息

请访问www.analog.com并搜索“ezkit”或“ezextender”。

EZ-KIT Lite评估套件

要了解更多关于开发的经济有效的方法

ADI公司处理器ADI公司提供一系列EZ-

KIT Lite评估套件. 每个评估套件都包含一个EZ-KIT

Lite评估板, 下载评估的方向

可用的IDE版本, USB电缆和电源。

EZ-KIT Lite板上的USB控制器连接到

用户PC的USB端口, 可以选择IDE评估

套件来模拟车载处理器的电路. 这允许

客户可以下载, 执行和调试程序

EZ-KIT Lite系统. 它也支持在线编程

板载Flash设备存储用户特定的启动代码,

启用独立操作. 有了完整版本的Cross-

核心嵌入式Studio或VisualDSP ++安装(出售

分开), 工程师可以开发支持EZ-

KIT或使用支持的ADI公司的任何定制系统

处理器。

CrossCore Embedded Studio的软件加载项

ADI公司提供无缝集成的软件加载项,

使用CrossCore Embedded Studio来扩展其功能

并缩短开发时间. 加载项包括板支持

评估硬件包, 各种中间件包 -

年龄和算法模块. 文档, 帮助,

配置对话框和编码示例

可通过CrossCore Embedded Studio查看加载项

IDE安装加载项后。

评估硬件的电路板支持包

软件支持EZ-KIT Lite评估板和EZ-

扩展器子卡由所谓的软件加载项提供

电路板支持包(BSP). BSP包含必需的

驱动程序, 相关的发行说明, 并选择示例代码

给定评估硬件. 一个特定BSP的下载链接是

位于相关EZ-KIT或EZ-

增量产品. 该链接位于“产品下载”中

产品网页的区域。

中间件软件包

ADI公司分别提供中间件插件，如实时操作系统，文件系统，USB堆栈等TCP/IP堆栈。欲了解更多信息，请参阅以下网页网页：

• www.analog.com/ucos3

www.analog.com/ucfs

• www.analog.com/ucusb

• www.analog.com/lwip

算法模块

为了加快开发速度，ADI公司提供了插件，形成流行的音频和视频处理算法。这些是可用于CrossCore Embedded Studio和VisualDSP++的。欲了解更多信息，请访问www.analog.com和搜索“Blackfin软件模块”或“SHARC软件”模块”。

设计仿真器兼容的DSP板（目标板）

对于嵌入式系统的测试和调试，ADI公司提供一个仿真器家族。在每个JTAG DSP上，采用IEEE 1149.1 JTAG测试访问端口（TAP）。在电路通过使用这个JTAG接口来简化仿真。emulator访问处理器的内部功能处理器的TAP，允许开发者加载代码，点和查看变量，内存和寄存器。该处理器必须停止发送数据和命令，但一次由仿真器完成一个操作，DSP系统被设置全速运行，不影响系统时序。emu-要求目标板包含一个支持的头文件将DSP的JTAG端口连接到仿真器。

有关目标板设计问题的详细信息，包括机械布局，单处理器连接，信号缓冲，信号termination和仿真器pod逻辑，请参阅Engineer-to-Engineer注“ADI公司JTAG仿真技术参考”

（EE-68）在ADI公司网站（www.analog.com）上使用网站搜索“EE-68”。本文件定期更新至跟上对仿真器支持的改进。

附加信息

本数据手册提供了ADSP-2148x的总体概述体系结构和功能。有关详细信息ADSP-2148x系列核心架构和指令集，请参阅到SHARC处理器编程参考。

相关的信号链

信号链是一系列信号调理电子通信系统，接受输入的手段（从采样获得的数据）实时现象或从存储的数据）串联，与输出链的一部分提供给下一个输入。信号链通常用于信号处理应用中收集和处理数据或应用基于的系统控制分析实时现象。有关更多信息这个术语和相关的话题，请参阅“信号链”中的条目ADI公司网站上的EE术语表。

ADI公司通过ADI公司减轻信号处理系统开发提供设计的信号处理组件一起工作好。查看关系的工具具体的应用程序和相关的组件是可用的www.analog.com网站。

来自Lab TM网站的电路（www.analog.com/circuits）规定：

- 信号的图形电路框图表示适用于各种电路类型和应用
- 查看每个链中组件的链接以进行选择指南和应用程序信息
- 应用最佳实践设计技术的参考设计

引脚功能描述

表11. 引脚说明

名称	类型	上电/重复位后	描述
ADDR 23-0	I / O / T (ipu)	高-Z / 推动低点 (引导)	外部地址. 处理器输出外部存储器地址和periph-在这些引脚上的埃拉尔. ADDR引脚可以复用以支持外部存储器接口地址和FLAGS15-8 (I / O) 和PWM (O). 复位后, 所有的ADDR引脚都处于外部存储器接口模式和FLAG (0-3) 引脚处于FLAGS模式 (默认). 在IDP_PDAP_CTL寄存器中配置时, IDP通道0将扫描ADDR 23-4 引脚用于并行输入数据.
数据 15-0	I / O / T (ipu)	高-Z	外部数据. 数据引脚可以复用以支持外部存储器接口数据 (I / O) 和FLAGS 7-0 (I / O).
AMI_ACK	我 (ipu)		内存确认. 外部设备可以取消AMI_ACK (低电平) 来添加等待状态到外部存储器访问. AMI_ACK由I / O设备, 内存使用控制器或其他外设阻止完成外部存储器访问.
$\overline{MS} 0-1$	O / T (ipu)	高-Z	内存选择行0-1. 这些线被断言 (低) 作为芯片选择的相关 - 外部记忆的银行. MS 1-0 线是解码的存储器地址线与其他地址线同时改变. 当没有外部存储器时访问正在发生MS 1-0 线是无效的; 他们是积极的, 但是当条件评估为真时, 执行存储器访问指令. MS1引脚可用于EPORT / FLASH引导模式. 有关更多信息, 请参阅ADSP-214xx SHARC处理器硬件参考.
$\overline{AMI_RD}$	O / T (ipu)	高-Z	AMI端口读取启用. AMI_RD在处理器从中读取一个字时被置位外部存储器.
$\overline{AMI_WR}$	O / T (ipu)	高-Z	AMI端口写入启用. 当处理器写入一个字时, AMI_WR被置位外部存储器.
FLAG0 / $\overline{IRQ0}$	I / O (ipu)	FLAG [0] INPUT	FLAG0 / 中断请求0.
FLAG1 / $\overline{IRQ1}$	I / O (ipu)	FLAG [1] INPUT	FLAG1 / 中断请求1.
FLAG 2 / $\overline{IRQ2}$ / $\overline{MS2}$	I / O (ipu)	FLAG [2] INPUT	FLAG2 / 中断请求2 / 存储器选择2.
FLAG3 / $\overline{TMREXP}$ / $\overline{MS0}$	I / O (ipu)	FLAG [3] INPUT	FLAG3 / 定时器已过期/内存选择3.

A = 异步, I = 输入, O = 输出, S = 同步, A / D = 活动驱动器,

O / D = 漏极开路, T = 三态, ipd = 内部下拉电阻, ipu = 内部上拉电阻.

内部上拉 (ipu) 和内部下拉 (ipd) 电阻器被设计用于保持来自引脚的内部路径处于期望的逻辑

水平. 要将外部电阻上拉或下拉至预期的逻辑电平, 请使用外部电阻. 内部上拉/下拉电阻不能

被启用/禁用, 这些电阻的值不能被编程. ipu电阻的范围可以在26k Ω -63k Ω 之间. 该

一个ipd电阻的范围可以在31k Ω -85k Ω 之间. ipu焊盘的三态电压将不会达到完整的V_{DD_EXT}电平; 典型的

条件是电压在2.3V至2.7V的范围内.

在这个表格中, 所有的引脚都符合LVTTTL, 除了热敏二极管引脚.

表11.引脚说明 (续)

名称	类型	中/ 重置后	描述
SDRAS	O / T (ipu)	高-Z / 驱动高	SDRAM行地址选通.连接到SDRAM的RAS引脚.与其他一起 SDRAM命令引脚, 定义了SDRAM执行的操作.
SDCAS	O / T (ipu)	高-Z / 驱动高	SDRAM列地址选择.连接到SDRAM的CAS引脚.和这个结合 其他SDRAM命令引脚, 定义了SDRAM执行的操作.
SDWE	O / T (ipu)	高-Z / 驱动高	SDRAM写入启用.连接到SDRAM的WE或W缓冲器引脚.和这个结合 其他SDRAM命令引脚, 定义了SDRAM执行的操作.
SDCKE	O / T (ipu)	高-Z / 驱动高	SDRAM时钟使能.连接到SDRAM的CKE引脚.启用和禁用CLK 信号.有关详细信息, 请参见随SDRAM设备提供的数据库册.
SDA10	O / T (ipu)	高-Z / 驱动高	SDRAM A10引脚.使应用程序能够与非SDRAM并行刷新SDRAM 访问.只有在SDRAM访问期间, 该引脚才能取代DSP的ADDR10引脚.
SDDQM	O / T (ipu)	高-Z / 驱动高	DQM数据掩码. SDRAM输入掩码信号, 用于写入访问和输出掩码信号 用于读取访问.在写周期中, 当DQM采样为高电平时, 输入数据被屏蔽. 当DQM采样为高电平时, SDRAM输出缓冲器置于高阻状态 在读周期中. SDDQM从复位解除信号被驱动为高电平, 直到SDRAM初始化 - 完成.之后, 无论是否有SDRAM, 它都被驱动为低电平 访问是否发生.
SDCLK	O / T (ipd)	高-Z / 主动	SDRAM时钟输出.此引脚的时钟驱动器与所有其他时钟驱动器不同.看到 图55中的图41.对于100引脚封装中的型号, SDRAM接口应该如此 通过设置SDCTL中的DSDCTL位来禁止不必要的电源切换 寄存器.有关更多信息, 请参阅ADSP-214xx SHARC处理器硬件参考.
DAI_P 20-1	I / O / T (ipu)	高-Z	数字应用接口.这些引脚为DAI提供物理接口 SRU. DAI SRU配置寄存器定义了片上音频 - 中心外设输入或输出连接到引脚和引脚的输出使能. 这些外设的配置寄存器然后确定的确切行为 针.存在于DAI SRU中的任何输入或输出信号可以被路由到这些中的任何一个 引脚.
新闻部_P 14-1	I / O / T (ipu)	高-Z	数字外设接口.这些引脚为DPI SRU提供物理接口. DPI SRU配置寄存器定义了片上外设的组合 输入或输出连接到引脚和引脚的输出使能.配置 - 这些外设的配给寄存器决定了引脚的确切行为.任何 存在于DPI SRU中的输入或输出信号可以被路由到这些引脚中的任何一个.
WDT_CLKIN	—世		看门狗定时器时钟输入.不使用时, 该引脚应拉低.
WDT_CLKO	Ø		看门狗谐振器焊盘输出.
WDTRSTO	O (ipu)		看门狗定时器复位输出.
THD_P	—世		热二极管阳极.不使用时, 该引脚可以悬空.
THD_M	Ø		热敏二极管阴极.不使用时, 该引脚可以悬空.

A = 异步, I = 输入, O = 输出, S = 同步, A / D = 活动驱动器,

O / D = 漏极开路, T = 三态, ipd = 内部下拉电阻, ipu = 内部上拉电阻.

内部上拉 (ipu) 和内部下拉 (ipd) 电阻器被设计用于保持来自引脚的内部路径处于期望的逻辑

水平.要将外部电阻上拉或下拉至预期的逻辑电平, 请使用外部电阻.内部上拉/下拉电阻不能

被启用/禁用, 这些电阻的值不能被编程. ipu电阻的范围可以在26kΩ-63kΩ之间.该

一个ipd电阻的范围可以在31kΩ-85kΩ之间. ipu焊盘的三态电压将不会达到完整的V_{DD_EXT}电平; 典型的
条件是电压在2.3V至2.7V的范围内.

在这个表格中, 所有的引脚都符合LVTTTL, 除了热敏二极管引脚.

表11.引脚说明 (续)

名称	类型	上电/重置后	描述
MLBCLK1	—世		媒体本地总线时钟.这个时钟是由MLB控制器生成的, 归属于MOST网络, 并提供整个MLB接口的时间. $FS = 48 \text{ kHz}$ 时为49.152 MHz.当MLB控制器不使用时, 该引脚应该是接地.
MLBDAT1	I/O/T在3引脚模式.一世在5针模式.	高-Z	媒体本地总线数据. MLBDAT线路由发射MLB设备驱动. 被包括MLB控制器在内的所有其他MLB设备所接收. MLBDAT线载有实际的数据.在5引脚MLB模式下, 该引脚仅作为输入.当MLB控制器不使用, 该引脚应该接地.
MLBSIG1	I/O/T在3引脚模式.一世在5针模式.	高-Z	媒体本地总线信号.这是一个带有通道/地址的复用信号. 由MLB控制器生成, 以及来自的命令和RxStatus字节. MLB设备.在5引脚模式下, 该引脚仅为输入.当不使用MLB控制器时, 这个引脚应该接地.
MLBDO1	O/T	高-Z	媒体本地总线数据输出(5引脚模式).该引脚仅用于5引脚MLB模式. 这是在5引脚模式下的输出数据引脚.当不使用MLB控制器时, 这个引脚应该连接到地面.
MLBSO1	O/T	高-Z	媒体本地总线信号输出(5引脚模式).该引脚仅用于5引脚MLB模式.这是5引脚模式下的输出信号引脚.当MLB控制器是不使用, 这个引脚应该连接到地面.
TDI	我(ipu)		测试数据输入(JTAG).为边界扫描逻辑提供串行数据.
TDO	O/T	高-Z	测试数据输出(JTAG).边界扫描路径的串行扫描输出.
TMS	我(ipu)		测试模式选择(JTAG).用于控制测试状态机.
TCK	—世		测试时钟(JTAG).为JTAG边界扫描提供时钟. TCK必须被声明(脉冲为低电平), 或者保持低电平以使器件正常工作.
TRST	我(ipu)		测试复位(JTAG).重置测试状态机.必须断言TRST(脉冲低)上电后或保持低电平以正常运行处理器.
—耐	O(O/D, ipu)	高-Z	仿真状态.必须连接到ADSP-2148x Analog Devices DSP工具. JTAG仿真器产品线仅针对板卡连接器.

A = 异步, I = 输入, O = 输出, S = 同步, A/D = 活动驱动器,

O/D = 漏极开路, T = 三态, ipd = 内部下拉电阻, ipu = 内部上拉电阻.

内部上拉(ipu)和内部下拉(ipd)电阻器被设计用于保持来自引脚的内部路径处于期望的逻辑

水平.要将外部电阻上拉或下拉至预期的逻辑电平, 请使用外部电阻.内部上拉/下拉电阻不能

被启用/禁用, 这些电阻的值不能被编程. ipu电阻的范围可以在26k Ω -63k Ω 之间.该

一个ipd电阻的范围可以在31k Ω -85k Ω 之间. ipu焊盘的三态电压将不会达到完整的V_{DD_EXT}电平;典型的

条件是电压在2.3V至2.7V的范围内.

在这个表格中, 所有的引脚都符合LVTTTL, 除了热敏二极管引脚.

表11. 引脚说明 (续)

名称	类型	州 中/ 重置后	描述
CLK_CFG 1-0	一世		核心到CLKIN比率控制. 这些引脚设置启动时钟频率. 请注意, 可以通过编程PLL乘法器来改变工作频率 并在内核退出复位后随时在PMCTL寄存器中进行分频. 该 允许的值是: 00 = 8: 1 01 = 32: 1 10 = 16: 1 11 = 保留
CLKIN	一世		本地时钟输入与XTAL一起使用. CLKIN是时钟输入. 它配置 处理器使用内部时钟发生器或外部时钟源. 连接必要的组件到CLKIN和XTAL使内部时钟 发电机. 将外部时钟连接到CLKIN, 同时保持XTAL未连接 配置处理器使用外部时钟源, 如外部时钟 振荡器. CLKIN可能不会被停止, 改变, 或低于指定的操作 频率.
XTAL	O		晶体振荡器终端. 与CLKIN一起使用来驱动外部 水晶.
重启	一世		处理器重置. 将处理器重置为已知状态. 一旦失效, 就有一个 4096 CLK锁周期延迟锁定. 在此之后, 核心开始节目 从硬件复位向地址执行. RESET输入必须置位 (低).
RESETOUT / RUNRSTIN	I / O (ipu)		重置输出/运行重置输入. 该引脚的默认设置被复位. 这个针也 具有RUNRSTIN的第二个功能, 通过设置RUNRSTCTL的位0使能 寄存器. 有关更多信息, 请参阅ADSP-214xx SHARC处理器硬件参考.
BOOT_CFG 2-0	一世		引导配置选择. 这些引脚选择处理器的引导模式 (请参阅 表9). 在复位 (硬件和软件) 之前, BOOT_CFG引脚必须有效 断言.

A = 异步, I = 输入, O = 输出, S = 同步, A / D = 活动驱动器,

O / D = 漏极开路, T = 三态, ipd = 内部下拉电阻, ipu = 内部上拉电阻.

内部上拉 (ipu) 和内部下拉 (ipd) 电阻器被设计用于保持来自引脚的内部路径处于期望的逻辑
水平. 要将外部电阻上拉或下拉至预期的逻辑电平, 请使用外部电阻. 内部上拉/下拉电阻不能

被启用/禁用, 这些电阻的值不能被编程. ipu电阻的范围可以在26k Ω -63k Ω 之间. 该

一个ipd电阻的范围可以在31k Ω -85k Ω 之间. ipu焊盘的三态电压将不会达到完整的V_{DD_EXT}电平; 典型的

条件是电压在2.3V至2.7V的范围内.

在这个表格中, 所有的引脚都符合LVTTTL, 除了热敏二极管引脚.

1 MLB引脚仅适用于汽车型号.

表12. 引脚列表, 电源和接地

名称	类型	描述
V _{DD_INT}	P	内部电源
V _{DD_EXT}	P	I / O电源
GND 1	G	地面
V _{DD_THD}	P	热敏二极管电源. 不用时, 该引脚可以悬空.

1 裸露焊盘需要电气和热连接到GND. 通过将裸露焊盘焊接到与PCB相同尺寸的GND PCB焊盘来实现这一点.

裸露的垫子. GND PCB焊盘应牢固地连接到PCB上的GND平面, 以获得最佳的电气和散热性能. 没有提供单独的GND引脚
在包里.

ADSP-21483 / ADSP-21486 / ADSP-21487 / ADSP-21488 / ADSP-21489

规格

运行条件

参数 1	描述	300 MHz / 350 MHz / 400 MHz			450 MHz			单元
		敏	喃	马克斯	敏	喃	马克斯	
V DD_INT	内部（核心）电源电压	1.05	1.1	1.15	SVS NOM - 25 mV	1.0 - 1.15	SVS NOM + 25 mV	V
V DD_EXT	外部（I/O）电源电压	3.13		3.47	3.13		3.47	V
V DD_THD	热二极管电源电压	3.13		3.47	3.13		3.47	V
V IH	高电平输入电压@ V DD_EXT =最大	2.0		3.6	2.0		3.6	V
V IL	低电平输入电压@ V DD_EXT =最小	-0.3		0.8	-0.3		0.8	V
V IH_CLKIN	高电平输入电压@ V DD_EXT =最大	2.2		V DD_EXT	2.2		V DD_EXT	V
V IL_CLKIN	低电平输入电压@ V DD_EXT =最小	-0.3		+0.8	-0.3		+0.8	V
T J	结温 100引脚LQFP_EP @ 温度0°C至+ 70°C	0		110	0		115	C
T J	结温 100引脚LQFP_EP @ 环境温度 -40°C至+ 85°C	-40		125	NA		NA	C
T J	结温 176引脚LQFP_EP @ T 环境 0°C至+ 70°C	0		110	0		115	C
T J	结温 176引脚LQFP_EP @ 环境温度 -40°C至+ 85°C	-40		125	NA		NA	C

1 规格如有更改，恕不另行通知。

2 SVS NOM 是指每个设备出厂时设定在1.0 V和1.15 V之间的标称SVS电压。每个芯片中 只有唯一的SVS NOM 值用于该芯片的401 MHz至450 MHz操作。该规范列出了 所有设备的SVS NOM 值的可能范围。上电时的初始VDD_INT电压为工程师对工程师注意“ADSP-2148x处理器的静态电压缩放”（EE-357）中列出了1.1 V额定值，并转换为SVS编程电压。

3 适用于输入和双向引脚：ADDR23-0，DATA15-0，FLAG3-0，DAI_Px，DPI_Px，BOOT_CFGx，CLK_CFGx，RUNRSTIN，RESET，TCK，TMS，TDI，TRST，AMI_ACK，MLBCLK，MLBDAT，MLBSIG。

4 适用于输入引脚CLKIN，WDT_CLKIN。

电气特性

参数	说明	测试条件	300MHz / 350MHz / 400MHz / 450MHz			单元
			敏	典型	马克斯	
V _{OH}	高级输出 电压	@ V _{DD_EXT} = Min, 我 OH = -1.0毫安	2.4			V
V _{OL}	低电平输出 电压	@ V _{DD_EXT} = Min, 我 OL = 1.0毫安			0.4	V
我 _{4H} ⁵	高电平输入电流 @ V _{DD_EXT} = 最大值, V _{IN} = V _{DD_EXT} 最大				10	μA
我 _{4L}	低电平输入电流 @ V _{DD_EXT} = 最大, V _{IN} = 0 V				10	μA
我 _{15PU}	低电平输入电流 拉起	@ V _{DD_EXT} = 最大值, V _{IN} = 0 V			200	μA
我 _{6ZH} ⁷	三态泄漏 当前	@ V _{DD_EXT} = 最大值, V _{IN} = V _{DD_EXT} 最大			10	μA
我 _{6ZL}	三态泄漏 当前	@ V _{DD_EXT} = 最大值, V _{IN} = 0 V			10	μA
我 _{0ZLPU}	三态泄漏 目前上拉	@ V _{DD_EXT} = 最大值, V _{IN} = 0 V			200	μA
我 _{0ZHPD}	三态泄漏 当前下拉	@ V _{DD_EXT} = 最大值, V _{IN} = V _{DD_EXT} 最大			200	μA
我 _{DD_9INT}	电源电流 (内部) f _{CCLK} > 0 MHz				表 14 + 表 15 × ASF	嘛
我 _{DD_INT}	电源电流 (内部) V _{DDINT} = 1.1 V, ASF = 1, T _J = 25°C			410/450/500/550		嘛
C _{IN} ^{10, 11}	输入电容	T _{CASE} = 25°C			五	pF的

1 规格如有更改,恕不另行通知.

2 适用于输出和双向引脚: ADDR23-0, DATA15-0, AMI_RD, AMI_WR, FLAG3-0, DAI_Px, DPI_Px, EMU, TDO, RESETOUT MLBSIG, MLBDAT, MMLBSO, SDRAS, SDCAS, SDWE, SDCKE, SDA10, SDDQM, MS0-1.

3 请参见第55页上的“输出驱动电流”了解典型的驱动电流功能.

4 适用于输入引脚: BOOT_CFGx, CLK_CFGx, TCK, RESET, CLKIN.

5 适用于具有内部上拉电阻的输入引脚: TRST, TMS, TDI.

6 适用于三态引脚: TDO.

7 适用于具有上拉的三稳态引脚: DAI_Px, DPI_Px, EMU.

8 适用于带有下拉的三态引脚: SDCLK.

9 欲了解更多信息,请参阅“为ADSP-214xx SHARC处理器估算功耗”(EE-348)的工程师注意事项.

10 适用于所有信号引脚.

11 保证,但没有测试.

总功率耗散

本节中的信息应该增加从工程师到工程师的注意事项“估算ADSP-214xx的功耗SHARC处理器”（EE-348）。

总功耗有两个组成部分：

内部功耗额外由...组成
两个组件：

- 由于泄漏引起的静态电流-表14显示了静态电流消耗（ $I_{DD_INT_STATIC}$ ）作为函数结温（ T_J ）和核心电压（ V_{DD_INT} ）。
 - 由于晶体管引起的动态电流（ $I_{DD_INT_DYNAMIC}$ ）开关特性和活动水平，
cessor. 活动级别由活动反映
比例因子（ASF），代表活动
在处理器上运行的应用程序代码的级别
核心，并具有不同层次的外围和外部 -
最终港口活动（表13）。
- 动态电流消耗是通过select-
与ASF最接近的ASF
用户应用程序，然后乘以与
动态电流消耗（表15）。

2. 外部功耗是由于切换激活 -
外部引脚的性质。

表13. 活动比例因子（ASF）¹

活动	比例因子（ASF）
闲	0.29
低	0.53
中等偏低	0.61
中等偏上	0.77
典型峰值（50:50） ²	0.85
典型峰值（60:40） ²	0.93
典型峰值（70:30） ²	1.00
高典型	1.16
高	1.25
峰	1.31

¹ 请参阅“工程师到工程师的注意事项”估算ADSP-214xx SHARC的功耗处理器”（EE-348）了解更多关于电源解释的信息
矢量特定于ASF表格。

² 连续指令循环（核心）与SDRAM控制代码读取的比率
写道。

表14. 静态电流- $I_{DD_INT_STATIC}$ （mA）¹

T_J （℃）	V_{DD_INT} （V）								
	0.975 V	1.0 V	1.025 V	1.05 伏	1.075 V	1.10 V	1.125 V	1.15 V	1.175 V
-45	68	77	86	96	107	118	131	144	159
-35	74	83	92	103	114	126	140	154	170
-25	82	92	101	113	125	138	153	168	185
-15	94	104	115	127	140	155	171	187	205
-5	109	121	133	147	161	177	194	212	233
+5	129	142	156	171	188	206	225	245	268
+15	152	168	183	201	219	240	261	285	309
+25	182	199	216	237	257	280	305	331	360
+35	217	237	256	279	303	329	358	388	420
+45	259	282	305	331	359	389	421	455	492
+55	309	334	361	391	423	458	495	533	576
+65	369	398	429	464	500	539	582	626	675
+75	437	471	506	547	588	633	682	731	789
+85	519	559	599	645	693	746	802	860	926
+95	615	662	707	761	816	877	942	1007	1083
+105	727	779	833	897	958	1026	1103	1179	1266
+115	853	914	975	1047	1119	1198	1285	1372	1473
+125	997	1067	1138	1219	1305	1397	1498	1601	1716

¹ 有效的温度和电压范围是特定型号的。请参阅第18页的操作条件。

表15. CCLK域中的动态电流-I DD_INT_DYNAMIC (mA, ASF=1.0)

1, 2

f CCLK (MHz) 的	V DD INT (V)								
	0.975 V	1.0 V	1.025V	1.05 伏	1.075 V	1.10 V	1.125 V	1.15 V	1.175 V
100	76	77 8 1		8 4 8 7 8 8			9 0 9 2 9 5		
150	117	119	123	126	130	133	136	139	144
200	153	156	161	165	170	174	179	183	188
250	190	195	201	207	212	217	223	229	235
300	227	233	240	246	253	260	266	273	280
350	263	272	278	286	294	302	309	318	325
400	300	309	317	326	335	344	352	361	370
450	339	349	356	365	374	385	394	405	415

1 这些值不能作为独立的最大规格保证。它们必须与第19页的电气特性等式中的静态电流相结合。

2 有效的频率和电压范围是模型特定的。请参阅第18页的操作条件。

绝对最大额定值

强于表16中列出的可能会导致perma-
对设备的损坏。这些只是压力评级；
设备在这些或任何其他条件下的功能操作 -
tions比在运作的部分表明的更多
这个规范不是暗示的。暴露于绝对最大值
长时间的额定条件可能会影响设备
可靠性。

表16. 绝对最大额定值

参数	评分
内部（核心）电源电压（V DD_INT）	-0.3 V至+ 1.32 V
外部（I / O）电源电压（V DD_EXT）	-0.3 V至+ 3.6 V
热二极管电源电压 （V DD_THD）	-0.3V至+ 3.6V
输入电压	-0.5V至+ 3.6V
输出电压摆幅	-0.5 V至V DD_EXT+0.5 V
存储温度范围	-65°C至+ 150°C
结偏置时的结温	125°C

ESD灵敏度



ESD（静电放电）敏感装置。
带电器件和电路板可以放电
没有检测。虽然这个产品的功能
专利或专有保护电路，损坏
可能发生在经受高能ESD的器件上。
因此，应采取适当的ESD防范措施
避免性能下降或功能丧失。

包装信息

图3中提供的信息提供了有关的详细信息
ADSP-2148x处理器的封装品牌。为一个
产品可用性的完整列表，请参阅订购指南
第66页。

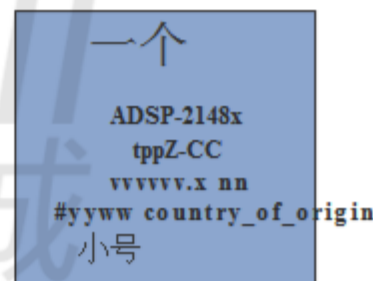


图3. 典型包装品牌

表17. 包装品牌信息 1

品牌关键	字段说明
T	温度范围
PP	包装类型
z	符合RoHS的选项
CC	见订购指南
vvvvvv.x	装配批号
NN	芯片版本
#	符合RoHS指定
YYWW	日期代码

1 只有非汽车。对于特定于汽车产品的品牌信息，
请联系Analog Devices Inc。

最大功率耗散

请参阅“工程师到工程师注意事项”估算功耗
适用于ADSP-214xx SHARC处理器”（EE-348）
关于最大功率的错误和功率信息
耗散。有关封装散热规格的信息，
请参阅第56页的热特性。

请注意与时钟周期有关的定义
CLKIN和适当的比例控制如表18所示
的ADSP-2148x外设的时序规范
根据t PCLK 定义. 请参阅外设特定部分
为每个外设的时间信息.

表18.时钟周期

定时要求	描述
t CK	CLKIN时钟周期
t CCLK	处理器核心时钟周期
t PCLK	外设时钟周期= 2×t CCLK
t SDCLK	SDRAM时钟周期=(t CCLK) ×SDCKR

图4显示了CLKIN与外部振荡器的关系,
lator或水晶.阴影分频器/乘法器块表示
时钟比率可以通过硬件或软件设置
使用电源管理控制寄存器(PMCTL).对于
更多信息, 请参阅ADSP-214xx SHARC处理器Hard-
商品参考.

上电排序

处理器启动的时间要求在中给出
表19.虽然不需要特定的上电排序
在V DD_EXT 和V DD_INT之间, 有一些考虑因素
系统设计应该考虑到.

- 没有电源供应应该延长
在另一次供电开始之前的一段时间(> 200 ms)
斜坡上升.
- 如果V DD_INT电源在V DD_EXT 之后出现, 则任何
引脚, 如RESETOUT和RESET, 可能实际上是驱动
暂时直到V DD_INT 导轨上电.
在电路板上共享这些信号的系统必须确定
如果有什么问题需要处理的话
这种行为.

注意在上电时, 当V DD_INT 电源供电时
在V DD_EXT 之后出现,
状态漏电流上拉, 可能会观察到下拉
任何引脚, 即使这只是个输入(例如RESET
引脚), 直到V DD_INT 导轨上电.

表19.加电排序时序要求(处理器启动)

参数	敏	马克斯	单元
时间要求			
t RSTVDD	在V DD_EXT 或V DD_INT 打开 之前复位低电平	0	女士
t IVDDEVDD	V DD_INT 在V DD_EXT 之前	-200	女士
CLKVDD	CLKIN在V DD_INT 和V DD_EXT 有效后有效	0	女士
t CLKRST	CLKIN在复位失效之前有效	10 2	微秒
t PLLRST	在复位失效之前PLL控制设置	20 3	微秒
切换特性			
吨 CORESRST	复位无效后, 核心复位解除置位	4096×t CK + 2×t CCLK	

- 有效的V DD_INT 和V DD_EXT 假定电源完全斜升到它们的标称值(哪个电源先出现并不重要). 电压斜坡率可以变化
从微秒到数百毫秒, 取决于电源子系统的设计.
- 在满足晶体振荡器的最坏情况启动时间之后, 假设稳定的CLKIN信号. 有关启动时间, 请参阅您的晶振制造商的数据手册. 承担
如果将XTAL引脚和内部振荡器电路与外部晶振一起使用, 则最大振荡器启动时间为25 ms.
- 基于CLKIN周期.
- 在启动序列完成后应用. 随后的复位要求至少4个CLKIN周期, RESET保持低电平以正确初始化
在所有I/O引脚传播默认状态.
- 4096周期的计数取决于 表21中的 t SRST 规范. 如果不满足设置时间, 可以在核心复位时间内增加一个额外的CLKIN周期, 从而产生4097
周期最大.

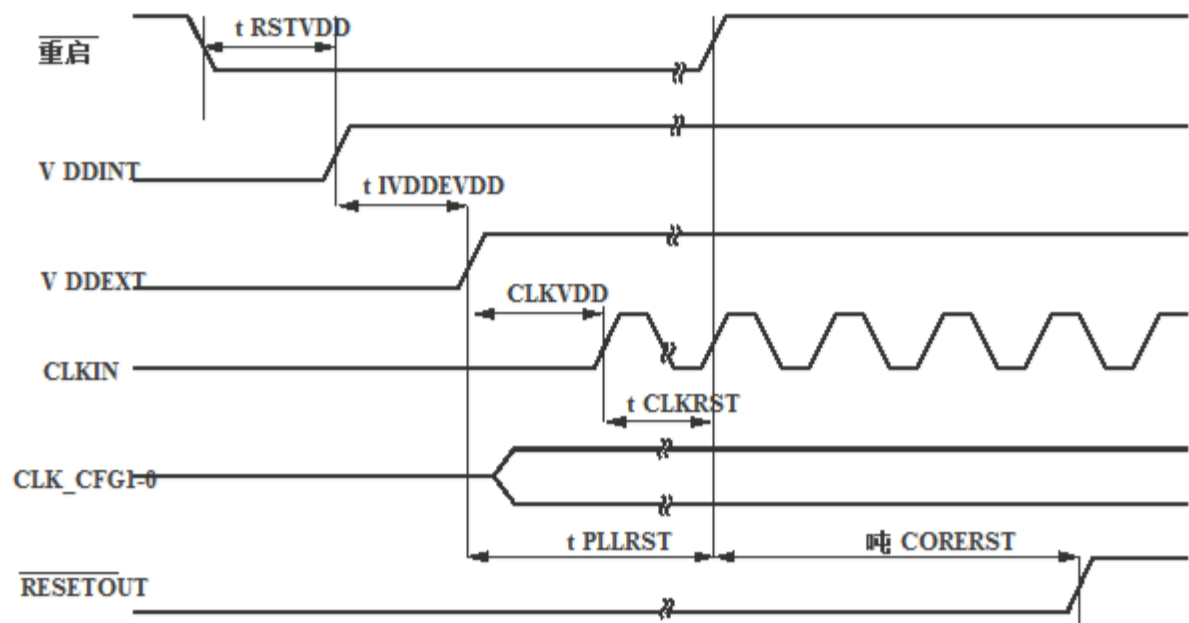


图5.上电排序

时钟输入

表20.时钟输入

参数	300 MHz		350 MHz		400 MHz		450 MHz		单元
	敏	马克斯	敏	马克斯	敏	马克斯	敏	马克斯	
时间要求									
t CK CLKIN期间	26.66 1	100 2	22.81 1002		20 1 1002		17.75 1 1002		NS
t CKL CLKIN宽度低	13	45	11 45		10 45		8.875 45		NS
t CKH CLKIN宽度高	13	45	11 45		10 45		8.875 45		NS
t CKRF CLKIN上升/下降 (0.4 V至2.0 V)		3		3		3		3	NS
t CCEK CCLK期间	3.33	10	2.85 10		2.5 10		2.22 10		NS
f VCO VCO频率	200	800	200 800		200 800		200 900		兆赫
t CKJ 7 CLKIN抖动容差	-250	+250	-250 +250		-250 +250		-250 +250		PS

1 仅适用于CLK_CFG1-0 = 00以及PMCTL中PLL控制位的默认值。
2 仅适用于CLK_CFG1-0 = 01和PMCTL中PLL控制位的默认值。
3 通过仿真保证但未在硅上进行测试。
4 PMCTL寄存器中PLL控制位的任何改变必须满足核心时钟时序规范t
5 请参见第22页的图4了解VCO图。
6 实际输入抖动应与交流规格相结合以进行准确的时序分析。
7 抖动规格是最大峰峰值时间间隔误差 (TIE) 抖动。

CCLK

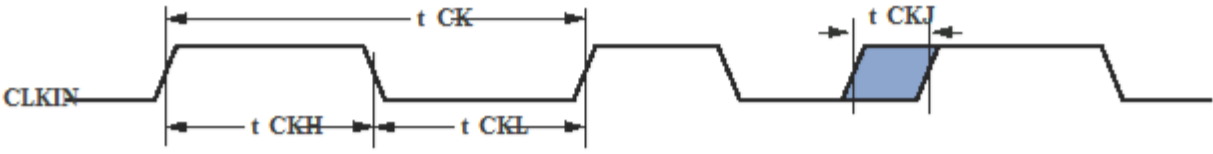
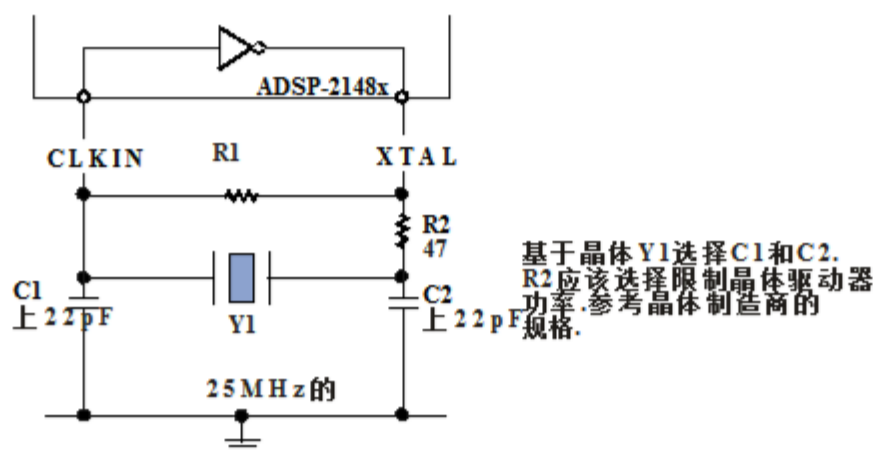


图6.时钟输入

时钟信号

ADSP-2148x可以使用外部时钟或晶振.看到了第14页的表11中的CLKIN引脚说明.程序可以配置处理器使用其内部时钟发生器.将必要的组件连接到CLKIN和XTAL.图7显示了用于晶体的组件连接

在基本模式下运行.请注意,时钟频率是使用25 MHz晶振和PLL倍频比16:1实现(CCLK: CLKIN达到400 MHz的时钟速度).实现完整的内核时钟频率,程序需要配置多核时钟频率,PMCTL寄存器中的钳位位.



典型值

图7.推荐的电路
基本模式晶体操作

www.wlxmall.com

重启

表21.重置

参数	敏	马克斯	单元
时间要求			
$\overline{\text{WRST}}^1$ 复位脉冲宽度低		$4 \times t_{\text{CK}}$	NS
t_{SRST} 在CLKIN为低电平前复位		8	NS

¹ 在启动序列完成后应用. 在上电时, 假定稳定, 处理器的内部锁相环在RESET为低电平时不超过100μs. VDD 和CLKIN (不包括外部时钟振荡器的启动时间).

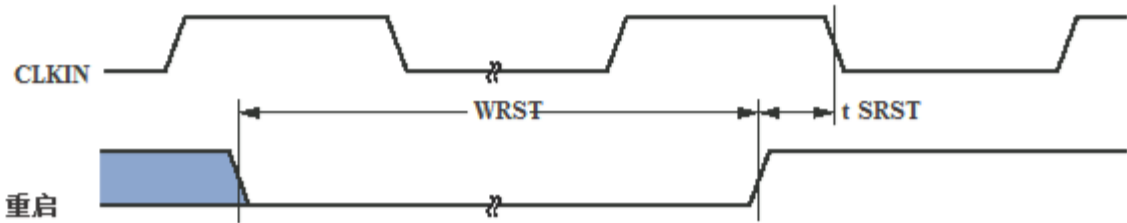


图8.重置

运行重置

以下时序规范适用于
RESETOUT / RUNRSTIN引脚当它被配置为
RUNRSTIN.

表22.运行重置

参数	敏	马克斯	单元
时间要求			
t_{WRUNRST} 运行复位脉冲宽度低		$4 \times t_{\text{CK}}$	NS
t_{SRUNRST} 在CLKIN高电平之前运行RESET设置		8	NS

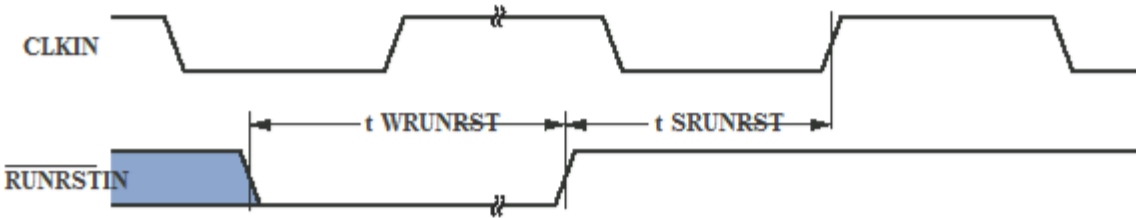


图9.运行重置

中断

以下时序规范适用于FLAG0，
FLAG1和FLAG2引脚配置为IRQ0时，
IRQ1和IRQ2中断，以及DAI_P20-1和
当DPI_P14-1引脚配置为中断时。

表23.中断

参数	敏	马克斯	单元
时间要求			
t_{IPW}	$\overline{IRQ_x}$ 脉冲宽度	$2 \times t_{PCLK} + 2$	NS

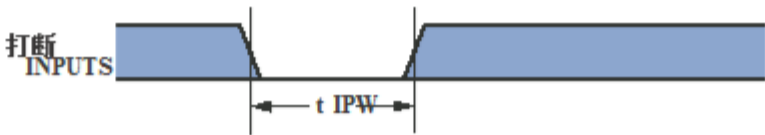


图10.中断

核心计时器

以下时序规范适用于FLAG3
配置为核心定时器（TMREXP）。

表24.内核定时器

参数	敏	马克斯	单元
切换特性			
t_{WCTIM}	TMREXP脉冲宽度	$4 \times t_{PCLK} - 1$	NS

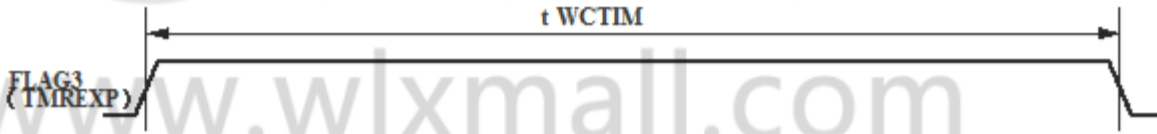


图11.核心定时器

定时器PWM_OUT周期时序

以下时序规范适用于timer0和timer1
在PWM_OUT（脉宽调制）模式下.定时器信号
通过DPI SRU路由到DPI_P14-1引脚.那里-
因此，下面提供的时序规范在
DPI_P14-1引脚.

表25.定时器PWM_OUT时序

参数	敏	马克斯	单元
切换特性			
t PWMO 定时器脉冲宽度输出	2×t PCLK - 1.2	2× (2 31 -1) ×t PCLK	NS

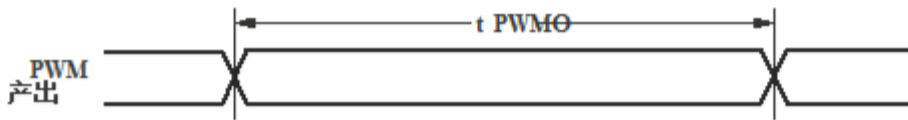


图12.定时器PWM_OUT时序

定时器WIDTH_CAP定时

以下时序规范适用于timer0和timer1，
和WIDTH_CAP（脉冲宽度计数和捕捉）模式。
定时器信号通过DPI_P14-1引脚发送到DPI_P14-1引脚
SRU.因此，下面提供的时序规范是有效的
在DPI_P14-1引脚.

表26.定时器宽度捕获时序

参数	敏	马克斯	单元
时间要求			
t PWI 定时器脉冲宽度	2×t PCLK	2× (2 31 -1) ×t PCLK	NS

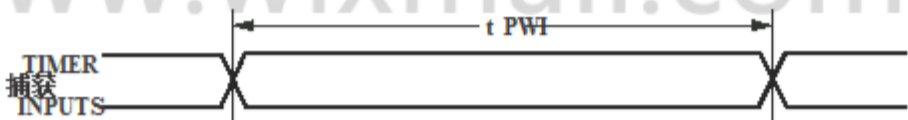


图13.定时器宽度捕获时序

看门狗定时器时序

表 27.看门狗定时器时序

参数	敏	马克斯	单元
时间要求			
t WDTCLKPER	100	1000	NS
开关特性			
RST	WDT时钟上升沿到看门狗定时器复位下降沿	3 6 . 4	NS
RSTPW	重置脉冲宽度	64×t WDTCLKPER	NS

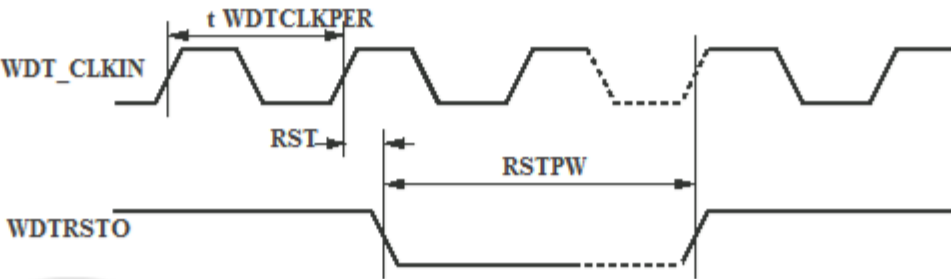


图14.看门狗定时器时序

引脚到引脚直接路由 (DAI和DPI)

仅用于直接引脚连接 (例如DAI_PB01_I到DAI_PB02_O) .

表 28. DAI / DPI引脚到引脚布线

参数	敏	马克斯	单元
时间要求			
DPIO	延迟DAI / DPI引脚输入有效到DAI / DPI输出有效	1.5 12	NS

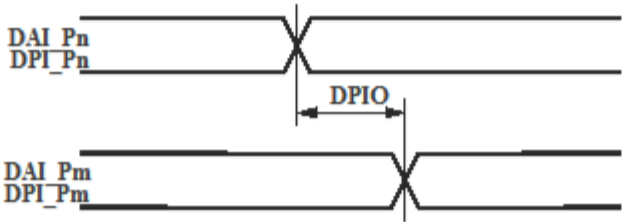


图15. DAI引脚到引脚直接路由

精密时钟发生器（直接引脚布线）

这个时间仅在SRU被配置成这样的情况下有效
精密时钟发生器（PCG）直接输入
从DAI引脚（通过引脚缓冲器）发送它的输出
直接连接到DAI引脚.对于PCG的其他情况

输入和输出不直接路由到/从DAI引脚（通过
引脚缓冲器），没有可用的时序数据.所有时间参数 -
eters和开关特性适用于外部DAI引脚
（DAI_P01 - DAI_P20）.

表29.精密时钟发生器（直接引脚布线）

参数	敏	马克斯	单元
时间要求			
t PCGIW 输入时钟周期	$t PCLK \times 4$		NS
t STRIG PCG输入下降沿之前的PCG触发器设置时钟	4.5		NS
t HTRIG PCG输入下降沿后的PCG触发保持时钟	为 3 n s		
开关特性			
D DPCGIO PCG输出时钟和帧同步有效边沿PCG输入时钟后延迟	2.5	10	NS
t DTRIGCLK PCG触发后的PCG输出时钟延迟	$2.5 + (2.5 \times t PCGIP)$	$10 + (2.5 \times t PCGIP)$ ns	
t DTRIGFS PCG触发后的PCG帧同步延迟	$2.5 + ((2.5 + D-PH) \times t PCGIP)$	$(2.5 + D-PH) \times t PCGIP$ ns	
PCGOW ¹ 输出时钟周期	$2 \times t PCGIP - 1$		NS

D = FSxDIV, PH = FSxPHASE.欲了解更多信息，请参阅ADSP-214xx SHARC处理器硬件参考，“精密时钟发生器”章节。

1 正常操作模式.

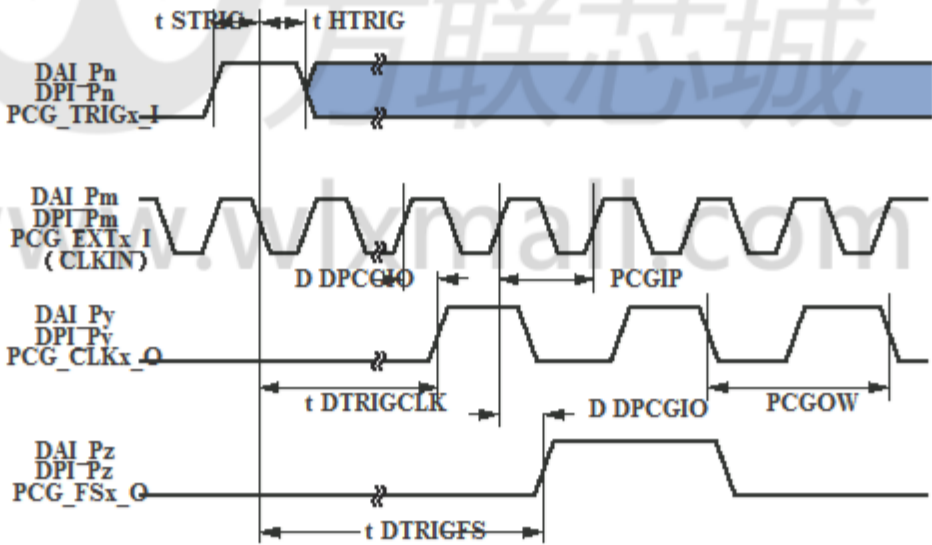


图16.精密时钟发生器（直接引脚布线）

旗

下面提供的时序规范适用于
DPI_P14-1, ADDR7-0, ADDR23-8, DATA7-0和FLAG3-0
引脚配置为FLAG时.请参阅第14页上的表11
有关国旗使用的更多信息.

表 30. 标志

参数	敏	马克斯	单元
时间要求 t_{FIPW} 标志在脉冲宽度		$2 \times t_{PCLK} + 3$	NS
切换特性 t_{FOPW} 标志输出脉冲宽度		$2 \times t_{PCLK} - 3$	NS

1 当标志连接到DPI_P14-1, ADDR7-0, ADDR23-8, DATA7-0和FLAG3-0引脚时, 这是适用的.

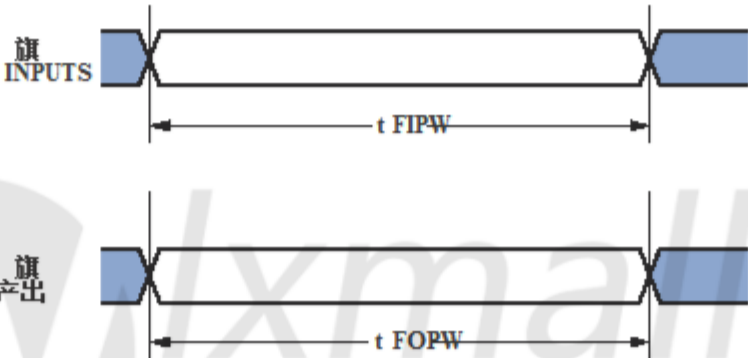


图 17. 标志

SDRAM接口时序 (166 MHz SDCLK)

SDRAM的最大频率是166 MHz.对于信息 - 在SDRAM频率和编程上，请参阅 ADSP-214xx SHARC处理器硬件参考，工程师 - to-Engineer Note“将SDRAM存储器连接到SHARC处理器” (EE-286) 和SDRAM供应商数据表.

表31. SDRAM接口时序

参数	值	单位
时间要求		
t SSDAT	数据设置在SDCLK 之前	NS
t HSDAT	数据保持SDCLK 后	NS
开关特性		
t SDCLK	SDCLK 期间	NS
t SDCLKH	SDCLK 宽度高	NS
t SDCLKL	SDCLK 宽度低	NS
t DCAD	命令， ADDR， SDCLK 后的数据延迟	NS
t HCAD	命令， ADDR， SDCLK 后的数据保持	NS
t DSDAT	数据在SDCLK 后禁用	NS
t ENSDAT	SDCLK 后数据使能	NS

1 系统应使用速度等级高于所需SDRAM控制器速度的SDRAM模型. 例如，运行在166 MHz的SDRAM控制器应使用速度等级为183 MHz或更高的SDRAM模型. 请参阅工程师到工程师注意事项“将SDRAM存储器连接到SHARC处理器” (EE-286) 有关SDRAM接口硬件设计指南的更多信息.

2 个 命令引脚包括: SDCAS, SDRAS, SDWE, MSx, SDA10, SDCKE.

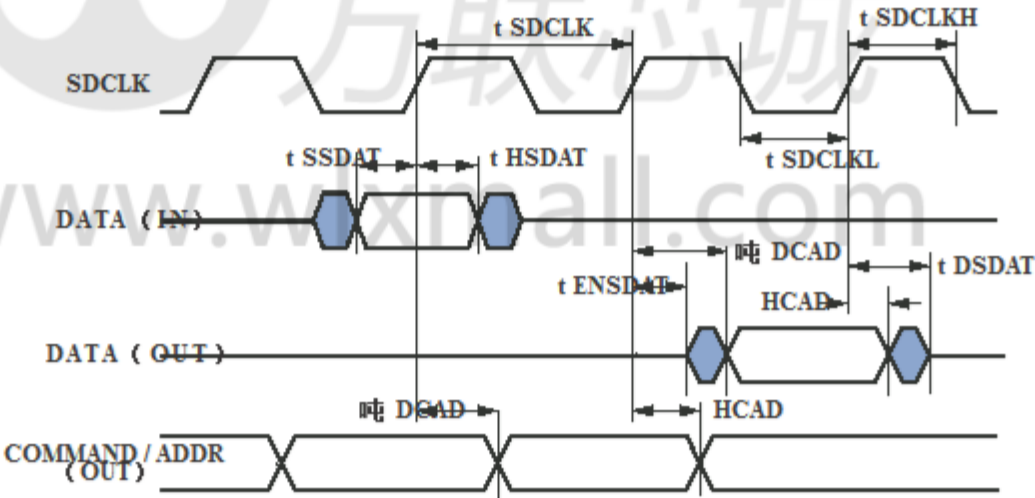


图18. SDRAM接口时序

AMI 阅读

将这些规范用于异步接口到 memo-

里斯。请注意，AMI_ACK，ADDR，DATA，AMI_RD，

AMI_WR 和选通时序参数仅适用于异步时序参数

慢速访问模式。

表 32. AMI 读取

参数	敏	马克斯	单元
时间要求			
$t_{DAD}^{2,3}$ 地址选择延迟到数据有效		$W + t_{SDCLK} - 5.4$	NS
t_{DRLD}^3 AMI_RD 低到数据有效		$W - 3.2$	NS
SDS 数据设置为 AMI_RD 高	2.5		NS
t_{HDRH}^5 数据保持从 AMI_RD 高	0		NS
t_{DAAK}^6 AMI_ACK 从地址延迟，选择		$t_{SDCLK} - 9.5 + W$	NS
t_{DSAK} AMI_ACK 从 AMI_RD 低延迟		$W - 7$	NS
开关特性			
t_{DRHA} 地址在 AMI_RD 为高电平后选择保持	$RHC + 0.20$		NS
$t_{达尔}^2$ 地址选择为 AMI_RD 低	$t_{SDCLK} - 3.8$		NS
RW AMI_RD 脉冲宽度	$W - 1.4$		NS
RWR AMI_RD 高到 AMI_RD 低	$HI + t_{SDCLK} - 1$		NS

$W = (\text{在 AMICTLx 寄存器中指定的等待状态数}) \times t_{SDCLK}$

$RHC = (\text{AMICTLx 寄存器中指定的读取保持周期数}) \times t_{SDCLK}$

$PREDIS = 0$

$HI = RHC$: 读取从同一个银行读取

$HI = RHC + IC$: 读取从不同的银行读取

$HI = RHC + \text{最大}(IC, (4 \times t_{SDCLK}))$: 从相同或不同的存储区读取到写入

$PREDIS = 1$ 的地方

$HI = RHC + \text{最大}(IC, (4 \times t_{SDCLK}))$: 从相同或不同的存储区读取到写入

$HI = RHC + (3 \times t_{SDCLK})$: 读取从同一个存储区读取

$HI = RHC + \text{Max}(IC, (3 \times t_{SDCLK}))$: 读取从不同的存储区读取

$IC = (\text{在 AMICTLx 寄存器中指定的空闲周期数}) \times t_{SDCLK}$

$H = (\text{在 AMICTLx 寄存器中指定的保持周期数}) \times t_{SDCLK}$

1 数据延迟/设置: 系统必须满足 t_{DAD} , t_{DRLD} 或 t_{SDS} .

2 MSx 的下降沿被引用.

3 t_{DAD} 和 t_{DRLD} 参数的时序要求值的最大限制 适用于 AMI_ACK 始终为高而 ACK 特征不为用过的.

4 请注意, AMI_ACK, ADDR, DATA, AMI_RD, AMI_WR 和选通时序参数的时序仅适用于异步访问模式.

5 数据保持: 用户必须 在异步访问模式下 满足 HDRH. 在电容和直流负载情况下, 请参见第 55 页上的测试条件以计算保持时间.

6 AMI_ACK 延迟/设置: 用户必须满足 t_{DAAK} 或 t_{DSAK} 才能取消 AMI_ACK (低电平).

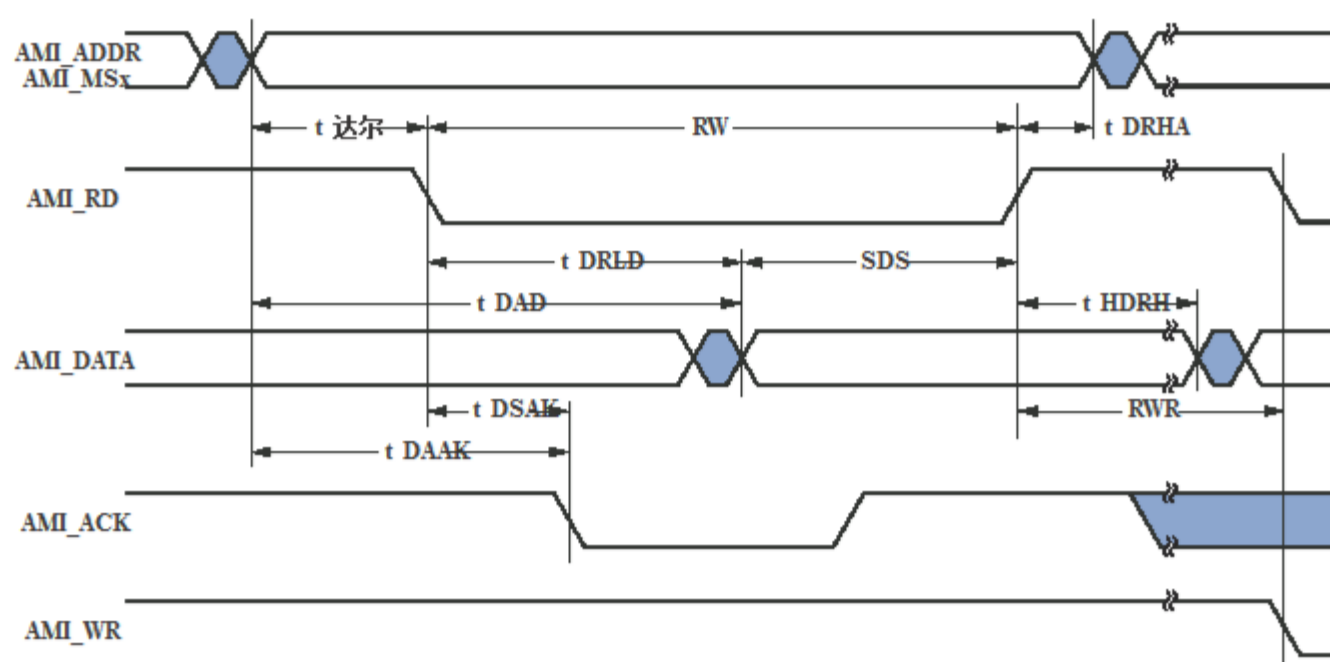


图19. AMI读取

www.wxmall.com

AMI写

将这些规范用于异步接口到memo-

里斯. 请注意, AMI_ACK, ADDR, DATA, AMI_RD,

AMI_WR和选通时序参数仅适用于异步时序参数

慢速访问模式.

表33. AMI写入

参数	敏	马克斯	单元
时间要求			
$t_{DA\bar{A}K}^2$	AMI_ACK从地址延迟, 选择	$t_{SDCLK} - 9.7 + W$	NS
$t_{DS\bar{A}K}^3$	AMI_ACK从AMI_WR低延迟	$W - 6$	NS
开关特性			
$DAW\bar{H}^2$	地址选择为AMI_WR取消断言	$t_{SDCLK} - 3.1 + W$	NS
$DAW\bar{L}$	地址选择为AMI_WR低	$t_{SDCLK} - 3$	NS
WW	AMI_WR脉冲宽度	$W - 1.3$	NS
t_{DDWH}	AMI_WR高电平之前的数据设置	$t_{SDCLK} - 3.7 + W$	NS
t_{DWHA}	AMI_WR取消断言后的地址保持	$H + 0.15$	NS
t_{DWHD}	AMI_WR取消置位后的数据保持	H	NS
$D\bar{D}ATRWH$	AMI_WR取消断言后数据禁用	$t_{SDCLK} - 4.3 + H$	NS
WWR^5	AMI_WR高到AMI_WR低	$t_{SDCLK} - 1.5 + H$	NS
t_{DDWR}	在AMI_RD低电平之前数据禁用	$2 \times t_{SDCLK} - 6$	NS
t_{WDE}	AMI_WR低到数据启用	$t_{SDCLK} - 3.7$	NS

$W = (\text{在 AMICTLx 寄存器中指定的等待状态数}) \times t_{SDCLK}$

$H = (\text{在 AMICTLx 寄存器中指定的保持周期数}) \times t_{SDCLK}$

1 AMI_ACK延迟/设置: 系统必须满足 $t_{DA\bar{A}K}$ 或 $t_{DS\bar{A}K}$ 才能取消AMI_ACK(低电平).

2 引用MSx的下降沿.

3 请注意, AMI_ACK, AMI_RD, AMI_WR和选通时序参数的时序仅适用于异步访问模式.

4 请参阅第55页上的测试条件以计算给定电容和直流负载的保持时间.

5 对于写入写入: $t_{SDCLK} + H$, 同一银行和不同的银行. 对于写入读取: $3 \times t_{SDCLK} + H$, 对于同一银行和不同的银行.

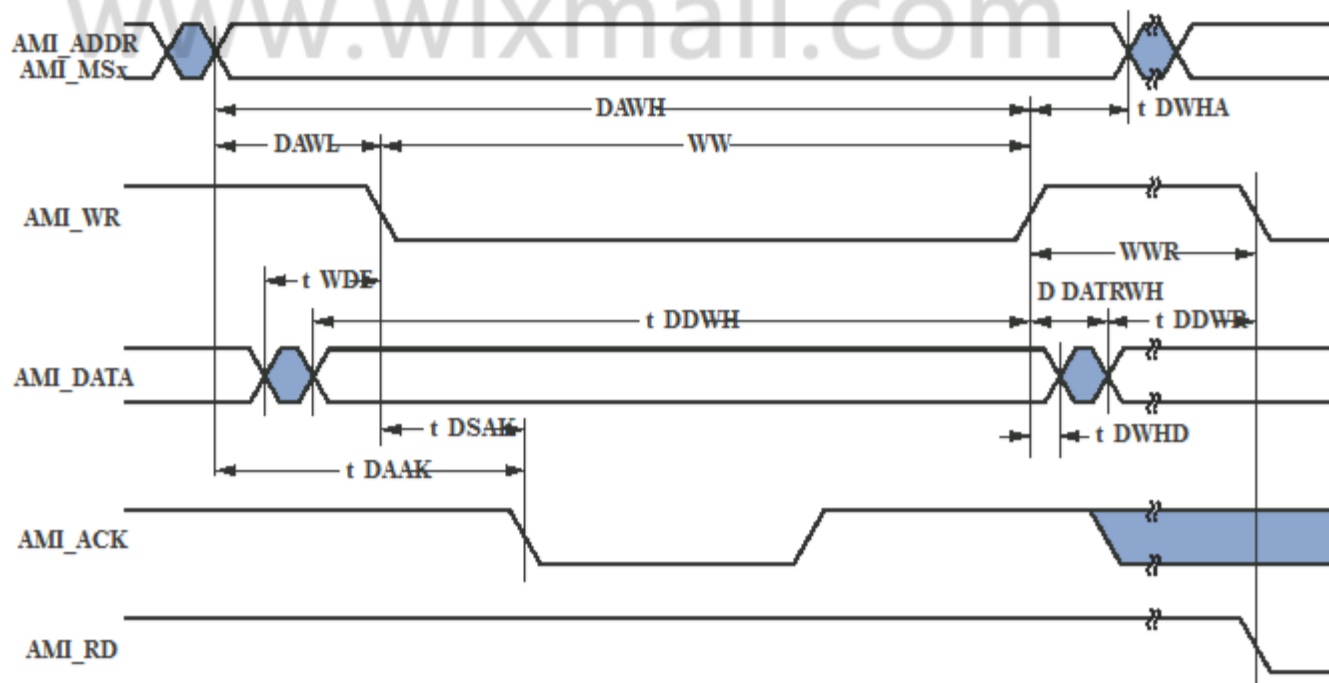


图20. AMI写入

串口

在从发送器模式和主接收器模式下，**maxi-** 母串口频率为 $f_{PCLK}/8$ 。在主发射机 模式和从机接收模式，最大串口时钟 频率是 $f_{PCLK}/4$ 。确定是否沟通 在时钟速度为n的两个设备之间可能有以下情况

规格必须确认：1) 帧同步延迟和帧 同步建立并保持; 2) 数据延迟和数据建立和保持;和 3) SCLK宽度。
串口信号 (SCLK，帧同步，数据通道A，数据 通道B) 使用SRU路由到DAI_P20-1引脚。
因此，下面提供的时序规格在 DAI_P20-1引脚。

表34.串行端口 - 外部时钟

参数	敏	马克斯	单元
时间要求			
t_{SFSE} SCLK之前的帧同步设置 (发送或接收中的外部生成的帧同步 模式)	2.5		NS
t_{HFSE} SCLK后保持帧同步 (发送或接收中的外部生成的帧同步 模式)	2.5		NS
$SDRE$ 在接收SCLK之前接收数据设置	1.9		NS
t_{HDRE} SCLK后接收数据保持	2.5		NS
t_{SCLKW} SCLK宽度	$(t_{PCLK} \times 4) \div 2 - 1.5$		NS
t_{SCLK} SCLK期间	$t_{PCLK} \times 4$		NS
开关特性			
t_{DFSE} SCLK后的帧同步延迟 (发送或接收模式下的内部生成的帧同步)		10.25	NS
$HOFSE$ SCLK后保持帧同步 (发送或接收模式下的内部生成的帧同步)	2		NS
t_{DDTE} 发送SCLK后发送数据延迟		9	NS
t_{HDTE} 发送SCLK后发送数据保持	2		NS

1 参考采样边缘。
2 参考驱动边缘。

表35.串行端口 - 内部时钟

参数	敏	马克斯	单元
时间要求			
$SFSI^1$ SCLK之前的帧同步设置 (发送或接收模式下的外部生成帧同步)	7		NS
$HFSI^1$ SCLK后保持帧同步 (发送或接收模式下的外部生成帧同步)	2.5		NS
$SDRI^1$ 在SCLK之前接收数据设置	7		NS
t_{HDRI} SCLK后接收数据保持	2.5		NS
开关特性			
t_{DFSI} SCLK后的帧同步延迟 (发送模式下的内部生成帧同步)		4	NS
$HOFSI^2$ SCLK后的帧同步保持 (发送模式下的内部生成帧同步)	-1		NS
t_{DFSIR} SCLK (接收模式下内部产生的帧同步) 之后的帧同步延迟		9.75	NS
$HOFsir$ 在SCLK (接收模式下内部产生帧同步) 后保持帧同步	-1		NS
t_{DDTI} SCLK后传输数据延迟		3.25	NS
t_{HDTI} 在SCLK后传输数据保持	-2		NS
t_{SCKLIW} 发送或接收SCLK宽度	$2 \times t_{PCLK} - 1.5$	$2 \times t_{PCLK} + 1.5$	ns

1 参考样本边缘。
2 参考驱动边缘。

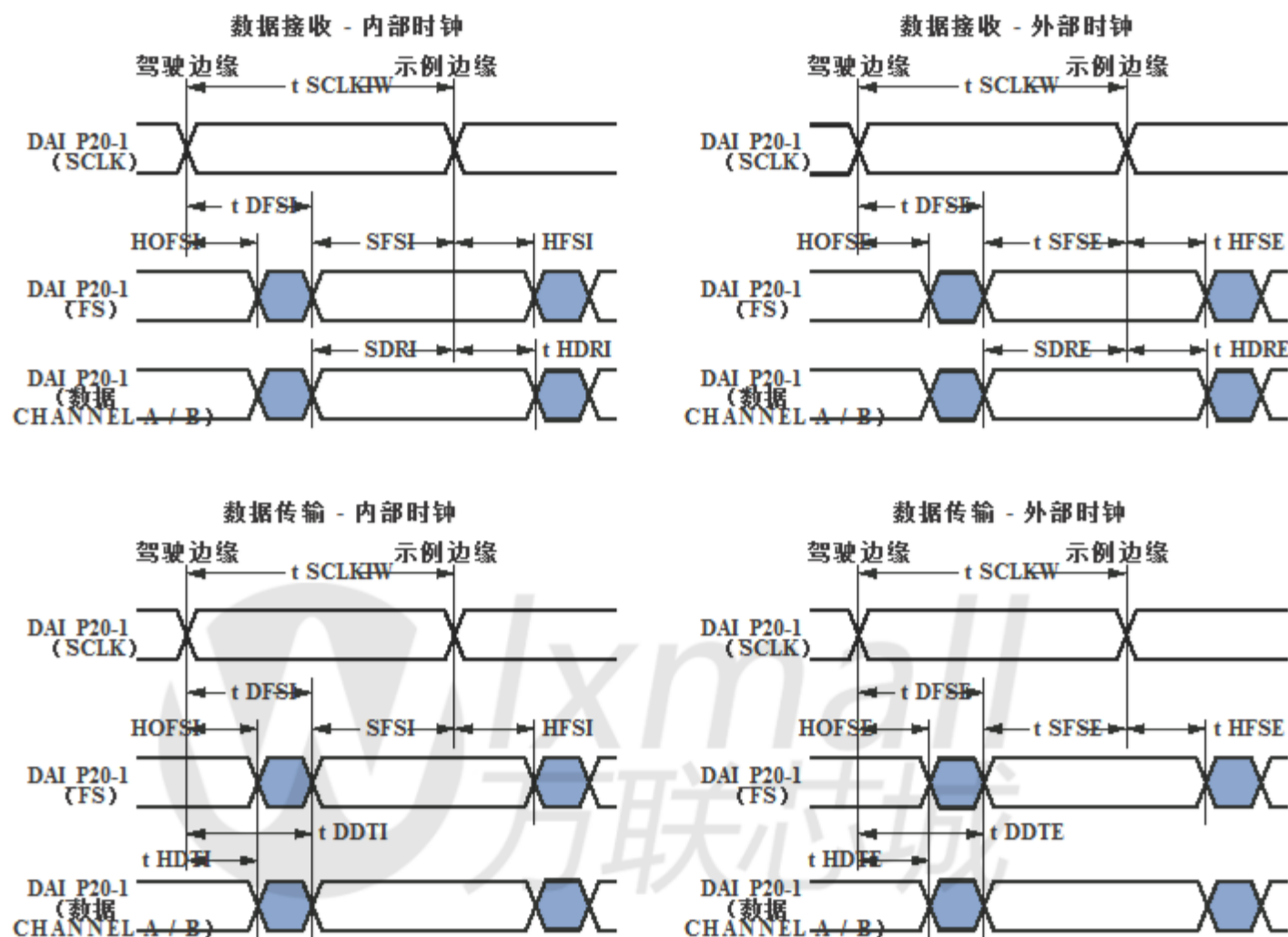


图21. 串行端口

表36.串行端口 - 外部延迟帧同步

参数	敏	马克斯	单元
开关特性			
t DDTLFSE	从后面的外部传输帧同步或外部数据延迟接收帧同步MCE = 1，MFD = 0	8.5	NS
DDTENFS	数据使能为MCE = 1，MFD = 0	0.5	NS

1 t DDTLFSE 和t DDTENFS 参数适用于左对齐以及DSP串行模式，MCE = 1，MFD = 0.

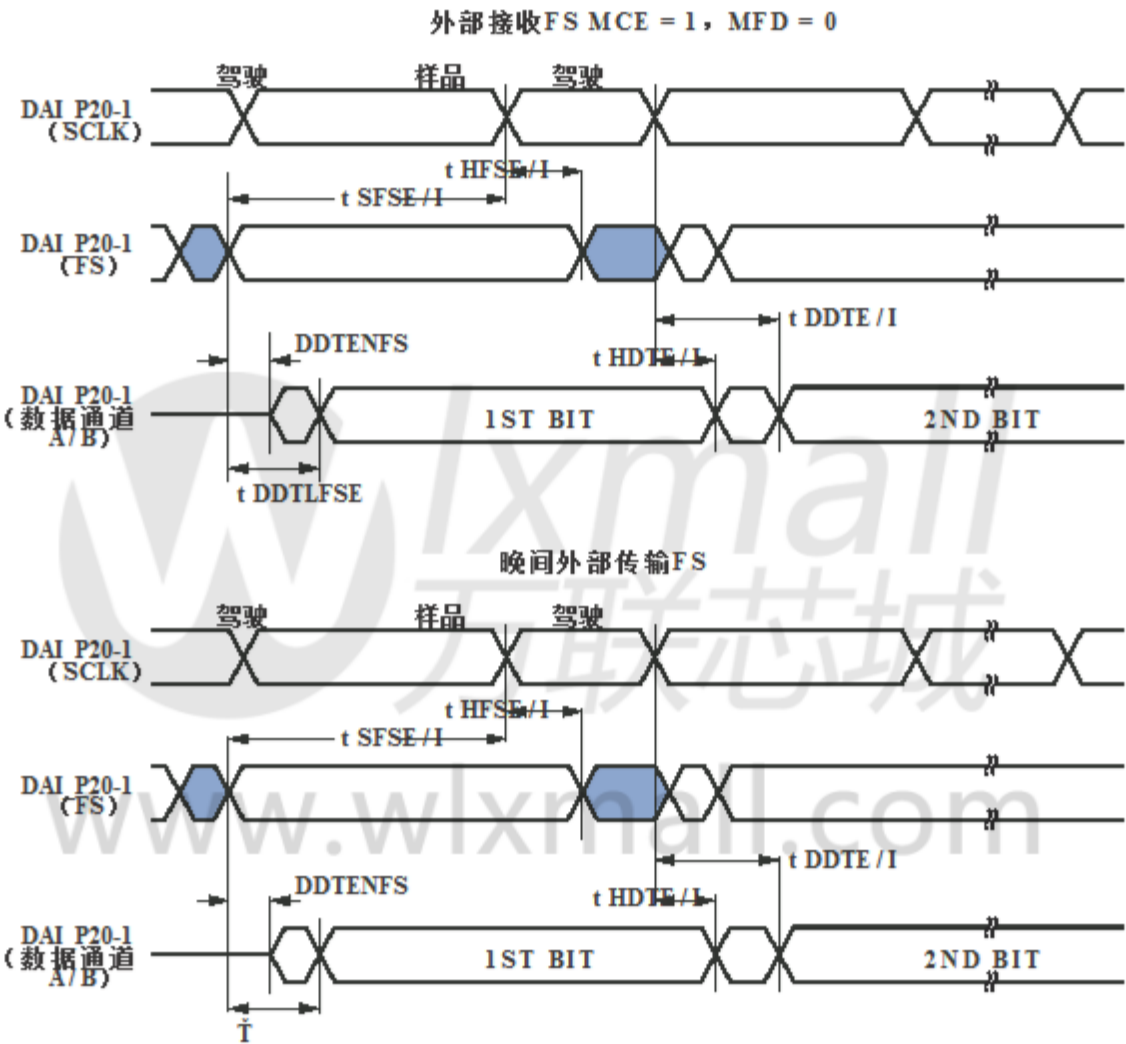


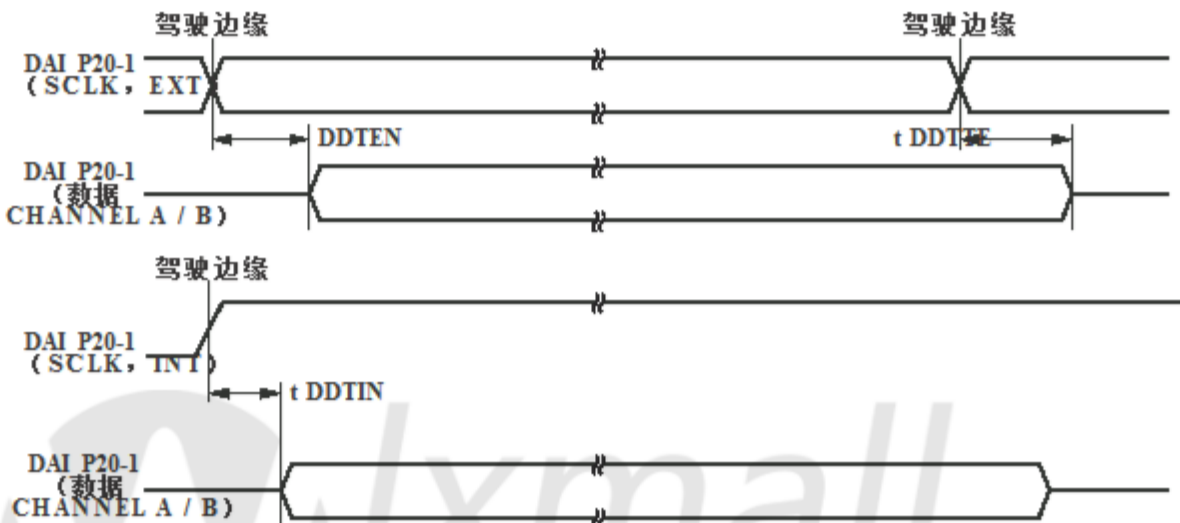
图22.外部晚期帧同步 1

1 这个数字反映了支持左对齐模式的变化.

表37. 串行端口启用和三态

参数		敏	马克斯	单元
开关特性				
$DDTEN$	数据从外部发送SCLK使能	2		NS
t_{DDTTE}	数据禁止从外部传输SCLK		11.5	NS
t_{DDTIN}	数据从内部发送SCLK使能	-1.5		NS

1 引用驱动器边缘.



SPORTx_TDV_O输出信号（路由单元）变成
在SPORT多通道模式下有效.在传输间隙
（使能有效通道选择寄存器）
SPORTx_TDV_O被断言与外部通信
设备.

表38.串行端口-TDV（发送数据有效）

参数		敏	马克斯	单元
开关特性 1				
t DRDVEN	外部时钟驱动边沿的TDV断言延迟	3		NS
t DFDVEN	TDV从外部时钟的驱动边沿取消断言延迟		8	NS
DRDVIN	内部时钟驱动边沿的TDV断言延迟	-1		NS
t DFDVIN	TDV从内部时钟的驱动边沿取消断言延迟		2	NS

1 引用驱动器边缘.

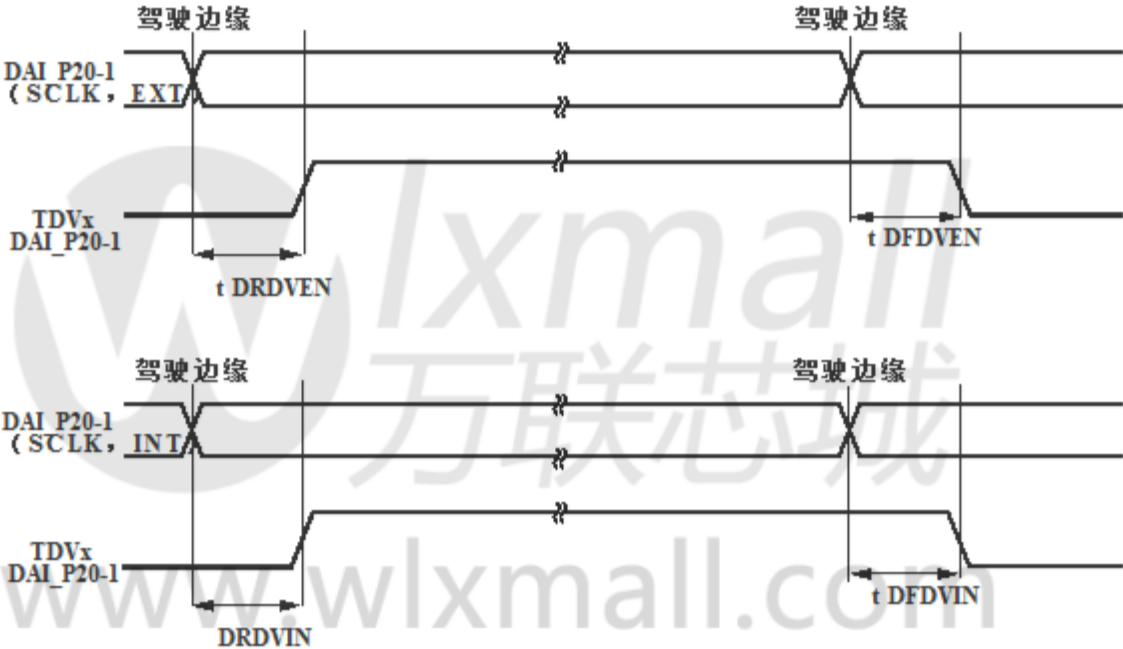


图24.串行端口-TDM内部和外部时钟

输入数据端口 (IDP)

IDP的时间要求见表39
信号通过SRU路由到DAI_P20-1引脚.那里-
因此, 下面提供的时序规范在
DAI_P20-1引脚.

表39.输入数据端口 (IDP)

参数	敏	马克斯	单元
时间要求			
SISFS ¹	串行时钟上升沿之前的帧同步设置	3.8	NS
SIHFS ¹	串行时钟上升沿后帧同步保持	2.5	NS
t SISD ¹	串行时钟上升沿之前的数据设置	2.5	NS
SIHD ¹	串行时钟上升沿之后的数据保持	2.5	NS
t IDPCLKW	时钟宽度	(t PCLK ×4) ÷2 - 1	NS
t IDPCLK	时钟周期	t PCLK ×4	NS

1 串行时钟, 数据和帧同步信号可以来自任何DAI引脚. 串行时钟和帧同步信号也可以通过PCG或SPORT来实现. PCG的输入可以是CLKIN或任何DAI引脚.

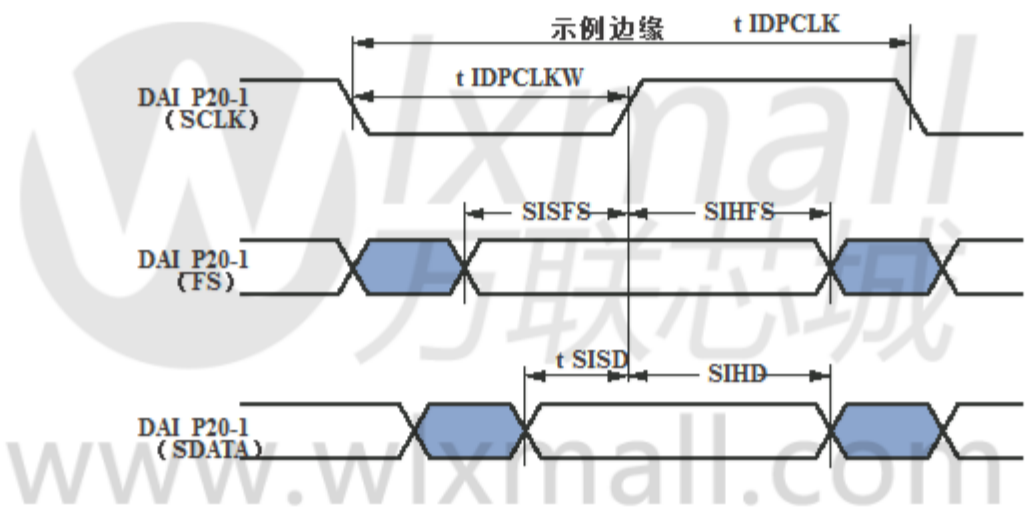


图25. IDP主时序

并行数据采集端口 (PDAP)

PDAP的时间要求请参见
表40. PDAP是通道0的并行模式操作
IDP有关PDAP操作的详细信息, 请参阅

ADSP-214xx SHARC处理器硬件的PDAP章节
参考. 请注意, 外部PDAP数据的20位可以是
通过ADDR23-4引脚或通过DAI引脚提供.

表40. 并行数据采集端口 (PDAP)

参数		敏	马克斯	单元
时间要求				
SPHOLD	PDAP_CLK采样边缘之前的PDAP_HOLD设置	2.5		NS
HPHOLD	PDAP_CLK采样边沿后的PDAP_HOLD保持	2.5		NS
t PDS	PDAP_CLK采样边沿之前的PDAP_DAT设置	3.85		NS
t PDH	PDAP_CLK采样边沿后的PDAP_DAT保持	2.5		NS
t PDCLKW	时钟宽度	$(t PCLK \times 4) \div 2 - 3$		NS
t PDCLK	时钟周期	$t PCLK \times 4$		NS
开关特性				
t PDHLDD	在最后一个PDAP_CLK捕获边沿之后PDAP频闪的延迟	$2 \times t PCLK + 3$		NS
t PDSTRB	PDAP频闪脉冲宽度	$2 \times t PCLK - 1.5$		NS

1 PDAP_DATA的源极引脚是ADDR23-4或DAI引脚. PDAP_CLK和PDAP_HOLD的源引脚是1) DAI引脚; 2) 通过PCG的CLKIN; 3) 通过DAI引脚PCG;或者4) ADDR3-2引脚.

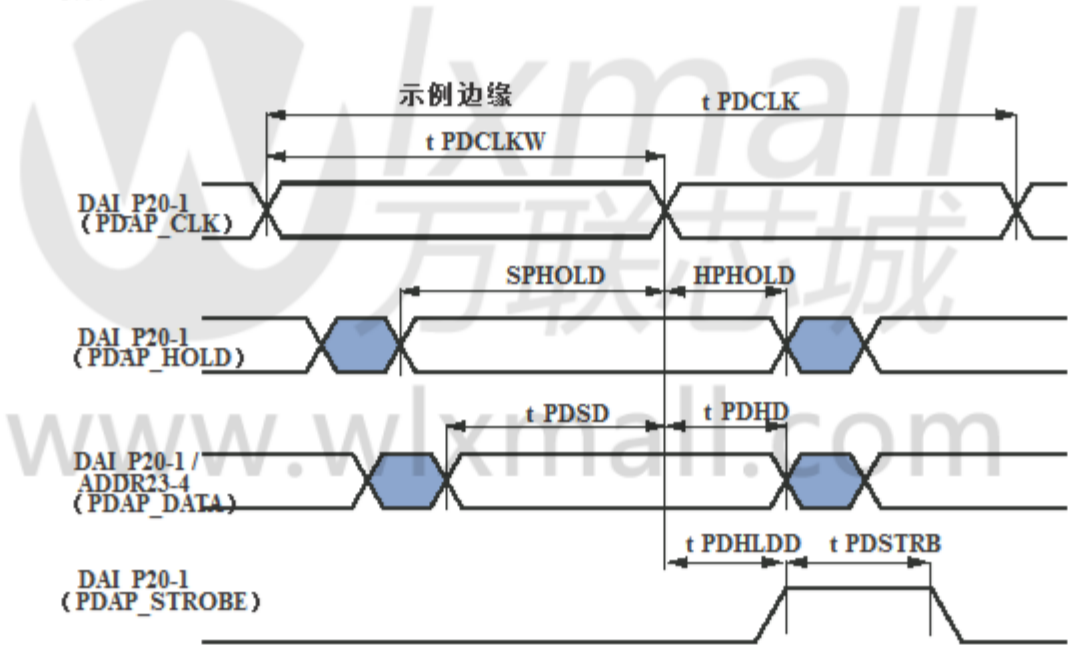


图26. PDAP时序

采样率转换器 - 串行输入端口

ASRC输入信号从DAI_P20-1引脚发送
使用SRU.因此，提供的时间规格
表41在DAI_P20-1引脚上有效.

表 41. ASRC，串行输入端口

参数		值	单位
时间要求			
t_{SRCFS}	串行时钟上升沿之前的帧同步设置	4	NS
t_{SRCHFS}	串行时钟上升沿后帧同步保持	5.5	NS
$SRCS\overline{D}$	串行时钟上升沿之前的数据设置	4	NS
$SRCH\overline{D}$	串行时钟上升沿之后的数据保持	5.5	NS
$t_{SRCCLKW}$	时钟宽度	$(t_{PCLK} \times 4) \div 2 - 1$	NS
t_{SRCCLK}	时钟周期	$t_{PCLK} \times 4$	NS

1 串行时钟，数据和帧同步信号可以来自任何DAI引脚. 串行时钟和帧同步信号也可以通过PCG或SPORT来实现. PCG的输入可以是CLKIN或任何DAI引脚.

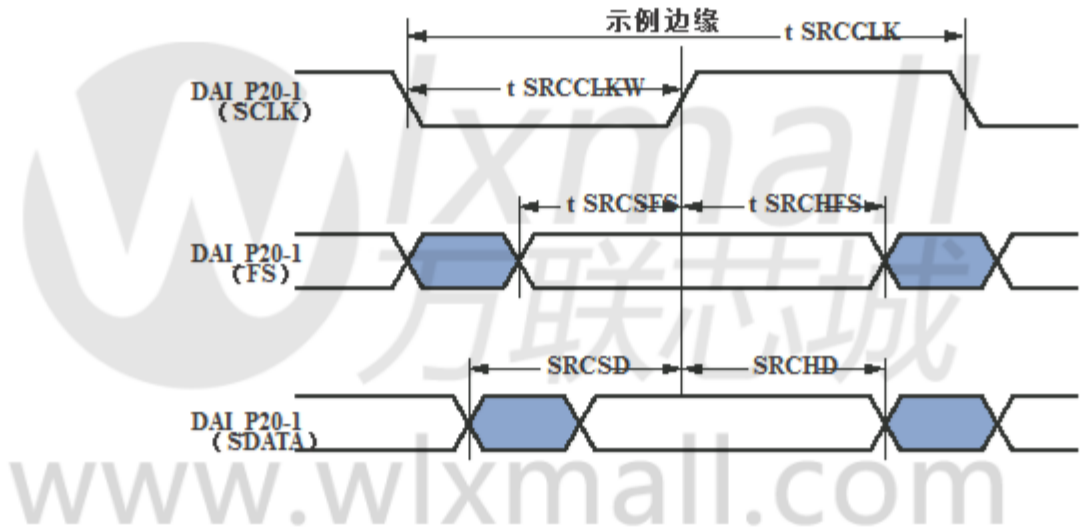


图27. ASRC串行输入端口时序

采样率转换器 - 串行输出端口

对于串行输出端口，帧同步是一个输入，应该满足关于SCLK的设置和保持时间输出端口.串行数据输出有一个保持时间和延迟

关于串行时钟的规范.请注意，串行时钟上升沿是采样沿，下降沿是上升沿驱动器边缘.

表42. ASRC，串行输出端口

参数		值	马克斯	单元
时间要求				
t SRCSFS	串行时钟上升沿之前的帧同步设置	4		NS
t SRCHFS	串行时钟上升沿后帧同步保持	5.5		NS
t SRCCLKW	时钟宽度	$(t PCLK \times 4) \div 2 - 1$		NS
t SRCCLK	时钟周期	$t PCLK \times 4$		NS
开关特性				
t SRCTDD	串行时钟下降沿后发送数据延迟		9.9	NS
t SRCTDH	串行时钟下降沿后发送数据保持	1		NS

1 串行时钟，数据和帧同步信号可以来自任何DAI引脚. 串行时钟和帧同步信号也可以通过PCG或SPORT来实现. PCG的输入可以是CLKIN或任何DAI引脚.

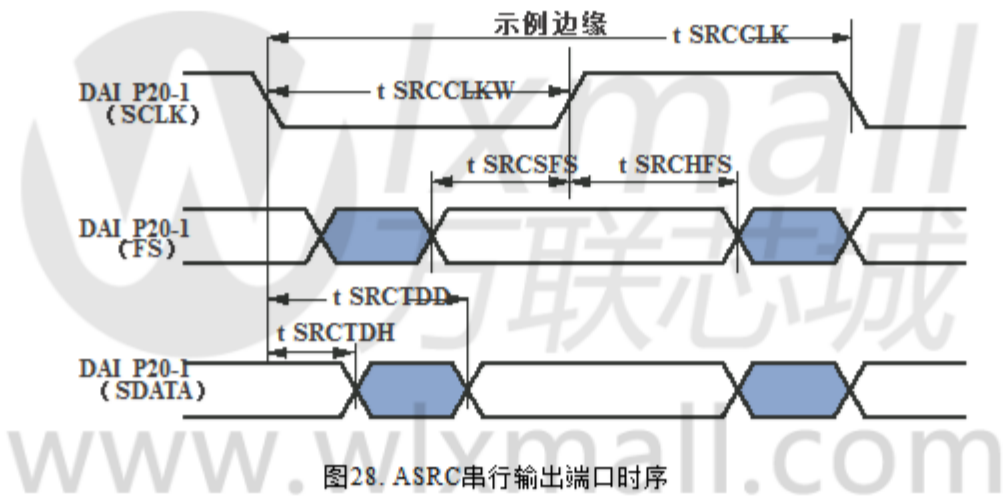


图28. ASRC串行输出端口时序

脉宽调制发生器 (PWM)

以下时间规格适用于以下情况
ADDR23-8 / DPI_14-1引脚被配置为PWM.

表 43.脉宽调制 (PWM) 时序

参数		敏	马克斯	单元
开关特性				
t PWMW	PWM输出脉冲宽度	t PCLK - 2	(2 16 - 2) ×t PCLK	NS
t PWMP	PWM输出周期	2×t PCLK - 1.5	(2 16 - 1) ×t PCLK	NS

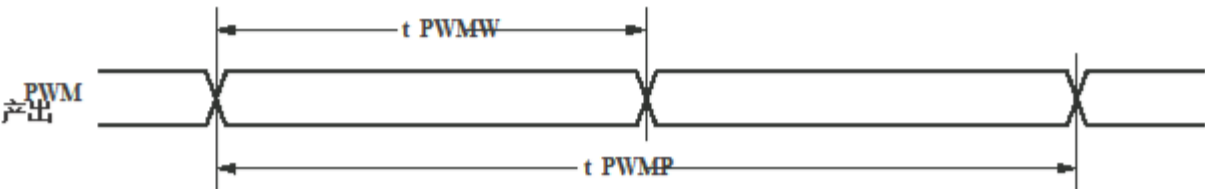


图29. PWM时序

S / PDIF发射器

串行数据输入到S / PDIF发射机可以格式化为左对齐, 12 S, 或右对齐, 字宽16,18, 20或24位.以下部分提供了时间发射机.

S / PDIF发送器 - 串行输入波形

图30显示了右对齐模式 帧同步高左声道, 右声道低.数据有效 串行时钟的上升沿. MSB推迟了最低限度在24位输出模式或最大在16位输出模式

从一个帧同步转换, 这样, 当有64个串行时钟周期每帧同步周期, 数据的LSB是右移的, 证明下一个帧同步过渡.

表 44. S / PDIF发送器右对齐模式

参数		公称	单元
时间要求			
t RJD	在右对齐模式下帧同步到MSB延迟		
	16位字模式	16	SCLK
	18位字模式	14	SCLK
	20位字模式	12	SCLK
	24位字模式	8	SCLK

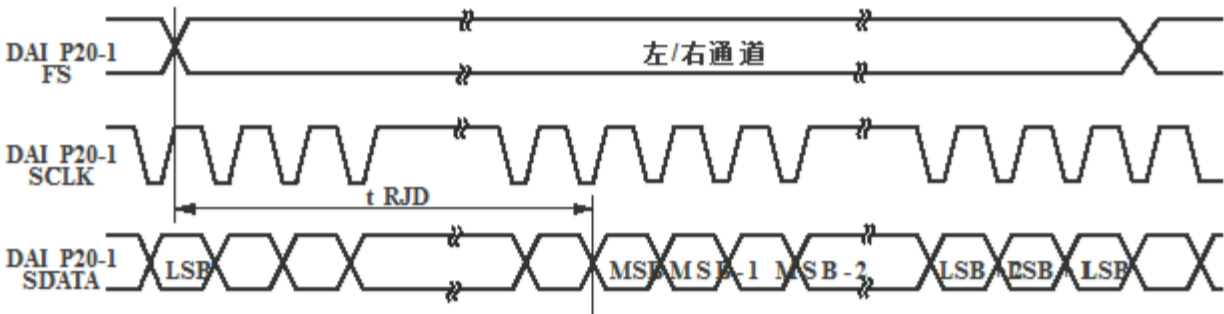


图30.右对齐模式

图31显示了默认的I2S对齐模式. 帧同步左声道低, HI右声道. 数据是在串行时钟的上升沿有效. MSB是左对齐的到帧同步转换, 但有一个延迟.

表45. S / PDIF发送器I2S模式

参数	公称	单元
时间要求		
t_{I2SD}	在I2S模式下帧同步到MSB延迟	1 SCLK

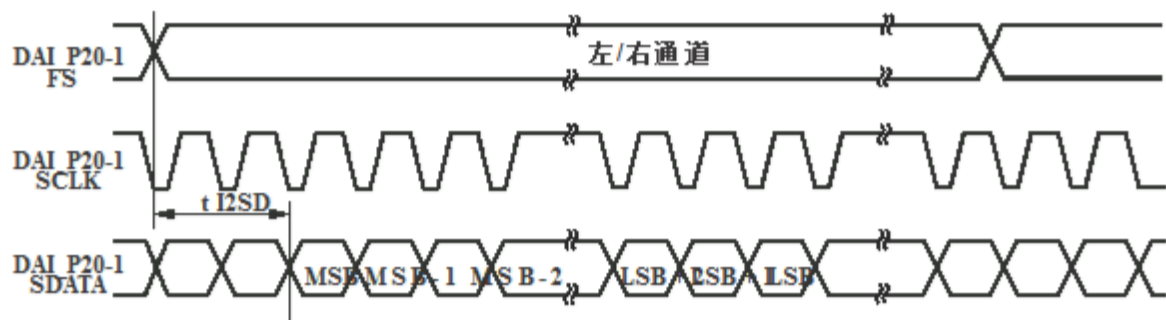


图31. I2S对齐模式

图32显示了左对齐模式. 帧同步是高的左声道, 右声道低. 数据是有效的在串行时钟的上升沿. MSB是左对齐的帧同步转换没有延迟.

表46. S / PDIF发送器左对齐模式

参数	公称	单元
时间要求		
LJD	在左对齐模式下帧同步到MSB延迟	0 SCLK

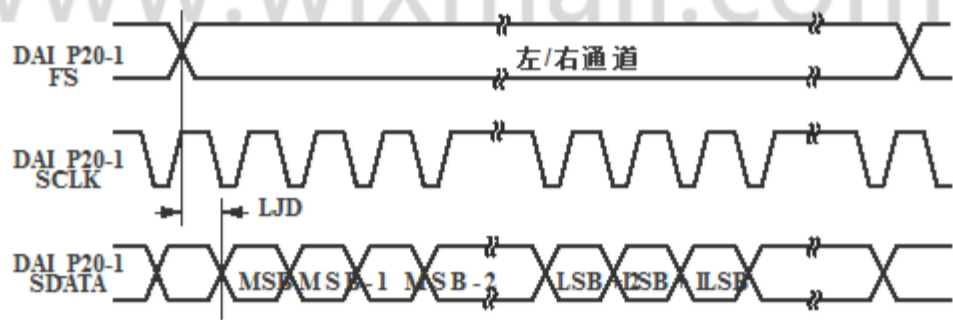


图32. 左对齐模式

S / PDIF发送器输入数据定时

给出了S / PDIF发射机的时序要求
在表47中,输入信号被路由到DAI_P20-1引脚
使用SRU,所以提供的时序规格
以下在DAI_P20-1引脚上有效.

表47. S / PDIF发送器输入数据时序

参数	敏	马克斯	单元
时间要求			
SISFS	串行时钟上升沿之前的帧同步设置	3	NS
SIHFS	串行时钟上升沿后帧同步保持	3	NS
t SISD	串行时钟上升沿之前的数据设置	3	NS
SIHD	串行时钟上升沿之后的数据保持	3	NS
t SITXCLKW	传输时钟宽度	9	NS
t SITXCLK	发送时钟周期	20	NS
t SISCLKW	时钟宽度	36	NS
t SISCLK	时钟周期	80	NS

1 串行时钟，数据和帧同步信号可以来自任何DAI引脚. 串行时钟和帧同步信号也可以通过PCG或SPORT来实现. PCG的输入可以是CLKIN或任何DAI引脚.

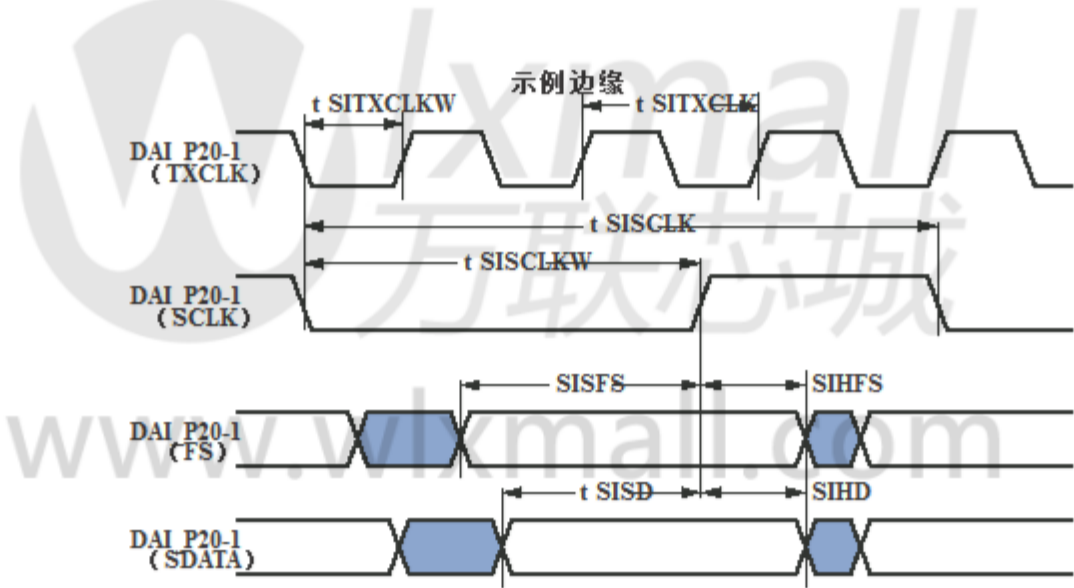


图33. S / PDIF发送器输入时序

过采样时钟 (TxCLK) 开关特性

S / PDIF发送器需要过采样时钟输入.
这个高频时钟 (TxCLK) 输入被分成了
生成内部双相时钟.

表48.过采样时钟 (TxCLK) 开关特性

参数	马克斯	单元
TxCLK的频率= 384×帧同步	过采样率×帧同步<= 1 / t SITXCLK MHz	
TxCLK的频率= 256×帧同步	49.2	兆 赫
帧率 (FS)	192.0	千 赫

S / PDIF接收器

以下部分描述与时间有关的时间

S / PDIF接收器.

内部数字PLL模式

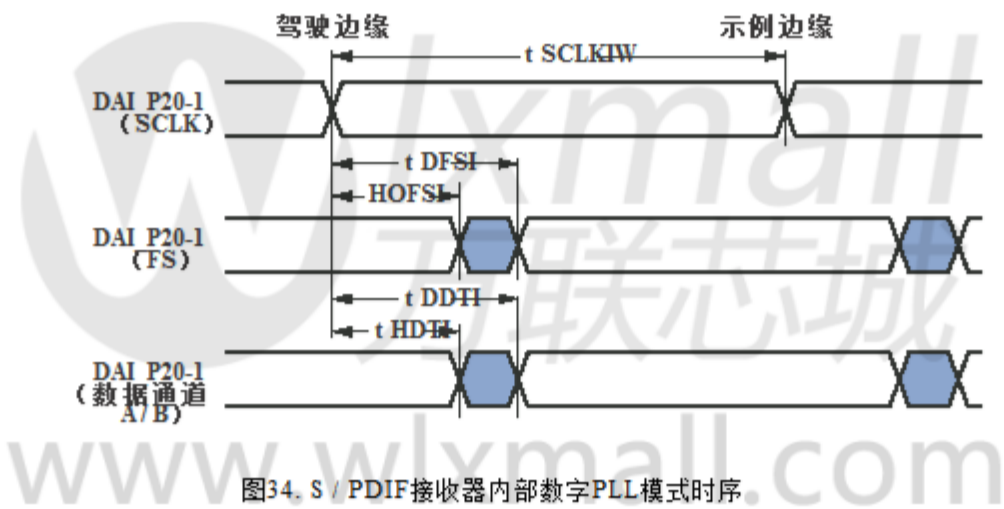
在内部数字锁相环模式下的内部PLL

(数字PLL) 产生 $512 \times FS$ 时钟.

表49. S / PDIF接收器内部数字PLL模式时序

参数		敏	马克斯	单元
开关特性				
t DFSI	串行时钟后的帧同步延迟		五	NS
HOFSI	串行时钟后保持帧同步	-2		NS
t DDTI	串行时钟后传输数据延迟		五	NS
t HDTI	串行时钟后传输数据保持	-2		NS
t SCLKIW	传输串行时钟宽度		$8 \times t_{PCLK} - 2$	NS

1 SCLK频率是 $64 \times FS$ ，其中 FS =帧同步的频率.



SPI接口 - 主

ADSP-2148x包含两个SPI端口.主,
只有通过新闻部才能获得通讯录.提供的时间
表50和表51适用于两者.

表50. SPI接口协议 - 主站切换和时序规范

参数		敏	马克斯	单元
时间要求				
t_{SSPIDM}	数据输入有效至SPICLK边沿 (数据输入建立时间)	8.2		NS
HSPIDM	SPICLK上次采样沿到数据输入无效	2		NS
开关特性				
$t_{SPICLKM}$	串行时钟周期	$8 \times t_{PCLK} - 2$		NS
t_{SPICHM}	串行时钟高电平时间	$4 \times t_{PCLK} - 2$		NS
t_{SPICLM}	串行时钟低电平时间	$4 \times t_{PCLK} - 2$		NS
DDSPIDM	SPICLK边缘到数据输出有效 (数据输出延迟时间)		2.5	NS
$t_{HDSPIDM}$	SPICLK边沿到数据输出无效 (数据输出保持时间)	$4 \times t_{PCLK} - 2$		NS
t_{SDSCIM}	DPI引脚 (SPI器件选择) 从低到第一个SPICLK边沿	$4 \times t_{PCLK} - 2$		NS
HDSM	最后一个SPICLK边沿至DPI引脚 (SPI器件选择) 为高电平	$4 \times t_{PCLK} - 2$		NS
t_{SPITDM}	顺序传输延迟	$4 \times t_{PCLK} - 1.2$		NS

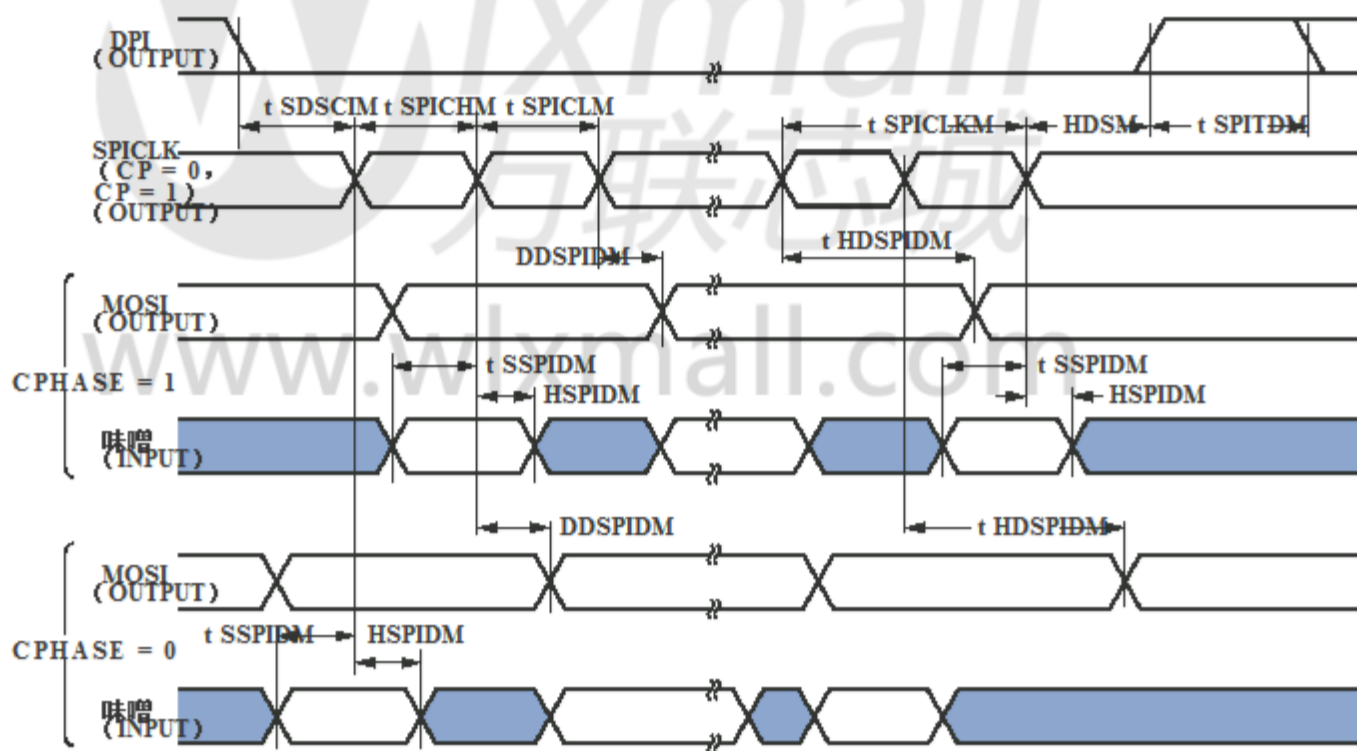


图35. SPI主时序

SPI接口 - 从机

表51. SPI接口协议 - 从属切换和时序规范

参数		敏	马克斯	单元
时间要求				
t SPICLKS	串行时钟周期	$4 \times t_{PCLK} - 2$		NS
t SPICHS	串行时钟高电平时间	$2 \times t_{PCLK} - 2$		NS
t SPICLS	串行时钟低电平时间	$2 \times t_{PCLK} - 2$		NS
SDSCO	SPIDS断言第一个SPICLK边缘 CPHASE = 0 CPHASE = 1	$2 \times t_{PCLK}$		NS
HDS	最后一个SPICLK边缘到SPIDS不被断言, CPHASE = 0	$2 \times t_{PCLK}$		NS
t SSPIDS	数据输入有效到SPICLK边沿 (数据输入建立时间)	2		NS
HSPIDS	SPICLK上次采样沿到数据输入无效	2		NS
t SDPPW	SPIDS取消断言脉冲宽度 (CPHASE = 0)	$2 \times t_{PCLK}$		NS
开关特性				
t DSOE	SPIDS断言数据输出处于活动状态	0	7.5	NS
t DSOE	SPIDS断言数据输出活动 (SPI2)	0	7.5	NS
t DSDHI	SPIDS无效数据高阻抗	0	10.5	NS
t DSDHI	SPIDS无效数据高阻抗 (SPI2)	0	10.5	NS
t DDSPIDS	SPICLK边缘到数据输出有效 (数据输出延迟时间)		9.5	NS
t HDSPIDS	SPICLK边沿到数据输出无效 (数据输出保持时间)	$2 \times t_{PCLK}$		NS
t DSOV	SPIDS断言数据输出有效 (CPHASE = 0)		$5 \times t_{PCLK}$	NS

1 当SPI通过信号路由由单元路由时, 这些参数的时序适用. 有关更多信息, 请参阅处理器硬件参考“串行外设”接口端口一章.

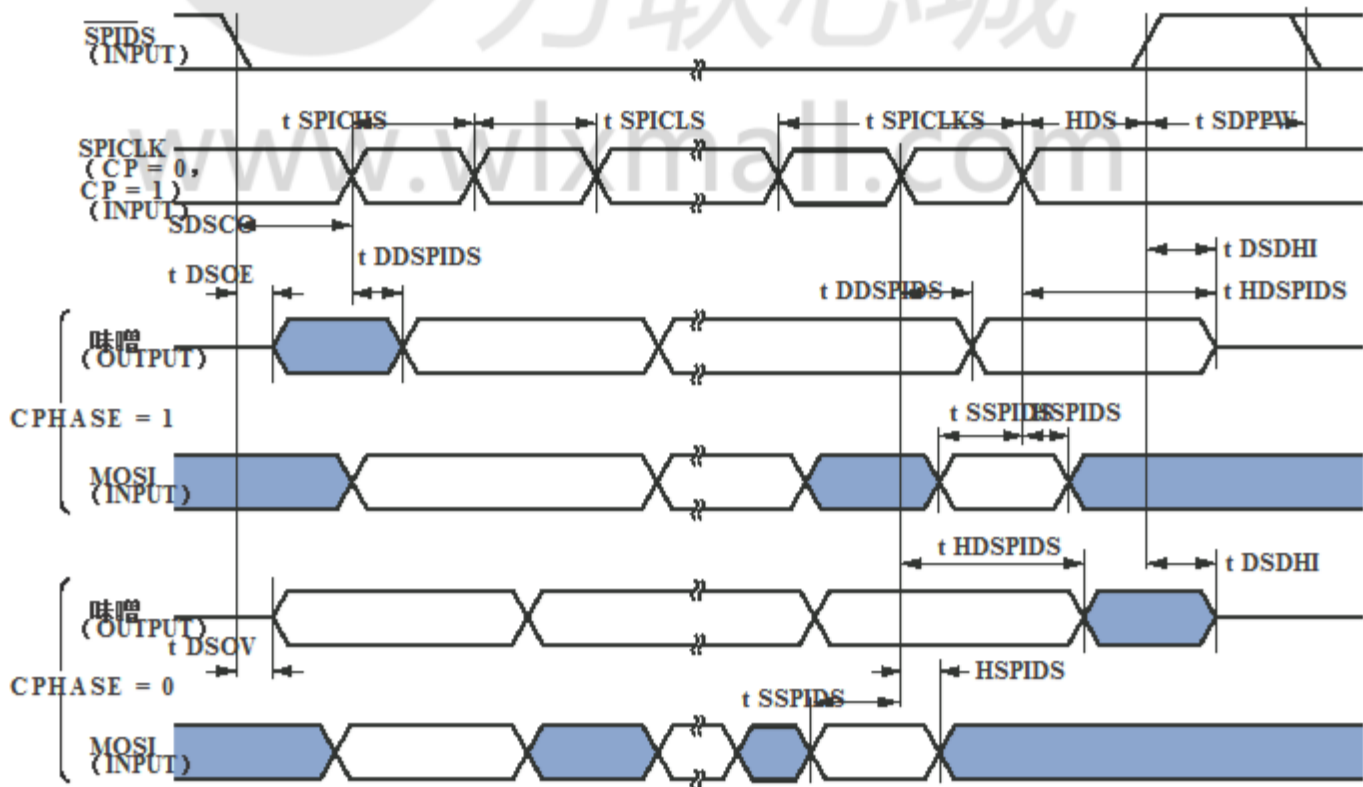


图36. SPI从属时序

媒体本地总线

所有给出的数字适用于所有速度模式
(1024 FS, 512 FS和256 FS用于3引脚; 512 FS和256 FS用于5针), 除非另有规定. 请参阅MediaLB规格文件修订3.0更多细节.

表52. MLB接口, 3引脚规格

参数	敏	典型	马克斯	单元
3引脚特性				
t MLBCLK	MLB时钟周期			
	1024 FS	20.3		NS
	512 FS	40		NS
	256 FS	81		NS
MCKL	MLBCLK低时间			
	1024 FS	6.1		NS
	512 FS	14		NS
	256 FS	三十		NS
MCKH	MLBCLK高时间			
	1024 FS	9.3		NS
	512 FS	14		NS
	256 FS	三十		NS
MCKR	MLBCLK上升时间 (V _{IL} 至V _{IH})			
	1024 FS		1	NS
	512 FS / 256 FS		3	NS
MCKF	MLBCLK下降时间 (V _{IH} 到V _{IL})			
	1024 FS		1	NS
	512 FS / 256 FS		3	NS
t MPWV	MLBCLK脉宽变化			
	1024 FS		0.7	NSPP
	512 FS / 256		2.0	NSPP
t DSMCF	DAT / SIG输入建立时间	1		NS
DHMCf	DAT / SIG输入保持时间	2		NS
t MCFDZ	DAT / SIG输出时间到三态	0	15	NS
t MCDRV	DAT / SIG输出数据从MLBCLK上升沿延迟		8	NS
t MDZH	巴士保持时间			
	1024 FS	2		NS
	512 FS / 256	4		NS
C MLB	DAT / SIG引脚负载			
	1024 FS		40	PF
	512 FS / 256		60	PF

1 通过在MLBCLK的一个边沿上触发, 测量1.25 V的脉冲宽度变化, 并测量另一个边沿上的扩展 (以_{ns}峰值 (pp) 为单位).

2 电路板的设计必须确保高阻抗总线在这段时间内不会离开最终驱动位的逻辑状态. 所以, 耦合必须是在满足列出的最大容性负载的同时最小化.

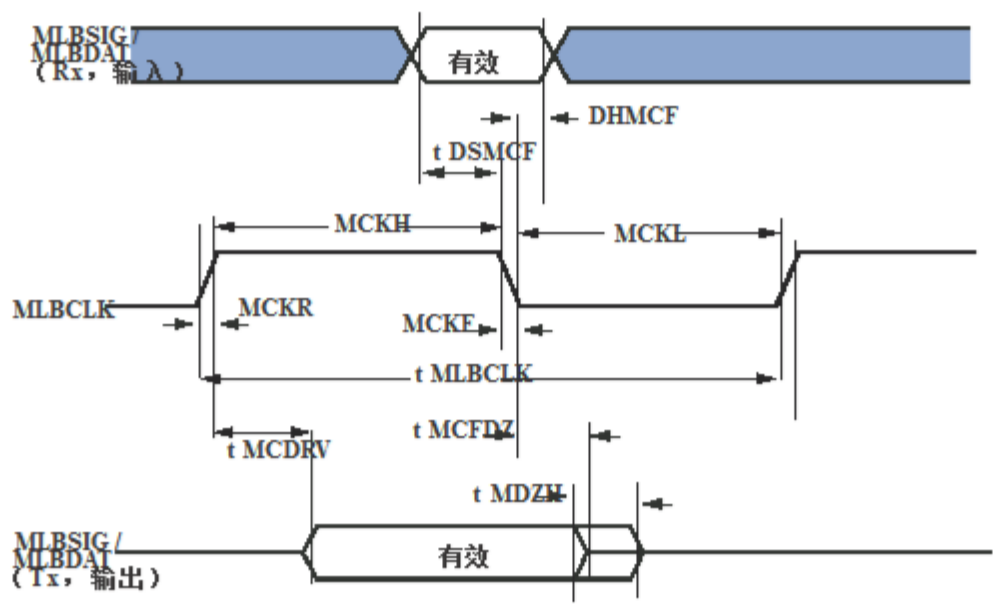


图37. MLB时序（3引脚接口）

表53. MLB接口，5引脚规格

参数	敏	典型	马克斯	单元
5引脚特性				
t MLBCLK	MLB时钟周期			
	512 FS	40		NS
	256 FS	81		NS
MCKL	MLBCLK低时间			
	512 FS	15		NS
	256 FS	三十		NS
MCKH	MLBCLK高时间			
	512 FS	15		NS
	256 FS	三十		NS
MCKR	MLBCLK上升时间（VIL至VIH）6			NS
MCKF	MLBCLK下降时间（VIH到VIL）6			NS
t MPWV	MLBCLK脉宽变化		2	NSPP
t DSMCF	DAT / SIG输入建立时间	3		NS
DHMCF	DAT / SIG输入保持时间	五		NS
t MCDRV	DS / DO输出数据从MLBCLK上升沿延迟		8	NS
t MCRDL	DO / SO MLBCLK高			
	512 FS		10	NS
	256 FS		20	NS
C MLB	DS / DO引脚负载		40	PF

1 通过在MLBCLK的一个边沿上触发，测量1.25 V的脉冲宽度变化，并测量另一个边沿上的扩展（以ns峰峰值（pp）为单位）。必须考虑由于引脚上的“或”逻辑引起的2个门延迟。
3 当节点没有将有效数据传送到总线上时，MLBSO和MLBDO输出线应保持低电平。如果输出线可以随时浮动，包括在复位时，需要外部下拉电阻来防止输出在不被驱动时损坏MediaLB信号线。

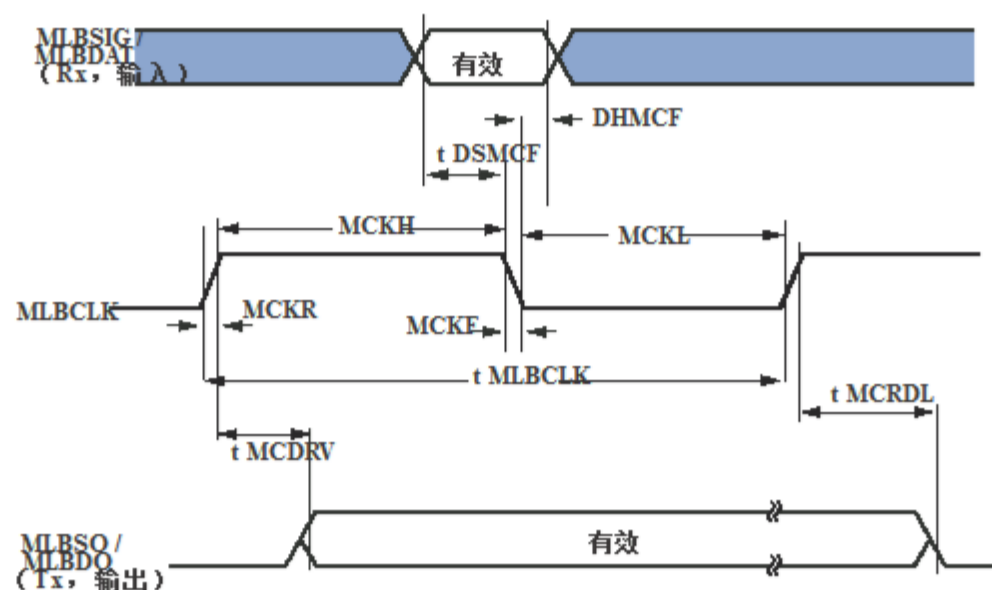


图38. MLB时序 (5引脚接口)



图39. MLB 3引脚和5引脚MLBCLK脉冲宽度变化时序

通用异步接收器 - 发射器 (UART) 端口 - 接收和发送时序

有关UART端口接收和发送操作的信息，
请参阅“ADSP-214xx SHARC硬件参考手册”。

2线接口 (TWI) - 接收和发送时序

有关TWI接收和传输操作的信息，
请参阅“ADSP-214xx SHARC硬件参考手册”。

JTAG测试访问端口和仿真

表54. JTAG测试访问端口和仿真

参数		值	马克斯	单元
时间要求				
t TCK	TCK期间	20		NS
t STAP	TDI, TCK高电平之前的TMS设置	五		NS
HTAP	TDI, TCK高电平后TMS保持	6		NS
t SSYS	系统输入在TCK为高电平之前设置	7		NS
t HSYS	系统输入在TCK为高电平后保持	18		NS
t TRSTW	TRST脉冲宽度	4t CK		NS
开关特性				
t DTDO	TDO延迟从TCK低		10	NS
t DSYS	系统输出在TCK为低电平后延迟		t TCK +2 + 7	NS

1 系统输入=DATA15-0, CLK_CFG1-0, RESET, BOOT_CFG2-0, DAI_Px, DPI_Px和FLAG3-0.
2 系统输出=DAI_Px, DPI_Px ADDR23-0, AMI_RD, AMI_WR, FLAG3-0, SDRAS, SDCAS, SDWE, SDCKE, SDA10, SDDQM, SDCLK和EMU.

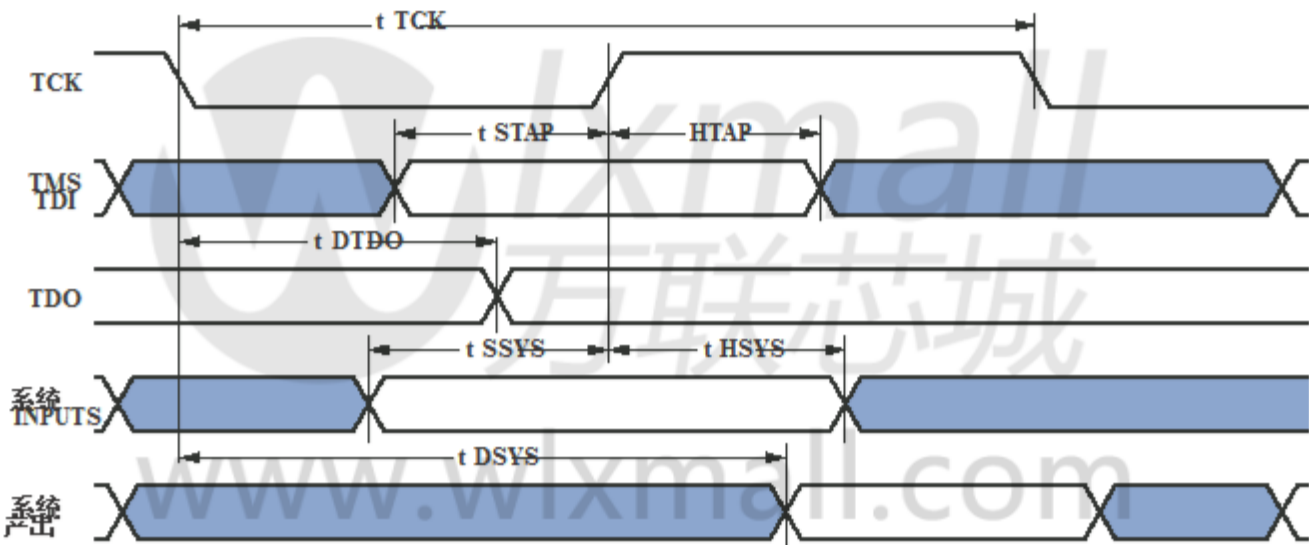


图40. IEEE 1149.1 JTAG测试访问端口

输出驱动电流

图41显示了输出驱动的典型IV特性，ADSP-2148x的Ers，表55显示了相关的引脚与每个司机。曲线代表当前的驱动能力，输出驱动器的输出电压的函数。

表55. 驱动程序类型

驱动器类型	关联引脚
一个	FLAG [0-3], AMI_ADDR [0-23], DATA [0-15], AMI_RD, AMI_WR, AMI_ACK, MS [1-0], SDRAS, SDCAS, SDWE, SDDQM, SDCKE, SDA10, EMU, TDO, RESETOUT, DPI [1-14], DAI [1-20], WDRSTO, MLBDAT, MLBSIG, MLBSO, MLBDO, MLBCLK
BSDCLK	

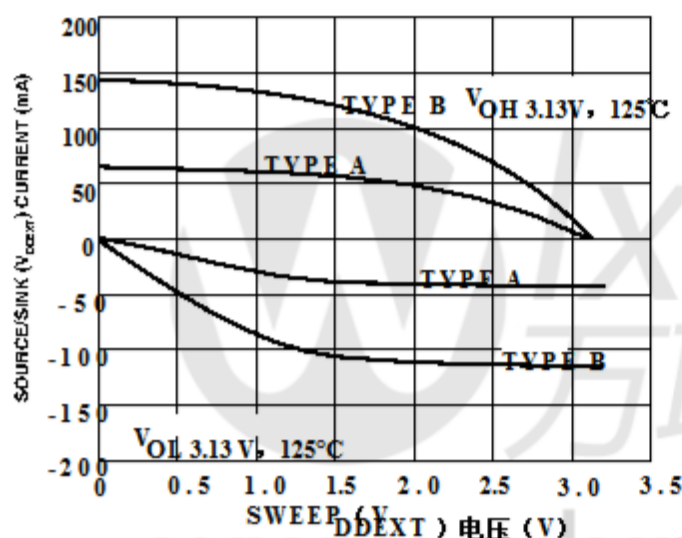


图41. 结温下的典型驱动

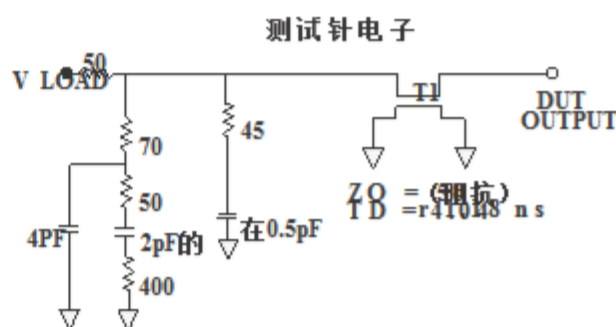
测试条件

交流信号规格（时序参数）出现在其中包括第26页至第54页的表21。输出禁止时间，输出使能时间和容性负载。SHARC的时序规格适用于电压图42中的参考电平。

定时是在信号超过1.5 V电平时测量的。如图43所示。所有延迟（纳秒）都是mea-确保在第一个信号达到1.5 V和第二个信号达到1.5 V。



图43. AC测量的电压参考电平



在这种情况下，传输延迟显示，可以使用传输延迟时间（TD）是模数转换器，不影响数据表时序规范。模拟器件推荐使用JBIT模型时序模型，如果必要，系统可以合并外部驱动程序，以补偿任何时间差异。

图42. AC测量的等效器件负载（包括所有灯具）

电容性负载

输出延迟和保持基于标准容性负载：所有引脚均为30 pF（见图42）。图46和图47显示用图形表示输出延迟和保持时间随负载电容，孟清湘。图44到图47的曲线可能不是典型输出延迟与所示范围之外的线性对比。负载电容和典型输出上升时间（20%至80%，V = 最小值）与负载电容。

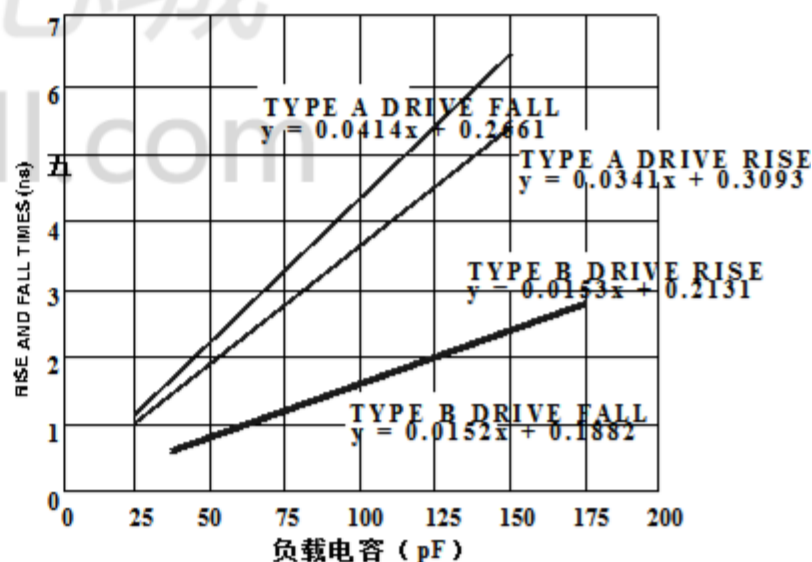


图44. 典型的输出上升/下降时间（20%至80%，V_{DD_EXT} = 最大）

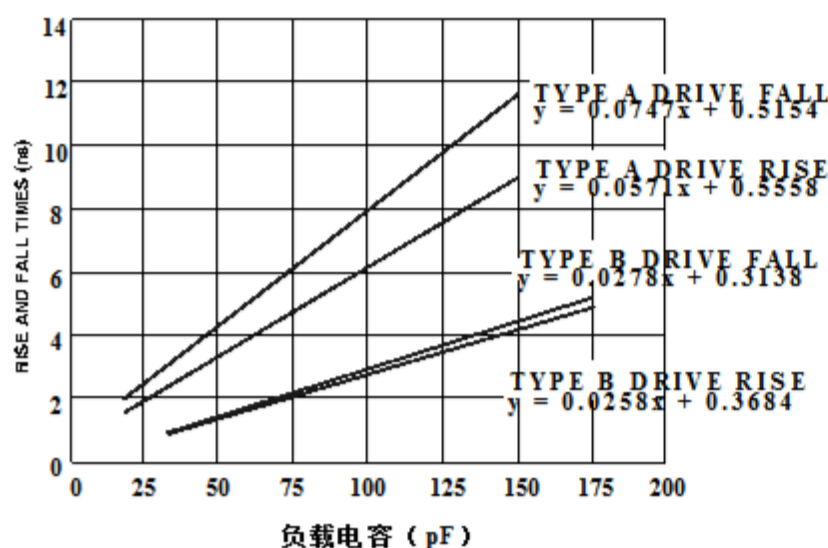


图45.典型的输出上升/下降时间
(20%至80%, V_{DD_EXT} =最小)

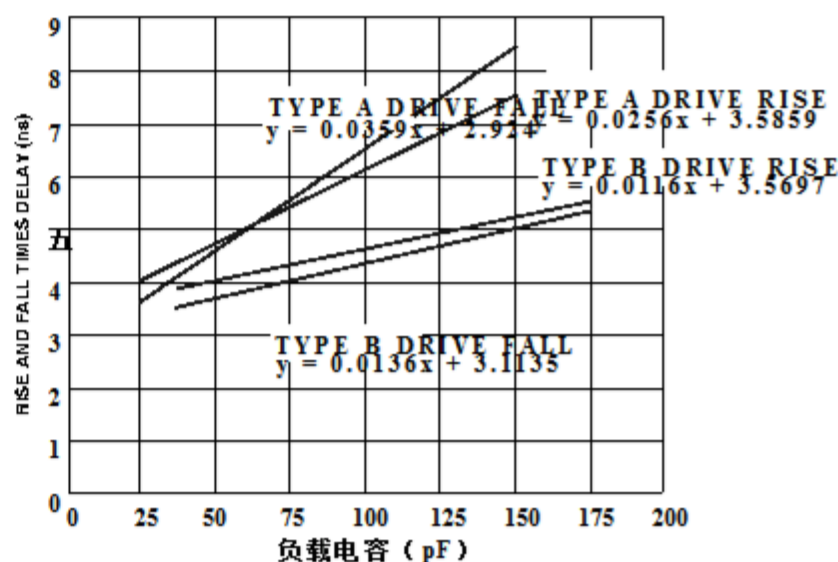


图47.典型的输出上升/下降延迟
(V_{DD_EXT} =最小)

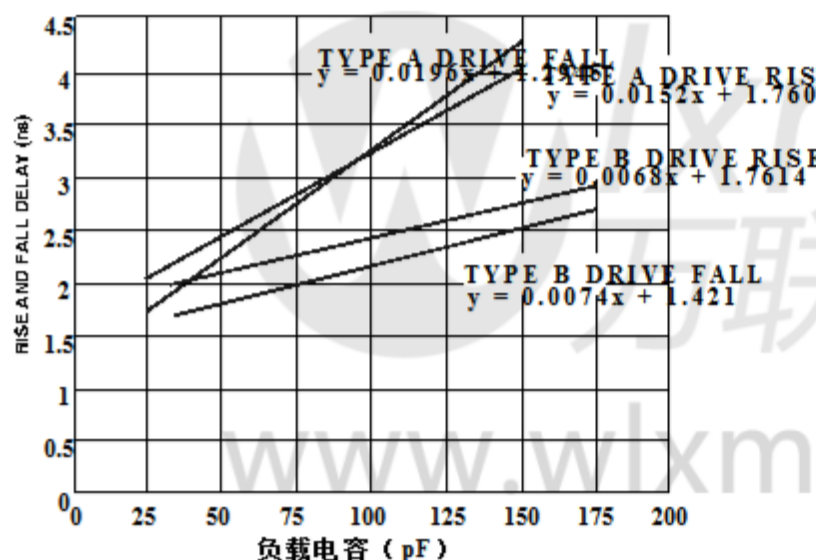


图46.典型的输出上升/下降延迟
(V_{DD_EXT} =最大)

热特性

ADSP-2148x处理器的额定性能超过
温度范围在“运行条件”中指定
第18页。

表57气流测量符合JEDEC标准
JESD51-2和JESD51-6以及结到电路板测量 -
符合JESD51-8.测试板设计符合
JEDEC标准JESD51-7 (LQFP_EP).交界处的情况
测量符合MIL-STD-883.所有的测量
使用2S2P JEDEC测试板。

确定设备打开时的结温
应用PCB, 使用:

$$\dot{T}_j = \dot{T}_{\text{案件}} + \frac{P_d}{JT}$$

哪里:

T_J = 结温度 $^{\circ}\text{C}$

T_{CASE} = 壳体顶部中心处测得的壳体温度 ($^{\circ}\text{C}$)
包

JT = 封装 (封装) 特性参数的结到顶部
是表57中的典型值。

P_D = 功耗

提供 η_{JA} 的值 用于封装比较和PCB
设计注意事项. η_{JA} 可用于一阶近似 -
 T_J 由下式表示:

$$\dot{T}_j = \dot{T}_A + \frac{P_d}{\eta_{JA}}$$

哪里:

T_A = 环境温度 $^{\circ}\text{C}$

提供 η_{JC} 的值 用于封装比较和PCB
设计时需要考虑外部散热器。

请注意，提供的热特性值
表56和表57是建模值。

表56. 100引脚LQFP_EP的热特性

参数	条件	典型	单元
γ JA	气流= 0米/秒	17.8	°C / W
γ JMA	气流= 1米/秒	15.4	°C / W
γ JMA	气流= 2米/秒	14.6	°C / W
γ JC		2.4	°C / W
θ JT	气流= 0米/秒	0.24	°C / W
θ JMT	气流= 1米/秒	0.37	°C / W
θ JMT	气流= 2米/秒	0.51	°C / W

表57. 176引线LQFP_EP的热特性

参数	条件	典型	单元
γ JA	气流= 0米/秒	16.9	°C / W
γ JMA	气流= 1米/秒	14.6	°C / W
γ JMA	气流= 2米/秒	13.8	°C / W
γ JC		2.3	°C / W
θ JT	气流= 0米/秒	0.21	°C / W
θ JMT	气流= 1米/秒	0.32	°C / W
θ JMT	气流= 2米/秒	0.41	°C / W

热二极管

ADSP-2148x处理器包含热敏二极管

监测芯片温度。热敏二极管是a

接地集电极，PNP双极结型晶体管（BJT）。该

THD_P引脚连接到发射极，THD_M引脚连接到发射极

连接到晶体管的基极。这些引脚可以使用

通过外部温度传感器（如ADM 1021A或

LM86等）读取芯片的芯片温度。

外部温度传感器使用的技术是

测量热敏二极管工作时VBE的变化

在两个不同的电流。如下所示

方程：

$$\Delta V_{BE} = n \frac{KT}{q} \ln \left(\frac{I_2}{I_1} \right)$$

哪里：

n = 接近1的乘法因子，取决于过程
变化

k = 玻尔兹曼常数

T = 温度（°C）

q = 电子的电荷

N = 两个电流的比率

两个电流通常在10微安的范围内

常用温度传感器为300微安

芯片可用。

表58包含使用的热敏二极管规格

晶体管模型。

表58. 热二极管参数 - 晶体管模型 1

符号	参数	敏	典型	马克斯	单元
我 I_W	正向偏置电流	10		300	μA
我 E	发射极电流	10		300	μA
nQ , 4	晶体管理想	1.012	1.015	1.017	
R_T , 5	串联电阻	0.12	0.2	0.28	Ω

1 请参见工程师对工程师注意“在ADI处理器上使用片上热敏二极管”（EE-346）。

2 ADI公司不建议在反向偏置下操作热敏二极管。

3 由设计表征指定。

4 理想因子nQ代表与理想二极管行为的偏差，以二极管方程为例： $I_C = I_S \times (e^{qV_{BE}/nqkT} - 1)$ 其中 I_S = 饱和电流，

q = 电子电荷， V_{BE} = 二极管两端的电压，k = 玻尔兹曼常数，T = 绝对温度（开尔文）。

5 串联电阻（ R_T ）可根据需要用于更精确的读数。

100-LQFP_EP引线分配

表59. 100引脚LQFP_EP引线分配（按引线数字计算）

主管姓名	铅号	主管姓名	铅号	主管姓名	铅号	主管姓名	铅号
V DD_INT	1 V DD_EXT		26	DAI_P10	51	V DD_INT	76
CLK_CFG1	2	DPI_P08	27	V DD_INT	52	FLAG0	77
BOOT_CFG0	3	DPI_P07	28	V DD_EXT	53	V DD_INT	78
V DD_EXT	4 V DD_INT		29	DAI_P20	54	V DD_INT	79
V DD_INT	五	DPI_P09	三十	V DD_INT	55	FLAG1	80
BOOT_CFG1	6	DPI_P10	31	DAI_P08	56	FLAG2	81
GND	7	DPI_P11	32	DAI_P04	57	FLAG3	82
NC	8	DPI_P12	33	DAI_P14	58	MLBCLK	83
NC	9	DPI_P13	34	DAI_P18	59	MLBDAT	84
CLK_CFG0	10	DAI_P03	35	DAI_P17	60	MLBDO	85
V DD_INT	11	DPI_P14	36	DAI_P16	61	V DD_EXT	86
CLKIN	12	V DD_INT	37	DAI_P15	62	MLBSIG	87
XTAL	13	V DD_INT	38	DAI_P12	63	V DD_INT	88
V DD_EXT	14	V DD_INT	39	V DD_INT	64	MLBSO	89
V DD_INT	15	DAI_P13	40	DAI_P11	65	TRST	90
V DD_INT	16	DAI_P07	41	V DD_INT	66	而	91
RESETOUT / RUNRSTIN		DAI_P19	42	V DD_INT	67	TDO	92
V DD_INT	18	DAI_P01	43	GND	68	V DD_EXT	93
DPI_P01	19	DAI_P02	44	THD_M	69	V DD_INT	94
DPI_P02	20	V DD_INT	45	THD_P	70	TDI	95
DPI_P03	21	V DD_EXT	46	V DD_THD	71	TC K	96
V DD_INT	22	V DD_INT	47	V DD_INT	72	V DD_INT	97
DPI_P05	23	DAI_P06	48	V DD_INT	73	重启	98
DPI_P04	24	DAI_P05	49	V DD_INT	74	TMS	99
DPI_P06	25	DAI_P09	50	V DD_INT	75	V DD INT	100
						GND	101 *

MLB引脚（引脚83,84,85,87和89）仅适用于汽车模型.对于非汽车型号，这些引脚应该连接到地（GND）。

* Pin号 101是处理器的GND电源（见图48和图49）这个焊盘必须牢固地连接到GND。

图48显示了100引脚LQFP_EP引线的俯视图
组态.图49显示了100引脚的底视图
LQFP_EP引导配置.

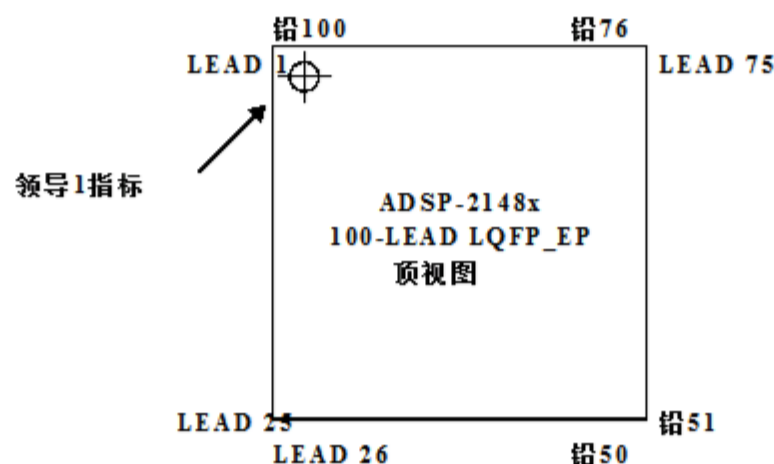


图48. 100引脚LQFP_EP引脚配置 (顶视图)

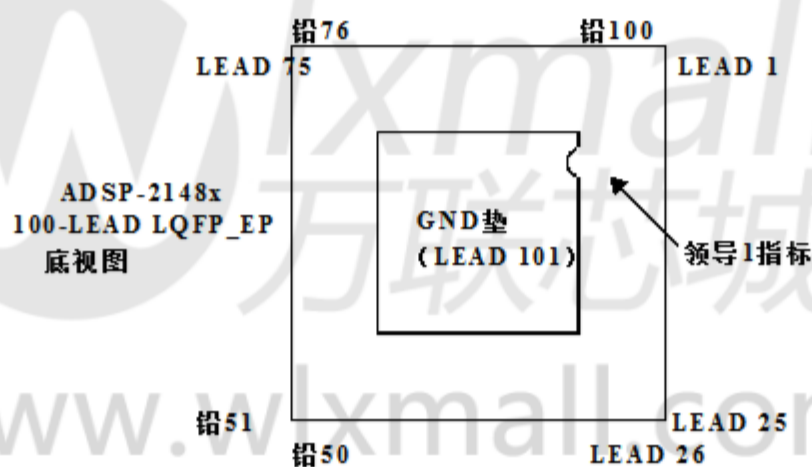


图49. 100引脚LQFP_EP引脚配置 (底视图)

176-LEAD LQFP_EP引线分配

表60. ADSP-21486 176引脚LQFP_EP引脚分配（以引脚数字表示的数值）

主管姓名	铅号	主管姓名	铅号	主管姓名	铅号	主管姓名	铅号
NC	1	V DD_EXT	45	DAI_P10	89	V DD_INT	133
MS0	2	DPI_P08	46	V DD_INT	90	FLAG0	134
NC	3	DPI_P07	47	V DD_EXT	91	FLAG1	135
V DD_INT	4	V DD_INT	48	DAI_P20	92	FLAG2	136
CLK_CFG1	五	DPI_P09	49	V DD_INT	93	GND	137
ADDR0	6	DPI_P10	50	DAI_P08	94	FLAG3	138
BOOT_CFG0	7	DPI_P11	51	DAI_P14	95	GND	139
V DD_EXT	8	DPI_P12	52	DAI_P04	96	GND	140
ADDR1	9	DPI_P13	53	DAI_P18	97	V DD_EXT	141
ADDR2	10	DPI_P14	54	DAI_P17	98	GND	142
ADDR3	11	DAI_P03	55	DAI_P16	99	V DD_INT	143
ADDR4	12	NC	56	DAI_P12	100	TRST	144
ADDR5	13	V DD_EXT	57	DAI_P15	101	GND	145
BOOT_CFG1	14	NC	58	V DD_INT	102	而	146
GND	15	NC	59	DAI_P11	103	DATA0	147
ADDR6	16	NC	60	V DD_EXT	104	DATA1	148
ADDR7	17	NC	61	V DD_INT	105	DATA2	149
NC	18	V DD_INT	62	BOOT_CFG2	106	DATA3	150
NC	19	NC	63	V DD_INT	107	TDO	151
ADDR8	20	NC	64	AMI_ACK	108	DATA4	152
ADDR9	21	V DD_INT	65	GND	109	V DD_EXT	153
CLK_CFG0	22	NC	66	THD_M	110	DATA5	154
V DD_INT	23	NC	67	THD_P	111	DATA6	155
CLKIN	24	V DD_INT	68	V DD_THD	112	V DD_INT	156
XTAL	25	NC	69	V DD_INT	113	DATA7	157
ADDR10	26	WDTRSTO	70	V DD_INT	114	TDI	158
NC	27	NC	71	MS1	115	NC	159 *
V DD_EXT	28	V DD_EXT	72	V DD_INT	116	V DD_EXT	160
V DD_INT	29	DAI_P07	73	WDT_CLKO	117	DATA8	161
ADDR11	三十	DAI_P13	74	WDT_CLKIN	118	DATA9	162
ADDR12	31	DAI_P19	75	V DD_EXT	119	DATA10	163
ADDR17	32	DAI_P01	76	ADDR23	120	TCK	164
ADDR13	33	DAI_P02	77	ADDR22	121	DATA11	165
V DD_INT	34	V DD_INT	78	ADDR21	122	DATA12	166
ADDR18	35	NC	79	V DD_INT	123	DATA14	167
RESETOUT / RUNRSTEN		NC	80	ADDR20	124	DATA13	168
V DD_INT	37	NC	81	ADDR19	125	V DD_INT	169
DPI_P01	38	NC	82	V DD_EXT	126	DATA15	170
DPI_P02	39	NC	83	ADDR16	127	NC	171
DPI_P03	40	V DD_EXT	84	ADDR15	128	NC	172
V DD_INT	41	V DD_INT	85	V DD_INT	129	重启	173
DPI_P05	42	DAI_P06	86	ADDR14	130	TMS	174
DPI_P04	43	DAI_P05	87	AMI_WR	131	NC	175
DPI_P06	44	DAI_P09	88	AMI_RD	132	V DD INT	176
						GND	177 **

*此引脚无需外部连接,仅用作NC.

**导致没有. 177是处理器的GND电源（见图50和图51）这个焊盘必须牢固地连接到GND.

ADSP-21483 / ADSP-21486 / ADSP-21487 / ADSP-21488 / A

表61. ADSP-21483, ADSP-21487, ADSP-21488和ADSP-21489 176引脚LQFP_EP引脚分配
(按引线数字计算)

主管姓名	铅号	主管姓名	铅号	主管姓名	铅号	主管姓名	铅号
SDDQM	1	V DD_EXT	45	DAI_P10	89	V DD_INT	133
MS0	2 DPI_P08		46	V DD_INT	90	FLAG0	134
SDCKE	3	DPI_P07	47	V DD_EXT	91	FLAG1	135
V DD_INT	4 V DD_INT		48	DAI_P20	92	FLAG2	136
CLK_CFG1	五	DPI_P09	49	V DD_INT	93	GND	137
ADDR0	6	DPI_P10	50	DAI_P08	94	FLAG3	138
BOOT_CFG0	7	DPI_P11	51	DAI_P14	95	GND	139
V DD_EXT	8	DPI_P12	52	DAI_P04	96	GND	140
ADDR1	9	DPI_P13	53	DAI_P18	97	V DD_EXT	141
ADDR2	10	DPI_P14	54	DAI_P17	98	GND	142
ADDR3	11	DAI_P03	55	DAI_P16	99	V DD_INT	143
ADDR4	12	NC	56	DAI_P12	100	TRST	144
ADDR5	13	V DD_EXT	57	DAI_P15	101	GND	145
BOOT_CFG1	14	NC	58	V DD_INT	102	而	146
GND	15	NC	59	DAI_P11	103	DATA0	147
ADDR6	16	NC	60	V DD_EXT	104	DATA1	148
ADDR7	17	NC	61	V DD_INT	105	DATA2	149
NC	18	V DD_INT	62	BOOT_CFG2	106	DATA3	150
NC	19	NC	63	V DD_INT	107	TDO	151
ADDR8	20	NC	64	AMI_ACK	108	DATA4	152
ADDR9	21	V DD_INT	65	GND	109	V DD_EXT	153
CLK_CFG0	22	NC	66	THD_M	110	DATA5	154
V DD_INT	23	NC	67	THD_P	111	DATA6	155
CLKIN	24	V DD_INT	68	V DD_THD	112	V DD_INT	156
XTAL	25	NC	69	V DD_INT	113	DATA7	157
ADDR10	26	WDTRSTO	70	V DD_INT	114	TDI	158
SDA10	27	NC	71	MS1	115	SDCLK	159
V DD_EXT	28	V DD_EXT	72	V DD_INT	116	V DD_EXT	160
V DD_INT	29	DAI_P07	73	WDT_CLKO	117	DATA8	161
ADDR11	三十	DAI_P13	74	WDT_CLKIN	118	DATA9	162
ADDR12	31	DAI_P19	75	V DD_EXT	119	DATA10	163
ADDR17	32	DAI_P01	76	ADDR23	120	TCK	164
ADDR13	33	DAI_P02	77	ADDR22	121	DATA11	165
V DD_INT	34	V DD_INT	78	ADDR21	122	DATA12	166
ADDR18	35	NC	79	V DD_INT	123	DATA14	167
RESETOUT / RUNRSTEN	36	NC	80	ADDR20	124	DATA13	168
V DD_INT	37	NC	81	ADDR19	125	V DD_INT	169
DPI_P01	38	NC	82	V DD_EXT	126	DATA15	170
DPI_P02	39	NC	83	ADDR16	127	SDWE	171
DPI_P03	40	V DD_EXT	84	ADDR15	128	SDRAS	172
V DD_INT	41	V DD_INT	85	V DD_INT	129	重启	173
DPI_P05	42	DAI_P06	86	ADDR14	130	TMS	174
DPI_P04	43	DAI_P05	87	AMI_WR	131	SDCAS	175
DPI_P06	44	DAI_P09	88	AMI_RD	132	V DD INT	176
						GND	177 *

*领导没有, 177是处理器的GND电源(见图50和图51)这个焊盘必须牢固地连接到GND.

表62.汽车模型ADSP-21488和ADSP-21489 176引脚LQFP_EP引脚分配（以引脚数字表示的数值）

主管姓名	铅号	主管姓名	铅号	主管姓名	铅号	主管姓名	铅号
SDDQM	1	V DD_EXT	45	DAI_P10	89	V DD_INT	133
MS0	2	DPI_P08	46	V DD_INT	90	FLAG0	134
SDCKE	3	DPI_P07	47	V DD_EXT	91	FLAG1	135
V DD_INT	4	V DD_INT	48	DAI_P20	92	FLAG2	136
CLK_CFG1	五	DPI_P09	49	V DD_INT	93	MLBCLK	137
ADDR0	6	DPI_P10	50	DAI_P08	94	FLAG3	138
BOOT_CFG0	7	DPI_P11	51	DAI_P14	95	MLBDAT	139
V DD_EXT	8	DPI_P12	52	DAI_P04	96	MLBDO	140
ADDR1	9	DPI_P13	53	DAI_P18	97	V DD_EXT	141
ADDR2	10	DPI_P14	54	DAI_P17	98	MLBSIG	142
ADDR3	11	DAI_P03	55	DAI_P16	99	V DD_INT	143
ADDR4	12	NC	56	DAI_P12	100	TRST	144
ADDR5	13	V DD_EXT	57	DAI_P15	101	MLBSO	145
BOOT_CFG1	14	NC	58	V DD_INT	102	耐	146
GND	15	NC	59	DAI_P11	103	DATA0	147
ADDR6	16	NC	60	V DD_EXT	104	DATA1	148
ADDR7	17	NC	61	V DD_INT	105	DATA2	149
NC	18	V DD_INT	62	BOOT_CFG2	106	DATA3	150
NC	19	NC	63	V DD_INT	107	TDO	151
ADDR8	20	NC	64	AMI_ACK	108	DATA4	152
ADDR9	21	V DD_INT	65	GND	109	V DD_EXT	153
CLK_CFG0	22	NC	66	THD_M	110	DATA5	154
V DD_INT	23	NC	67	THD_P	111	DATA6	155
CLKIN	24	V DD_INT	68	V DD_THD	112	V DD_INT	156
XTAL	25	NC	69	V DD_INT	113	DATA7	157
ADDR10	26	WDTRSTO	70	V DD_INT	114	TDI	158
SDA10	27	NC	71	MS1	115	SDCLK	159
V DD_EXT	28	V DD_EXT	72	V DD_INT	116	V DD_EXT	160
V DD_INT	29	DAI_P07	73	WDT_CLKO	117	DATA8	161
ADDR11	三十	DAI_P13	74	WDT_CLKIN	118	DATA9	162
ADDR12	31	DAI_P19	75	V DD_EXT	119	DATA10	163
ADDR17	32	DAI_P01	76	ADDR23	120	TCK	164
ADDR13	33	DAI_P02	77	ADDR22	121	DATA11	165
V DD_INT	34	V DD_INT	78	ADDR21	122	DATA12	166
ADDR18	35	NC	79	V DD_INT	123	DATA14	167
RESETOUT / RUNRSTEN	36	NC	80	ADDR20	124	DATA13	168
V DD_INT	37	NC	81	ADDR19	125	V DD_INT	169
DPI_P01	38	NC	82	V DD_EXT	126	DATA15	170
DPI_P02	39	NC	83	ADDR16	127	SDWE	171
DPI_P03	40	V DD_EXT	84	ADDR15	128	SDRAS	172
V DD_INT	41	V DD_INT	85	V DD_INT	129	重启	173
DPI_P05	42	DAI_P06	86	ADDR14	130	TMS	174
DPI_P04	43	DAI_P05	87	AMI_WR	131	SDCAS	175
DPI_P06	44	DAI_P09	88	AMI_RD	132	V DD_INT	176
						GND	177 *

*领导没有. 177是处理器的GND电源（见图50和图51）这个焊盘必须牢固地连接到GND.

图50显示了176引脚LQFP_EP引线的俯视图
组态.图51显示了176引脚的仰视图
LQFP_EP引导配置.

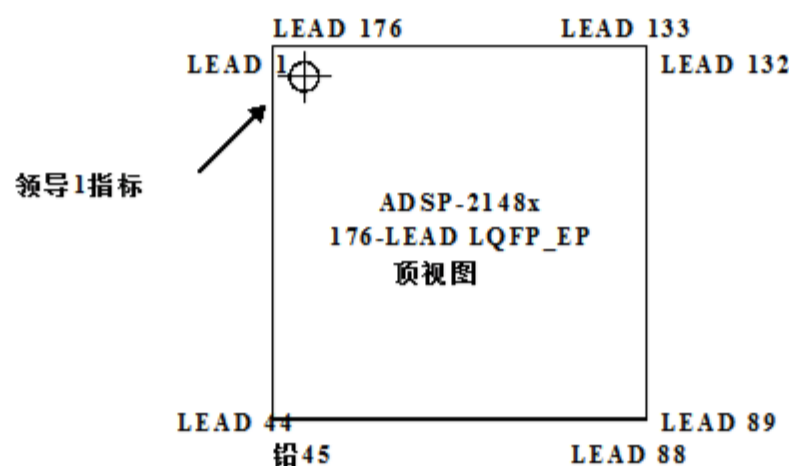


图50. 176引脚LQFP_EP引脚配置 (俯视图)

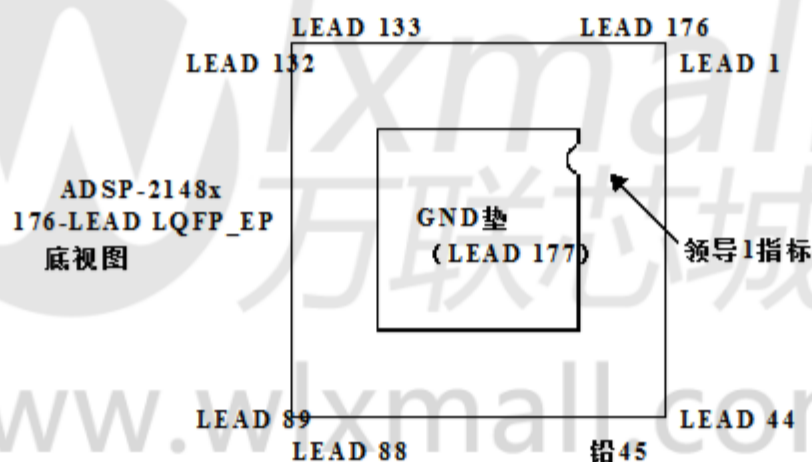
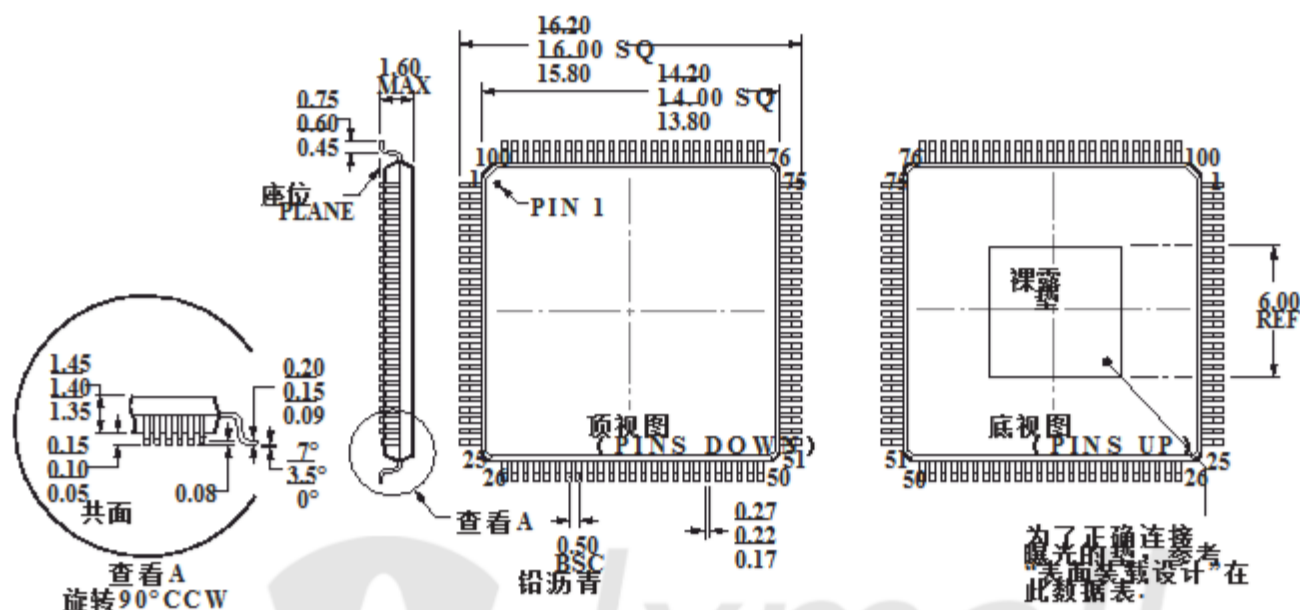


图51. 176引脚LQFP_EP引脚配置 (底视图)

外形尺寸

ADSP-2148x处理器采用100引脚和2引脚
符合RoHS标准的176引脚LQFP_EP封装。

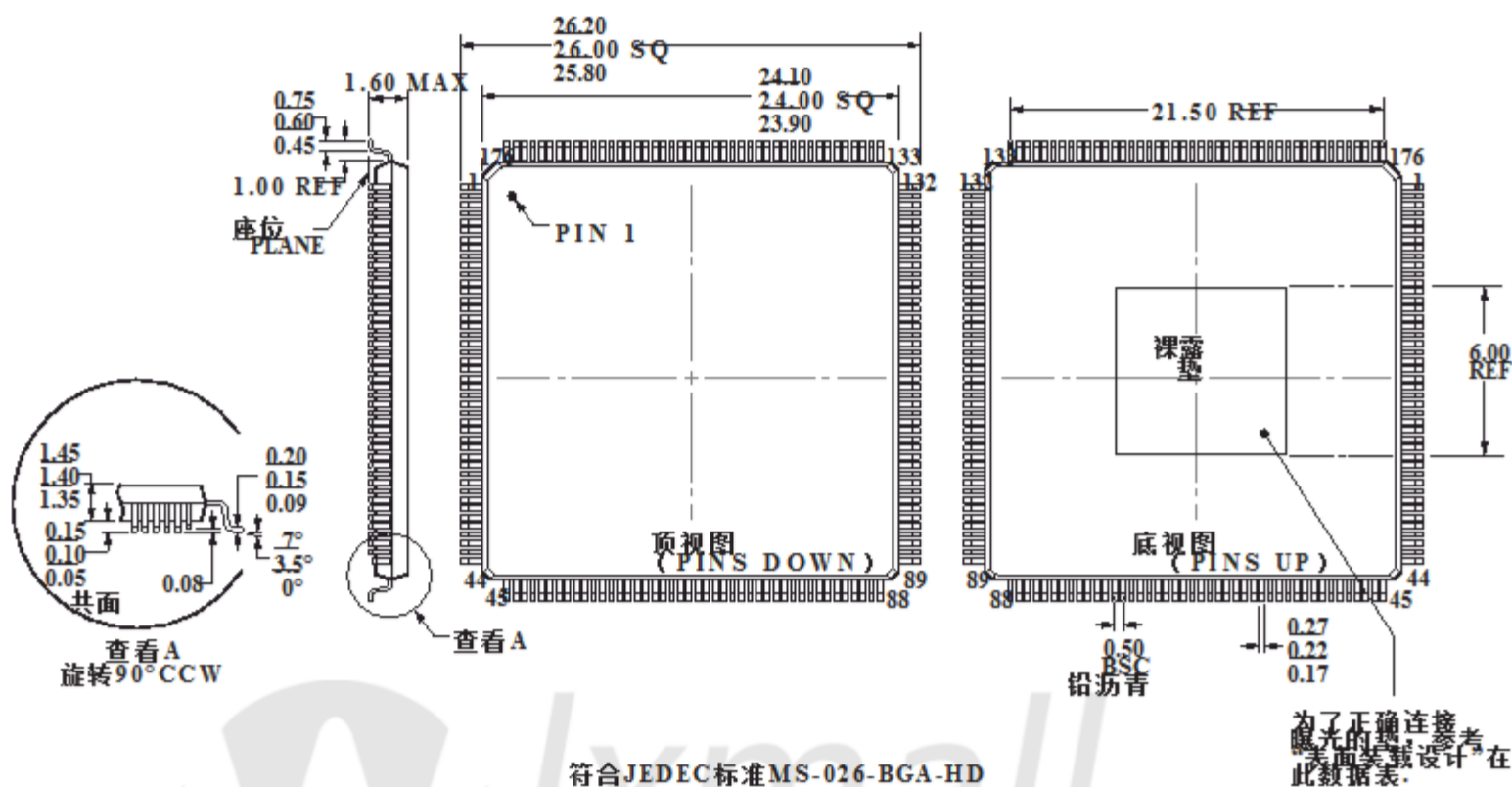


符合JEDEC标准MS-026-BED-HD

图52. 100引脚薄型四方扁平封装裸露焊盘[LQFP_EP 1]
(SW-100-2)

尺寸以毫米为单位显示

1 有关SW-100-2封装裸露焊盘的信息，请参见第58页的表格尾注。



ADSP-21483 / ADSP-21486 / ADSP-21487 / ADSP-21488 / ADSP-21489

汽车产品

以下型号可用于受控制造商 -
以支持质量和可靠性要求
汽车应用。请注意，这些汽车模型
可能有与商业模式不同的规格
设计人员应该查看产品规格部分

这个数据表仔细只有汽车级产品
如表63所示，可用于汽车应用 -
蒸发散。请联系当地的ADI客户代表以了解具体情况
产品订购信息并获取具体的Auto-
动机这些模型的可靠性报告。

表63.汽车产品

模型 1	注意温度范围 2 RAM		处理器指令 费率（最大）	包装说明	包装选项	
AD21486WBSWZ4xx	3	-40°C至+ 85°C	5兆位	400 MHz	100引脚LQFP_EP	SW-100-2
AD21488WBSWZ4xx		-40°C至+ 85°C	3 Mbit	400 MHz	100引脚LQFP_EP	SW-100-2
AD21488WBSWZ4Bxx		-40°C至+ 85°C	3 Mbit	400 MHz	176引脚LQFP_EP	SW-176-2
AD21489WBSWZ4xx		-40°C至+ 85°C	5兆位	400 MHz	100引脚LQFP_EP	SW-100-2
AD21489WBSWZ4Bxx		-40°C至+ 85°C	5兆位	400 MHz	176引脚LQFP_EP	SW-176-2

1 Z = RoHS兼容部分。

2 参考温度是环境温度。环境温度不是规格。请参阅第18页的工作条件以了解结温 (TJ)

规格是唯一的温度规格。

3 本产品包含来自杜比，DTS和DTLA的IP。需要适当的软件许可证。有关信息，请联系ADI。

订购指南

模型 1	笔记	温度范围 2	内存	处理器指令费率 (最大)	包装说明	包选项
ADSP-21483KSWZ-2B	3	0°C到+ 70°C	3 Mbit	300 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21483KSWZ-3B	3	0°C到+ 70°C	3 Mbit	350 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21483KSWZ-3AB	3	0°C到+ 70°C	3 Mbit	350 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21483KSWZ-4B	3	0°C到+ 70°C	3 Mbit	400 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21486KSWZ-2A	3	0°C到+ 70°C	5兆位	300 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21486KSWZ-2B	3	0°C到+ 70°C	5兆位	300 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21486KSWZ-2AB	3	0°C到+ 70°C	5兆位	300 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21486KSWZ-2BB	3	0°C到+ 70°C	5兆位	300 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21486KSWZ-3A	3	0°C到+ 70°C	5兆位	350 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21486KSWZ-3B	3	0°C到+ 70°C	5兆位	350 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21486KSWZ-3AB	3	0°C到+ 70°C	5兆位	350 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21486KSWZ-3BB	3	0°C到+ 70°C	5兆位	350 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21486KSWZ-4A	3	0°C到+ 70°C	5兆位	400 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21486KSWZ-4AB	3	0°C到+ 70°C	5兆位	400 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21487KSWZ-2B	3	0°C到+ 70°C	5兆位	300 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21487KSWZ-2BB	3	0°C到+ 70°C	5兆位	300 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21487KSWZ-3B	3	0°C到+ 70°C	5兆位	350 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21487KSWZ-3BB	3	0°C到+ 70°C	5兆位	350 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21487KSWZ-4B	3	0°C到+ 70°C	5兆位	400 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21487KSWZ-4BB	3	0°C到+ 70°C	5兆位	400 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21487KSWZ-5B	3, 4	0°C到+ 70°C	5兆位	450 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21487KSWZ-5 BB	3, 4	0°C到+ 70°C	5兆位	450 MHz	176引脚LQFP_EP	SW-176-2

ADSP-21483 / ADSP-21486 / ADSP-21487 / ADSP-21488 / A

模型 1	笔记	温度范围 2	内存	处理器指令 速率 (最大)	封装说明	包 选项
ADSP-21488BSWZ-3A	五	-40°C至+ 85°C	3 Mbit	350 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21488KSWZ-3A		0°C到+ 70°C	3 Mbit	350 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21488KSWZ-3A1		0°C到+ 70°C	3 Mbit	350 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21488KSWZ-3B		0°C到+ 70°C	3 Mbit	350 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21488BSWZ-3B		-40°C至+ 85°C	3 Mbit	350 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21488KSWZ-4A	五	0°C到+ 70°C	3 Mbit	400 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21488BSWZ-4A		-40°C至+ 85°C	3 Mbit	400 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21488KSWZ-4B		0°C到+ 70°C	3 Mbit	400 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21488BSWZ-4B		-40°C至+ 85°C	3 Mbit	400 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21488KSWZ-4B1		0°C到+ 70°C	3 Mbit	400 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21489KSWZ-3A	4	0°C到+ 70°C	5兆位	350 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21489BSWZ-3A		-40°C至+ 85°C	5兆位	350 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21489KSWZ-3B		0°C到+ 70°C	5兆位	350 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21489BSWZ-3B		-40°C至+ 85°C	5兆位	350 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21489KSWZ-4A		0°C到+ 70°C	5兆位	400 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21489BSWZ-4A	4	-40°C至+ 85°C	5兆位	400 MHz	100引脚LQFP_EP	SW-100-2
ADSP-21489KSWZ-4B		0°C到+ 70°C	5兆位	400 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21489BSWZ-4B		-40°C至+ 85°C	5兆位	400 MHz	176引脚LQFP_EP	SW-176-2
ADSP-21489KSWZ-5B		0°C到+ 70°C	5兆位	450 MHz	176引脚LQFP_EP	SW-176-2

1 Z = RoHS兼容部分。

2 参考温度是环境温度。环境温度不是规格。请参阅第18页的工作条件以了解结温 (T_J)

规格，这是唯一的温度规格。

3 ADSP-21483，ADSP-21486和ADSP-21487型号提供工厂编程的ROM，包括最新的多声道音频解码和后处理

来自杜比实验室和DTS的算法。ROM内容可能因芯片版本和芯片版本而异。请访问www.analog.com获取完整信息。

4 请参阅工程师注意事项“ADSP-2148x处理器的静态电压缩放”(EE-357)，用于在450 MHz下操作ADSP-2148x处理器。

5 本产品包含一个-140 dB采样率转换器。

www.wlxml.com

