

特征

RF 2×2收发器，集成12位DAC和ADC
频段：70 MHz至6.0 GHz
支持TDD和FDD操作
可调谐通道带宽：<200 kHz至56 MHz
双接收器：6个差分或12个单端输入
出色的接收灵敏度，噪声系数为2 dB at
800 MHz本地振荡器（LO）

RX增益控制

实时监测和控制手动增益信号
独立的自动增益控制
双发射器：4个差分输出
高度线性的宽带发射机
TX EVM: ≤-40 dB
TX噪声：≤-157 dBm / Hz本底噪声
TX监视器：动态范围≥66dB，精度1 dB

集成分数N合成器

最大LO步长为2.4 Hz

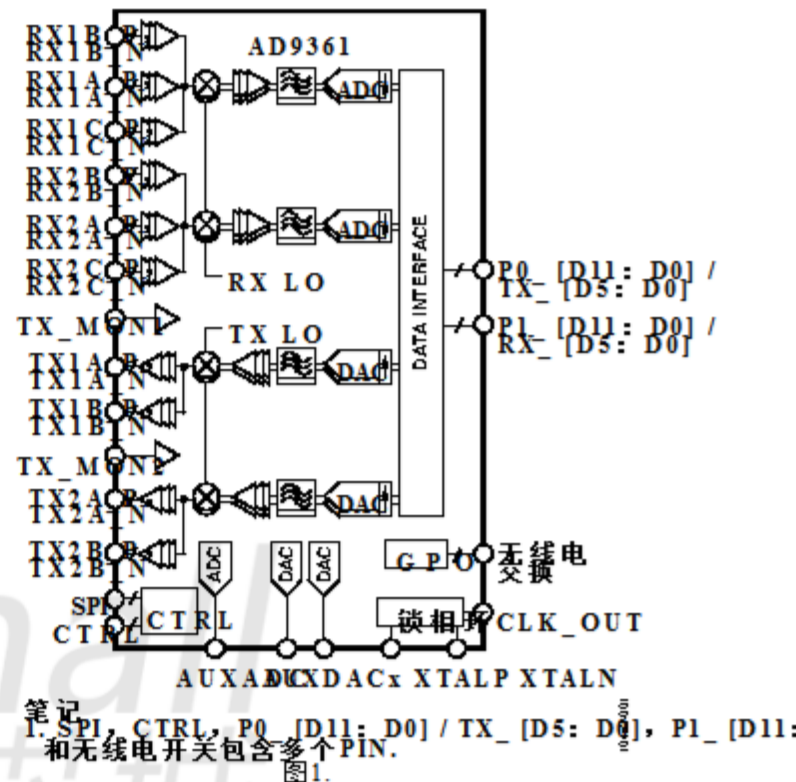
多芯片同步

CMOS / LVDS数字接口

应用

点对点通信系统
Femtocell / 微微小区 / 微小区基站
通用无线电系统

功能框图



一般描述

AD9361是一款高性能，高度集成的收音机（RF）Agile Transceiver™设计用于3G和4G基站应用。其可编程性和宽带性能使其成为广泛的收发器应用的理想选择。该器件将RF前端与灵活的混合信号相结合，基带部分和集成频率合成器，通过提供可配置的数字接口来简化设计到处理器。AD9361的工作频率为70 MHz至6.0 GHz范围，覆盖了大多数持牌和未经许可的频段。渠道支持从低于200 kHz到56 MHz的带宽。

两个独立的直接转换接收机具有最先进的技术，艺术噪声数字和线性。每个接收（RX）子系统包括独立的自动增益控制（AGC），直流偏移校正，正交校正和数字滤波，从而消除在数字基带中需要这些功能。AD9361也具有可以在外部的灵活的手动增益模式受控。每通道两个高动态范围的ADC数字化接收到的I和Q信号并通过可配置传递抽取滤波器和128抽头有限脉冲响应（FIR）滤波器以适当的采样率产生一个12位的输出信号。

教师D

ADI公司提供的信息被认为是准确和可靠的。但是，没有

responsibility is assumed by Analog Devices for its use, nor for any infringement of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No ADI公司的任何专利或专利权均以暗示或其他方式授予许可。Trademarks and registered trademarks are the property of their respective owners. 95 Box 9106, Norwood, MA 02062-9106, U 电话：781.329.4700 ©2013 Analog Devices, Inc.保留所有权利。 技术支持。 www.analog.com

目录

特征	1	操作理论	33
应用	1	一般	33
功能框图	1	接收器	33
一般说明	1	发射机	33
修订记录	2	时钟输入选项	33
规格	3	合成	34
电流消耗-VDD接口	8	数字数据接口	34
电流消耗-VDDD1P3_DIG和VDDAx		启用状态机	34
(所有1.3 V电源的组合)	10	SPI接口	35
绝对最大额定值	15	控制引脚	35
回流曲线	15	GPO引脚 (GPO_3到GPO_0)	35
热阻	15	辅助转换器	35
ESD警告	15	为AD9361供电	35
引脚配置和功能描述	16	包装和订购信息	36
典型的性能特征	20	外形尺寸	36
800 MHz频段	20	订购指南	36
2.4 GHz频段	25		
5.5 GHz频段	29		

修订记录

11/13-REV. C到Rev. D	
订购指南的更改	36

9/13版本C：初始版本

规格

除非另有说明， $VDD_GPO = 3.3\text{ V}$ ， $VDD_INTERFACE = 1.8\text{ V}$ ，所有其他 $VDDx$ 引脚= 1.3 V ， $T_A = 25^\circ\text{C}$ 时的电气特性。

表格1.

参数1	符号	敏	典型	马克斯	单元	测试条件/ 注释
接收机，一般		70		6000	兆赫	
中心频率						
获得						
最低限度			0		Db	在800 MHz
最大			74.5		Db	在2300 MHz (RX1A, RX2A)
			73.0		Db	在2300 MHz (RX1B,
			72.0		Db	RX1C, RX2B, RX2C)
			65.5		Db	在5500 MHz (RX1A, RX2A)
获得一步			1		Db	
接收信号强度	RSSI					
指示符						
范围			100		Db	
准确性			± 2		Db	
接收机，800 MHz						
噪声系数	NF		2		Db	最大RX增益
三阶输入互调	IIP3		-18		dBm的	最大RX增益
截取点						
二阶输入	IIP2		40		dBm的	最大RX增益
互调截取点						
本地振荡器 (LO) 泄漏			-122		dBm的	在RX前端输入
正交						
增益错误			0.2		%	
相位错误			0.2		学位	
调制精度 (EVM)			-42		Db	19.2 MHz参考时钟
输入 S 11			-10		Db	
RX1到RX2隔离						
RX1A至RX2A, RX1C至RX2C			70		Db	
RX1B到RX2B			55		Db	
RX2到RX1隔离						
RX2A到RX1A, RX2C到RX1C			70		Db	
RX2B到RX1B			55		Db	
接收机，2.4 GHz						
噪声系数	NF		3		Db	最大RX增益
三阶输入互调	IIP3		-14		dBm的	最大RX增益
截取点						
二阶输入	IIP2		45		dBm的	最大RX增益
互调截取点						
本地振荡器 (LO) 泄漏			-110		dBm的	在接收器前端
正交						输入
增益错误			0.2		%	
相位错误			0.2		学位	
调制精度 (EVM)			-42		Db	40 MHz参考时钟
输入 S 11			-10		Db	
RX1到RX2隔离						
RX1A至RX2A, RX1C至RX2C			65		Db	
RX1B到RX2B			50		Db	
RX2到RX1隔离						
RX2A到RX1A, RX2C到RX1C			65		Db	
RX2B到RX1B			50		Db	

参数1	符号	敏	典型	马克斯	单元	测试条件/ 注释
接收机, 5.5 GHz						
噪声系数	NF		3.8		Db	最大RX增益
三阶输入互调 截取点	IIP3		-17		dBm的	最大RX增益
二阶输入 互调截取点	IIP2		42		dBm的	最大RX增益
本地振荡器 (LO) 泄漏 正交			-95		dBm的	在RX前端输入
增益错误			0.2		%	
相位错误			0.2		学位	
调制精度 (EVM)			-37		Db	40 MHz参考时钟 (在内部翻倍) RF合成器)
输入 S11			-10		Db	
RX1A到RX2A隔离			52		Db	
RX2A到RX1A隔离			52		Db	
发射机 - GENERAL						
中心频率		70		6000	兆赫	
功率控制范围			90		Db	
功率控制分辨率			0.25		Db	
发射机, 800 MHz						
输出 S22			-10		Db	
最大输出功率			8		dBm的	1兆赫音调到50负载
调制精度 (EVM)			-40		Db	19.2 MHz参考时钟
三阶输出 互调截取点	OIP3		23		dBm的	
载体泄漏			-50		dBc的	0 dB衰减
			-32		dBc的	40分贝衰减
本底噪声 隔离			-157		dBm / Hz	20的MHz偏移
TX1到TX2			50		Db	
TX2到TX1			50		Db	
发射器, 2.4 GHz						
输出 S22			-10		Db	
最大输出功率			7.5		dBm的	1兆赫音调到50负载
调制精度 (EVM)			-40		Db	40 MHz参考时钟
三阶输出 Intermod- 截取点	OIP3		19		dBm的	
载体泄漏			-50		dBc的	0 dB衰减
			-32		dBc的	40分贝衰减
本底噪声 隔离			-156		dBm / Hz	20的MHz偏移
TX1到TX2			50		Db	
TX2到TX1			50		Db	
发射机, 5.5 GHz						
输出 S22			-10		Db	
最大输出功率			6.5		dBm的	7兆赫音调到50负载
调制精度 (EVM)			-36		Db	40 MHz参考时钟 (在内部翻倍) RF合成器)
三阶输出 互调截取点	OIP3		17		dBm的	
载体泄漏			-50		dBc的	0 dB衰减
			-30		dBc的	40分贝衰减
本底噪声 隔离			-151.5		dBm / Hz	20的MHz偏移
TX1到TX2			50		Db	
TX2到TX1			50		Db	

参数1	符号	敏	典型	马克斯	单元	测试条件/ 注释
TX MONITOR INPUTS (TX_MON1, TX_MON2) 最大输入电平 动态范围 准确性			4 66 1		dB m 的 dB dB	
LO合成器 LO频率步骤 集成相位噪声 800 MHz 2.4 GHz 5.5 GHz			2.4 0.13 0.37 0.59		赫兹 °rms °rms °rms	2.4 GHz, 40 MHz 参考时钟 100 Hz至100 MHz, 30.72 MHz的参考时钟 (内部加倍RF 合成器) 100 Hz至100 MHz, 40 MHz参考时钟 100 Hz至100 MHz, 40 MHz参考时钟 (内部加倍RF 合成器)
参考时钟 (REF_CLK)						REF_CLK是输入 到XTALP / XTALN引脚 或者直接去一条线 XTALN引脚
输入 频率范围 信号水平		19 10	1.3	50 80	兆赫 兆赫 Vpp	水晶输入 外部振荡器 交流耦合外部 振荡器
辅助转换器 ADC 解析度 输入电压 最低限度 最大 DAC 解析度 输出电压 最低限度 最大 输出电流			12 0.05 VDDA1P3_BB - 0.05 10 0.5 VDD_GPO - 0.3 10		位 V V 位 V V 嘛	
数字规格 (CMOS) 逻辑输入 输入电压 高 低 输入电流 高 低 逻辑输出 输出电压 高 低		VDD_INTERFACE×0.8 0 -10 -10 VDD_INTERFACE×0.8		VDD_INTERFACE VDD_INTERFACE×0.2 +10 +10 VDD_INTERFACE×0.2	V V μA μA V	
数字规格 (LVDS) 逻辑输入 输入电压范围 输入差分电压 阈 接收器差分输入 阻抗		825 -100 100		1575 +100	毫伏 毫伏 Ω	每个差分输入 这对

参数1	符号	敏	典型	马克斯	单元	测试条件/ 注释
逻辑输出 输出电压 高 低 输出差分电压 输出失调电压		102.5 150	1200	1375	毫伏 毫伏 毫伏 毫伏	可编程为75 mV 脚步
一般目的输出 输出电压 高 低 输出电流		VDD_GPO×0.8	10	VDD_GPO×0.2	V V 嘛	
SPI时间 SPI_CLK 期 脉冲宽度 SPI_ENB设置为第一个SPI_CLK 上升的边缘 上一个SPI_CLK下降沿到 SPI_ENB保持 SPI_DI 数据输入设置为SPI_CLK 数据输入保持到SPI_CLK SPI_CLK上升沿到输出 数据延迟 4线模式 3线模式 巴士周转时间, 阅读 巴士周转时间, 阅读	t CP MP SC HC t S t H 吨 CO 吨 CO t HZM t HZS	20 9 1 0 2 1 3 3 t H 0			NS NS NS NS NS NS NS NS NS NS	VDD_INTERFACE = 1.8 V BBP开车后 地址位 AD9361驱动完成后 最后一个数据位
数字数据时序 (CMOS), VDD_INTERFACE = 1.8 V DATA_CLK时钟周期 DATA_CLK和FB_CLK脉冲 宽度 TX数据 设置为FB_CLK 保持到FB_CLK DATA_CLK到数据总线输出 延迟 DATA_CLK到RX_FRAME延迟 脉冲宽度 ENABLE TXNRX TXNRX设置为启用 巴士周转时间 RX之前 RX后 电容负载 电容输入	t CP MP STX t HTX t DDRX DDDV t ENPW t TXNRXPWP t TXNRXBU t RPRE t RPST	16.276 t CP的45% 1 0 0 0 t CP PWP 0 2×t CP 2×t CP		t CP的55% 1.5 1.0 3 3	NS NS NS NS NS NS NS NS NS NS NS pF的 pF的	61.44 MHz TX_FRAME, P0_D和 P1_D FDD独立的ENSM 模式 TDD ENSM模式 TDD模式 TDD模式

参数 ¹	符号	敏	典型	马克斯	单元	测试条件/ 注释
数字数据时序 (CMOS), VDD_INTERFACE = 2.5 V						
DATA_CLK时钟周期	t CP	16.276			NS	61.44 MHz
DATA_CLK和FB_CLK脉冲 宽度	MP	t CP的 45%		t CP的 55%	NS	
TX数据						TX_FRAME, P0_D和 P1_D
设置为FB_CLK	STX	1			NS	
保持到FB_CLK	t HTX	0			NS	
DATA_CLK到数据总线输出 延迟	t DDRX	0		1.2	NS	
DATA_CLK到RX_FRAME延迟	t DDDV	0		1.0	NS	
脉冲宽度						
ENABLE	t ENPW	t CP			NS	
TXNRX	t TXNRXPWP	t CP			NS	FDD独立的ENSM 模式
TXNRX设置为启用	t TXNRX8U				NS	TDD ENSM模式
巴士周转时间						
RX之前	t RPRE	2×t CP			NS	TDD模式
RX后	t RPST	2×t CP			NS	TDD模式
电容负载			3		pF的	
电容输入			3		pF的	
数字数据时序 (LVDS)						
DATA_CLK时钟周期	t CP	4.069			NS	245.76 MHz
DATA_CLK和FB_CLK脉冲 宽度	MP	t CP的 45%		t CP的 55%	NS	
TX数据						TX_FRAME和TX_D
设置为FB_CLK	STX	1			NS	
保持到FB_CLK	t HTX	0			NS	
DATA_CLK到数据总线输出 延迟	t DDRX	0.25		1.25	NS	
DATA_CLK到RX_FRAME延迟	t DDDV	0.25		1.25	NS	
脉冲宽度						
ENABLE	t ENPW	t CP			NS	
TXNRX	t TXNRXPWP	t CP			NS	FDD独立的ENSM 模式
TXNRX设置为启用	t TXNRX8U				NS	TDD ENSM模式
巴士周转时间						
RX之前	t RPRE	2×t CP			NS	
RX后	t RPST	2×t CP			NS	
电容负载			3		pF的	
电容输入			3		pF的	
供电特性						
1.3 V主电源电压		1.267	1.3	1.33	V	
VDD_INTERFACE电源 标称设置						
CMOS		1.2		2.5	V	
LVDS		1.8		2.5	V	
VDD_INTERFACE公差		-5		+5	%	宽容是适用的 到任何电压设置
VDD_GPO电源额定值 设置		1.3		3.3	V	未使用时, 必须是 设定为1.3V
VDD_GPO公差		-5		+5	%	宽容是适用的 到任何电压设置
目前的消费						
VDDx, 睡眠模式			180		μA	所有输入电流之和
VDD_GPO			50		μA	空载

¹在参数中引用多功能引脚的单个功能时, 只列出与规格相关的引脚名称部分. 为完整的引脚
多功能引脚名称, 请参考引脚配置和功能描述部分.

电流消耗-VDD_INTERFACE

表2. VDD_INTERFACE = 1.2 V

参数	敏	典型	马克斯	单元	测试条件/评论
睡眠模式		45		μA	应用的电源，设备被禁用
1RX, 1TX, DDR					
LTE10					
单一端口		2.9		嘛	30.72 MHz数据时钟，CMOS
双端口		2.7		嘛	15.36 MHz数据时钟，CMOS
LTE20					
双端口		5.2		嘛	30.72 MHz数据时钟，CMOS
2RX, 2TX, DDR					
LTE3					
双端口		1.3		嘛	7.68 MHz数据时钟，CMOS
LTE10					
单一端口		4.6		嘛	CMOS数据时钟 61.44 MHz
双端口		5		嘛	30.72 MHz数据时钟，CMOS
LTE20					
双端口		8.2		嘛	CMOS数据时钟 61.44 MHz
GSM					
双端口		0.2		嘛	1.08 MHz数据时钟，CMOS
WiMAX 8.75					
双端口		3.3		嘛	20 MHz数据时钟，CMOS
WiMAX 10					
单一端口					
TDD RX		0.5		嘛	22.4 MHz数据时钟，CMOS
TDD TX		3.6		嘛	22.4 MHz数据时钟，CMOS
FDD		3.8		嘛	44.8 MHz数据时钟，CMOS
WiMAX 20					
双端口					
FDD		6.7		嘛	44.8 MHz数据时钟，CMOS

表3. VDD_INTERFACE = 1.8 V

参数	敏	典型	马克斯	单元	测试条件/评论
睡眠模式		84		μA	应用的电源，设备被禁用
1RX, 1TX, DDR					
LTE10					
单一端口		4.5		嘛	30.72 MHz数据时钟，CMOS
双端口		4.1		嘛	15.36 MHz数据时钟，CMOS
LTE20					
双端口		8		嘛	30.72 MHz数据时钟，CMOS
2RX, 2TX, DDR					
LTE3					
双端口		2.0		嘛	7.68 MHz数据时钟，CMOS
LTE10					
单一端口		8		嘛	CMOS数据时钟 61.44 MHz
双端口		7.5		嘛	30.72 MHz数据时钟，CMOS
LTE20					
双端口		14.0		嘛	CMOS数据时钟 61.44 MHz
GSM					
双端口		0.3		嘛	1.08 MHz数据时钟，CMOS
WiMAX 8.75					
双端口		5		嘛	20 MHz数据时钟，CMOS

参数	敏	典型	马克斯	单元	测试条件/评论
WiMAX 10					
单一端口					
TDD RX		0.7		嘛	22.4 MHz数据时钟, CMOS
TDD TX		5.6		嘛	22.4 MHz数据时钟, CMOS
FDD		6		嘛	44.8 MHz数据时钟, CMOS
WiMAX 20					
双端口					
FDD		10.7		嘛	44.8 MHz数据时钟, CMOS
P-P56					
75毫伏差分输出		14.0		嘛	240 MHz数据时钟, LVDS
300毫伏差分输出		35.0		嘛	240 MHz数据时钟, LVDS
450毫伏差分输出		47.0		嘛	240 MHz数据时钟, LVDS

表4. VDD_INTERFACE = 2.5 V

参数	敏	典型	马克斯	单元	测试条件/评论
睡眠模式		150		μA	应用的电源, 设备被禁用
1RX, 1TX, DDR					
LTE10					
单一端口		6.5		嘛	30.72 MHz数据时钟, CMOS
双端口		6		嘛	15.36 MHz数据时钟, CMOS
LTE20					
双端口		11.5		嘛	30.72 MHz数据时钟, CMOS
2RX, 2TX, DDR					
LTE3					
双端口		3.0		嘛	7.68 MHz数据时钟, CMOS
LTE10					
单一端口		11.5		嘛	CMOS数据时钟 61.44 MHz
双端口		10.0		嘛	30.72 MHz数据时钟, CMOS
LTE20					
双端口		20.0		嘛	CMOS数据时钟 61.44 MHz
GSM					
双端口		0.5		嘛	1.08 MHz数据时钟, CMOS
WiMAX 8.75					
双端口		7.3		嘛	20 MHz数据时钟, CMOS
WiMAX 10					
单一端口					
TDD RX		1.3		嘛	22.4 MHz数据时钟, CMOS
TDD TX		8		嘛	22.4 MHz数据时钟, CMOS
FDD		8.7		嘛	44.8 MHz数据时钟, CMOS
WiMAX 20					
双端口					
FDD		15.3		嘛	44.8 MHz数据时钟, CMOS
P-P56					
75毫伏差分输出		26.0		嘛	240 MHz数据时钟, LVDS
300毫伏差分输出		45.0		嘛	240 MHz数据时钟, LVDS
450毫伏差分输出		58.0		嘛	240 MHz数据时钟, LVDS

消耗电流-VDDD1P3_DIG和VDDA_x（所有1.3 V电源的组合）

表5. 800 MHz，TDD模式

参数	敏	典型	马克斯	单元	测试条件/评论
1 R X					
5 MHz带宽		180		嘛	连续接收
10 MHz带宽		210		嘛	连续接收
20 MHz带宽		260		嘛	连续接收
2 R X					
5 MHz带宽		265		嘛	连续接收
10 MHz带宽		315		嘛	连续接收
20 MHz带宽		405		嘛	连续接收
1 T X					
5 MHz带宽					
7 dBm		340		嘛	连续发送
-27 dBm		190		嘛	连续发送
10 MHz带宽					
7 dBm		360		嘛	连续发送
-27 dBm		220		嘛	连续发送
20 MHz带宽					
7 dBm		400		嘛	连续发送
-27 dBm		250		嘛	连续发送
2 T X					
5 MHz带宽					
7 dBm		550		嘛	连续发送
-27 dBm		260		嘛	连续发送
10 MHz带宽					
7 dBm		600		嘛	连续发送
-27 dBm		310		嘛	连续发送
20 MHz带宽					
7 dBm		660		嘛	连续发送
-27 dBm		370		嘛	连续发送

表6. TDD模式，2.4 GHz

参数	敏	典型	马克斯	单元	测试条件/评论
1 R X					
5 MHz带宽		175		嘛	连续接收
10 MHz带宽		200		嘛	连续接收
20 MHz带宽		240		嘛	连续接收
2 R X					
5 MHz带宽		260		嘛	连续接收
10 MHz带宽		305		嘛	连续接收
20 MHz带宽		390		嘛	连续接收
1 T X					
5 MHz带宽					
7 dBm		350		嘛	连续发送
-27 dBm		160		嘛	连续发送
10 MHz带宽					
7 dBm		380		嘛	连续发送
-27 dBm		220		嘛	连续发送
20 MHz带宽					
7 dBm		410		嘛	连续发送
-27 dBm		260		嘛	连续发送
2 T X					
5 MHz带宽					
7 dBm		580		嘛	连续发送
-27 dBm		280		嘛	连续发送
10 MHz带宽					
7 dBm		635		嘛	连续发送
-27 dBm		330		嘛	连续发送
20 MHz带宽					
7 dBm		690		嘛	连续发送
-27 dBm		390		嘛	连续发送

表7. TDD模式，5.5 GHz

参数	敏	典型	马克斯	单元	测试条件/评论
1 R X					
5 MHz带宽		175		嘛	连续接收
40 MHz带宽		275		嘛	连续接收
2 R X					
5 MHz带宽		270		嘛	连续接收
40 MHz带宽		445		嘛	连续接收
1 T X					
5 MHz带宽					
7 dBm		400		嘛	连续发送
-27 dBm		240		嘛	连续发送
40 MHz带宽					
7 dBm		490		嘛	连续发送
-27 dBm		385		嘛	连续发送
2 T X					
5 MHz带宽					
7 dBm		650		嘛	连续发送
-27 dBm		335		嘛	连续发送
40 MHz带宽					
7 dBm		820		嘛	连续发送
-27 dBm		500		嘛	连续发送

表8. FDD模式, 800 MHz

参数	敏	典型	马克斯	单元	测试条件/评论
1RX, 1TX					
5 MHz带宽					
7 dBm		490		嘛	
-27 dBm		345		嘛	
10 MHz带宽					
7 dBm		540		嘛	
-27 dBm		395		嘛	
20 MHz带宽					
7 dBm		615		嘛	
-27 dBm		470		嘛	
2RX, 1TX					
5 MHz带宽					
7 dBm		555		嘛	
-27 dBm		410		嘛	
10 MHz带宽					
7 dBm		625		嘛	
-27 dBm		480		嘛	
20 MHz带宽					
7 dBm		740		嘛	
-27 dBm		600		嘛	
1RX, 2TX					
5 MHz带宽					
7 dBm		685		嘛	
-27 dBm		395		嘛	
10 MHz带宽					
7 dBm		755		嘛	
-27 dBm		465		嘛	
20 MHz带宽					
7 dBm		850		嘛	
-27 dBm		570		嘛	
2RX, 2TX					
5 MHz带宽					
7 dBm		790		嘛	
-27 dBm		495		嘛	
10 MHz带宽					
7 dBm		885		嘛	
-27 dBm		590		嘛	
20 MHz带宽					
7 dBm		1020		嘛	
-27 dBm		730		嘛	

表9. FDD模式，2.4 GHz

参数	敏	典型	马克斯	单元	测试条件/评论
1RX, 1TX					
5 MHz带宽					
7 dBm		500		嘛	
-27 dBm		350		嘛	
10 MHz带宽					
7 dBm		540		嘛	
-27 dBm		390		嘛	
20 MHz带宽					
7 dBm		620		嘛	
-27 dBm		475		嘛	
2RX, 1TX					
5 MHz带宽					
7 dBm		590		嘛	
-27 dBm		435		嘛	
10 MHz带宽					
7 dBm		660		嘛	
-27 dBm		510		嘛	
20 MHz带宽					
7 dBm		770		嘛	
-27 dBm		620		嘛	
1RX, 2TX					
5 MHz带宽				嘛	
7 dBm		730		嘛	
-27 dBm		425		嘛	
10 MHz带宽					
7 dBm		800		嘛	
-27dBm		500		嘛	
20 MHz带宽					
7 dBm		900		嘛	
-27 dBm		600		嘛	
2RX, 2TX					
5 MHz带宽				嘛	
7 dBm		820			
-27 dBm		515		嘛	
10 MHz带宽					
7 dBm		900		嘛	
-27 dBm		595		嘛	
20 MHz带宽					
7 dBm		1050		嘛	
-27 dBm		740		嘛	

表10. FDD模式，5.5 GHz

参数	敏	典型	马克斯	单元	测试条件/评论
1RX, 1TX 5 MHz带宽 7 dBm -27 dBm		550 385		嘛 嘛	
2RX, 1TX 5 MHz带宽 7 dBm -27 dBm		645 480		嘛 嘛	
1RX, 2TX 5 MHz带宽 7 dBm -27 dBm		805 480		嘛 嘛	
2RX, 2TX 5 MHz带宽 7 dBm -27 dBm		895 575		嘛 嘛	



绝对最大额定值

表11

参数	评分
VDDx至VSSx	-0.3 V至+1.4 V
VDD_INTERFACE到VSSx	-0.3 V至+3.0 V
VDD_GPO到VSSx	-0.3V至+ 3.9V
逻辑输入和输出 VSSX	-0.3 V到VDD_INTERFACE + 0.3 V
输入电流到任何引脚 除了用品	±10 mA
射频输入（峰值功率）	2.5 dBm
TX监视器输入功率（峰值 功率）	9 dBm
封装功耗	(T JMAX -T A) / θJA
最大连接点 温度（T JMAX）	110°C
工作温度范围	-40°C至+ 85°C
存储温度范围	-65°C至+ 150°C

强调超出绝对最大额定值列出的那些可能会导致设备永久性损坏.这是一个压力只有评级.在这些或任何设备的功能操作其他情况超出业务指标不是暗示本规范的一部分.接触绝对延长期限的最大额定条件可能会影响设备可靠性.

回流曲线

AD9361回流曲线符合JEDEC标准JESD20无铅器件标准.最大回流温度是260°C.

热阻

θJA 是针对最差条件（即器件）而规定的焊接在表面贴装封装的电路板上.

表12.热阻

包类型	气流速度 (米/秒)	θJA1	2θJC1	3θJB1,4	ψJT1,2	单元
144球 CSP_BGA	0	32.3	9.6	20.2	0.27	°C / W
	1.0	29.6			0.43	°C / W
	2.5	27.8			0.57	°C / W

1根据JEDEC JESD51-7，加上JEDEC JESD51-5 2S2P测试板。
2根据JEDEC JESD51-2（静止空气）或JEDEC JESD51-6（移动空气）。
3按照MIL-STD 883，方法1012.1。
4根据JEDEC JESD51-8（仍然空气）。

ESD警告



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy SD. herefore, proper .SD precautions should be taken to avoid performance degradation or oss of functiona lity.

引脚配置和功能说明

	1	2	3	4	五	6	7	8	9	10	11	12
一个	RX2A	RX2A	NC	VSSA	TX_MON	OVSSA	TX2A	TX2A	TX2B	TX2B	VDDA1P3_TX_VCO	TX_EXT
乙	VSSA	VSSA	AUXDAC1	GPO_3	GPO_0	GPO_0	GPO_0	VDDA1P3_TX_VCO	VDDA1P3_TX_VCO	VDDA1P3_TX_VCO	VDDA1P3_TX_VCO	VSSA
C	RX2C	VSSA	AUXDAC1	测试	CTRL	CTRL	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
d	RX2C	VDDA1P3_TX_VCO	VDDA1P3_TX_VCO	CTRL	CTRL	CTRL	TX2A	TX2A	TX2B	TX2B	TX2B	VSSD
Ē	RX2B	VDDA1P3_TX_VCO	VDDA1P3_TX_VCO	CTRL	OUT1	CTRL	TX2A	TX2A	TX2B	TX2B	TX2B	TX2B
F	RX2B	VDDA1P3_TX_VCO	VDDA1P3_TX_VCO	CTRL	OUT6	CTRL	TX2A	TX2A	TX2B	TX2B	TX2B	VSSD
G	RX2B	VDDA1P3_TX_VCO	VDDA1P3_TX_VCO	CTRL	OUT6	CTRL	TX2A	TX2A	TX2B	TX2B	TX2B	VSSD
H	RX1B	VSSA	VSSA	TX_N	RSYNC	VSSA	VSSD	RX1B	RX1B	RX1B	RX1B	VSSD
j	RX1B	VSSA	VDDA1P3_TX_VCO	RSYNC	CLK	CLK	RX1B	RX1B	RX1B	RX1B	RX1B	VSSD
k	RX1C	VSSA	VDDA1P3_TX_VCO	RSYNC	CLK	CLK	RX1C	RX1C	RX1C	RX1C	RX1C	VSSD
大	RX1C	VSSA	VSSA	RBIA	AUXDAC1	BEI	OVSSA	VSSA	VSSA	VSSA	VSSA	VSSA
中	RX1A	RX1A	NC	VSSA	TX_MON	OVSSA	TX1A	TX1A	TX1B	TX1B	TX1B	TX1B

☐ 模拟 I/O ☐ 直流电
☐ 数字 I/O ☐ 地面
☐ 没有连接

图2. 引脚配置，俯视图

表13. 引脚功能描述

销号	类型1	助记符	描述
A1, A2	一世	RX2A_N, RX2A_P	接收通道2差分输入A. 或者, 每个引脚都可以用作a单端输入或组合成差分对. 将未使用的针脚绑定到地面.
A3, M3	NC	NC	没有连接. 不要连接到这些引脚.
A4, A6, B1, B2, B12, C2, C7到C12, F3, H2, H3, H6, J2, K2, L2, L3, L7到L12, M4, M6	二世	VSSA	模拟地. 将这些引脚直接连接到打印的VSSD数字地电路板 (一个地平面).
A5	一世	TX_MON2	传输通道2功率监视器输入. 如果这个引脚没有使用, 将其接地.
A7, A8	0	TX2A_N, TX2A_P	发送通道2差分输出A. 将未使用的引脚连接到1.3 V.
A9, A10	0	TX2B_N, TX2B_P	发送通道2差分输出B. 将未使用的引脚连接到1.3 V.
A11	一世	VDDA1P1_TX_VCO	传输VCO电源输入. 连接到B11.
A12	一世	TX_EXT_LO_IN	外部发送LO输入. 如果这个引脚没有使用, 将其接地.
B3	0	AUXDAC1	辅助DAC 1输出.
B4到B7	0	GPO_3到GPO_0	3.3 V的通用输出.
B8	一世	VDD_GPO	2.5 V至3.3 V电源用于AUXDAC和通用输出引脚. 什么时候不使用VDD_GPO电源, 必须将此电源设置为1.3 V.
B9	一世	VDDA1P3_TX_LO	发送LO 1.3 V电源输入.
B10	一世	VDDA1P3_TX_VCO_LDO	传输VCO LDO 1.3 V电源输入. 连接到B9.
B11	0	TX_VCO_LDO_OUT	传输VCO LDO输出. 连接到A11和一个1μF的旁路电容串联带1Ω电阻接地.
C1, D1	一世	RX2C_P, RX2C_N	接收通道2差分输入C. 每个引脚可以用作单端输入或组合成差分对. 这些输入经验降低3 GHz以上的性能. 将未使用的针脚绑在地上.

销号	类型1	助记符	描述
C3	0	AUXDAC2	辅助DAC 2输出。
C4	—世	TEST / ENABLE	测试输入。将此引脚接地以正常工作。
C5, C6, D5, D6	—世	CTRL_IN0到CTRL_IN3	控制输入。用于手动RX增益和TX衰减控制。
D2	—世	VDDA1P3_RX_RF	接收器1.3 V电源输入。连接到D3。
D3	—世	VDDA1P3_RX_TX	1.3 V电源输入。
D4, E4至E6, F4到F6, G4	0	CTRL_OUT0, CTRL_OUT1, CTRL_OUT3, CTRL_OUT6, CTRL_OUT4, CTRL_OUT7	控制输出。这些引脚是可编程的多用途输出功能。
D7	I / O	P0_D9 / TX_D4_P	数字数据端口P0 / 发送差分输入总线。这是一个双重功能引脚。作为P0_D9, 它作为12位双向并行CMOS电平数据的一部分。端口0。另外, 该引脚 (TX_D4_P) 可以作为LVDS 6位TX的一部分差分输入总线和内部LVDS终端。
D8	I / O	P0_D7 / TX_D3_P	数字数据端口P0 / 发送差分输入总线。这是一个双重功能引脚。作为P0_D7, 它作为12位双向并行CMOS电平数据的一部分。端口0。另外, 该引脚 (TX_D3_P) 可以用作LVDS 6位TX的一部分差分输入总线和内部LVDS终端。
D9	I / O	P0_D5 / TX_D2_P	数字数据端口P0 / 发送差分输入总线。这是一个双重功能引脚。作为P0_D5, 它作为12位双向并行CMOS电平数据的一部分。端口0。另外, 该引脚 (TX_D2_P) 可以作为LVDS 6位TX的一部分差分输入总线和内部LVDS终端。
D10	I / O	P0_D3 / TX_D1_P	数字数据端口P0 / 发送差分输入总线。这是一个双重功能引脚。作为P0_D3, 它作为12位双向并行CMOS电平数据的一部分。端口0。另外, 该引脚 (TX_D1_P) 可以用作LVDS 6位TX的一部分差分输入总线和内部LVDS终端。
D11	I / O	P0_D1 / TX_D0_P	数字数据端口P0 / 发送差分输入总线。这是一个双重功能引脚。作为P0_D1, 它作为12位双向并行CMOS电平数据的一部分。端口0。另外, 该引脚 (TX_D0_P) 可以用作LVDS 6位TX的一部分差分输入总线和内部LVDS终端。
D12, F7, F9, F11, G12, H7, H10, K12	—世	VSSD	数字地面。将这些引脚直接连接到印刷电路板上的VSSA模拟地电路板 (一个地平面)。
E1, F1	—世	RX2B_P, RX2B_N	接收通道2差分输入B。每个引脚可以用作单端输入或组合成差分对。这些输入经验降低3 GHz以上的性能。将未使用的针脚绑在地上。
E2	—世	VDDA1P3_RX_LO	接收LO 1.3 V电源输入。
E3	—世	VDDA1P3_TX_LO_BUFFER	1.3 V电源输入。
E7	I / O	P0_D11 / TX_D5_P	数字数据端口P0 / 发送差分输入总线。这是一个双重功能引脚。作为P0_D11, 它作为12位双向并行CMOS电平的一部分。数据端口0。另外, 该引脚 (TX_D5_P) 可以作为LVDS的一部分具有内部LVDS端接的6位TX差分输入总线。
E8	I / O	P0_D8 / TX_D4_N	数字数据端口P0 / 发送差分输入总线。这是一个双重功能引脚。作为P0_D8, 它作为12位双向并行CMOS电平数据的一部分。端口0。另外, 该引脚 (TX_D4_N) 可以作为LVDS 6位TX的一部分差分输入总线和内部LVDS终端。
E9	I / O	P0_D6 / TX_D3_N	数字数据端口P0 / 发送差分输入总线。这是一个双重功能引脚。作为P0_D6, 它作为12位双向并行CMOS电平数据的一部分。端口0。另外, 该引脚 (TX_D3_N) 可以作为LVDS 6位TX的一部分差分输入总线和内部LVDS终端。
E10	I / O	P0_D4 / TX_D2_N	数字数据端口P0 / 发送差分输入总线。这是一个双重功能引脚。作为P0_D4, 它作为12位双向并行CMOS电平数据的一部分。端口0。或者, 该引脚 (TX_D2_N) 可以用作LVDS 6位TX的一部分差分输入总线和内部LVDS终端。
E11	I / O	P0_D2 / TX_D1_N	数字数据端口P0 / 发送差分输入总线。这是一个双重功能引脚。作为P0_D2, 它作为12位双向并行CMOS电平数据的一部分。端口0。另外, 该引脚 (TX_D1_N) 可以用作LVDS 6位TX的一部分差分输入总线和内部LVDS终端。
E12	I / O	P0_D0 / TX_D0_N	数字数据端口P0 / 发送差分输入总线。这是一个双重功能引脚。作为P0_D0, 它作为12位双向并行CMOS电平数据的一部分。端口0。另外, 该引脚 (TX_D0_N) 可以作为LVDS 6位TX的一部分差分输入总线和内部LVDS终端。

销号	类型1	助记符	描述
F2	—世	VDDA1P3_RX_VCO_LDO	接收VCO LDO 1.3 V电源输入. 连接到E2.
F8	I / O	P0_D10 / TX_D5_N	数字数据端口P0 / 发送差分输入总线. 这是一个双重功能引脚. 作为P0_D10, 它作为12位双向并行CMOS电平的一部分. 数据端口0. 或者, 该引脚 (TX_D5_N) 可以作为LVDS的一部分. 具有内部LVDS端接的6位TX差分输入总线.
F10, G10	—世	FB_CLK_P, FB_CLK_N	反馈时钟. 这些引脚接收发送数据时钟的FB_CLK信号. 在CMOS模式下, 使用FB_CLK_P作为输入, 并将FB_CLK_N接地.
F12	—世	VDDD1P3_DIG	1.3 V数字电源输入.
G1	—世	RX_EXT_LO_IN	外部接收LO输入. 如果这个引脚没有使用, 将其接地.
G2	0	RX_VCO_LDO_OUT	接收VCO LDO输出. 将此引脚直接连接到G3和1μF旁路电容串联一个1电阻接地.
G3	—世	VDDA1P1_RX_VCO	接收VCO电源输入. 只能将此引脚直接连接到G2.
G5	—世	EN_AGC	手动控制输入自动增益控制 (AGC).
G6	—世	ENABLE	控制输入. 该引脚通过各种操作状态移动设备.
G7, G8	0	RX_FRAME_N, RX_FRAME_P	接收数字数据帧输出信号. 这些引脚传输RX_FRAME. 表示RX输出数据是否有效的信号. 在CMOS模式下使用RX_FRAME_P作为输出并保持RX_FRAME_N未连接.
G9, H9	—世	TX_FRAME_P, TX_FRAME_N	传输数字数据帧输入信号. 这些引脚接收TX_FRAME. 指示TX数据何时有效的信号. 在CMOS模式下, 使用TX_FRAME_P输入并将TX_FRAME_N接地.
G11, H11	0	DATA_CLK_P, DATA_CLK_N	接收数据时钟输出. 这些引脚传输使用的DATA_CLK信号. 由BBP来时钟接收数据. 在CMOS模式下, 使用DATA_CLK_P作为输出. 保持DATA_CLK_N不连接.
H1, J1	—世	RX1B_P, RX1B_N	接收通道1差分输入B. 或者, 每个引脚可用作单端输入. 这些输入经历了上述性能下降. 3 GHz. 将未使用的引脚绑在地上.
H4	—世	TXNRX	启用状态机控制信号. 该引脚控制数据端口总线的方向. 逻辑低电平选择RX方向, 逻辑高电平选择TX方向.
H5	—世	SYNC_IN	输入以同步多个AD9361器件之间的数字时钟. 如果这个引脚没用, 把它绑在地上.
H8	I / O	P1_D11 / RX_D5_P	数字数据端口P1 / 接收差分输出总线. 这是一个双重功能引脚. 作为P1_D11, 它作为12位双向并行CMOS电平的一部分. 数据端口1. 另外, 该引脚 (RX_D5_P) 可以作为LVDS的一部分. 具有内部LVDS端接的6位RX差分输出总线.
H12	—世	VDD_INTERFACE	1.2 V至2.5 V数字I / O引脚电源 (LVDS模式下的1.8 V至2.5 V).
J3	—世	VDDA1P3_RX_SYNTH	1.3 V电源输入.
J4	—世	SPI_DI	SPI串行数据输入.
J5	—世	SPI_CLK	SPI时钟输入.
J6	0	CLK_OUT	输出时钟. 该引脚可以配置为输出缓冲版本. 外部输入时钟, DCXO或内部ADC_CLK的分频版本.
J7	I / O	P1_D10 / RX_D5_N	数字数据端口P1 / 接收差分输出总线. 这是一个双重功能引脚. 作为P1_D10, 它作为12位双向并行CMOS电平的一部分. 数据端口1. 另外, 该引脚 (RX_D5_N) 可以作为LVDS的一部分. 具有内部LVDS端接的6位RX差分输出总线.
J8	I / O	P1_D9 / RX_D4_P	数字数据端口P1 / 接收差分输出总线. 这是一个双重功能引脚. 作为P1_D9, 它作为12位双向并行CMOS电平数据的一部分. 端口1. 或者, 该引脚 (RX_D4_P) 可以用作LVDS 6位RX的一部分. 差分输出总线, 内部LVDS终端.
J9	I / O	P1_D7 / RX_D3_P	数字数据端口P1 / 接收差分输出总线. 这是一个双重功能引脚. 作为P1_D7, 它作为12位双向并行CMOS电平数据的一部分. 端口1. 或者, 该引脚 (RX_D3_P) 可以作为LVDS 6位RX的一部分. 差分输出总线, 内部LVDS终端.
J10	I / O	P1_D5 / RX_D2_P	数字数据端口P1 / 接收差分输出总线. 这是一个双重功能引脚. 作为P1_D5, 它作为12位双向并行CMOS电平数据的一部分. 端口1. 或者, 该引脚 (RX_D2_P) 可以作为LVDS 6位RX的一部分. 差分输出总线, 内部LVDS终端.

销号	类型1	助记符	描述
J11	I / O	P1_D3 / RX_D1_P	数字数据端口P1 /接收差分输出总线.这是一个双重功能引脚.作为P1_D3,它作为12位双向并行CMOS电平数据的一部分端口1.或者,该引脚(RX_D1_P)可以作为LVDS 6位RX的一部分差分输出总线,内部LVDS终端.
J12	I / O	P1_D1 / RX_D0_P	数字数据端口P1 /接收差分输出总线.这是一个双重功能引脚.作为P1_D1,它作为12位双向并行CMOS电平数据的一部分端口1.或者,该引脚(RX_D0_P)可以作为LVDS 6位RX的一部分差分输出总线,内部LVDS终端.
K1, L1	—世	RX1C_P, RX1C_N	接收通道1差分输入C.或者,每个引脚都可以用作a单端输入.这些输入经历了上述性能下降3 GHz.将未使用的针脚绑在地上.
K3	—世	VDDA1P3_TX_SYNTH	1.3 V电源输入.
K4	—世	VDDA1P3_BB	1.3 V电源输入.
K5	—世	RESETB	异步复位.逻辑低将重置设备.
K6	—世	SPI_ENB	SPI使能输入.将此引脚设置为逻辑低电平以启用SPI总线.
K7	I / O	P1_D8 / RX_D4_N	数字数据端口P1 /接收差分输出总线.这是一个双重功能引脚.作为P1_D8,它作为12位双向并行CMOS电平数据的一部分端口1.或者,该引脚(RX_D4_N)可以用作LVDS 6位RX的一部分差分输出总线,内部LVDS终端.
K8	I / O	P1_D6 / RX_D3_N	数字数据端口P1 /接收差分输出总线.这是一个双重功能引脚.作为P1_D6,它作为12位双向并行CMOS电平数据的一部分端口1.或者,该引脚(RX_D3_N)可以作为LVDS 6位RX的一部分差分输出总线,内部LVDS终端.
K9	I / O	P1_D4 / RX_D2_N	数字数据端口P1 /接收差分输出总线.这是一个双重功能引脚.作为P1_D4,它作为12位双向并行CMOS电平数据的一部分端口1.或者,该引脚(RX_D2_N)可以用作LVDS 6位RX的一部分差分输出总线,内部LVDS终端.
K10	I / O	P1_D2 / RX_D1_N	数字数据端口P1 /接收差分输出总线.这是一个双重功能引脚.作为P1_D2,它作为12位双向并行CMOS电平数据的一部分端口1.另外,该引脚(RX_D1_N)可以作为LVDS 6位RX的一部分差分输出总线,内部LVDS终端.
K11	I / O	P1_D0 / RX_D0_N	数字数据端口P1 /接收差分输出总线.这是一个双重功能引脚.作为P1_D0,它作为12位双向并行CMOS电平数据的一部分端口1.另外,该引脚(RX_D0_N)可以作为LVDS 6位RX的一部分差分输出总线,内部LVDS终端.
L4	—世	RBIAS	偏置输入参考.通过一个14.3k Ω (1% 容差)电阻连接此引脚地面.
L5	—世	AUXADC	辅助ADC输入.如果这个引脚没有使用,将其接地.
L6	Ø	SPI_DO	4线模式下的SPI串行数据输出或3线模式下的高阻态.
M1, M2	—世	RX1A_P, RX1A_N	接收通道1差分输入A.或者,每个引脚都可以用作a单端输入.将未使用的针脚绑在地上.
M5	—世	TX_MON1	传输通道1功率监视器输入.当这个引脚未使用时,将其接地.
M7, M8	Ø	TX1A_P, TX1A_N	发送通道1差分输出A.将未使用的引脚连接到1.3 V.
M9, M10	Ø	TX1B_P, TX1B_N	发送通道1差分输出B.将未使用的引脚连接到1.3 V.
M11, M12	—世	XTALP, XTALN	参考频率晶体连接.使用水晶时,请连接这两个引脚之间.当使用外部时钟源时,将其连接到XTALN并保持XTALP不连接.

1I是输入, O是输出, I / O是输入/输出, 或NC没有连接.

典型的性能特征

800 MHz频带

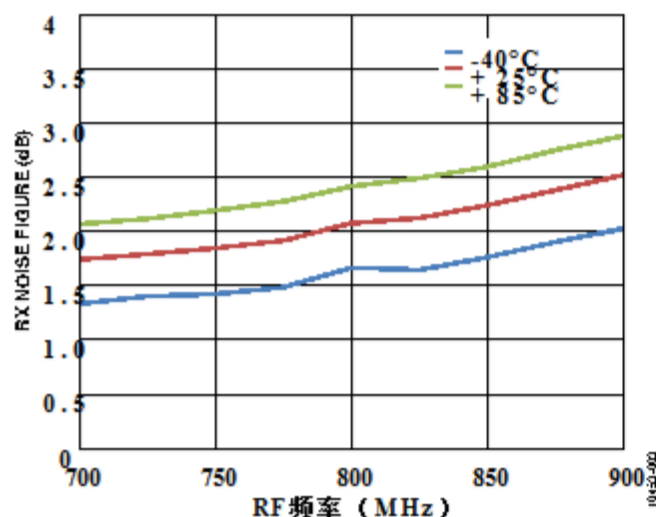


图3. RX噪声系数与RF频率的关系

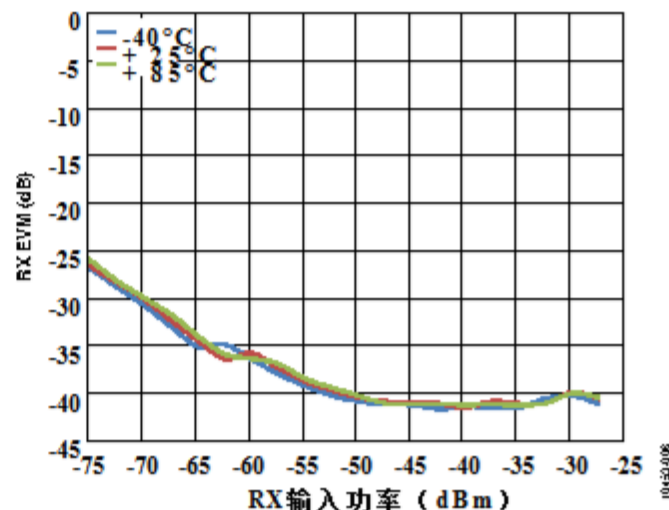


图6. RX EVM与RX输入功率, 64 QAM LTE 10 MHz模式, 19.2 MHz REF_CLK

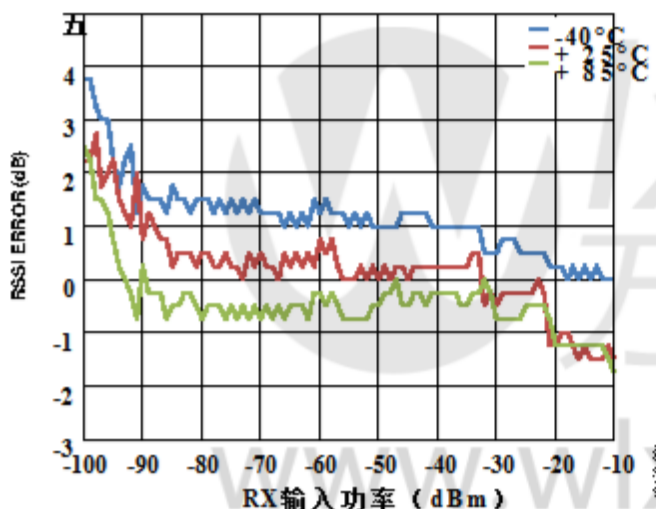


图4. RSSI错误与RX输入功率, LTE 10 MHz调制 (以800 MHz为参考, 输入功率为-50 dBm)

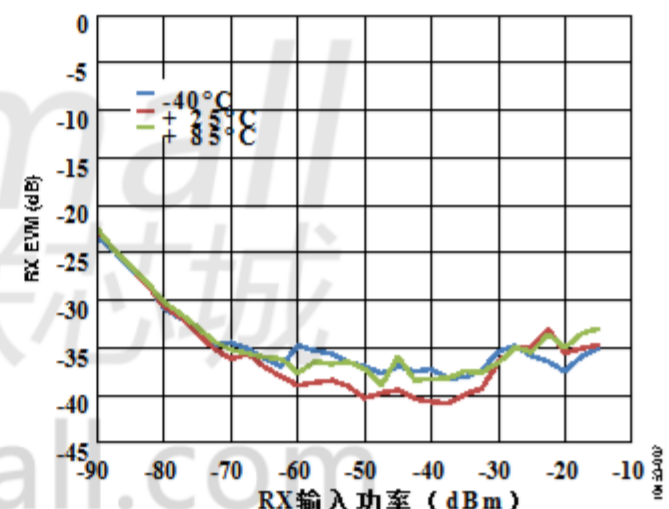


图7. RX EVM与RX输入功率, GSM模式, 30.72 MHz REF_CLK (内部加倍RF合成器)

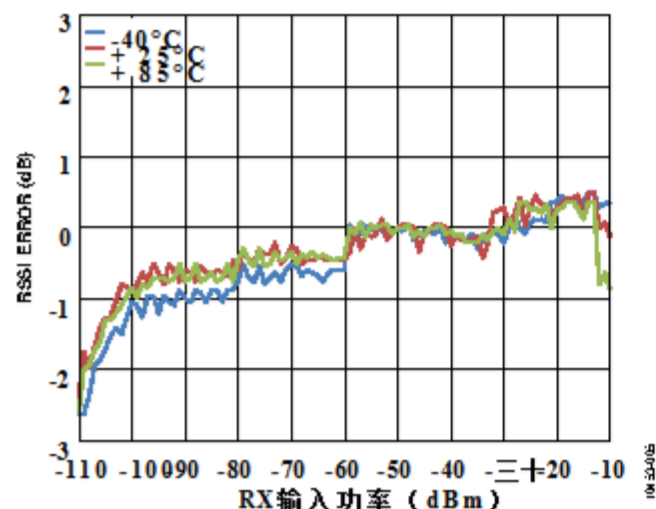


图5. RSSI误差与RX输入功率, 边沿调制 (以800 MHz为参考, 输入功率为-50 dBm)

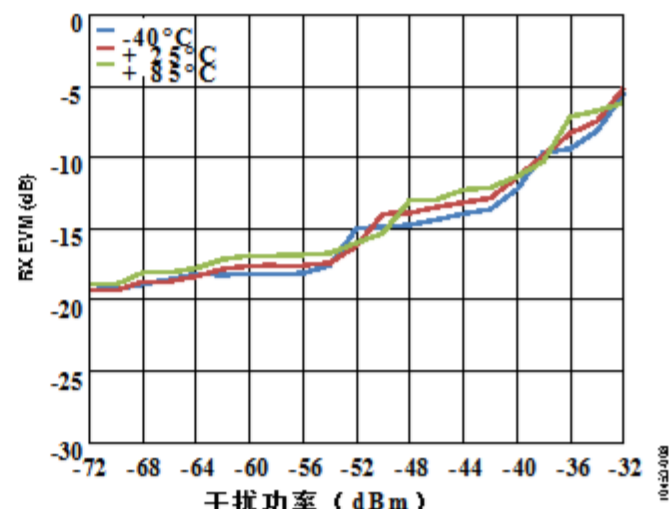


图8. RX EVM与干扰源功率水平, LTE 10 MHz感兴趣的信号 P IN = -82 dBm, 7.5 MHz偏移的5 MHz OFDM阻塞器

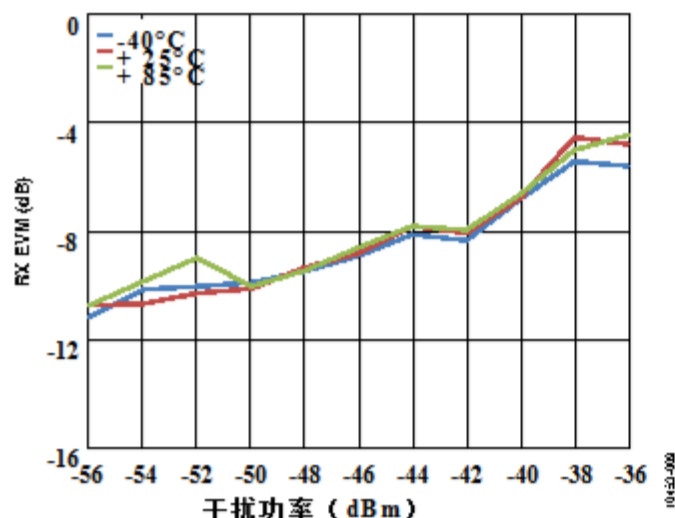


图9. RX EVM与干扰源功率水平, LTE 10 MHz感兴趣的信号
P IN = -90 dBm, 17.5 MHz偏移的5 MHz OFDM阻塞器

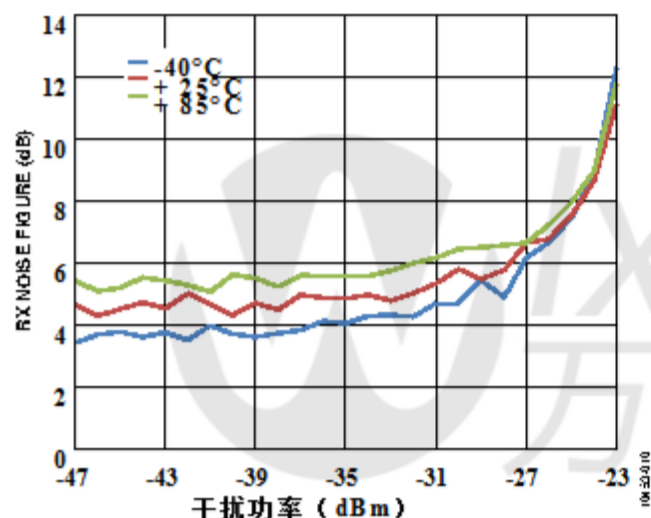


图10. RX噪声系数与干扰源功率水平, 感兴趣的边缘信号
其中P IN = -90 dBm, 3 MHz偏移的CW Blocker, 增益指数= 64

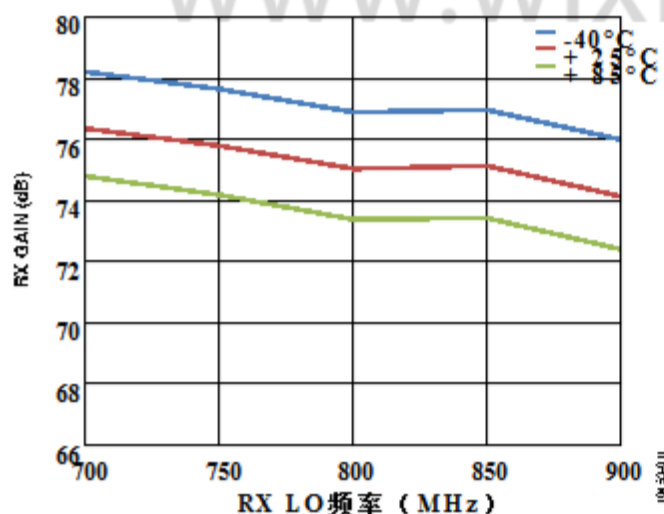


图11. RX增益与RX LO频率的关系, 增益指数= 76 (最大设置)

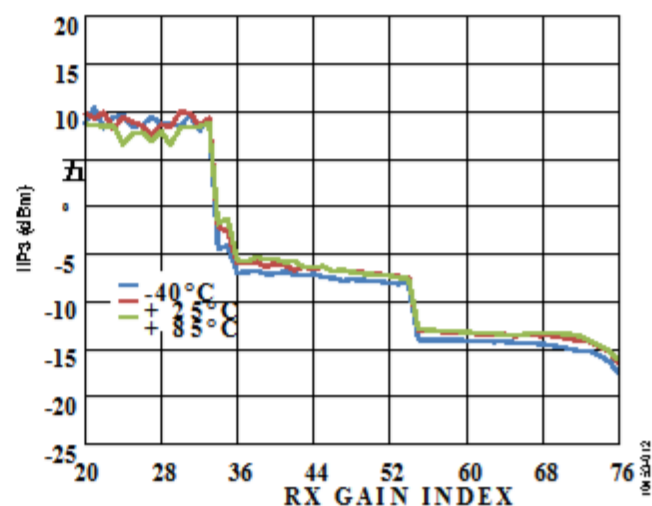


图12. 三阶输入截取点 (IIP3) 与RX增益索引
f1 = 1.45MHz, f2 = 2.89MHz, GSM模式

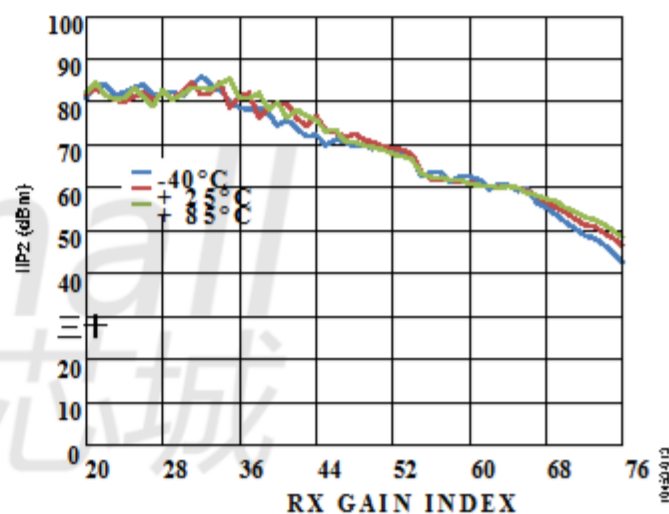


图13. 二阶输入截取点 (IIP2) 与RX增益索引
f1 = 2.00MHz, f2 = 2.01MHz, GSM模式

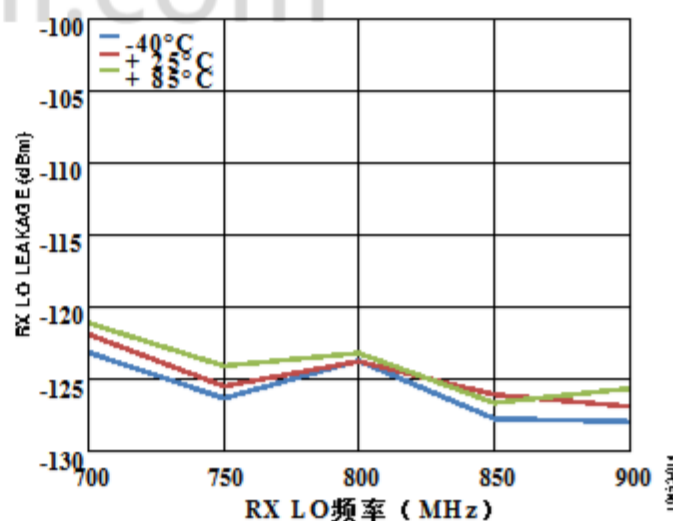


图14. RX本地振荡器 (LO) 泄漏与RX LO频率的关系

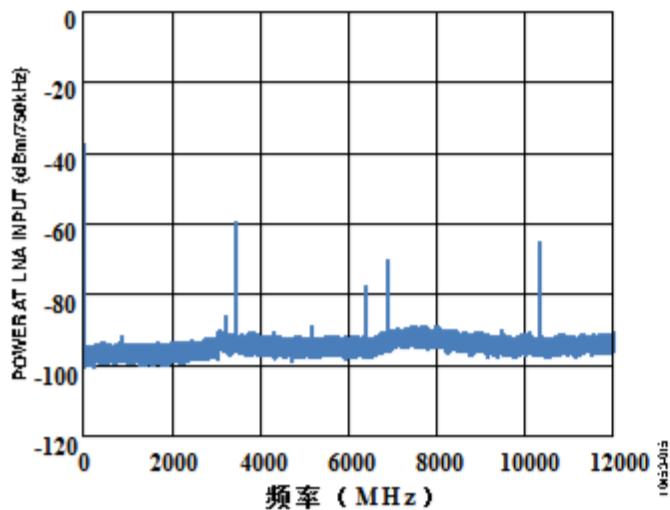


图15. LNA输入时的RX发射, DC至12 GHz, $f_{LO_RX} = 800$ MHz, LTE 10MHz, $f_{LO_TX} = 860$ MHz

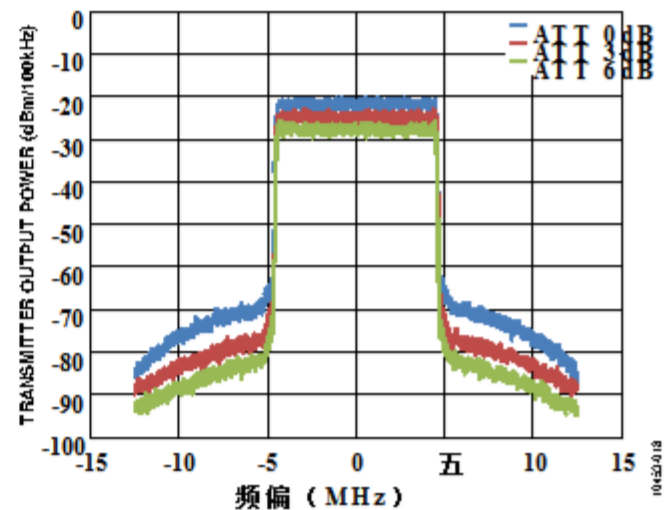


图18. TX频谱与载波频率的频率偏移 $f_{LO_TX} = 800$ MHz, LTE 10 MHz下行链路 (显示数字衰减变化)

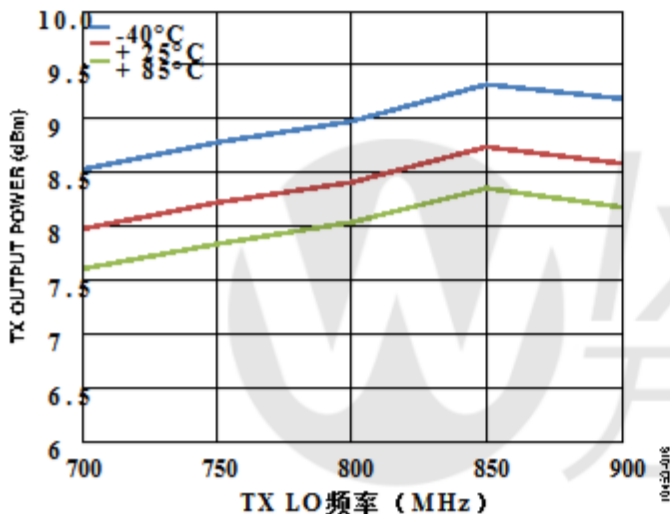


图16. TX输出功率与TX LO频率, 衰减设置 = 0 dB, 单音输出

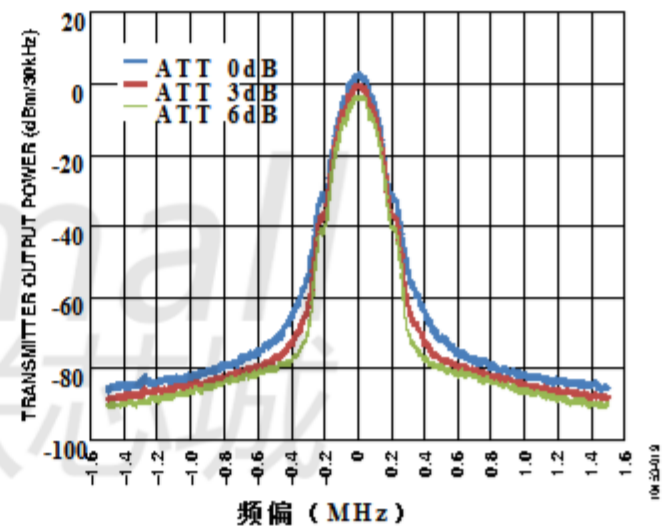


图19. 发射频谱与载波频率的频率偏移 $f_{LO_TX} = 800$ MHz, GSM下行链路 (显示数字衰减变化), 3 MHz范围

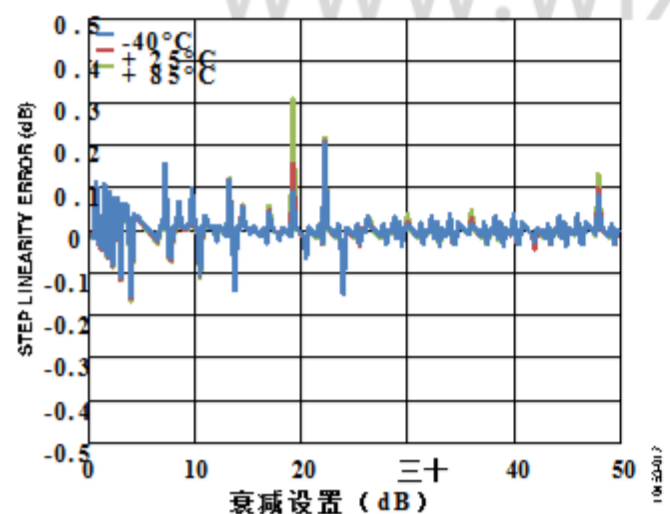


图17. TX功率控制线性误差与衰减设置

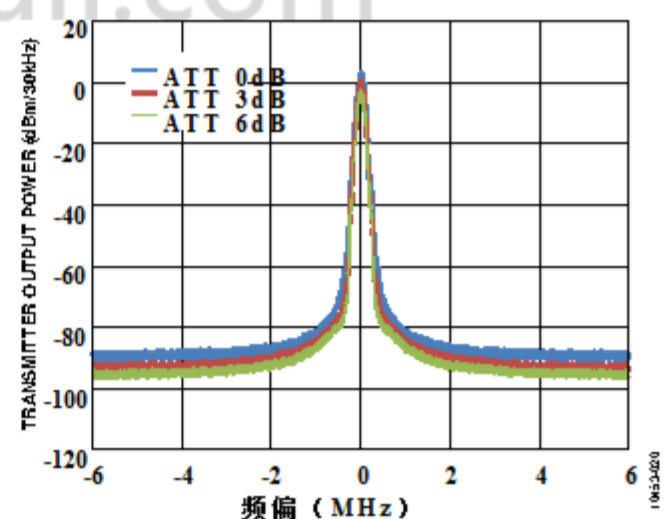


图20. 发射频谱与载波频率偏移频率 $f_{LO_TX} = 800$ MHz, GSM下行链路 (显示数字衰减变化), 12 MHz范围

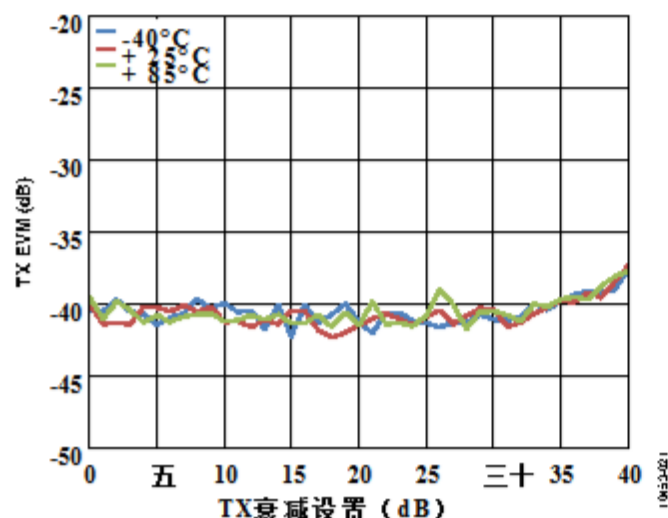


图21. TX EVM与TX衰减设置, $f_{LO\ TX} = 800\text{ MHz}$, LTE 10 MHz, 64 QAM调制, 19.2 MHz REF_CLK

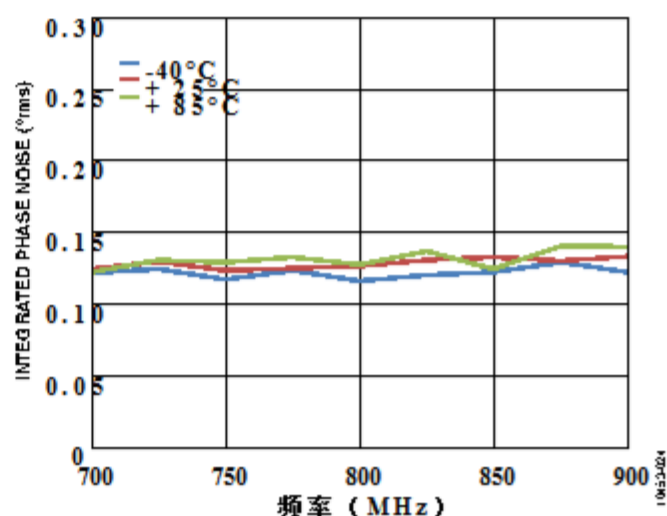


图24.集成的TX LO相位噪声与频率, 30.72 MHz REF_CLK (内部加倍RF合成器)

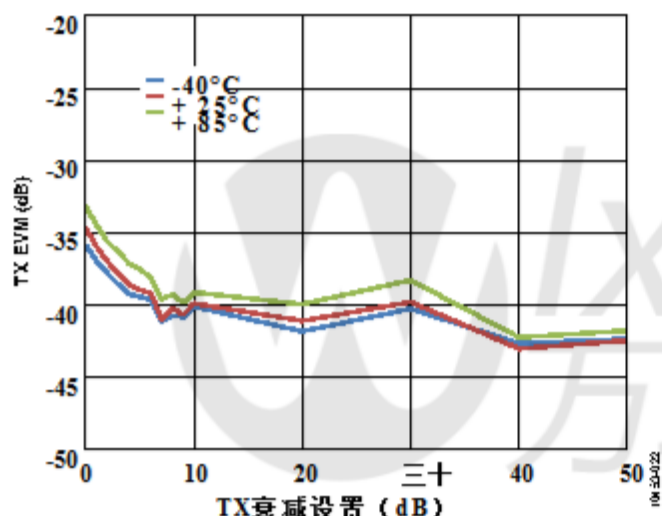


图22. TX EVM与TX衰减设置, $f_{LO\ TX} = 800\text{ MHz}$, GSM调制, 30.72 MHz REF_CLK (内部双倍频率合成器)

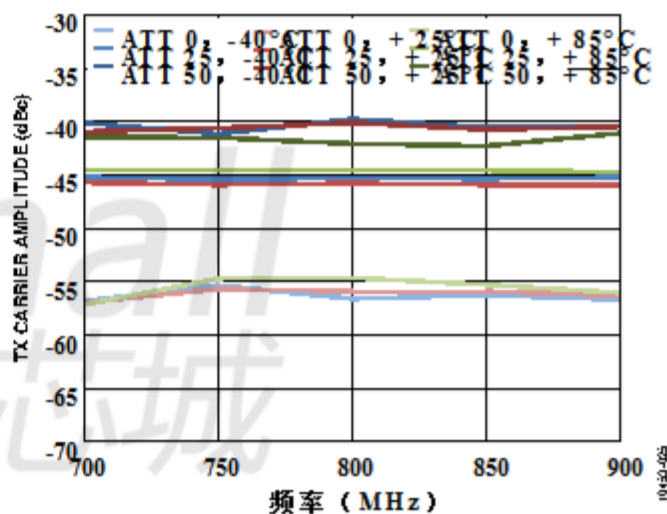


图25. TX载波抑制与频率的关系

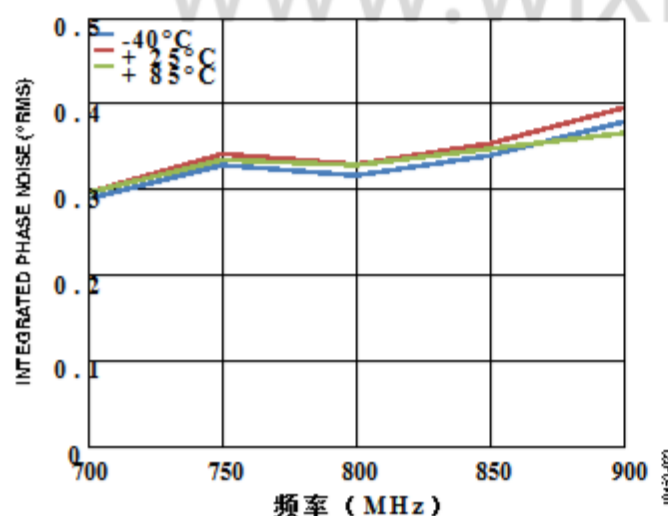


图23.集成的TX LO相位噪声与频率, 19.2 MHz REF_CLK

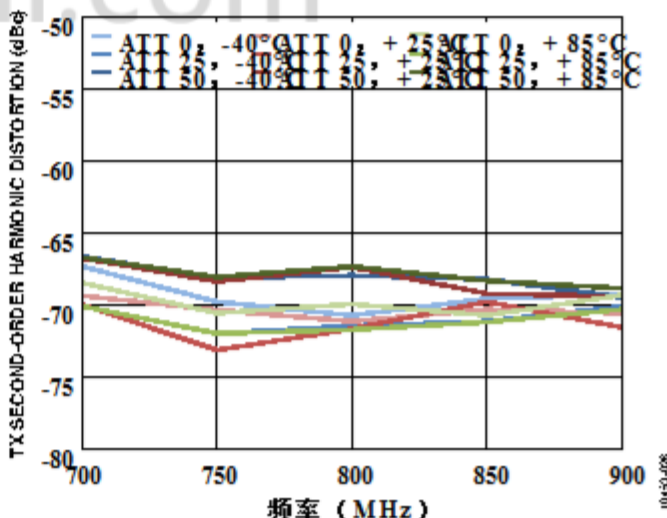


图26. TX二阶谐波失真 (HD2) 与频率的关系

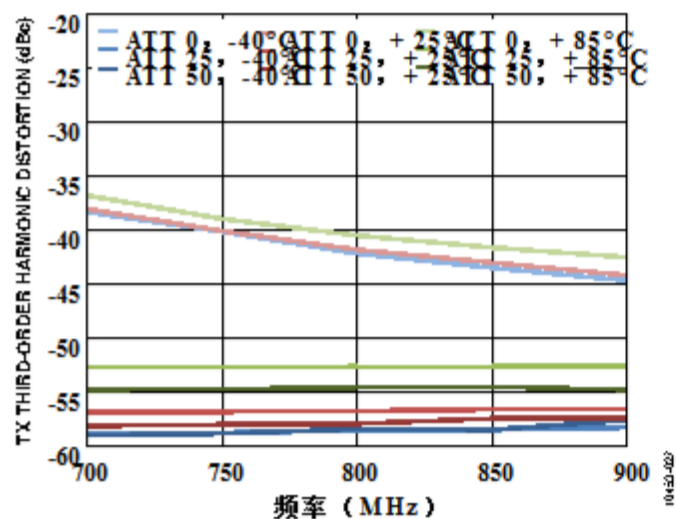


图27. TX三阶谐波失真 (HD3) 与频率的关系

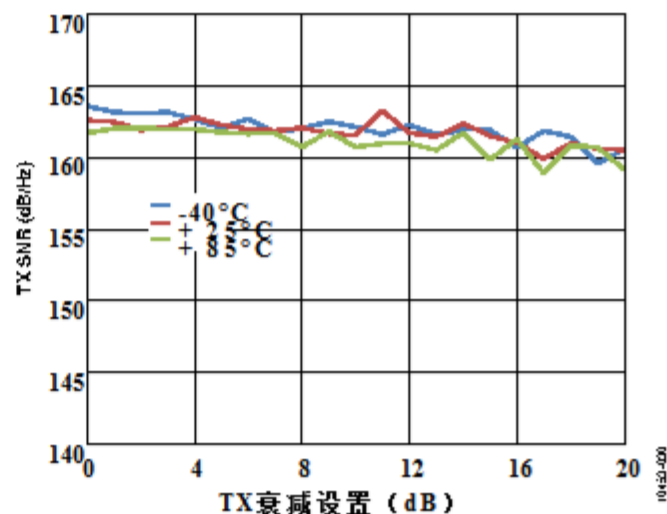


图30. TX信噪比 (SNR) 与TX衰减设置, 在20 MHz偏移下测量噪声的GSM感兴趣的信号

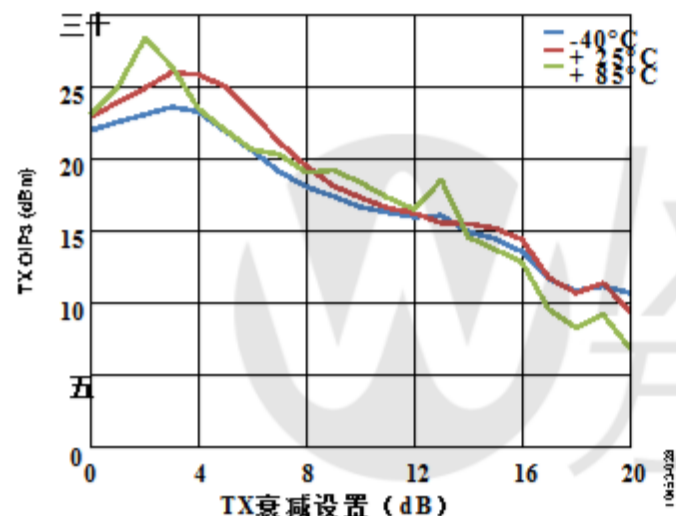


图28. TX三阶输出截取点 (OIP3) 与TX衰减设置

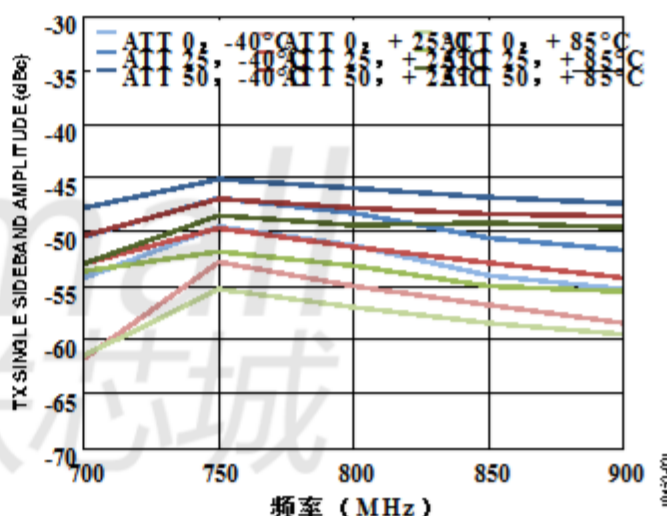


图31. TX单边带 (SSB) 抑制与频率的关系, 1.5375 MHz偏移

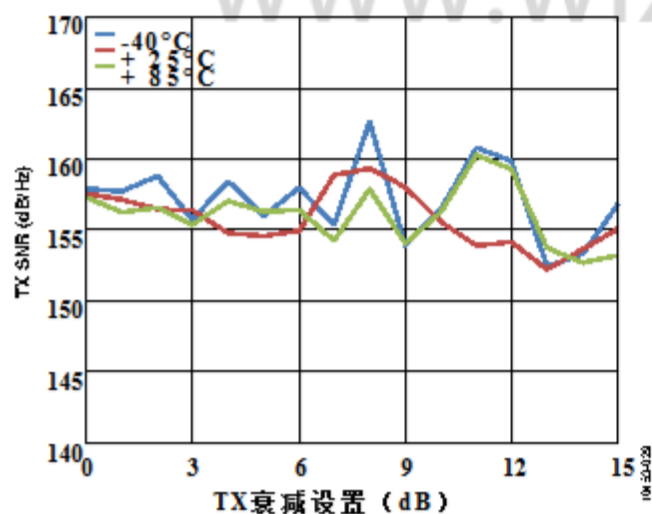


图29. TX信噪比 (SNR) 与TX衰减设置, LTE 10 MHz感兴趣的信号, 以90 MHz偏移里测量噪声

2.4 GHz频带

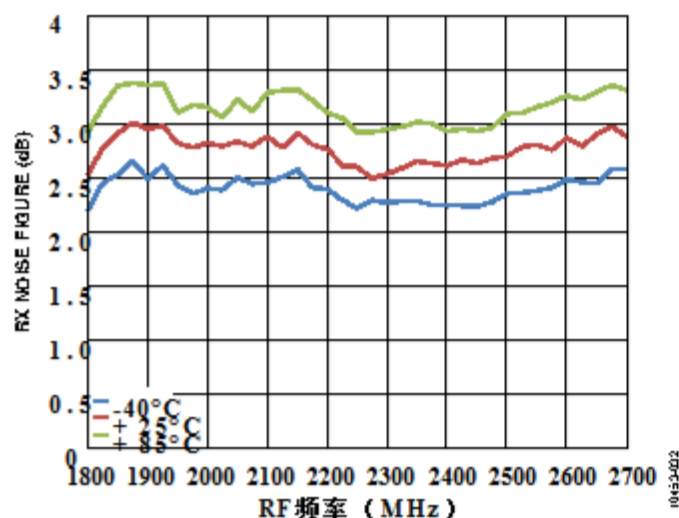


图32. RX噪声系数与RF频率的关系

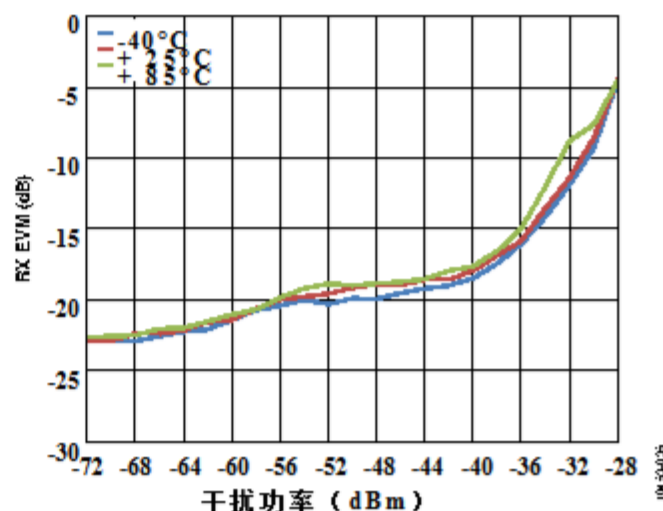
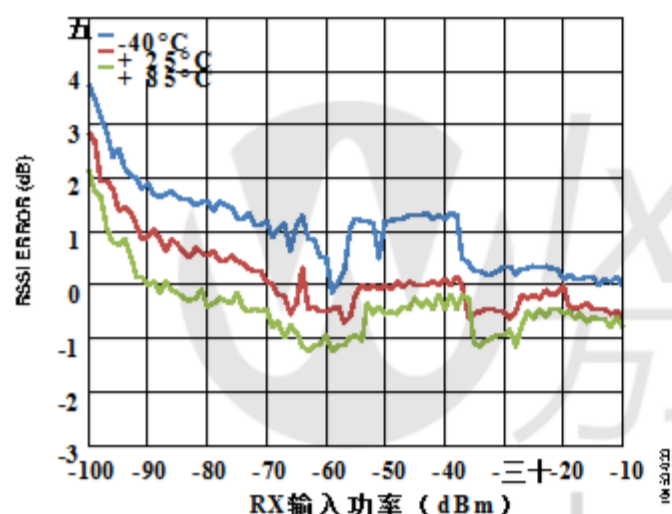
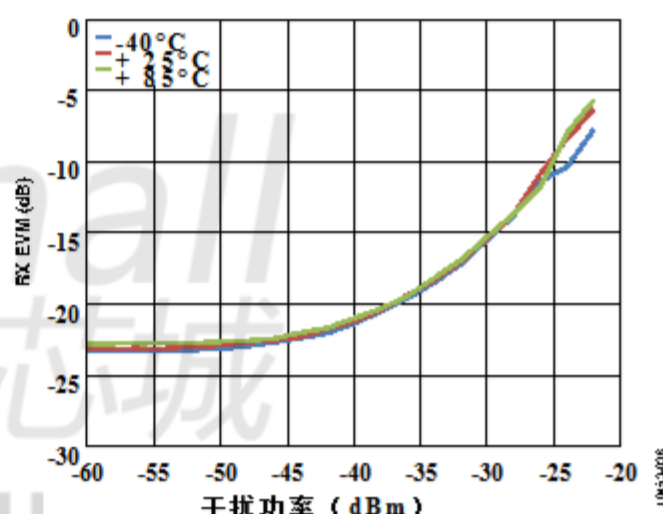
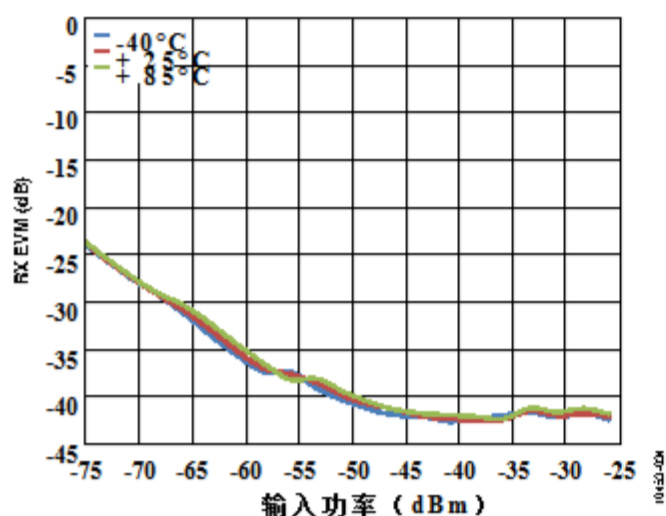
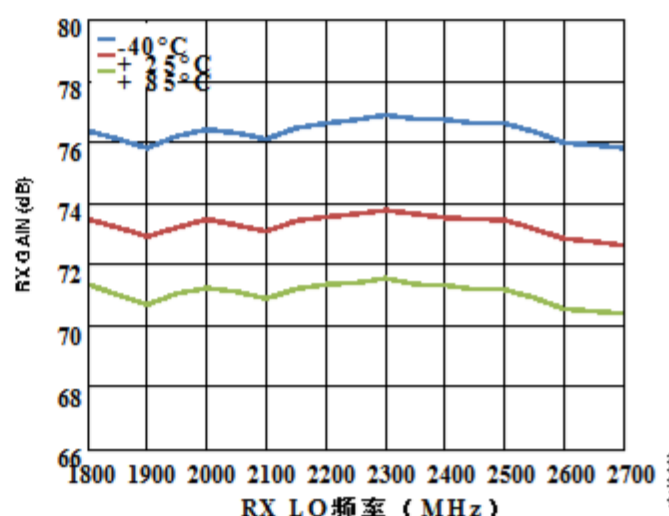
图35. RX EVM与干扰源功率电平, LTE 20 MHz感兴趣的信号
其中P_{IN} = -75 dBm, 20 MHz偏移量的LTE 20 MHz Blocker图33. RSSI误差与RX输入功率的关系, 参考-50 dBm输入功率
在2.4 GHz图36. RX EVM与干扰源功率电平, LTE 20 MHz感兴趣的信号
其中P_{IN} = -75 dBm, LTE 20 MHz阻塞器在40 MHz偏移图34. RX EVM与输入功率, 64 QAM LTE 20 MHz模式,
40 MHz REF_CLK

图37. RX增益与RX LO频率, 增益指数= 76 (最大设置)

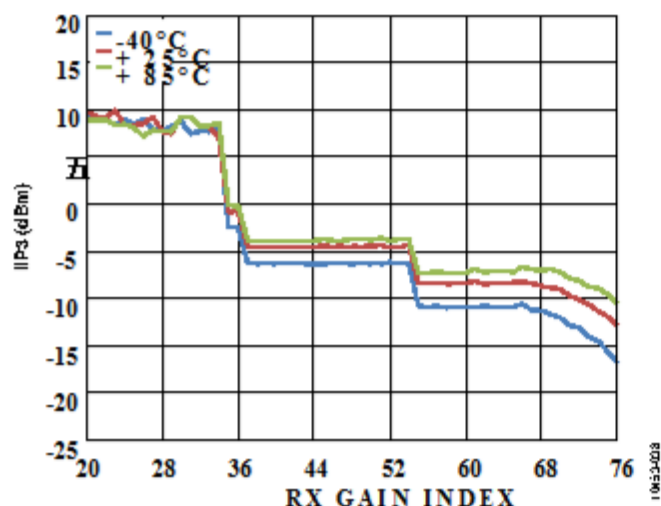


图38. 三阶输入截取点 (IIP3) 与RX增益索引,
f1 = 30MHz, f2 = 61MHz

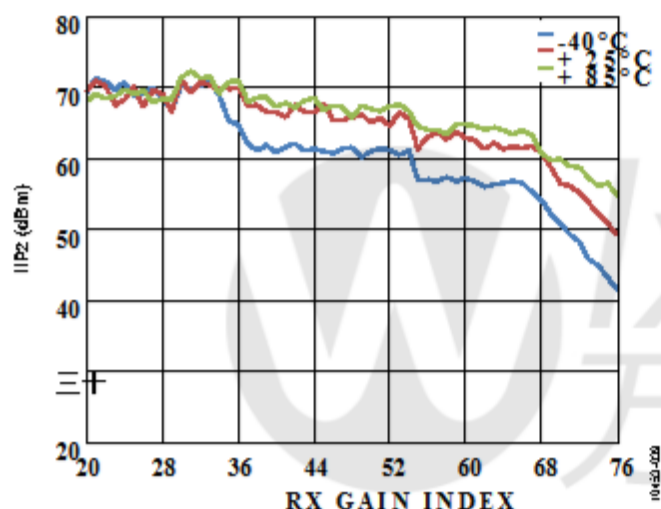


图39. 二阶输入截取点 (IIP2) 与RX增益索引,
f1 = 60MHz, f2 = 61MHz

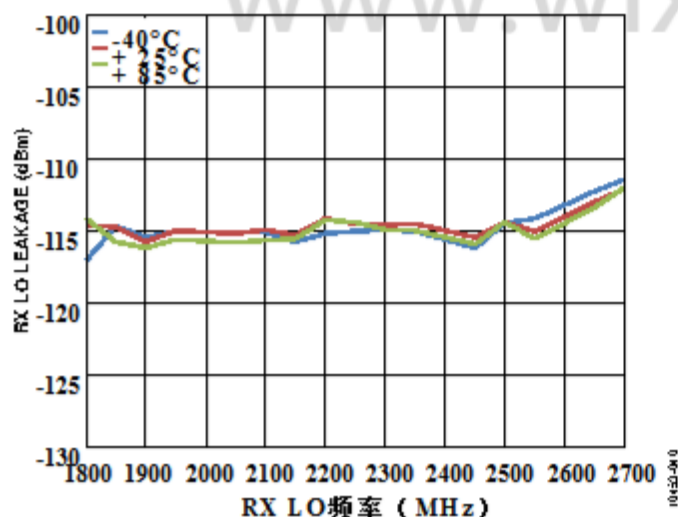


图40. RX本地振荡器 (LO) 泄漏与RX LO频率的关系

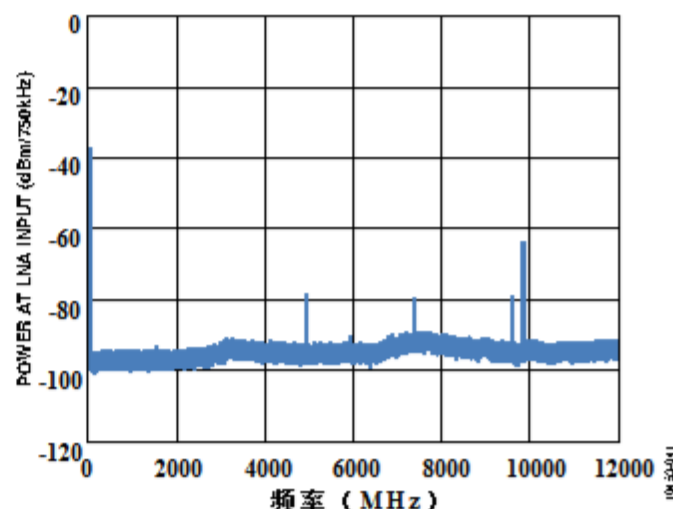


图41. LNA输入时的RX发射, DC至12 GHz, fLO_RX = 2.4 GHz,
LTE 20MHz, fLO_TX = 2.46GHz

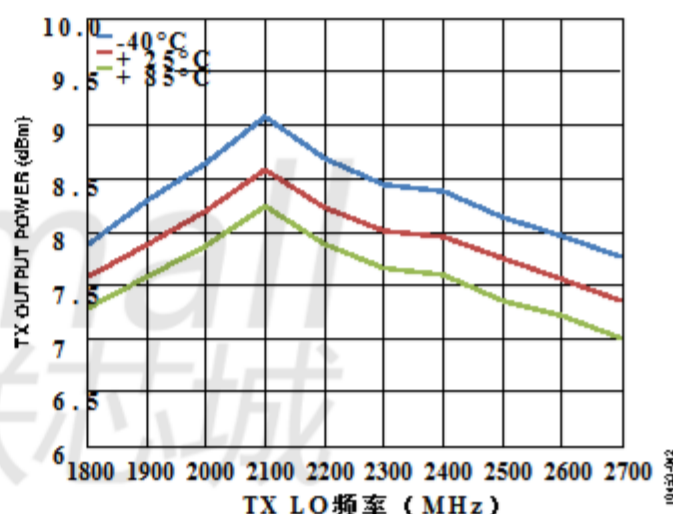


图42. TX输出功率与TX LO频率, 衰减设置 = 0 dB,
单音输出

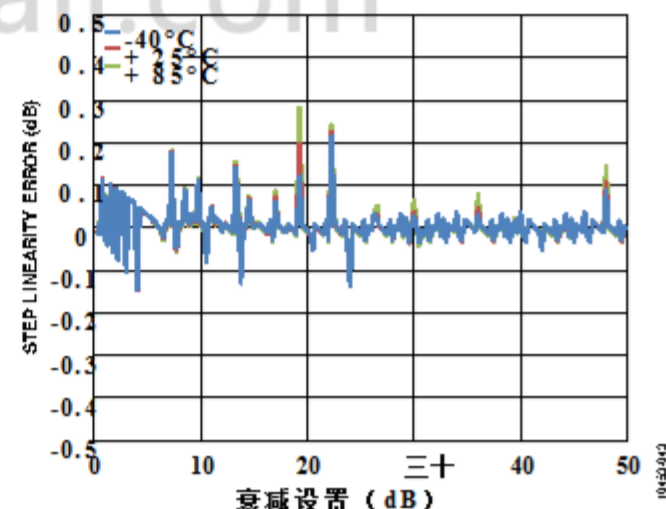


图43. TX功率控制线性误差与衰减设置

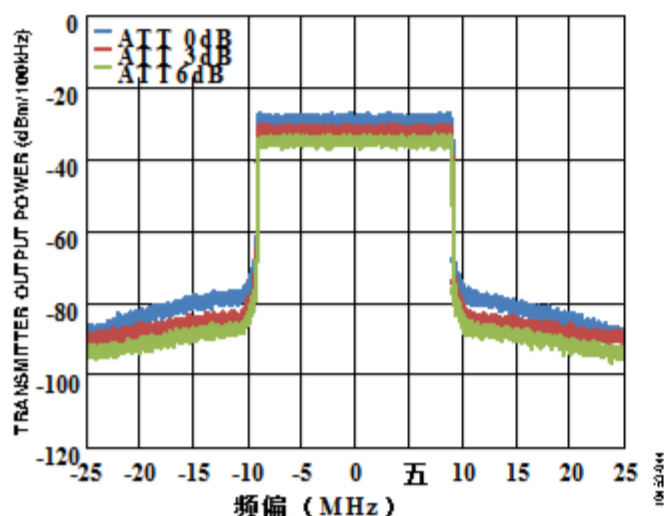


图44. 发射频谱与载波频率偏移频率 $f_{LO_TX} = 2.3\text{ GHz}$, LTE 20 MHz下行链路 (显示数字衰减变化)

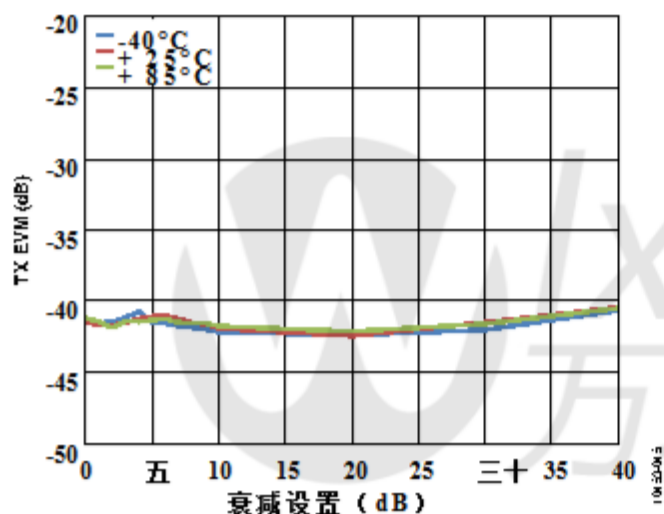


图45. TX EVM与发射机衰减设置, 40 MHz REF_CLK, LTE 20 MHz, 64 QAM调制

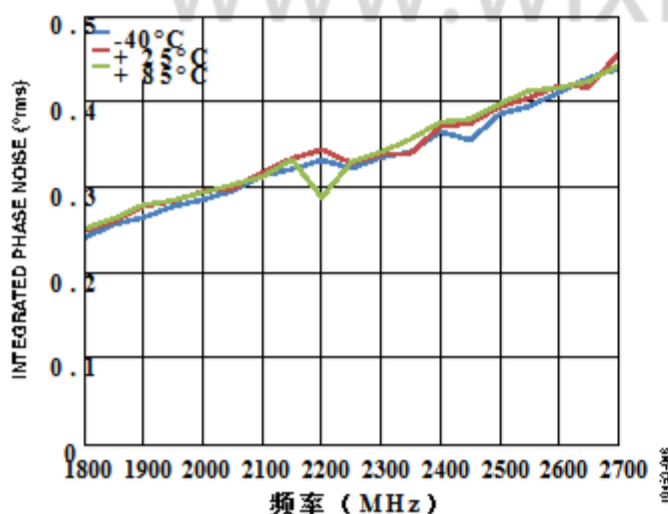


图46. 集成的TX LO相位噪声与频率, 40 MHz REF_CLK

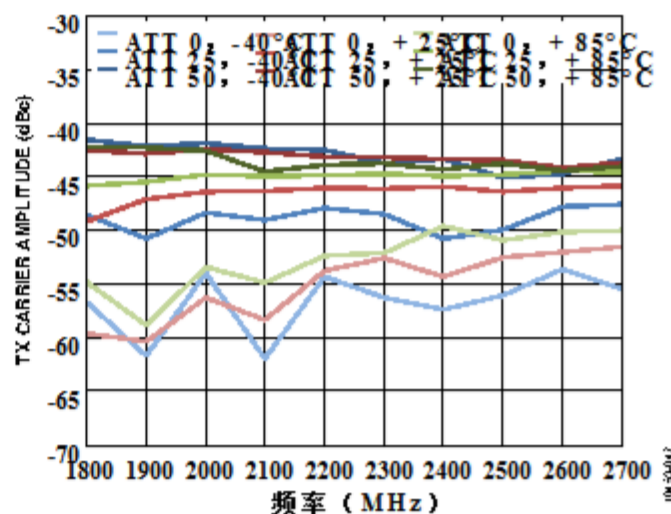


图47. TX载波抑制与频率的关系

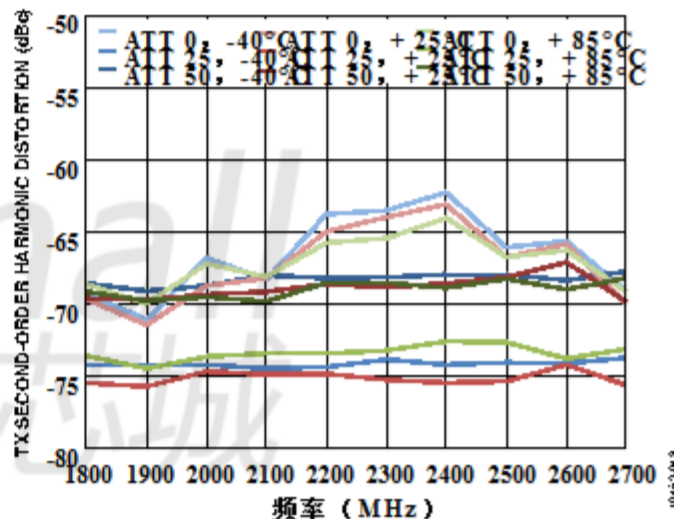


图48. TX二阶谐波失真 (HD2) 与频率的关系

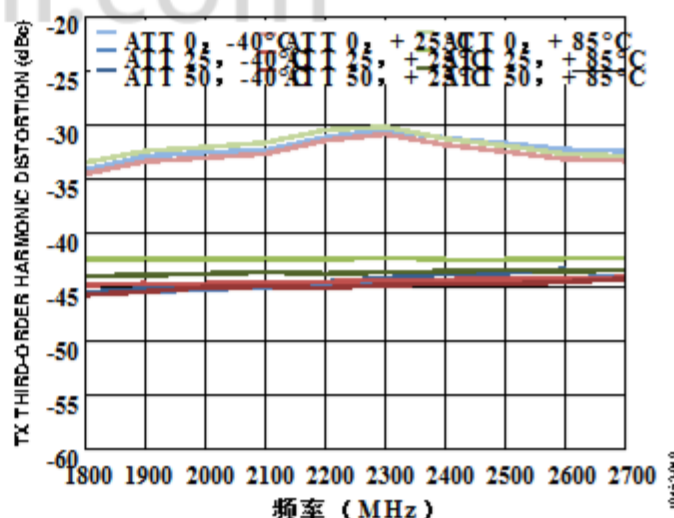


图49. TX三阶谐波失真 (HD3) 与频率的关系

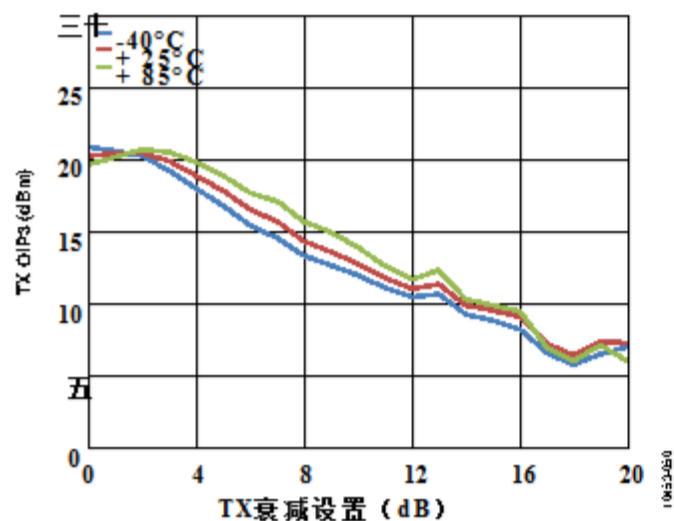


图50. TX三阶输出截取点 (OIP3) 与TX衰减设置

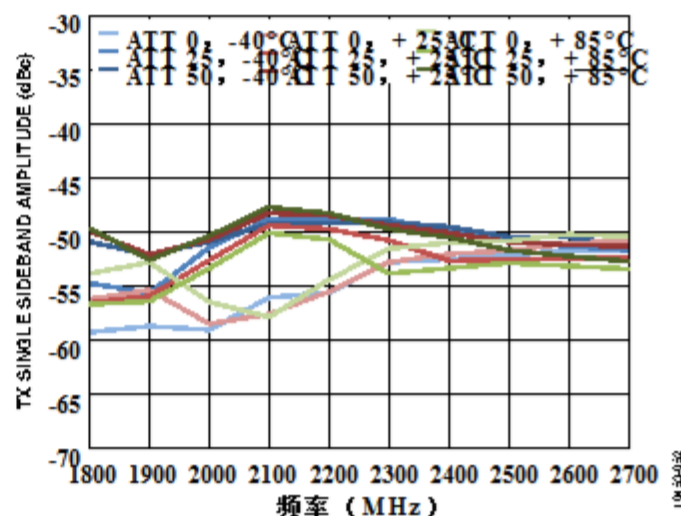


图52. TX单边带 (SSB) 抑制与频率, 3.075 MHz偏移

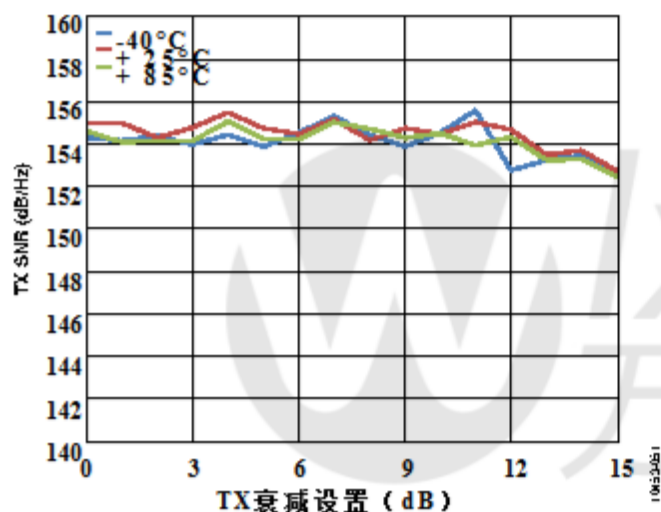


图51. TX信噪比 (SNR) 与TX衰减设置, LTE 20 MHz感兴趣的信号, 以90 MHz偏移里测里噪声

5.5 GHz频带

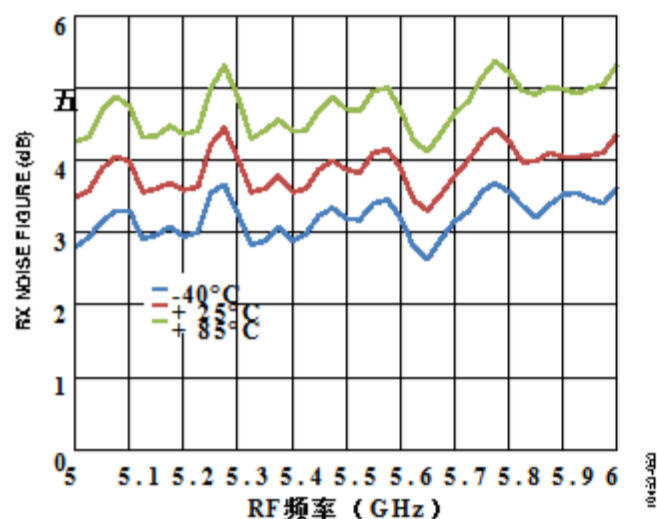


图53. RX噪声系数与RF频率的关系

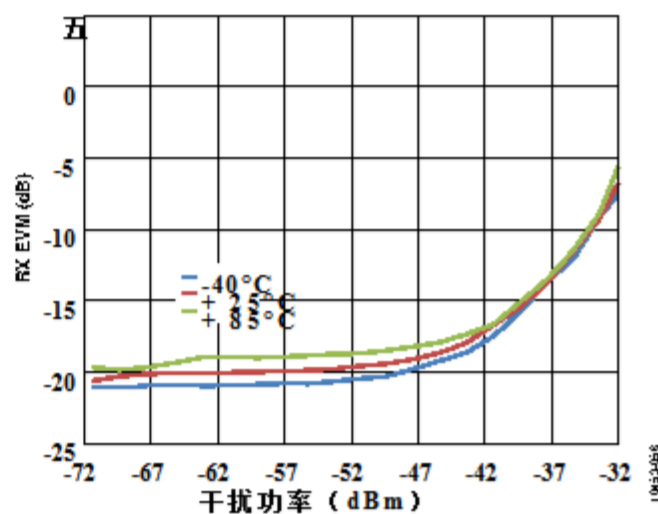
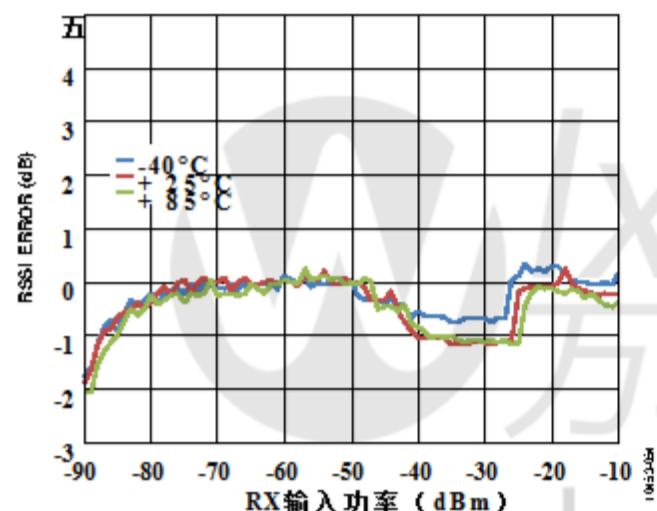
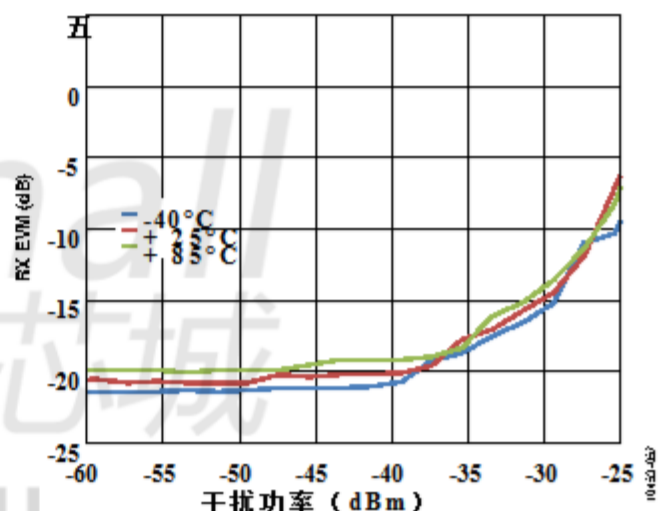
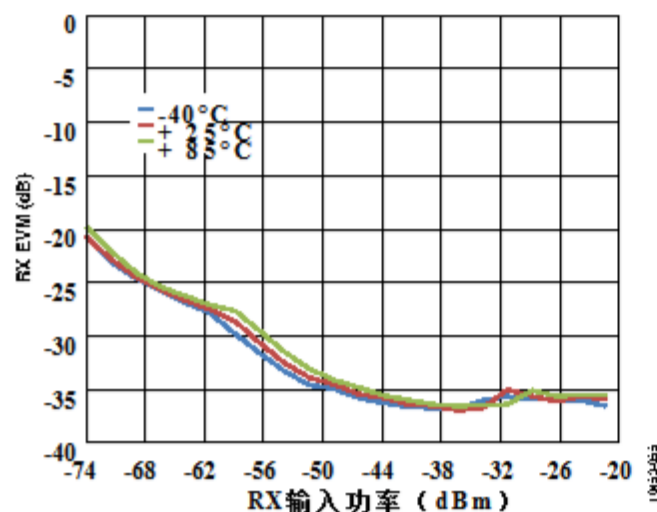
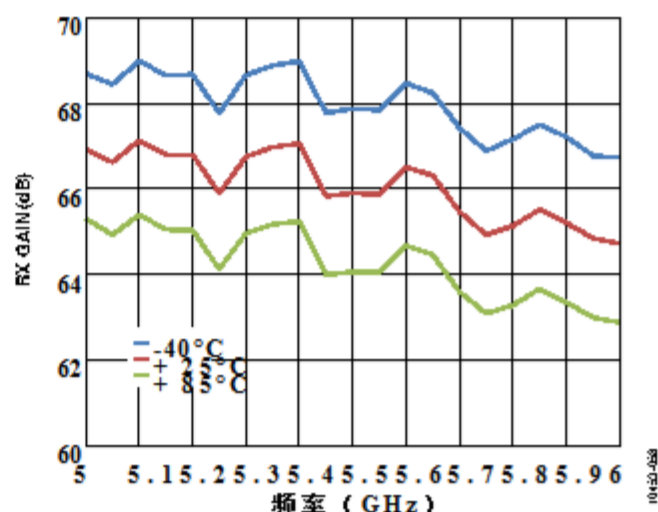
图56. RX EVM与干扰功率等级，WiMAX 40 MHz信号
P_{IN} = -74 dBm的兴趣，40 MHz偏移的WiMAX 40 MHz阻塞器图54. RSSI误差与RX输入功率的关系，参考-50 dBm输入功率
在5.8 GHz图57. RX EVM与干扰功率等级，WiMAX 40 MHz信号
P_{IN} = -74 dBm的兴趣，80 MHz偏移的WiMAX 40 MHz阻塞器图55. RX EVM与RX输入功率，64 QAM WiMAX 40 MHz模式，
40 MHz REF_CLK（内部双倍频率合成器）

图58. RX增益与频率，增益指数=76（最大设置）

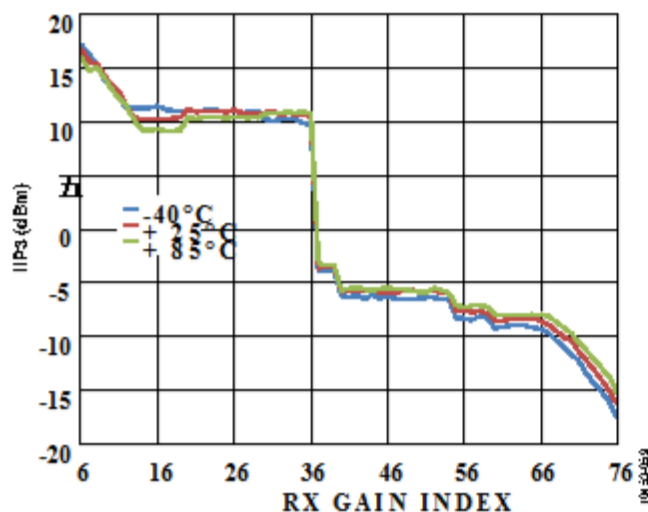


图59. 三阶输入截取点 (IIP3) 与RX增益索引
f1 = 50MHz, f2 = 101MHz

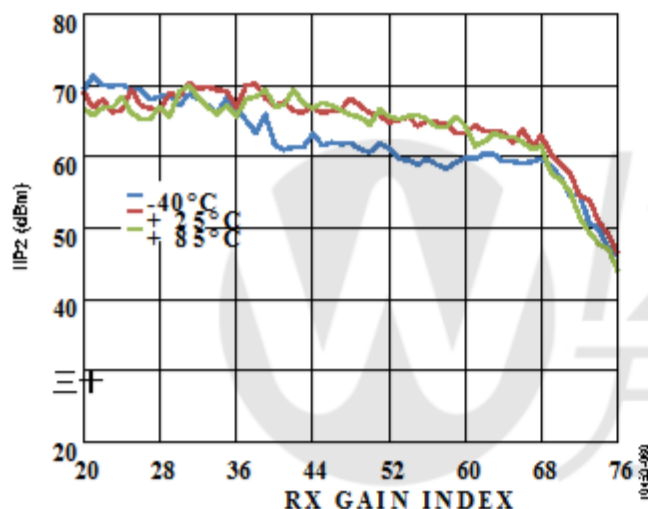


图60. 二阶输入截取点 (IIP2) 与RX增益索引
f1 = 70MHz, f2 = 71MHz

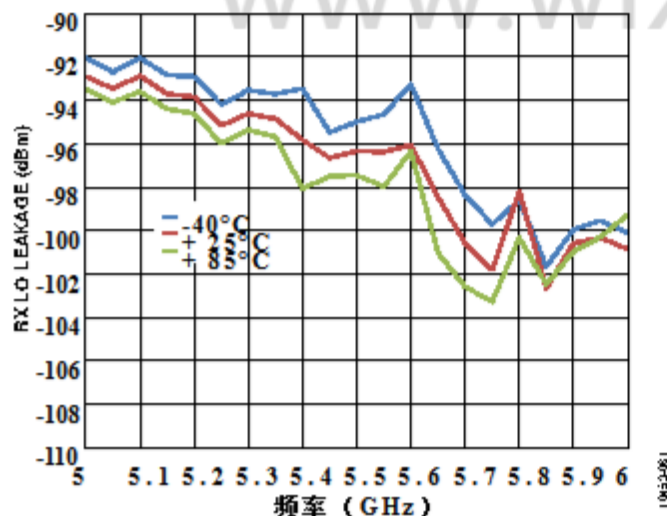


图61. RX本地振荡器 (LO) 泄漏与频率的关系

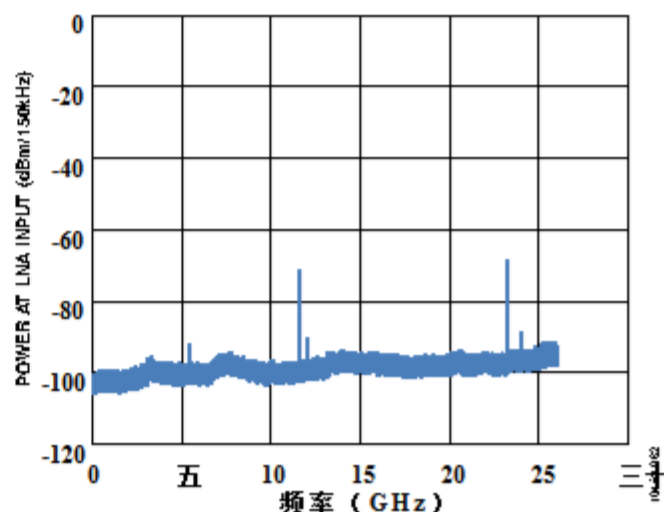


图62. LNA输入时的RX发射, DC至26 GHz, fLO_RX = 5.8 GHz,
WiMAX 40 MHz

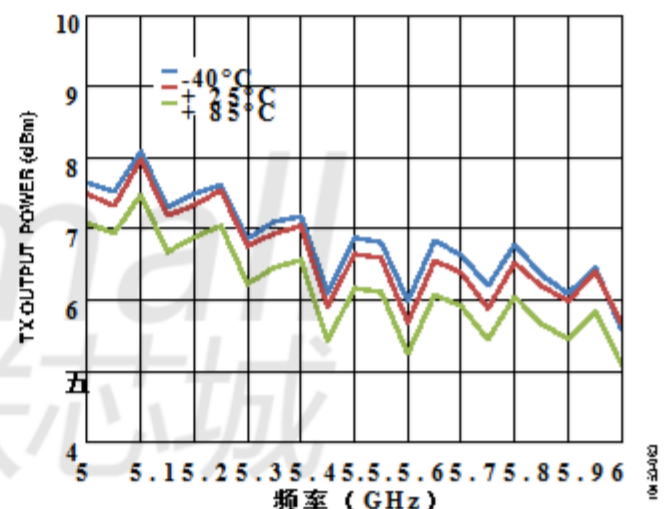


图63. TX输出功率与频率, 衰减设置 = 0 dB,
单音

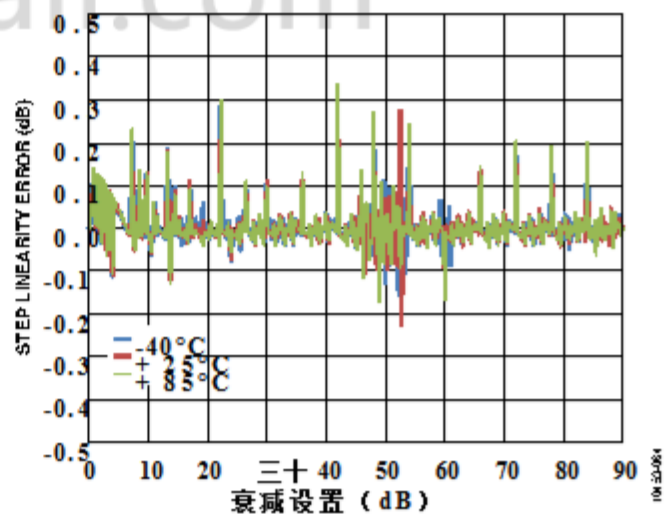


图64. TX功率控制线性误差与衰减设置

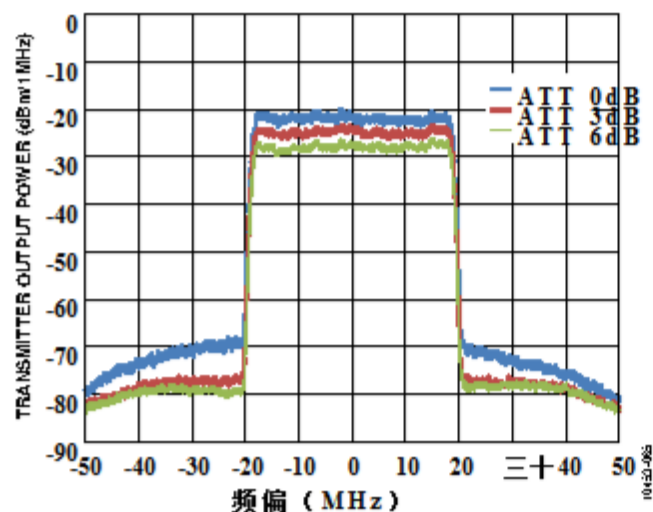


图65. TX频谱与载波频率的频率偏移 $f_{LO_TX} = 5.8$ GHz, WiMAX 40 MHz下行链路 (显示数字衰减变化)

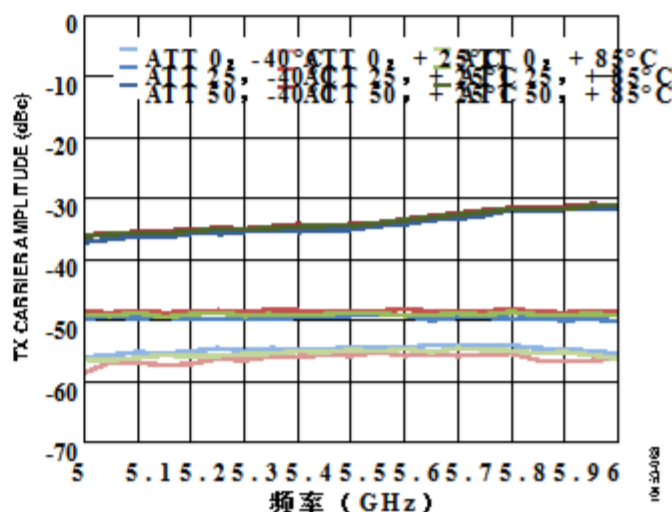


图68. TX载波抑制与频率的关系

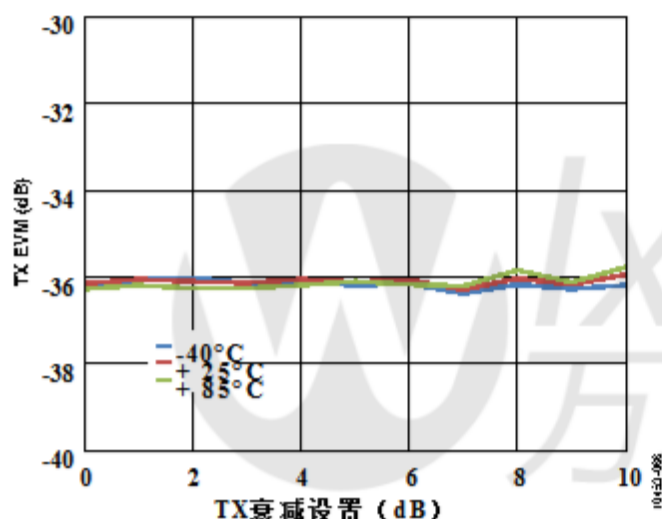


图66. TX EVM与TX衰减设置, WiMAX 40 MHz, 64 QAM调制, $f_{LO_TX} = 5.495$ GHz, 40 MHz REF_CLK (内部加倍RF合成器)

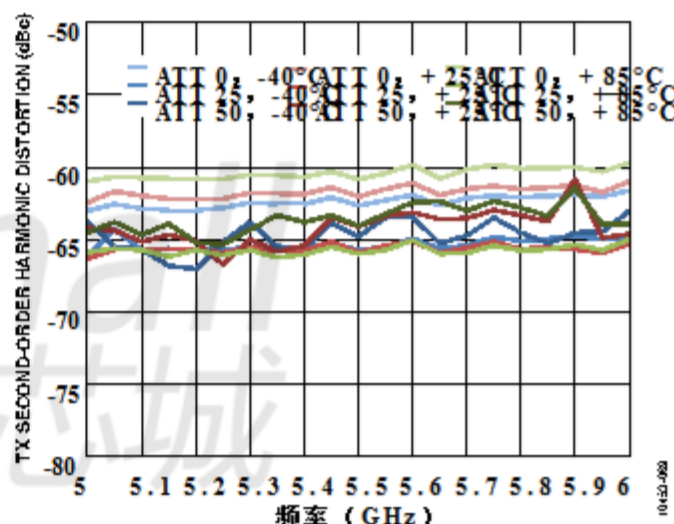


图69. TX二阶谐波失真 (HD2) 与频率的关系

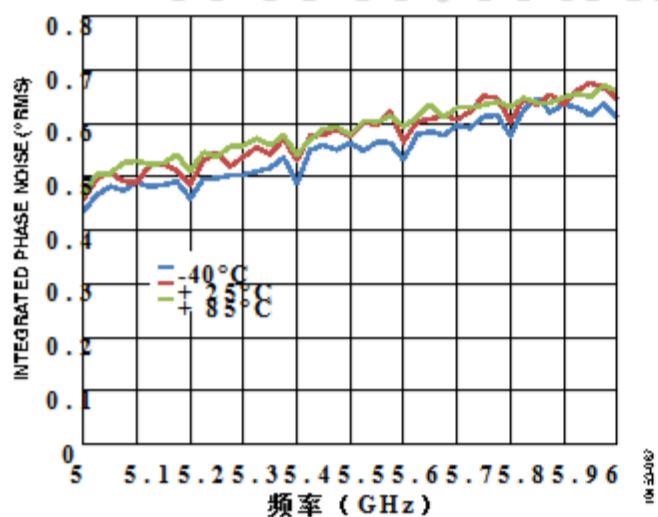


图67.集成的TX LO相位噪声与频率, 40 MHz REF_CLK (内部加倍RF合成器)

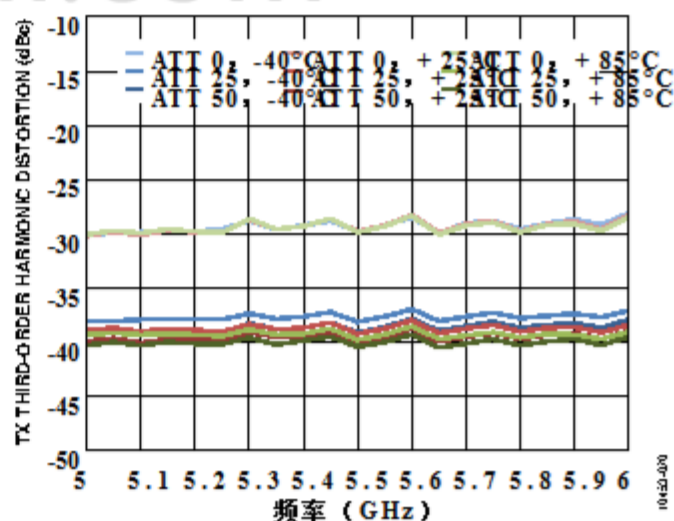


图70. TX三阶谐波失真 (HD3) 与频率的关系

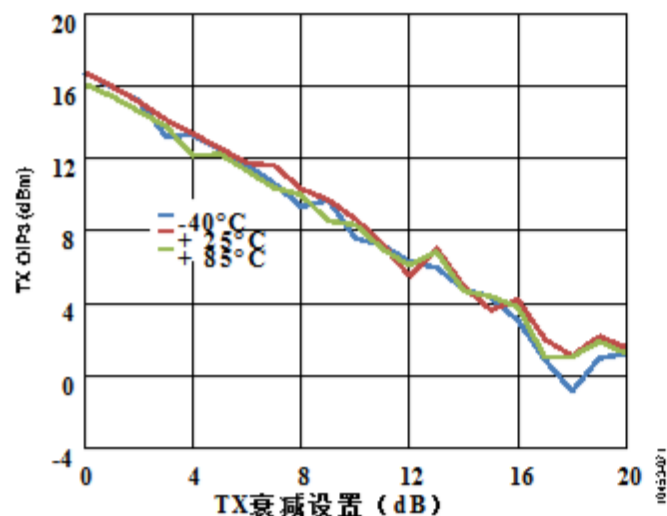


图71. TX三阶输出截取点 (OIP3) 与TX衰减设置, $f_{LO_TX} = 5.8 \text{ GHz}$

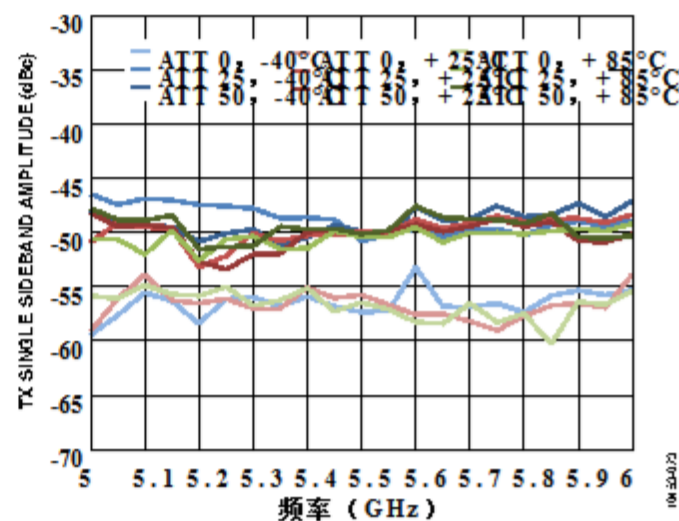


图73. TX单边带 (SSB) 抑制与频率, 7 MHz偏移

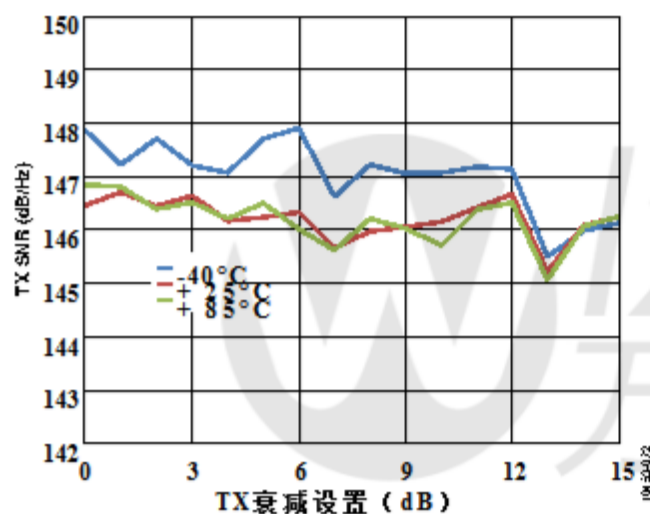


图72. TX信噪比 (SNR) 与TX衰减设置, WiMAX 40 MHz感兴趣的信号以90 MHz偏移里测量, $f_{LO_TX} = 5.745 \text{ GHz}$

操作理论

一般

AD9361是高度集成的射频 (RF)

收发器能够被广泛的配置

应用.该器件集成了所有RF, 混合信号和

数字模块需要提供所有的收发器功能

单个设备.可编程性允许这个宽带收发器

适应多种通信标准的使用,

包括频分双工 (FDD) 和时分

双工 (TDD) 系统.这个可编程性也允许

设备被连接到各种基带处理器 (BBP) 使用

单个12位并行数据端口, 双12位并行数据端口,

或12位低电压差分信号 (LVDS) 接口.

AD9361还提供自校准和自动增益

控制 (AGC) 系统保持高性能水平

在变化的温度和输入信号条件下.在

此外, 该设备还包括允许系统的几种测试模式

设计师插入测试音并创建内部环回模式

可以被设计者用来调试他们的设计

原型和优化他们的无线电配置

具体应用.

接收器

接收器部分包含接收RF所需的所有模块

信号并将其转换为BBP可用的数字数据.

有两个可以接收的独立控制的频道

来自不同来源的信号, 允许设备被使用

多输入多输出 (MIMO) 系统同时共享

一个普通的频率合成器.

每个通道有三个输入, 可以复用到

信号链, 使AD9361适合用于多样化

具有多个天线输入的系统.接收器是直接的

包含低噪声放大器 (LNA) 的转换系统,

其次是匹配的同相 (I) 和正交 (Q) 放大器,

混频器以及下变频接收机的波段成形滤波器

信号到基带进行数字化.外部LNA也可以

连接到设备, 使设计人员能够灵活地进行操作

为其特定应用程序定制接收器前端.

通过遵循预编程的增益来实现增益控制

索引图在块之间分配增益以获得最佳效果

在每个级别的表现.这可以通过启用

内部AGC以快速或慢速模式或使用手动模式

增益控制, 允许BBP进行增益调整

需要.另外, 每个频道都包含独立的RSSI

测量能力, 直流偏移跟踪和所有电路

自校准所必需的.

接收器包括12位 $\Sigma-\Delta$ ($\Sigma-\Delta$) ADC,

可调整的采样率, 从接收到的数据流中产生

信号.数字化的信号可以通过一系列进一步调节

抽取滤波器和完全可编程的128抽头FIR滤波器

与额外的抽取设置.每个采样率

数字滤波器块可通过改变抽取因子来调节
以产生期望的输出数据速率.

发射机

变送器部分由两个相同和独立的部分组成

受控渠道, 提供所有数字处理, 混合

信号和RF模块来实现直接转换

系统同时共享一个共同的频率合成器.数字

从BBP收到的数据通过一个完全可编程的

具有插值选项的128抽头FIR滤波器. FIR输出是

发送到一系列提供额外的插值滤波器

滤波和数据速率插值到达DAC之前.

每个12位DAC具有可调整的采样率.我都是

Q通道被馈送到RF模块进行上变频.

当转换为基带模拟信号时, I和Q信号是

过滤去除采样伪像并馈送到上变频

混频器.此时, I和Q信号重新组合

调制在载波频率上传输给

输出阶段.组合信号也通过模拟

提供额外波段整形的滤波器, 然后是信号

被传输到输出放大器.每个传输通道

提供较宽的衰减调整范围和细粒度

帮助设计人员优化信噪比 (SNR).

自校准电路内置于每个传输通道中

提供自动实时调整.发射器块

还为每个通道提供一个TX监视器块.这块

监视发射机的输出, 并通过一个路由回来

未使用的接收器通道连接到BBP进行信号监控.该

TX监视器模块仅在TDD模式下可用

而接收器空闲.

时钟输入选项

AD9361采用可提供的参考时钟进行工作

由两个不同的来源.第一个选择是使用专用的

晶体连接频率在19 MHz和50 MHz之间

在XTALP和XTALN引脚之间.第二个选择是

连接外部振荡器或时钟分配设备 (如

AD9548) 连接到XTALN引脚 (剩余XTALP引脚)

未连接).如果使用外部振荡器, 频率

可以在10MHz和80MHz之间变化.这个参考时钟

用于提供生成所有数据的合成器模块

时钟, 采样时钟和设备内部的本地振荡器.

晶振频率的错误可以通过使用

数字可编程数字控制晶体振荡器

(DCXO) 功能来调整片上可变电容.这个

电容器可以调节晶体的频率变化

系统, 从而产生更准确的参考时钟

所有其他的频率信号产生.这个功能也可以

与片上温度检测一起使用来提供振荡器

频率温度补偿正常运行.

合成

RF PLL

AD9361包含两个相同的合成器来产生所需的LO信号用于RF信号路径： - 一个用于接收器和一个发射机。锁相环（PLL）合成器是完全集成的分数N设计。压控振荡器（VCO）和环路滤波器。在TDD操作时，合成器根据情况打开和关闭RX和TX帧。在FDD模式下，TX PLL和RX PLL可以同时激活。这些PLL不需要外部组件。

BB PLL

AD9361还包含一个基带PLL合成器用于生成所有基带相关的时钟信号。这些包括ADC和DAC采样时钟，DATA_CLK信号（见数字数据接口部分）和所有的数据成帧信号。该PLL基于PLL编程从700 MHz到1400 MHz系统的数据速率和采样率要求。

数字数据接口

AD9361数据接口使用并行数据端口（P0和P1）在设备和BBP之间传输数据。数据端口可以配置为单端CMOS格式或差分LVDS格式。这两种格式都可以配置为多个与数据排序和系统要求相匹配的安排。数据端口连接。这些安排包括单一端口数据总线，双端口数据总线，单数据速率，双倍数据速率，以及有序传输数据的各种数据组合。在适当的时候从巴士上的不同的通道。

总线传输使用简单的硬件握手进行控制信号。两个端口可以双向操作（TDD）模式或全双工（FDD）模式，其中一半是比特用于传输数据，一半用于接收数据。该接口也可以配置为仅使用其中一个数据端口用于不需要高数据速率的应用程序。宁愿使用更少的接口引脚。

DATA_CLK信号

RX数据提供BBP可以使用的DATA_CLK信号。当收到数据。DATA_CLK可以设置为一个速率提供数据采样时的单数据速率（SDR）时序。每个时钟沿的上升沿，或者可以设置为提供双倍的数据速率（DDR）的时机，数据在上升和下降都被捕获边缘。这个时间适用于使用单个端口的操作或两个端口。

FB_CLK信号

对于传输数据，接口使用FB_CLK信号作为时间参考。FB_CLK允许源同步时序。具有突发控制信号的上升沿捕获和任一上升沿（SDR模式）或双边沿捕捉（DDR模式）传输信号突发。FB_CLK信号必须相同频率和占空比作为DATA_CLK。

RX_FRAME信号

每当设备产生一个RX_FRAME输出信号。接收器输出有效数据。这个信号有两种模式：电平模式（只要数据有效，RX_FRAME保持高电平）脉冲模式（占空比为50%的RX_FRAME脉冲）。同样的，BBP必须提供一个TX_FRAME信号来表示一个有效数据传输的开始有一个上升沿。类似到RX_FRAME，TX_FRAME信号可以保持高在整个爆发期间，或者可以以50%的占空比脉冲。

启用状态机

AD9361收发器包含一个启用状态机（ENSM）允许实时控制设备的当前状态。正常情况下，设备可以放置在几种不同的状态包括操作在内。

- 等待省电，合成器被禁用
- 睡眠 - 等待所有时钟/BB PLL禁用
- TX-TX信号链使能
- RX-RX信号链使能
- FDD-TX和RX信号链启用
- 警报合成器启用

ENSM有两种可能的控制方法：SPI控制和引脚控制。

SPI控制模式

在SPI控制模式下，ENSM是异步控制的。通过写入SPI寄存器来将当前状态推进到下一个状态。SPI控制被认为是与DATA_CLK异步的。因为SPI_CLK可以来自不同的时钟参考，仍然可以正常工作。SPI控制ENSM方法建议在实时控制的时候合成器是没有必要的。SPI控制可用于实时控制，只要BBIC有能力执行时间控制。定时SPI准确写入。

引脚控制模式

在引脚控制模式下，ENABLE引脚的使能功能TXNRX引脚允许实时控制当前状态。ENSM允许TDD或FDD操作取决于配置相应的SPI寄存器。启用。如果是BBIC，建议使用TXNRX引脚控制方式。有额外的控制输出，可以实时控制，允许一个简单的2线接口来控制的状态设备。把ENSM的现状推向下一个状态，ENABLE引脚的使能功能可以被驱动脉冲（内部检测到边沿）或电平。

当使用脉冲时，它必须具有最小的脉冲宽度一个FB_CLK周期。在级别模式下，ENABLE和TXNRX引脚也由AD9361边沿检测，必须符合同一个FB_CLK周期的最小脉冲宽度要求。

在FDD模式下, **ENABLE**和**TXNRX**引脚可以重新映射作为实时的**RX**和**TX**数据传输控制信号. 在此模式下, **ENABLE**引脚使能或禁止接收信号路径, **TXNRX**引脚使能或禁止发送信号路径. 在这种模式下, **ENSM**将从系统中删除. 通过这些引脚控制所有数据流.

SPI接口

AD9361使用串行外设接口 (**SPI**) 与**BBP**沟通. 这个接口可以配置作为具有专用接收和发送端口的4线接口, 或者可以将其配置为双向3线接口数据通讯端口. 该总线允许**BBP**设置所有设备控制参数使用简单的地址数据串行总线协议.

写命令遵循24位格式. 前六位是用于设置总线方向和要传输的字节数. 接下来的10位设置要写入数据的地址. 该最后的八位是要传送到指定寄存器的数据地址 (**MSB**到**LSB**). **AD9361**还支持**LSB**优先格式, 允许将命令写入**LSB**到**MSB**格式. 在这种模式下, 寄存器地址递增多字节写入.

除了这个例外, 读取命令遵循相似的格式. 前16位在**SPI_DI**引脚和最后一位传输. **AD9361**可以在**SPI_DO**引脚上读取8位数据. 在4线模式下或在3线模式下在**SPI_DI**引脚上.

控制PINS

控制输出 (**CTRL_OUT [7: 0]**)

AD9361提供八个同时实时输出信号用作**BBP**的中断. 这些输出可以配置为输出一些内部设置和测量结果. **BBP**可以在不同的监控收发器性能时使用. 情况. 控制输出指针寄存器选择什么信息被输出到这些引脚, 并且控制输出使能寄存器确定哪些信号被激活用于监视. **BBP**用于手动增益模式的信号, 校准标志, 状态机状态, **ADC**输出在输出之间. 可以在这些引脚上进行监控.

控制输入 (**CTRL_IN [3: 0]**)

AD9361提供四个边沿检测控制输入引脚. 在手动增益模式下, **BBP**可以使用这些引脚来改变增益表索引的实时. 在传输模式下, **BBP**可以使用两个的引脚来实时改变发射增益.

GPO引脚 (**GPO_3 TO GPO_0**)

AD9361提供四个3.3 V通用逻辑输出引脚: **GPO_3**, **GPO_2**, **GPO_1**和**GPO_0**. 这些引脚可以用来控制其他外围设备, 如监管机构. 并通过**AD9361** **SPI**总线进行切换, 也可以作为内部**AD9361**状态机的从机.

辅助转换器

AUXADC

AD9361包含一个可用于的辅助**ADC**监视系统功能, 如温度或功率输出. 该转换器的宽度是12位, 输入范围为0V至1.25 V. 当使能时, **ADC**自由运行. **SPI**读取提供**ADC**输出锁存的最后一个值. 一个多路复用器在前面的**ADC**允许用户在**AUXADC**输入之间进行选择. 引脚和一个内置的温度传感器.

AUXDAC1和AUXDAC2

AD9361包含两个相同的辅助**DAC**提供功率放大器 (**PA**) 偏置或其他系统功能. 辅助**DAC**是10位宽, 具有输出电压范围0.5 V到**VDD_GPO** - 0.3 V, 电流驱动10 mA, 可以由内部使能状态机直接控制.

为AD9361供电

AD9361必须由以下三种电源供电: 模拟电源 (**VDDD1P3_DIG / VDDAx** = 1.3 V), 接口电源 (**VDD_INTERFACE** = 1.8 V) 和**GPO**电源 (**VDD_GPO** = 3.3 V).

对于要求最佳噪声性能的应用, 建议分流和采购1.3 V模拟电源. 从低噪声, 低压差 (**LDO**) 调节器. 如图74所示推荐的方法.

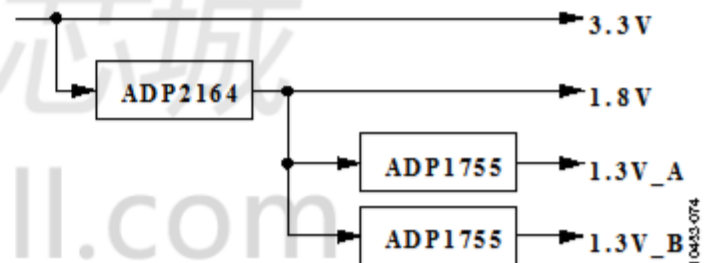


图74. **AD9361**的低噪声功率解决方案

对于电路板空间非常重要的应用, 最佳的噪音表现并不是绝对的要求, 可以直接从切换台提供1.3 V模拟电源, 更多的集成电源管理单元 (**PMU**) 的做法可以被采纳. 图75显示了这种方法.

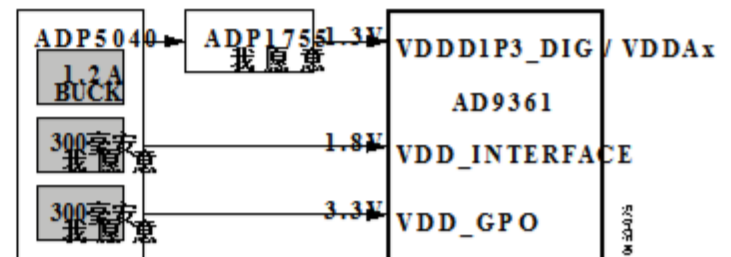
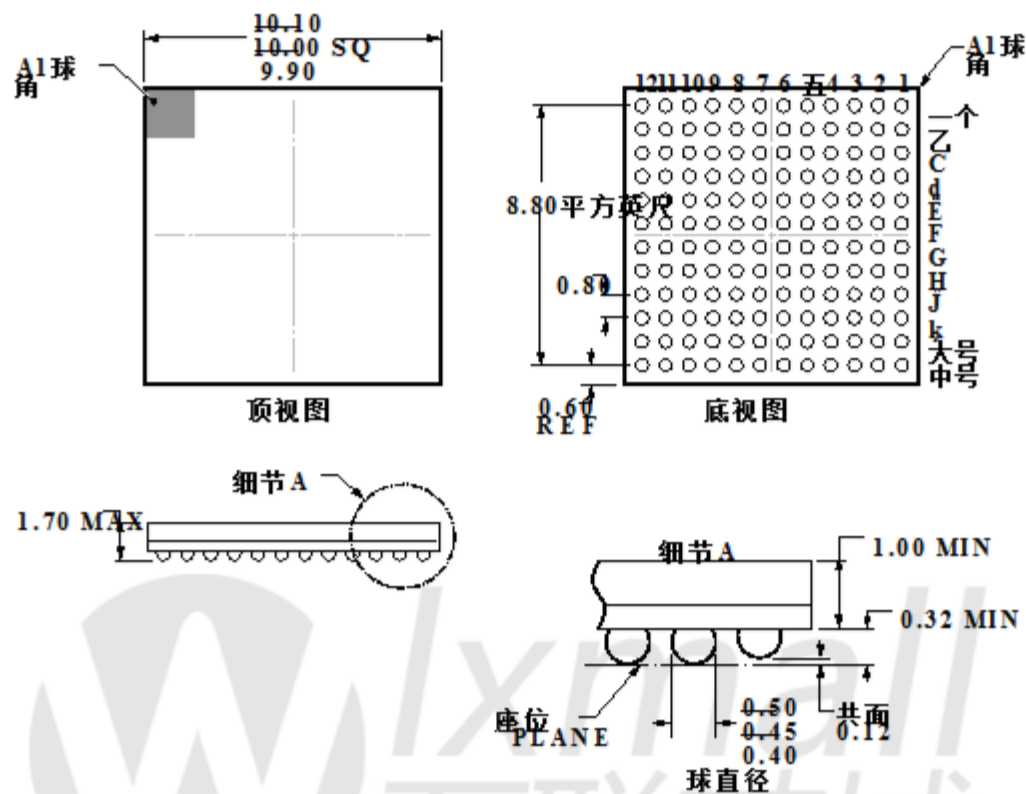


图75. 用于**AD9361**的空间优化电源解决方案

包装和订购信息

外形尺寸



符合JEDEC标准MO-275-EEAB-1.

图76. 144球芯片级封装球栅阵列[CSP_BGA]
(BC-144-7)
尺寸以毫米为单位显示

订购指南

型号1	温度范围	包装说明	包装选项
AD9361BBCZ	-40°C至+ 85°C	144球芯片级封装球栅阵列[CSP_BGA]	BC-144-7
AD9361BBCZ-REEL	-40°C至+ 85°C	144球芯片级封装球栅阵列[CSP_BGA]	BC-144-7

1Z =符合RoHS标准的部分.