

特征

低功耗，占板面积小，引脚兼容的八路DAC

AD5668: 16位

AD5648: 14位

AD5628: 12位

14引脚/ 16引脚TSSOP, 16引脚LFCSP和16引脚WLCSP

片内1.25 V / 2.5 V, 5 ppm / °C参考

在5V时降至400 nA, 在3 V时降至200 nA

2.7 V至5.5 V电源

通过设计保证单调性

上电复位为零电平或中间电平

3个掉电功能

硬件LDAC和LDAC覆盖功能

CLR功能可编程的代码

轨到轨运行

应用

过程控制

数据采集系统

便携式电池供电仪器

数字增益和失调调整

可编程电压和电流源

可编程衰减器

一般描述

AD5628 / AD5648 / AD5668器件具有低功耗，八进制，

12/14/16位缓冲电压输出DAC.所有设备

采用2.7 V至5.5 V单电源供电，并有保证

单调的设计. AD5668和AD5628可在

两个4毫米×4毫米LFCSP和一个16引脚TSSOP，而

AD5648采用14引脚和16引脚TSSOP封装.

AD5628 / AD5648 / AD5668具有片上基准电压源

内部增益为2. AD5628-1 / AD5648-1 / AD5668-1具有

一个1.25 V 5 ppm / °C参考，提供一个满量程输出范围

2.5 V; AD5628-2 / AD5648-2 / AD5668-2和AD5668-3

一个2.5 V 5 ppm / °C参考，给出了一个满量程的输出范围

5 V.板载参考在开机时关闭，允许使用

的外部参考.内部参考是通过一个

软件写入.

该部分包含一个上电复位电路，确保

DAC输出上电至0 V (AD5628-1 / AD5648-1 / AD5668-1，

AD5628-2 / AD5648-2 / AD5668-2) 或中间电平 (AD5668-3) 和

在这个级别保持通电直到有效的写入发生.

该器件具有降低电流的关断功能

器件在5 V时的功耗为400 nA，

功能框图

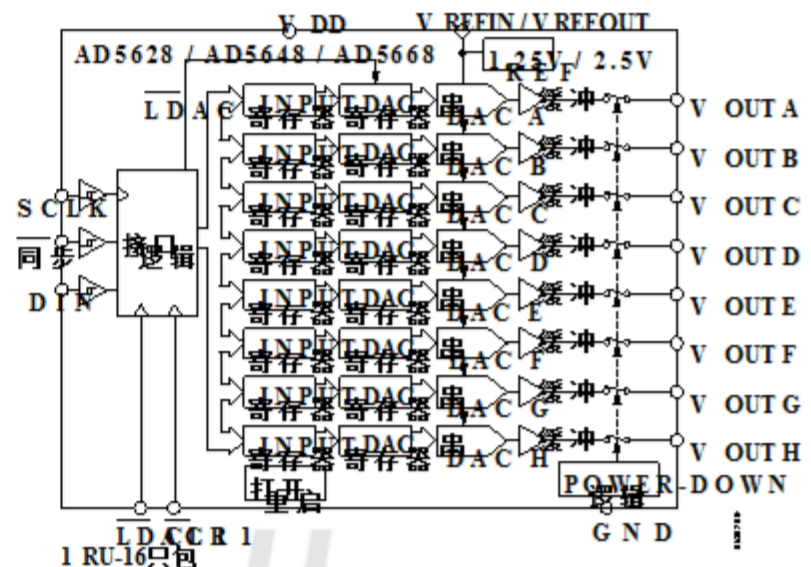


图1.

可选的输出负载，而在任何或全部的掉电模式

DAC通道.所有DAC的输出可以更新simul-

远远地使用LDAC功能，并增加了功能

的用户可选DAC通道同时更新.那里

也是一个异步CLR，将所有DAC更新为用户定义的

可编程代码零标度，中间量程或满量程.

AD5628 / AD5648 / AD5668采用多功能3线串行

接口工作在高达50 MHz的时钟频率，

兼容标准SPI®，QSPI™，MICROWIRE™和

DSP接口标准.片上精密输出放大器

可实现轨到轨输出摆幅.

产品聚焦

1. 八通道，12/14/16位DAC.
2. 片内1.25 V / 2.5 V, 5 ppm / °C参考.
3. 提供14引脚/ 16引脚TSSOP, 16引脚LFCSP和16引脚WLCSP.
4. 上电复位到0 V或中间电平.
5. 掉电能力.关机时，DAC
通常在3 V时消耗200 nA，在5 V时消耗400 nA.

教师G

ADI公司提供的信息被认为是准确和可靠的.但是，没有

使用模拟装置所承担的责任，以及其他专利权的损害

rightsofthirdpartiesthatmayresultfromitsuse.Specificationssubjecttochangewithoutnotice. ADI公司的任何专利或专利权均以暗示或其他方式授予许可.

Trademarksandregisteredtrademarksarethepropertyoftheirrespectiveowners. 技术支持.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U

电话: 781.329.4700 ©2005-2013 Analog Devices, Inc.保留所有权利.

www.analog.com

目录

特征	1	D / A部分	21
应用	1	电阻串	21
功能框图	1	内部参考	21
一般说明	1	输出放大器	22
产品亮点	1	串行接口	22
修订记录	2	输入移位寄存器	23
规格	3	$\overline{\text{SYNC}}$ 中断	23
交流特性	6	内部参考注册	24
时序特征	7	上电复位	24
绝对最大额定值	8	掉电模式	24
ESD警告	8	清除代码寄存器	24
引脚配置和功能描述	9	$\overline{\text{LDAC}}$ 功能	26
典型性能特点	11	电源旁路和接地	26
术语	19	外形尺寸	27
操作理论	21	订购指南	29
修订记录			
13分之1-REV. F到Rev. G			
添加了15 ppm / °C的WLCSP参考TC，表2	5	表2的变更	5
订购指南的更改	29	表3的变更	6
11分之8-REV. E至Rev. F			
新增16引脚WLCSP	普遍	表4的变更	7
增加了图6和表7;依次重新编号	10	从表5中删除SnPb	8
图32和图33的变化	15	添加了图5;依次重新编号	9
更新了外形尺寸	26	表6的变更	9
订购指南的更改	28	更换典型性能特征部分	10
11分之1-REV. D至Rev.E			
AD5628相对精度的变化，零码误差，偏移		上电复位部分的更改	23
错误和参考TC参数，表1	3	更新了外形尺寸	26
AD5628相对精度的变化，零码误差，偏移		订购指南的更改	28
错误和参考TC参数，表2	5	10分之1-REV. B至Rev.C	
输出电压稳定时间的变化，表3	6	图3的变化	10
增加了图53;按顺序重新编号	17	订购指南的更改	28
切换到输出放大器部分	21	2月9日-REV. A到Rev. B	
订购指南的更改	28	参考电流参数的变化，表1	3
10分之9-REV. C到Rev. D			
更改为标题	1	IDD（普通模式）参数的变化，表1	4
全面添加16引脚LFCSP	通用	参考电流参数的变化，表2	5
表1的变更	3	IDD（正常模式）参数的变化，表2	6
11月5日-REV. 0至Rev. A			
更改为规格	3	10/05版本0: 初始版本	

规格

$V_{DD} = 4.5\text{ V}$ 至 5.5 V , $R_L = 2\text{ k}\Omega$ 至 GND, $C_L = 200\text{ pF}$ 至 GND, $V_{REFIN} = V_{DD}$. 所有规格 T MIN 到 T MAX, 除非另有说明。

表格 1.

参数	一年级 敏	典型	马克斯	B级1 敏	典型	马克斯	单元	条件/注释
静态性能 2								
AD5628								
解析度	12			12			位	
相对精度		± 0.5	± 4		± 0.5	± 1	LSB	参见图9
微分非线性			± 0.25			± 0.25	LSB	通过设计保证单调性 (见图12)
AD5648								
解析度	14			14			位	
相对精度		± 2	± 8		± 2	± 4	LSB	参见图8
微分非线性			± 0.5			± 0.5	LSB	通过设计保证单调性 (见图11)
AD5668								
解析度	16			16			位	
相对精度		± 8	± 32		± 8	± 16	LSB	见图7
微分非线性			± 1			± 1	LSB	通过设计保证单调性 (见图10)
零码错误	6		19	6		19	毫伏	所有的0被加载到DAC寄存器 (见图26)
零码错误漂移		± 2			± 2		$\mu\text{V}/^\circ\text{C}$	
满量程错误		-0.2	-1		-0.2	-1	%FSR	全部1加载到DAC寄存器 (见图27)
增益错误			± 1			± 1	%FSR	
增益温度系数		± 2.5			± 2.5		PPM	FSR / $^\circ\text{C}$
偏移错误		± 6	± 19		± 6	± 19	毫伏	
直流电源抑制比		-80			-80		Db	$V_{DD} \pm 10\%$
DC串扰 (外部参考)		10			10		μV	由于全面的产量变化, $R_L = 2\text{ k}\Omega$ 到 GND 或 V_{DD}
		五			五		$\mu\text{V}/\text{毫安}$	由于负载电流的变化
		10			10		μV	由于关闭 (每个通道)
DC串扰 (内部参考)		25			25		μV	由于全面的产量变化, $R_L = 2\text{ k}\Omega$ 到 GND 或 V_{DD}
		10			10		$\mu\text{V}/\text{毫安}$	由于负载电流的变化
输出特性 3								
输出电压范围	0		V_{DD}	0		V_{DD}	V	
容性负载稳定性		2			2		nF 的	$R_L = \infty$
		10			10		nF 的	$R_L = 2\text{ k}\Omega$
直流输出阻抗		0.5			0.5		Ω	
短路电流		三十			三十		嘛	$V_{DD} = 5\text{ V}$
开机时间		4			4		微秒	掉电模式, $V_{DD} = 5\text{ V}$
参考输入								
参考电流		40	55		40	55	μA	$V_{REF} = V_{DD} = 5.5\text{ V}$ (每个DAC通道)
参考输入范围	0		V_{DD}	0		V_{DD}	V	
参考输入阻抗		14.6			14.6		千欧	
参考输出								
输出电压								
AD56x8-2, AD56x8-3	2.495		2.505	2.495		2.505	V	在环境
参考TC3		五	10		五	10	PPM / $^\circ\text{C}$	TSSOP
		15			五	10	PPM / $^\circ\text{C}$	LFCSP
参考输出阻抗		7.5			7.5		千欧	

参数	A级 典型 最大值		B级1 典型 最大值		单元	条件/注释
逻辑输入 3						
输入电流		±3		±3	μA	所有数字输入
输入低电压, V_{INL}		0.8		0.8	V	$V_{DD} = 5V$
输入高电压, V_{INH}	2		2		V	$V_{DD} = 5V$
引脚电容	3		3		pF	
电源要求						
V_{DD}	4.5	5.5	4.5	5.5	V	所有数字输入为0或 V_{DD} , DAC激活, 不包括负载电流 $V_{IH} = V_{DD}$ 和 $V_{IL} = GND$
我 DD (普通模式) 4						
$V_{DD} = 4.5V$ 至 $5.5V$	1.0	1.5	1.0	1.5	嘛	内部参考关闭
$V_{DD} = 4.5V$ 至 $5.5V$	1.8	2.25	1.7	2.25	嘛	内部参考
I DD (全部掉电模式) 5						
$V_{DD} = 4.5V$ 至 $5.5V$	0.4	1	0.4	1	μA	$V_{IH} = V_{DD}$ 和 $V_{IL} = GND$

1温度范围为-40°C至+105°C, 典型值为25°C.

2使用AD5628 (代码32到代码4064), AD5648 (代码128到代码16,256) 和AD5668 (代码512到65,024) 的缩减代码范围计算线性度.产量
卸载.

3通过设计和表征保证;未经生产测试.

4接口不活动.所有DAC都处于活动状态. DAC输出卸载.

5所有八个DAC掉电.



$V_{DD} = 2.7\text{ V}$ 至 3.6 V , $R_L = 2\text{ k}\Omega$ 至 GND , $C_L = 200\text{ pF}$ 至 GND , $V_{REFIN} = V_{DD}$. 所有规格 T_{MIN} 到 T_{MAX} , 除非另有说明。

表2

参数	一年级 敏	典型	马克斯敏	B级1 敏	典型	马克斯单元	条件/注释
静态性能 2							
AD5628							
解析度	12			12		位	
相对精度		± 0.5	± 4		± 0.5	± 1	LSB
微分非线性			± 0.25			± 0.25	LSB
AD5648							
解析度	14			14		位	
相对精度		± 2	± 8		± 2	± 4	LSB
微分非线性			± 0.5			± 0.5	LSB
AD5668							
解析度	16			16		位	
相对精度		± 8	± 32		± 8	± 16	LSB
微分非线性			± 1			± 1	LSB
零码错误	6	19		6	19	毫伏	所有的0被加载到DAC寄存器 (见图26)
零码错误漂移	± 2			± 2		$\mu\text{V}/^\circ\text{C}$	
满量程错误	-0.2	-1		-0.2	-1	%FSR	全部加载到DAC寄存器 (见图27)
增益错误		± 1			± 1	%FSR	
增益温度系数	± 2.5			± 2.5		PPM	FSR / $^\circ\text{C}$
偏移错误	± 6	± 19		± 6	± 19	毫伏	
直流电源抑制	-80			-80		Db	$V_{DD} \pm 10\%$
Ratio3							
DC串扰3 (外部参考)	10			10		μV	由于全面的产量变化, $R_L = 2\text{ k}\Omega$ 到 GND 或 V_{DD}
	五			五		$\mu\text{V}/\text{毫安}$	由于负载电流的变化
	10			10		μV	由于关闭 (每个通道)
DC串扰3 (内部参考)	25			25		μV	由于全面的产量变化, $R_L = 2\text{ k}\Omega$ 到 GND 或 V_{DD}
	10			10		$\mu\text{V}/\text{毫安}$	由于负载电流的变化
输出特性 3							
输出电压范围	0	V_{DD}		0	V_{DD}	V	
容性负载稳定性		2			2	nF的	$R_L = \infty$
		10			10	nF的	$R_L = 2\text{ k}\Omega$
直流输出阻抗		0.5			0.5	Ω	
短路电流		三十			三十	嘛	$V_{DD} = 3\text{ V}$
开机时间		4			4	微妙	掉电模式, $V_{DD} = 3\text{ V}$
参考输入							
参考电流		40	55		40	55	μA
参考输入范围	0	V_{DD}		0	V_{DD}		$V_{REF} = V_{DD} = 5.5\text{ V}$ (每个DAC通道)
参考输入阻抗		14.6			14.6	千欧	
参考输出							
输出电压	AD5628 / AD5648 / AD5668	1.247	1.253	1.247	1.253	V	在环境
参考TC3		五	15		五	15	PPM / $^\circ\text{C}$ TSSOP
		15			15		PPM / $^\circ\text{C}$ LFCSP
					15		PPM / $^\circ\text{C}$ WLCSP
参考输出 阻抗		7.5			7.5	千欧	

参数	一年级 敏	典型	马克斯	B级1 敏	典型	马克斯	单元	条件/注释
逻辑输入 3								
输入电流		±3			±3		μA	所有数字输入
输入低电压, V_{INL}		0.8			0.8		V	$V_{DD} = 3V$
输入高电压, V_{INH}	2			2			V	$V_{DD} = 3V$
引脚电容		3			3		pF的	
电源要求								
V_{DD}	2.7		3.6	2.7		3.6	V	所有数字输入为0或 V_{DD} , DAC激活, 不包括负载电流
我 DD (普通模式) 4								$V_{IH} = V_{DD}$ 和 $V_{IL} = GND$
$V_{DD} = 2.7V$ 至 $3.6V$		1.0	1.5		1.0	1.5	嘛	内部参考关闭
$V_{DD} = 2.7V$ 至 $3.6V$		1.8	2.25		1.7	2.25	嘛	内部参考
I_{DD} (全部掉电模式) 5								
$V_{DD} = 2.7V$ 至 $3.6V$		0.2	1		0.2	1	μA	$V_{IH} = V_{DD}$ 和 $V_{IL} = GND$

1温度范围为-40°C至+105°C, 典型值为25°C.

2使用AD5628 (代码32至代码4064), AD5648 (代码128至代码16256) 和AD5668 (代码512至65024) 的缩减代码范围计算线性度.产量
卸载.

3通过设计和表征保证;未经生产测试.

4接口不活动.所有DAC都处于活动状态. DAC输出卸载.

5所有八个DAC掉电.

AC特性

$V_{DD} = 2.7V$ 至 $5.5V$, $R_L = 2k\Omega$ 至GND, $C_L = 200pF$ 至GND, $V_{REFIN} = V_{DD}$. 所有规格T MIN到T MAX, 除非另有说明.

表3.

参数 1, 2	敏	典型	马克斯	单元	条件/ Comments 3
输出电压稳定时间		2.5	7	微秒	1/2到1/2比例建立到±2 LSB (16位分辨率)
转换率		1.2		V/μs的	
数字到模拟干扰脉冲		4		nV-s在	1 LSB (16位分辨率) 在主要进位周围变化 (见图42)
		19		nV-s在	从代码0xEA00到代码0xE9FF (16位分辨率)
数字馈线		0.1		nV-s在	
数字串扰		0.2		nV-s在	
模拟串扰		0.4		nV-s在	
DAC到DAC串扰		0.8		nV-s在	
带宽倍增		320		千赫	$V_{REF} = 2V \pm 0.2V_{pp}$
总谐波失真		-80		Db	$V_{REF} = 2V \pm 0.1V_{pp}$, 频率=10 kHz
输出噪声谱密度		120		纳伏/√Hz的	DAC代码= 0x8400 (16位分辨率), 1 kHz
		100		纳伏/√Hz的	DAC代码= 0x8400 (16位分辨率), 10 kHz
输出噪声		12		μVpp	0.1 Hz到10 Hz, DAC代码= 0x0000

1通过设计和表征保证;未经生产测试.

2请参阅术语部分.

3温度范围为-40°C至+105°C, 典型值为25°C.

时间特征

所有输入信号都由 $t_r = t_f = 1 \text{ ns} / V$ (V_{DD} 的 10% 至 90%) 指定, 并从 $(V_{IL} + V_{IH}) / 2$ 的电压电平开始计时. 见图2.
 $V_{DD} = 2.7 \text{ V}$ 至 5.5 V . 所有规格 T_{MIN} 至 T_{MAX} , 除非另有说明.

表4

参数	限制在 T_{MIN} , T_{MAX} $V_{DD} = 2.7 \text{ V}$ 至 5.5 V	单元	条件/注释
t_{11}	20	ns 分钟	SCLK 周期时间
t_2	8	ns 分钟	SCLK 高时间
t_3	8	ns 分钟	SCLK 低时间
4	13	ns 分钟	SYNC 到 SCLK 下降沿建立时间
5	4	ns 分钟	数据建立时间
6	4	ns 分钟	数据保持时间
t_7	0	ns 分钟	SCLK 下降沿到 SYNC 上升沿
t_8	15	ns 分钟	最小 SYNC 高电平时间
9	13	ns 分钟	SYNC 上升沿到 SCLK 下降忽略
t_{10}	0	ns 分钟	SCLK 下降沿到 SYNC 下降忽略
t_{11}	10	ns 分钟	LDAC 脉宽低
t_{12}	15	ns 分钟	SCLK 下降沿到 LDAC 上升沿
13	五	ns 分钟	CLR 脉冲宽度低
14	0	ns 分钟	SCLK 下降沿到 LDAC 下降沿
t_{15}	300	ns 典型值	CLR 脉冲激活时间

1 $V_{DD} = 2.7 \text{ V}$ 至 5.5 V 时, 最大 SCLK 频率为 50 MHz. 通过设计和特性保证; 未经生产测试.

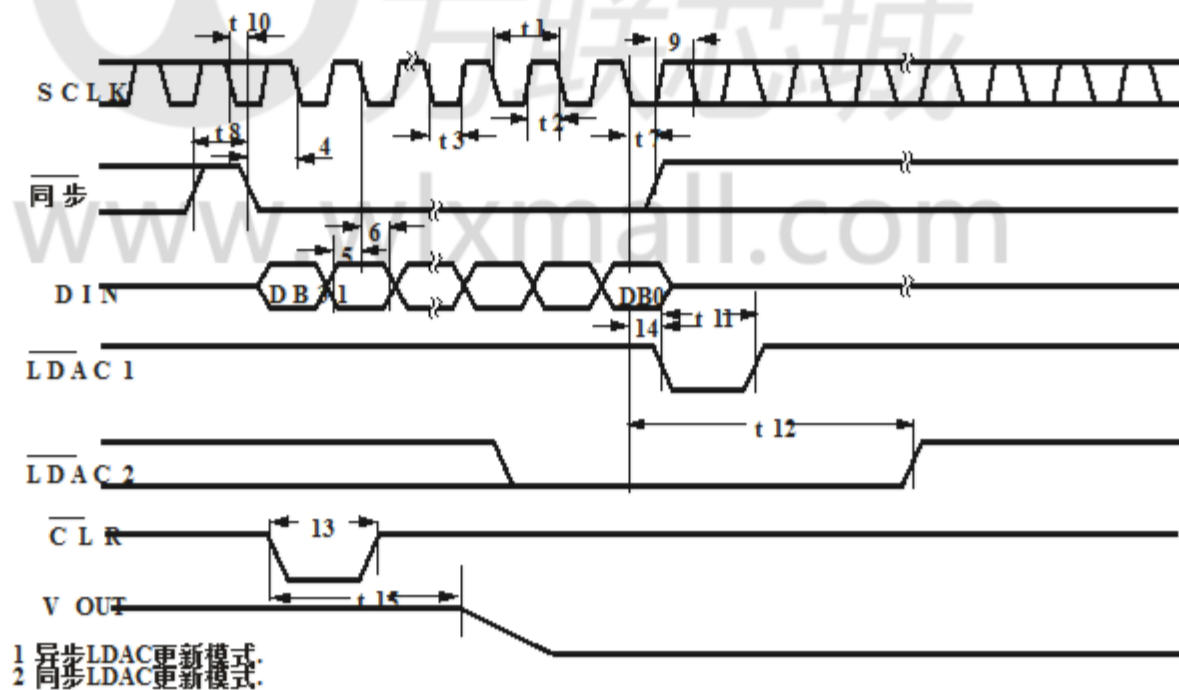


图2. 串行写入操作

绝对最大额定值

T A = 25°C，除非另有说明.

表5

参数	评分
V DD 到GND	-0.3 V至+7 V
数字输入电压到GND	-0.3 V至V DD + 0.3 V
V OUT 到GND	-0.3 V至V DD + 0.3 V
V REFIN / V REFOUT 至GND	-0.3 V至V DD + 0.3 V
工作温度范围	
产业	-40°C至+ 105°C
存储温度范围	-65°C至+ 150°C
结温 (T JMAX)	150°C
TSSOP包装	
功耗	(T JMAX - T A) / θJA
θJA 热阻抗	150.4°C / W
回流焊峰值温度	
无铅	260°C

强调超出绝对最大额定值列出的那些可能会导致设备永久性损坏.这是一个压力
只有评级.在这些或任何设备的功能操作
其他情况超出业务指标
不是暗示本规范的一部分.接触绝对
延长期限的最大额定条件可能会影响
设备可靠性.

ESD警告



ESD (electrostatic discharge) sensitive device.
Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.



引脚配置和功能说明



图3. 14引脚TSSOP (RU-14)

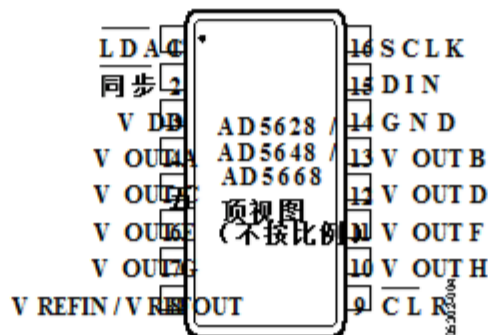
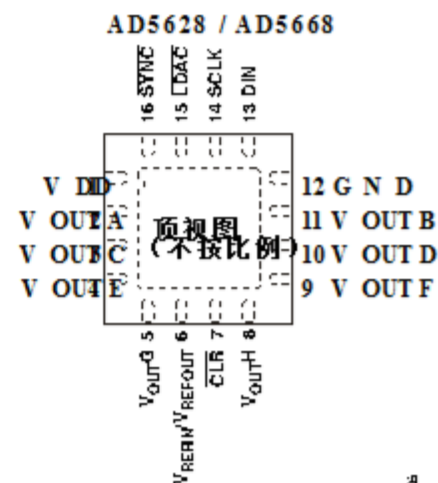


图4. 16引脚TSSOP (RU-16)



笔记
1. 暴露的焊盘必须接地。

图5. 16引脚LFCSP (CP-16-17)

表6. 引脚功能描述

销号			助记符	描述
14引脚 TSSOP	16引脚 TSSOP	16引脚 LFCSP		
N/A	1	15	LDAC	脉冲这个引脚低允许任何或所有的DAC寄存器更新, 如果输入寄存器有新的数据. 这允许所有DAC输出同时更新. 或者, 这个引脚可以永久绑定低.
1	2	16	同步	低电平有效控制输入. 这是输入数据的帧同步信号. 当SYNC变低时, 它启动SCLK和DIN缓冲器并启用输入转换寄存器. 数据在接下来的32个时钟的下降沿被传送. 如果SYNC被采取高于第32个下降沿之前, SYNC的上升沿充当中断和中断写入序列被设备忽略.
2	3	1	V DD	电源输入. 这些器件可以在2.7 V至5.5 V的电压下工作. 应该用10μF电容与0.1μF电容并联去GND.
3	4	2	V OUT A	DAC A的模拟输出电压. 输出放大器具有轨到轨操作.
11	13	11	V OUT B	DAC B的模拟输出电压. 输出放大器具有轨到轨操作.
4	五	3	V OUT C	DAC C的模拟输出电压. 输出放大器具有轨到轨操作.
10	12	10	V OUT D	DAC D的模拟输出电压. 输出放大器具有轨到轨操作.
7	8	6	V REF IN / V REF OUT	AD5628 / AD5648 / AD5668具有用于参考输入和参考的公共引脚. 输出. 当使用内部参考时, 这是参考输出引脚. 使用一个外部参考, 这是参考输入引脚. 这个引脚的默认值是a参考输入.
N/A	9	7	CLR	异步清除输入. CLR输入是下降沿敏感的. 当CLR低时, 全部LDAC脉冲被忽略. 当CLR被激活时, 输入寄存器和DAC寄存器用包含在CLR代码寄存器中的数据更新为零, 中间里程或完整规模. 默认设置将输出清除为0 V.
五	6	4	V OUT E	DAC E的模拟输出电压. 输出放大器具有轨到轨操作.
9	11	9	V OUT F	DAC F的模拟输出电压. 输出放大器具有轨到轨操作.
6	7	五	V OUT G	DAC G的模拟输出电压. 输出放大器具有轨到轨操作.
8	10	8	V OUT H	DAC H的模拟输出电压. 输出放大器具有轨到轨操作.
12	14	12	GND	零件上所有电路的接地参考点.
13	15	13	DIN	串行数据输入. 该器件具有一个32位移位寄存器. 数据输入寄存器在串行时钟输入的下降沿.
14	16	14	SCLK	串行时钟输入. 数据输入到移位寄存器的下降沿. 串行时钟输入. 数据可以以高达50 MHz的速率传输. 建议将裸焊盘焊接到接地层.
		EPAD	EPAD	

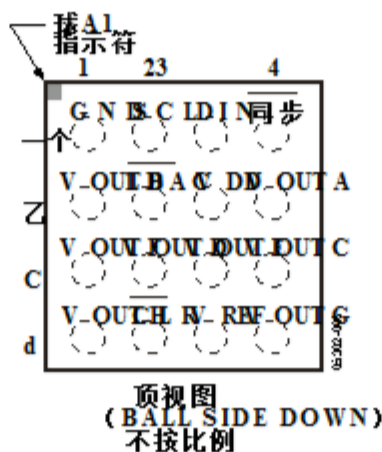


图6. 16引脚WLCSP

表7. 16引脚WLCSP引脚功能描述

引脚	助记符	描述
B2	LDAC	如果输入寄存器具有新的数据, 将该引脚脉冲为低电平允许更新任何或所有DAC寄存器. 这允许所有DAC输出同时更新. 另外, 这个引脚可以永久连接低.
A4	同步	低电平有效控制输入. 这是输入数据的帧同步信号. 当SYNC变低时, 上电SCLK和DIN缓冲器并启用输入移位寄存器. 数据在下降沿传输接下来的32个时钟. 如果SYNC在第32个下降沿之前变为高电平, 则SYNC的上升沿将作为一个中断, 写入序列被设备忽略.
B3	V DD	电源输入. 这些器件可以在2.7 V至5.5 V的电压下工作, 并且电源应该与a去耦10μF电容与0.1μF电容并联.
B4	V OUT A	DAC A的模拟输出电压. 输出放大器具有轨到轨操作.
B1	V OUT B	DAC B的模拟输出电压. 输出放大器具有轨到轨操作.
C4	V OUT C	DAC C的模拟输出电压. 输出放大器具有轨到轨操作.
C2	V OUT D	DAC D的模拟输出电压. 输出放大器具有轨到轨操作.
D3	V REFIN / V REFOUT	AD5628 / AD5648 / AD5668具有用于参考输入和参考输出的公共引脚. 使用时内部参考, 这是参考输出引脚. 当使用外部参考时, 这是参考输入. 此引脚的默认值是作为参考输入.
D2	CLR	异步清除输入. CLR输入是下降沿敏感的. 当CLR为低时, 所有的LDAC脉冲都被忽略. 当CLR被激活时, 输入寄存器和DAC寄存器用包含在CLR中的数据更新代码寄存器零, 中间里程或满里程. 默认设置将输出清除为0 V.
C3	V OUT E	DAC E的模拟输出电压. 输出放大器具有轨到轨操作.
C1	V OUT F	DAC F的模拟输出电压. 输出放大器具有轨到轨操作.
D4	V OUT G	DAC G的模拟输出电压. 输出放大器具有轨到轨操作.
D1	V OUT H	DAC H的模拟输出电压. 输出放大器具有轨到轨操作.
A1	GND	零件上所有电路的接地参考点.
A3	DIN	串行数据输入. 该器件具有一个32位移位寄存器. 数据输入寄存器的下降沿串行时钟输入.
A4	SCLK	串行时钟输入. 数据在串行时钟输入的下降沿输入移位寄存器. 数据可以以高达50 MHz的速率传输.

典型的性能特征

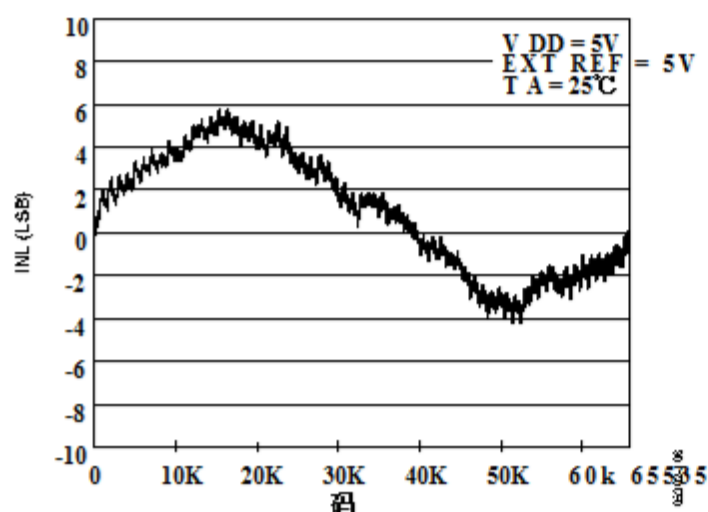


图7. INL AD5668-外部参考

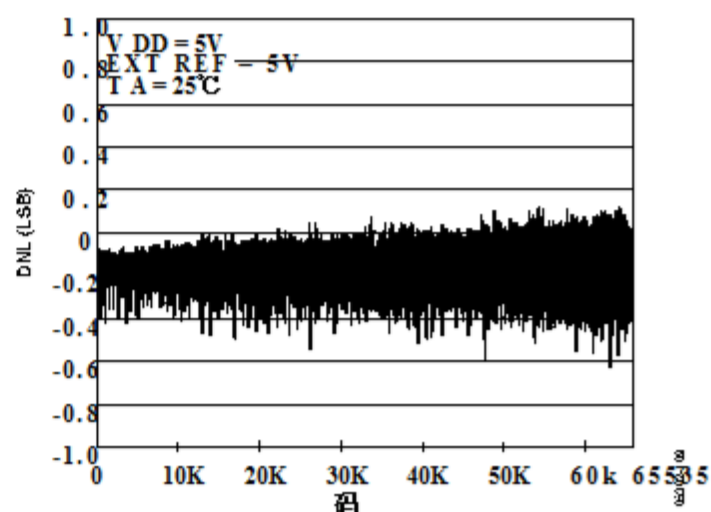


图10. DNL AD5668-外部参考

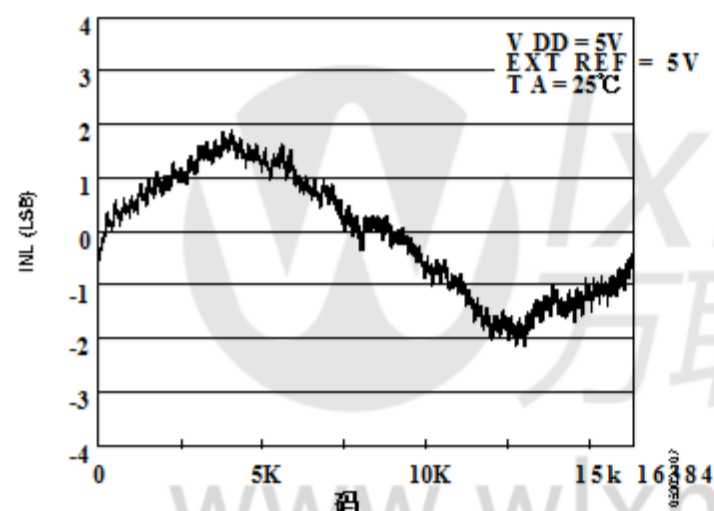


图8. INL AD5648-外部参考

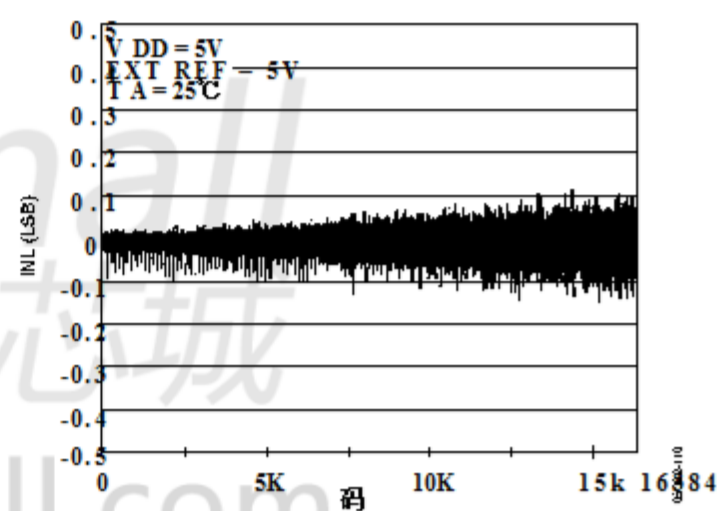


图11. DNL AD5648-外部参考

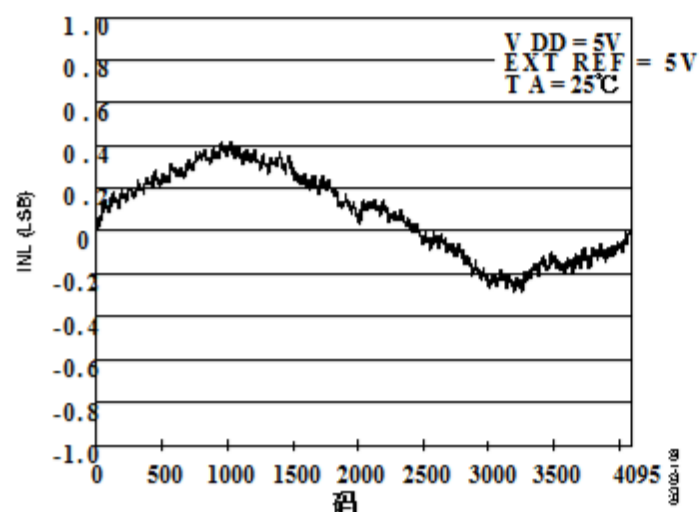


图9. INL AD5628-外部参考

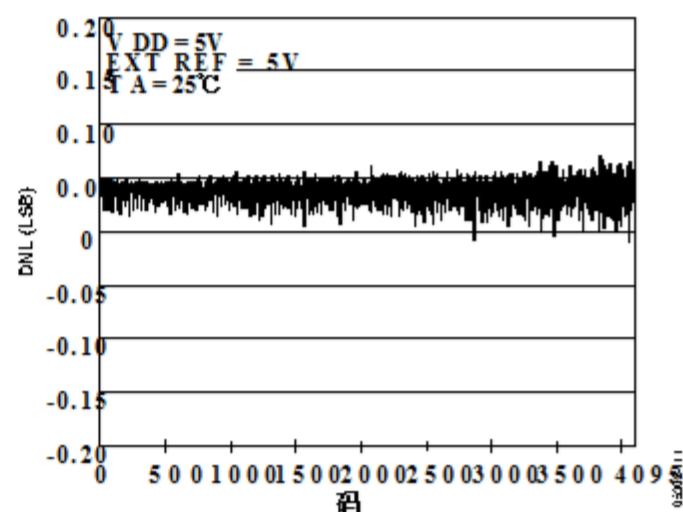


图12. DNL AD5628-外部参考

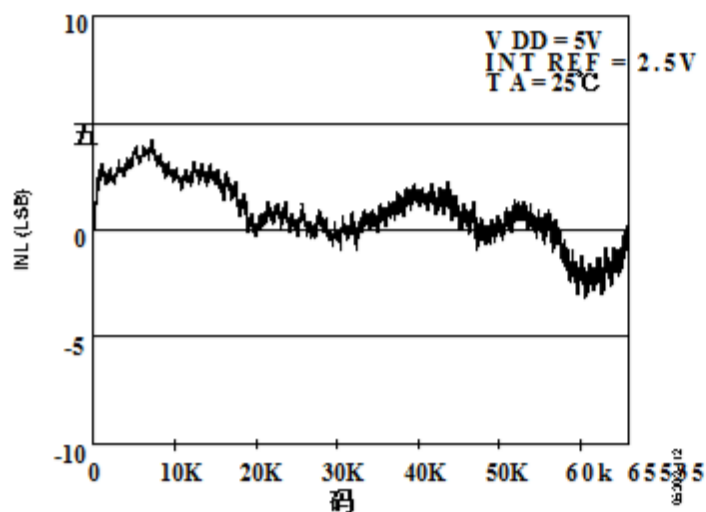


图13. INL AD5668-2 / AD5668-3

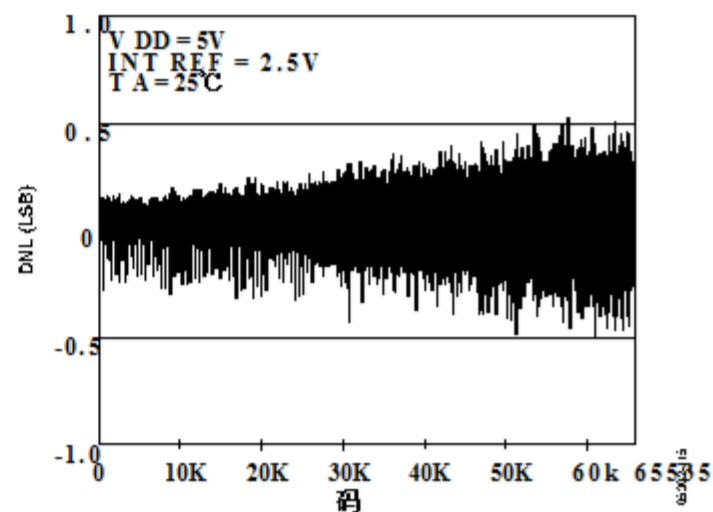


图16. DNL AD5668-2 / AD5668-3

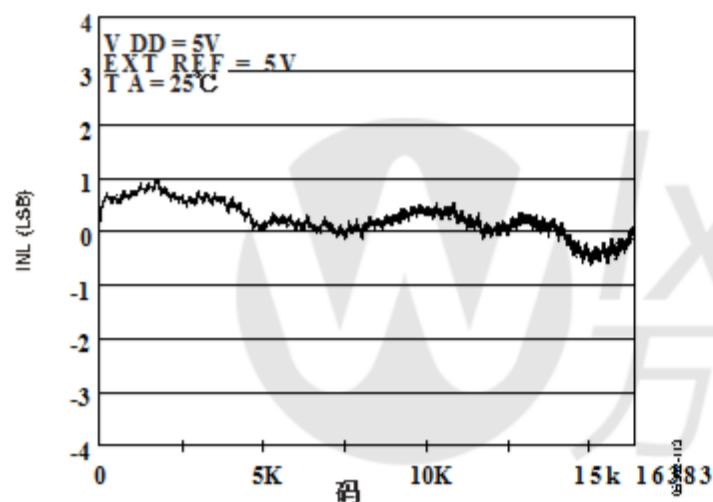


图14. INL AD5648-2

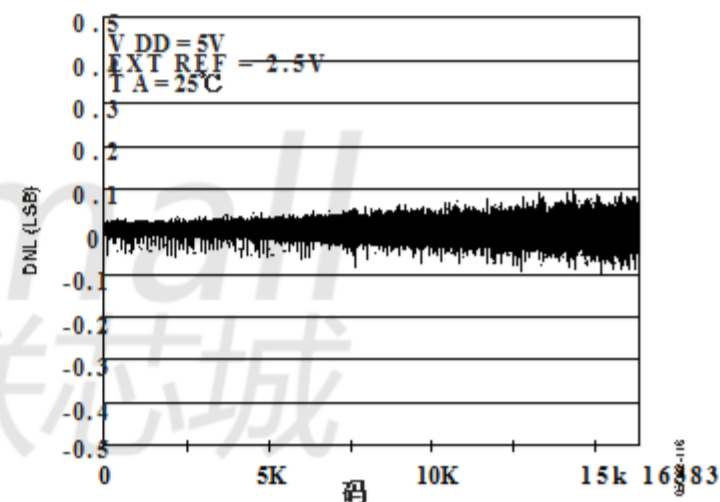


图17. DNL AD5648-2

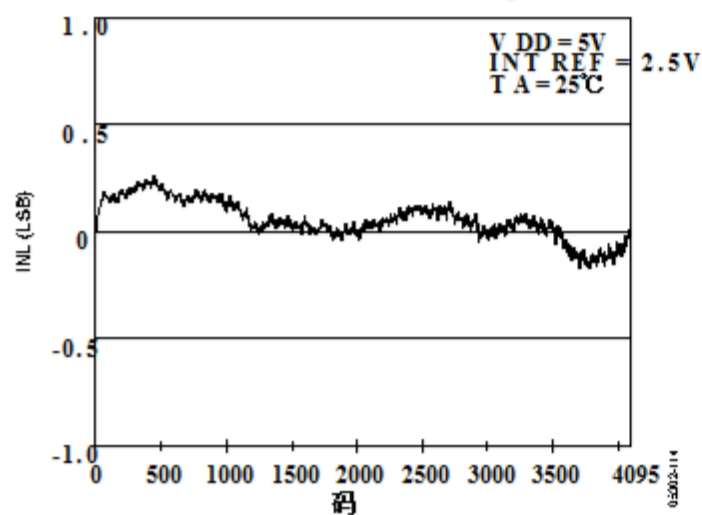


图15. INL AD5628-2

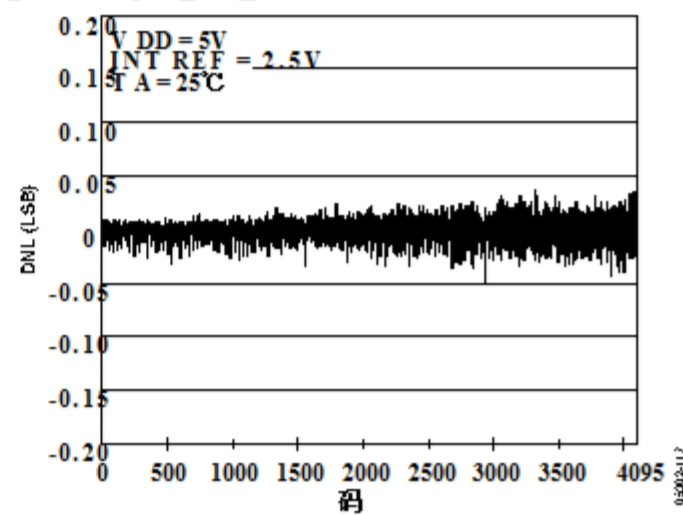


图18. DNL AD5628-2

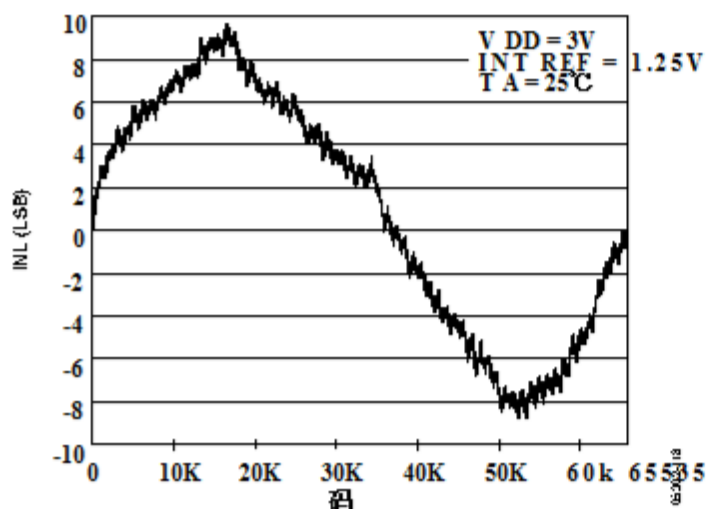


图19. INL AD5668-1

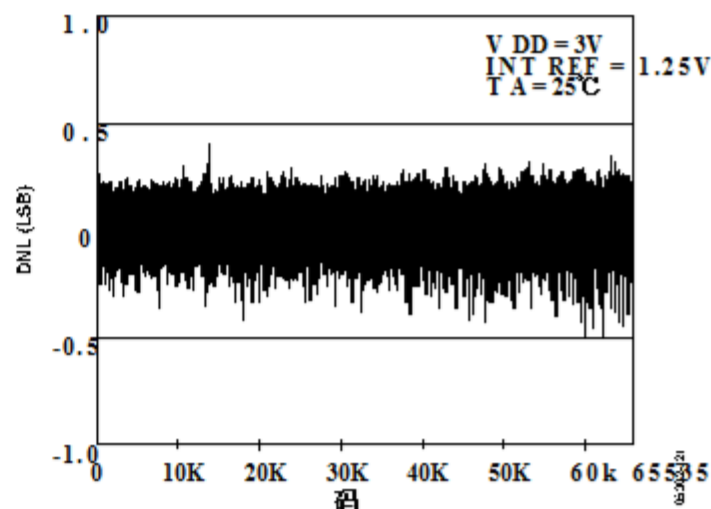


图22. DNL AD5668-1

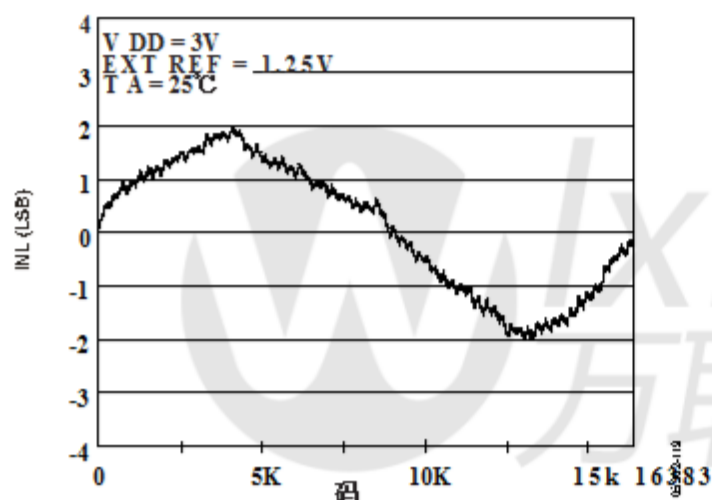


图20. INL AD5648-1

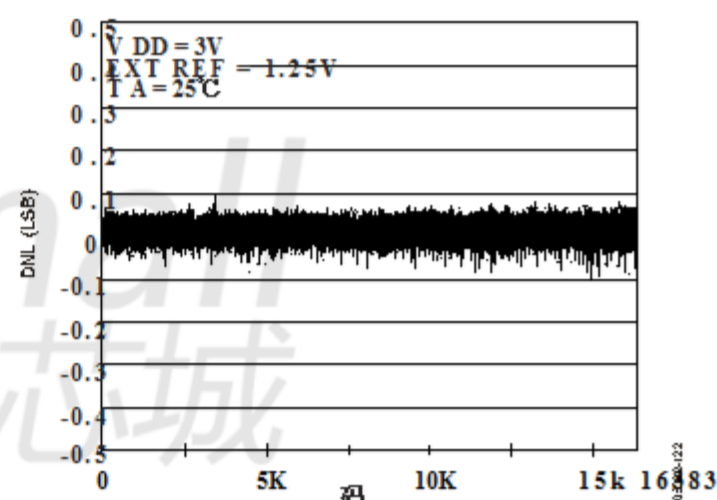


图23. DNL AD5648-1

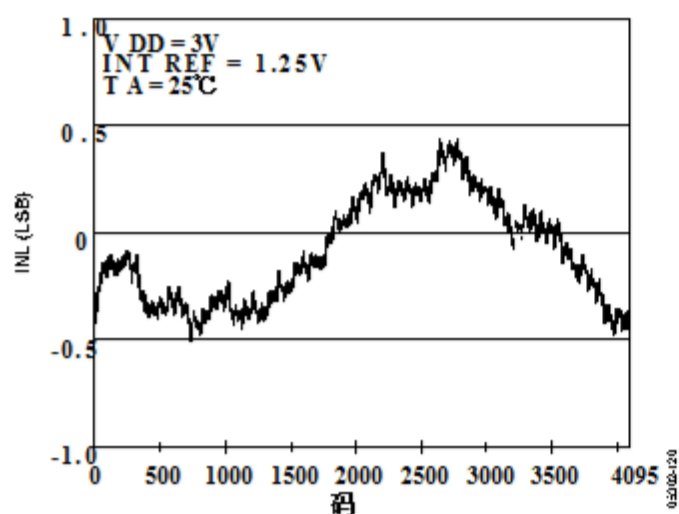


图21. INL AD5628-1

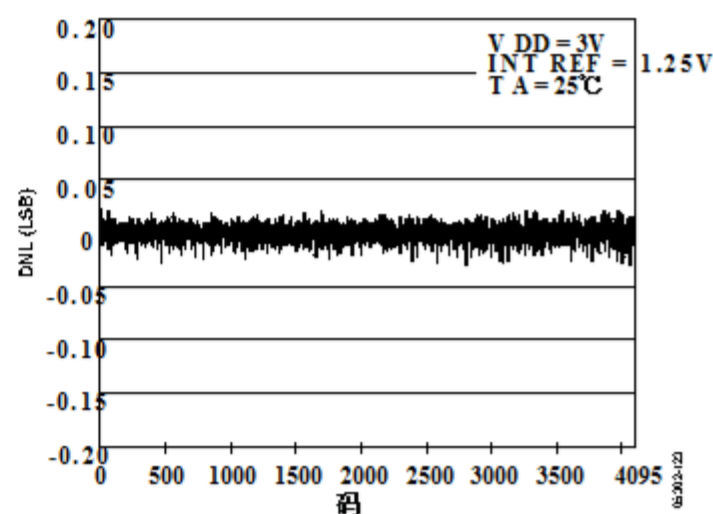


图24. DNL AD5628-1

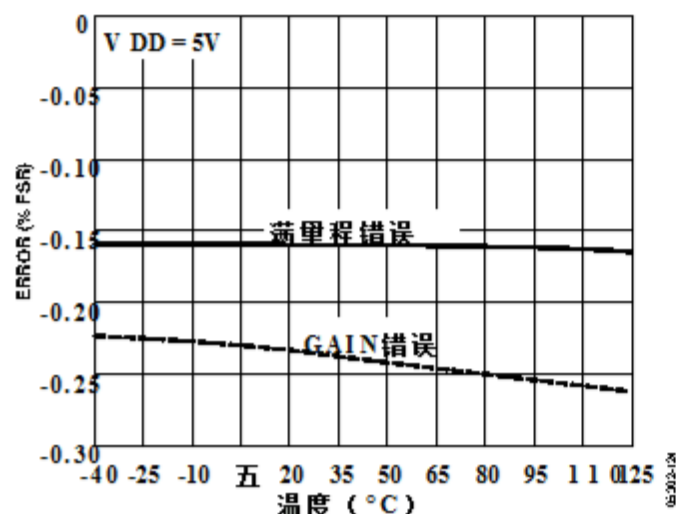


图25.增益误差和满量程误差与温度的关系

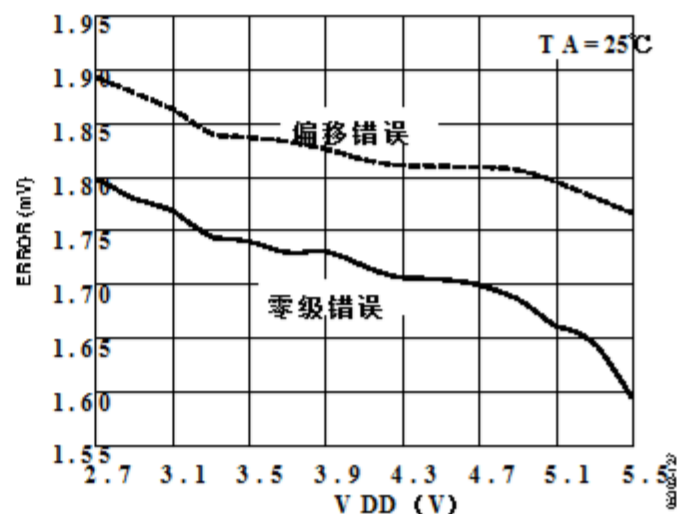


图28.零电平误差和失调误差与电源电压的关系

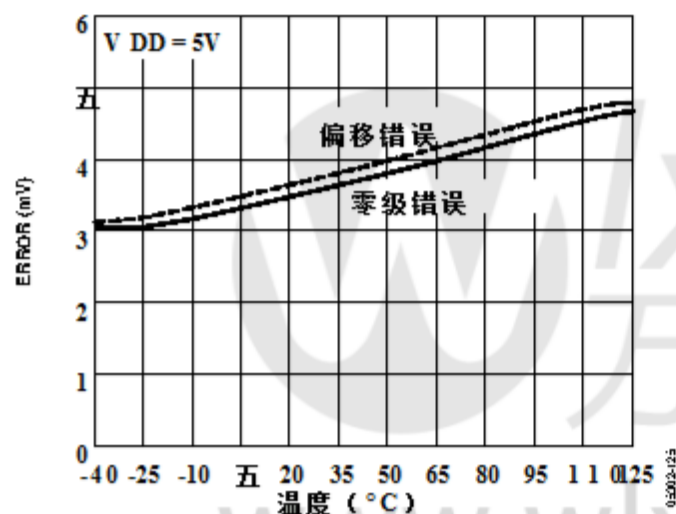


图26.零刻度误差和失调误差与温度的关系

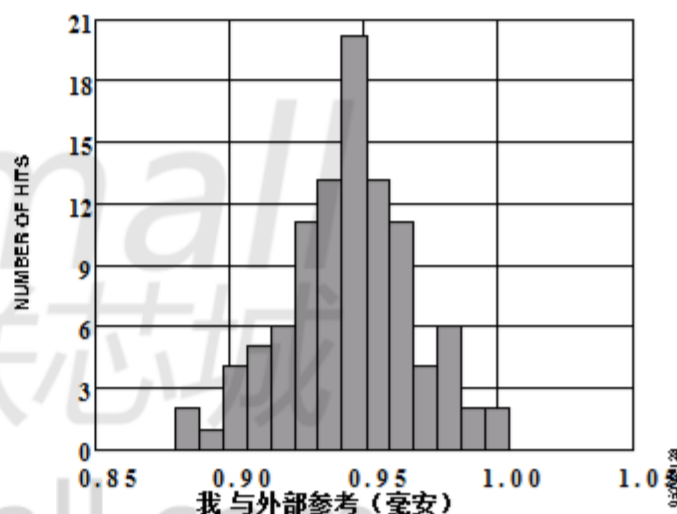
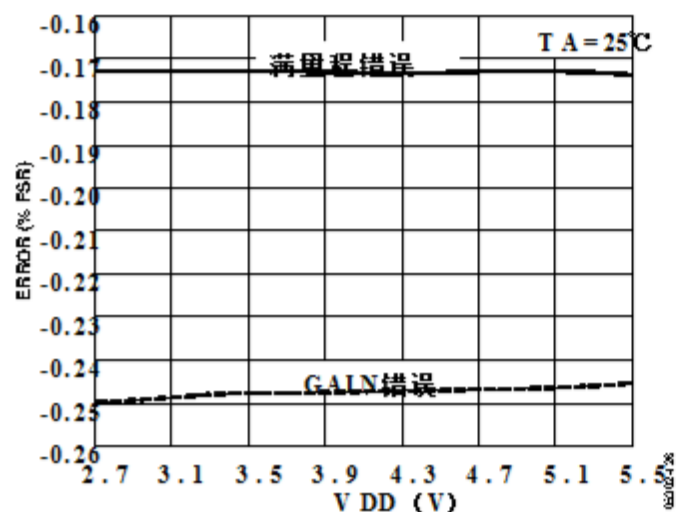
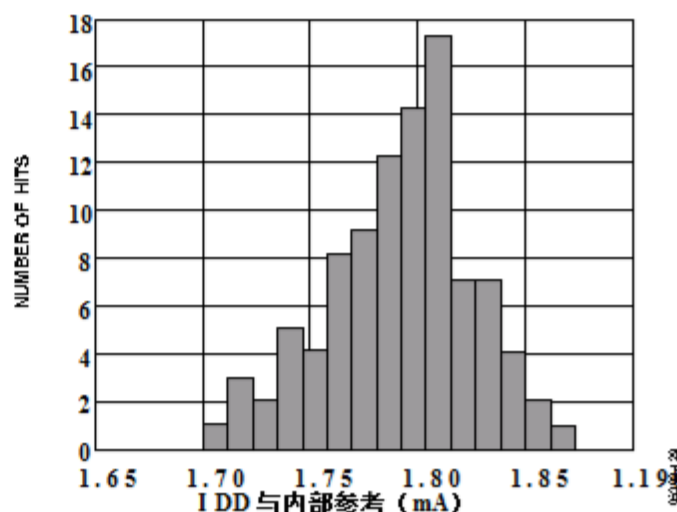
图29. 具有外部参考的 I_{DD} 直方图

图27.增益误差和满量程误差与电源电压的关系

图30. 带有内部参考的 I_{DD} 直方图

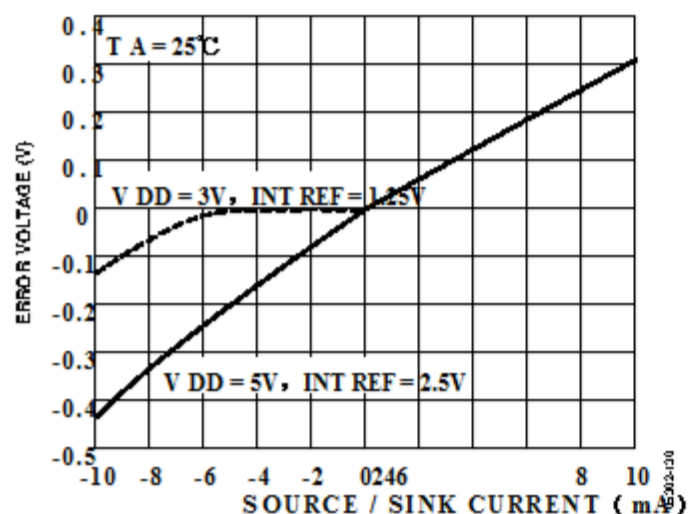


图31. Rails与源和汇的空间

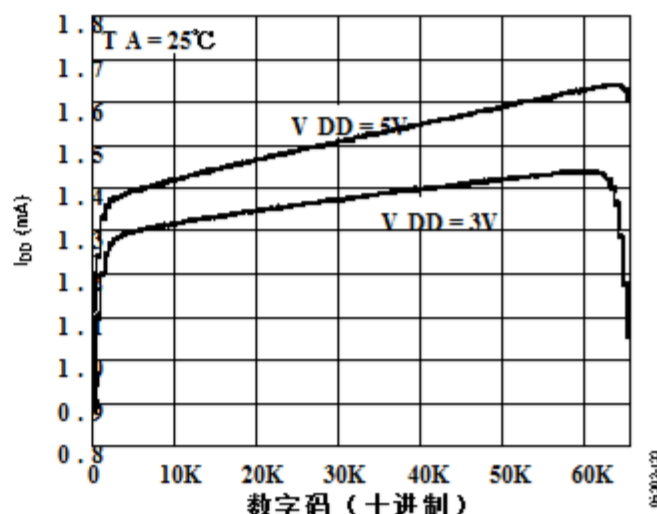


图34.电源电流与代码

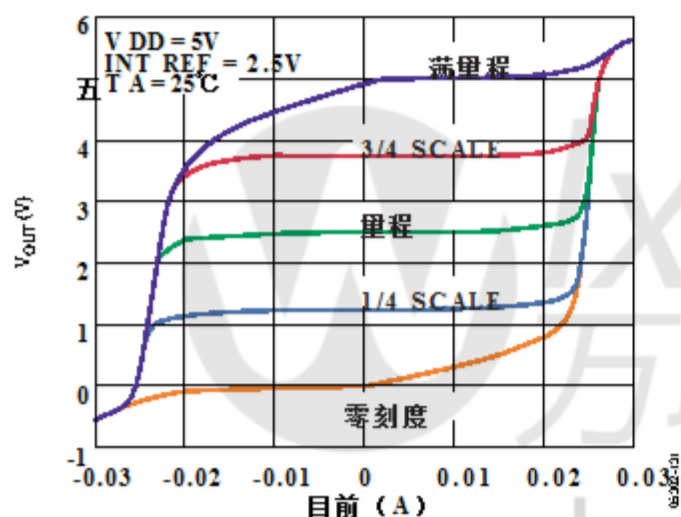


图32. AD5668-2 / AD5668-3的源极和漏极功能

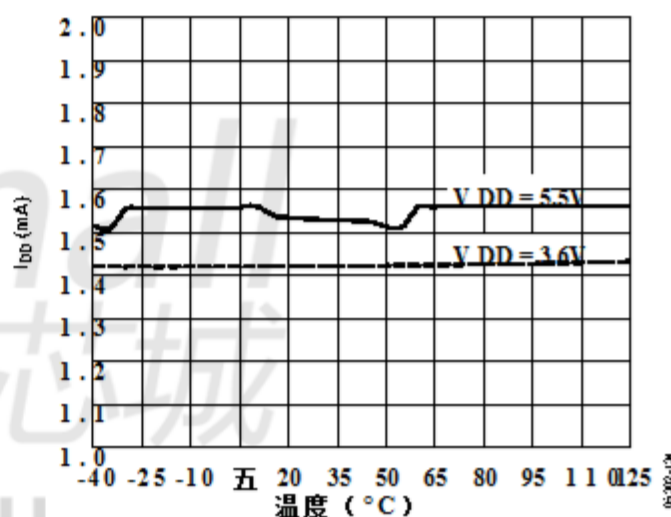


图35.电源电流与温度的关系

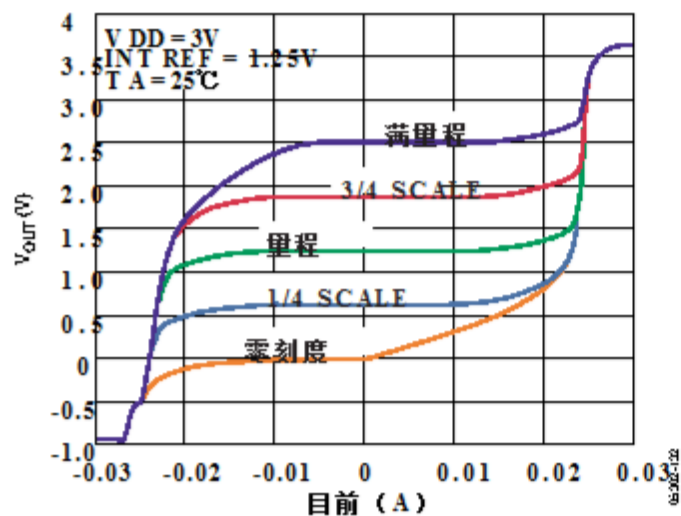


图33. AD5668-1源极和漏极功能

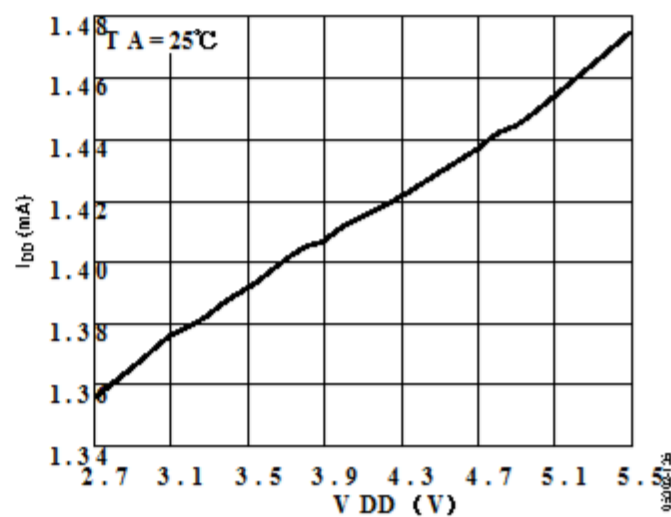


图36.电源电流与电源电压的关系

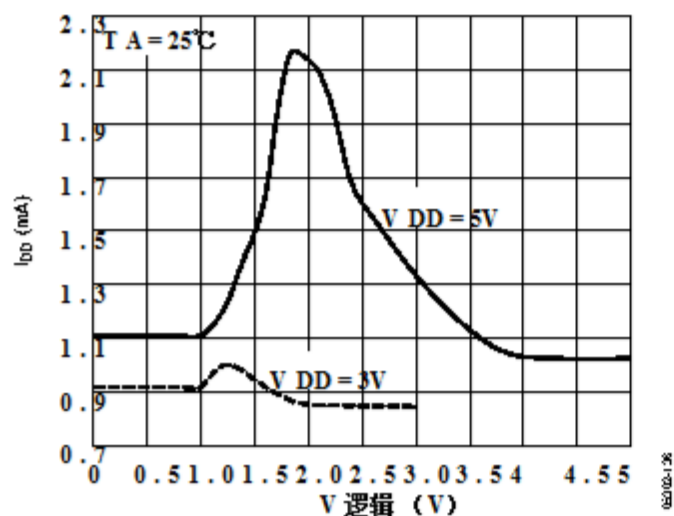


图37.电源电流与逻辑输入电压的关系

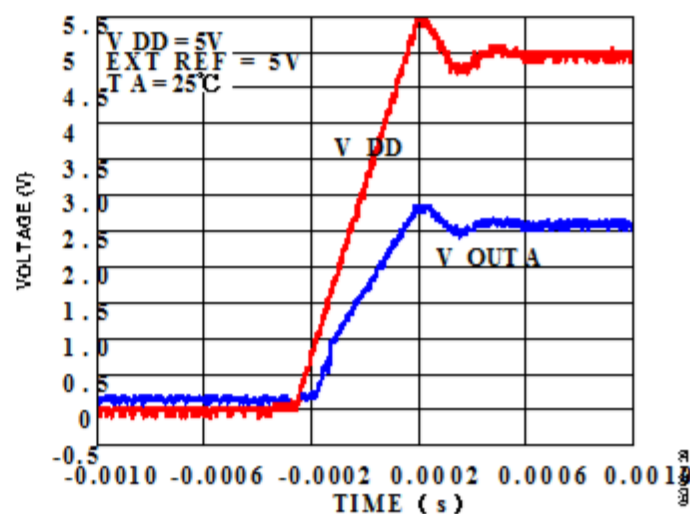


图40.上电复位到中间值

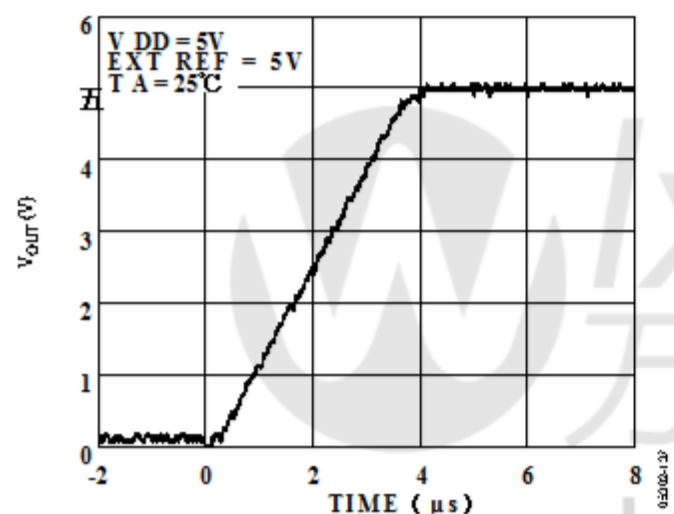


图38.满量程稳定时间, 5 V.

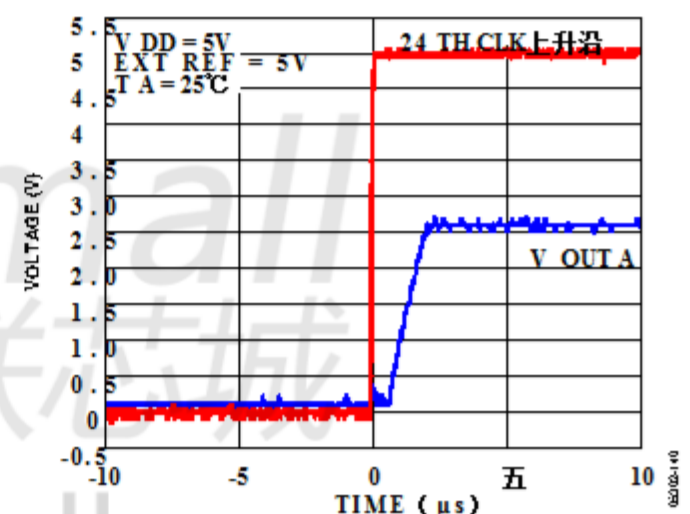


图41.退出掉电至中间刻度

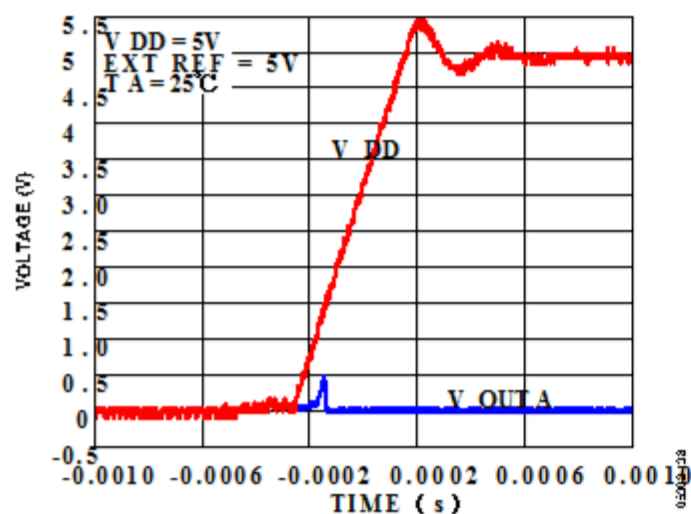


图39.上电复位到0 V

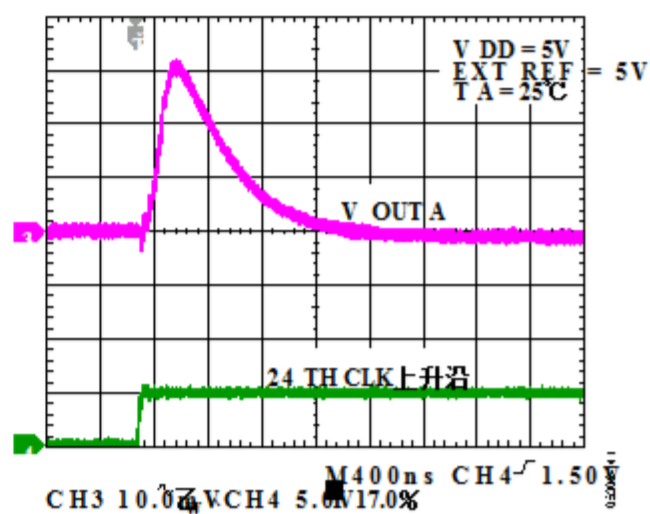


图42.数字 - 模拟毛刺脉冲(负)

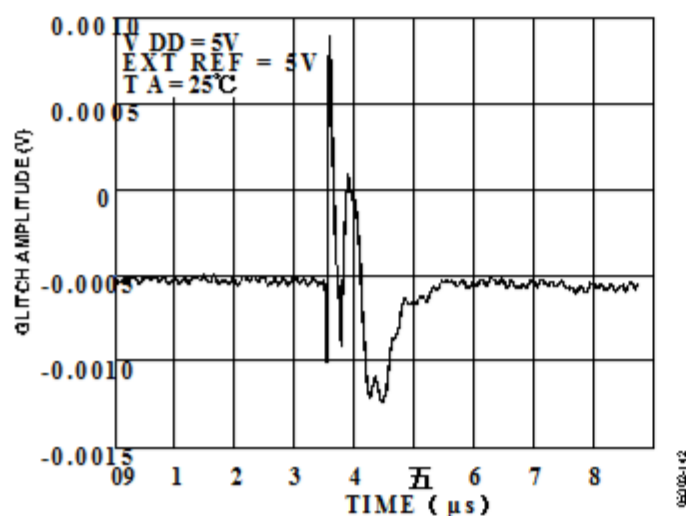


图43. 模拟串扰

6320-142

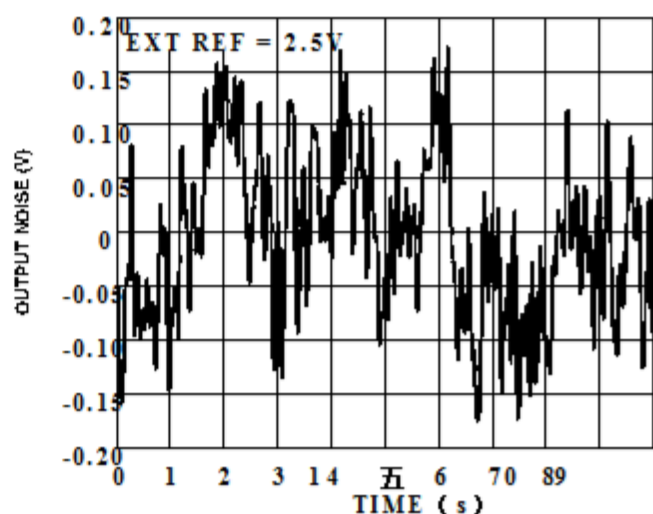


图46. 0.1 Hz至10 Hz输出噪声图，外部参考

6320-145

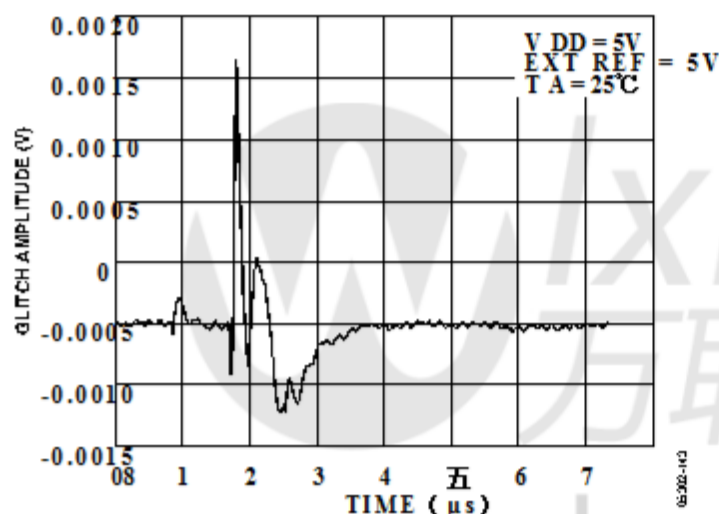


图44. DAC至DAC串扰

6320-143

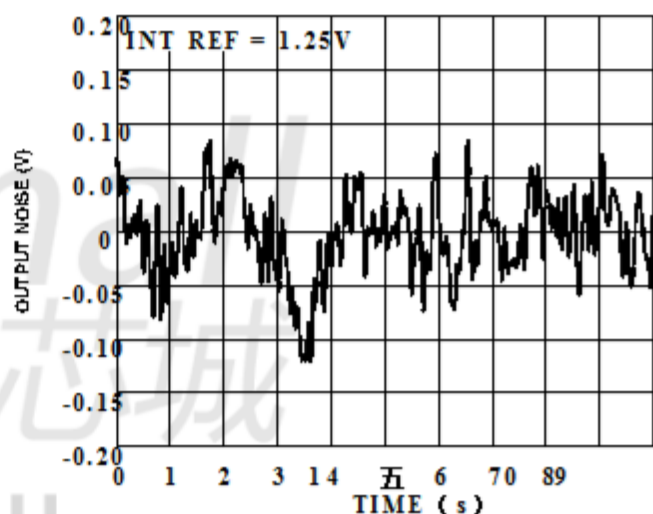


图47. 0.1 Hz至10 Hz输出噪声图，内部参考

6320-146

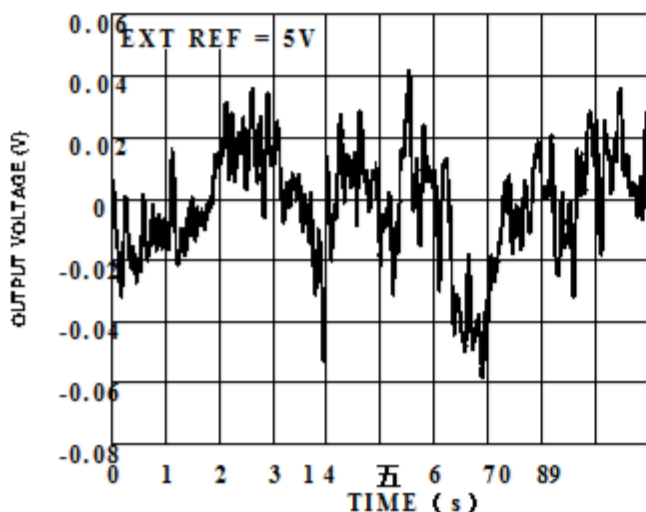


图45. 0.1 Hz至10 Hz输出噪声图，外部参考

6320-144

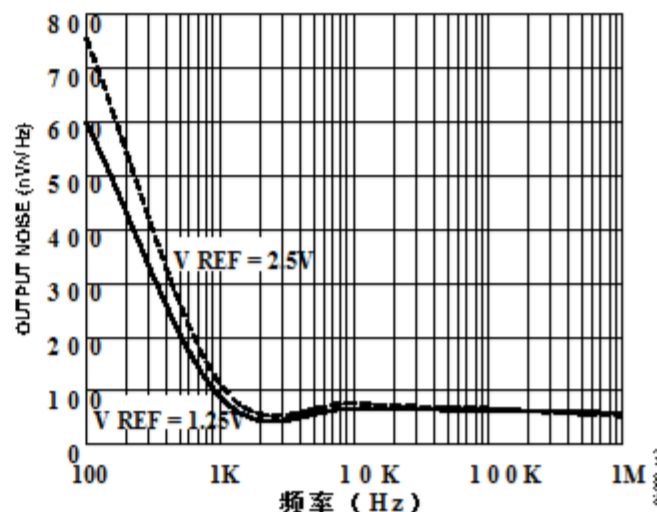


图48. 噪声谱密度，内部参考

6320-147

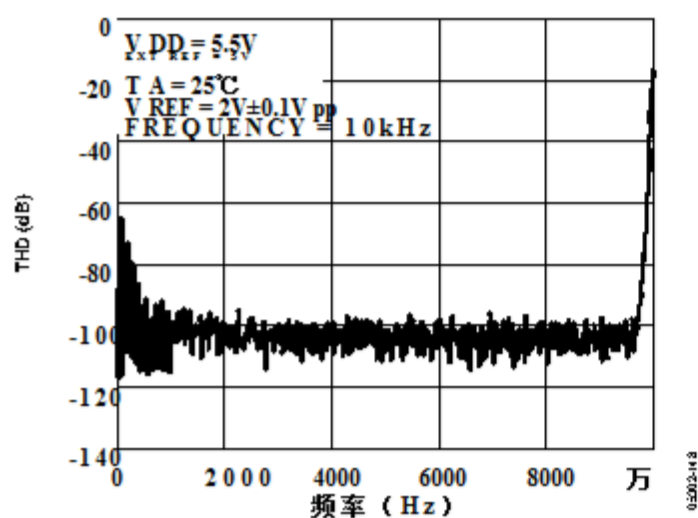


图49.总谐波失真

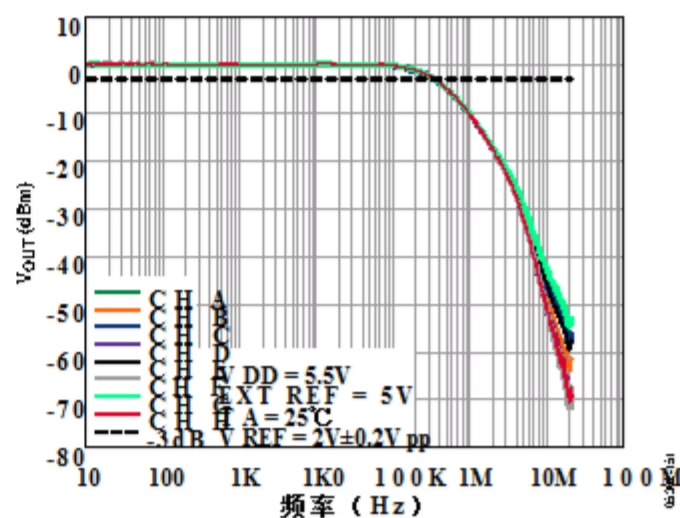


图52.乘以带宽

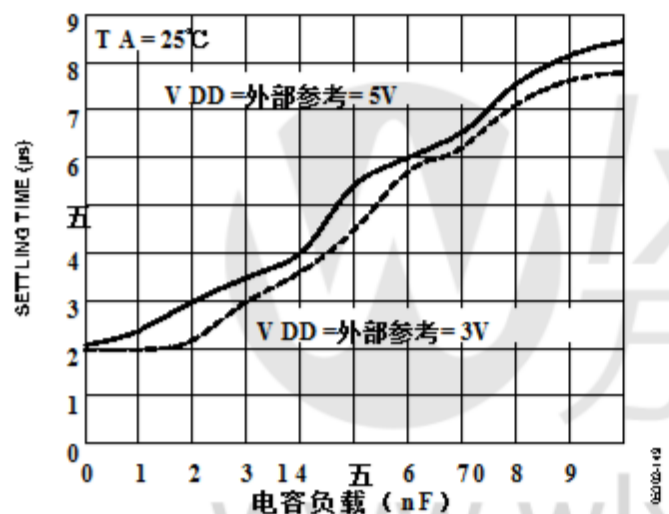


图50.建立时间与容性负载

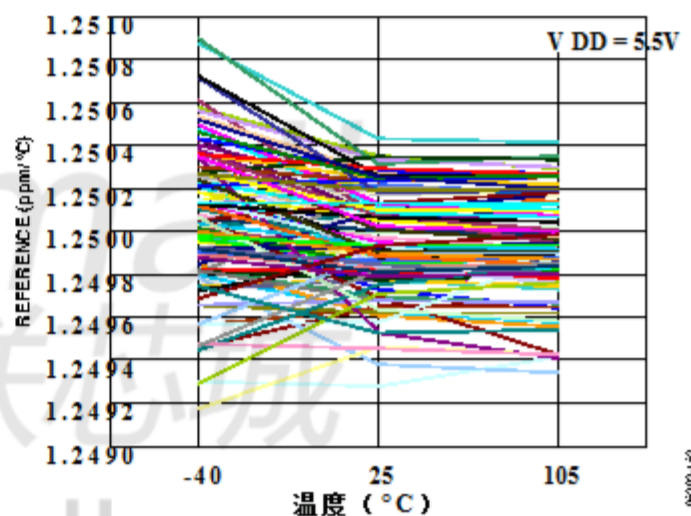


图53. 1.25 V基准温度系数与温度的关系

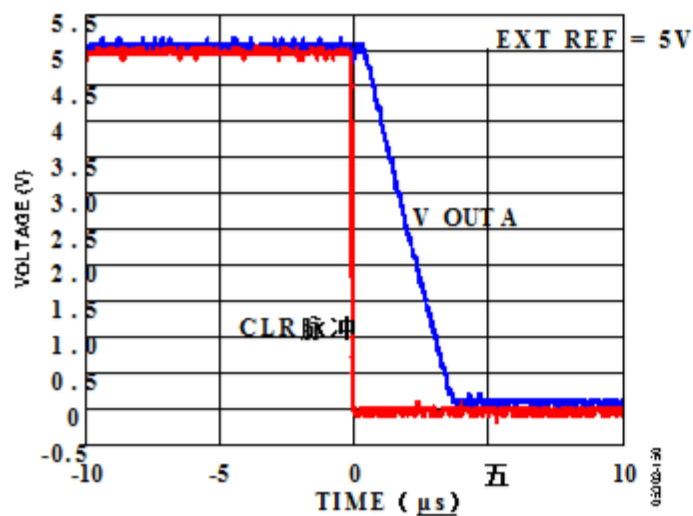


图51.硬件CLR

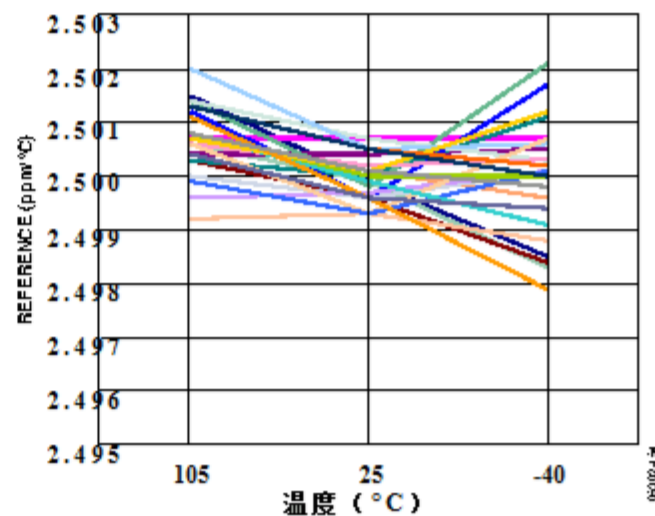


图54. 2.5 V参考温度系数与温度的关系

术语

相对精度

对于DAC，相对精度或积分非线性（INL）衡量一条直线上LSB的最大偏差通过DAC传递函数的端点。图7到图9，图13到图15和图19到图21显示了典型INL与代码的关系图。

微分非线性

微分非线性（DNL）是两者之间的差异测量的变化和任意两个之间理想的1 LSB变化相邻的代码。指定的差分非线性为 ± 1 LSB最大限度保证单调性。此DAC保证单声道，滋补的设计。图10至图12，图16至图18，而图22到图24显示了典型的DNL与代码的关系图。

偏移错误

偏移误差是衡量实际的差异 V_{OUT} 和理想的 V_{OUT} ，以毫伏表示传递函数的区域。偏移误差是测量的带有代码512的AD5668装入DAC寄存器。有可能负值或正值，以毫伏表示。

零码错误

零码错误是零时输出错误的度量。代码（0x0000）被加载到DAC寄存器中。理想情况下，输出应为0 V。零码错误始终为正。AD5628 / AD5648 / AD5668，因为DAC的输出不能低于0 V。这是由于抵消的组合DAC和输出放大器中的误差。零码错误是用毫伏表示。图28显示了一个典型的零 - 代码错误与温度。

增益错误

增益误差是DAC量程误差的度量。它是DAC传输特性的斜率偏离理想的，表示为满量程的百分比。

零码错误漂移

零码错误漂移是衡量零码变化的一个指标。温度变化的错误。它以 $\mu V/^\circ C$ 表示。

增益误差漂移

增益误差漂移是增益误差变化的度量。温度变化。它以（满量程的ppm）表示范围）/ $^\circ C$ 。

满量程错误

满量程误差是全量程输出误差的度量。代码（0xFFFF）被加载到DAC寄存器中。理想情况下，输出应该是 $V_{DD} - 1$ LSB。满量程误差表示为a满量程范围的百分比。图25显示了一个典型的满量程误差与温度的关系。

数字到模拟干扰脉冲

数字 - 模拟干扰脉冲是注入到脉冲中的脉冲。当DAC寄存器中的输入代码改变时，模拟输出州。通常将其指定为以nV-s为单位的毛刺面积。当数字输入代码改变1 LSB at时测量主要进位转换（0x7FFF到0x8000）。参见图42。

直流电源抑制比（PSRR）

PSRR指示DAC的输出如何受到变化的影响在电源电压。PSRR是 V_{OUT} 变化的比率DAC的满量程输出的 V_{DD} 变化。这是测量以分贝为单位。 V_{REF} 保持在2 V， V_{DD} 变化 $\pm 10\%$ 。

DC串扰

直流串扰是一个DAC输出电平的直流变化。应对另一个DAC的输出变化。这是测量在一个DAC上进行满量程输出变化（或软关断）和加电），同时监测保持在中间尺度的另一个DAC。它以微伏表示。

直流串扰是由于负载电流变化而引起的。影响一个DAC上的负载电流的变化。DAC保持在中等水平。它以每毫安微伏表示。

参考馈送

参考馈通是信号幅度的比率。在DAC输出到DAC参考输入时输出没有被更新（即LDAC很高）。它被表示在分贝。

数字馈线

数字馈通是注入的脉冲的度量。来自数字输入引脚的DAC的模拟输出器件，但在DAC未被写入时测量（SYNC高点）。它以nV-s指定，并用a测量在数字输入引脚上进行全面的改变，也就是从0开始全1或反之亦然。

数字串扰

数字串扰是传输到输出的毛刺脉冲。一个DAC的中间尺度响应全面的代码更改（全0到全1，反之亦然）在另一个DAC的输入寄存器中。它在独立模式下测量，以nV-s表示。

模拟串扰

模拟串扰是传送到输出的毛刺脉冲。一个DAC由于另一个DAC的输出发生变化而导致它是通过将其中一个输入寄存器加载到满量程进行测量。代码更改（全0到全1或反之），同时保持LDAC高，然后脉冲LDAC低和监测输出。数字代码没有改变的DAC的面积。毛刺以nV-s表示。

DAC到DAC串扰

DAC到DAC的串扰是传送到的小故障脉冲由于数字代码变化和随后的一个DAC的输出另一个DAC的输出变化.这包括数字和模拟串扰.它是通过加载其中一个DAC来测量的与全面的代码更改(全0到全1或反之亦然) $\overline{LDAC}$ 低并监视另一个DAC的输出.该毛刺的能量以nV-s表示.

带宽倍增

DAC内的放大器具有有限的带宽.该乘以带宽就是衡量这一点.正弦波参考(带有加载到DAC的满量程代码)出现在上面输出.乘法带宽是在的频率输出幅度下降到低于输入3 dB.

总谐波失真 (THD)

总谐波失真是理想之间的差异正弦波和使用DAC的衰减版本.正弦波用作DAC的参考,而THD是a测量DAC输出上的谐波.它是
以分贝为单位.



操作理论

D / A部分

AD5628 / AD5648 / AD5668 DAC在a.上制造

CMOS工艺.该架构由一串DAC组成

其次是输出缓冲放大器.每个部分都包括一个

内部1.25 V / 2.5 V, 具有内部增益的5 ppm / °C参考电压为2.图55显示了DAC架构的框图.

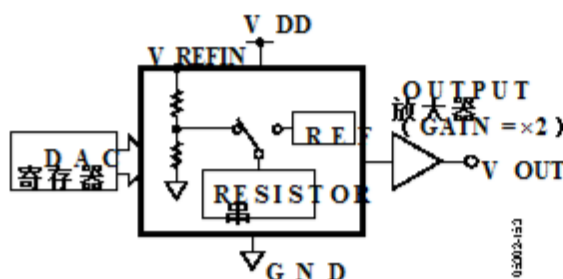


图55. DAC架构

因为对DAC的输入编码是直接二进制的，所以理想使用外部参考时的输出电压由下式给出

$$V_{OUT} \uparrow V_{REFIN} \frac{d}{2^n}$$

使用内部参考时的理想输出电压为
由...提供

$$V_{OUT} \uparrow 2 V_{REFOUT} \frac{d}{2^n}$$

哪里:

D = 加载到二进制代码的十进制等效值

DAC寄存器.

AD5628 (12位) 为0到4095.

AD5648 (14位) 为0至16,383.

AD5668 (16位) 为0到65,535.

n = DAC分辨率.

RESISTOR STRING

电阻串部分如图56所示.它简直就是a
一串电阻, 每个值都是R.代码加载进去
DAC寄存器确定字符串上的哪个节点
输出电压被馈送到输出放大器.该
通过闭合其中一个开关连接来分接电压
放大器的字符串.因为这是一串电阻,
保证单调.

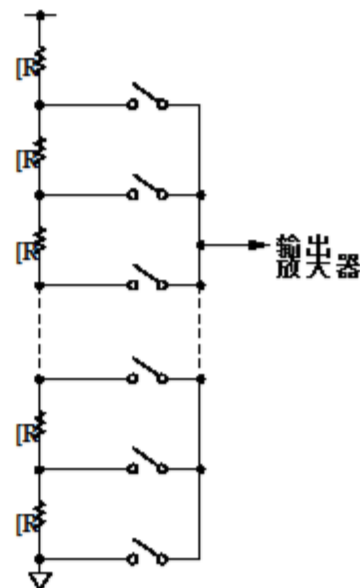


图56.电阻串

内部参考

AD5628 / AD5648 / AD5668具有片上基准电压源

内部增益为2. AD5628 / AD5648 / AD5668-1具有a

1.25 V, 5 ppm / °C参考电压, 提供2.5 V的满量程输出;

AD5628 / AD5648 / AD5668-2, -3具有2.5 V, 5 ppm / °C

参考, 给出了5伏的全面产出.机载

上电时参考是关闭的, 允许使用外部

参考.内部参考通过写入来启用

控制寄存器(见表8).

与每个部分相关的内部参考可在

VREFOUT引脚.如果参考输出是, 则需要缓冲区

用于驱动外部负载.当使用内部参考时,

建议在两者之间放置一个100 nF的电容

参考输出和GND为参考稳定.

使用时不支持单独的通道关闭

内部参考.

输出放大器

输出缓冲放大器可以产生轨到轨电压其输出，其输出范围为0 V到V_{DD}。该放大器能够并行驱动2kΩ的负载200 pF到GND.输出的源和汇功能放大器可以在图32和图33中看到.摆率为1.5 V / μs，¼至¼标度建立时间为7μs.

串行接口

AD5628 / AD5648 / AD5668具有3线串行接口（SYNC，SCLK和DIN），与SPI，QSPI和MICROWIRE接口标准以及大多数DSP.看到图2是典型写序列的时序图.

写序列通过将SYNC线置为低电平开始.数据从DIN线上移入32位移位寄存器SCLK的下降沿.串行时钟频率可以高如50 MHz，使AD5628 / AD5648 / AD5668兼容高速DSP.在第32次下降时钟边缘，最后一次数据位被输入并且编程的功能被执行，也就是DAC寄存器内容的改变和/或改变操作模式.在这个阶段，可以保持SYNC行低或被拉高.无论哪种情况，都必须提高在下一个写入序列之前至少15 ns，以便a SYNC的下降沿可以启动下一个写入序列.同步在写入序列之间应该是空闲的，甚至更低电源运行的部分.如前所述，然而，SYNC必须在下一个之前再次提高写序列.

表8.命令定义

命令				描述
C3	C2	C1	C0	
0	0	0	0	写入输入寄存器n
0	0	0	1	更新DAC寄存器n
0	0	1	0	写入输入寄存器n，全部更新（软件LDAC）
0	0	1	1	写入并更新DAC通道n
0	1	0	0	关闭/上电DAC
0	1	0	1	加载清除代码寄存器
0	1	1	0	加载LDAC寄存器
0	1	1	1	复位（上电复位）
1	0	0	0	设置内部REF寄存器
1	0	0	1	保留的
-	-	-	-	保留的
1	1	1	1	保留的

表9.地址命令

地址（n）				选定的DAC通道
A3	A2	A1	A0	
0	0	0	0	DAC A
0	0	0	1	DAC B
0	0	1	0	DAC C
0	0	1	1	DAC D
0	1	0	0	DAC E
0	1	0	1	DAC F
0	1	1	0	DAC G
0	1	1	1	DAC H
1	1	1	1	所有的DAC

输入移位寄存器

输入移位寄存器是32位宽。前四位是不在乎。接下来的四位是命令位，C3到C0（见表8），接着是4位DAC地址，A3到A0（参见表8表9），最后是16-/14-/12-位数据字。数据字包括16/14/12位输入码，后面跟着四个，六位或八位不关心AD5668，AD5648和AD5628（见图57至图59）。这些数据位在第32个下降沿被传送到DAC寄存器SCLK的边缘。

SYNC INTERRUPT

在正常的写入序列中，SYNC线保持低电平。SCLK的32个下降沿，DAC在32位更新。SYNC的下降沿和上升沿。但是，如果带有SYNC在第三十二个下降沿之前高，这起到了中断的作用。写序列。移位寄存器复位，写入顺序被视为无效。DAC寄存器内容的更新都不会发生操作模式的改变（见图60）。

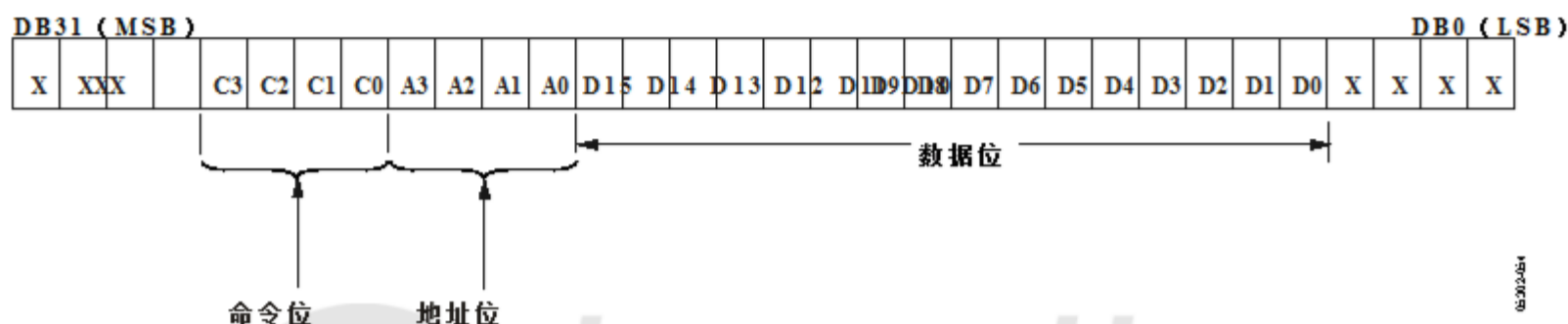


图57. AD5668输入寄存器内容

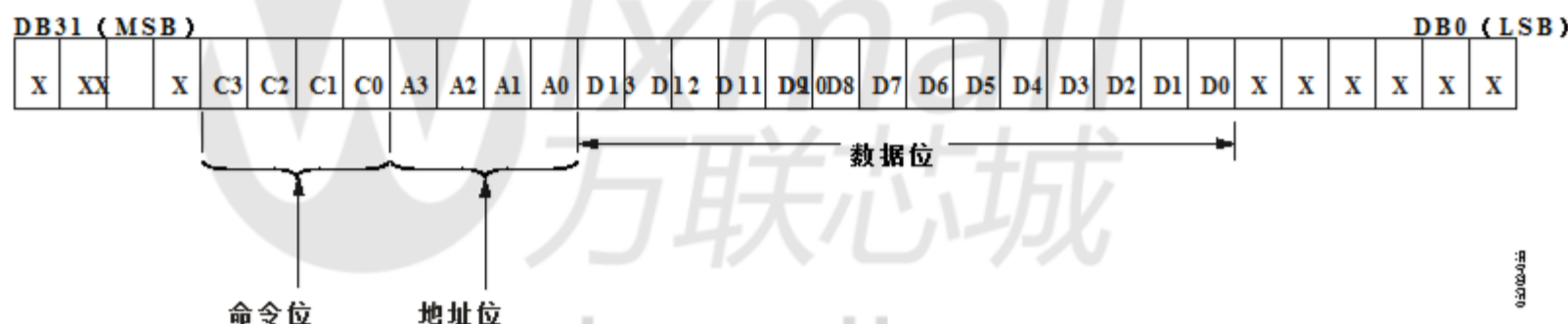


图58. AD5648输入寄存器内容



图59. AD5628输入寄存器内容

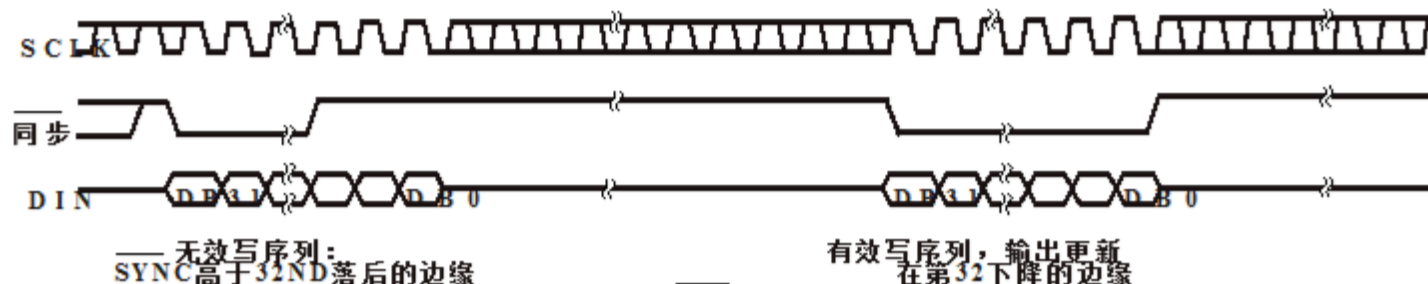


图60. SYNC中断工具

内部参考寄存器

默认情况下,板载参考在上电时关闭.这允许如果应用程序需要使用外部引用.该车载参考可以通过用户程序来打开或关闭,通过设置位DB0为高电平或低电平来设置内部REF REF寄存器表10).命令1000保留用于设置内部REF寄存器(见表8).表12显示了状态如何输入移位寄存器中的位对应于模式设备的操作.

上电复位

AD5628 / AD5648 / AD5668系列包含一个电源复位电路在上电时控制输出电压. AD5628 / AD5648 / AD5668-1, -2 DAC输出上电至0 V, AD5668-3 DAC输出上电至中间电平.该输出保持在这个级别,直到有效的写入对DAC进行序列化.这在应用程序中很有用在哪里知道DAC的输出状态是很重要的而它正处于通电的过程中.还有一个软件可执行复位功能,将DAC重置为开机重置代码.命令0111被保留用于这个复位功能(见表8).开机时在LDAC或CLR上发生的任何事件重置被忽略.

省电模式

AD5628 / AD5648 / AD5668包含四个独立的模式的操作.命令0100保留用于断电功能(见表8).这些模式是软件可编程的通过在控制寄存器中设置位DB9和位DB8两个位.

表12显示了位的状态如何对应于设备的操作模式.任何或所有的DAC(DAC H到DAC A)可以通过设置关闭到选定的模式相应的八位(DB7到DB0)为1.见表13输入移位寄存器的内容在掉电/启动操作.当使用内部参考时,只有所有通道关闭所选模式.

当两个位都设置为0时,该部分正常工作正常功耗在5 V时为1.3 mA.但是,对于三种掉电模式下,电源电流降至0.4 μ A at 5 V(3 V时为0.2 μ A).电源电流不仅下降,而且输出级也从输出端内部切换放大器连接到已知值的电阻网络.这有

优点是部件的输出阻抗是已知的该部分处于掉电模式.有三个不同的选项.输出通过内部连接到GND或者是1k Ω 或100k Ω 的电阻,或者是开路的(三态).输出级如图61所示.

所选DAC的偏置发生器,输出放大器,电阻串,和其他相关的线性电路被关闭.当掉电模式被激活时,断电.内置的只有在所有通道通电的情况下,参考才会关闭下.但是,DAC寄存器的内容不受影响.在关机时.典型情况下,退出关机的时间VDD = 5 V, VDD = 3 V时为4 μ s.如图41所示.

通过设置PD1可以使任何DAC的组合上电和PD0到0(正常操作).输出功率达到输入寄存器中的值(LDAC低)或中的值DAC掉电前寄存器(LDAC高电平).

清除代码寄存器

AD5628 / AD5648 / AD5668具有一个硬件CLR引脚是一个异步清除输入. CLR输入是下降沿敏感.使CLR线低清除的内容输入寄存器和DAC寄存器中包含的数据.用户可配置的CLR寄存器并设置模拟输出.因此.该功能可用于系统校准加载零刻度,中间刻度或全刻度到所有通道.这些通过设置两个位来清除代码值是用户可编程的,CLR控制寄存器中的位DB1和位DB0(见表14).默认设置将输出清除为0 V.命令0101为保留用于加载清除代码寄存器(见表8).

该部分 在下一个下降沿 退出清除编码模式写入部分.如果CLR在写序列中被激活,写入被中止.

CLR脉冲激活时间 - CLR到的下降沿当输出开始变化时 - 通常是280 ns.但是,如果DAC线性区以外,通常需要520 ns对输出执行CLR以开始更改(请参见图51).

输入移位寄存器的内容见表15加载清除代码寄存器操作.

表10.内部参考寄存器

内部REF寄存器 (DB0)	行动
0	关闭参考 (默认)
1	参考

表11.参考设置命令的32位输入移位寄存器内容

MSB										LSB	
DB31到DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19到DB1	DB0	
X	1	0	0	0	X	X	X	X	X	1/0	
不在乎	命令位 (C3到C0)				地址位 (A3到A0) - 不在乎				不在乎	内部REF寄存器	

表12.掉电模式的操作

DB9	DB8	操作模式
0	0	普通手术
0	1	掉电模式
1	0	1kΩ到GND
1	1	100kΩ到GND
1	1	三态

表13.掉电/上电功能的32位输入移位寄存器内容

MSB										LSB									
DB31 至 DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19 至 DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
X	0	1	0	0	X	X	X	X	X	PD1	PD0	DAC _H	DAC _G	DAC _F	DAC _E	DAC _d	DAC _C	DAC _B	DAC _A
别管它	命令位（C3到C0）				地址位（A3到A0） - 不在乎				别管它	功率 - 下拉模式		掉电/上电通道选择位设置为1以选择							

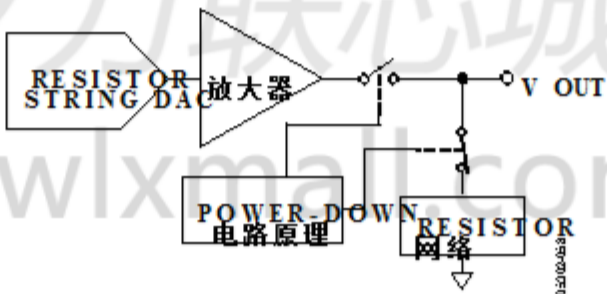


图61.掉电期间的输出级

表14.清除代码寄存器

清除代码寄存器		清除代码
DB1	DB0	
CR1	CR0	
0	0	为0x0000
0	1	为0x8000
1	0	为0xFFFF
1	1	没有操作

表15.清除代码功能的32位输入移位寄存器内容

MSB										LSB	
DB31到DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19到DB2	DB1	DB0
X	0	1	0	1	X	X	X	X	X	CR1	CR0
不在乎	命令位 (C3到C0)				地址位 (A3到A0) - 不在乎				不在乎	清除代码寄存器	

LDAC功能

所有DAC的输出可以同时使用更新硬件LDAC引脚。

同步LDAC：读取新数据后，DAC寄存器在第32个SCLK脉冲的下降沿更新。LDAC可以如图2所示持续低电平或脉冲。

异步LDAC：输出不会相同更新输入寄存器被写入的时间。当LDAC去低，DAC寄存器更新的内容输入寄存器。

或者，所有DAC的输出可以更新simultaneously通过写入输入来使用软件LDAC功能寄存器n并更新所有DAC寄存器。命令0011是为此软件LDAC功能保留。

LDAC寄存器给予用户额外的灵活性和控制通过硬件LDAC引脚。这个寄存器允许用户选择要同时更新的通道组合。当硬件LDAC引脚被执行时，设置LDAC位注册为0的DAC通道意味着这个通道的更新由LDAC引脚控制。如果这个位设置为1，这个通道更新同步；也就是说，DAC寄存器被更新在读取新数据之后，不管LDAC引脚的状态如何。它有效地将LDAC引脚视为低电平。（见表16为LDAC寄存器的操作模式。）这种灵活性是在用户想要同时使用的应用程序中很有用更新选择频道，而其余频道同步更新。

使用命令0110写入DAC将加载8位LDAC寄存器（DB7到DB0）。每个通道的默认值是0，也就是说，LDAC引脚正常工作。将这些位设置为1意味着无论LDAC的状态如何，DAC通道都会更新。

销。输入移位寄存器的内容见表17。在加载LDAC寄存器操作模式期间。

电源旁路和接地

精确度在电路中很重要时，要慎重考虑电路板上的电源和接地回路布局。包含AD5628 / AD5648 / AD5668应该有独立的模拟和数字部分。如果AD5628 / AD5648 / AD5668处于其他器件的系统中，需要一个AGND到DGND连接，连接应该只能在一个点上制作。这个地点应该一样接近，尽可能连接到AD5628 / AD5648 / AD5668。

AD5628 / AD5648 / AD5668的电源应该用10μF和0.1μF电容旁路。电容器应该尽可能的靠近设备，理想情况下，0.1μF电容器正对着设备。10μF电容器是钽珠型。这是重要的。0.1μF电容器的有效串联电阻（ESR）和低有效串联电感（ESL）等典型的常见的陶瓷类型的电容器。这个0.1μF的电容器为高频提供了一条接地的低阻抗路径，由内部逻辑开关引起的瞬态电流引起的。

电源线应该有尽可能大的痕迹，提供一个低阻抗路径，并减少毛刺的影响。供应线、时钟和其他快速切换数字信号应该通过数字地线屏蔽其他部分。避免如果可能的话，数字和模拟信号的交叉。当痕迹在板的两侧交叉，确保它们正确运行。角度彼此减少通过效果通过板。最好的电路板布局技术是微带线技术，其中板的组件侧专用于地面。只有平面，并且信号迹线被放置在焊料侧。但是，这对于2层板来说并不总是可行的。

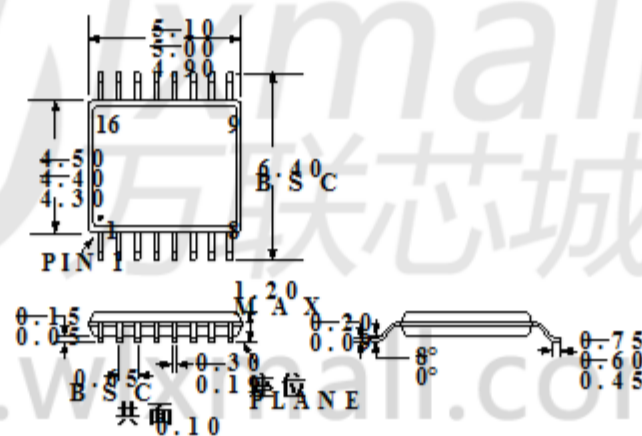
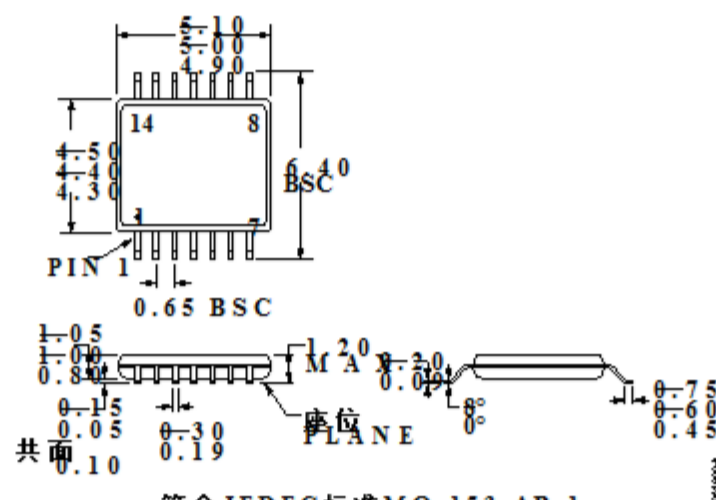
表16. LDAC寄存器

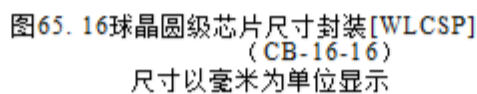
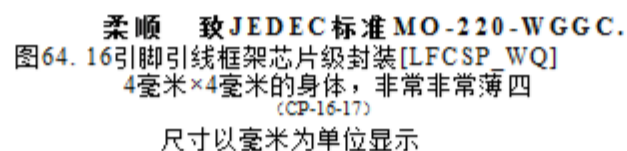
加载DAC寄存器		LDAC行动
LDAC位（DB7到DB0）	LDAC引脚	
0	1 / 0	由LDAC引脚决定。
1	X不在乎	DAC通道更新，覆盖LDAC引脚。DAC通道将LDAC视为0。

表17. LDAC寄存器功能的32位输入移位寄存器内容

MSB										LSB									
DB31至DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19至DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
X	0	1	1	0	X	X	X	X	X	DAC H	DAC G	DAC F	DAC E	DAC d	DAC C	DAC B	DAC A		
别管它	命令位（C3到C0）				地址位（A3到A0） - 不在乎				别管它	将LDAC位设置为1将覆盖LDAC引脚									

外形尺寸





订购指南

型号1	温度范围	包装说明	包选项	打开重置为代码	准确性	内部参考
AD5628BRUZ-1	-40°C至+ 105°C	14引脚TSSOP	RU-14	零	±1 LSB INL	1.25 V
AD5628BRUZ-1REEL7	-40°C至+ 105°C	14引脚TSSOP	RU-14	零	±1 LSB INL	1.25 V
AD5628BRUZ-2	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±1 LSB INL	2.5 V
AD5628BRUZ-2REEL7	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±1 LSB INL	2.5 V
AD5628ARUZ-2	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±2 LSB INL	2.5 V
AD5628ARUZ-2REEL7	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±2 LSB INL	2.5 V
AD5628ACPZ-1-RL7	-40°C至+ 105°C	16引脚LFCSP_WQ	CP-16-17	零	±2 LSB INL	1.25 V
AD5628ACPZ-2-RL7	-40°C至+ 105°C	16引脚LFCSP_WQ	CP-16-17	零	±2 LSB INL	2.5 V
AD5628BCPZ-2-RL7	-40°C至+ 105°C	16引脚LFCSP_WQ	CP-16-17	零	±1 LSB INL	2.5 V
AD5628BCBZ-1-RL7	-40°C至+ 105°C	16引脚WLCSP	CB-16-16	零	±1 LSB INL	1.25 V
AD5648BRUZ-1	-40°C至+ 105°C	14引脚TSSOP	RU-14	零	±4 LSB INL	1.25 V
AD5648BRUZ-1REEL7	-40°C至+ 105°C	14引脚TSSOP	RU-14	零	±4 LSB INL	1.25 V
AD5648BRUZ-2	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±4 LSB INL	2.5 V
AD5648BRUZ-2REEL7	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±4 LSB INL	2.5 V
AD5648ARUZ-2	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±8 LSB INL	2.5 V
AD5648ARUZ-2REEL7	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±8 LSB INL	2.5 V
AD5668BRUZ-1	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±16 LSB INL	1.25 V
AD5668BRUZ-1REEL7	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±16 LSB INL	1.25 V
AD5668BRUZ-2	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±16 LSB INL	2.5 V
AD5668BRUZ-2REEL7	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±16 LSB INL	2.5 V
AD5668BRUZ-3	-40°C至+ 105°C	16引脚TSSOP	RU-16	里程	±16 LSB INL	2.5 V
AD5668BRUZ-3REEL7	-40°C至+ 105°C	16引脚TSSOP	RU-16	里程	±16 LSB INL	2.5 V
AD5668ARUZ-2	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±32 LSB INL	2.5 V
AD5668ARUZ-2REEL7	-40°C至+ 105°C	16引脚TSSOP	RU-16	零	±32 LSB INL	2.5 V
AD5668ARUZ-3	-40°C至+ 105°C	16引脚TSSOP	RU-16	里程	±32 LSB INL	2.5 V
AD5668ARUZ-3REEL7	-40°C至+ 105°C	16引脚TSSOP	RU-16	里程	±32 LSB INL	2.5 V
AD5668BCPZ-1-RL7	-40°C至+ 105°C	16引脚LFCSP_WQ	CP-16-17	零	±16 LSB INL	1.25 V
AD5668BCPZ-1500RL7	-40°C至+ 105°C	16引脚LFCSP_WQ	CP-16-17	零	±16 LSB INL	1.25 V
AD5668BCPZ-2-RL7	-40°C至+ 105°C	16引脚LFCSP_WQ	CP-16-17	零	±16 LSB INL	2.5 V
AD5668BCPZ-2500RL7	-40°C至+ 105°C	16引脚LFCSP_WQ	CP-16-17	零	±16 LSB INL	2.5 V
AD5668ACPZ-2-RL7	-40°C至+ 105°C	16引脚LFCSP_WQ	CP-16-17	零	±32 LSB INL	2.5 V
AD5668ACPZ-3-RL7	-40°C至+ 105°C	16引脚LFCSP_WQ	CP-16-17	里程	±32 LSB INL	2.5 V
AD5668BCBZ-1-RL7	-40°C至+ 105°C	16引脚WLCSP	CB-16-16	零	±16 LSB INL	1.25 V
EVAL-AD5668SDCZ		LFCSP评估板				
EVAL-AD5668SDRZ		TSSOP评估板				

1Z =符合RoHS标准的部分。

笔记



笔记



笔记

