



STM32F100x4 STM32F100x6 STM32F100x8 STM32F100xB

低密度和中密度值线，先进的基于ARM的32位MCU
具有16至128 KB闪存，12个定时器，ADC，DAC和8通讯接口

初步数据

特征

■ 内核：ARM 32位Cortex™-M3 CPU

- 最大频率为24 MHz，
1.25 DMIPS / MHz (Dhrystone 2.1)
性能
- 单周期乘法和硬件
师

记忆

- 16到128 KB闪存
- 4到8 KB的SRAM

■ 时钟，复位和电源管理

- 2.0到3.6 V的应用电源和I / O
- POR，PDR和可编程电压
检测器 (PVD)
- 4至24 MHz晶体振荡器
- 内部8 MHz工厂调整RC
- 内部40 kHz RC
- 用于CPU时钟的PLL
- 具有校准功能的RTC的32 kHz振荡器

■ 低功耗

- 睡眠，停止和待机模式
- V RTC和备用寄存器的BAT电源

■ 调试模式

- 串行线调试 (SWD) 和JTAG
接口

■ DMA

- 7通道DMA控制器
- 支持外设：定时器，ADC，SPI，
I2Cs，USART和DAC

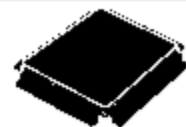
■ 1×12位，1.2μsA/D转换器 (最多16个) 频道)

- 转换范围：0至3.6 V
- 温度感应器

■ 2×12位D/A转换器

■ 多达80个快速I/O端口

- 37/51/80 I/O，可以在16个外部映射
中断向量和几乎所有5 V容忍



LQFP100 14×14毫米
LQFP64 10×10毫米
LQFP48 7×7毫米



TFBGA64 (5×5mm)

■ 多达12个定时器

- 最多三个16位定时器，每个定时器最多为4个
IC / OC / PWM或脉冲计数器
- 16位，6通道高级控制定时器：
最多6个通道用于PWM输出，死区
时代和紧急停止
- 一个16位定时器，带2个IC / OC，1个
OCN / PWM，死区时间生成和
紧急停止
- 两个16位定时器，每个都有
IC / OC / OCN / PWM，死区时间生成
并紧急停止
- 2个看门狗定时器 (独立和
窗口)
- SysTick定时器：24位下位机
- 两个16位基本定时器来驱动DAC

■ 多达8个通讯接口

- 最多两个I2C接口 (SMBus / PMBus)
- 最多3个USART (ISO 7816接口，LIN，
IrDA功能，调制解调器控制)
- 最多2个SPI (12 Mbit / s)
- 消费电子控制 (CEC)
接口

■ CRC计算单元，96位唯一ID

■ ECOPACK® 包装

表格1. 设备摘要

参考	零件号
STM32F100x4	STM32F100C4, STM32F100R4
STM32F100x6	STM32F100C6, STM32F100R6
STM32F100x8	STM32F100C8, STM32F100R8, STM32F100V8
STM32F100xB	STM32F100CB, STM32F100RB, STM32F100VB

内容

1	介绍	9
2	说明	10
2.1	设备概述	11
2.2	概述	14
2.2.1	具有嵌入式闪存和SRAM的ARM®Cortex™-M3内核	14
2.3	嵌入式闪存	14
2.4	CRC（循环冗余校验）计算单元	14
2.5	嵌入式SRAM	14
2.6	嵌套矢量中断控制器（NVIC）	15
2.7	外部中断/事件控制器（EXTI）	15
2.8	时钟和启动	15
2.9	启动模式	15
2.10	供电方案	16
2.11	供电主管	16
2.12	电压调节器	16
2.13	低功耗模式	16
2.14	DMA	17
2.15	RTC（实时时钟）和备份寄存器	17
2.16	计时器和看门狗	17
2.16.1	高级控制定时器（TIM1）	18
2.16.2	通用定时器（TIM2，TIM3，TIM4，TIM15，TIM16和TIM17）	18
2.16.3	基本定时器TIM6和TIM7	19
2.16.4	独立看门狗	19
2.16.5	窗口看门狗	19
2.16.6	SysTick计时器	20
2.17	I²C总线	20
2.18	通用同步/异步接收发射机（USART）	20
2.19	串行外设接口（SPI）	20
2.20	HDMI（高清多媒体接口）消费者 电子控制（CEC）	20
2.21	GPIO（通用输入/输出）	21

2.22	重映射能力	21
2.23	ADC (模拟 - 数字转换器)	21
2.24	DAC (数模转换器)	21
2.25	温度感应器	22
2.26	串行线JTAG调试端口 (SWJ-DP)	22
3	引脚分布和引脚描述	23
4	内存映射	三十
五	电气特性	31
5.1	参数条件	31
5.1.1	最小值和最大值	31
5.1.2	典型值	31
5.1.3	典型曲线	31
5.1.4	加载电容	31
5.1.5	引脚输入电压	31
5.1.6	供电方案	32
5.1.7	电流消耗测量	33
5.2	绝对最大额定值	33
5.3	运行条件	34
5.3.1	一般操作条件	34
5.3.2	上电/掉电时的工作条件	35
5.3.3	嵌入式复位和功率控制块特性	35
5.3.4	嵌入参考电压	37
5.3.5	供电电流特性	37
5.3.6	外部时钟源特性	44
5.3.7	内部时钟源特性	49
5.3.8	PLL特性	50
5.3.9	记忆特征	51
5.3.10	EMC特性	52
5.3.11	绝对最大额定值 (电气灵敏度)	53
5.3.12	I/O端口特性	54
5.3.13	NRST引脚特性	59
5.3.14	TIMx特性	60
5.3.15	通讯接口	60

5.3.16	12位ADC特性.....	65
5.3.17	DAC电气规格.....	70
5.3.18	温度传感器特性.....	71
6	包装特点.....	73
6.1	包装机械数据.....	73
6.2	热特性.....	79
6.2.1	参考文件.....	79
6.2.2	选择产品温度范围.....	80
7	订购信息方案.....	82
8	修订记录.....	83



表格清单

表格1.	设备摘要.....	1
表2.	STM32F100xx功能和外设计数.....	11
表3.	定时器功能比较.....	18
表4.	STM32F100xx引脚定义.....	25
表5.	电压特性.....	33
表6.	电流特性.....	34
表7.	热特性.....	34
表8.	一般操作条件.....	34
表9.	上电/掉电时的工作条件.....	35
表10.	嵌入式复位和功率控制块特性.....	36
表11.	嵌入式内部参考电压.....	37
表12.	运行模式下的最大电流消耗, 带数据处理的代码 从Flash运行.....	38
表13.	运行模式下的最大电流消耗, 带数据处理的代码 从RAM运行.....	38
表14.	STM32F100xxB在睡眠模式下的最大电流消耗, 代码 从Flash或RAM运行.....	39
表15.	停止和待机模式下的典型和最大电流消耗.....	40
表16.	典型电流消耗在运行模式下, 代码与数据处理 从Flash运行.....	42
表17.	在休眠模式下的典型电流消耗, 从Flash或RAM运行的代码.....	43
表18.	外围电流消耗.....	44
表19.	高速外部用户时钟特性.....	45
表20.	低速外部用户时钟特性.....	45
表21.	HSE 4-24 MHz振荡器特性.....	47
表22.	LSE振荡器特性 (fLSE = 32.768 kHz).....	48
表23.	HSI振荡器特性.....	49
表24.	LSI振荡器特性.....	49
表25.	低功耗模式唤醒时序.....	49
表26.	PLL特性.....	50
表27.	闪存特性.....	51
表28.	闪存耐久性和数据保留.....	51
表29.	EMS特点.....	52
表30.	EMI特性.....	53
表31.	ESD绝对最大额定值.....	53
表32.	电敏感.....	53
表33.	I/O静态特性.....	54
表34.	输出电压特性.....	57
表35.	I/O交流特性.....	58
表36.	NRST引脚特性.....	59
表37.	TIMx特性.....	60
表38.	I2C特性.....	61
表39.	SCL频率 (fPCLK1 = 24MHz, VDD = 3.3V).....	62
表40.	SPI特性.....	63
表41.	ADC特性.....	66
表42.	fADC的最大值为 RA = 12 MHz.....	67
表43.	ADC精度 - 测试条件有限.....	67
表44.	ADC精度.....	67

表45	DAC特性.....	70
表46	TS特性.....	72
表47	LQPF100 - 14 x 14 mm, 100引脚薄型四方扁平封装机械数据.....	74
表48	LQFP64 - 10 x 10 mm, 64引脚低调四边形封装机械数据.....	75
表49	TFBGA64 - 8 x 8有源球阵列, 5 x 5 mm, 0.5 mm间距, 封装机械数据... ..	76
表50	LQFP48 - 7 x 7 mm, 48引脚低调四方扁平封装机械数据.....	78
表51	封装热特性.....	79
表52	订购信息方案.....	82
表53	文件修订历史.....	83



数字列表

图1.	STM32F100xx值线框图	12
图2.	时钟树	13
图3.	STM32F100xx值线LQFP100引脚排列	23
图4.	STM32F100xx值线LQFP64引脚	24
图5.	STM32F100xx值线LQFP48引脚	24
图6.	STM32F100xx值线TFBGA64投票	25
图7.	记忆图	三十
图8.	针加载条件	32
图9.	引脚输入电压	32
图10.	供电方案	32
图11.	电流消耗测量方案	33
图12.	运行模式下的最大电流消耗与频率 (3.6 V) - 数据处理从RAM运行, 外设启用	39
图13.	运行模式下的最大电流消耗与频率 (3.6 V) - 数据处理从RAM运行的代码, 外设禁用	39
图14.	在运行模式下, 调节器的停止模式下的典型电流消耗 VDD = 3.3 V和3.6 V时的温度	40
图15.	低功耗模式下稳压器的停止模式下的典型电流消耗 VDD = 3.3 V和3.6 V时的温度	41
图16.	待机模式下的典型电流消耗与VDD = 3.3 V时的温度相关 3.6 V	41
图17.	高速外部时钟源交流时序图	46
图18.	低速外部时钟源交流时序图	46
图19.	典型应用与8 MHz晶体	47
图20.	具有32.768 kHz晶体的典型应用	48
图21.	标准I/O输入特性 - CMOS端口	55
图22.	标准I/O输入特性 - TTL端口	55
图23.	5 V容差I/O输入特性 - CMOS端口	56
图24.	5 V容差I/O输入特性 - TTL端口	56
图25.	I/O AC特性定义	59
图26.	推荐NRST引脚保护	59
图27.	I2C总线交流波形和测量电路 (1)	62
图28.	SPI时序图 - 从模式和CPHA = 0	64
图29.	SPI时序图 - 从模式和CPHA = 1 (1)	64
图30.	SPI时序图 - 主模式 (1)	65
图31.	ADC精度特性	68
图32.	使用ADC的典型连接图	68
图33.	电源和参考去耦 (VREF + 未连接到VDDA)	69
图34.	电源和参考去耦 (VREF + 连接到VDDA)	69
图35.	12位缓冲/非缓冲DAC	71
图36.	LQFP100, 14 x 14 mm, 100引脚低调四边形扁平封装外形	74
图37.	推荐足迹 (1)	74
图38.	LQFP64 - 10 x 10 mm, 64针低调四边形扁平封装外形	75
图39.	推荐足迹 (1)	75
图40.	TFBGA64 - 8 x 8有源球阵列, 5 x 5 mm, 0.5 mm间距, 封装外形	76
图41.	推荐用于焊盘的PCB设计规则 (0.5 mm间距BGA)	77
图42.	LQFP48 - 7 x 7 mm, 48针低调四边形 包装大纲	78

图43.	推荐足迹 (1)	78
图44.	LQFP100 PD max vs. T A.	81



1 介绍

本数据表提供了订购信息和机械特性

STM32F100x4, STM32F100x6, STM32F100x8和STM32F100xB值行

微控制器.在文档的其余部分, STM32F100x4和STM32F100x6是

简称为STM32F100x8和STM32F100xB的低密度器件

被确定为中密度器件.

STM32F100xx数据表应与低, 中,

密度STM32F100xx参考手册.

有关编程, 擦除和保护内部闪存的信息

请参考STM32F100xx Flash编程手册.

参考和Flash编程手册都可以从

意法半导体网站www.st.com.

有关Cortex™-M3内核的信息, 请参阅Cortex™-M3技术

参考手册, 可从www.arm.com网站获取, 地址如下:

<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0337e/>.



2 描述

STM32F100xx系列产品采用高性能ARM Cortex™-M3

32位RISC内核以24 MHz频率运行，高速嵌入式存储器（Flash）

内存高达128 KB，SRAM高达8 KB），以及广泛的增强功能

外设和I/O连接到两个APB总线。所有设备都提供标准通信

接口（最多两个I2Cs，两个SPI，一个HDMI CEC和最多三个USART），一个12位

ADC，两个12位DAC，多达六个通用16位定时器和高级控制

PWM定时器。

STM32F100xx中低密度线路系列工作在-40至+85°C

和-40至+105°C的温度范围，从2.0到3.6 V电源。一个全面的

一套省电模式允许设计低功耗应用。

STM32F100xx系列产品包括三种不同封装的器件

从48针到100针。根据所选择的设备，不同的外设集合

包括，下面的描述概述了外围设备的完整范围

在这个家庭中提出。

这些特性使STM32F100xx的价值线微控制器系列适用于广泛

适用范围：

- 应用程序控制和用户界面
- 医疗和手持设备
- PC外设，游戏机和GPS平台
- 工业应用：PLC，逆变器，打印机和扫描仪
- 报警系统，视频对讲和暖通空调

图1显示了器件系列的一般框图。

www.wlxmall.com

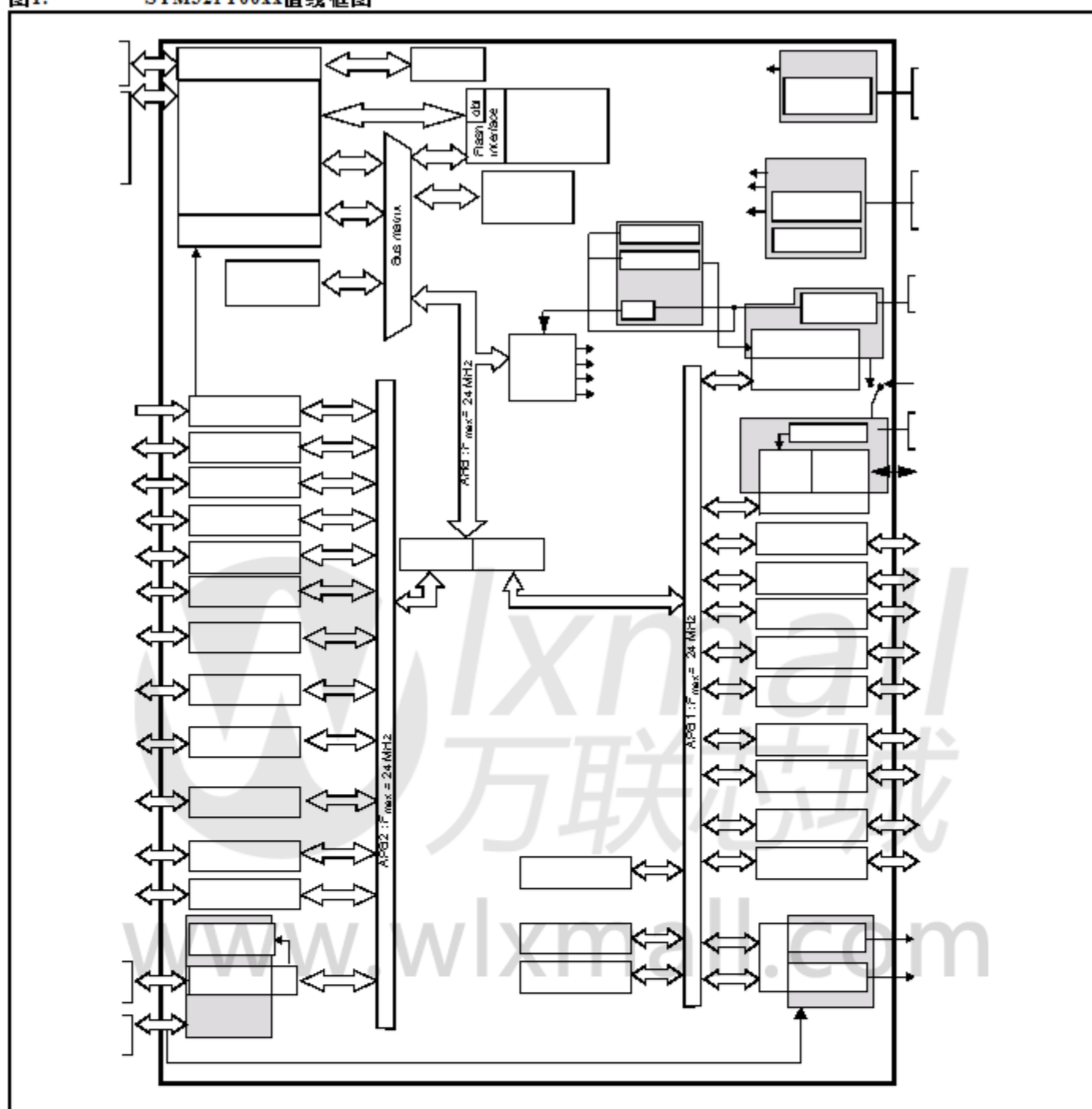
2.1 设备概述

表2. STM32F100xx功能和外设计数

外围设备		STM32F100Cx				STM32F100Rx				STM32F100Vx	
闪存 - 千字节		16	32	64	128	16	32	64	128	64	128
SRAM - Kbytes		4	488			448			8	8	8
计时器	先进的控制	11				11				1	
	一般用途	5 (1)		65 (1)				66			
通讯接口	SPI	1 (2)		21 (2)				22			
	I2C	1 (3)		21 (3)				22			
	USART	2 (4)		32 (4)				33			
	CEC	1									
12位同步ADC		1				1				1	
通道数		10个通道				16个通道				16个通道	
个GPIO		37				51				80	
12位DAC		2									
通道数		2									
CPU频率		24 MHz									
工作电压		2.0至3.6 V									
工作温度		环境工作温度: -40至+85°C / -40至+105°C (见表8) 结温: -40至+125°C (见表8)									
包		LQFP48				LQFP64, TFBGA64				LQFP100	

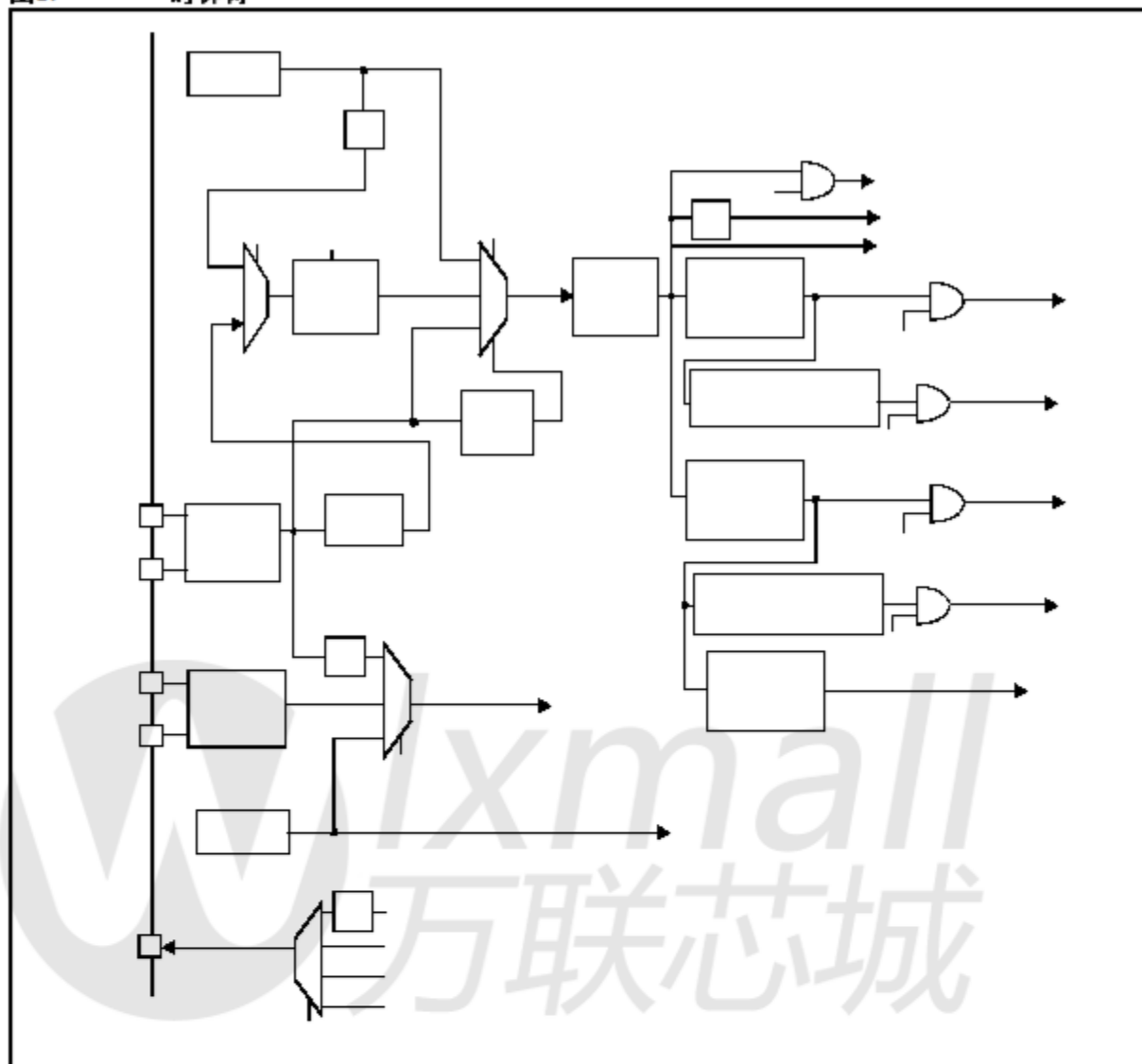
1. TIM4不存在
2. SPI2不存在
3. I2C2不存在
4. USART3不存在

图1. STM32F100xx值线框图



1. 外围设备不存在于低密度值线路设备中。
2. AF = I / O端口引脚上的备用功能。
3. T A = -40°C至+85°C (结温高达105°C) 或T A = -40°C至+105°C (结温高达125°C) 。

图2. 时钟树



4. 要使ADC转换时间为1.2 μ s, APB2必须在24 MHz.

2.2 概观

2.2.1 具有嵌入式闪存和SRAM的ARM®Cortex™-M3内核

ARM Cortex™-M3处理器是嵌入式的最新一代ARM处理器系统.它已经开发出来提供一个满足MCU需求的低成本平台实现,减少引脚数和低功耗,同时交付出色的计算性能和对中断的高级系统响应.

ARM Cortex™-M3 32位RISC处理器具有卓越的代码效率,通过ARM内核提供高性能预期的内存大小与8位和16位器件相关联.

因此,具有嵌入式ARM内核的STM32F100xx系列产品系列兼容所有ARM工具和软件.

2.3 嵌入式闪存

高达128 KB的嵌入式闪存可用于存储程序和数据.

2.4 CRC (循环冗余校验) 计算单元

CRC (循环冗余校验) 计算单元用于从32位获取CRC码数据字和固定的生成多项式.

在其他应用中,基于CRC的技术用于验证数据传输存储完整性.在EN / IEC 60335-1标准的范围内,它们提供了一种方法验证闪存完整性. CRC计算单元有助于计算签名在运行期间的软件,与链接时生成的参考签名进行比较,时间并存储在给定的存储位置.

2.5 嵌入式SRAM

以CPU等待时钟速度访问高达8 KB的嵌入式SRAM (读/写) 状态.

2.6 嵌套矢量中断控制器 (NVIC)

STM32F100xx值行嵌入一个嵌套向量中断控制器，能够处理多达41个可屏蔽中断通道（不包括Cortex™-M3的16个中断线和16个优先级）。

- 紧密耦合的NVIC提供低延迟中断处理
- 中断条目向量地址直接传递给核心
- 紧密耦合的NVIC核心接口
- 允许早期处理中断
- 处理晚到高优先级中断
- 支持尾链
- 处理器状态自动保存
- 中断条目在中断退出时恢复，没有指令开销

该硬件块提供灵活的中断管理功能，具有最少的中断潜伏。

2.7 外部中断/事件控制器 (EXTI)

外部中断/事件控制器由用于生成的18个边缘检测器线组成。中断/事件请求每行可以独立配置以选择触发事件（上升沿，下降沿，两者），可以独立屏蔽待处理的注册保持中断请求的状态。EXTI可以用a检测外线脉冲宽度短于内部APB2时钟周期。最多可连接80个GPIO到16个外部中断线。

2.8 时钟和启动

系统时钟选择在启动时执行，但内部RC 8 MHz振荡器是选择为默认CPU时钟复位。可以选择一个外部4-24 MHz时钟在何种情况下，它被监控失败。如果检测到故障，系统自动切换回到内部RC振荡器。如果启用了软件中断，同样，充分必要时可以进行PLL时钟输入的中断管理（例如，on间接使用的外部晶体，谐振器或振荡器的故障）。

几个预分频器允许配置AHB频率，高速APB（APB2）和低速APB（APB1）域。最高频率的AHB和APB域为24 MHz。

2.9 启动模式

启动时，引导引脚用于选择三个引导选项之一：

- 从用户Flash引导
- 从系统内存引导
- 从嵌入式SRAM引导

引导加载程序位于系统内存中。它用于重新编程Flash存储器使用USART1。详情请参考AN2606。

2.10 供电方案

- $V_{DD} = 2.0$ 至 3.6 V: I/O和内部稳压器的外部电源. 通过 V_{DD} 引脚 外部提供 .
- V_{SSA} , $V_{DDA} = 2.0$ 至 3.6 V: ADC, 复位块, RC的外部模拟电源和PLL (使用ADC时, 施加到 V_{DDA} 的最小电压 为 2.4 V) . V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} .
- $V_{BAT} = 1.8$ 至 3.6 V: RTC电源, 外部时钟 32 kHz振荡器和备份当 V_{DD} 不存在时, 寄存器 (通过电源开关) .

2.11 供电主管

该器件具有集成上电复位 (POR) /掉电复位 (PDR) 电路.它是始终处于活动状态, 并确保从/从低到 2 V的正常操作.设备保留当 V_{DD} 低于指定阈值时, 在复位模式下, V_{POR}/PDR , 不需要外部复位电路.

该器件具有嵌入式可编程电压检测器 (PVD), 可以监控 V_{DD}/V_{DDA} 电源, 并将其与 V_{PVD} 阈值 进行比较. 一个中断可以当 V_{DD}/V_{DDA} 低于 V_{PVD} 阈值时和/或当 V_{DD}/V_{DDA} 较高时产生比 V_{PVD} 阈值. 然后中断服务程序就会产生警告消息和/或将MCU置于安全状态. PVD由软件启用.

2.12 电压调节器

调节器有三种操作模式: 主 (MR), 低功率 (LPR) 和掉电.

- MR用于标称调节模式 (Run)
- LPR用于停止模式
- 在待机模式下使用掉电: 稳压器输出为高阻抗: 内核电路掉电, 引起零消耗 (但内容为寄存器和SRAM丢失)

复位后总是使能该调节器.在待机模式下禁用, 提供高电平阻抗输出.

2.13 低功耗模式

STM32F100xx数据线支持三种低功耗模式, 以达到最佳低功耗, 启动时间短和可用的唤醒之间的妥协来源:

- 睡眠模式
在休眠模式下, 只有CPU停止.所有外设都可以继续运行中断/事件发生时唤醒CPU.
- 停止模式
停止模式在保留内容的同时实现最低功耗 SRAM和寄存器. 1.8 V域中的所有时钟都被停止, PLL, HSI RC 并且HSE晶体振荡器被禁用.电压调节器也可放置 在正常或低功率模式下.

可以通过任何EXTI行从停止模式唤醒设备。EXTI行源可以是16条外线之一，PVD输出或RTC报警。

- 待机模式

待机模式用于实现最低功耗。内置的关闭电压调节器，使整个1.8 V域断电。该PLL，HSI RC和HSE晶体振荡器也被关闭。进入后待机模式，SRAM和寄存器内容丢失，但备份中的寄存器除外域和待机电路。

外部复位（NRST引脚），IWDG复位时，器件退出待机模式WKUP引脚上升沿，或发生RTC报警。

注意： RTC，IWDG和相应的时钟源不会通过进入Stop来停止或待机模式。

2.14 DMA

灵活的7通道通用DMA能够管理内存到内存，外设到内存和内存到外设的传输。DMA控制器支持循环缓冲管理避免了当控制器产生中断到达缓冲区的末尾。

每个通道都连接到专用硬件DMA请求，并支持软件触发每个通道。配置由软件和传输大小之间进行源和目的地是独立的。

DMA可用于主要外设：SPI，DAC，I2C，USART，所有定时器和ADC。

2.15 RTC（实时时钟）和备份寄存器

RTC和备用寄存器是通过开启电源的开关提供的VDD电源存在或通过VBAT引脚。备份寄存器是十个16位。当VDD电源不存在时，寄存器用于存储20个字节的用户应用数据。

实时时钟提供了一套连续运行的计数器，可与之配合使用适合软件提供时钟日历功能，并提供报警中断和周期性中断。它采用32.768 kHz外部晶振，谐振器或振荡器内部低功耗RC振荡器或高速外部时钟除以128。内部低功耗RC的典型频率为40 kHz。可以使用RTC进行校准外部512 Hz输出，以补偿任何天然晶体偏差。RTC具有32位可编程计数器，可使用Compare进行长期测量注册以产生报警。一个20位的预分频器用于时基时钟默认配置为从32.768 kHz的时钟生成1秒的时基。

2.16 计时器和看门狗

STM32F100xx器件包括一个高级控制定时器，六个通用定时器，两个基本定时器和两个看门狗定时器。

表3比较了高级控制，通用和基本定时器的功能。

表3. 定时器功能比较

计时器	计数器 解析度	计数器 类型	预分频器 因子	DMA请求 代	捕获/比较 渠道	补充 输出
TIM1	16位	向上, 下, 向上/向下	任何整数 介于1之间 和65536	是	4	是
TIM2, TIM3, TIM4	16位	向上, 下, 向上/向下	任何整数 介于1之间 和65536	是	4	没有
TIM15	16位	向上	任何整数 介于1之间 和65536	是	2	是
TIM16, TIM17	16位	向上	任何整数 介于1之间 和65536	是	1	是
TIM6, TIM7	16位	向上	任何整数 介于1之间 和65536	是	0	没有

2.16.1 高级控制定时器 (TIM1)

高级控制定时器 (TIM1) 可以看作是6路三相PWM复用通道.它具有互补的PWM输出, 具有可编程的插入死区时间.它也可以看作是一个完整的通用定时器. 4个独立通道可以用于:

- 输入捕捉
- 输出比较
- PWM生成 (边沿或中心对齐模式)
- 单脉冲模式输出

如果配置为标准16位定时器, 它具有与TIMx定时器相同的功能. 如果配置为16位PWM发生器, 具有完全调制能力 (0-100%) .

计数器可以在调试模式下冻结.

许多功能与具有相同功能的标准TIM定时器共享建筑.因此, 高级控制定时器可以通过TIM定时器一起工作. 定时器链接功能用于同步或事件链接.

2.16.2 通用定时器 (TIM2, TIM3, TIM4, TIM15, TIM16和TIM17)

在STM32F100xx中嵌入了6个可同步的通用定时器设备 (见表3的差异). 每个通用计时器都可以用来生成PWM输出, 或简单的时基.

TIM2, TIM3, TIM4

STM32F100xx器件具有三个可同步的4通道通用定时器. 这些定时器基于16位自动重新加载/下载计数器和16位预分频器. 它们具有4个独立通道, 用于输入捕捉/输出比较, PWM或单通道,



脉冲模式输出.这样可以提供12个输入捕捉/输出比较/ PWM
最大包装

TIM2, TIM3, TIM4通用定时器可以与TIM1一起工作
高级控制定时器通过定时器链接功能进行同步或事件链接.

TIM2, TIM3, TIM4都有独立的DMA请求生成.

这些定时器能够处理正交(增量)编码器信号
1到3个霍尔效应传感器的数字输出.

他们的计数器可以在调试模式下冻结.

TIM15, TIM16和TIM17

这些定时器基于16位自动重新上载计数器和16位预分频器.

TIM15有两个独立的通道, 而TIM16和TIM17具有一个独立的通道
通道用于输入捕捉/输出比较, PWM或单脉冲模式输出.

TIM15, TIM16和TIM17定时器可以一起工作, TIM15也可以使用
TIM1通过定时器链接功能进行同步或事件链接.

TIM15可以与TIM16和TIM17同步.

TIM15, TIM16和TIM17具有产生死区时间的补充输出
独立的DMA请求生成

他们的计数器可以在调试模式下冻结.

2.16.3 基本定时器TIM6和TIM7

这些定时器主要用于DAC触发器的生成.它们也可以作为一个
通用16位时基.

2.16.4 独立看门狗

独立看门狗基于12位向下计数器和8位预分频器.它是
来自独立的40 kHz内部RC, 并且独立于
主时钟, 它可以在停止和待机模式下工作.它可以用作看门狗
发生问题时重置设备, 或者作为应用程序超时的自由运行定时器
管理.它是通过选项字节进行的硬件或软件配置.柜台
可以在调试模式下冻结.

2.16.5 窗口看门狗

窗口看门狗基于可以设置为免费运行的7位下位机.它
可以用作看门狗在出现问题时重置设备.它是从时钟
主时钟它具有早期警告中断功能, 计数器可以冻结
调试模式.

2.16.6 SysTick计时器

该定时器专用于操作系统，但也可以用作标准递减计数器。它特征：

- 一个24位向下计数器
- 自动装载功能
- 当计数器达到0时，可屏蔽系统产生中断。
- 可编程时钟源

2.17 I²C 总线

I²C总线接口可以在多主机和从机模式下工作。它可以支持标准和快速模式。

它支持双从机寻址（仅限7位）和主模式下的7/10位寻址。

嵌入硬件CRC生成/验证。

该接口可由DMA提供，并支持SM Bus 2.0 / PM总线。

2.18 通用同步/异步接收发射机（USART）

STM32F100xx数据线嵌入三个通用同步/异步接收器发射机（USART1，USART2和USART3）。

可用的USART接口以高达3 Mbit / s进行通信。他们提供硬件管理CTS和RTS信号，他们支持IrDA SIR ENDEC多处理器通信模式，单线半双工通信模式和具有LIN主/从功能。

USART接口可由DMA控制器提供。

2.19 串行外设接口（SPI）

最多两个SPI能够在从机和主机模式下以全功能通信高达12 Mbit / s，双工和单工通信模式。3位预分频器提供8个主模式频率和帧可配置为8位或16位。

两个SPI都可以由DMA控制器提供。

2.20 HDMI（高清多媒体接口）消费者电子控制（CEC）

STM32F100xx的价值线嵌入了提供硬件的HDMI-CEC控制器支持消费电子控制（CEC）（附录补充1对HDMI标准）。

该协议提供了所有视听产品之间的高级控制功能环境。指定以低速运行，处理和记忆最少高架。

2.21 GPIO（通用输入/输出）

每个GPIO引脚可以通过软件配置为输出（推挽式或开漏式），如同输入（带或不带上拉或下拉）或作为外设备用功能。大部分的GPIO引脚与数字或模拟交替功能共享。所有GPIO都是高电流 - 除模拟输入外。

如果需要特定的I/O备用功能配置可以被锁定以避免对I/O寄存器进行杂乱写入。

2.22 重映射能力

此功能允许在给定应用程序中使用最大数量的外设。实际上，备用功能不仅可以在默认引脚上使用，还可以在其他引脚上使用。特定的引脚可以重新映射到它们上。这具有制作板的优点。设计和端口使用更加灵活。

详细信息请参见表4：STM32F100xx引脚定义；它显示可重映射的列表。交替功能和可重新映射的引脚。请参见STM32F10xxx软件注意事项参考手册。

2.23 ADC（模数转换器）

12位模数转换器最多可以有16个外部通道并执行单次或扫描模式下的转换。在扫描模式下，执行自动转换选择一组模拟输入。

ADC可由DMA控制器提供。

模拟看门狗功能允许非常精确地监视一个的转换电压，一些或所有选定的频道。转换后的电压产生中断超出编程阈值。

2.24 DAC（数模转换器）

两个12位缓冲DAC通道可用于将两个数字信号转换为两个模拟电压信号输出。所选择的设计结构由综合组成电阻串和同相配置的放大器。

此双数字接口支持以下功能：

- 两个DAC转换器：每个输出通道一个
- 最多10位输出
- 在12位模式下左或右数据对齐
- 同步更新能力
- 噪声波发生
- 三角波生成
- 双DAC通道的独立或同时转换
- 每个通道的DMA能力
- 用于转换的外部触发器
- 输入电压参考V_{REF+}

在STM32F100xx中使用8个DAC触发输入。DAC通道被触发通过定时器更新输出也连接到不同的DMA通道。

2.25 温度感应器

温度传感器必须产生随温度线性变化的电压。该转换范围在 $2\text{ V} < V_{DDA} < 3.6\text{ V}$ 之间。温度传感器在内部连接到用于转换传感器输出的ADC1_IN16输入通道。电压变为数字值。

2.26 串行线JTAG调试端口（SWJ-DP）

ARM SWJ-DP接口是嵌入式的，是一个组合的JTAG和串行线调试端口，使串行线路调试或JTAG探针连接到目标。

JTAG TMS和TCK引脚分别与SWDIO和SWCLK共享，a TMS引脚上的特定序列用于在JTAG-DP和SW-DP之间切换。



3 引脚分布和引脚描述

图3. STM32F100xx直线LQFP100引脚排列

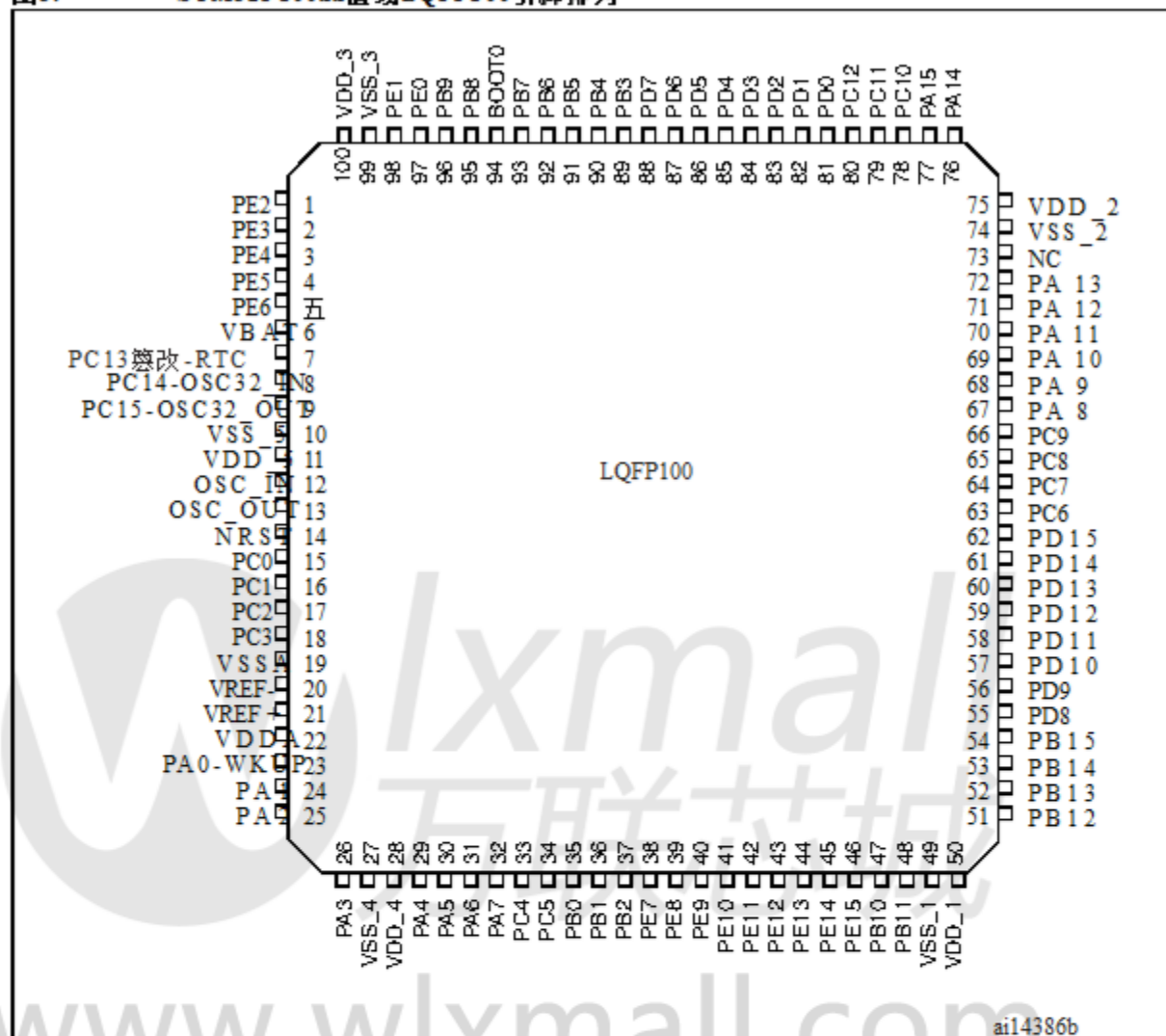


图4. STM32F100xx值线LQFP64引脚

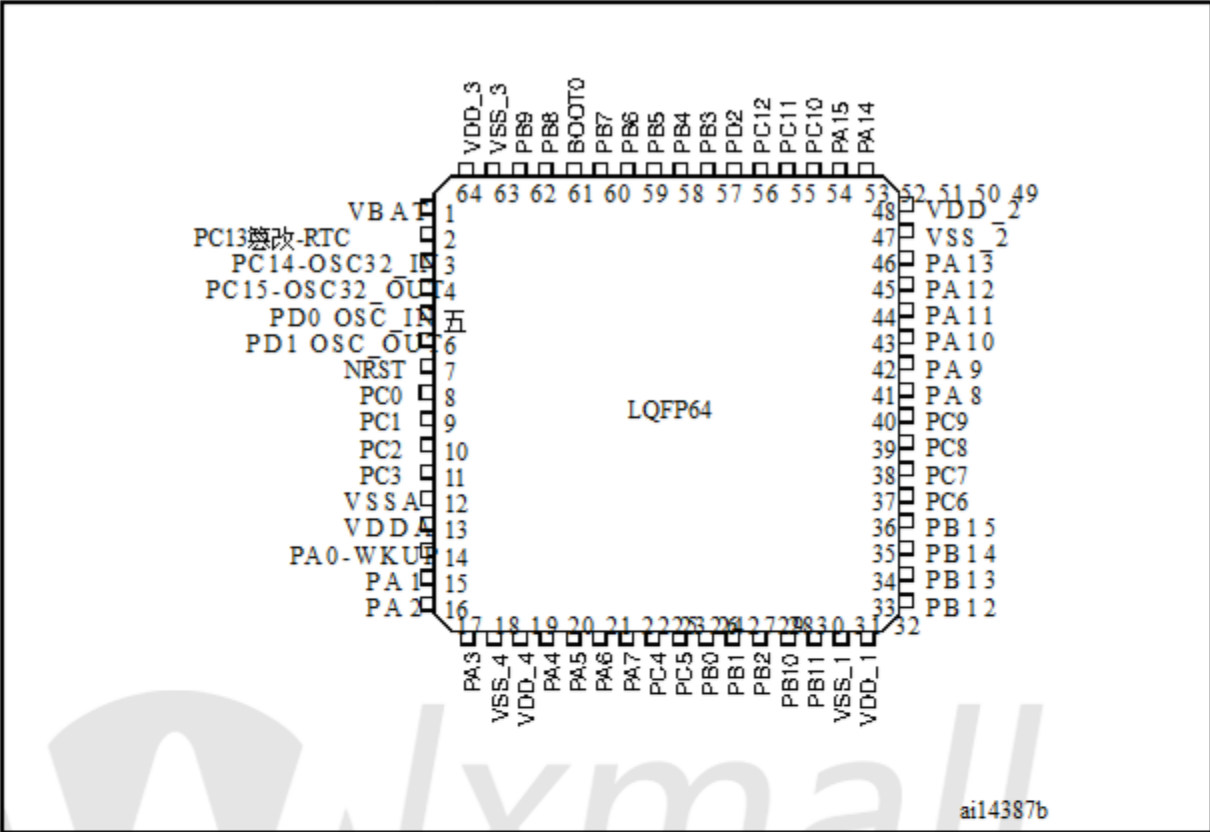


图5. STM32F100xx值线LQFP48引脚

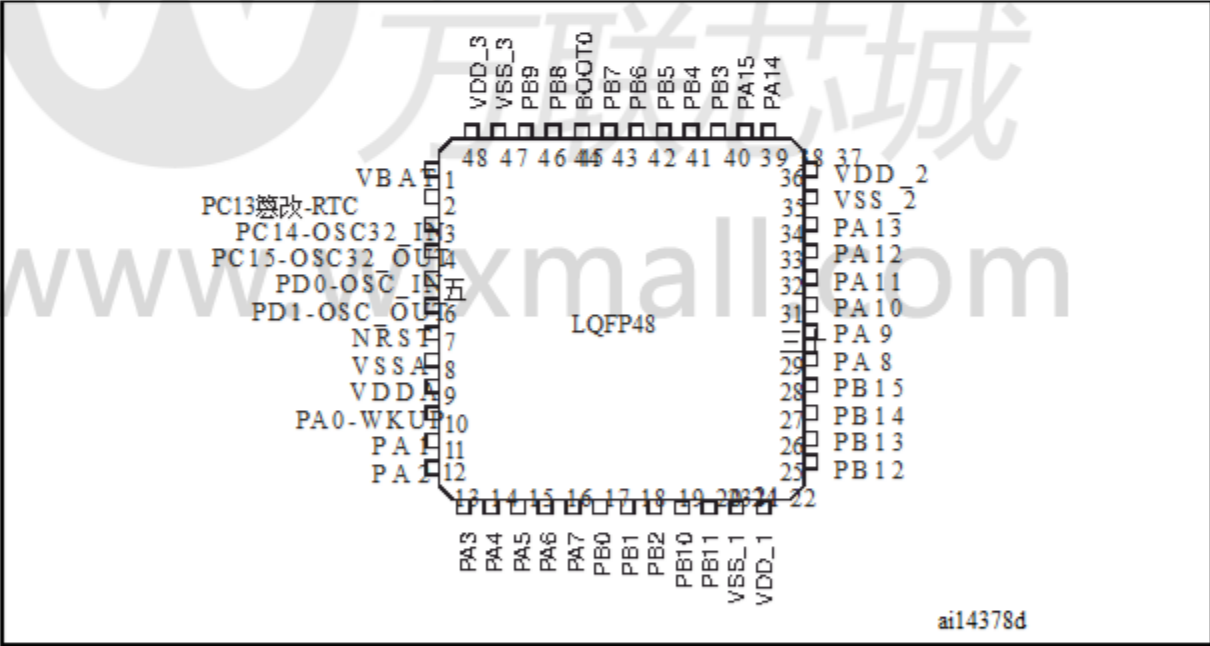


图6. STM32F100xx价值线TFBGA64投票

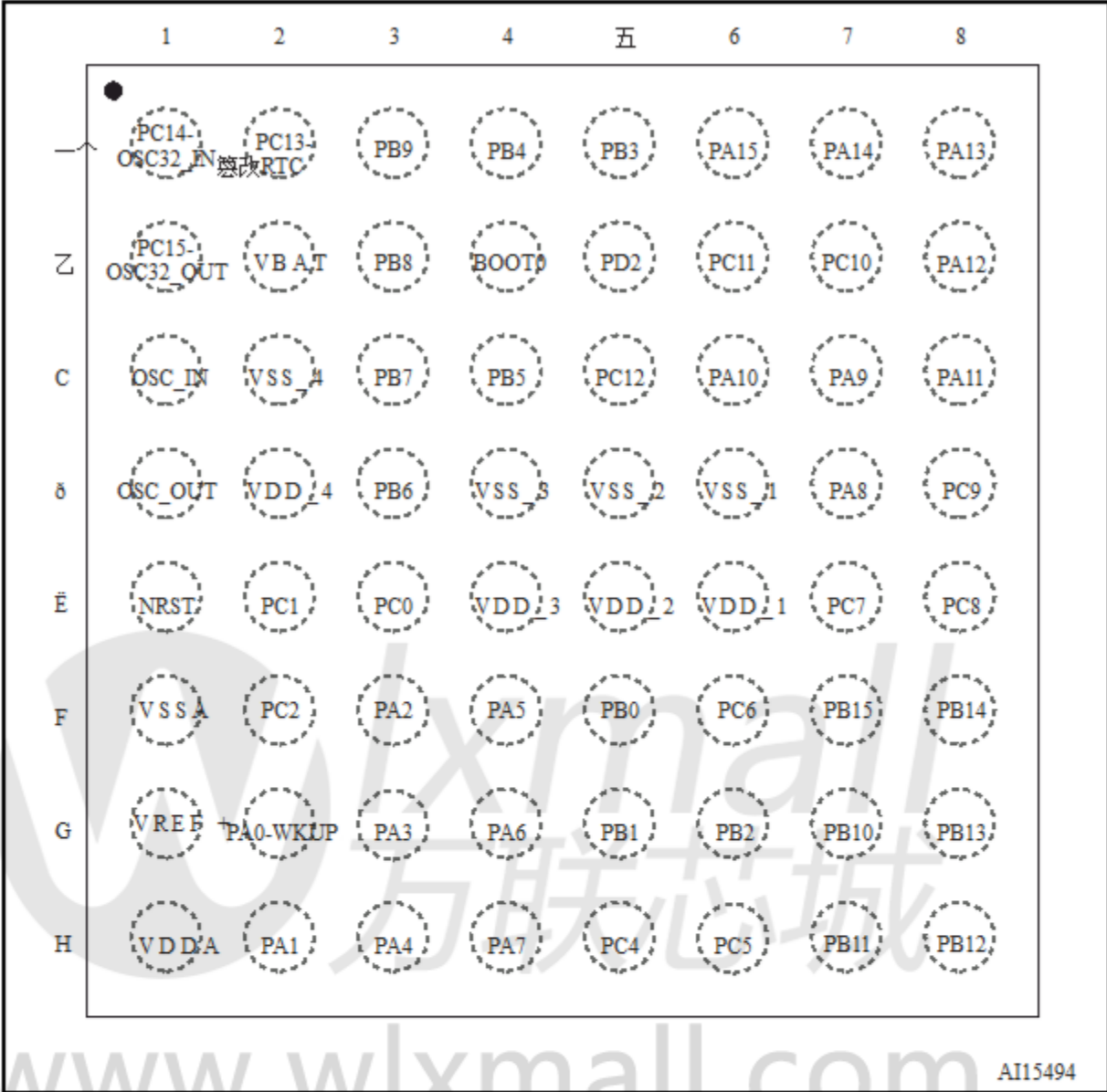


表4. STM32F100xx引脚定义

销				引脚名称	Type ⁽¹⁾	I/O level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (3) (4)	
LQFP100	LQFP64	TFBGA64	LQFP48					默认	重映射
1	-	-	-	PE2	I / O FT		PE2	TRACECLK	
2	-	-	-	PE3	I / O FT		PE3	TRACED0	
3	-	-	-	PE4	I / O FT		PE4	TRACED1	
4	-	-	-	PE5	I / O FT		PE5	TRACED2	
五	-	-	-	PE6	I / O FT		PE6	TRACED3	
61		B2	1	V BAT	S V	BAT			
72		A2	2	PC13-篡改 RTC (5)	I / O		PC13 (6)	篡改RTC	

表4. STM32F100xx引脚定义 (续)

销				引脚名称	Type ⁽¹⁾ I/O level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (3) (4)	
LQFP100	LQFP64	TFBGA64	LQFP48				默认	重映射
83		A1	3	PC14- OSC32_IN (5)	I / O	PC14 (6)	OSC32_IN	
94		B1	4	PC15- OSC32_OUT (5)	I / O	PC15 (6)	OSC32_OUT	
10	---			V SS_5	S V SS_5			
11	---			V DD_5	S V DD_5			
12	五	C1	五	OSC_IN	—世	OSC_IN		
13	6	D1	6	OSC_OUT	Ø	OSC_OUT		
14	7	E1	7	NRST	I / O	NRST		
15	8	E3	-	PC0	I / O	PC0	ADC1_IN10	
16	9	E2	-	PC1	I / O	PC1	ADC1_IN11	
17	10	F2	-	PC2	I/O	PC2	ADC1_IN12	
18	11	(7)	-	PC3	I/O	PC3	ADC1_IN13	
19	12	F1	8	V SSA	S V SSA			
20	---			V REF-	S V REF-			
21	-	G1	-	V REF+	S V REF+			
22	13	H1	9	V DDA	S V DDA			
23	14	G2	10	PA0-WKUP	I / O	PA0	WKUP / USART2_CTS (12) / ADC1_IN0 / TIM2_CH1_ETR (12)	
24	15	H2	11	PA1	I / O	PA1	USART2_RTS (12) / ADC1_IN1 / TIM2_CH2 (12)	
25	16	F3	12	PA2	I / O	PA2	USART2_TX (12) / ADC1_IN2 / TIM2_CH3 (12) / TIM15_CH1 (12)	
26	17	G3	13	PA3	I / O	PA3	USART2_RX (12) / ADC1_IN3 / TIM2_CH4 (12) / TIM15_CH2 (12)	
27	18	C2	-	V SS_4	S V SS_4			
28	19	D2	-	V DD_4	S V DD_4			
29	20	H3	14	PA4	I / O	PA4	SPI1_NSS (12) / ADC1_IN4 / USART2_CK (12) / DAC1_OUT	
三十	21	F4	15	PA5	I / O	PA5	SPI1_SCK (12) / ADC1_IN5 / DAC2_OUT	
31	22	G4	16	PA6	I / O	PA6	SPI1_MISO (12) / ADC1_IN6 / TIM1_BKIN / TIM3_CH1 (12)	TIM16_CH1
32	23	H4	17	PA7	I / O	PA7	SPI1_MOSI (12) / ADC1_IN7 / TIM1_CH1N / TIM3_CH2 (12)	TIM17_CH1
33	24	H5	-	PC4	I/O	PC4	ADC1_IN14	

表4. STM32F100xx引脚定义 (续)

销				引脚名称	Type ⁽¹⁾ I/O level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (3) (4)	
LQFP100	LQFP64	TFBGA64	LQFP48				默认	重映射
34	25	H6	-	PC5	I/O	PC5	ADC1_IN15	
35	26	F5	18	PB0	I/O	PB0	ADC1_IN8 / TIM3_CH3 (12)	TIM1_CH2N
36	27	G5	19	PB1	I/O	PB1	ADC1_IN9 / TIM3_CH4 (12)	TIM1_CH3N
37	28	G6	20	PB2	I/O FT	PB2 / BOOT1		
38	-	-	-	PE7	I/O FT	PE7		TIM1_ETR
39	-	-	-	PE8	I/O FT	PE8		TIM1_CH1N
40	-	-	-	PE9	I/O FT	PE9		TIM1_CH1
41	-	-	-	PE10	I/O FT	PE10		TIM1_CH2N
42	-	-	-	PE11	I/O FT	PE11		TIM1_CH2
43	-	-	-	PE12	I/O FT	PE12		TIM1_CH3N
44	-	-	-	PE13	I/O FT	PE13		TIM1_CH3
45	-	-	-	PE14	I/O FT	PE14		TIM1_CH4
46	-	-	-	PE15	I/O FT	PE15		TIM1_BKIN
47	29	G7	21	PB10	I/O FT	PB10	I2C2_SCL (8) / USART3_TX (12)	TIM2_CH3 / CEC
48	30	H7	22	PB11	I/O FT	PB11	I2C2_SDA (8) / USART3_RX (12)	TIM2_CH4
49	31	D6	23	VSS_1	S V	SS_1		
50	32	E6	24	VDD_1	S V	DD_1		
51	33	H8	25	PB12	I/O FT	PB12	SPI2_NSS (9) / I2C2_SMBA (8) / TIM1_BKIN (12) / USART3_CK (12)	
52	34	G8	26	PB13	I/O FT	PB13	SPI2_SCK (9) / TIM1_CH1N (12) / USART3_CTS (12)	
53	35	F8	27	PB14	I/O FT	PB14	SPI2_MISO (9) / TIM1_CH2N (12) / USART3_RTS (12)	TIM15_CH1
54	36	F7	28	PB15	I/O FT	PB15	SPI2_MOSI (9) / TIM1_CH3N (12) / TIM15_CH1N (12)	TIM15_CH2
55	-	-	-	PD8	I/O FT	PD8		USART3_TX
56	-	-	-	PD9	I/O FT	PD9		USART3_RX
57	-	-	-	PD10	I/O FT	PD10		USART3_CK
58	-	-	-	PD11	I/O FT	PD11		USART3_CTS
59	---			PD12	I/O FT	PD12		TIM4_CH1 (10) / USART3_RTS
60	-	-	-	PD13	I/O FT	PD13		TIM4_CH2 (10)
61	-	-	-	PD14	I/O FT	PD14		TIM4_CH3 (10)

表4. STM32F100xx引脚定义 (续)

销				引脚名称	Type ⁽¹⁾	I/O level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (3) (4)	
LQFP100	LQFP64	TFBGA64	LQFP48					默认	重映射
62	-	-	-	PD15	I / O FT		PD15		TIM4_CH4 (10)
63	37	F6	-	PC6	I / O FT		PC6		TIM3_CH1
64	38	E7		PC7	I / O FT		PC7		TIM3_CH2
65	39	E8		PC8	I / O FT		PC8		TIM3_CH3
66	40	D8	-	PC9	I / O FT		PC9		TIM3_CH4
67	41	D7	29	PA8	I / O FT		PA8	USART1_CK / MCO / TIM1_CH1	
68	42	C7	三十	PA9	I / O FT		PA9	USART1_TX (12) / TIM1_CH2	TIM15_BKIN
69	43	C6	31	PA10	I / O FT		PA10	USART1_RX (12) / TIM1_CH3	TIM17_BKIN
70	44	C8	32	PA11	I / O FT		PA11	USART1_CTS / TIM1_CH4	
71	45	B8	33	PA12	I / O FT		PA12	USART1_RTS / TIM1_ETR	
72	46	A8	34	PA13	I / O FT		JTMS-SWDIO		PA13
73	-	-	-	未连接					
74	47	D5	35	VSS_2	S	VSS_2			
75	48	E5	36	VDD_2	S	VDD_2			
76	49	A7	37	PA14	I / O FT		JTCK / SWCLK		PA14
77	50	A6	38	PA15	I / O FT		JTDI		TIM2_CH1_ETR / PA15 / SPI1_NSS
78	51	B7	-	PC10	I / O FT		PC10		USART3_TX
79	52	B6	-	PC11	I / O FT		PC11		USART3_RX
80	53	C5	-	PC12	I / O FT		PC12		USART3_CK
81	五	C1	五	PD0	I / O FT		OSC_IN (11)		
82	6	D1	6	PD1	I / O FT		OSC_OUT (11)		
83	54	B5		PD2	I / O FT		PD2	TIM3_ETR	
84	-	-	-	PD3	I / O FT		PD3		USART2_CTS
85	-	-	-	PD4	I / O FT		PD4		USART2_RTS
86	-	-	-	PD5	I / O FT		PD5		USART2_TX
87	-	-	-	PD6	I / O FT		PD6		USART2_RX
88	-	-	-	PD7	I / O FT		PD7		USART2_CK
89	55	A5	39	PB3	I / O FT		JTDO		TIM2_CH2 / PB3 TRACESWO SPI1_SCK

表4. STM32F100xx引脚定义 (续)

销				引脚名称	Type ⁽¹⁾ I/O level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (3) (4)	
LQFP100	LQFP64	TFBGA64	LQFP48				默认	重映射
90	56	A4	40	PB4	I/O FT	NJTRST		PB4 / TIM3_CH1 SPI1_MISO
91	57	C4	41	PB5	I/O	PB5	I2C1_SMBA / TIM16_BKIN	TIM3_CH2 / SPI1_MOSI
92	58	D3	42	PB6	I/O FT	PB6	I2C1_SCL (12) / TIM4_CH1 (10) / TIM16_CH1N	USART1_TX (12)
93	59	C3	43	PB7	I/O FT	PB7	I2C1_SDA (12) / TIM17_CH1N TIM4_CH2 (10) (12)	USART1_RX
94	60	B4	44	BOOT0	—	BOOT0		
95	61	B3	45	PB8	I/O FT	PB8	TIM4_CH3 (10) (12) / TIM16_CH1 (12) / CEC (12)	I2C1_SCL
96	62	A3	46	PB9	I/O FT	PB9	TIM4_CH4 (10) (12) / TIM17_CH1 (12)	I2C1_SDA
97	-	-	-	PE0	I/O FT	PE0	TIM4_ETR (10)	
98	-	-	-	PE1	I/O FT	PE1		
99	63	D4	47	VSS_3	S	VSS_3		
100	64	E4	48	VDD_3	S	VDD_3		

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻抗。

2. FT = 5 V 容限。

3. 功能可用性取决于所选设备。对于具有减少的外围计数的设备, 它总是较低。包括的外围设备数量。例如, 如果一个设备只有一个SPI, 两个USART和两个定时器, 它们将是分别称为SPI1, USART1和USART2以及TIM2和TIM3。请参阅第11页的表2。

4. 如果几个外设共享相同的I/O引脚, 为避免这些替代功能之间的冲突, 只有一个外设应该通过外设时钟使能位 (在相应的RCC外设时钟使能寄存器中) 一次使能。

5. PC13, PC14和PC15通过电源开关提供, 因为开关只能吸收有限的电流 (3 mA) 时, GPIO PC13至PC15在输出模式下的使用受到限制: 速度不应超过2 MHz, 最大负载为30 pF, 这些IO不能用作电流源 (例如驱动LED)。

6. 主要功能在第一个备份域上电后, 以后, 它取决于备份寄存器的内容。复位后 (因为这些寄存器不被主复位复位)。有关如何管理这些IO的详细信息, 请参阅电池备份域和BKP寄存器描述部分在STM32F10xxx参考手册中, 可从意法半导体网站: www.st.com。

7. 与LQFP64封装不同, TFBGA64封装中没有PC3。提供VREF+功能。

8. 低密度值线路器件上不存在I2C2。

9. SPI2不存在于低密度值线路器件上。

10. 低密度值线路设备上不存在TIM4。

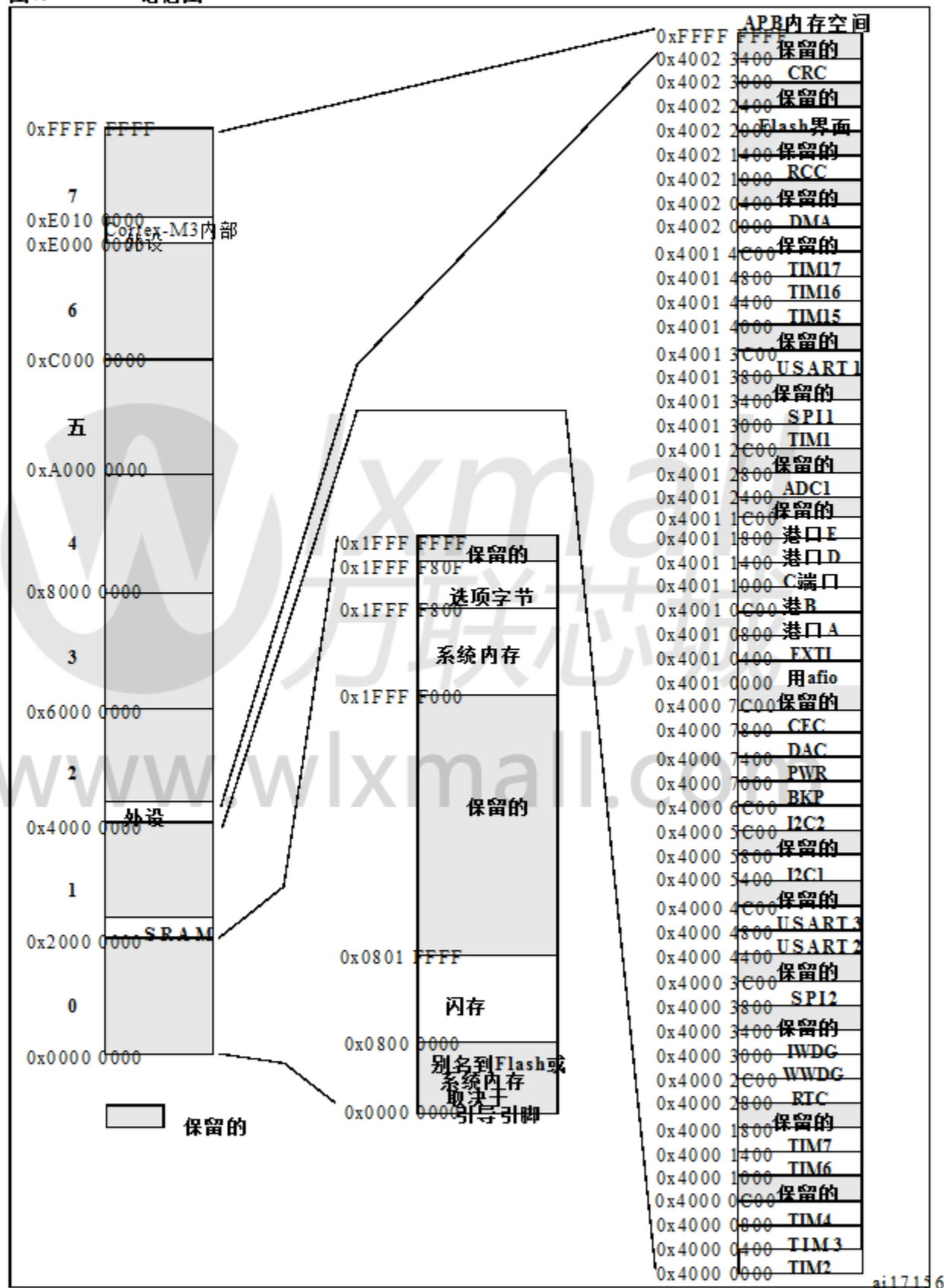
11. VFQFPN36封装中的引脚编号2和3, LQFP48和LQFP64封装中的5和6, 以及TFBGA64封装在复位后配置为OSC_IN / OSC_OUT, 但PD0和PD1的功能可以这些引脚上的软件重新映射。有关更多详细信息, 请参阅交替功能I/O和调试配置部分STM32F10xxx参考手册。

12. 这个备用功能可以通过软件重新映射到某些其他端口引脚 (如果在使用的封装上可用)。更多详细信息, 请参阅STM32F10xxx参考手册中的备用功能I/O和调试配置部分来自意法半导体的网站: www.st.com。

4 内存映射

存储器映射如图7所示。

图7. 记忆图



五 电气特性

5.1 参数条件

除非另有说明，否则所有电压均以 V_{SS} 为参考。

5.1.1 最小值和最大值

除非另有规定，否则最坏和最大值都得到保证
环境温度条件，供电电压和频率通过生产测试
100%的环境温度在 $T_A = 25^{\circ}\text{C}$ ， $T_A = T_{A\max}$ （由
所选温度范围）。

基于表征结果的数据，设计模拟和/或技术特征
在表脚注中指出，并没有在生产中进行测试。基于
表征，最小值和最大值是指样品测试并代表
平均值加或减三倍标准差（平均值 ± 3

5）。

5.1.2 典型值

除非另有规定，典型数据基于 $T_A = 25^{\circ}\text{C}$ ， $V_{DD} = 3.3\text{ V}$ （对于
 $2\text{ V} < V_{DD} < 3.6\text{ V}$ 电压范围）。它们仅作为设计指南而不是
测试。

典型的ADC精度值通过一批样品的表征来确定
在整个温度范围内的标准扩散批次，其中95%的器件具有
误差小于或等于所示值（平均值 ± 2 ）。

5）。

5.1.3 典型曲线

除非另有说明，否则所有典型曲线仅作为设计指南给出
没有测试。

5.1.4 加载电容

用于引脚参数测量的负载条件如图8所示。

5.1.5 引脚输入电压

图9中描述了器件引脚上的输入电压测量。

图8. 针加载条件

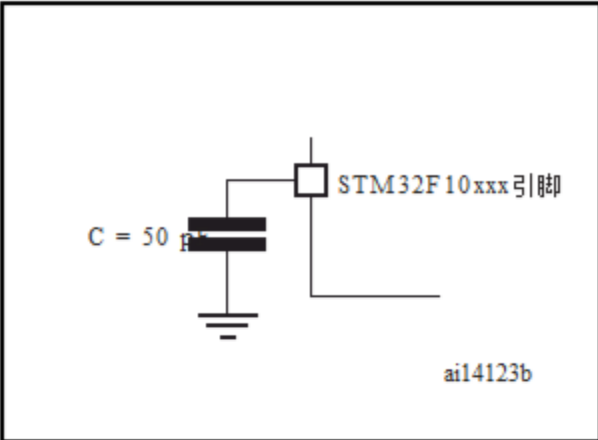
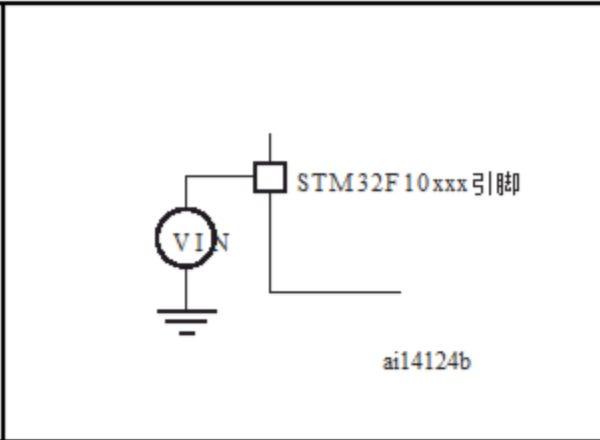
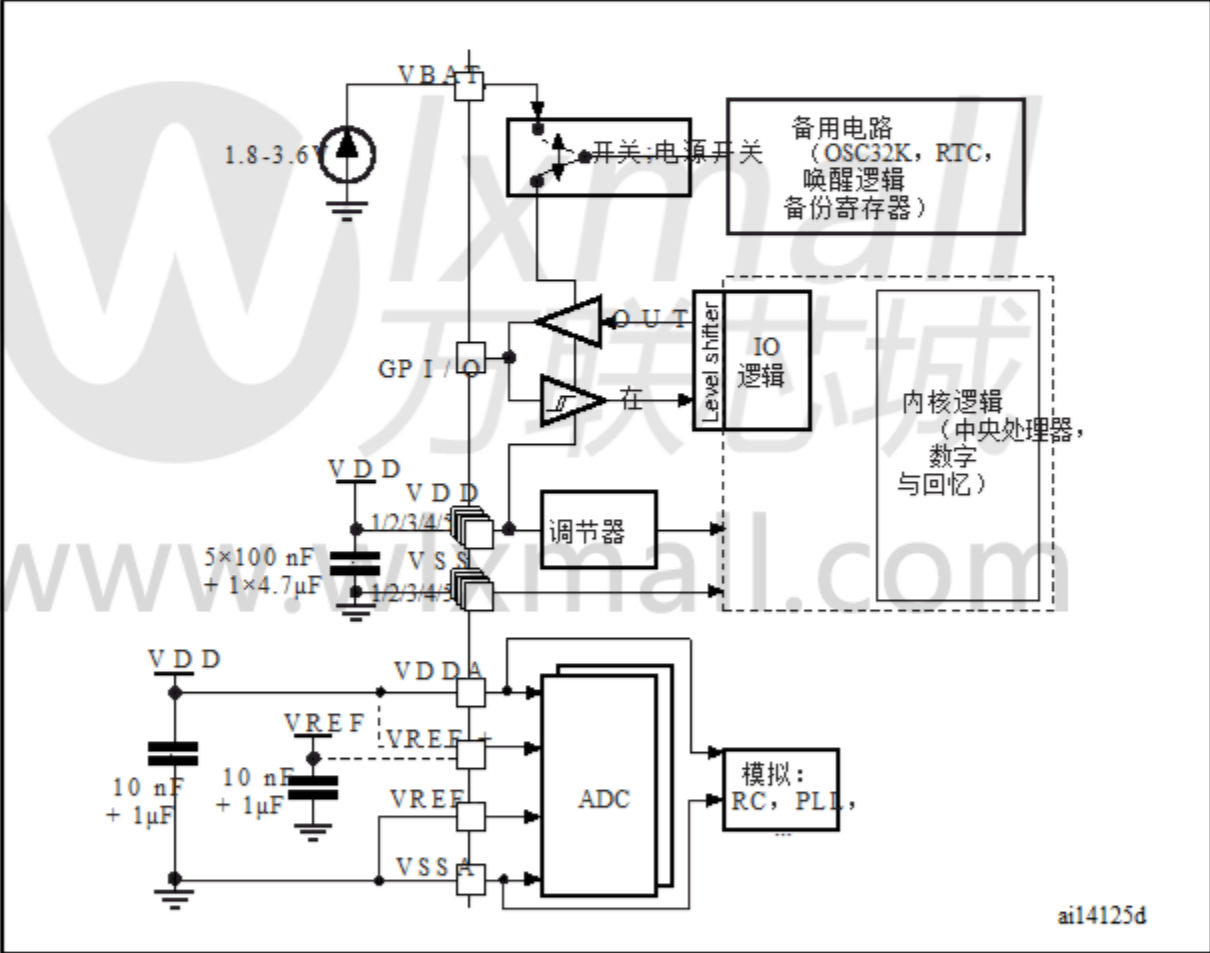


图9. 引脚输入电压



5.1.6 供电方案

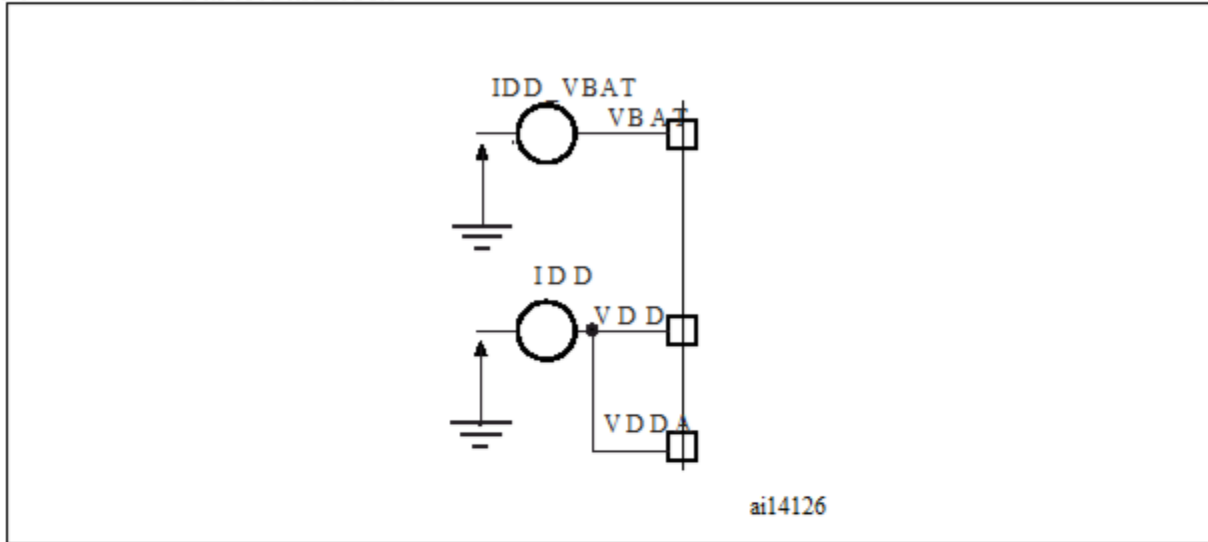
图10. 供电方案



警告： 在图10中，4.7 F电容必须连接到V DD3。

5.1.7 电流消耗测量

图11. 电流消耗测量方案



5.2 绝对最大额定值

强度高于表5中绝对最大额定值：电压特性，
表6：电流特性和表7：热特性可能导致永久性
损坏设备。这些只是压力额定值和设备的功能操作
在这些条件下并不暗示。暴露于最大额定条件下延长
周期可能会影响设备的可靠性。

表5. 电压特性

符号	评级	敏	马克斯	单元
$V_{DDA} \text{ 和 } V_{SS}$	外部主电源电压（包括 V_{DDA} 和 V_{DD} ）(1)	-0.3	4	V
V_{IN}	输入电压为5伏特的引脚（2）	$V_{SS} \pm 0.3$	+5.5	
	任何其他引脚上的输入电压（2）	$V_{SS} \pm 0.3$	$V_{DD} + 0.3$	
ΔV_{DDx}	不同 V_{DD} 电源引脚 之间的变化		50	毫伏
$ V_{SSx} - V_{SS} $	所有不同之处的差异 销		50	
$V_{ESD} \text{ (HBM)}$	静电放电电压（人体 模型）	见第5.3.11节：绝对 最大额定值（电气 灵敏度）		

1. 所有主电源（ V_{DD} ， V_{DDA} ）和接地（ V_{SS} ， V_{SSA} ）引脚必须始终连接到外部电源
供应，在允许范围内。
2. 不得超过 I_{NJ} （PIN）（见表6：电流特性）。如果 V_{IN} ，这是隐含的保险
最大值得尊重。如果不能遵守 V_{IN} 最大值，则必须限制注入电流
在外部 I_{NJ} （PIN）值。负注入时，由 $V_{IN} > V_{INmax}$ 引起正向注入
由 $V_{IN} < V_{SS}$ 引起。

表6. 电流特性

符号	评级	最大	单元
我 VDD	V DD / VDDA 电源线 (电源) 的总电流 (1)	150	嘛
我 VSS	V SS 地线 (sink) 的总电流 (1)	150	
我 IO	任何I / O和控制引脚输出电流下降	25	
	任何I / O和控制引脚输出电流源	±25	
我 INJ (PIN)	NRST引脚上的注入电流	±5	
	注入电流高速外部OSC_IN和Low-外部OSC_IN引脚	±5	
	PA5和PA6引脚上的注入电流 (4)	+5 / -0	
	任何其他引脚上的注入电流 (4)	±5	
⁵¹ I INJ (PIN)	总注入电流 (所有I / O和控制引脚的总和) (4)	±25	

1. 所有主电源 (V DD, VDDA) 和接地 (V SS, VSSA) 引脚必须始终连接到外部电源供应, 在允许范围内.
2. 不得超过 INJ (PIN). 如果遵守V IN 最大值, 则隐含地保险. 如果V IN 最大不能遵守注射电流必须在I INJ (PIN) 值的外部限制. 积极的注入由V IN > V DD 引发, 而V IN < V SS 引起负注入.
3. 负注入会干扰设备的模拟性能. 请参见第5.3.16节中的注释: 12位ADC 断点.
4. 当几个输入提交到当前注入时, 最大值⁵¹I INJ (PIN) 是绝对总和表征与⁵¹I INJ (PIN) 最大电流注入器件的四个I / O端口引脚.

表7. 热特性

符号	评级	值	单元
T STG	存储温度范围	-65至+150	C
T J	最大结温	150	C

5.3 运行条件

5.3.1 一般操作条件

表8. 一般操作条件

符号	参数	条件	敏	马克斯	单元
f HCLK	内部AHB时钟频率		0	24	兆赫
f PCLK1	内部APB1时钟频率		0	24	
f PCLK2	内部APB2时钟频率		0	24	
V DD	标准工作电压		2	3.6	V
V DD A(1)	模拟工作电压 (ADC未使用)	必须具有相同的潜力作为V DD	2.3	3.6	V
	模拟工作电压 (使用ADC)		2.4	3.6	



表8. 一般经营情况 (续)

符号	参数	条件	敏	马克斯	单元
V BAT	备用工作电压		1.8	3.6	V
P _δ	T A = 功耗 85°C, 后繼 6 或 T A = 后繼为 105°C (2)	LQFP100		434	毫瓦
		LQFP64		444	
		TFBGA64		308	
		LQFP48		363	
T A	环境温度为 6°C 后繼版本	最大功耗	-40	85	C
		低功耗 (3)	-40	105	
	环境温度为 7°C 后繼版本	最大功耗	-40	105	C
		低功耗 (3)	-40	125	
T J	结温范围	6 后繼版本	-40	105	C
		7 后繼版本	-40	125	

1. 使用 ADC 时, 请参见表 41: ADC 特性.
2. 如果 T A 较低, 只要 T J 不超过 T J_{max}, 则允许 较高的 P D 值 (见表 6.2: Thermal) 特性见第 79 页).
3. 在低功耗状态下, 只要 T J 不超过 T J_{max}, T A 可以扩展到此范围 表 6.2: 热特性见第 79 页).

5.3.2 上电/掉电时的工作条件

根据 T A 的一般操作条件.

表9. 上电/掉电时的工作条件

符号	参数	敏	马克斯	单元
t VDD	V DD 上升时间率	0		微秒/ V
	V DD 下降时间率	20		

5.3.3 嵌入式复位和功率控制块特性

表 10 中给出的参数来源于在环境下进行的测试
温度和 V DD 电源电压条件总结在表 8 中.

表10. 嵌入式复位和功率控制块特性

符号	参数	条件	敏	典型	马克	单元
V PVD	可编程电压 检测器级别选择	PLS [2: 0] = 000 (上升沿)	2.1	2.18	2.26	V
		PLS [2: 0] = 000 (下降沿)	2	2.08	2.16	V
		PLS [2: 0] = 001 (上升沿)	2.19	2.28	2.37	V
		PLS [2: 0] = 001 (下降沿)	2.09	2.18	2.27	V
		PLS [2: 0] = 010 (上升沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 010 (下降沿)	2.18	2.28	2.38	V
		PLS [2: 0] = 011 (上升沿)	2.38	2.48	2.58	V
		PLS [2: 0] = 011 (下降沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 100 (上升沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 100 (下降沿)	2.37	2.48	2.59	V
		PLS [2: 0] = 101 (上升沿)	2.57	2.68	2.79	V
		PLS [2: 0] = 101 (下降沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 110 (上升沿)	2.66	2.78	2.9	V
		PLS [2: 0] = 110 (下降沿)	2.56	2.68	2.8	V
		PLS [2: 0] = 111 (上升沿)	2.76	2.88	3	V
		PLS [2: 0] = 111 (下降沿)	2.66	2.78	2.9	V
V PVDhys ⁽²⁾	PVD滞后			100		毫伏
V POR / PDR	开机/关机 复位阈值	坠落边缘	1.8 (1)	1.88	1.96	V
		上升沿	1.84	1.92	2.0	V
V PDRhys ⁽²⁾	PDR滞后			40		毫伏
t RSTTEMP ⁽²⁾	重置临时		1.5	2.5	4.5	女士

1. 产品行为由设计保证达到最小 V POR / PDR 值。

2. 保证设计，未经生产测试。

5.3.4 嵌入式参考电压

表 11 中给出的参数来源于在环境下进行的测试
温度和V_{DD}电源电压条件总结在表 8 中。

表 11. 嵌入式内部参考电压

符号	参数	条件	敏	典型	马克斯	单元
V _{REFINT}	内部参考电压	-40°C < T _A < +105°C	1.16	1.20	1.26	V
		-40°C < T _A < +85°C	1.16	1.20	1.24	V
T _{S_vrefint} (1)	ADC采样时间 阅读内部 参考电压			5.1	17.1 (2)	微秒
V _{RERINT} (2)	内部参考电压 蔓延温度 范围	V _{DD} = 3 V ± 10 mV			10	毫伏
T _{科夫} (2)	温度系数				100	PPM/°C

- 1. 最短采样时间可以通过多次迭代在应用中确定。
- 2. 保证设计，未经生产测试。

5.3.5 供电电流特性

目前的消费是几个参数和因素的函数
工作电压，环境温度，I/O引脚加载，器件软件配置，
工作频率，I/O引脚切换速率，存储器中的程序位置并执行
二进制代码。

电流消耗量如图 11 所示进行测量：电流消耗
测量方案。

本节中给出的所有运行模式电流消耗测量用a执行
减少代码，给出相当于Dhrystone 2.1代码的消费。

最大电流消耗

MCU处于以下条件：

- 所有I/O引脚都处于输入模式，静态值为V_{DD}或V_{SS}（无负载）
- 所有外设都被禁用，除非明确提到
- 预提取（提醒：此位必须在时钟设置和总线预分频之前设置）
- 当外设使能时，PCLK1 = fHCLK，fPCLK2 = fHCLK

表 12 中给出的参数来源于在环境下进行的测试
温度和V_{DD}电源电压条件总结在表 8 中。

表12. 运行模式下的最大电流消耗，带数据处理的代码
从Flash运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
I _{DD}	供电 目前在 运行模式	外部时钟 (2)，全部 外设启用	24 MHz	15.4	15.7	mA
			16 MHz	11	11.5	
			8 MHz	6.7	6.9	
		外部时钟 (2)，全部 外设禁用	24 MHz	10.3	10.5	
			16 MHz	7.8	8.1	
			8 MHz	5.1	5.3	

1. 基于表征，未在生产中测试。
2. 当 HCLK > 8 MHz 时，外部时钟为 8 MHz，PLL 为 ON。

表13. 运行模式下的最大电流消耗，带数据处理的代码
从RAM运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
I _{DD}	供电电流 在运行模式	外部时钟 (2)，全部 外设启用	24 MHz	14.5	15	mA
			16 MHz	10	10.5	
			8 MHz	6	6.3	
		外部时钟 (2) 全部 外设禁用	24 MHz 的	9.3	9.7	
			16 MHz	6.8	7.2	
			8 MHz	4.4	4.7	

1. 基于特性，在生产中测试 V_{DD max}，f_{HCLK max}。
2. 当 HCLK > 8 MHz 时，外部时钟为 8 MHz，PLL 为 ON。

图12. 运行模式下的最大电流消耗与频率 (3.6 V) - 数据处理从RAM运行, 外设启用

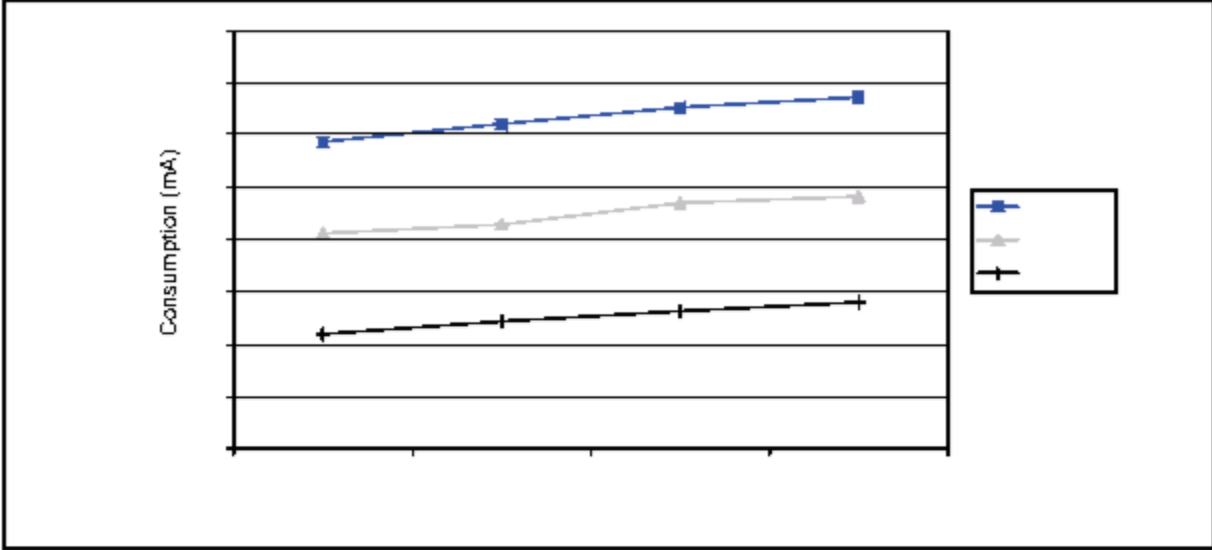


图13. 运行模式下的最大电流消耗与频率 (3.6 V) - 数据处理从RAM运行的代码, 外设禁用

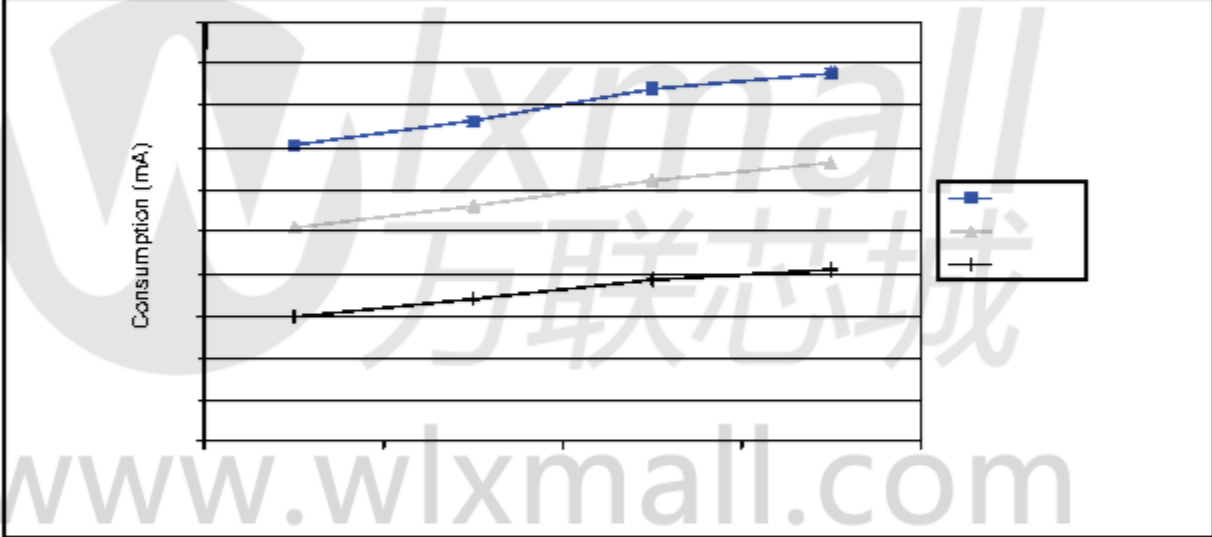


表14. STM32F100xxB在睡眠模式下的最大电流消耗, 代码从Flash或RAM运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
我 DD	供电电流处于睡眠模式	外部时钟 (2) 全部 外设启用	24 MHz	9.6	10	嘛
			16 MHz	7.1	7.5	
			8 MHz	4.5	4.8	
		外部时钟 (2), 全部 外设禁用	24 MHz	3.8	4	
			16 MHz	3.3	3.5	
			8 MHz	2.7	3	

- 基于特性, 在V DD max和f HCLK max的测试中, 外设启用.
- 当 HCLK > 8 MHz 时, 外部时钟为8 MHz, PLL为ON.

表15. 停止和待机模式下的典型和最大电流消耗 (1)

符号	参数	条件	典型 (2)			马克斯		单元
			V DD / V BA = 2.0 V	V DD / V BA = 2.4 V	V DD / V BA = 3.3 V	T A = 85°C	T A = 105°C	
I DD	供电电流在停止模式	稳压器在运行模式下，低速高速内部RC振荡器，速度振荡器OFF (no 独立看门狗)		23.5	24	190	350	μA
		低功耗模式下的稳压器，低速高速内部RC振荡器，速度振荡器OFF (no 独立看门狗)		13.5	14	170	330	
	供电电流在待机模式	低速内部RC振荡器和独立看门狗开		2.6	3.4	-	-	
		低速内部RC振荡器ON，独立看门狗关闭		2.4	3.2	-	-	
		低速内部RC振荡器和独立看门狗关，低速振荡器和RTC关闭		1.7	2	4	5	
I DD_VB	备用域名供应当前	低速振荡器和RTC上	0.9	1.1	1.4	2.0	2.3	

1. 待定待定待定。
2. 典型值在 T A = 25°C 时测量。

图14. 在运行模式下，调节器的停止模式下的典型电流消耗
温度在 V DD = 3.3 V 和 3.6 V

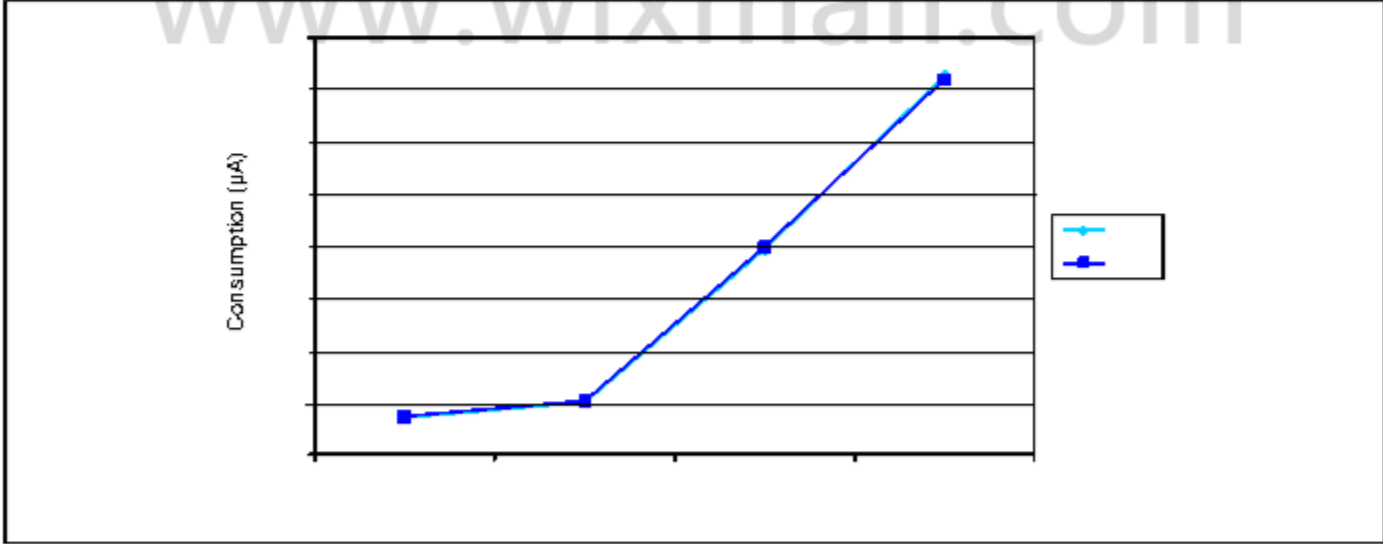


图15. 低功耗模式下稳压器的停止模式下的典型电流消耗
温度在 $V_{DD} = 3.3\text{ V}$ 和 3.6 V

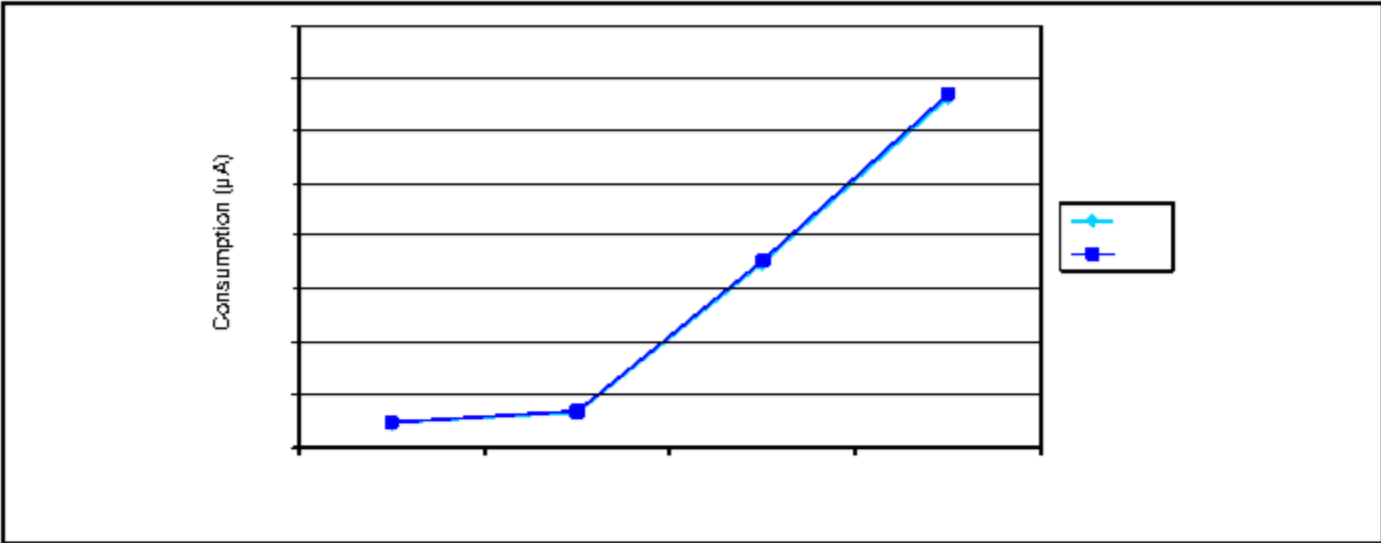
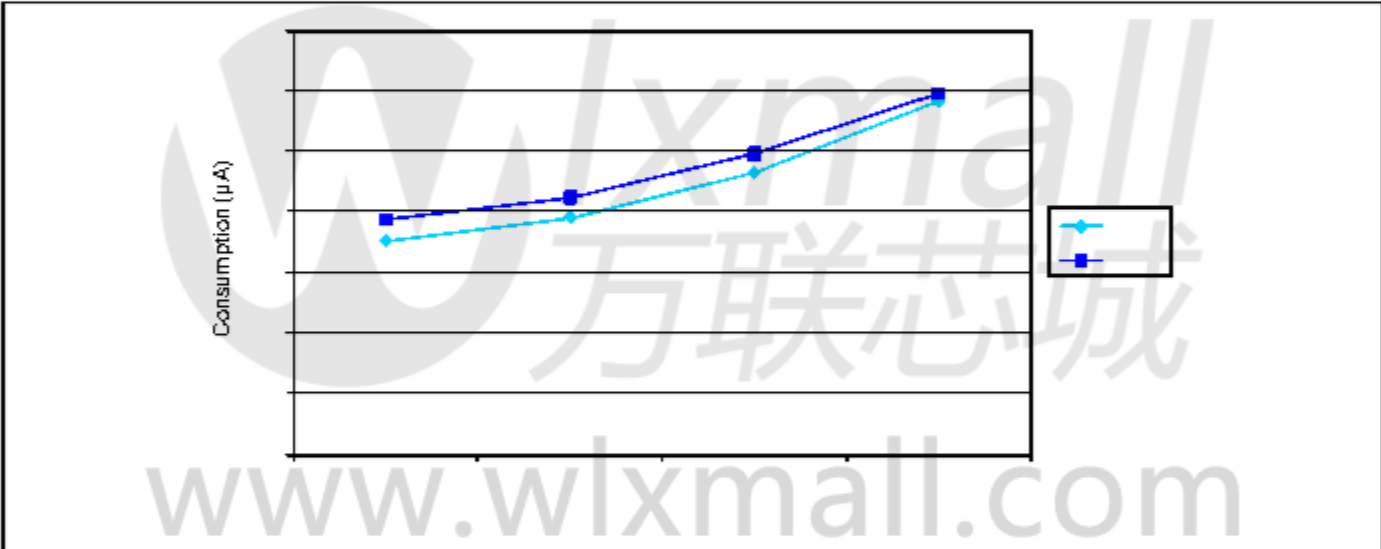


图16. 待机模式下的典型电流消耗与 $V_{DD} = 3.3\text{ V}$ 和 3.6 V



典型电流消耗

MCU处于以下条件:

- 所有I/O引脚都处于输入模式, 静态值为 V_{DD} 或 V_{SS} (无负载)
- 所有外设都被禁用, 除非明确提到
- 当外设使能时, $PCLK1 = f_{HCLK}$, $f_{PCLK2} = f_{HCLK}$, $f_{ADCCLK} = f_{PCLK2} / 2$

表16中给出的参数来自于在环境下进行的测试
温度和 V_{DD} 电源电压条件总结在表8中.

表16. 典型电流消耗在运行模式下，代码与数据处理从Flash运行

符号参数		条件	f HCLK	典型值 (1)		单元
				所有外设 启用 (2)	所有外设 残	
我 DD	供应 目前在 运行模式	高速运行 外部时钟与 8 MHz晶体 (3)	24 MHz	15.4	9	嘛
			16 MHz	11.2	6.50	
			8 MHz	6.2	3.9	
			4 MHz	3.75	2.5	
			2 MHz	2.3	1.8	
			1 MHz	1.65	1.35	
			500 kHz	1.3	1.2	
			125 kHz	1.1	1	
		高速运行 内部RC (HSI)	24 MHz	15	8.4	
			16 MHz	10.3	6.1	
			8 MHz	5.5	3.4	
			4 MHz	3.1	1.9	
			2 MHz	1.7	1.15	
			1 MHz	1	0.8	
			500 kHz	0.75	0.6	
			125 kHz	0.5	0.43	

1. 典型值为T A = 25°C, VDD = 3.3 V时的测量值 .
2. 为ADC增加0.8 mA的额外功耗, DAC模拟器件的功耗为0.5 mA.在应用中, 仅当ADC导通 (ADC_CR2寄存器中的ADON位置1) 时才会发生此消耗.
3. AHB预分频器用于降低频率 (当 HCLK > 8 MHz时) .



表17. 在休眠模式下的典型电流消耗，代码从Flash或随机存取存储器

符号参数		条件	f HCLK	典型值 (1)		单元
				所有外设启用 (2)	所有外设残	
I _{DD}	供应 目前在 睡眠 模式	高速运行 外部时钟与 8 MHz晶体 (3)	24 MHz	9.8	2.6	mA
			16 MHz	7	2	
			8 MHz	3.8	1.3	
			4 MHz	2.5	1.2	
			2 MHz	1.7	1.1	
			1 MHz	1.35	1	
			500 kHz	1.1	1	
			125 kHz	1	0.95	
		高速运行 内部RC (HSI)	24 MHz	9.6	2	
			16 MHz	6.8	1.4	
			8 MHz	3.2	0.7	
			4 MHz	1.9	0.55	
			2 MHz	1.1	0.46	
			1 MHz	0.75	0.41	
			500 kHz	0.56	0.39	
			125 kHz	0.43	0.37	

1. 典型值为T_A = 25°C，V_{DD} = 3.3 V时的测量值。
2. 为ADC增加0.8 mA的额外功耗，DAC模拟器件的功耗为0.5 mA。在应用中，仅当ADC导通（ADC_CR2寄存器中的ADON位置1）时才会发生此消耗。
3. AHB预分频器用于降低频率（当HCLK > 8 MHz时）。

片上周边电流消耗

表18给出了片上外设的电流消耗。放置了MCU在以下条件下：

- 所有I/O引脚都处于输入模式，静态值为V_{DD}或V_{SS}（无负载）
- 所有外设均禁用，除非另有说明
- 给定值通过测量电流消耗来计算
 - 所有外设都关机
 - 只有一个外围设备
- 环境工作温度和V_{DD}电源电压条件总结表5。

表18. 外围电流消耗

外围设备		25°C时典型消耗 (1)	单元
APB1	TIM2	0.52	嘛
	TIM3	0.46	
	TIM4	0.5	
	TIM6	0.125	
	TIM7	0.19	
	D A C	0.5 (2)	
	W W D G	0.13	
	SPI2	0.2	
	U S A R T 2	0.38	
	U S A R T 3	0.32	
	I2C 1	0.27	
	I2C 2	0.28	
	H D M I C E C	0.16	
APB2	G P I O A	0.25	
	G P I O B	0.12	
	G P I O C	0.18	
	G P I O D	0.15	
	G P I O E	0.15	
	A D C 1 (3)	0.15	
	S P I 1	0.12	
	U S A R T 1	0.27	
	T I M 1	0.63	
	T I M 1 5	0.33	
	T I M 1 6	0.26	
	T I M 1 7	0.25	

1. $f_{HCLK} = f_{APB1} = f_{APB2} = 24\text{ MHz}$, 每个外设的默认预分频值.
2. DAC的特定条件: DAC_CR寄存器中的EN1位设置为1.
3. ADC的特定条件: $f_{HCLK} = 24\text{ MHz}$, $f_{APB1} = f_{APB2} = f_{HCLK}$, $f_{ADCCLK} = f_{APB2} / 2$, ADON位在ADC_CR2寄存器设置为1.

5.3.6 外部时钟源特性

从外部源产生的高速外部用户时钟

表19给出的特性来自使用高速进行的测试
外部时钟源, 以及在环境温度和电源电压条件下
总结在表8中.



表19. 高速外部用户时钟特性

符号	参数	条件	敏	典型	马 克 斯	单 元
f HSE_ext	用户外部时钟源 频率 (1)		18		24	兆 赫
V HSEH	OSC_IN输入引脚为高电平电压		0.7 V DD		V DD	V
V HSEL	OSC_IN输入引脚低电平电压		V SS		0.3 V DD	
t w (HSE) t w (HSE)	OSC_IN高或低时 (1)		16			NS
t (HSE) t f (HSE)	OSC_IN上升或下降时间 (1)				20	
(HSE)	OSC_IN输入电容 (1)			5	p F 的	
DuCy (HSE)	占空比		45		55	%
我 L	OSC_IN输入漏电流	V SS V IN V DD			±1	μ A

1. 保证设计，未经生产测试。

从外部源产生的低速外部用户时钟

表20给出的特性来自使用低速执行的测试
外部时钟源，以及在环境温度和电源电压条件下
总结在表8中。

表20. 低速外部用户时钟特性

符号	参数	条件	敏	典型	马 克 斯	单 元
f LSE_ext	用户外部时钟源 频率 (1)			32.768	1000	千赫
V LSEH	OSC32_IN输入引脚高电平 电压		0.7 V DD		V DD	V
V LSEL	OSC32_IN输入引脚为低电平 电压		V SS		0.3 V DD	
t w (LSE) t w (LSE)	OSC32_IN高或低时 (1)		450			NS
t r (LSE) t f (LSE)	OSC32_IN上升或下降时间 (1)				50	
(LSE)	OSC32_IN输入电容 (1)			5	p F 的	
DuCy (LSE)	占空比		三十		70	%
我 L	OSC32_IN输入漏电流	V SS V IN V DD			±1	μ A

1. 保证设计，未经生产测试。

图17. 高速外部时钟源交流时序图

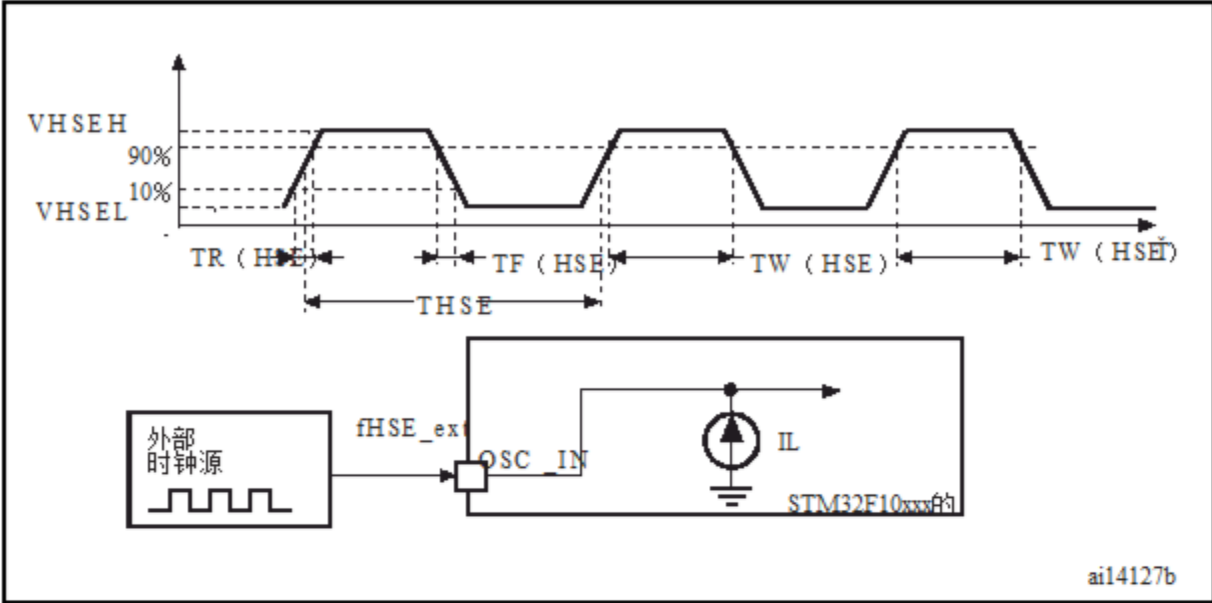
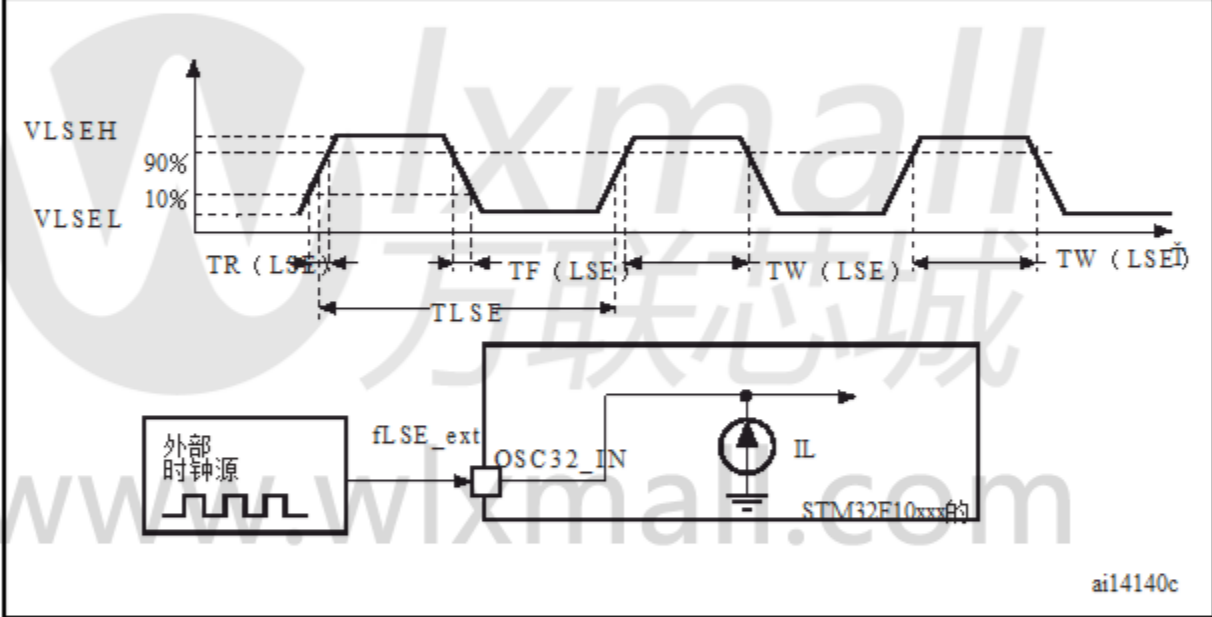


图18. 低速外部时钟源AC时序图



从晶体/陶瓷谐振器产生的高速外部时钟

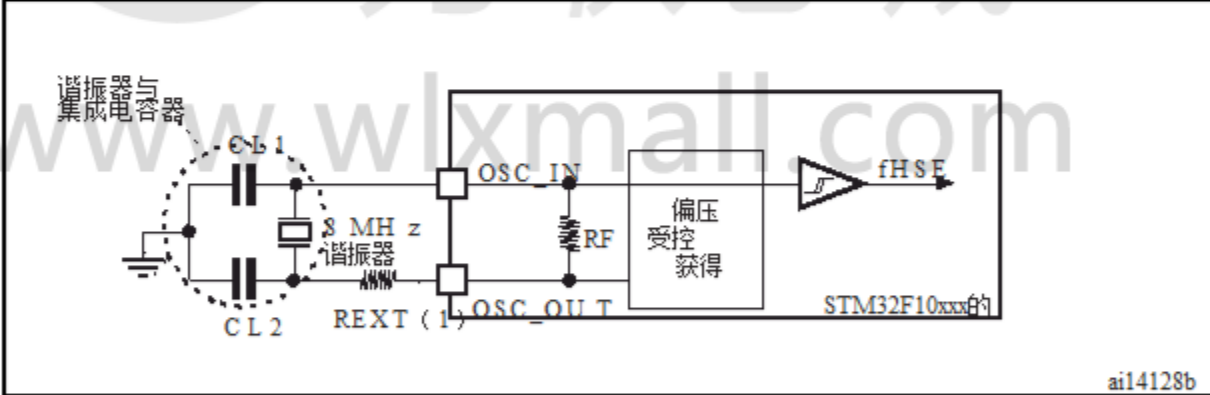
高速外部 (HSE) 时钟可提供4至24 MHz晶体/陶瓷谐振器.本段中提供的所有信息均基于特征通过表21中规定的典型外部组件获得的结果.在应用中,谐振器和负载电容必须尽可能靠近振荡器放置引脚,以最小化输出失真和启动稳定时间.参考水晶谐振器制造商有关谐振器特性(频率,包装,精度).

表21. HSE 4-24 MHz振荡器特性 (1) (2)

符号	参数	条件	敏	典型	马克斯单元
f OSC_IN	振荡频率		4	8	24 兆赫
R F	反馈电阻			200	k Ω
C L1 C L2(3)	推荐负载电容 相对于等效串行 晶体电阻 (R S) (4)	R S =30 Ω		三十	pF的
我 2	HSE驱动电流	V DD = 3.3 V V IN = V SS , 30 pF 加载			1 毫 安
g m	振荡器跨导	启动	25		毫安/V
t SU (HSE) (5)	启动时间	V DD 稳定		2	女士

1. 晶体/陶瓷谐振器制造商提供的谐振器特性.
2. 基于表征, 未在生产中测试.
3. 建议使用5 pF至25 pF范围 (典型值) 的高品质外部陶瓷电容, 专为高频应用而设计, 并选择符合晶体的要求. 谐振器, C L1和C L2通常是相同的大小. 晶体制造商通常指定负载电容是C L1和C L2的串联组合. PCB和MCU引脚电容必须是包括 (10 pF可用作组合的针脚和电路板电容的粗略估计) C L1和C L2.
4. R F电阻的相对较低的值可以防止在使用中导致的问题. 潮湿的环境, 由于感应泄漏和偏置条件的变化. 但是, 它是如果MCU在恶劣的湿度条件下使用, 建议考虑这一点.
5. t SU (HSE) 是从启用 (通过软件) 到稳定的8 MHz测量的启动时间. 达到振荡. 该值是针对标准晶体谐振器测量的, 它可以显著变化与晶体制造商.

图19. 典型应用与8 MHz晶体



1. R EXT 值取决于晶体特性.

从晶体/陶瓷谐振器产生的低速外部时钟

低速外部 (LSE) 时钟可提供32.768 kHz晶体/陶瓷谐振器.本段中提供的所有信息均基于特征通过表22中规定的典型外部组件获得的结果.在应用中, 谐振器和负载电容必须尽可能靠近振荡器放置引脚, 以最小化输出失真和启动稳定时间.参考水晶谐振器制造商有关谐振器特性 (频率, 包装, 精度) .

注意: 对于CL1和CL2, 建议在5 pF至15 pF中使用高品质陶瓷电容。选择15 pF范围以符合晶体或谐振器的要求。CL1和CL2通常尺寸相同。晶体制造商通常规定一个负载电容是CL1和CL2的串联组合。
负载电容CL具有以下公式: $CL = CL1 \times CL2 / (CL1 + CL2) + C_{杂散}$ 其中C杂散是引脚电容和电路板或跟踪PCB相关的电容。通常, 它是在2 pF和7 pF之间。

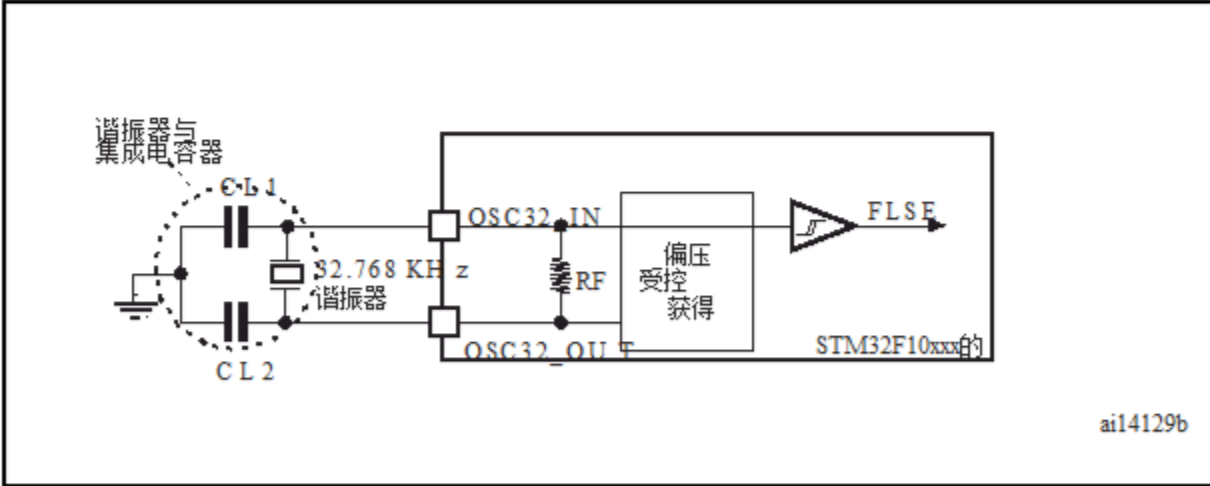
警告: 为了避免超过CL1和CL2 (15 pF) 的最大值, 强烈建议使用负载电容CL = 7 pF的谐振器。切勿使用带负载的谐振器电容12.5 pF。
示例: 如果选择负载电容为CL = 6 pF, C杂散 = 2 pF的谐振器, 那么CL1 = CL2 = 8 pF。

表22. LSE振荡器特性 (fLSE = 32.768 kHz) (1)

符号	参数	条件	敏	典型	马克斯单元
RF	反馈电阻			五	中号
CL1 CL2 (2)	推荐负载电容 相对于等效串行 晶体电阻 (RS) (3)	RS = 30K Ω		15	pF的
I2	LSE驱动电流	VDD = 3.3 V VIN = VSS		1.4	μ A
gm	振荡器跨导		五		μ A/V
tSU (LSE) ⁽⁴⁾	启动时间	VDD 稳定		3	小号

- 基于表征, 未在生产中测试。
- 请参阅表格上方的注释和注意事项。
- 可以使用具有高质量谐振器的电源电流来优化振荡器选择。较小的RS值, 例如MSIV-TIN32.768 kHz。有关详细信息, 请参阅晶体制造商。
- tSU (LSE) 是从启用 (通过软件) 到稳定的时刻测量的启动时间。达到32.768 kHz的振荡。该值是针对标准晶体谐振器测量的, 它可以变化显著与晶体制造商。

图20. 具有32.768 kHz晶体的典型应用



5.3.7 内部时钟源特性

表23中给出的参数来源于在环境下进行的测试
 温度和V_{DD}电源电压条件总结在表8中。

高速内部（HSI）RC振荡器

表23. HSI振荡器特性 (1) (2)

符号	参数	条件	敏	典型	马克斯	单元
f _{HSI}	频率			8		兆赫
ACC HSI	HSI振荡器精度	T _A = -40至105°C	-2.7		3	%
		T _A = -10~85°C	-2		2.5	%
		T _A = 0~70°C	-2		2.5	%
		T _A = 25°C	-0.7		1	%
t _{su} (HSI)	HSI振荡器启动时间		1		2	微秒
I _{DD} (HSI)	HSI振荡器功耗			80	100	μA

1. 保证设计，未经生产测试。
2. V_{DD} = 3.3 V, T_A = -40至105°C, 除非另有规定。

低速内部（LSI）RC振荡器

表24. LSI振荡器特性 (1)

符号	参数	敏	典型	马克斯	单元
f _{LSI}	频率	三十	40	60	千赫
t _{su} (LSI)	LSI振荡器启动时间			85	微秒
I _{DD} (LSI)	LSI振荡器功耗		0.65	1.2	μA

1. V_{DD} = 3 V, T_A = -40至105°C, 除非另有规定。
2. 保证设计，未经生产测试。

从低功耗模式唤醒时间

表25中给出的唤醒时间是在8 MHz HSI的唤醒阶段测量的
 RC振荡器.用于唤醒设备的时钟源取决于当前的时钟源
 操作模式:

- 停止或待机模式：时钟源是RC振荡器
- 休眠模式：时钟源是在进入睡眠模式之前设置的时钟。

所有时间均来自在环境温度和V_{DD}电源下进行的测试
 电压条件总结在表8中。

表25. 低功耗模式唤醒时序

符号	参数	典型	单元
t _{WUSLEEP} (1)	从休眠模式唤醒	1.8	微秒

表25. 低功耗模式唤醒时间（续）

符号	参数	典型	单元
$t_{WUSTOP}^{(1)}$	从停止模式唤醒（运行模式下调节器）	3.6	微秒
	从停止模式唤醒（在低功耗模式下调节）	5.4	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	50	微秒

1. 唤醒时间是从唤醒事件到用户应用程序代码的点测量的
读取第一条指令。

5.3.8 PLL特性

表26中给出的参数来源于在环境下进行的测试
温度和 V_{DD} 电源电压条件总结在表8中。

表26. PLL特性

符号	参数	值		单元
		分钟 (1) 典型	最大 (1)	
f_{PLL_IN}	PLL输入时钟 (2)	18.0	24	兆赫
	PLL输入时钟占空比	40	60	%
f_{PLL_OUT}	PLL倍频器输出时钟	16	24	兆赫
t_{LOCK}	PLL锁定时间		200	微秒
抖动	周期到周期的抖动		300	PS

- 基于器件表征，未在生产中测试。
- 注意使用适当的乘数因子，使PLL输入时钟值兼容由 f_{PLL_OUT} 定义的范围。

5.3.9 记忆特征

闪存

特性在T A = -40至105°C下 给出， 除非另有规定。

表27. 闪存特性

符号	参数	条件	最小	典型	最大值	单元
t 程序	16位编程时间	T A↑↑-40至+105°C	40	52.5	70	微秒
删除	页面（1 KB）擦除时间	T A↑ -40至+105°C	20		40	女士
t ME	大量擦除时间	T A↑ -40至+105°C	20		40	女士
我 DD	供电电流	读取模式 f HCLK = 24 MHz, V DD = 3.3 V			20	嘛
		写/擦除模式 f HCLK = 24 MHz, V DD = 3.3 V			5 毫	安
		掉电模式/停止， V DD = 3.0~3.6V			50	μA
V 程序	编程电压		2		3.6	V

1. 保证设计，未经生产测试。

表28. 闪存耐久性和数据保留

符号	参数	条件	值			单元
			最小	典型	马克斯	
N 结束	耐力	T A = -40至+85°C（6个后继版本） T A = -40至+105°C（7个后继版本）	10			kcycles
t RET	数据保留	在T A = 85°C下 1kcycle（2）	三十			年份
		1 Kcycle（2）在T A = 105°C	10			
		TKA = 55°C时有 10个循环（2）	20			

1. 高于在生产中未测试的表征。

2. 在整个温度范围内进行循环。

5.3.10 EMC特性

在器件表征期间，以样本为基础进行敏感性测试。

功能性EMS（电磁敏感性）

虽然在设备上执行简单的应用程序（通过I / O端口切换2个LED），该设备受到两个电磁事件的压力，直到发生故障。失败是由LED指示：

- 静电放电（ESD）（正极和负极）被施加到所有器件引脚，直到发生功能障碍。该测试符合IEC 61000-4-2标准。
- FTB：快速瞬态电压（正极和负极）的突发应用于V_{DD}和V_{SS}通过100 pF电容，直到发生功能障碍。这个测试是符合IEC 61000-4-4标准。

器件复位允许恢复正常操作。

测试结果在表29中给出。它们基于EMS级别和类别。在应用笔记AN1709中定义。

表29. EMS特点

符号	参数	条件	等级/类别
V _{FESD}	对任何I / O引脚施加的电压限制引起功能障碍	V _{DDT} 3.3V, T _A + 25°C, f _{HCLK} = 24 MHz, LQFP100 包装, 符合 IEC 61000-4-2	2B
V _{EFTB}	快速瞬态电压突发限制为在V _{DD} 和V _{SS} 引脚上施加100 pF引起功能障碍	V _{DDT} 3.3V, T _A + 25°C, f _{HCLK} 24MHz, LQFP100 包装, 符合 IEC 61000-4-4	4A

设计硬化软件以避免噪音问题

在典型的组件级别进行EMC表征和优化应用环境和简化的MCU软件。应该注意的是良好的EMC性能高度依赖用户应用程序和软件。

因此，建议用户应用EMC软件优化和预先与他申请的EMC级别相关的资格考试。

软件建议

软件流程图必须包括失控条件的管理，如：

- 程序计数器损坏
- 意外重置
- 关键数据损坏（控制寄存器...）

资格预审试验

大多数常见故障（意外重置和程序计数器损坏）都可以通过手动强制NRST引脚或振荡器引脚1的低电平进行复制。第二，为了完成这些试验，可以直接在器件上施加ESD应力规格值范围。当检测到意外行为时，软件可以硬化以防止发生不可恢复的错误（参见应用笔记AN1015）。

电磁干扰 (EMI)

在简单的应用程序中监视器件发出的电磁场
执行 (通过 I / O 端口切换 2 个 LED)。该排放测试符合
IEC 61967-2 标准规定了测试板和引脚负载。

表 30. EMI 特性

符号 参数	条件	监控 频带	最大与 [f _{HSE} / f _{HCLK}]	单元
			8/24 MHz	
S EMI	峰值水平 V _{DDT} 3.3V, T _A +25°C, LQFP100 封装 符合 IEC 61967-2	0.1 MHz 至 30 MHz	9	平 dBμV
		30 MHz 至 130 MHz	17	
		130 MHz 至 1 GHz	16	
		SAE EMI 级别	4	-

5.3.11 绝对最大额定值 (电气灵敏度)

基于使用特定测量方法的三种不同的测试 (ESD, LU)，该设备是
强调为了确定其在电敏感性方面的表现。

静电放电 (ESD)

静电放电 (正负脉冲分开 1 秒)
根据每个针组合应用于每个样品的针脚。样本大小
取决于器件中的电源引脚数 (3 部分 × (n + 1) 个引脚)。这个测试
符合 JESD22-A114 / C101 标准。

表 31. ESD 绝对最大额定值

符号	评级	条件	类	最大值 值 (1)	单元
V _{ESD} (HBM)	静电放电 电压 (人体模型)	T _A +25°C 符合 JESD22-A114	2 T B D		V
V _{ESD} (CDM)	静电放电 电压 (充电装置型号)	T _A +25°C 符合 JESD22-C101	II	T B D	

1. 基于表征结果，未在生产中测试。

静态闩锁

六个部分需要进行两个互补的静态测试来评估闩锁
性能：

- 电源过电压被施加到每个电源引脚
- 电流注入应用于每个输入，输出和可配置的 I / O 引脚

这些测试符合 EIA / JESD78 IC 闩锁标准。

表 32. 电敏感

符号	参数	条件	类
鲁	静态锁定类	T _A + + 105°C 符合 JESD78	TBD

5.3.12 I / O端口特性

一般输入/输出特性

除非另有规定，表33中给出的参数来自测试
在表8总结的条件下执行.所有I / O都是CMOS和TTL
兼容.

表33. I / O静态特性

符号	参数	条件	敏	典型	马克斯	单元
V IL	标准I / O输入低电平电压		-0.5		0.28 (V DD -2) +0.8	V
	I / O FT (1) 输入低电平电压		-0.5		0.32 (V DD -2) +0.75	
V IH	标准I / O输入高电平电压		0.41 (V DD -2) +1.3		V DD +0.5	
	I / O FT (1) 输入高电平		0.42 (V DD -2) +1		5.5	
嗯	标准I / O施密特触发电压 迟滞 (2)		200			毫伏
	I / O FT施密特触发电压 迟滞 (2)		5% V DD (3)			毫伏
我 Ikg	输入漏电流 (4)	V SS V IN V DD 标准I / O			1	μA
		V IN = 5 V I / O FT			3	
R PU	弱上拉等效电阻 (5)	V IN↑V SS	三十	40	50	kΩ
R PD	弱下拉等效 电阻 (5)	V IN↑V DD	三十	40	50	kΩ
C IO	I / O引脚电容			五		pF的

1. FT = 5V容限. 为了维持高于V DD +0.5的电压， 必须禁止内部上拉/下拉电阻.
2. 施密特触发开关电平之间的滞后电压.基于表征， 未在生产中测试.
3. 至少100 mV.
4. 泄漏可能高于最大值.如果相邻引脚上注入负电流.
5. 上拉和下拉电阻设计成与可切换PMOS / NMOS串联的真实电阻.这个
PMOS / NMOS对串联电阻的贡献最小 (约10%)

所有I / O都兼容CMOS和TTL (不需要软件配置).其
特性涵盖了严格的CMOS技术或TTL参数.该
对于标准I / O， 这些要求的覆盖范围如图21和图22所示
在图23和图24中为5 V容限I / O.



图21. 标准I/O输入特性 - CMOS端口

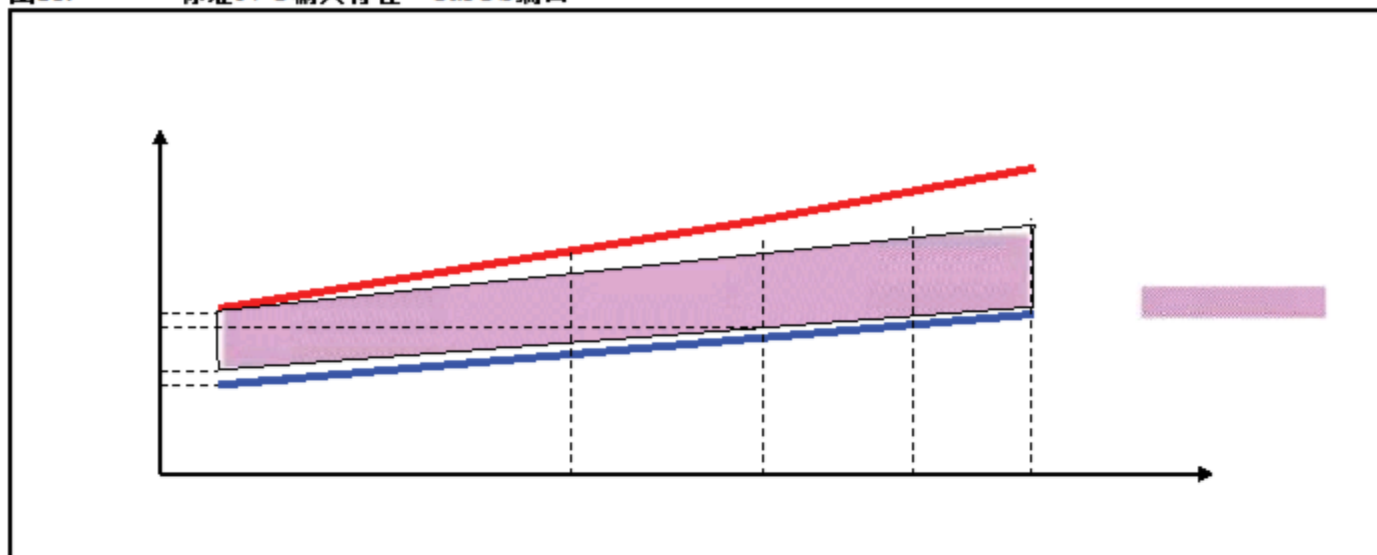


图22. 标准I/O输入特性 - TTL端口

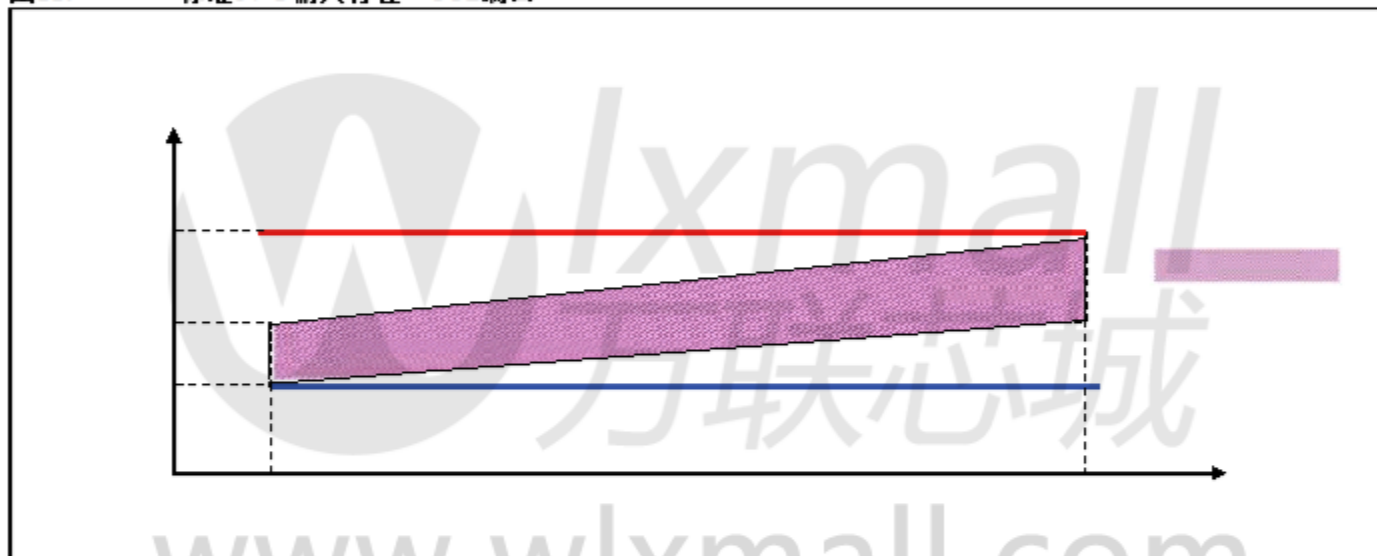


图23. 5 V容差I / O输入特性 - CMOS端口

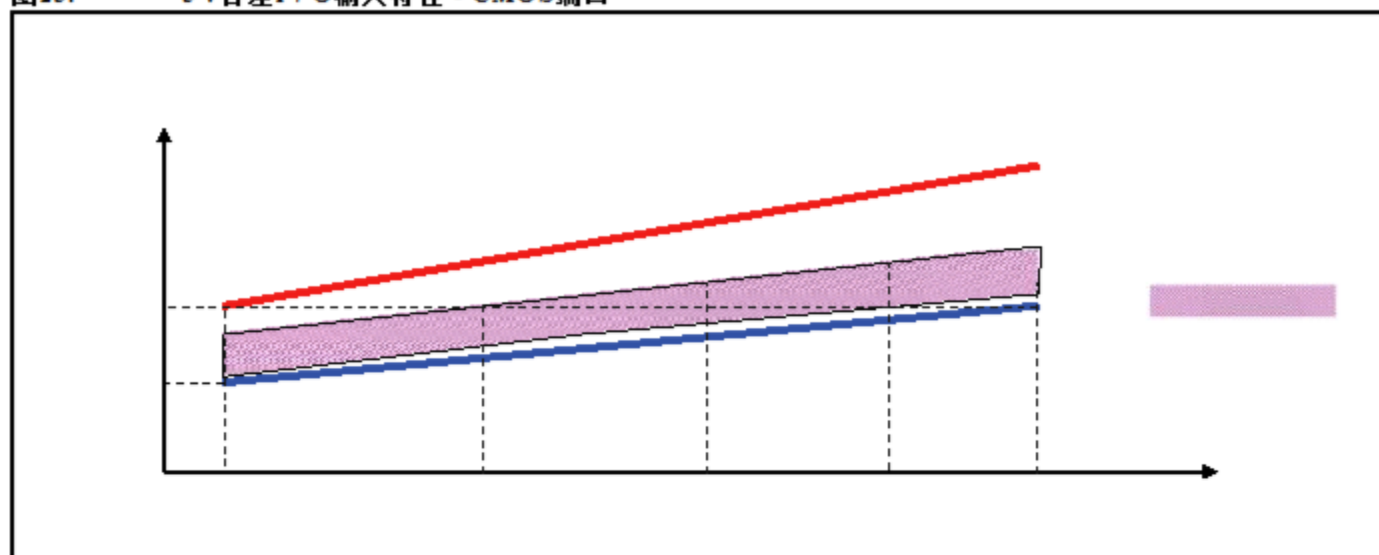
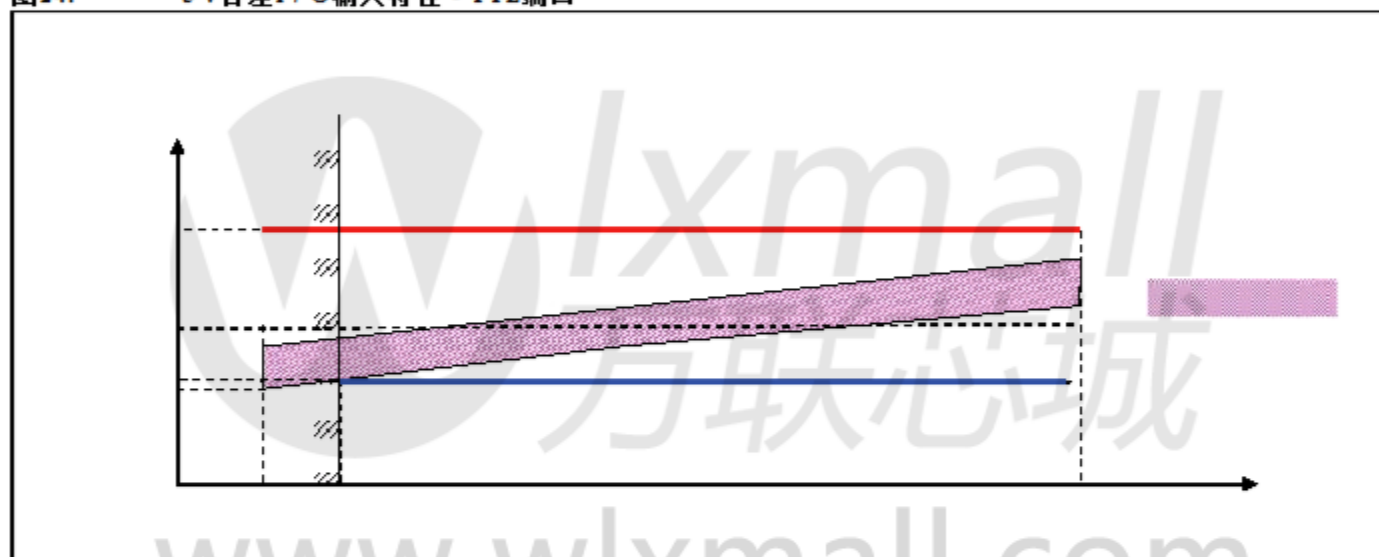


图24. 5 V容差I / O输入特性 - TTL端口



输出驱动电流

GPIO (通用输入/输出) 可以吸收或输出高达 $\pm 8 \text{ mA}$, 并吸收 $+20 \text{ mA}$ (放松 V_{OL}).

在用户应用中, 必须限制可驱动电流的I / O引脚数

尊重第5.2节规定的绝对最大额定值:

- 由 V_{DD} 上的所有I / O提供的电流总和 加上最大运行来自 V_{DD} 的MCU的消耗 不能超过绝对最大额定值 I_{VDD} (见表6).
- V_{SS} 上的所有I / O的电流 和最大运行的总和 V_{SS} 上的MCU的消耗 不能超过绝对最大额定值 I_{VSS} (见表6).

输出电压电平

除非另有说明，表34中给出的参数来自测试
在环境温度和V_{DD}电源条件下进行 总结
所有I/O都符合CMOS和TTL标准。

表34. 输出电压特性

符号	参数	条件	敏	马克斯	单元
V _{OL} (1)	输出I/O引脚的低电平电压 当8个引脚同时沉没时	TTL端口， I _{IO} = +8mA， 2.7 V < V _{DD} < 3.6 V		0.4	V
V _{OH} (2)	输出I/O引脚的高电平电压 当8个引脚同时采购时		V _{DD} - 0.4		
V _{OL} (1)	为I/O引脚输出低电平电压 当8个引脚同时沉没时	CMOS端口 I _{IO} = +8 mA 2.7 V < V _{DD} < 3.6 V		0.4	V
V _{OH} (2)	为I/O引脚输出高电平电压 当8个引脚同时采购时		2.4		
V _{OL} (1)	为I/O引脚输出低电平电压 当8个引脚同时沉没时	I _{IO} = +20 mA (3) 2.7 V < V _{DD} < 3.6 V		1.3	V
V _{OH} (2)	为I/O引脚输出高电平电压 当8个引脚同时采购时		V _{DD} - 1.3		
V _{OL} (1)	为I/O引脚输出低电平电压 当8个引脚同时沉没时	I _{IO} = +6mA (3) 2 V < V _{DD} < 2.7 V		0.4	V
V _{OH} (2)	为I/O引脚输出高电平电压 当8个引脚同时采购时		V _{DD} - 0.4		

1. 设备沉没 的I/O电流必须始终遵守表6中规定的绝对最大额定值 I_{IO} (I/O端口和控制引脚) 的总和 不得超过I_{VSS} .
2. 由设备提供 的I/O电流必须始终遵守规定的绝对最大额定值 表6和I_{IO} (I/O端口和控制引脚) 的总和 不能超过I_{VDD} .
3. 基于特征数据，未在生产中测试。

输入/输出交流特性

图25给出了输入/输出AC特性的定义和值
表35.

除非另有说明，表35中给出的参数来自测试
在环境温度和V_{DD}电源条件下进行 总结
在表8中.

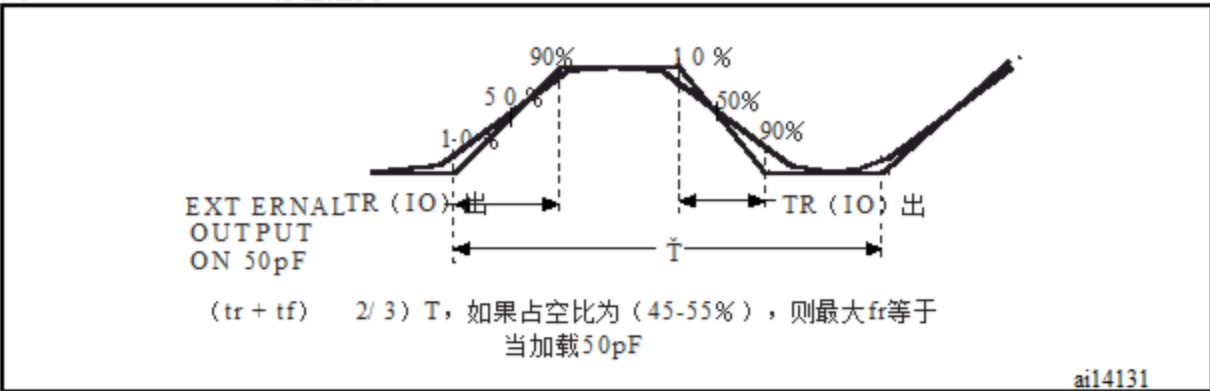
表35. I / O交流特性 (1)

MODEx [1: 0]位 值 (1)	符号	参数	条件	马克斯单元	
10	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V	2	兆赫
	t _f (IO) _{out}	输出高到低水平下降 时间	C _L = 50pF, V _{DD} = 2V至3.6V	125 (3)	NS
	t (IO) _{out}	输出低至高电平上升 时间		125 (3)	
01	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V	10	兆赫
	t _f (IO) _{out}	输出高到低水平下降 时间	C _L = 50pF, V _{DD} = 2V至3.6V	25 (3)	NS
	t (IO) _{out}	输出低至高电平上升 时间		25 (3)	
11	F _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V	24	兆赫
	t _f (IO) _{out}	输出高到低水平下降 时间	C _L = 30pF, V _{DD} = 2.7V至3.6V	5 (3)	NS
			C _L = 50pF, V _{DD} = 2.7V至3.6V	8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V	12 (3)	
	t (IO) _{out}	输出低至高电平上升 时间	C _L = 30pF, V _{DD} = 2.7V至3.6V	5 (3)	
			C _L = 50pF, V _{DD} = 2.7V至3.6V	8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V	12 (3)	
-t _{EXTI} pw		外部脉冲宽度 信号检测 EXTI控制器		10	NS

1. 使用MODEx [1: 0]位配置I / O速度.请参阅STM32F10xxx参考手册
GPIO端口配置寄存器说明.
2. 最大频率在图25中定义.
3. 保证设计, 未经生产测试.



图25. I/O AC特性定义



5.3.13 NRST引脚特性

NRST引脚输入驱动器使用CMOS技术.它连接到永久上拉电阻R_{PU} (见表33) .

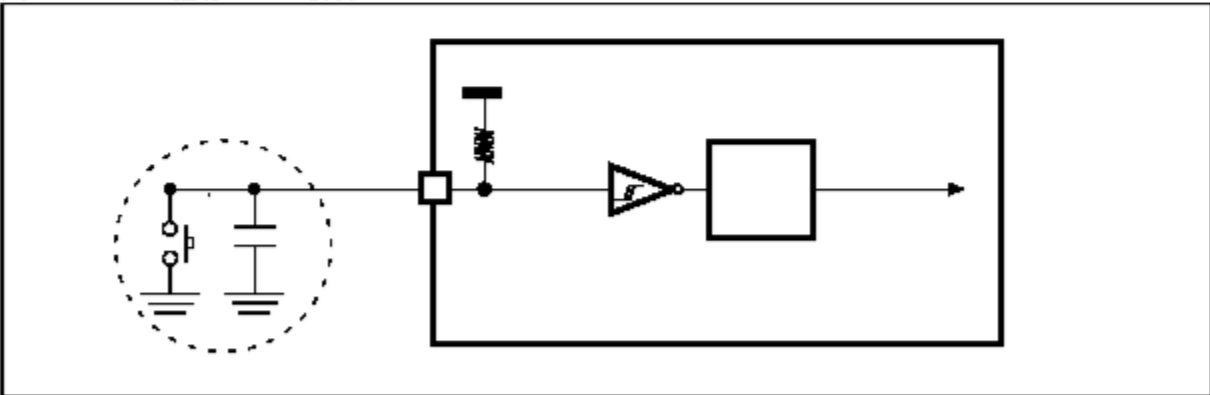
除非另有说明, 表36中给出的参数来自测试在环境温度和V_{DD}电源条件下进行 总结在表8中.

表36. NRST引脚特性

符号	参数	条件	敏	典型	马克斯	单元
V _{IL} (NRST)	NRST输入低电平电压		-0.5		0.8	V
V _{IH} (NRST)	NRST输入高电平电压		2		V _{DD} +0.5	
V _{HS} (NRST)	NRST施密特触发电压滞后			200		毫伏
R _{PU}	弱上拉等效电阻 (2)	V _{INT} V _{SS}	三十	40	50	k Ω
V _F (NRST)	NRST输入滤波脉冲				100	NS
V _{NF} (NRST)	NRST输入未滤波脉冲		300			NS

1. 保证设计, 未经生产测试.
2. 上拉设计具有与可切换PMOS串联的真实电阻. 这个PMOS贡献串联电阻必须最小 (~10% 订单)

图26. 推荐NRST引脚保护



1. 复位网络保护器件免受寄生复位.
2. 用户必须确保NRST引脚上的电平可以低于指定的V_{IL} (NRST) 最大电平表36.否则, 该设备将不会考虑复位.

5.3.14 TIMx特性

表37中给出的参数由设计保证。
有关输入/输出交替的详细信息，请参见第5.3.12节：I/O端口特性
功能特性（输出比较，输入捕捉，外部时钟，PWM输出）。

表37. TIMx特性

符号	参数	条件 (1)	敏	马克斯	单元
t (TIM)	计时器分辨率时间		1 t TIMxCLK		
		f TIMxCLK = 24 MHz	41.7		NS
f EXT	定时器外部时钟 频率在CHx (2)		0 f TIMxCLK / 2		兆赫
		f TIMxCLK = 24 MHz	0	12	兆赫
Res TIM	定时器分辨率			16	位
t 计数器	16位计数器时钟周期 当内部时钟是 选		1	65536	t TIMxCLK
		f TIMxCLK = 24 MHz		2730	微妙
t MAX_COUNT	最大可能数			65536×65536	t TIMxCLK
		f TIMxCLK = 24 MHz		178	小号

1. TIMx用作通用术语，用于指TIM1，TIM2，TIM3，TIM4，TIM15，TIM16和TIM17定时器。
2. CHx用作通用术语，表示TIM1，TIM2，TIM3和TIM4的CH1至CH4，CH1至CH2
TIM15，TIM16和TIM17的CH1。

5.3.15 通讯接口

I2C接口特性

除非另有说明，表38中给出的参数来自测试
在环境温度下执行，fPCLK1 频率和VDD 电源电压
条件总结在表8 中。
STM32F100xx值线I2C接口符合标准I2C的要求
通信协议具有以下限制：I/O引脚SDA和SCL为
映射到不是“真实的”开放式漏洞.当配置为漏极开路时，PMOS连接
在I/O引脚和VDD 之间禁用，但仍然存在。
I2C特性如表38所示.另请参见第5.3.12节：I/O端口
特性有关输入/输出交替功能特性的更多细节（SDA
和SCL）。

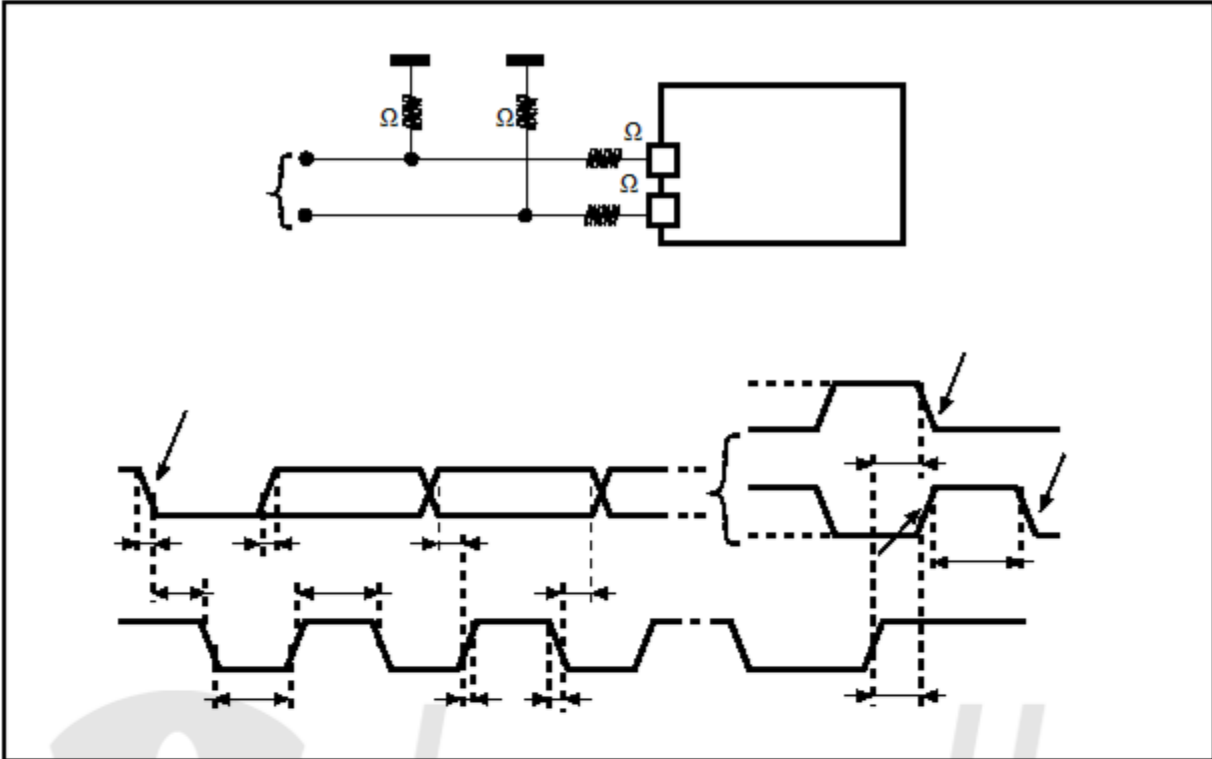


表38. I2C特征

符号	参数	标准模式I2C (1)		快速模式I2C (1) (2)		单元
		敏	马克斯	敏	马克斯	
t w (SCL)	SCL时钟低电平	4.7		1.3		微秒
t w (SCLH)	SCL时钟高电平	4		0.6		
t su (SDA)	SDA设置时间	250		100		NS
t (SDA)	SDA数据保持时间	0 (3)		0 (4)	900 (3)	
t (SDA) t (SCL)	SDA和SCL上升时间		1000		300	
t f (SDA) t f (SCL)	SDA和SCL下降时间		300		300	
t h (STA)	启动条件保持时间	4		0.6		微秒
t su (STA)	重复启动条件设置时间	4.7		0.6		
t su (STO)	停止条件设置时间	4		0.6		微秒
t w (STO: STA)	停止开始条件时间 (公共汽车自由)	4.7		1.3		微秒
C b	每条总线的容性负载		400		400	pF的

1. 保证设计，未经生产测试.
2. f PCLK1 必须高于2 MHz才能达到标准模式I2C频率. 它必须高于4 MHz，实现快速模式I2C频率. 它必须是10 MHz的倍数才能达到400 kHz最大I2C快速模式时钟.
3. 如果接口没有拉低，则必须满足启动条件的最大保持时间SCL信号周期.
4. 该器件必须内部为SDA信号提供至少300 ns的保持时间，以桥接SCL的下降沿的未定义区域.

图27. I2C总线交流波形和测量电路 (1)



1. 测量点在CMOS级别完成：0.3V_{DD}和0.7V_{DD}.

表39. SCL频率 (f_{PCLK1} = 24 MHz, V_{DD} = 3.3 V) (1) (2)

f _{SCL} (kHz)	I2C_CCR值
	R _P = 4.7kΩ
400	0x8011
300	0x8016
200	0x8021
100	0x0064
50	0x00C8
20	0x01F4

1. R_P = 外部上拉电阻, f_{SCL} = I²C速度,
2. 对于400 kHz左右的速度, 实现速度的公差为1%. 对于其他速度范围, 公差达到速度组件用于设计应用程序. 2%.

SPI接口特性

除非另有规定，表40中给出的参数来自测试
在环境温度下执行，fPCLKx 频率和VDD 电源电压
条件总结在表8中。

有关输入/输出备用的更多详细信息，请参见第5.3.12节：I/O端口特性
功能特征（NSS，SCK，MOSI，MISO）。

表40. SPI特性 (1)

符号	参数	条件	敏	马克斯	单元
f SCK 1 / tc (SCK)	SPI时钟频率	主模式		12	兆赫
		从模式		12	
tr (SCK) tf (SCK)	SPI时钟上升和下降 时间	电容负载: C = 30 pF		8	NS
DuCy (SCK)	SPI从机输入时钟 占空比	从模式	三十	70	%
tsu (NSS) ⁽²⁾	NSS建立时间	从模式	4t PCLK		NS
t (NSS) ⁽²⁾	NSS持有时间	从模式	2t PCLK		
tw (SCK) ⁽²⁾ tw (SCK) ⁽²⁾	SCK高低时间	主模式, fPCLK = 24 MHz, 处方 = 4	50	60	
tsu (MI) ⁽²⁾ tsu (SI) ⁽²⁾		主模式	五		
		从模式	五		
t (MI) ⁽²⁾	数据输入建立时间	主模式	五		
th (SI) ⁽²⁾		从模式	4		
t (SO) ⁽²⁾	数据输出访问时间	从模式, fPCLK = 24 MHz	0	3t PCLK	
t dis (SO) ⁽²⁾	数据输出禁止时间	从模式	2	10	
tv (SO) ⁽²⁾	数据输出有效时间	从模式 (使能边沿后)		25	
tv (MO) ⁽³⁾	数据输出有效时间	主模式 (启用后) 边缘)		五	
t (SO) ⁽²⁾	数据输出保持时间	从模式 (使能边沿后)	15		
t (MO) ⁽³⁾		主模式 (启用后) 边缘)	2		

1. 重映射的SPI1特性要确定。
2. 基于表征，未在生产中测试。
3. 最小时间是驱动输出的最短时间，最长时间是进行验证数据。
4. 最短时间是使输出无效的最短时间，最长时间是放置的最长时间Hi-Z中的数据

图28. SPI时序图 - 从模式和CPHA = 0

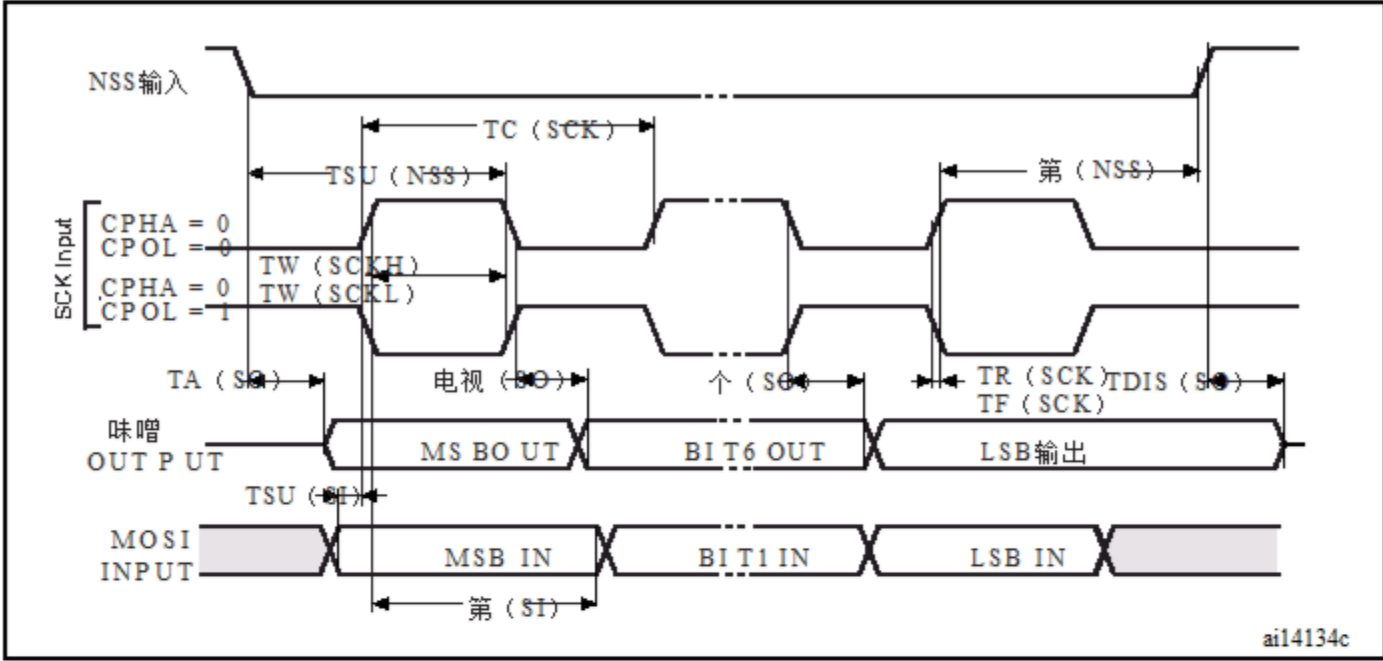
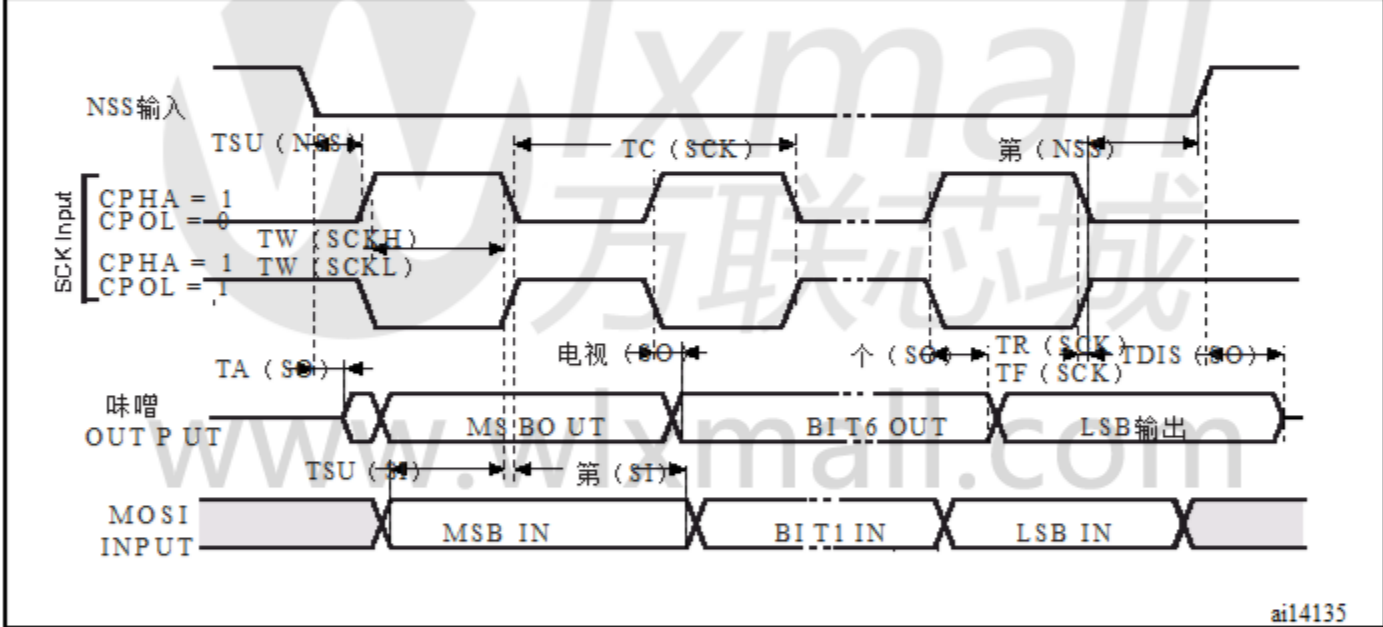
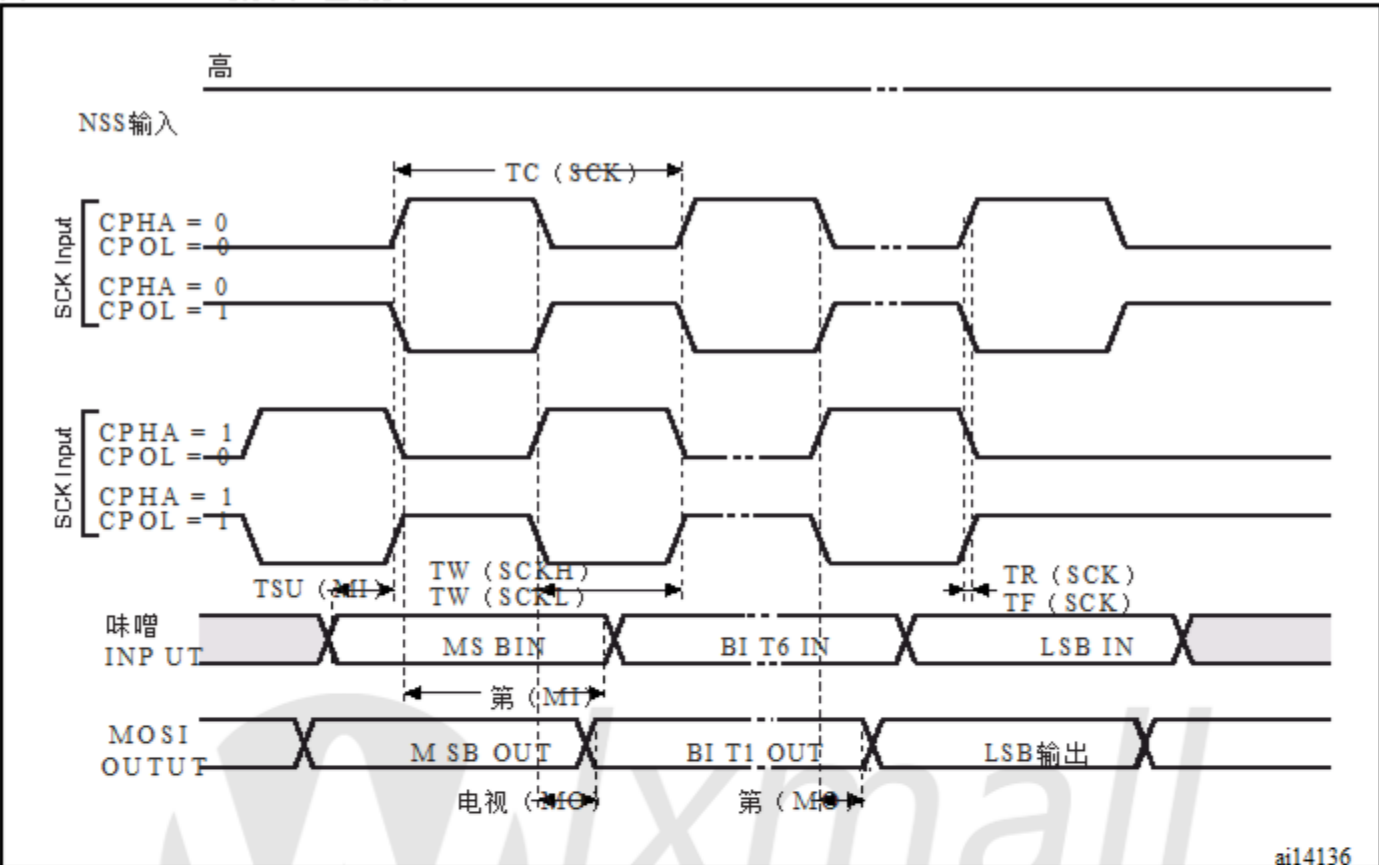


图29. SPI时序图 - 从模式和CPHA = 1 (1)



1. 测量点在CMOS级别完成：0.3V DD和0.7V DD。

图30. SPI时序图 - 主模式 (1)



1. 测量点在CMOS级别完成：0.3V_{DD}和0.7V_{DD}。

HDMI消费电子控制（CEC）

有关输入/输出备用的更多信息，请参见第5.3.12节：I/O端口特性功能特点。

5.3.16 12位ADC特性

除非另有说明，表41中给出的参数来自测试
在环境温度下执行，f_{PCLK2}频率和V_{DDA}电源电压
条件总结在表8中。

注意： 建议每次上电后进行校准。

表 41. ADC 特性

符号	参数	条件	敏	典型	马克斯	单元
V _{DDA}	电源		2.4		3.6	V
V _{REF+}	正参考电压		2.4		V _{DDA}	V
I _{VREF}	V _{REF} 输入电流 消耗			160 (1) 220 (1)		μA
f _{ADC}	ADC 时钟频率		0.6		10	兆赫
f _S (2)	采样率		0.05		1	兆赫
f _{TRIG} (2)	外部触发频率	f _{ADC} = 12 MHz			823	千赫
					17	1 / f _{ADC}
V _{AIN} (3)	转换电压范围		0 (V _{SSA} 绑定 地面)		V _{REF+}	V
R _{AIN} (2)	外部输入阻抗	见公式 1 和 表 42 详见			50	kΩ
R _{ADC} (2)	采样开关电阻				1	kΩ
C _{ADC} (2)	内部采样和保持 电容器				为 8	pF
T _{CAL} (2)	校准时间	f _{ADC} = 12 MHz		5.9		微秒
				83		1 / f _{ADC}
t _{latency} (2)	注入触发转换 潜伏	f _{ADC} = 12 MHz			0.214	微秒
					3 (4)	1 / f _{ADC}
t _{latr} (2)	定期触发转换 潜伏	f _{ADC} = 12 MHz			0.143	微秒
					2 (4)	1 / f _{ADC}
T _S (2)	抽样时间	f _{ADC} = 12 MHz	0.125		17.1	微秒
			1.5		239.5	1 / f _{ADC}
t _{STAB} (2)	上电时间		0	0	1	微秒
t _{CONV} (2)	总转换时间 (含采样时间)	f _{ADC} = 12 MHz	1.17		21	微秒
			14~252 (t _s 为采样+12.5 为 逐次逼近)			1 / f _{ADC}

1. 基于表征结果，未在生产中测试。
2. 保证设计，未经生产测试。
3. 在 LQFP 封装中提供的器件中，V_{REF+} 内部连接到 V_{DDA}，V_{REF-} 内部连接到 V_{SSA}。
TFBGA64 封装中的器件具有 V_{REF+} 引脚，但没有 V_{REF-} 引脚（V_{REF-} 内部连接到 V_{SSA}），
参见表 4：STM32F100xx 引脚定义和图 6。
4. 对于外部触发器，必须在表 41 中指定的延迟中添加 1 / f_{PCLK2} 的延迟。

公式 1: R_{AIN max} 公式:

$$R_{AIN} = \frac{t_{latency}}{f_{ADC} \cdot C_{ADC}} \cdot \frac{1}{\ln \frac{1}{2} \cdot N^2} + R_{ADC}$$



上述公式（等式1）用于确定允许的最大外部阻抗
误差低于LSB的1/4.这里 $N = 12$ （从12位分辨率）。

表42. $R_{AIN\ max}$ for $f_{ADC} = 12\ MHz$ (1)

T (周期)	t _S (μs)	R _{AIN max} (kΩ)
1.5	0.125	0.4
7.5	0.625	5.9
13.5	1.125	11.4
28.5	2.375	25.2
41.5	3.45	37.2
55.5	4.625	50
71.5	5.96	NA
239.5	20	NA

1. 保证设计，未经生产测试。

表43. ADC精度 - 有限测试条件 (1) (2)

符号	参数	测试条件	典型	马克斯	单元
ET	总未调整错误	f PCLK2 = 24 MHz, f ADC = 12MHz, R _{AIN} < 10kΩ, V _{DDA} = 3 V至3.6 V T _A = 25°C 之后测量 ADC校准	±1.3	±2	LSB
EO	偏移误差		±1	±1.5	
例如	增益错误		±0.5	±1.5	
ED	差分线性误差		±0.7	±1	
EL	积分线性误差		±0.8	±1.5	

- 内部校准后测量ADC直流精度值。
- 基于表征，未在生产中测试。

表44. ADC精度 (1) (2)

符号	参数	测试条件	典型	马克斯	单元
ET	总未调整错误	f PCLK2 = 24 MHz, f ADC = 12MHz, R _{AIN} < 10kΩ, V _{DDA} = 2.4 V至3.6 V 之后测量 ADC校准	±2	±5	LSB
EO	偏移误差		±1.5	±2.5	
例如	增益错误		±1.5	±3	
ED	差分线性误差		±1	±2	
EL	积分线性误差		±1.5	±3	

- 内部校准后测量ADC直流精度值。
- 在限制V_{DD}，频率，V_{REF}和温度范围内可以实现更好的性能。
- 基于表征，未在生产中测试。

注意：

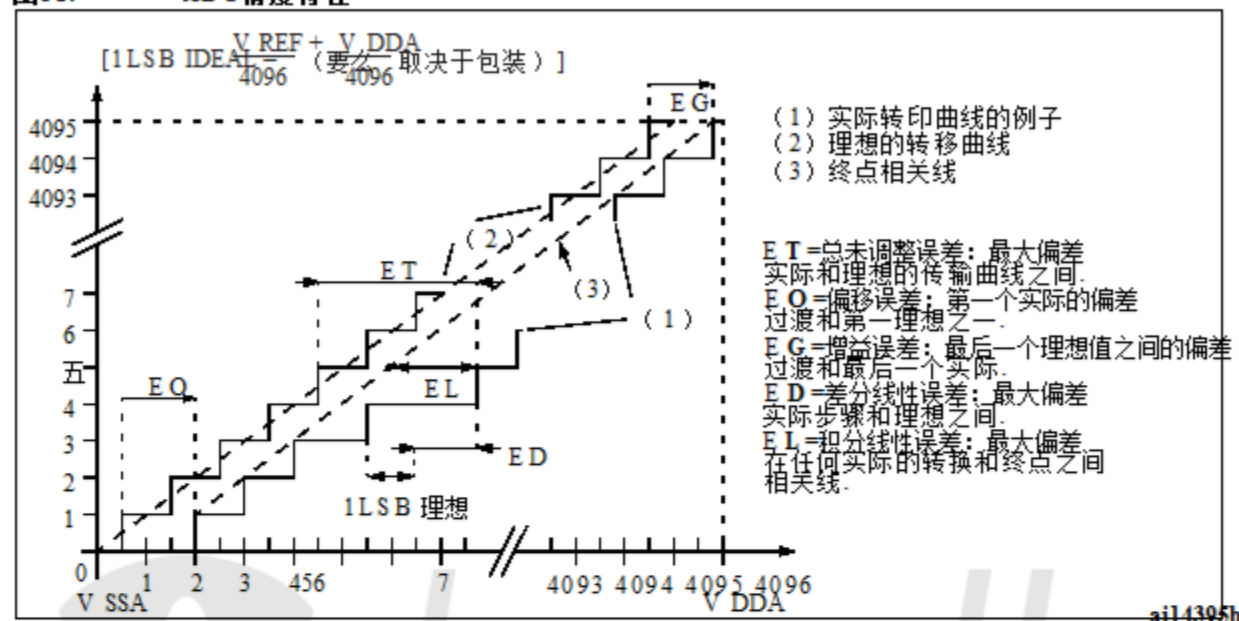
ADC精度 vs. 负注入电流：在任何一个上注入负电流
应避免使用标准（非鲁棒）模拟输入引脚，因为这显著降低了
在另一个模拟输入端执行转换的精度.建议
将肖特基二极管（引脚对地）添加到可能注入的标准模拟引脚

负电流.

在IINJ (PIN) 和sIINJ (PIN) 指定的限度内的任何正向注入电流

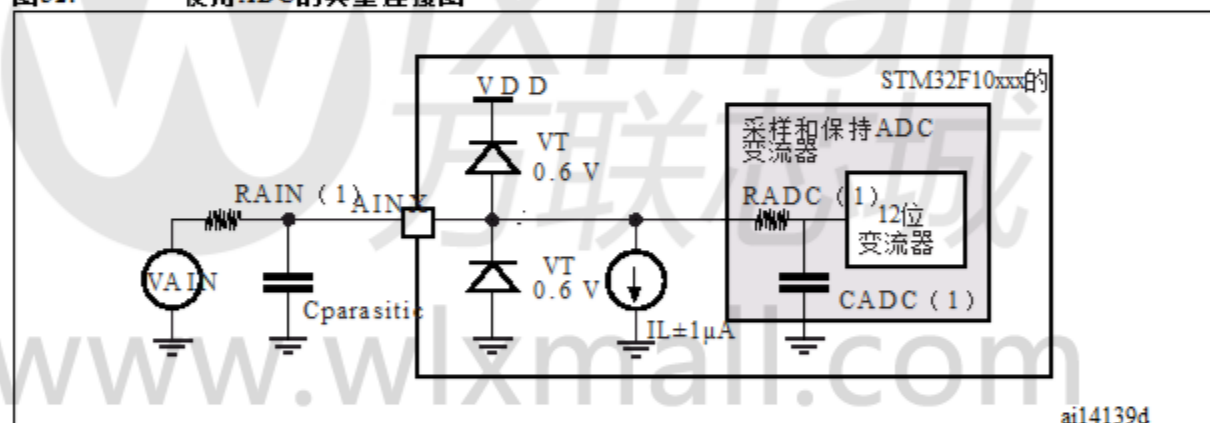
5.3.12节不影响ADC精度.

图31. ADC精度特性



ai14395b

图32. 使用ADC的典型连接图



ai14139d

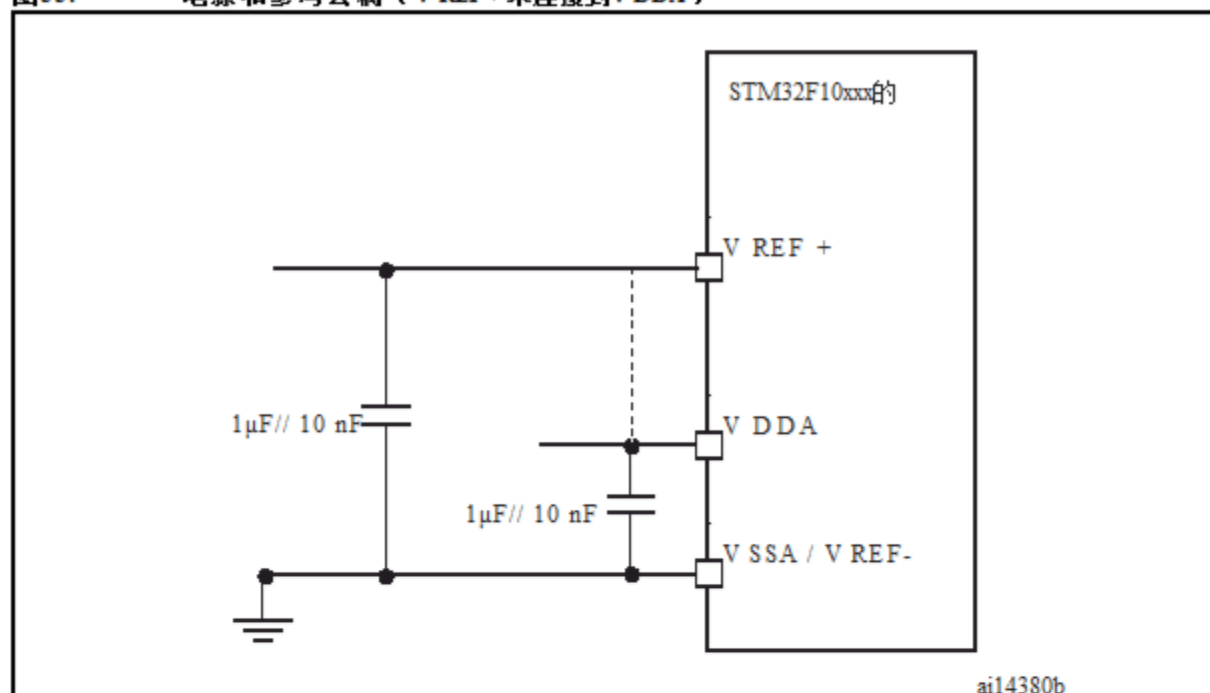
1. R_{AIN} , R_{ADC} 和 C_{ADC} 的值请参见表 41.
2. $C_{寄生}$ 代表 PCB 的电容 (取决于焊接和 PCB 布局质量) 加上焊盘电容 (大约 7 pF). 高 $C_{寄生}$ 值会降低转换精度. 补救这个, ADC 应该减少.

一般PCB设计指南

应如图33或图34所示进行电源去耦.

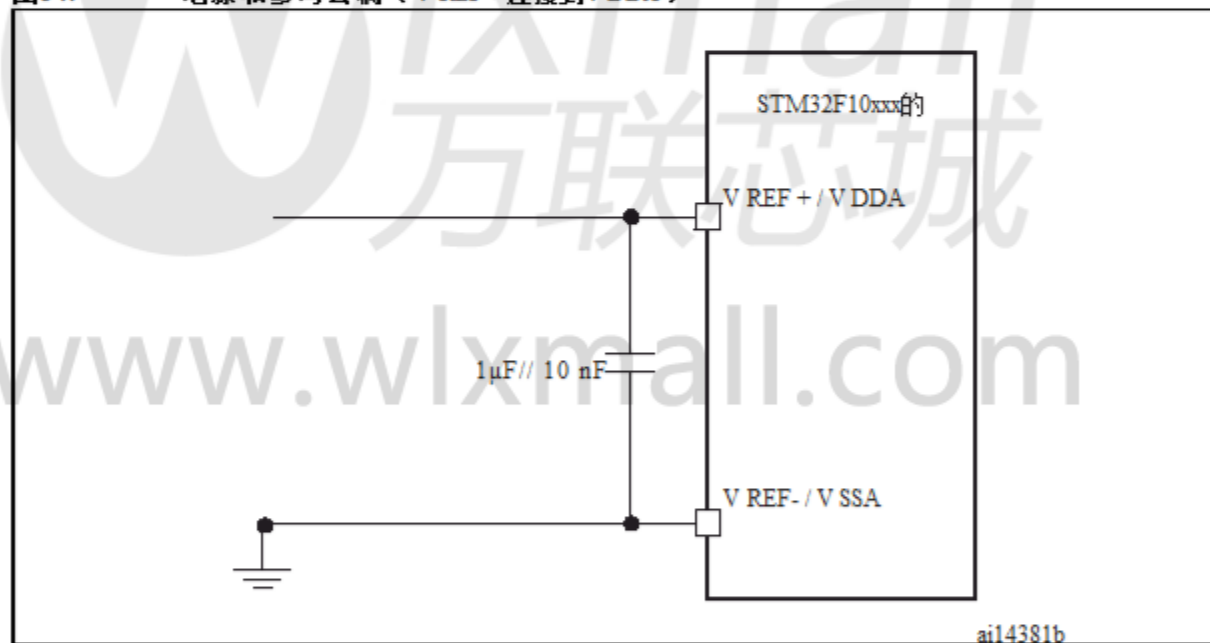
取决于 V_{REF+} 是否连接到 V_{DDA} . 10 nF 电容应为陶瓷 (质量好). 它们应该尽可能靠近芯片.

图33. 电源和参考去耦 (V REF+ 未连接到V DDA)



1. V REF+ 可在100引脚封装和TFBGA64封装上使用. V REF- 在100引脚上可用只包装

图34. 电源和参考去耦 (V REF+ 连接到V DDA)



1. V REF+ 和V REF- 输入仅在100引脚封装上可用.

5.3.17 DAC电气规格

表45. DAC特性

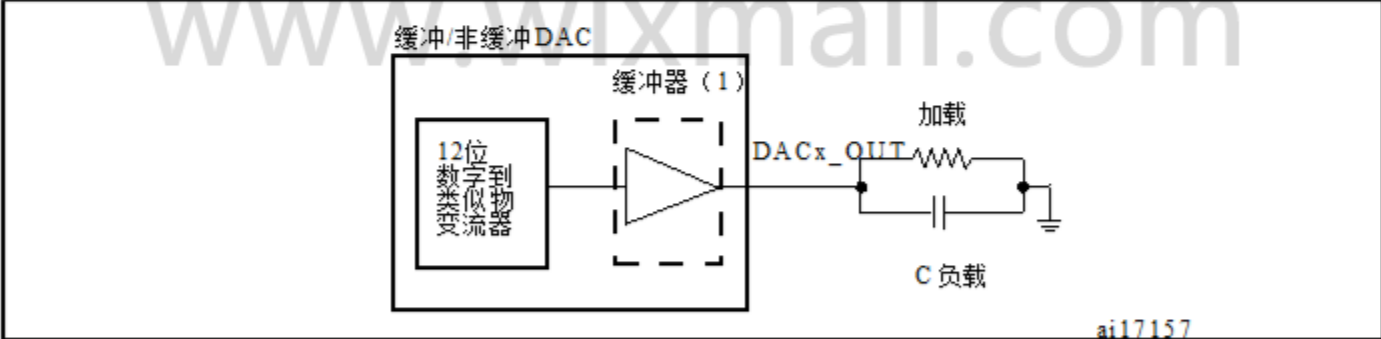
符号	参数	敏	典型	最大 (1)	单元	注释
V _{DDA}	模拟电源电压	2.4		3.6	V	
V _{REF+}	参考电源电压	2.4		3.6	V	V _{REF+} 必须始终在下面 V _{DDA}
V _{SSA}	地面	0		0	V	
加载 (2)	带缓冲器的电阻负载ON	五			k Ω	
R _O (1)	阻抗输出缓冲器OFF			15	k Ω	当缓冲器关闭时, 最小电阻负载 DAC_OUT和V _{SS} 有一个 1%精度为1.5M Ω
C _{负载} (1)	电容负载			50	pF的	最大容性负载在 DAC_OUT引脚 (当缓冲器时) 是ON)。
DAC_OUT _分 (1)	缓冲器降低DAC_OUT电压 上	0.2			V	它给出最大输出 DAC的游览。 它对应于12位输入 代码 (0x0E0) 到 (0xF1C) at V _{REF+} =3.6 V, (0x155) 和 (0xEAB) 在V _{REF+} =2.4 V
DAC_OUT _{最大值} (1)	较高的DAC_OUT电压带缓冲器 上			V _{DDA} - 0.2	V	
DAC_OUT _分 (1)	缓冲器降低DAC_OUT电压 关闭		0.5		毫伏	它给出最大输出 DAC的游览。
DAC_OUT _{最大值} (1)	较高的DAC_OUT电压带缓冲器 关闭			V _{REF+} - 1LSB	V	
I _{DDVREF}	DAC直流电流消耗 静态模式 (待机模式)			220	μ A	无负载, 最差代码 (0xF1C) 在V _{REF+} =3.6 V in 直流消耗的条件 输入
I _{DDA}	DAC直流电流消耗 静态模式 (待机模式)			380	μ A	无负载, 中间代码 (0x800) 输入
				480	μ A	无负载, 最差代码 (0xF1C) 在V _{REF+} =3.6 V in 直流消耗的条件 输入
DNL (3)	差分非线性差 两个连续代码1LSB之间)			± 0.5	LSB	给定DAC在10位 组态
				± 2	LSB	给定DAC在12位 组态
INL (3)	积分非线性 (差异 在代码i的测量值之间 和代码i在一行上的值 代码0和最后一个代码之间 1023)			± 1	LSB	给定DAC在10位 组态
				± 4	LSB	给定DAC在12位 组态

表45. DAC特性 (续)

符号	参数	敏	典型	最大 (1)	单元	注释
偏移量 (3)	偏移误差 (测量值之间的差异 在代码 (0x800) 和理想值= $V_{REF}+/2$)			± 10	毫伏	给定DAC在12位组态
				± 3	LSB	给定DAC在10位 $V_{REF}+=3.6\text{ V}$
				± 12	LSB	给定DAC在12位 $V_{REF}+=3.6\text{ V}$
获得 误差 (3)	增益错误			± 0.5	%	给DAC在12bit组态
$t_{SETTLING}$ (3)	建立时间 (满量程: 10位 输入代码之间的转换 最低和最高的输入代码 当DAC_OUT达到最终值时 $\pm 1\text{LSB}$)		34		微秒	CLOAD 50 pF, RLOAD 5k Ω
更新 率 (3)	最大频率为正确 DAC_OUT变小时 输入代码的变化 (来自代码i 至i + 1LSB)			1MS / s		CLOAD 50 pF, RLOAD 5k Ω
$t_{唤醒}$ (3)	唤醒时间从关闭状态 (设置 DAC控制中的ENx位 寄存器)		6.5	10	微秒	CLOAD 50 pF, RLOAD 5k Ω 输入代码最低和 最高可能的
PSRR + (1)	电源抑制比 (VDDA) (静态直流测量)		-67	-40	分贝	无RLOAD, CLOAD = 50 pF

- 1. 通过表征保证, 未在生产中测试.
- 2. 保证设计, 未经生产测试.
- 3. 通过表征保证, 未在生产中测试.

图35. 12位缓冲/非缓冲DAC



- 1. DAC集成了可用于减少输出阻抗并直接驱动外部负载的输出缓冲器. 而不使用外部运算放大器. 可以通过配置BOFFx位来绕过缓冲区DAC_CR寄存器.

5.3.18 温度传感器特性

表 46. TS特性

符号	参数	敏	典型	马克斯	单元
T (1)	V SENSE 线性度与温度		1	2	C
Avg_Slope (1)	平均坡度	4	4.3	4.6	毫伏/°C
V ₂₅ (1)	电压在25°C	1.32	1.41	1.50	V
t _{START} (2)	启动时间	4		10	微秒
T _{S_temp} (3) (2)	读取温度时的ADC采样时间			17.1	微秒

1. 通过表征保证，未在生产中测试。

2. 保证设计，未经生产测试。

3. 最短采样时间可以通过多次迭代在应用中确定。



6 包装特点

6.1 包装机械数据

为了满足环保要求，ST为不同等级的这些设备提供这些设备
ECOPACK®包装，取决于其环境符合程度。ECOPACK®
规格、等级定义和产品状态可从以下网址获取：www.st.com。
ECOPACK®是ST商标。



图36. LQFP100,14 x 14 mm, 100针低调四方扁平封装外形 (1)

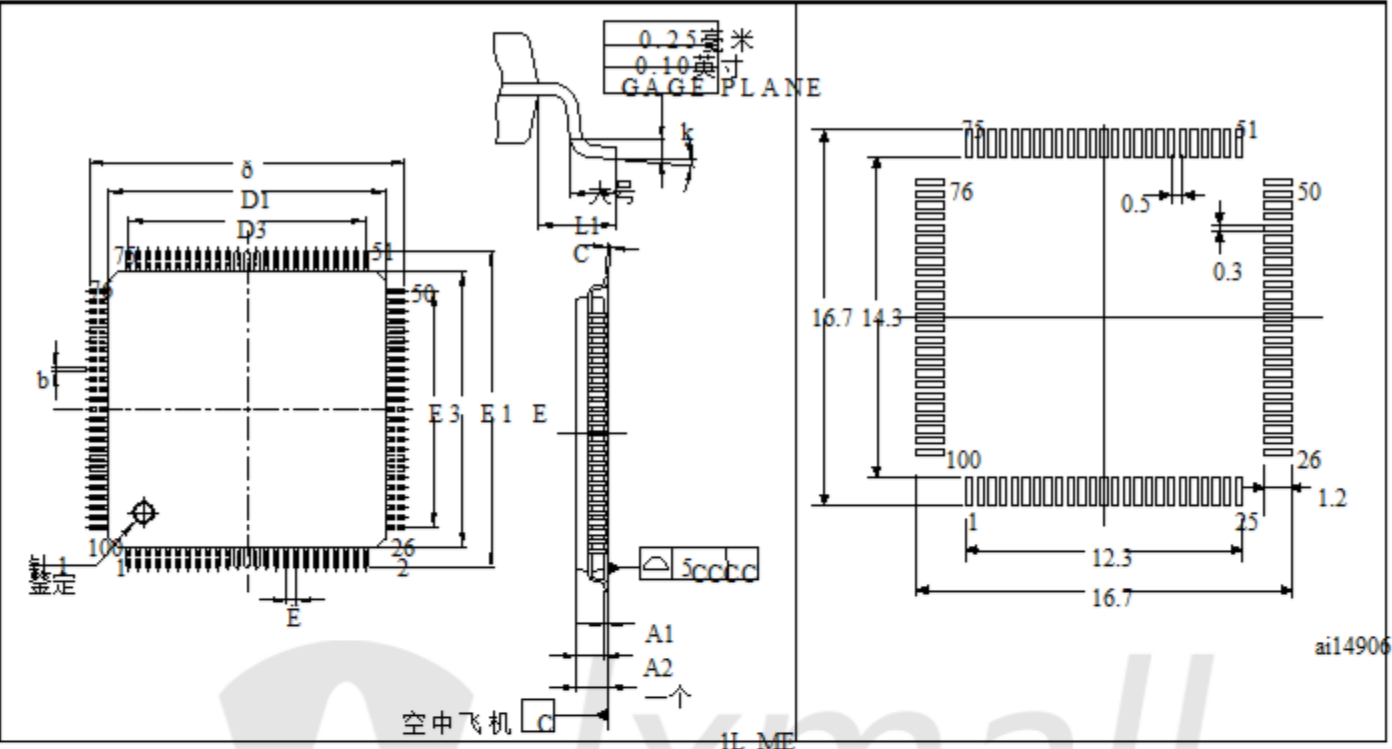
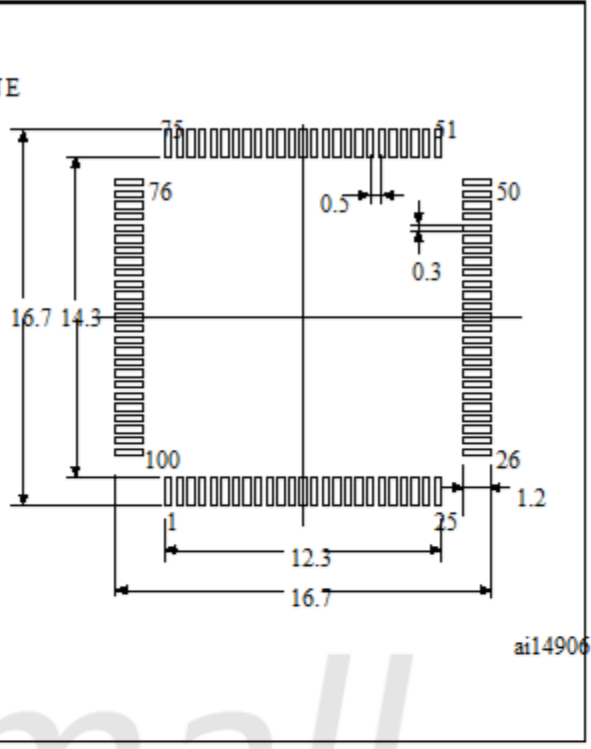


图37. 推荐足迹 (1) (2)



- 1. 绘图不按比例.
- 2. 尺寸单位为毫米.

表47. LQFP100 - 14 x 14 mm, 100引脚薄型四方扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.063
A1	0.05		0.15	0.002		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.2	0.0035		0.0079
δ	15.80	16.00	16.2	0.622	0.6299	0.6378
D1	13.80	14.00	14.2	0.5433	0.5512	0.5591
D3		12.00			0.4724	
E	15.80	16.00	16.2	0.622	0.6299	0.6378
E1	13.80	14.00	14.2	0.5433	0.5512	0.5591
E3		12.00			0.4724	
E		0.50			0.0197	
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
k	0°	3.5°	7°	0.0°	3.5°	7.0°
CCC	0.08			0.0031		

- 1. 以英寸为单位的值将从mm转换为四位数.

图38. LQFP64 - 10 x 10 mm，64引脚低调四通道扁平封装外形 (1)

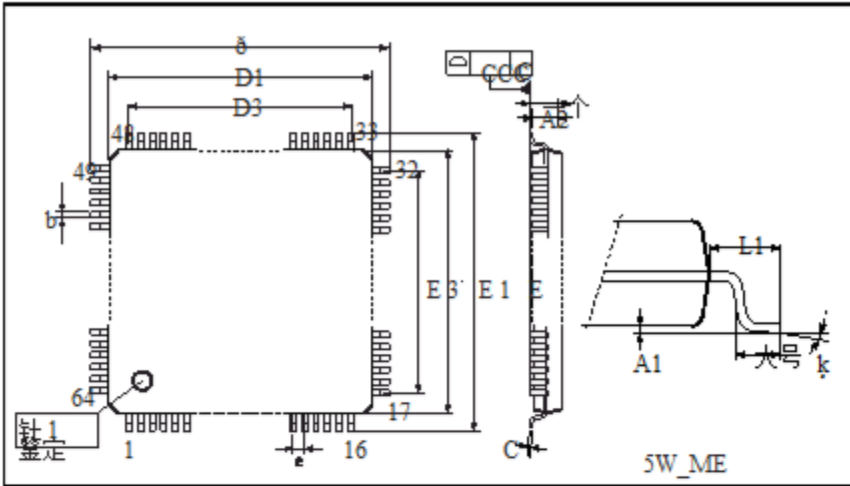
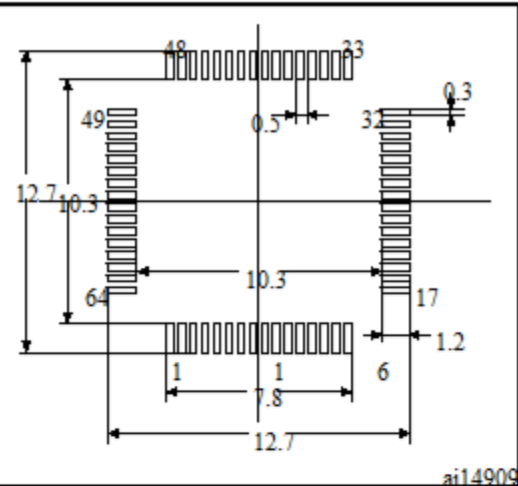


图39. 推荐的
足迹 (1) (2)



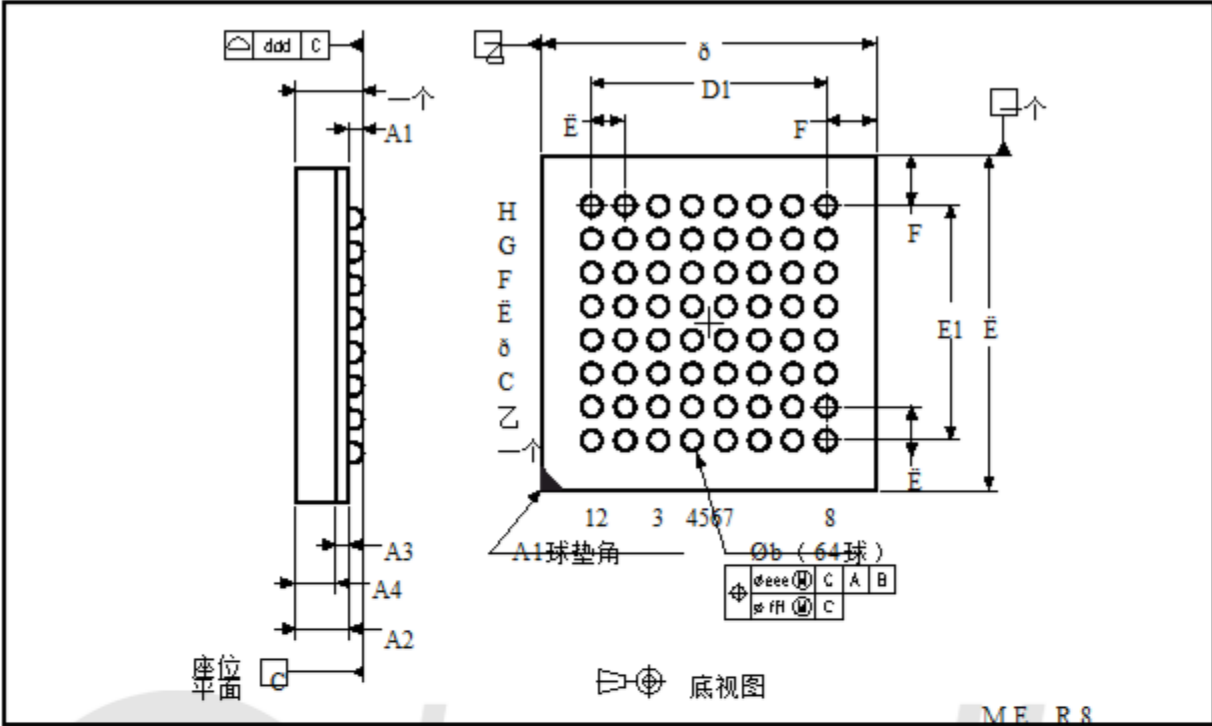
1. 绘图不按比例.
2. 尺寸单位为毫米.

表48. LQFP64 - 10 x 10 mm，64引脚低调四边形封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.0630
A1	0.05		0.15	0.0020		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.20	0.0035		0.0079
δ		12.00			0.4724	
D1		10.00			0.3937	
E		12.00			0.4724	
E1		10.00			0.3937	
E		0.50			0.0197	
γ	0°	3.5°	7°	0°	3.5°	7°
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
引脚数						
N	6	4				

1. 以英寸为单位的值将从mm转换为四位数.

图40. TFBGA64 - 8 x 8有源球阵列，5 x 5 mm，0.5 mm间距，封装外形



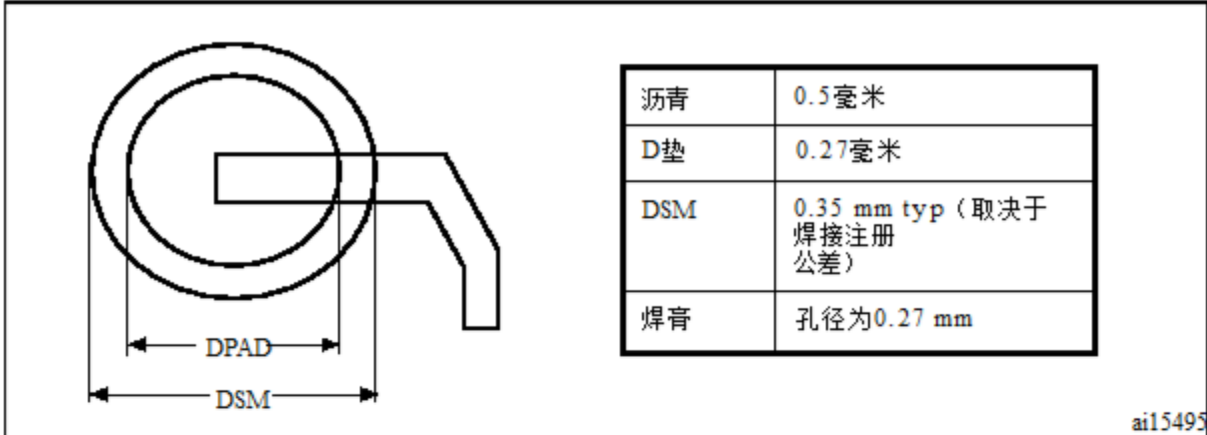
1. 绘图不按比例。

表49. TFBGA64 - 8 x 8有源球阵列，5 x 5 mm，0.5 mm间距，封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.200			0.0472
A1	0.150			0.0059		
A2		0.785			0.0309	
A3		0.200			0.0079	
A4			0.600			0.0236
b	0.250	0.300	0.350	0.0098	0.0118	0.0138
δ	4.850	5.000	5.150	0.1909	0.1969	0.2028
D1		3.500			0.1378	
E	4.850	5.000	5.150	0.1909	0.1969	0.2028
E1		3.500			0.1378	
E		0.500			0.0197	
F		0.750			0.0295	
DDD	0.080			0.0031		
EEE	0.150			0.0059		
FFF	0.050			0.0020		

1. 以英寸为单位的值将从 mm 转换为四位数。

图41. 推荐的PCB设计规则（0.5 mm间距BGA）



1. 推荐使用非阻焊掩模（NSMD）焊盘
2. 4~6密耳锡膏丝印工艺



6.2 热特性

最大芯片结温 (T J max) 不能超过给定值
表8: 第34页的一般操作条件.

可以计算最大芯片结温T J max (摄氏度)
使用以下公式:

$$T J max = T A max + (P D max \times \theta JA)$$

哪里:

- T A max是以℃为单位的最高环境温度,
- ⁵ JA 是封装结到环境热阻, 以℃/W,
- P D max是P INT max和P I/O max (P D max = P INT max + P I/O max) 之和,
- P INT max是I DD 和V DD的 乘积, 以瓦特表示. 这是最大的芯片内部电源

P I/O max表示输出引脚上的最大功耗:

$$P I/O max = 5 (V OL \times I OL) + 5 ((V DD - V OH) \times I OH) ,$$

考虑到实际的V OL /I OL 和V OH /I OH的I/O在低和高级别应用.

表51. 封装热特性

符号	参数	值	单元
⁵ JA	热阻结环境 LQFP 100 - 14×14 mm / 0.5 mm间距	46	℃/W
	热阻结环境 LQFP 64 - 10×10 mm / 0.5 mm间距	45	
	热阻结环境 TFBGA64 - 5×5 mm / 0.5 mm间距	65	
	热阻结环境 LQFP 48 - 7×7 mm / 0.5 mm间距	55	

6.2.1 参考文件

JESD51-2集成电路热测试方法环境条件 - 自然
对流 (静止) .可从 www.jedec.org获得.

6.2.2 选择产品温度范围

订购微控制器时，温度范围在订购中指定

信息方案如表52所示：订购信息方案。

每个温度范围后缀对应于特定的保证环境温度
最大耗散和特定的最大结温。

由于应用程序通常不会在最大耗散时使用STM32F10xxx，因此它是有用的
计算确切的功耗和结温，以确定哪一个
温度范围将最适合应用。

以下示例显示了如何计算给定值所需的温度范围
应用。

示例：高性能应用程序

假设以下应用条件：

最高环境温度 $T_{Amax} = 82^{\circ}\text{C}$ （根据JEDEC51-2测量），
 $I_{DDmax} = 50\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，同时输出低电平时最多使用20个I/O
 电平， $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$ ，输出时同时使用最多8个I/O
 模式为低电平， $I_{OL} = 20\text{ mA}$ ， $V_{OL} = 1.3\text{ V}$
 $P_{INTmax} = 50\text{ mA} \times 3.5\text{ V} = 175\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} + 8 \times 20\text{ mA} \times 1.3\text{ V} = 272\text{ mW}$
 这给出： $P_{INTmax} = 175\text{ mW}$ ， $P_{IOmax} = 272\text{ mW}$
 $P_{Dmax} = 175 + 272 = 447\text{ mW}$

因此： $P_{Dmax} = 447\text{ mW}$

使用表51中获得的值 T_{Jmax} 计算如下：

- 对于LQFP64， 45°C/W
 $T_{Jmax} = 82^{\circ}\text{C} + (45^{\circ}\text{C/W} \times 447\text{ mW}) = 82^{\circ}\text{C} + 20.1^{\circ}\text{C} = 102.1^{\circ}\text{C}$

这在后缀6版本部分（ $-40 < T_J < 105^{\circ}\text{C}$ ）的范围内。

在这种情况下，零件必须至少在温度范围后缀为6（见
表52：订购信息方案）。

实施例2：高温应用

使用相同的规则，可以解决在高环境下运行的应用程序
温度低，散热低，只要结温 T_J 保持在
指定范围。

假设以下应用条件：

最高环境温度 $T_{Amax} = 115^{\circ}\text{C}$ （根据JEDEC51-2测量），
 $I_{DDmax} = 20\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，同时输出低电平时最多使用20个I/O
 $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$
 $P_{INTmax} = 20\text{ mA} \times 3.5\text{ V} = 70\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} = 64\text{ mW}$
 这给出： $P_{INTmax} = 70\text{ mW}$ ， $P_{IOmax} = 64\text{ mW}$ ：
 $P_{Dmax} = 70 + 64 = 134\text{ mW}$

因此： $P_{Dmax} = 134\text{ mW}$

使用表51中获得的值 T_{Jmax} 计算如下:

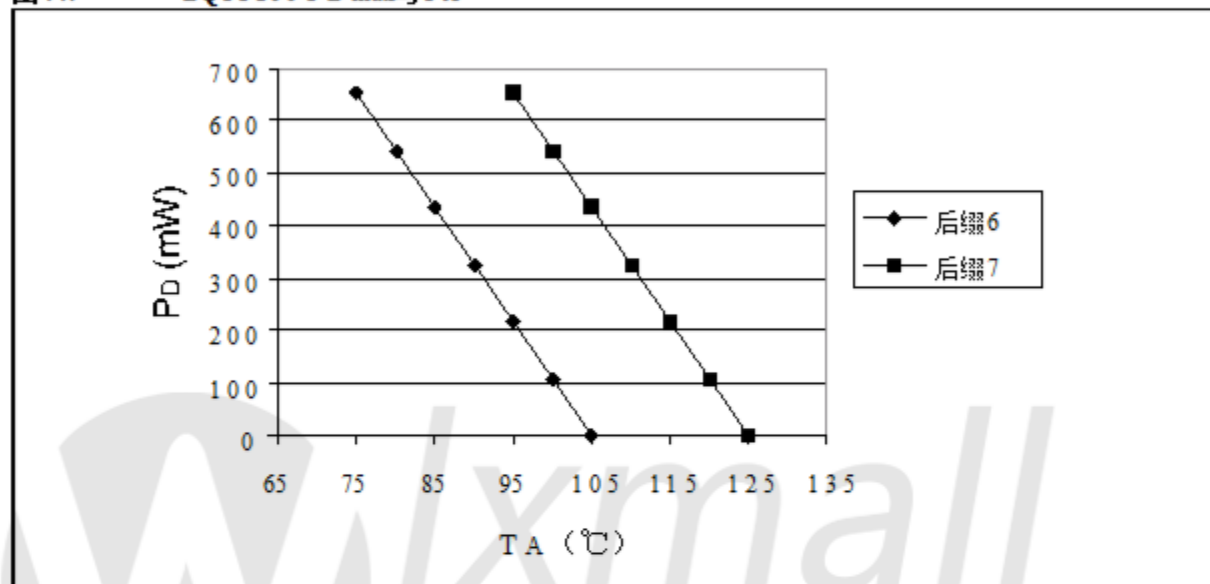
- 对于LQFP100, $46^{\circ}\text{C} / \text{W}$

$$T_{Jmax} = 115^{\circ}\text{C} + (46^{\circ}\text{C} / \text{W} \times 134\text{mW}) = 115^{\circ}\text{C} + 6.2^{\circ}\text{C} = 121.2^{\circ}\text{C}$$

这在后缀7版本 ($-40 < T_J < 125^{\circ}\text{C}$) 的范围内.

在这种情况下, 零件必须至少在后缀为7的温度范围内 (见
表52: 订购信息方案).

图44. LQFP100 $P_D max$ 与 T_A



7 订购信息方案

表 52. 订购信息方案

例:

STM32 F 100 C 6 T 6 B xxx

设备系列

STM32 =基于ARM的32位微控制器

产品类别

F =通用

设备亚科

100 =值行

针数

C = 48针

R = 64针

V = 100针

闪存大小

4 = 16 KB闪存

6 = 32 KB闪存

8 = 64 KB闪存

B = 128 KB闪存

包

T = LQFP

H = BGA

温度范围

6 =工业温度范围，-40至85°C

7 =工业温度范围，-40至105°C

内部代码

乙

选项

xxx =编程零件

TR =磁带和真实

有关可用选项（速度，包装等）的列表或有关任何方面的更多信息
请联系您最近的ST销售办事处。



8 修订记录

表 53. 文件修订历史

日期	调整	变化
12 - 10月, 2009年	1	初始发行.
19-JAN-2010	2	添加了TFBGA64包 (见表49和表40). 表5中修改的注5: STM32F100xx引脚定义. 表6中修改的IINJ (PIN): 电流特性.条件从表25中删除: 低功耗模式唤醒时序. 表33中修改的注释: I/O静态特性. 图26: 推荐NRST引脚保护修改. 表38中修改的注释: I2C特性.图27: I2C总线AC波形和测量电路 (1) 修改. 表45: DAC特性修改.图35: 12位缓冲/非缓冲DAC加.
26 - 2月 - 2010	3	TIM2, TIM3, TIM4和TIM15, TIM16和TIM17已更新. 增加了HDMI-CEC电气特性. 添加的值添加到: - 表12: 运行模式下的最大电流消耗, 代码与数据处理从Flash运行 - 表13: 运行模式下的最大电流消耗, 代码为数据处理从RAM运行 - 表14: STM32F100xxB睡眠中的最大电流消耗模式, 从Flash或RAM运行的代码 - 表15: 停止和停止时的典型和最大电流消耗待机模式 - 表18: 外围电流消耗 - 表29: EMS特性 - 表30: EMI特性 - 表46: TS特性 第5.3.12节: I/O端口特性修改. 附加数字: - 图12: 运行模式下的最大电流消耗 频率 (3.6 V) - 从RAM运行的数据处理代码, 外设启用 - 图13: 运行模式下的最大电流消耗 频率 (3.6 V) - 从RAM运行的数据处理代码, 外设禁用 - 图14: 带稳压器的停止模式下的典型电流消耗 在运行模式下, VDD = 3.3 V和3.6 V时的温度 - 图15: 具有稳压器的停止模式下的典型电流消耗 在低功耗模式下, VDD = 3.3 V和3.6 V时的温度 - 图16: 待机模式下的典型电流消耗 VDD = 3.3 V和3.6 V时的温度

请仔细阅读：

本档中的信息仅供ST产品使用.意法半导体及其子公司（“ST”）保留对本文档以及本文所述的产品和服务进行任何更改，更正，修改或改进的权利时间，恕不另行通知。

所有ST产品均按照ST的销售条款和条件出售。

买家对本文所述的ST产品和服务的选择，选择和使用负全部责任，ST假定没有对本文所述的ST产品和服务的选择，选择或使用的任何责任。

根据本文件，不得以任何禁止反言或以其他方式明示或默示任何知识产权.如果这个的任何部分文件是指任何第三方产品或服务，ST不得将其视为使用此类第三方产品的许可证或服务，或其中包含的任何知识产权或被认为是以任何方式使用的保证第三方产品或服务或其中包含的任何知识产权。

除非另有规定，否则ST的条款和条件不得以任何明示或暗示的方式关于使用和/或销售ST产品的保证，包括但不限于暗示适用性，适用于特定用途的保证（及其法律等同条款）任何司法管辖区），或侵犯任何专利，版权或其他知识产权。

除了经授权的ST代表书进行书面批准之外，ST产品不得建议，授权或保证在军事，空运，空间，生命维持或生命维持中使用应用或产品或系统故障或故障可能导致人身伤害，死亡或严重财产或环境损害. ST产品不被称为“汽车” GRADE“只能用于汽车应用程序，用户自己承担风险。

与本文件所述的陈述和/或技术特征不同的ST产品转售将立即失效
ST所提供ST产品或服务的任何保证，不得以任何方式创建或扩展任何ST的责任

ST和ST标志是ST在各国的商标或注册商标。

本档中的信息取代了以前提供的所有信息。

ST标志是意法半导体的注册商标.所有其他名称均为其各自所有者的财产。

©2010 STMicroelectronics - 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克共和国 - 芬兰 - 法国 - 德国 - 香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美利坚合众国

www.st.com