

特征

双12位SAR ADC
 同时采样
 吞吐量：每通道5 MSPS
 在2.5V时指定为V_{DD}
 没有转换延迟
 功耗：5 MSPS时为36 mW
 片内基准：2.048 V±0.25%，6 ppm/°C
 双读转换
 高速串行接口：SPI- / QSPI™ - / MICROWIRE™ - / DSP-
 兼容
 工作在-40°C至+125°C
 采用16引脚TSSOP封装

应用

数据采集系统
 运动控制
 I和Q解调

一般描述

AD7356是一款双通道，12位，高速，低功耗，连续的近似ADC，工作在2.5V单电源下
 供应和功能吞吐量高达5 MSPS装置
 包含两个ADC，每个先验，宽带跟踪和保持电路，可以处理输入频率过刺110兆赫。

转换过程和数据采集使用标准控制
 输入允许轻松连接到微处理器或DSP。
 输入信号在CS下降沿采样/转换
 也是在这点上发起的转换时间已确定由SCLK频率。

AD7356采用先进的设计技术来实现
 功耗低，吞吐量高。2.5V
 供应和一个5 MSPS吞吐量，部分消耗典型14毫安。该部分还提供灵活的功率/吞吐量管理选项。

该部分的模拟输入范围是差分公共端
 模式±V_{REF}/2。AD7356具有片内2.048 V基准电压源
 当外部参考是优选的时可以被过度驱动。

AD7356采用16引脚薄型缩小外形包（TSSOP）。

功能框图

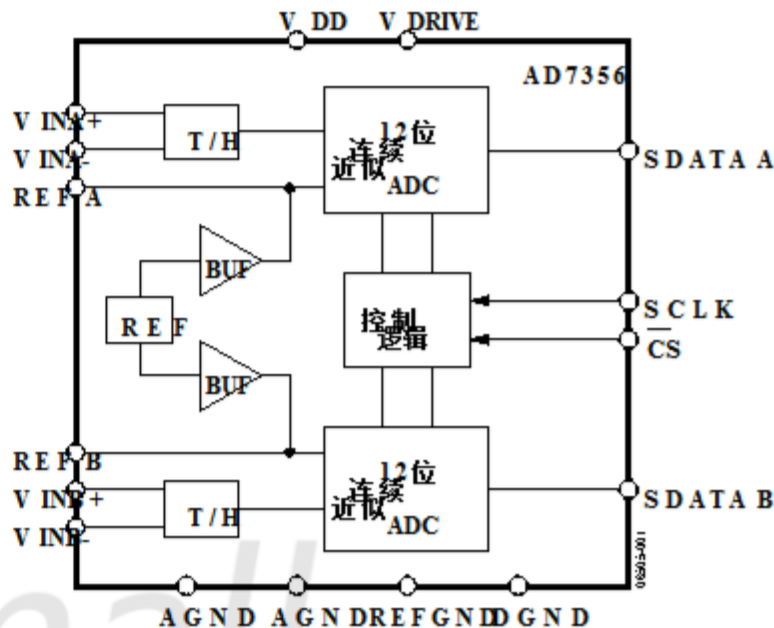


图1.

产品聚焦

- 1.两个CompleteADC功能。
这些功能可以同时进行采样和转换的两个频道。两个通道的转换结果同时在分隔线或中可用
如果只有一个串行端口，则在一条数据线上继承可用。
- 2.高吞吐量，低功耗。
AD7356提供5 MSPS的吞吐量，36 mW能量消耗。
- 3.没有转换延迟。
AD7356具有标准的成功应用
通过一个ADC准确控制采样时刻的ADC CS输入，一旦关闭，转换控制。

表1.相关设备

通用	解析度	吞吐量模拟输入	
AD7352	12位	3 MSPS	微分
AD7357	14位	4.25 MSPS	微分
AD7266	12位	2 MSPS	差分/单端
AD7866	12位	1 MSPS	单端
AD7366	12位	1 MSPS	单端双极
AD7367	14位	1 MSPS	单端双极

1受美国专利号6,681,332的保护。

版本B

ADI公司提供的信息被认为是准确和可靠的。但是，没有
 ADI公司承担责任，也不承担任何侵犯专利或其他责任的责任
 第三方可能因使用而产生的权利。规格如有变更，恕不另行通知。没有
 ADI公司的任何专利或专利均以暗示或其他方式授予许可。
 商标和注册商标是其各自所有者的财产。

文档反馈

AD7356 *产品页面快速链接

上次内容更新: 02/23/2017

可比较的部件

查看类似部件的参数搜索.

评估套件

•AD7356评估板

文档

数据表

•AD7356: 差分输入, 双路同时采样,
5 MSPS 12位SAR ADC数据手册

软件和系统要求

•AD7352 / AD7356 / AD7357评估软件

参考设计

•CN0041

参考资料

解决方案公告和手册

•模数转换器和驱动器IC解决方案
公告, 第10卷, 第2期

技术文章

•MS-2210: 设计用于高速ADC的电源

设计资源

•AD7356材料声明

•PCN-PDN信息

•质量和可靠性

•符号和脚印

讨论

查看所有AD7356 EngineerZone讨论.

样品和购买

访问产品页面查看定价选项.

技术支持

提交技术问题或找到您的区域支持
数.

文件反馈

提交此数据表的反馈.

目录

特征.....	1	模拟输入.....	13
应用.....	1	驱动差分输入.....	13
功能框图.....	1	电压参考.....	14
一般说明.....	1	ADC传输功能.....	14
产品亮点.....	1	操作模式.....	15
修订记录.....	2	正常模式.....	15
规格.....	3	部分掉电模式.....	15
时序规格.....	5	完全掉电模式.....	16
绝对最大额定值.....	6	通电时间.....	17
ESD警告.....	6	功率与吞吐量.....	17
引脚配置和功能描述.....	7	串行接口.....	18
典型性能特点.....	8	应用提示.....	19
术语.....	10	接地和布局.....	19
操作理论.....	12	评估AD7356性能.....	19
电路信息.....	12	外形尺寸.....	20
转换器操作.....	12	订购指南.....	20
模拟输入结构.....	12		

修订记录

15分之8-REV. A到Rev. B

图20的变化.....	14
-------------	----

11分之8-REV. 0至Rev. A

添加应用部分.....	1
表1的变更.....	1
图21和图22的变化.....	0.14
增加参考电压部分.....	14
更新了外形尺寸.....	20

10/08-Revision0: 初始版本

规格

$V_{DD} = 2.5V \pm 10\%$, $V_{DRIVE} = 2.25V$ 至 $3.6V$, 内部基准 $= 2.048V$, $f_{SCLK} = 80MHz$, $f_{SAMPLE} = 5MSPS$, $T_A = T_{MIN}$ 至 T_{MAX1} , 除非另有说明。

表2

参数	敏	典型	马克斯	单元	测试条件/评论
动态表现					$f_{IN} = 1MHz$ 正弦波
信噪比 (SNR) 2	70	71.5		Db	
信号 - (噪声和失真) (SINAD) 2	69.5	71		Db	
总谐波失真 (THD) 2		-84	-77.5	Db	
无杂散动态范围 (SFDR) 2		-85	-78.5	Db	
互调失真 (IMD) 2					$f_a = 1MHz + 50kHz$, $f_b = 1MHz - 50kHz$
二阶术语		-84		Db	
三阶术语		-76		Db	
ADC到ADC隔离2		-100		Db	$f_{IN} = 1MHz$, $f_{NOISE} = 100kHz$ 至 $2.5MHz$
CMRR2		-100		Db	$f_{NOISE} = 100kHz$ 至 $2.5MHz$
采样和保持					
光圈延迟			3.5	NS	
光圈延迟匹配			40	PS	
孔径抖动		16		PS	
全功率带宽					
在3dB		110		兆赫	
在0.1分贝处		77		兆赫	
DC精度					
解析度	12			位	
积分非线性 (INL) 2		± 0.5	± 1	LSB	保证不丢失12位的错误代码
微分非线性 (DNL) 2		± 0.5	± 0.99	LSB	
正满量程错误2		± 1	± 6	LSB	
正满量程错误匹配2		± 2	± 8	LSB	
中级错误2		+5	0 / + 11	LSB	
中级错误匹配2		± 2	± 8	LSB	
负满量程误差2		± 1	± 6	LSB	
负满量程错误匹配2		± 2	± 8	LSB	
模拟输入					
全差分输入范围 (V_{IN+} 和 V_{IN-})			$V_{CM} \pm V_{REF}/2$		V_{CM} = 共模电压, V_{IN+} 和 V_{IN-} 必须保持在GND和 V_{DD} 内
共模电压范围	0.5		1.9	V	V_{IN+} 和 V_{IN-} 周围的电压中心
直流漏电流		± 0.5	± 5	μA	
输入电容		32		pF的	在追踪模式下
		8		pF的	在保持模式下
参考输入/输出					
V_{REF} 输入电压范围	$2.048 + 0.1$		V_{DD}	V	
V_{REF} 输入电流		0.3	0.45	嘛	在参考超速模式时
V_{REF} 输出电压	2.038		2.058	V	最大 $2.048V \pm 0.5\%$
					$V_{DD} = 2.5V \pm 5\%$
	2.043		2.053	V	最大 $2.048V \pm 0.25\%$
					$V_{DD} = 2.5V \pm 5\%$ 和 $25^\circ C$
V_{REF} 温度系数		6	20	PPM / $^\circ C$	
V_{REF} 长期稳定		100		PPM	1000小时
V_{REF} 热带后2		50		PPM	
V_{REF} 噪声		60		μV_{rms}	
V_{REF} 输出阻抗		1		Ω	

参数	敏	典型	马克斯	单元	测试条件/评论
逻辑输入					
输入高电压 (V _{INH})	0.6 × V _{驱动器}			V	V _{IN} = 0 V或V _{DRIVE}
输入低电压 (V _{INL})			0.3 × V _{驱动器}	V	
输入电流 (I _{IN})			±1	μA	
输入电容 (C _{IN})		3		pF的	
逻辑输出					
输出高电压 (V _{OH})	V _{DRIVE} - 0.2			V	
输出低电压 (V _{OL})			0.2	V	
浮态泄漏电流			±1	μA	
浮态输出电容		5.5		pF的	
输出编码		直的二进制			
兑换率					
转换时间	t ₂ + 13 × t _{SCLK}			NS	满里程步进输入，稳定到0.5 LSB
跟踪和保持采集时间 ²			三十	NS	
吞吐率			五	MSPS	
电力需求 ³					
V _{DD}	2.25		2.75	V	额定V _{DD} = 2.5 V
V _{DRIVE}	2.25		3.6	V	
我 总共 ⁴					数字输入 = 0 V或V _{DRIVE}
正常模式 (操作)		14	20	嘛	SCLK开启或关闭 SCLK开启或关闭 SCLK开或关，-40°C至+ 85°C SCLK打开或关闭，85°C至125°C
普通模式 (静态)		6	7.8	嘛	
部分掉电模式		3.5	4.5	嘛	
完全掉电模式		五	40	μA	
			90	μA	
功耗					
正常模式 (操作)		36	59	毫瓦	SCLK开启或关闭 SCLK开启或关闭 SCLK开或关，-40°C至+ 85°C SCLK打开或关闭，85°C至125°C
普通模式 (静态)		16	21.5	毫瓦	
部分掉电模式		9.5	11.5	毫瓦	
完全掉电模式		16	110	μW	
			250	μW	

1温度范围如下：Y等级：-40°C至+ 125°C；B等级：-40°C至+ 85°C。

2请参阅术语部分。

3电流和功率典型规格基于V_{DD} = 2.5 V和V_{DRIVE} = 3.0 V的结果。

4I_{TOTAL} 是在V_{DD}和V_{DRIVE}中流动的总电流。

时间规格

$V_{DD} = 2.5\text{ V} \pm 10\%$, $V_{DRIVE} = 2.25\text{ V}$ 至 3.6 V , 内部基准 = 2.048 V , $T_A = T_{MAX}$ 至 T_{MIN1} , 除非另有说明。

表 3.

参数	限制在 T_{MIN} , T_{MAX}	单元	描述
f_{SCLK}	50 80	kHz 分钟 最大 MHz	
$t_{\text{转换}}$	$t_2 + 13 \times t_{SCLK}$	ns 最大	$t_{SCLK} = 1 / f_{SCLK}$
t_{QUIET}	五	ns 分钟	串行读取结束和 CS 下一个下降沿之间的最短时间
t_2	五	ns 分钟	CS 到 SCLK 建立时间
$t_{3,2}$	6	ns 最大	从 CS 延迟到 $\overline{SDATA A}$ 和 $\overline{SDATA B}$ 禁用三态
$t_{42,3}$			SCLK 下降沿之后的数据访问时间
	12.5	ns 最大	$1.8\text{ V} \leq V_{DRIVE} < 2.25\text{ V}$
	11	ns 最大	$2.25\text{ V} \leq V_{DRIVE} < 2.75\text{ V}$
	9.5	ns 最大	$2.75\text{ V} \leq V_{DRIVE} < 3.3\text{ V}$
	9	ns 最大	$3.3\text{ V} \leq V_{DRIVE} \leq 3.6\text{ V}$
5	五	ns 分钟	SCLK 低脉冲宽度
6	五	ns 分钟	SCLK 高脉冲宽度
72	3.5	ns 分钟	SCLK 到数据有效保持时间
82	9.5	ns 最大	CS 上升沿到 $\overline{SDATA A}$, $\overline{SDATA B}$ 高阻抗
9	五	ns 分钟	CS 上升沿到下降沿脉冲宽度
t_{102}	4.5	ns 分钟	SCLK 下降沿到 $\overline{SDATA A}$, $\overline{SDATA B}$ 高阻抗
	9.5	ns 最大	SCLK 下降沿到 $\overline{SDATA A}$, $\overline{SDATA B}$ 高阻抗

1 温度范围如下: Y 等级: -40°C 至 $+125^\circ\text{C}$; B 等级: -40°C 至 $+85^\circ\text{C}$.

2 在 $\overline{SDATA A}$ 和 $\overline{SDATA B}$ 上指定负载电容为 10 pF .

3 输出跨越 0.4 V 或 2.4 V 所需的时间

绝对最大额定值

表 4

参数	评分
V DD 到AGND, DGND, REFGND	-0.3 V至+3 V
V DRIVE 到AGND, DGND, REFGND	-0.3 V至+5 V
V DD 到V 驱动器	-5 V至+3 V
AGND到DGND到REFGND	-0.3V至+ 0.3V
模拟输入电压 1 到AGND	-0.3 V至V DD + 0.3 V
数字输入电压 2 到DGND	-0.3 V至V DRIVE + 0.3 V
数字输出电压 3 到DGND	-0.3 V至V DRIVE + 0.3 V
输入电流到任何PinExceptSupplyPins 4	±10 mA
工作温度范围	
Y级	-40°C至+ 125°C
B级	-40°C至+ 85°C
存储温度范围	-65°C至+ 150°C
结温	150°C
TSSOP	
θJA 热阻抗	143°C/ W
θJC 热阻抗	45°C/ W
铅温度, 焊接	
回流温度 (10秒至30秒)	255°C
ESD	1.5千伏

强调AbsoluteMaximum或以上
评级可能会对产品造成永久性损害.这是一个
压力评级只.在这些产品的功能操作
或高于业务指示的任何其他条件
不是暗示本规范的一部分.超越操作
长时间的最大运行条件可能
影响产品可靠性.

ESD 警告



ESD (electrostatic discharge) sensitive device.
Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

1模拟输入电压为V INA+, VINA-, VINB+, VINB-, REF A 和REF B.
2数字输入电压是CS和SCLK.
3数字输出电压是SDATA A 和SDATA B.
4高达100 mA的瞬态电流不会导致SCR闭锁.

引脚配置和功能说明

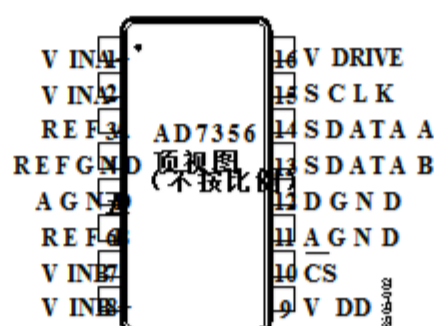


图2. 引脚配置

表5. PinFunction描述

销号	助记符	描述
1, 2	V INA+, V INA-	ADC的模拟输入 A. 这些模拟输入形成一个完全差分对.
3, 6	REF A, REF B	参考去耦电容引脚. 去耦电容连接在这些引脚和电容之间. REFGND引脚去耦各个ADC的参考缓冲器. 建议分离每个参考引脚与一个10 μ F电容. 如果输出被缓冲, 可以从片上引用. 这些引脚和外部应用到系统的其余部分. 标称内部参考电压为2.048 V. 并出现在这些引脚. 这些引脚也可以通过外部参考来过载. 输入电压范围外部参考电压为2.048 V + 100 mV至V DD.
4	REFGND	参考地. 这是AD7356上参考电路的接地参考点. 请参阅任何外部参考信号到这个REFGND电压. 去耦电容必须放置在这个引脚和REF A和REF B引脚. 将REFGND引脚连接到系统的AGND平面.
5, 11	AGND	模拟地. 这是AD7356上所有模拟电路的接地参考点. 所有模拟输入信号应该参考这个AGND电压. 理想情况下, AGND和DGND电压应该相同. 即使在短暂的情况下也不得超过0.3 V.
7, 8	V INB-, V INB+	ADC B的模拟输入. 这些模拟输入形成一个完全差分对.
9	V DD	电源输入. AD7356的V DD范围为2.5 V $\pm$ 10%. 用0.1 μ F的电源去耦AGND. 电容与10 μ F钽电容并联.
10	CS	芯片选择. 低电平有效逻辑输入. 这个输入提供了启动转换的双重功能. AD7356和帧串行数据传输.
12	DGND	数字地面. 这是AD7356上所有数字电路的接地参考点. 连接这个引脚系统的DGND平面. DGND和AGND的电压理想情况下应该处于相同的电位. 即使在短暂的情况下, 也不得超过0.3 V.
13, 14	SDATA B, SDATA A	串行数据输出. 数据输出作为串行数据流提供给每个引脚. 这些比特被输出在SCLK输入的下降沿. 要访问AD7356的12位数据, 需要14个SCLK下降沿. 需要. 数据同时出现在两个数据输出引脚的同时转换. 两个ADC. 数据流由两个前导零和后面的12位转换数据组成. 数据首先提供MSB. 如果CS在16个SCLK周期内保持低电平, 而不是AD7356上的14个周期, 则会有两个尾随零出现在12位数据之后. 如果CS在SDATA A或SDATA B上保持低电平16个SCLK周期, 来自另一个ADC的数据在SDATA引脚上. 这允许两者同时转换数据. 要在SDATA A或SDATA B上以串行格式收集ADC.
15	SCLK	串行时钟. 逻辑输入. 串行时钟输入提供用于访问AD7356数据的串行时钟. 该时钟也被用作转换过程的时钟源.
16	V DRIVE	逻辑电源输入. 该引脚上提供的电压决定了接口工作的电压. 该引脚的电压可能不同于V DD的电压. V DRIVE电源应该去耦DGND与一个0.1 μ F电容并联一个10 μ F钽电容.

典型的性能特征

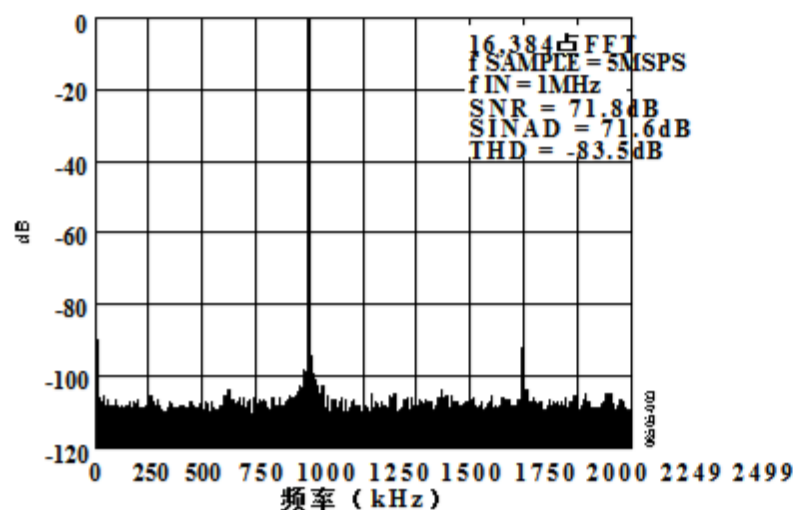


图3.典型的FFT

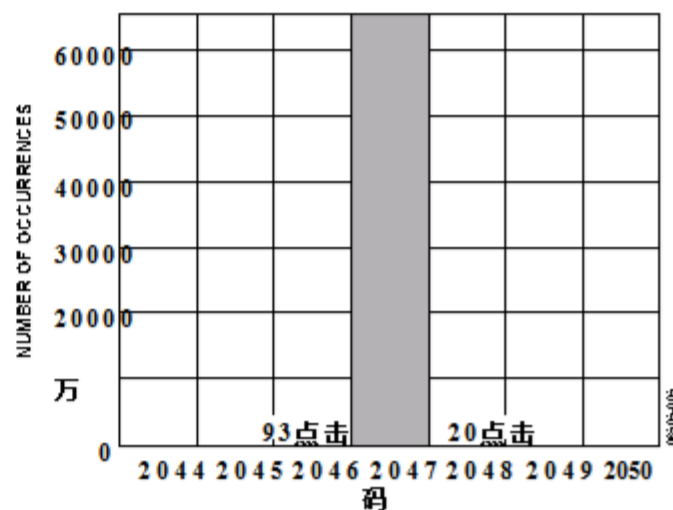


图6. 65,000个样本的代码直方图

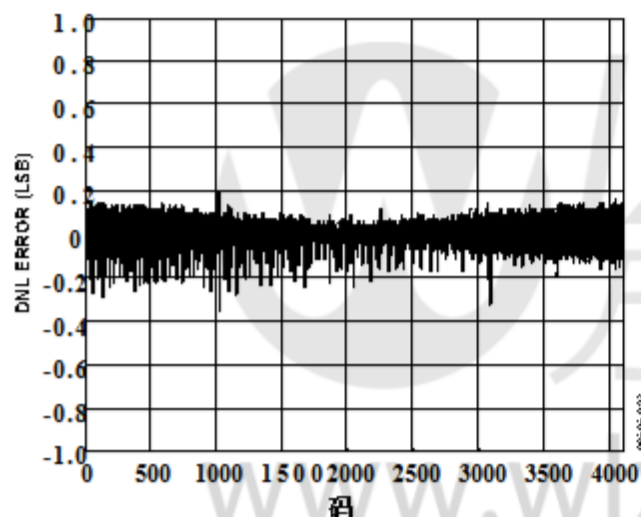


图4.典型的DNL错误

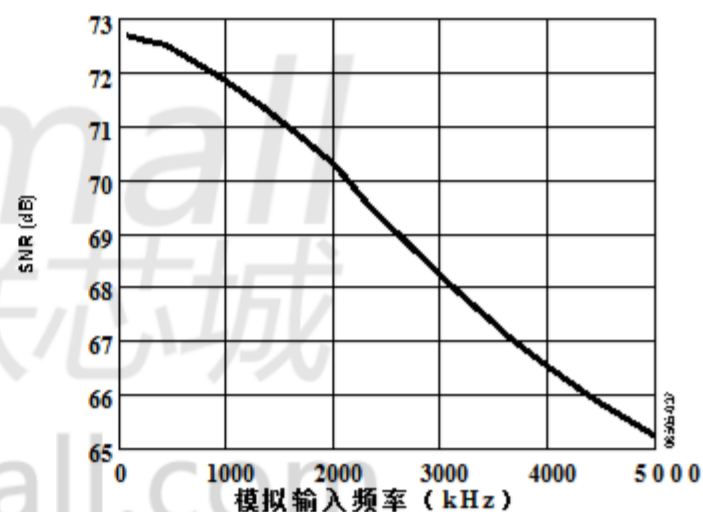


图7. SNR与模拟输入频率

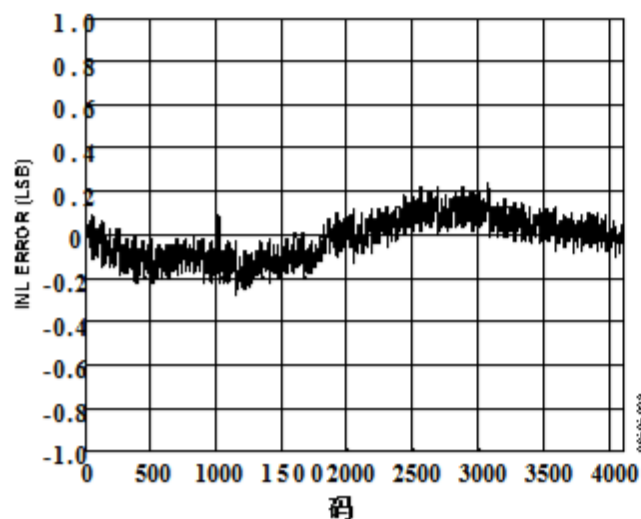


图5.典型的INL错误

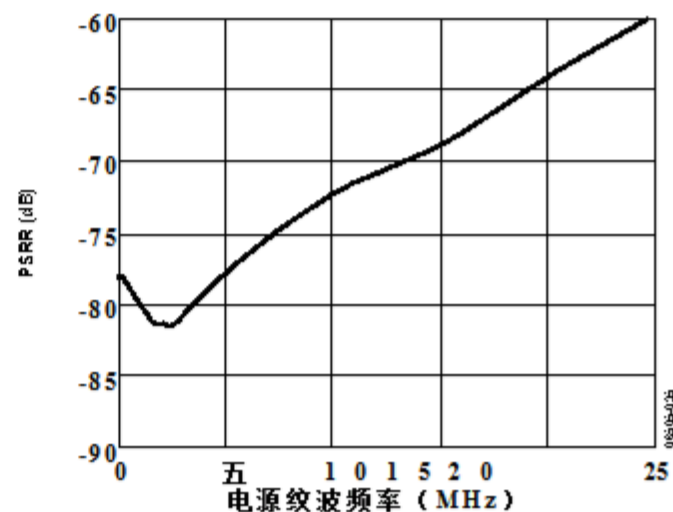


图8.无电源去耦的PSRR与电源纹波频率

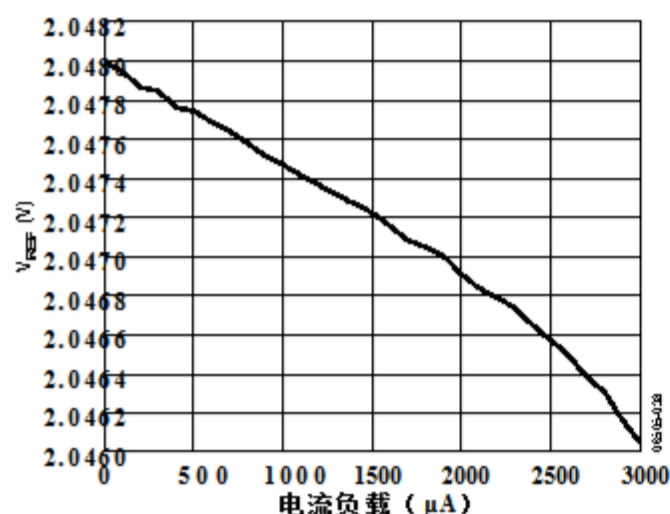


图9. VREF 与参考输出电流驱动

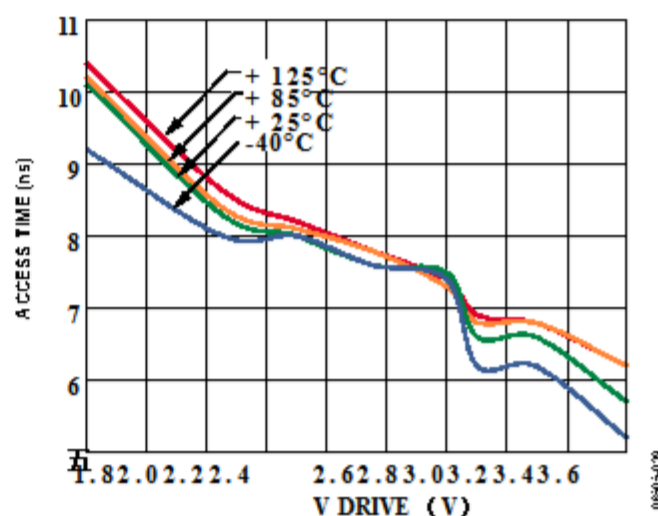


图12. 访问时间 与 V DRIVE 的关系

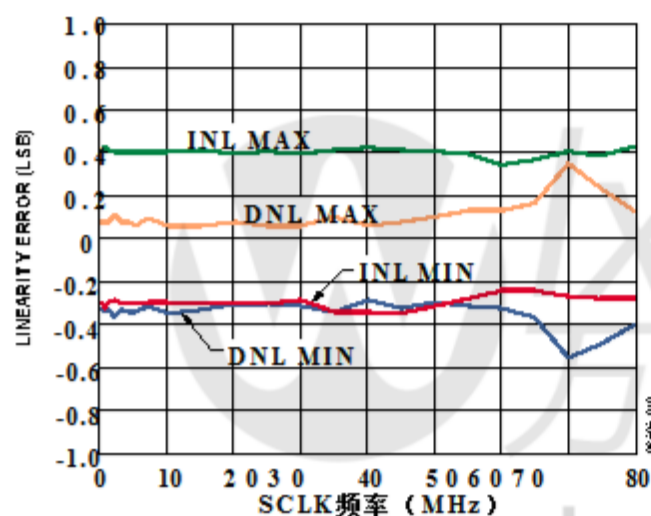


图10. 线性误差与 SCLK 频率

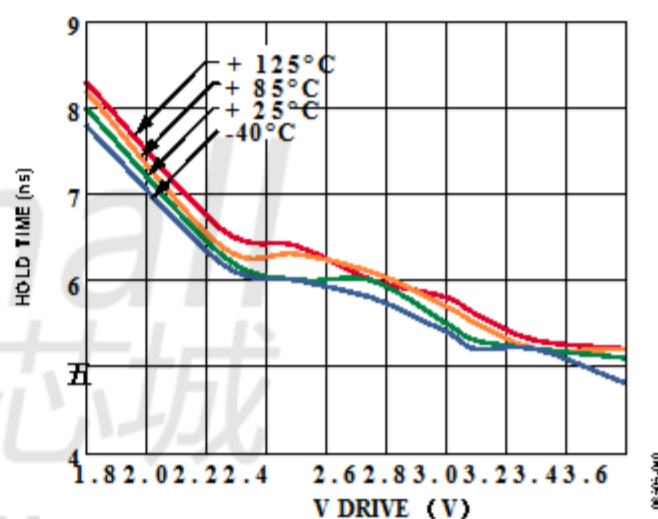


图13. 保持时间与 V DRIVE

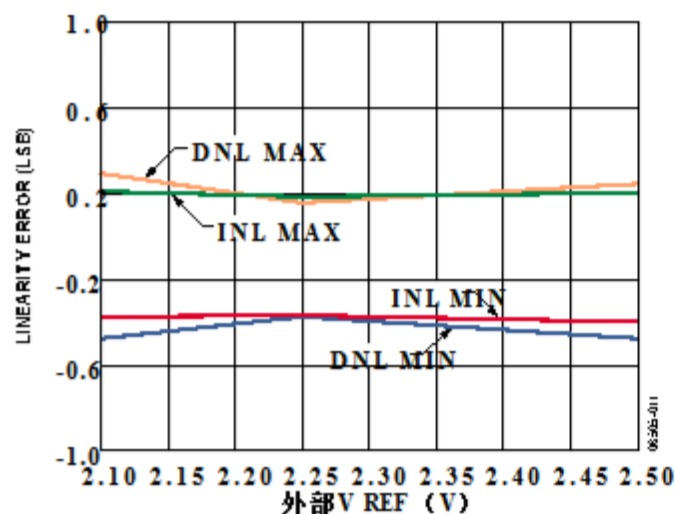


图11. 线性误差与外部 VREF

术语

积分非线性 (INL)

INL是直线传递的最大偏差
通过ADC传递函数的端点.该
传递函数的终点是零刻度 (1 LSB以下
第一个代码转换) 和满量程 (最后一个LSB)
代码转换)。

微分非线性 (DNL)

DNL是测量和理想之间的差异
ADC中任意两个相邻代码之间的1 LSB变化。

负的满量程误差

负满量程误差是第一个代码的偏差
(00 ... 000) 到 (00 ... 001) 从理想状态 (也就是说,
-V REF + 0.5 LSB) 中间量程误差调整后。

负的满量程错误匹配

负满量程误差匹配是负全量程差异,
两个ADC之间的比例误差。

中级错误

中间尺度误差是中尺度代码转换的偏差
(011 ... 111) 到 (100 ... 000) (理想值为0 V)。

中级错误匹配

中级错误匹配是中级错误的差异
在两个ADC之间。

正满量程误差

正满量程误差是最后一个代码的偏差
(111 ... 110) 到理想 (111 ... 111) (即,
V REF - 1.5 LSB)。

正面满量程错误匹配

积极全面的错误匹配是正面的全面的错误匹配,
两个ADC之间的比例误差。

ADC到ADC隔离

ADC到ADC隔离度是串扰水平的度量
在ADC A和ADC B之间进行测量。
将1 MHz正弦波信号放大到两个ADC中的一个
向另一个施加可变频率的满量程信号
ADC. ADC到ADC的隔离定义为的比率
转换的ADC上的1 MHz信号的功率
在FFT中出现的另一个ADC上的噪声信号。
未选频道上的噪声频率从
100 kHz至2.5 MHz。

电源抑制比 (PSRR)

PSRR被定义为ADC输出功率的比率
满量程频率f为100 mV pp正弦波的功率
应用于 频率为fS的ADC VDD电源. 频率
的输入从5kHz到25MHz变化。

$$PSRR(dB) = 10 \log(P_f / P_{fS})$$

哪里:

Pf是ADC输出频率f处的功率。

PfS是ADC输出 中频率fS 处的功率。

共模抑制比 (CMRR)

CMRR定义为ADC输出功率的比值
在满量程频率f下, 功率为100 mV pp的正弦波
波 应用于 VIN+ 和VIN- 的共模电压,
频率fS。

$$CMRR(dB) = 10 \log(P_f / P_{fS})$$

哪里:

Pf是ADC输出频率(f) 下的功率。

PfS是ADC输出 频率(fS) 下的功率。

跟踪和保持采集时间

采样保持放大器最后跟踪模式
的转换. 追踪和保持采集时间是时间
这是追踪放大器输出所要求的
其最终值在±0.5 LSB之内, 在转换结束后。

信号 - (噪声和失真) 比 (SINAD)

SINAD是信噪比 (噪声和失真)
在ADC的输出端. 信号是的有效值振幅
基本的. Noiseis是所有非基本信号的总和
到采样频率(fS/2) 的一半, 不包括直流. 比例是
取决于 digitiza- 中的量化级别的数量,
过程. 级别越高, 量化噪声越小。

理论上的SINAD foran理想的正弦N位转换器
波输入由下式给出

$$SINAD = (6.02N + 1.76) dB$$

因此, 对于一个12位的转换器, SINAD是74dB, 而对于一个14位的
转换器, SINADis 86分贝。

总谐波失真 (THD)

THD是谐波之和的均方根与谐波之比
基本的.对于AD7356,它被定义为

$$THD(dB) = -20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

哪里:

V₁是基波的有效值幅度.

V₂, V₃, V₄, V₅和V₆是这些秒的均方根幅值
通过六次谐波.

无杂散动态范围 (SFDR)

SFDR是下一个最大分量的有效值的比值
在ADC输出频谱 (高达f_S/2, 不包括直流) 到
根本的有效值.通常, 这个的价值
规格是由最大的谐波决定的
频谱, 但是对于谐波被掩埋的ADC
本底噪声, 这是一个噪声峰值.

Intermodulation Distortion (IMD)

输入由两个频率的正弦波组成, f_a
和f_b, 任何有非线性的有源器件都会造成失真
产品的总和与差异频率m f_a ± n f_b在哪里

m, n = 0, 1, 2, 3等等.互调失真术语
是既不是n也不等于零的那些.例如,
第二作者包括 (f_a + f_b) 和 (f_a - f_b), 而
第三者包括 (2f_a + f_b), (2f_a - f_b), (f_a + 2f_b) 和
(f_a - 2f_b).

AD7356在两路输入时使用CCIF标准进行测试
频率位于输入带宽的顶端.

在这种情况下, 二阶条款通常被隔开
频率从原来的正弦波和三阶
术语通常在接近输入频率的频率上.
因此, 指定了二阶和三阶条件
分别.互调失真的计算
是根据THD规范, 它是有效值的比率
个别失真产物与均方根的总和
以分贝表示的基本总和.

热滞回

热滞回定义为绝对最大变化
设备循环后参考输出电压
温度从任一

$$T_{HYS+} = +25^{\circ}\text{C} \text{ 至 } T_{MAX} \text{ 至 } +25^{\circ}\text{C}$$

$$T_{HYS-} = +25^{\circ}\text{C} \text{ 至 } T_{MIN} \text{ 至 } +25^{\circ}\text{C}$$

以ppm为单位表示热滞回
方程:

$$V_{HYS}(\text{PPM}) = \left| \frac{V_{REF}(25^{\circ}\text{C}) - V_{REF}(T_{HYS})}{V_{REF}(25^{\circ}\text{C})} \right| \times 10^6$$

哪里:

V_{REF} (25°C) 在25°C时为V_{REF}.

V_{REF} (T_{HYS}) 是 T_{HYS} + 处的 V_{REF} 的最大变化
或 T_{HYS} -.

操作理论

电路信息

AD7356是一款高速，双路，12位，单电源，连续的近似模数转换器（ADC）装置。采用2.5 V电源供电并具有吞吐量速率高达5 MSPS。

AD7356包含两个片内差分采样保持器放大器，两个逐次逼近型ADC和一个串行接口与两个独立的数据输出引脚。零件被安置采用16引脚TSSOP封装，为用户提供了相当大的节省空间优于其他解决方案。

串行时钟输入从部件访问数据，但也提供每个逐次逼近型ADC的时钟源。该

AD7356具有片内2.048 V基准电压源。如果是外部参考是理想的内部参考可以过度驱动与参考值从（2.048 V + 100 mV）到V_{DD}。如果内部参考是在系统的其他地方使用的话参考输出需要先缓冲。差别AD7356的模拟输入范围为V_{CM} ± V_{REF} / 2。

AD7356具有关断选项以允许供电在转换之间节省。关机功能是如上所述，通过标准串行接口实现在操作模式部分。

转换器操作

AD7356每个都有两个逐次逼近型ADC基于两个电容DAC。图14和图15显示采集这些ADC之一的简化原理图和转换阶段。ADC包含一个控制逻辑，SAR和两个电容式DAC。在图14（收购相），SW3闭合，SW1和SW2在A位置。比较器保持平衡状态，并进行采样电容阵列获取输入上的差分信号。

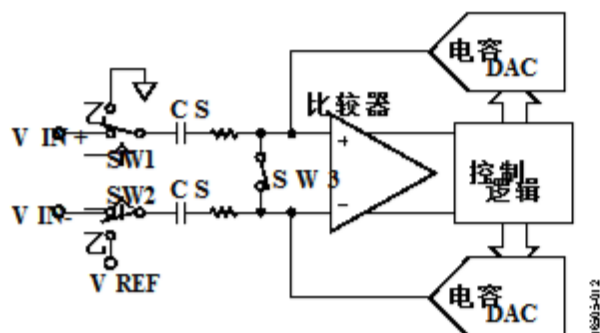


图14. ADC采集阶段

当ADC开始转换时（见图15），SW3打开SW1和SW2移到位置B，导致比较器变得不平衡。两次输入都是断开的。转换开始。控制逻辑和电荷再分配DAC用于增加和减少固定数量的电荷从采样电容阵列中取出比较器回到平衡状态。当比较器是重新平衡，转换完成。控制逻辑生成ADC输出代码。输出阻抗驱动V_{IN+}和V_{IN-}引脚的源极必须匹配；否则，这两个输入可能具有不同的建立时间，导致错误。

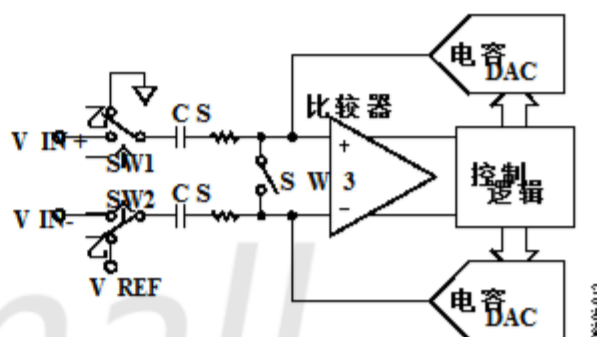


图15. ADC转换阶段

模拟输入结构

图16显示了模拟输入结构的等效电路的AD7356。四个二极管为ESD提供ESD保护模拟输入。必须注意确保模拟输入信号永远不会超过电源轨超过300毫伏。这导致这些二极管正向偏置并开始导入衬底。这些二极管可以导通到10毫安，而不会对零件造成不可逆转的损坏。

图16中的C1电容典型值为8 pF，可以主要归因于引脚电容。R1电阻是由导通电阻组成的集总元件开关。这些电阻的值通常约为30。C2电容是ADC的采样电容典型的电容为32 pF。

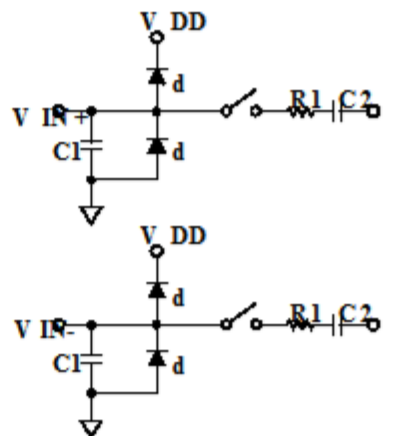


图16. 等效模拟输入电路，转换阶段开关打开，跟踪相位开关关闭

对于交流应用，从中去除高频成分
模拟输入信号是使用RC建议的
模拟输入引脚上的低通滤波器。在应用程序中
谐波失真和信噪比是至关重要的
模拟输入应由低阻抗源驱动。
大的源阻抗会显著影响交流性能
的ADC，并可能需要使用输入缓冲放大器。
运算放大器的选择是特定应用的功能。

当没有放大器用于驱动模拟输入时，限制
源阻抗降至较低值。最大的源阻抗
取决于可以容忍的THD的数量。THD
随着源阻抗的增加和性能而增加
降低。图17显示了THD与模拟里的关系图
输入信号频率为不同的源阻抗。

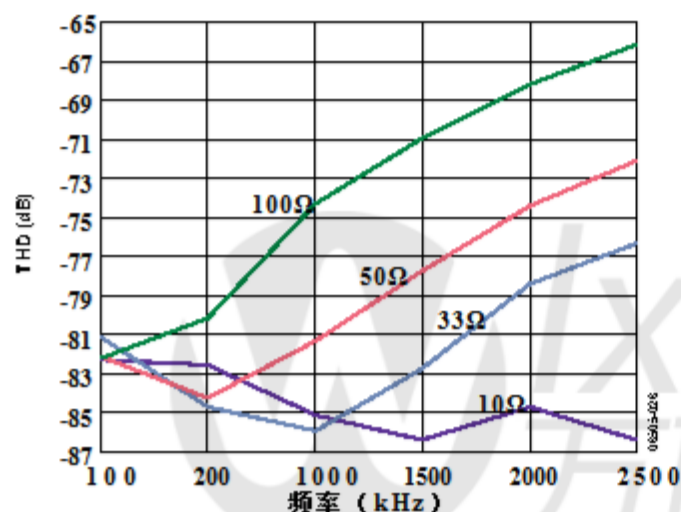


图17. 各种信号源的THD与模拟输入信号频率阻抗

图18显示了THD与模拟输入的关系图
频率，同时在5 MSPS采样。在这种情况下，来源
阻抗是33Ω。

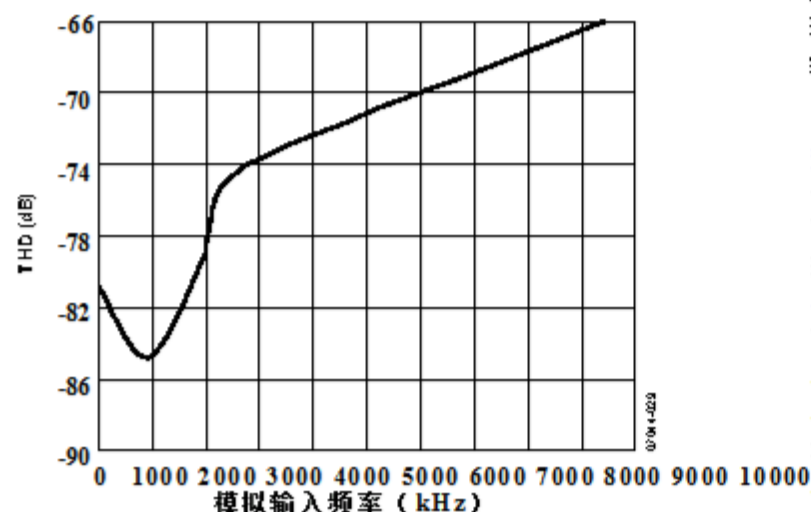
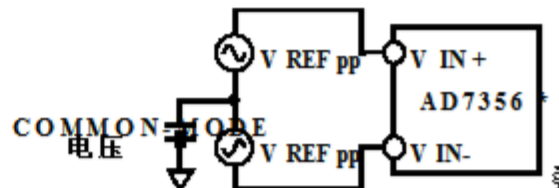


图18. THD与模拟输入频率

模拟输入

差分信号比单端有一些优点
信号，包括基于设备通用噪声抗扰度，
模式抑制和失真性能的改善。

图19定义了AD7356的全差分输入。



* 额外的引脚为清晰。

图19. 差分输入定义

差分信号的幅度是两者之间的差值
在每个差分中 施加到V IN+和V IN- 引脚的信号
对 (V IN+ - V IN-)。V IN+和V IN- 应同时驱动
由两个 180°异相的振幅 (V REF) 信号。
差分信号的幅度因此是 -V REF to
无论共模 (CM) 如何，V REF 峰值。

CM是两个信号的平均值，因此是
两个输入在其上的电压居中。

$$CM = (V IN+ + V IN-) / 2$$

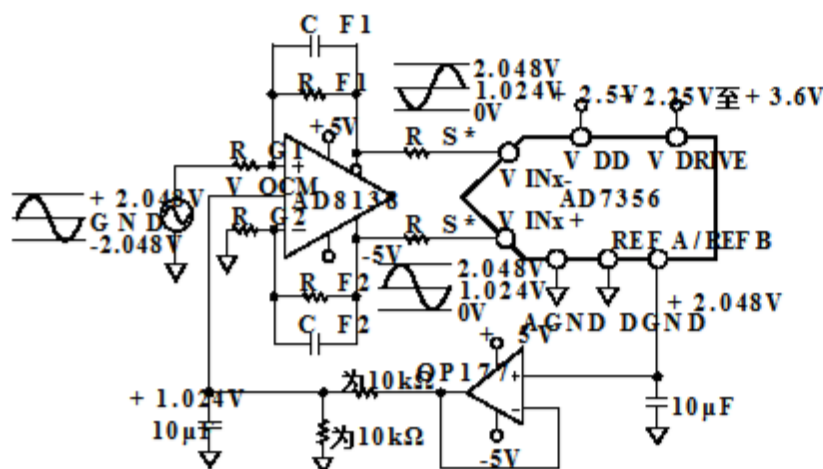
这导致每个输入的跨度为 $CM \pm V REF / 2$ 。这个
电压必须设置在外部。在设置CM时，
确保V IN+和V IN- 保持在GND / V DD内。当一个
转换发生，CM被拒绝，导致虚拟
振幅无噪信号，-V REF至+V REF，对应
AD7356的数字编码为0到4095。

推动差异化投入

差分操作需要 驱动V IN+和V IN-
同时两个相位相差180°的信号。
因为不是所有的应用程序都有一个预处理的信号
差分操作，往往需要执行一个单一的操作，
结束到差分转换。

差分放大器

对AD7356应用差分驱动的理想方法是
使用差分放大器，如AD8138。这个设备
可以用作单端到差分放大器或作为一个
差分至差分放大器。AD8138还提供
共模电平转换。图20显示了AD8138
可以用作单端到差分放大器。该
AD8138的正输出和负输出连接到
ADC上的各个输入通过一对串联电阻来连接
最大限度地减少前端开关电容的影响
ADC。AD8138的架构产生输出
在很宽的频率范围内非常均衡
而不需要严格匹配的外部组件。



*尽可能靠近AD7356安装
 $R_S = 53\Omega$; $R_{G1} = R_{G2} = R_{F1} = R_{F2} = 499\Omega$
 $C_{F1} = C_{F2} = 39\text{pF}$

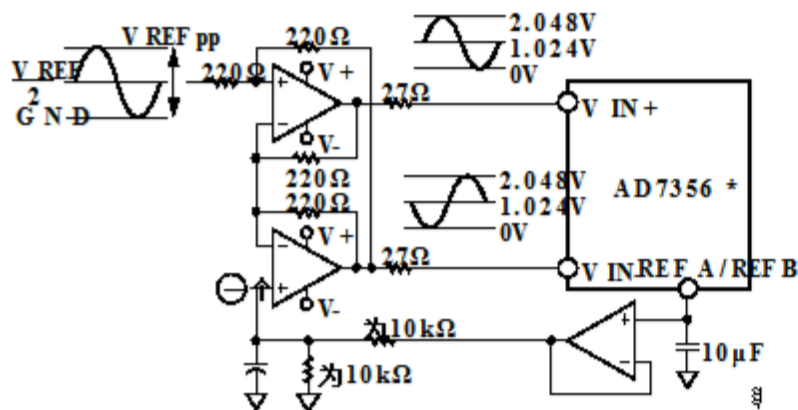
图20.使用AD8138作为单端至差分放大器

如果使用的模拟输入源具有零阻抗, 则全部四个电阻 (R_{G1} , R_{G2} , R_{F1} 和 R_{F2}) 应该是相同的值作为彼此.如果信号源具有50 Ω 阻抗和50 Ω 终止, 例如, 将 R_{G2} 的值增加 25 Ω 平衡输入上的这个并联阻抗, 从而保证正负模拟输入都有同样的增益.放大器的输出完全匹配平衡相同幅度的差分输出, 恰好相差180°.

运算放大器

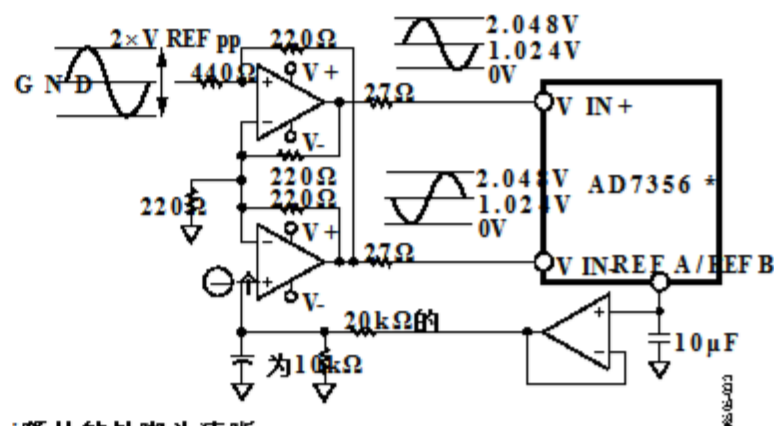
运算放大器对可以用来直接耦合差分信号连接到AD7356的其中一个模拟输入对.电路图21和图22所示的配置显示了如何运算放大器对可以用来转换单端信号转换成用于双极性和单极性输入信号的差分信号, 分别.

施加到点A的电压设置共模电压.在这两个图表中, 它以某种方式连接到参考. AD8022是一款合适的双通道运算放大器在这种配置中使用, 以提供差分驱动器AD7356.



*额外的针脚为清晰.

图21.双运算放大器电路转换单端单极性信号变成差分信号



*额外的针脚为清晰.

图22.双运算放大器电路将单端双极性信号转换为差分单极性信号

电压参考

AD7356允许选择非常低的温度漂移内部参考电压或外部参考.内置的AD7356的2.048 V参考电压提供了出色的性能并可用于几乎所有的应用.当内部使用参考电压时, 参考电压出现在REF A上和REF B引脚.这些引脚应该解耦到REF GND带有10 μF 电容.内部参考电压可以在系统的其他地方使用, 只要它在外部被缓冲.

REF A和REF B引脚也可以过驱动外部电压参考, 如果需要.应用的参考电压范围可以从2.048 V + 100 mV到V DD. 普通的选择是使用外部2.5 V参考电压, 如ADR441或ADR431.

ADC转换功能

AD7356的输出编码是直接二进制编码.该设计的代码转换发生在连续的LSB值 (1 LSB, 2个LSB, 等等). LSB大小是 $(2 \times V_{REF}) / 4096$.理想AD7356的传输特性如图23所示.

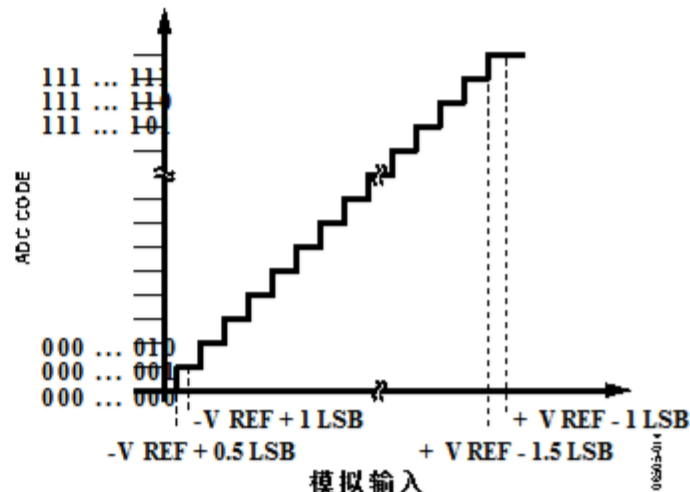


图23. AD7356理想传输特性

运作模式

通过控制选择AD7356的工作模式

转换期间CS信号的逻辑状态.有

三种可能的操作模式: 正常模式,

关闭模式和完全关闭模式.转换完成后

发起, CS拉高的点决定了哪一点

掉电模式, 如果有的话, 设备进入.同样, 如果已经

在掉电模式下, CS可以控制设备是否返回

到正常操作或保持在掉电模式.

这些操作模式旨在提供灵活的电源

管理选项.这些选项可以选择优化

功耗/吞吐率的比例为不同的

应用要求.

正常模式

正常模式适用于需要最快的应用程序

吞吐率, 因为用户不必担心

任何上电时间, 因为AD7356保持完全供电

每时每刻.图24显示了一般图

AD7356在正常模式下的操作.

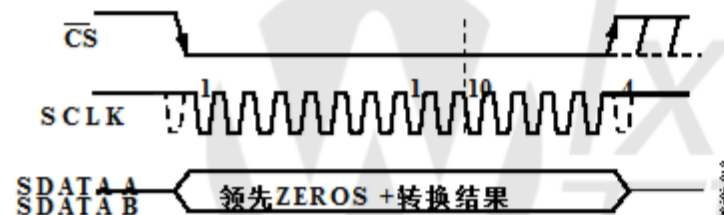


图24.正常模式操作

如上所述, 转换在CS的下降沿启动

在串行接口部分.确保零件保持不变

CS必须始终保持低电平, 直到至少

在CS的下降沿之后, SCLK的下降沿已经过去了.

如果在第10个SCLK下降沿之后, CS被拉高

但在第14个SCLK下降沿之前, 该部分仍保持供电状态

向上;但是, 转换终止和SDATA A和

SDATA B回到三态.完成转换

并访问AD7356, 14位串行时钟的转换结果

周期是必需的. SDATA线不回到三态,

状态经过14个SCLK周期后, 而是在这个时候

CS再次被拉高.如果CS保持低电平另外两个SCLK

循环中, 两个尾随零在数据后面输出.如果CS是

在另外14个SCLK周期内保持低电平, 其他的结果

板上的ADC也在相同的SDATA线上访问

图31和串行接口部分).

一旦32个SCLK周期结束, SDATA线返回

三态在第32个SCLK下降沿.如果CS被拉高

在此之前, SDATA线在此时返回到三态.

因此, 在32个SCLK周期之后, CS可能处于低电平状态, 直到被带入

在下一次转换之前的某个时间再次高.巴士还在

在完成双重结果读取后返回到三态.

数据传输完成时, SDATA A和SDATA B

已经回到三态, 可以启动另一个转换

经过安静的时间, QUIET已经过了, 再次使CS变低

(假设所需的获取时间已被允许).

部分省电模式

部分关机模式旨在用于应用程序中

这需要较慢的吞吐量.无论是ADC

在每次转换或一系列转换之间关闭

可以以高吞吐量执行, 然后ADC

在几次转换之间断电.它是

建议AD7356不要保持部分省电模式,

下拉模式的时间超过100 μ s.当AD7356处于

部分掉电, 所有模拟电路断电

除了片内基准和基准缓冲器.

进入部分掉电模式的转换过程

在任何时候都必须中断CS

SCLK的第二个下降沿和第10个下降沿之前

SCLK, 如图25所示.当CS被拉高时

在SCLK的这个窗口中, 部分进入部分掉电,

由CS的下降沿启动的转换是

终止, 并且SDATA A和SDATA B回到三态.

如果在第二个SCLK下降沿之前CS被拉高,

部分保持正常模式, 不会掉电.这个

避免由于CS线上的毛刺而意外掉电.

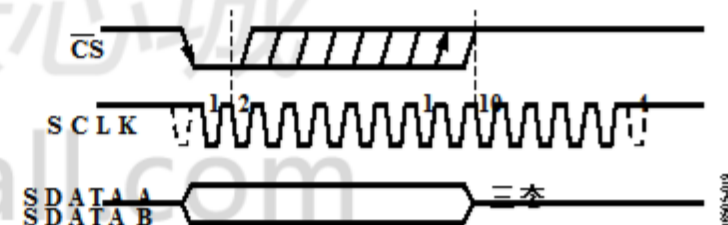


图25.进入部分掉电模式

为了退出这种工作模式并重新上电AD7356,

执行虚拟转换.在CS的下降边缘,

设备开始加电, 并且持续加电

因为CS保持低电平, 直到第10个SCLK的下降沿之后.

器件在大约200 ns后完全上电

(或一个完整的转换)和有效的数据结果

下一次转换, 如图26所示.如果CS被拉高

在SCLK的第二个下降沿之前, AD7356再次进入

进入部分关机.这避免了意外的上电

在CS线上发生故障.虽然设备可能会开始

在CS的下降沿上电, 它再次掉电

CS的上升沿.如果AD7356已经处于部分省电模式

模式, 而CS则在二至十之间居高不下

SCLK的下降沿, 器件进入完全掉电模式.

完全掉电模式

完全关断模式旨在用于应用程序

吞吐速率比部分省电模式下的速度慢

是必需的，因为从完全断电启动需要

比部分掉电时间长得多,这个

模式更适合在其中进行一系列转换的应用程序

以相对较高的吞吐率执行后跟一个

长时间不活动，从而关闭电源。当...的时候

AD7356处于完全掉电模式，所有模拟电路均为

掉电，包括片上参考和参考

缓冲区,完全掉电模式的输入方式与

部分掉电模式，除了所示的时序

在图25中必须执行两次转换过程

必须以CS类似的方式打断CS

在SCLK的第二个下降沿之后的任何地方

SCLK的第10个下降沿,器件进入部分关断

模式在这一点上，

要完全关闭电源，下一个转换周期必须是

以同样的方式中断，如图27所示

在SCLKs的这个窗口带来高，部分完全断电。

请注意，没有必要完成14或16个SCLK

一旦CS被拉高进入掉电模式,

要退出完全关断模式并启动AD7356，请执行

类似于部分省电模式的供电，

下,在CS的下降沿,器件开始上电。

只要CS保持低电平，直到第10个SCLK的下降沿。

转换前必须经过所需的启动时间

可以启动，如图28所示。

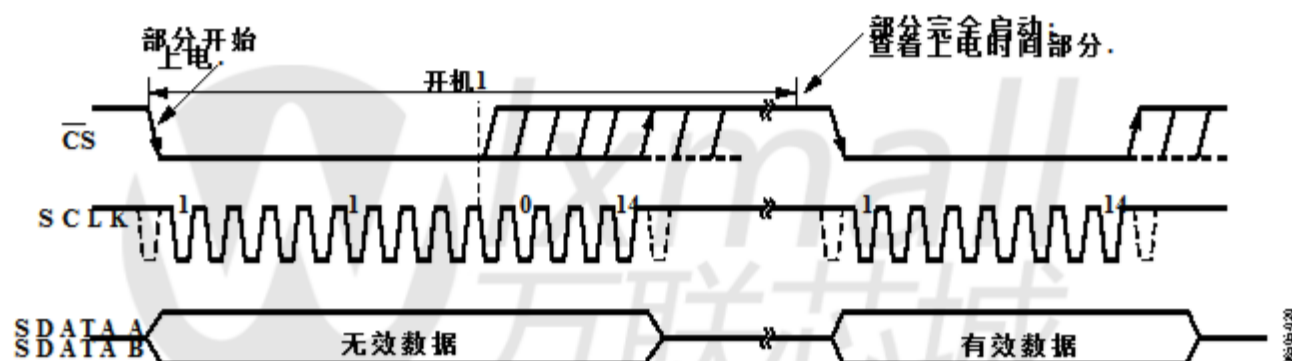


图26.退出部分掉电模式

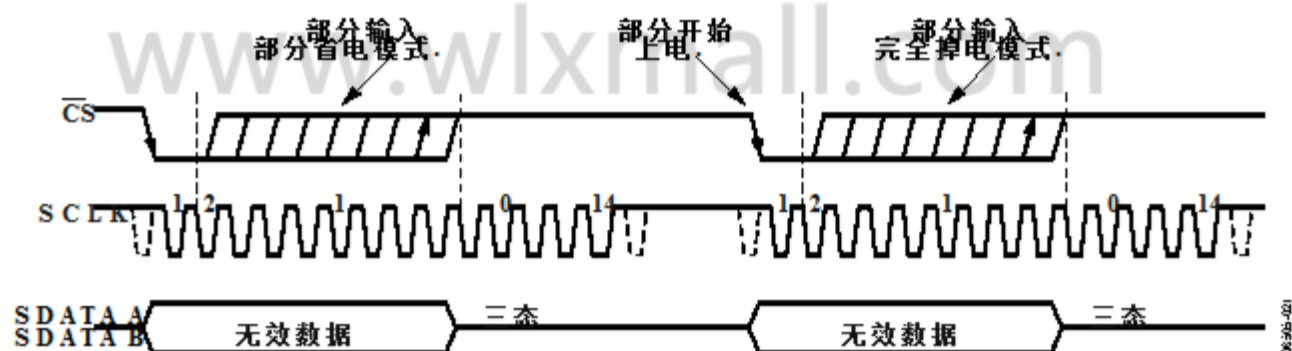


图27. 进入完全关断模式

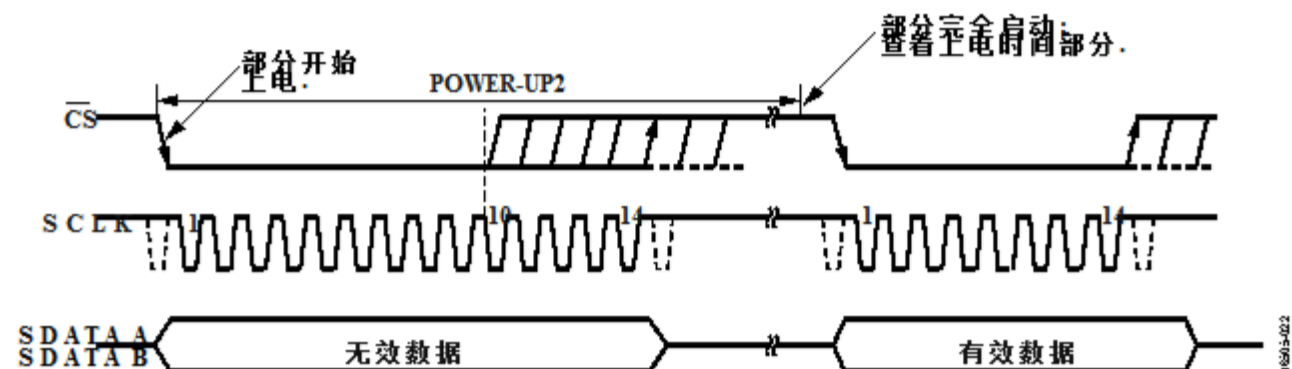


图28.退出完全关断模式

开机时间

AD7356具有两种省电模式：部分省电模式完全掉电，这些在“正常”中有详细的介绍模式，部分掉电模式和完全掉电模式部分。本节介绍当需要的上电时间从任何这些模式出来。请注意，建议去耦电容必须在REF A和REF B上引脚的上电时间适用。

要从部分省电模式上电，需要一个空闲周期是必须的。该设备大约在完全启动后CS的下降沿已经过了200ns。当...的时候部分上电时间已过，ADC已完全上电up，输入信号正确获取。安静的时候，t QUIET，必须仍然允许从巴士去的地步在虚拟转换到下一个之后回到三态CS的下降沿。

从完全掉电模式启动大约6 ms应该从CS的下降沿被允许，如图28所示作为POWER-UP2。

请注意，在部分省电模式下上电时，跟踪和保持，这是在保持模式，而部分供电向下，在第一个SCLK边沿之后返回到跟踪模式部分在CS的下降沿之后接收。

首次将电源应用于AD7356时，ADC可以在掉电模式或正常模式下加电模式。正因为如此，最好让一个虚拟周期过去确保零件在尝试有效之前已完全通电转换。同样，如果零件要保持部分断电在施加电源之后立即模式，然后是两个虚拟模式周期必须启动。第一个虚拟周期必须保持低电平直到第10个SCLK下降沿之后；在第二个周期，CS必须在第二个和第十个SCLK下降沿之间被拉高（见图25）。

或者，如果零件要完全断电模式时，应用电源，三个虚拟周期必须开始。第一个虚拟周期必须保持低电平，直到之后第10个SCLK下降沿；第二和第三个虚拟周期将器件置于完全关断模式（参见图27和27）操作模式部分）。

功率与吞吐率

AD7356的功耗随吞吐率而变化率。当使用非常低的吞吐率和一样快SCLK频率越高越好，各种掉电选项可以用来显著节电。但是，那AD7356的静态电流足够低，即使没有使用掉电选项，有一个明显的变化功耗与采样率。这是真的是否一个使用固定的SCLK值，或者按照采样率进行缩放。图29显示了运行时功率与吞吐率的关系曲线在正常模式下为一个固定的最大SCLK频率和一个SCLK频率与采样率成比例。内置的图29使用了参考。

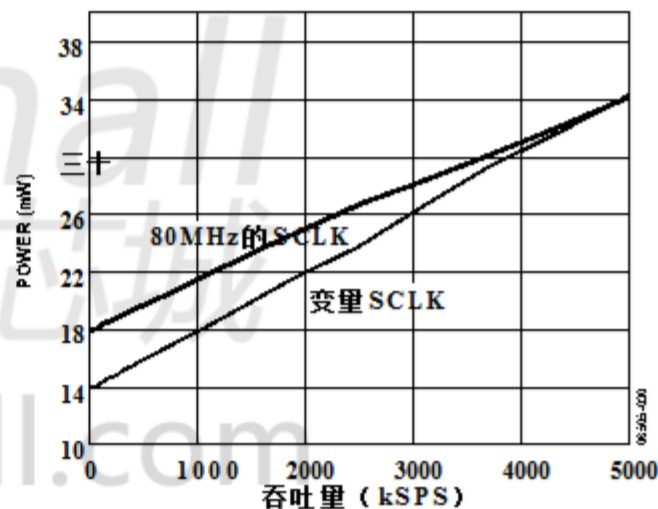


图29. 功耗与吞吐率的关系

串行接口

图30显示了串行接口的详细时序图到AD7356.串行时钟提供转换时钟并控制AD7356的信息传输在转换期间.

CS信号启动数据传输和转换过程.

CS的下降沿处于保持模式,

此时模拟输入被采样并且总线被采用

出于三态.转换也是在这个时候开始的

并且需要至少14个SCLK来完成.什么时候

13 SCLK下降沿已经过去,跟踪和保持返回

在下一个SCLK上升沿进入跟踪,如图30所示

在B点.如果在AD7356上使用16位数据传输,则

在最后的LSB之后出现两个尾随零.在上升的边缘

的CS,转换终止和SDATA A和SDATA B

回到三态.如果CS不高,反而是

低于额外14个SCLK周期的数据

ADC B上的转换在SDATA A上输出(见图31).

同样,输出来自ADC A转换的数据

在SDATA B上.在这种情况下,正在使用的SDATA线可以回到

三态在第32个SCLK下降沿或上升沿

CS,以先发生者为准.

执行该操作至少需要14个串行时钟周期

转换过程并从一个转换访问数据

AD7356的数据线.CS下降提供了

导致零被微控制器或DSP读入.该

其余数据随后被随后的SCLK下降计时

边缘,从第二个前导零开始.因此,第一个下降

串行时钟的时钟边沿提供前导零

也消除了第二个领先的零.然后是12位的结果

跟在数据传输中的最后一位,并且是有效的

第14次下降(前一次(第13次)

下降沿).在SCLK较慢的应用中,可能是

可能读取每个SCLK上升沿的数据取决于

SCLK频率.SCLK较慢,第一个上升沿,

CS下降沿之后的SCLK具有第二个前导零

提供,并且第13个上升的SCLK边缘提供了DB0.

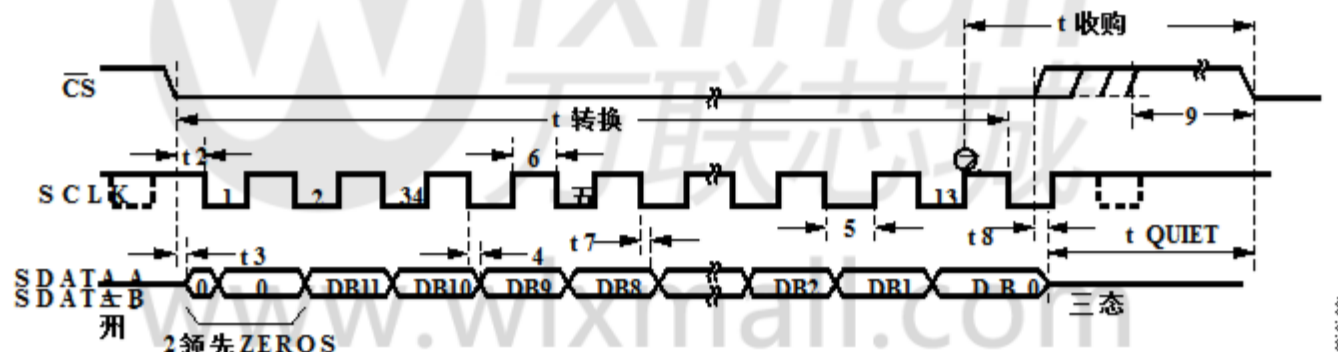


图30.串行接口时序图

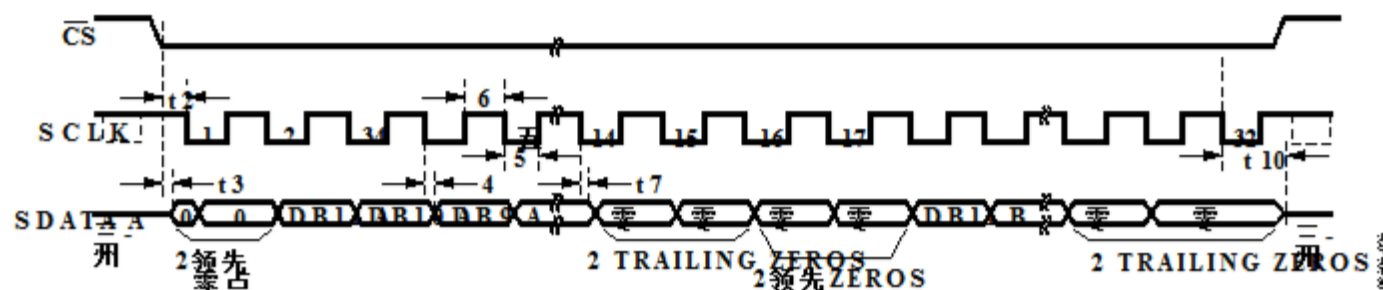


图31.在32个SCLK的SDATA线上读取来自两个ADC的数据

应用提示

接地和布局

AD7356的模拟和数字电源是独立的并分别钉住，以尽量减少之间的耦合。模拟和数字部分的设备设计印刷电路板（PCB），使AD7356容纳模拟信号。数字部分被分离并局限于某些区域。董事会。这种设计便于使用地平面可以很容易地分开。

为了提供地面飞机的最佳防护，最小化技术一般是最好的。下沉的两个AGND引脚

AD7356放在AGND平面上，并将其中的REFGND引脚接入AGND飞机。数字和模拟地面必须加入。只在一个地方。如果AD7356在一个系统中有多多个设备要求AGND和DGND连接，连接仍然只能在一个点上，一个明星地面点必须尽可能靠近地面建立AD7356。

避免因为夫妻双方在上运行数字线路。噪音到模具上。让模拟地平面运行AD7356避免噪声耦合。电源线

AD7356应该使用可能的较大的traces来提供低电平阻抗路径，并减少毛刺对功率的影响。供应线。

为了避免噪音辐射到电路板的其他部分，屏蔽快速开关信号，如时钟，数字地；和从来没有runclocksignalsneartheanalog输入。Avoidcrossoverof数字和模拟信号。为了减少馈通的影响在电路板内部，电路板的两侧应有痕迹

彼此以直角跑。微带技术就是这样最好的方法但并不总是可能的双面板。

在这种技术中，boardis的组件则是专用的地面飞机和信号放置在锡焊区。

良好的解耦是重要的。将10μF的所有电源去耦钽电容与0.1μF电容并联到GND。

为了从这些解耦部件获得最好的结果，他们必须放在尽可能靠近设备，理想情况下正对着设备。0.1μF电容（包括常见的陶瓷类型或表面安装类型）应该很少有效串联电阻（ESR）和有效串联电感（ESI）。这些低ESR和ESI电容器提供了低阻抗以高频率接地以处理瞬态电流由于逻辑切换。

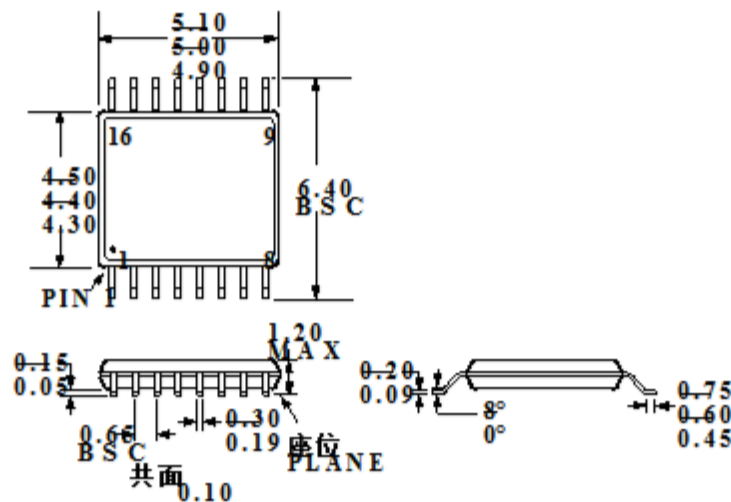
评估AD7356的性能

在AD7356的推荐布局在下面列出

EVAL-AD7356EDZ文档。EVAL-AD7356EDZ包装包括完全组装和经过测试的评估板，文件，以及用于控制电路板的软件。PC通过转换评估和开发委员会（CED）。CED可与EVAL-AD7356EDZ一起使用（以及在教育署结束的许多其他评估板从Analog Devices, Inc.的指定者）来演示/评估交流和直流性能的AD7356。

该软件允许插入（快速Fouriertransform）和AD7356的直流（线性）测试。该软件和与EVAL-AD7356EDZ相关的文档。

外形尺寸



符合JEDEC标准MO-153-AB
图32. 16引脚薄型小外形封装[TSSOP]
(RU-16)
尺寸以毫米为单位显示

订购指南

模型 1, 2, 3	温度范围	包装说明	包装选项
AD7356BRUZ	-40°C至+ 85°C	16引脚薄型小外形封装[TSSOP]	RU-16
AD7356BRUZ-500RL7	-40°C至+ 85°C	16引脚薄型小外形封装[TSSOP]	RU-16
AD7356BRUZ-RL	-40°C至+ 85°C	16引脚薄型小外形封装[TSSOP]	RU-16
AD7356YRUZ	-40°C至+ 125°C	16引脚薄型小外形封装[TSSOP]	RU-16
AD7356YRUZ-500RL7	-40°C至+ 125°C	16引脚薄型小外形封装[TSSOP]	RU-16
AD7356YRUZ-RL	-40°C至+ 125°C	16引脚薄型小外形封装[TSSOP]	RU-16
EVAL-AD7356EDZ		评估板	
EVAL-CED1Z		转换器评估和开发板	

1Z =符合RoHS标准的部分。
2EVAL-AD7356EDZ评估板可用作独立评估板或与EVAL-CED1Z板一起用于评估/演示目的。
3EVAL-CED1Z评估板是一个完整的单元，可以让PC控制ED指示符末尾的所有模拟设备评估板。