

特征

双通道12位，3通道ADC

吞吐量：2 MSPS

规定为2.7 V至5.25 V的V_{DD}

能量消耗

采用3 V电源，1.5 MSPS时功耗为9 mW

采用5 V电源，2 MSPS时为27 mW

引脚可配置的模拟输入

12通道单端输入

6通道全差分输入

6路伪差分输入

50 kHz输入频率下的70 dB SNR

准确的片内基准电压：2.5 V

25°C时的最大值为±0.2%，最大值为20 ppm/°C

读取437.5 ns，32 MHz SCLK的双转换

高速串行接口

SPI® / QSPI™ - / MICROWIRE™ - / DSP兼容

工作在-40°C至+125°C

关断模式：最大1 μA

32引脚LFCSP和32引脚TQFP

1 MSPS版本，AD7265

一般描述

AD7266是一款双通道，12位，高速，低功耗，连续的逼近型ADC，采用2.7 V至5.25 V单电源供电，电源和吞吐量高达2 MSPS。该

器件包含两个ADC，每个ADC前面都有一个3通道多路复用器，以及低噪声，宽带宽的采样保持放大器可以处理超过30 MHz的输入频率。

转换过程和数据采集使用标准

控制输入，允许轻松连接到微处理器或

DSP的。输入信号在CS的下降沿采样；

转换也在这个时候启动。转换时间是

由SCLK频率决定。没有流水线

与零件相关的延迟。

AD7266采用先进的设计技术来实现

功耗低，吞吐量高。用5伏

耗材和2 MSPS吞吐速率，部件消耗

最大6.2 mA。该部分还提供灵活的功率/

在正常模式下运行时的吞吐量管理

因为静态电流消耗非常低。

该器件的模拟输入范围可以选择为0 V

到V_{REF}（或2×V_{REF}）范围，以直二进制或二进制

补码输出编码。AD7266具有片内2.5 V电源

当外部参考是可以被过度驱动的参数

首选。这个外部参考范围是100 mV到V_{DD}。

版本B

ADI公司提供的信息被认为是准确和可靠的，但是，没有

使用模拟器件的责任，专利或其他方面的损害

rightsofthirdpartiesthatmayresultfromitsuse. Specifications subject to change without notice. No

ADI公司的任何专利或专利权均以暗示或其他方式授予许可。

Trademarks and registered trademarks are the property of their respective owners.

功能框图

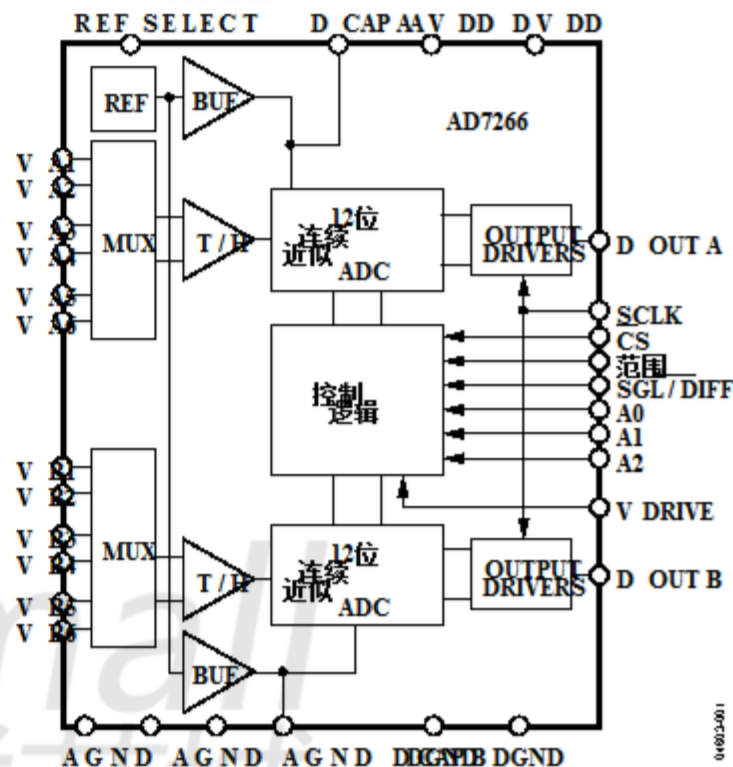


图1.

AD7266采用32引脚LFCSP封装，
32引脚TQFP。

产品聚焦

1. 两个完整的ADC功能允许同时进行两个通道的采样和转换。每个ADC有三个完全/伪差分对，或六个单端通道，按照编程转换。两个通道的结果是同时可用的。单独的数据线，或者只在一条数据线上连续一个串口是可用的。
2. 高吞吐量，低功耗。AD7266的吞吐量速率为1.5 MSPS，功耗为11.4 mW在3 V时最大功耗。
3. AD7266提供标准的0 V至V_{REF}输入范围和2×V_{REF}输入范围。
4. 没有管道延迟。该部分具有两个标准的逐次逼近。通过一个ADC准确控制采样时刻的ADC CS输入和一次转换控制。

1 受美国专利号6,681,332的保护

目录

特征	1	VDRIVE	18
一般说明	1	操作模式	19
功能框图	1	正常模式	19
产品亮点	1	部分掉电模式	19
修订记录	2	完全掉电模式	20
规格	3	通电时间	21
时序规格	5	功率与吞吐率	21
绝对最大额定值	6	串行接口	22
ESD警告	6	微处理器接口	23
引脚配置和功能描述	7	AD7266至ADSP218x	23
典型性能特征	9	AD7266至ADSP-BF53x	24
术语	11	AD7266到TMS320C541	24
操作理论	13	AD7266至DSP563xx	25
电路信息	13	应用提示	26
转换器操作	13	接地和布局	26
模拟输入结构	13	LFCSP的PCB设计指南	26
模拟输入	14	评估AD7266的性能	26
模拟输入选择	17	外形尺寸	27
输出编码	17	订购指南	27
传递函数	18		
数字输入	18		

修订记录

11分之5-REV. A到Rev. B

引脚13到引脚18，引脚23到引脚的助记符顺序的更改

25和28号引脚，表4中的引脚30

新增EPAD说明

更新了外形尺寸

订购指南的更改

11月6日-REV. 0至Rev. A

格式变更

参考输入/输出部分的变更

表4的变更

术语部分的变更

图24和差分模式部分的变化

图29的变化

图39的变化

将AD7265更改为ADSP-BF53x部分

更新了外形尺寸

订购指南的更改

4/05版本0: 初始版本

版本B | 第2页，共28页

规格

$T_A = T_{MIN}$ 至 T_{MAX} , $V_{DD} = 2.7V$ 至 $3.6V$, $f_{SCLK} = 24MHz$, $f_S = 1.5MSPS$, $V_{DRIVE} = 2.7V$ 至 $3.6V$; $V_{DD} = 4.75V$ 至 $5.25V$, $f_{SCLK} = 32MHz$, $f_S = 2MSPS$, $V_{DRIVE} = 2.7V$ 至 $5.25V$; 规格适用于使用内部参考或外部参考 $= 2.5V \pm 1\%$
除非另有说明1.

表格1.

参数	规范	单元	测试条件/评论
动态表现			
信噪比 (SNR) 2	71 69	分钟 分钟	$f_{IN} = 50 kHz$ 正弦波; 差分模式 $f_{IN} = 50 kHz$ 正弦波; 单端和伪差分模式
信噪比+失真比 (SINAD) 2	70 68	分钟 分钟	$f_{IN} = 50 kHz$ 正弦波; 差分模式 $f_{IN} = 50 kHz$ 正弦波; 单端和伪差分模式
总谐波失真 (THD) 2	-77 -73	最大 dB 最大 dB	$f_{IN} = 50 kHz$ 正弦波; 差分模式 $f_{IN} = 50 kHz$ 正弦波; 单端和伪差分模式
无杂散动态范围 (SFDR) 2	-75	最大 dB	$f_{IN} = 50 kHz$ 正弦波
互调失真 (IMD) 2			$f_a = 30kHz$, $f_b = 50kHz$
二阶术语	-88	dB 典型值	
三阶术语	-88	dB 典型值	
通道间隔离	-88	dB 典型值	
采样和保持			
光圈延迟 ³	11	ns 最大	
孔径抖动 ³	50	ps typ	
孔径延迟匹配 ³	200	ps 最大	
全功率带宽	33/26 3.5 / 3	MHz 典型 MHz 典型	@ 3dB, $V_{DD} = 5V / V_{DD} = 3V$ @ 0.1dB, $V_{DD} = 5V / V_{DD} = 3V$
DC 精度			
解析度	12	位	
积分非线性 ²	± 1 ± 1.5	最大 LSB 最大 LSB	± 0.5 LSB (典型值); 差分模式 ± 0.5 LSB (典型值); 单端和伪差分模式
微分非线性 ^{2, 4}	± 0.99 $-0.99 / + 1.5$	最大 LSB 最大 LSB	差分模式 单端和伪差分模式
直接二进制输出编码			
偏移错误	± 7	最大 LSB	± 2 LSB (典型值)
偏移错误匹配	± 2	LSB 典型	
增益错误	± 2.5	最大 LSB	
增益错误匹配	± 0.5	LSB 典型	
二进制补码输出编码			
正增益误差	± 2	最大 LSB	
正增益错误匹配	± 0.5	LSB 典型	
零代码错误	± 5	最大 LSB	
零代码错误匹配	± 1	LSB 典型	
负增益误差	± 2	最大 LSB	
负增益错误匹配	± 0.5	LSB 典型	
ANALOG INPUTS			
单端输入范围	0 V 到 V_{REF} 0 V 到 $2 \times V_{REF}$	V V	范围销低 范围销高
伪差分输入范围: $V_{IN+} - V_{IN-}$	0 至 V_{REF} $2 \times V_{REF}$	V V	范围销低 范围销高
全差分输入范围: V_{IN+} 和 V_{IN-}	$V_{CM} \pm V_{REF} / 2$ $V_{CM} \pm V_{REF}$	V V	V_{CM} = 共模电压 ⁷ = $V_{REF} / 2$ $V_{CM} = V_{REF}$

AD7266

参数	规范	单元	测试条件/评论
直流漏电流	±1	μA最大	在轨道上 当在等待
输入电容	45	pF typ	
	10	pF typ	
参考输入/输出			25°C时最大±0.2% 1000小时 请参见典型性能特征部分 外部参考适用于引脚D CAP A/引脚D CAP B
参考输出电压 ⁸	2.5	V min / V max	
长期稳定	150	ppm典型	
输出电压滞后 ²	50	ppm典型	
参考输入电压范围	0.1 / V DD	V min / V max	
直流漏电流	±2	μA最大	
输入电容	25	pF typ	
D CAP A, D CAP B输出阻抗	10	Ω典型	
参考温度系数	20	ppm / °C最大	
	10	ppm / °C (典型值)	
V REF 噪声	20	μVrms (典型值)	
逻辑输入			V IN = 0 V或V DRIVE
输入高电压, V INH	2.8	V分钟	
输入低电压, V INL	0.4	V最大	
输入电流, I IN	±15	典型值	
输入电容C IN3	五	pF typ	
逻辑输出			选择 0 V至V REF 范围的 SGL / DIFF = 1 SGL / DIFF = 0; SGL / DIFF = 1, 0V至2×V REF 范围
输出高电压, V OH	V DRIVE - 0.2	V分钟	
输出低电压, V OL	0.4	V最大	
浮动状态泄漏电流	±1	μA最大	
浮动状态输出电容 ³	7	pF typ	
输出编码	直 (自然) 二进制 二补		
兑换率			
转换时间	14	SCLK周期	SCLK = 32 MHz时为437.5 ns
追踪和保持采集时间 ³	90	ns最大	全量程步进输入; V DD = 5V
	110	ns最大	全量程步进输入; V DD = 3V
吞吐量	2	MSPS最大	
电源要求			数字I / Ps = 0 V或V DRIVE V DD = 5.25V V DD = 5.25V; 5.7 mA (典型值) V DD = 3.6V; 3.4 mA (典型值) 静态的 T A = -40°C至+ 85°C T A > 85°C至125°C
V DD	2.7 / 5.25	V min / V max	
V DRIVE	2.7 / 5.25	V min / V max	
我 DD			
普通模式 (静态)	2.3	最大mA	
操作, f S = 2 MSPS	6.4	最大mA	
f S = 1.5 MSPS	4	最大mA	
部分掉电模式	500	μA最大	
完全掉电模式 (V DD)	1	μA最大	
	2.8	μA最大	
功耗			
正常模式 (操作)	33.6	mW最大值	
部分关机 (静态)	2.625	mW最大值	
完全断电 (静态)	5.25	μW最大值	

1 温度范围为-40°C至+ 125°C.

2 请参见术语部分.

3 样品在首次发布期间进行测试, 以确保合规

4 保证没有遗漏码到12位.

5 V IN- 或V IN+ 必须保持在GND / V DD内.

6 V IN- = 0 V用于指定的性能. 对于V IN- 引脚的全输入范围, 请参见图28和图29.

7 对于完整的共模范围, 请参见图24和图25.

8 关于引脚D CAP A或引脚D CAP B.

时间规格

除非另有说明， $V_{DD} = DV_{DD} = 2.7\text{ V}$ 至 5.25 V ， $V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V ，内部/外部参考电压= 2.5 V ， $T_A = T_{MAX}$ 至 T_{MIN} 。

表2

参数	限制在 T_{MIN} ， T_{MAX}	单元	描述
fSCLK2	1	MHz/分钟	$T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$
	4	MHz/分钟	$T_A > 85^{\circ}\text{C}$ 至 125°C
	32	最大MHz	
t 转换	$14 \times t_{SCLK}$	ns/最大	$t_{SCLK} = 1 / f_{SCLK}$
	437.5	ns/最大	$f_{SCLK} = 32\text{ MHz}$ ， $V_{DD} = 5\text{ V}$ ， $f_{SAMPLE} = 2\text{ MSPS}$
	583.3	ns/最大	$f_{SCLK} = 24\text{ MHz}$ ， $V_{DD} = 3\text{ V}$ ， $f_{SAMPLE} = 1.5\text{ MSPS}$
t QUIET	三十	ns/分钟	串行读取结束和CS下一个下降沿之间的最短时间
t2	15/20	ns/分钟	$V_{DD} = 5\text{ V} / 3\text{ V}$ ，CS至SCLK建立时间， $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$
	20/30	ns/分钟	$V_{DD} = 5\text{ V} / 3\text{ V}$ ，CS至SCLK建立时间， $T_A > 85^{\circ}\text{C}$ 至 125°C
t3	15	ns/最大	从CS延迟到DOUT A和DOUT B禁用三态
T43	36	ns/最大	SCLK下降沿之后的数据访问时间， $V_{DD} = 3\text{ V}$
	27	ns/最大	SCLK下降沿之后的数据访问时间， $V_{DD} = 5\text{ V}$
5	$0.45 t_{SCLK}$	ns/分钟	SCLK低脉冲宽度
6	$0.45 t_{SCLK}$	ns/分钟	SCLK高脉冲宽度
t7	10	ns/分钟	SCLK到数据有效保持时间， $V_{DD} = 3\text{ V}$
	五	ns/分钟	SCLK为数据有效保持时间， $V_{DD} = 5\text{ V}$
t8	15	ns/最大	CS上升沿到DOUT A，DOUT B，高阻抗
9	三十	ns/分钟	CS上升沿到下降沿脉冲宽度
t10	五	ns/分钟	SCLK下降沿到DOUT A，DOUT B，高阻抗
	35	ns/最大	SCLK下降沿到DOUT A，DOUT B，高阻抗

1 样品在首次发布期间进行测试以确保符合性。所有的输入信号都由 $t_r = t_f = 5\text{ ns}$ （ V_{DD} 的10%至90%）指定，并从1.6V的电压电平开始计时。给出的所有时序规格均为25 pF负载电容。当负载电容大于此值时，必须使用数字缓冲器或锁存器。见串行接口部分和图41和图42。

2 指定性能的最小SCLK；SCLK频率越低，典型性能规格就适用。

3 输出经过0.4 V或2.4 V所需的时间。

www.wlxml.com

绝对最大额定值

表3.

参数	评分
V DD 到AGND	-0.3 V至+7 V
DV DD 到DGND	-0.3 V至+7 V
V DRIVE 到DGND	-0.3 V到DV DD
V DRIVE 到AGND	-0.3 V到AV DD
AV DD 到DV DD	-0.3V至+ 0.3V
AGND到 DGND	-0.3V至+ 0.3V
模拟输入电压到AGND	-0.3 V到AV DD + 0.3 V
数字输入电压到DGND	-0.3 V至+7 V
数字输出电压到GND	-0.3 V至V DRIVE + 0.3 V
V REF 到AGND	-0.3 V到AV DD + 0.3 V
输入电流到任何引脚 除了耗材1	±10 mA
工作温度范围	-40°C至+ 125°C
存储温度范围	-65°C至+ 150°C
结温	150°C
LFCSP / TQFP	
θJA 热阻抗	108.2°C / W (LFCSP)
	55°C / W (TQFP)
θJC 热阻抗	32.71°C / W (LFCSP)
铅温度, 焊接	
回流温度 (10到30秒)	255°C
ESD	1.5千伏

1 高达100 mA的瞬态电流不会导致闭锁.

强调超出绝对最大额定值列出的那些可能会导致设备永久性损坏.这是一个压力
只有评级.在这些或任何设备的功能操作
其他情况超出业务指标
不是暗示本规范的一部分.接触绝对
延长期限的最大额定条件可能会影响
设备可靠性.

ESD警告



ESD (electrostatic discharge) sensitive device.
Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

引脚配置和功能说明

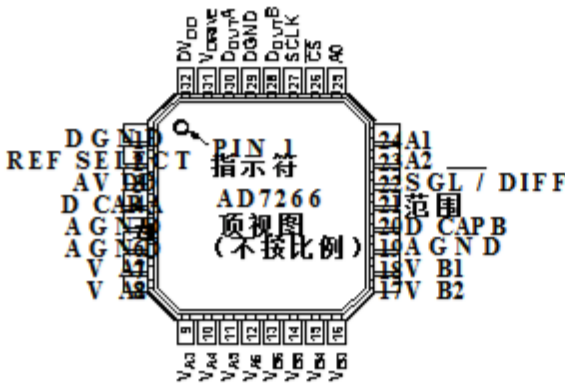


图2.引脚配置 (CP-32-2)

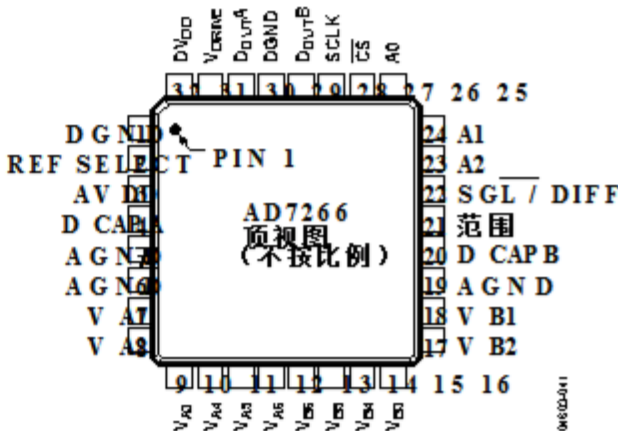


图3.引脚配置 (SU-32-2)

表4.引脚功能描述

销号	助记符	描述
1, 29	DGND	数字地面.这是AD7266上所有数字电路的接地参考点.两个DGND引脚都应该连接到系统的DGND平面. DGND和AGND电压理想情况下应处于相同的电位.即使在短暂的情况下也不得超过0.3V.
2	REF SELECT	内部/外部参考选择.逻辑输入.如果该引脚连接到DGND,则使用2.5 V片内基准电压源. ADC A和ADC B的参考源.另外,引脚D的CAP A和引脚D的CAP B必须连接到去耦电容.如果REF SELECT引脚连接到逻辑高电平,则可以将外部基准电压提供给AD7266通过D CAP A和/或D CAP B引脚.
3	AV DD	模拟电源电压, 2.7 V至5.25 V.这是AD7266上所有模拟电路的唯一电源电压.该理想情况下, AV DD和DV DD电压处于相同的电位,并且不得超过0.3 V,即使在a暂时的基础.该电源应与AGND分离.
4, 20	D CAP A, D CAP B	去耦电容器引脚.去耦电容(推荐使用470 nF)连接到这些引脚为每个相应的ADC去耦参考缓冲器.如果输出经过缓冲,则片上基准电压可以从这些引脚上取下,并从外部应用到系统的其余部分.外部参考的范围是取决于所选的模拟量输入范围.
5, 6, 19	AGND	模拟地. AD7266上所有模拟电路的接地参考点.所有的模拟输入信号和任何外部参考信号应该参考这个AGND电压.所有这三个AGND引脚都应该连接到系统的AGND平面.理想情况下, AGND和DGND电压应该处于相同的电位,并且不能即使在短暂的情况下,也要超过0.3V.
7到12	V A1至V A6	ADC A的模拟输入.这些可以编程为6个单端通道或3个真差分模拟输入通道对.见表6.
13至18	V B6到V B1	ADC B的模拟输入.这些可以编程为6个单端通道或3个真差分模拟输入通道对.见表6.
21	范围	模拟量输入范围选择.逻辑输入.该引脚的极性决定了模拟输入的输入范围.通道.如果此引脚连接到逻辑低电平,则模拟输入范围为0 V至V REF.如果此引脚绑定到逻辑高时CS变低,模拟输入范围为2×V REF.看到了模拟输入选择部分的细节.
22	SGL / DIFF	逻辑输入.该引脚选择模拟输入是配置为差分对还是单端.一个逻辑低电平选择差分操作,而逻辑高电平选择单端操作.见模拟输入选择部分的细节.
23至25	A2到A0	复用器选择.逻辑输入.这些输入用于同时选择一对通道.例如ADC A和ADC B的通道1, ADC A和ADC B的通道2等等.这对所选通道可以是两个单端通道或两个差分对.这些引脚的逻辑状态需要在采集时间和CS的后续下降沿之前进行设置才能正确设置多路转换器.看到了模拟输入选择部分进一步的细节和表6对于多路复用器地址解码.
26	CS	芯片选择.低电平有效逻辑输入.该输入提供了在AD7266上启动转换的双重功能并构建串行数据传输.
27	SCLK	串行时钟.逻辑输入.串行时钟输入提供了用于访问AD7266数据的SCLK.这个时钟也被用作转换过程的时钟源.

销号	助记符	描述
28, 30	D OUT B, D OUT A	串行数据输出.数据输出作为串行数据流提供给每个引脚.这些位是在计时器上计时的 SCLK输入的下降沿和14个SCLK需要访问数据.数据同时出现在上面 两个引脚同时转换两个ADC.数据流由两个前导零组成 随后是12位转换数据.数据首先提供给MSB.如果CS保持低电平16 SCLK周期 那么在12位数据之后会出现两个尾随零.如果CS在低电平持续16个SCLK周期 D OUT A或D OUT B, 来自另一个ADC的数据在D OUT 引脚上.这允许同时进行数据 两个ADC上的转换可以 通过一个串口 在D OUT A或D OUT B 上串行收集.看到 该 串行接口 部分.
31	V DRIVE	逻辑电源输入.该引脚上提供的电压决定了接口工作的电压.这个 引脚应该去耦到DGND. 此引脚上的电压可能会不同于AV DD 和DV DD上的电压, 但应该如此 从不超过0.3 V.
32	DV DD	数字电源电压, 2.7 V至5.25 V.这是AD7266上所有数字电路的电源电压. DV DD 和AV DD 电压理想情况下应该是相同的电位, 不得超过0.3 V, 即使在一个 暂时的基础.该供应应该与DGND分离.
	EPAD	裸露的垫. LFCSP封装底部露出的金属片应焊接到PCB地上.



典型的性能特征

T A = 25°C, 除非另有说明.

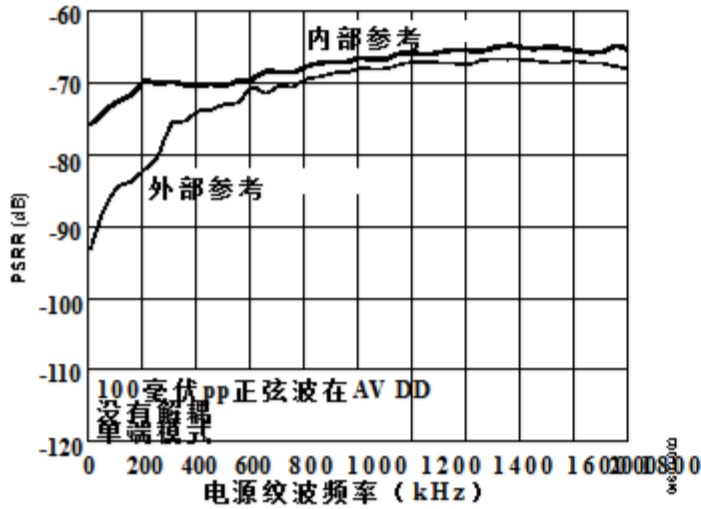


图4.没有电源去耦的PSRR与电源纹波频率

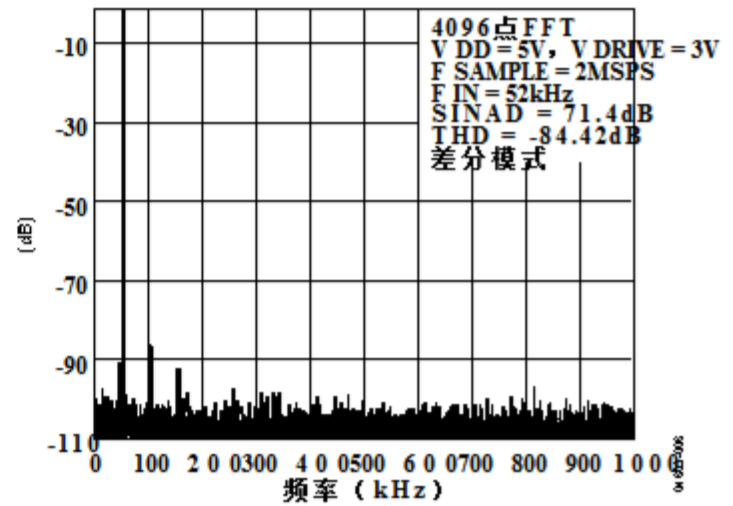


图7. FFT

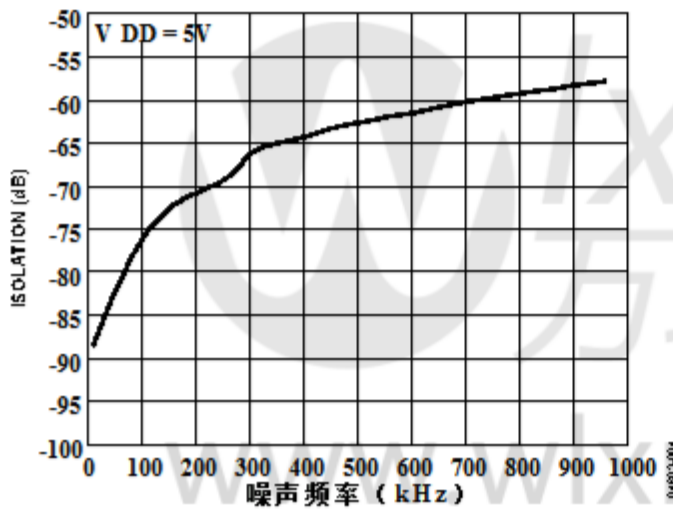


图5.通道间隔离

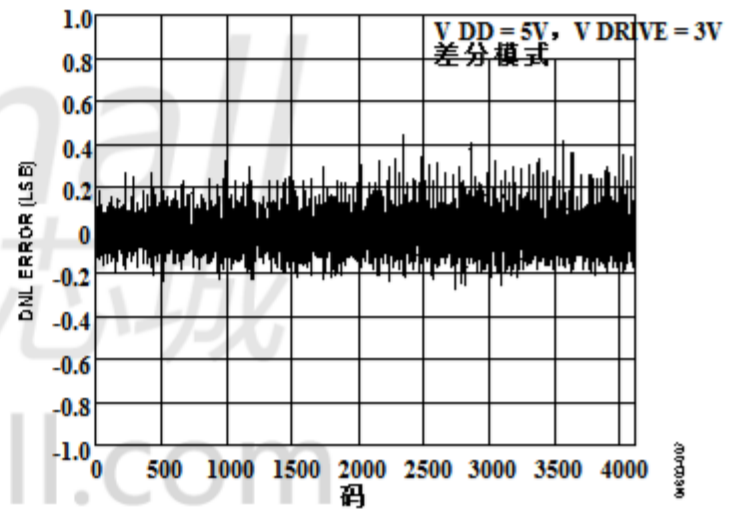


图8.典型的DNL

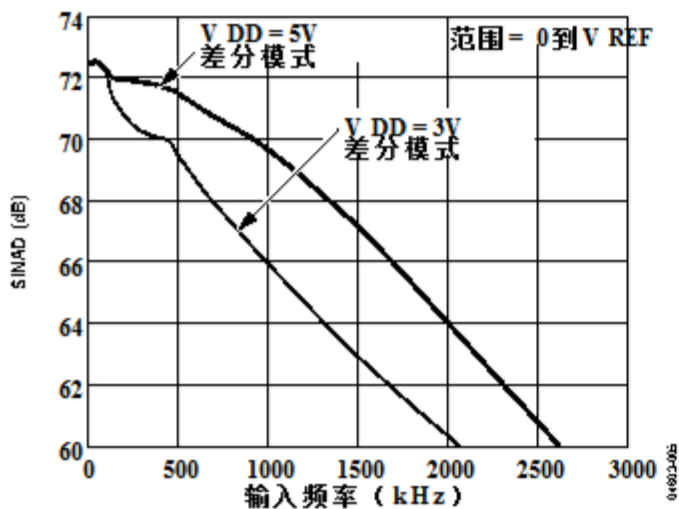


图6.各种电源电压下的SINAD与模拟输入频率

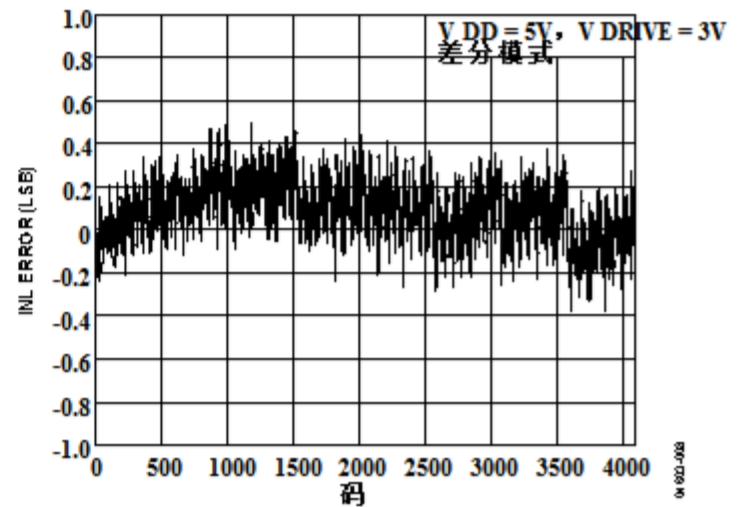


图9.典型的INL

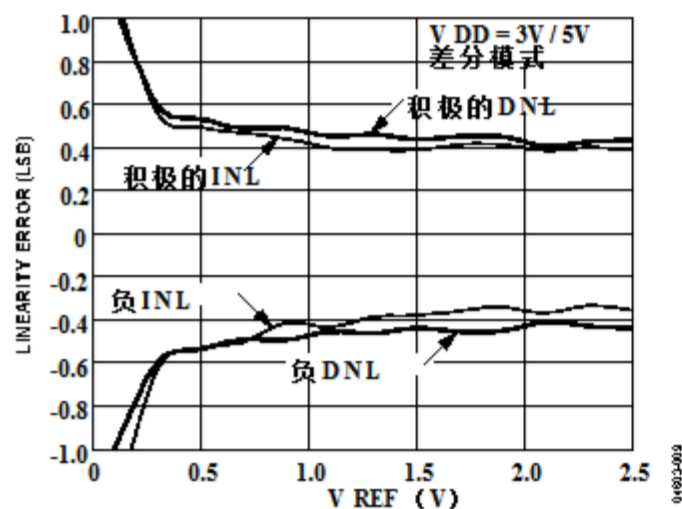


图10.线性误差与VREF

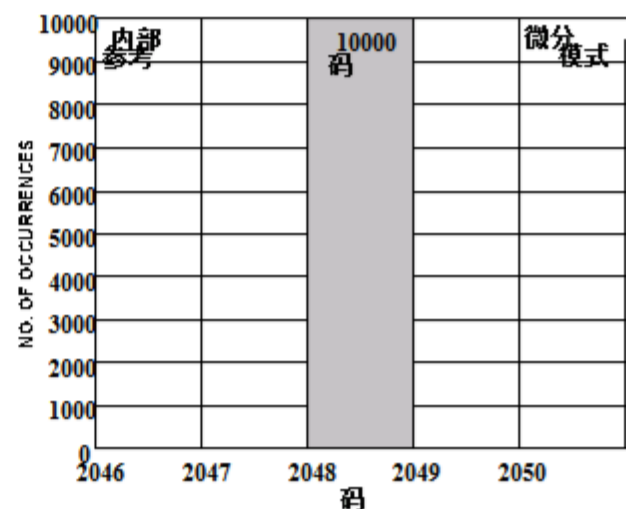


图13.差分模式下10k采样的代码直方图

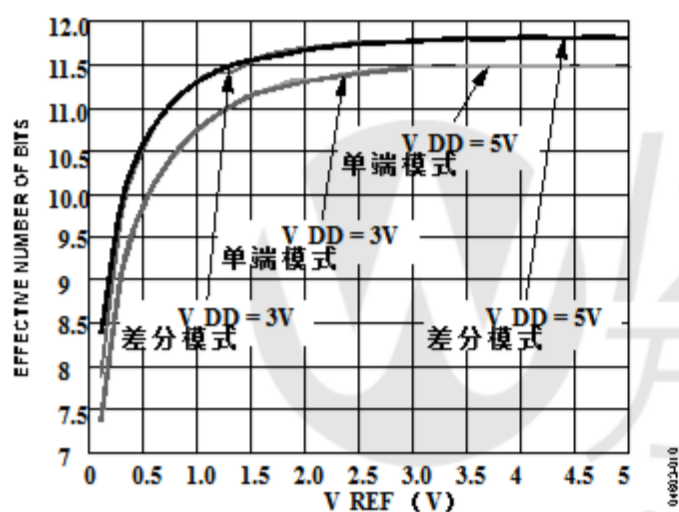


图11.有效位数与VREF的关系

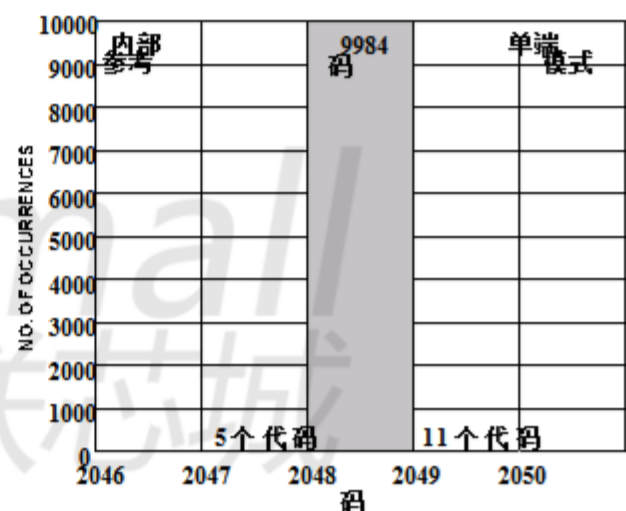


图14.单端模式下10k采样的代码直方图

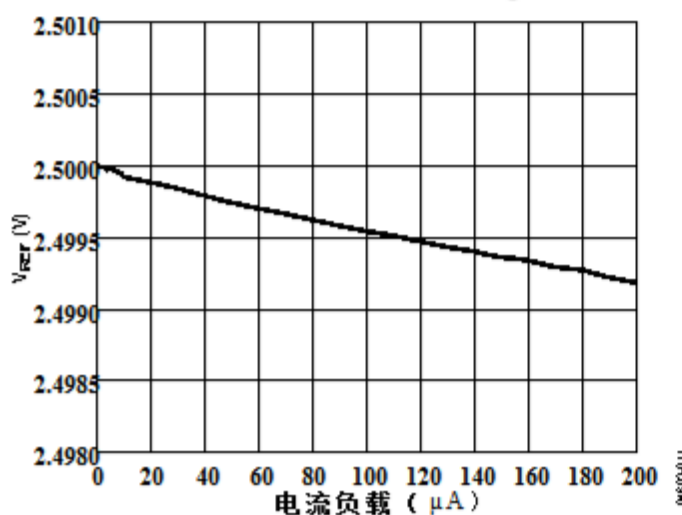


图12. VREF与参考输出电流驱动

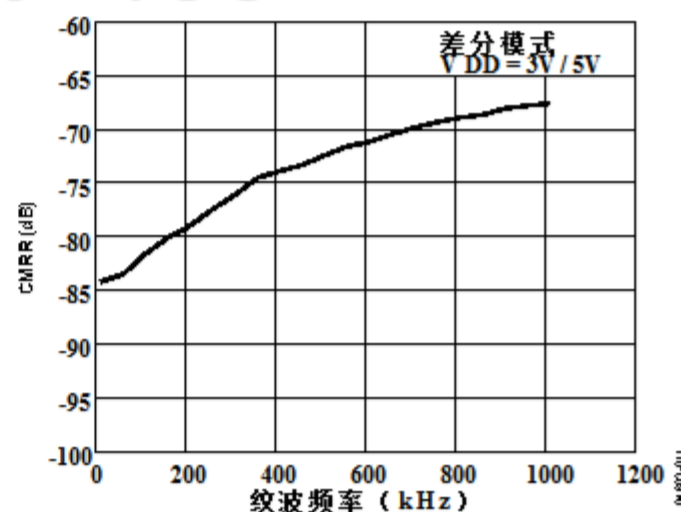


图15. CMRR与共模纹波频率的关系

术语

微分非线性 (DNL)

微分非线性是测量之间的差异和理想的1 LSB之间的任何两个相邻的代码之间的变化ADC。

积分非线性 (INL)

积分非线性是直线的最大偏差通过ADC转移的端点功能。传递函数的终点是零标度在第一个代码转换之下有一个(1) LSB点，在最后一个代码转换之上有一个1 LSB点。

偏移错误

偏移误差适用于直接二进制输出编码。它是第一代转换(00...000)到(00...001)从理想(AGND + 1 LSB)。

偏移错误匹配

偏移错误匹配是所有偏移错误的差异12个频道。

增益错误

增益误差适用于直接二进制输出编码。它是(111...110)到(111...110)的偏差。111)与偏移误差之后的理想值(V REF - 1 LSB)之间的差值调整出来。增益错误不包括参考错误。

增益错误匹配

增益误差匹配是所有增益误差的差异12个频道。

零代码错误

使用二进制补码输出时，应用零码错误。例如，将 $2 \times V_{REF}$ 输入范围编码为 $-V_{REF}$ 到 $+V_{REF}$ 偏置在 V_{REF} 点。这是偏差的从理想的VIN电压的中间过渡(全1到全0)(V_{REF})。

零代码错误匹配

零码错误匹配是指零码错误的差异跨所有12个频道。

正增益误差

这适用于使用二进制补码输出编码时，例如， $2 \times V_{REF}$ 输入范围为 $-V_{REF}$ 至 $+V_{REF}$ 偏置关于 V_{REF} 点。这是最后一个代码的偏差从理想值($+V_{REF}$ - (011...110)到(011...111)1个LSB)，零码错误调出后。

跟踪和保持采集时间

采样保持放大器在返回到跟踪模式之后转换结束。追踪和保持采集时间是时间需要跟踪和保持放大器的输出达到其最终值在转换结束后的 $\pm 1/2$ LSB内。

信号 - (噪声+失真) 比

这个比率是测量的信噪比(噪声+失真)在ADC的输出端。信号是的有效值振幅基本的。噪声是所有非基本信号的总和采样频率的一半($f_S/2$)，不包括直流。比例取决于量化级别的数量数字化过程。级别越多，量化越小。噪声。理论上的信号 - (噪声+失真)比理想的具有正弦波输入的N位转换器由下式给出

$$\text{信号} - (\text{噪声} + \text{失真}) = (6.02N + 1.76) \text{ dB}$$

因此，对于12位转换器，这是74dB。

总谐波失真 (THD)

总谐波失真是有效值之和的比值谐波的根本。对于AD7266，它被定义为

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

哪里：

V_1 是基波的均方根幅值。

V_2, V_3, V_4, V_5 和 V_6 是第二个的均方根幅值通过六次谐波。

峰值谐波或杂散噪声

峰值谐波或寄生噪声被定义为的比值ADC输出中下一个最大分量的有效值频谱(高达 $f_S/2$ ，不包括直流)的有效值基本的。通常，这个规范的价值是由光谱中最大的谐波决定，但是谐波被埋置在本底噪声的ADC，它是一个噪音峰值。

通道间隔离

通道间隔离度是衡量水平的一个指标通道之间的串扰。这是衡量一个全职工作，($V_{DD} = 5V$ 时为 $2 \times V_{REF}$ ， $V_{DD} = 3V$ 时为 V_{REF})，10kHz正弦波信号到所有未被选择的输入通道确定在选择的信号中衰减了多少带有50 kHz信号的通道(0 V至 V_{REF})。得到的结果是AD7266所有12个通道中最差的情况。

互调失真

输入由两个频率的正弦波组成， f_a 和 f_b ，任何有非线性的有源器件都会产生失真产品总和，差异频率 $m f_a \pm n f_b$ 在哪里 $m, n = 0, 1, 2, 3$ 等等。互调失真术语那些既不是 m 也不等于零的那些。对于例如，二阶项包括($f_a + f_b$)和($f_a - f_b$)，而三阶项包括($2 f_a + f_b$)，($2 f_a - f_b$)，($f_a + 2 f_b$)和($f_a - 2 f_b$)。

AD7266使用CCIF标准进行测试，其中两路输入使用输入带宽顶端附近的频率。

在这种情况下，二阶项通常被隔开频率从原来的正弦波，而三阶术语通常在接近输入频率的频率上。

因此，二阶和三阶项是

分开指定。互调的计算

失真根据THD规范，它是比率

的个人失真产品的均方根总和的有效值以dBs表示的基本总和的幅度。

共模抑制比 (CMRR)

CMRR被定义为ADC输出功率的比率

满量程频率 f 为100 mV pp正弦波的功率

应用于 V_{IN+} 和 V_{IN-} 的共模电压

频率 f_S 为

$$CMRR (dB) = 10 \log (P_f / P_{fS})$$

哪里：

P_f 是ADC输出中频率为 f 的功率。

P_{fS} 是ADC输出中频率为 f_S 的功率。

电源抑制比 (PSRR)

电力供应的变化会影响全面的过渡

而不是转换器的线性。PSRR是最大的变化

由于电力供应变化导致的全面转换点

电压从标称值（见图4）。

热滞回

热滞回定义为绝对最大变化

在器件循环通过后的参考输出电压

温度从任一

$$T_{HYS+} = +25^{\circ}C \text{ 至 } T_{MAX} \text{ 至 } +25^{\circ}C$$

要么

$$T_{HYS-} = +25^{\circ}C \text{ 至 } T_{MIN} \text{ 至 } +25^{\circ}C$$

它以ppm表示

$$V_{HYS}^{PPM} = \left| \frac{V_{REF}^{25^{\circ}C} - V_{REF}^{T_{HYS}}}{V_{REF}^{25^{\circ}C}} \right| \times 10^6$$

哪里：

$V_{REF} (25^{\circ}C)$ 在 $25^{\circ}C$ 时为 V_{REF} 。

$V_{REF} (T_{HYS})$ 是 T_{HYS+} 或者 V_{REF} 的最大变化 T_{HYS-} 。

操作理论

电路信息

AD7266是一款快速, 低功耗, 双通道, 12位, 单电源, ADC采用2.7 V至5.25 V电源供电. 什么时候采用5 V电源供电, AD7266能够工作当提供32 MHz时, 吞吐速率为2 MSPS 时钟, 3V时的吞吐速率为1.5 MSPS.

AD7266包含两个片内差分采样保持器放大器, 两个逐次逼近型ADC和一个串行接口与两个独立的数据输出引脚. 它坐落在一个32引脚LFCSP或32引脚TQFP, 为用户提供了可观的价值与其他解决方案相比节省空间的优势. 串口时钟输入访问数据的部分, 但也提供了每个逐次逼近型ADC的时钟源. 该部分的模拟输入范围可以选择为0 V至 V_{REF} 输入或 $2 \times V_{REF}$ 输入, 单端或差分模拟输入. AD7266具有片内当外部参考时可以过驱动2.5 V参考是优选的. 如果内部引用是在其他地方使用的系统, 那么输出需要先缓冲.

AD7266还具有关断选项以允许供电在转换之间节省. 关机功能是通过标准的串行接口实现, 如上所述操作模式部分.

转换器操作

AD7266每个都有两个逐次逼近型ADC基于两个电容DAC. 图16和图17显示采集这些ADC之一的简化原理图和转换阶段. ADC由...组成控制逻辑, SAR和两个电容DAC. 在图16中(采集阶段), SW3闭合, SW1和SW2在位置A, 比较器保持平衡状态, 并进行采样电容阵列获取输入上的差分信号.

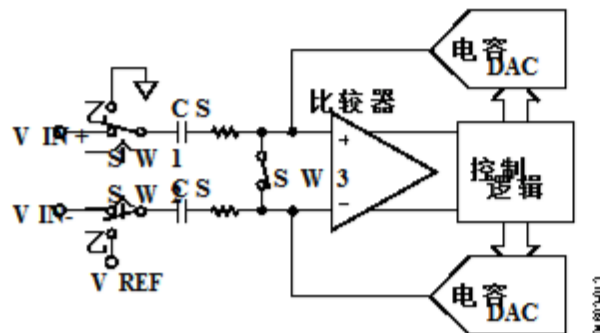


图16. ADC采集阶段

当ADC开始转换时(参见图17), SW3打开SW1和SW2移到位置B, 导致比较器变得不平衡. 两次输入都是断开的. 转换开始. 控制逻辑和收费redistributing数字DAC用于增加和减少固定数量的电荷从采样电容阵列中取出. 比较器回到平衡状态. 当比较器是重新平衡, 转换完成. 控制逻辑生成ADC输出代码. 输出阻抗驱动 V_{IN+} 和 V_{IN-} 引脚的源极必须匹配; 否则, 这两个输入将有不同的建立时间, 导致错误.

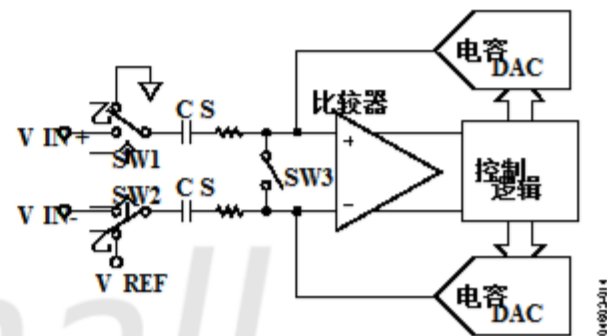


图17. ADC转换阶段

模拟输入结构

图18显示了模拟输入的等效电路. AD7266的差分/伪差分结构模式. 在单端模式下, V_{IN-} 内部连接到AGND. 四个二极管为模拟输入提供ESD保护. 必须小心确保模拟输入信号从不超过电源轨超过300毫伏. 这导致这些二极管变成正向偏置并开始导电. 这些二极管可以传导高达10毫安. 没有对零件造成不可逆转的损坏.

图18中的C1电容典型值为4 pF, 可以主要归因于引脚电容. 电阻是集总元件由导通电阻组成. 开关. 这些电阻值通常约为100Ω. C2电容是ADC的采样电容. 通常为45 pF的电容.

对于交流应用, 从中去除高频成分. 模拟输入信号是使用RC建议的相关模拟输入引脚上的低通滤波器具有最佳性能. 值为47Ω和10 pF. 在谐波分离的应用中, 模拟输入对于信噪比和信噪比至关重要. 应该由低阻抗源驱动. 大来源阻抗会显著影响ADC的交流性能. 并可能需要使用输入缓冲放大器. 该运算放大器的选择是特定应用的功能.

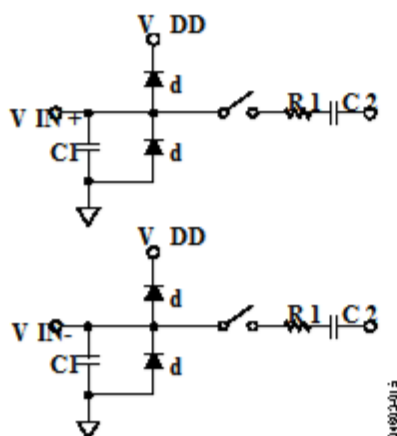


图18. 等效模拟输入电路，
转换开关打开，跟踪相位开关关闭

当没有放大器用于驱动模拟输入信号源时
阻抗应限制在较低值。最大的来源
阻抗取决于THD的容量，

ated. THD随着源阻抗的增加而增加

性能下降。图19显示了THD与

不同源阻抗的模拟输入信号频率

在单端模式下，图20显示的是THD对比

模拟输入信号的频率为不同的源阻抗

在差分模式。

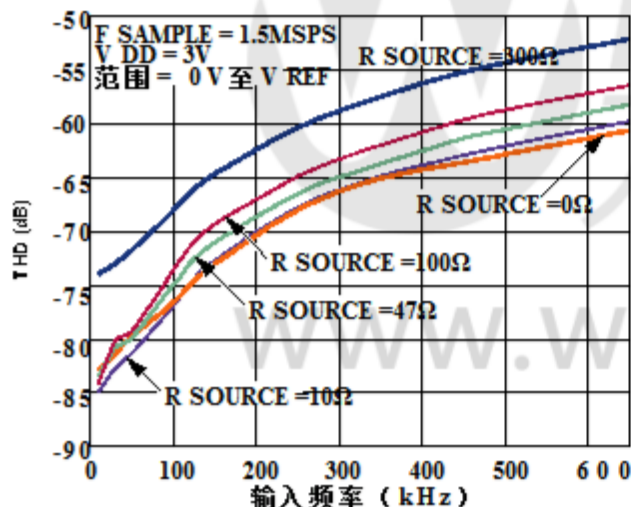


图19. THD与各种模拟输入频率的关系
源阻抗，单端模式

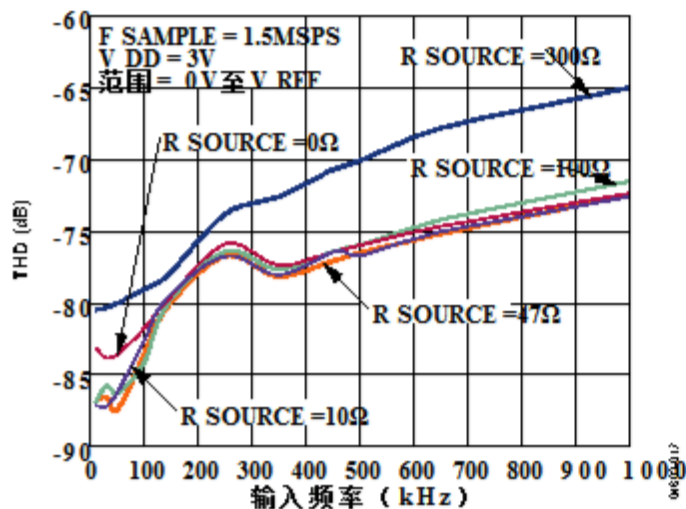


图20. THD与模拟输入频率的关系
各种源阻抗，差模

图21显示了THD与模拟输入的关系曲线
在2 MSPS采样时，各种电源的频率。在这
情况下，源阻抗为47Ω。

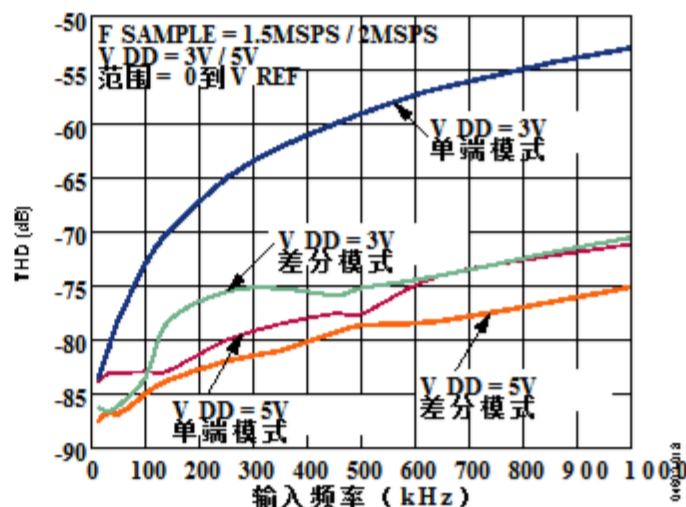


图21. 各种电源电压的THD与模拟输入频率

模拟输入

AD7266总共有12个模拟输入。每个板上

ADC有六个模拟输入，可以配置为六个单端输入，

三个伪差分通道，或三个

全差分通道。这些可以如所述那样选择

在模拟输入选择部分。

单端模式

AD7266可以共有12个单端模拟输入

通道。在信号源较高的应用中

阻抗，建议缓冲模拟输入

然后将其应用于ADC。模拟输入范围可以是

编程为0至 V_{REF} 或0至 $2 \times V_{REF}$ 。

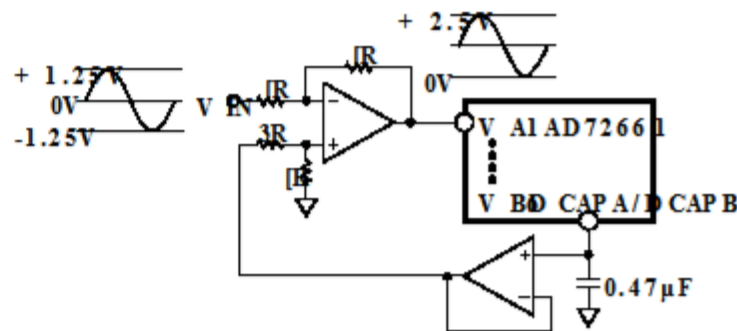
如果要采样的模拟输入信号是双极性的，则内部

可以使用ADC的参考向外偏差

信号使其正确格式化为ADC。图22

显示了操作ADC时的典型连接图

在单端模式下。



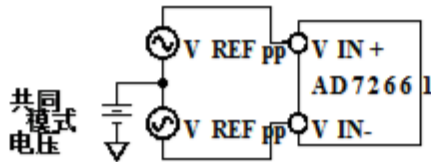
1 额外的引脚为清晰。

图22. 单端模式连接图

差分模式

AD7266可以共有6个差分模拟输入对。

差分信号比单端有一些优点
信号，包括基于设备的抗噪声能力
共模抑制和失真改善
性能。图23定义了全差分模拟输入AD7266。



1 额外的针脚为清晰。

图23.差分输入定义

差分信号的幅度是差值

在每个施加到V IN+和V IN-引脚的信号之间
差分对 (V IN+ - V IN-)。V IN+和V IN- 应该是
同时由幅度为V REF的两个信号驱动
(或 $2 \times V REF$ ，取决于选择的范围) 180°
阶段。差分信号的幅度因此是
(假设选择0到V REF范围) -V REF到+V REF 峰值 -
($2 \times V REF$)，而不管共模 (CM) 如何。

共模是两个信号的平均值

$$(V IN+ + V IN-) / 2$$

并且因此是两个输入所在的电压
居中。

这导致每个输入的跨度为 $CM \pm V REF / 2$ 。这个
电压必须在外部分设置，其范围随之变化
参考值V REF。随着V REF的值增加，
模式范围减小。用放大器驱动输入时，
实际的共模范围由放大器决定
输出电压摆幅。

图24和图25显示了共模范围如何
对于5V电源，使用0到，通常会随V REF的变化而变化
V REF范围或 $2 \times V REF$ 范围。共同的模式
必须在此范围内才能保证AD7266的功能。

转换发生时，共同模式被拒绝，
导致幅度为-V REF的几乎无噪声的信号
+V REF 对应于0到4096的数字代码
使用 $2 \times V REF$ 范围，然后输入信号幅度延伸
转换后从-2 V REF到+2 V REF。

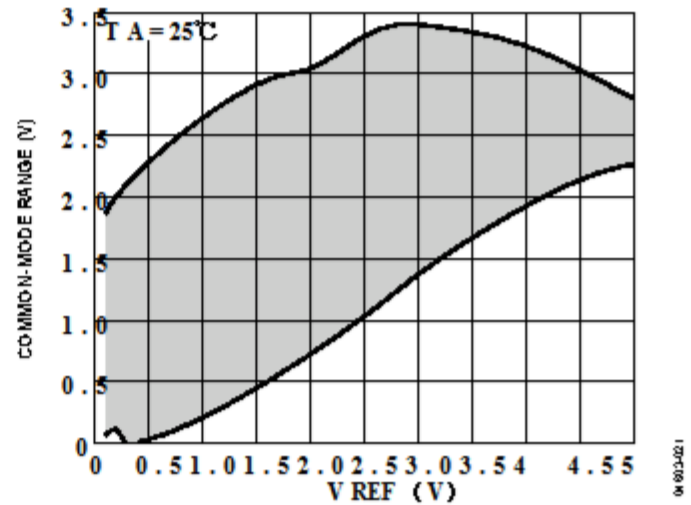


图24.输入共模范围与V REF (0至V REF范围, V DD = 5 V)

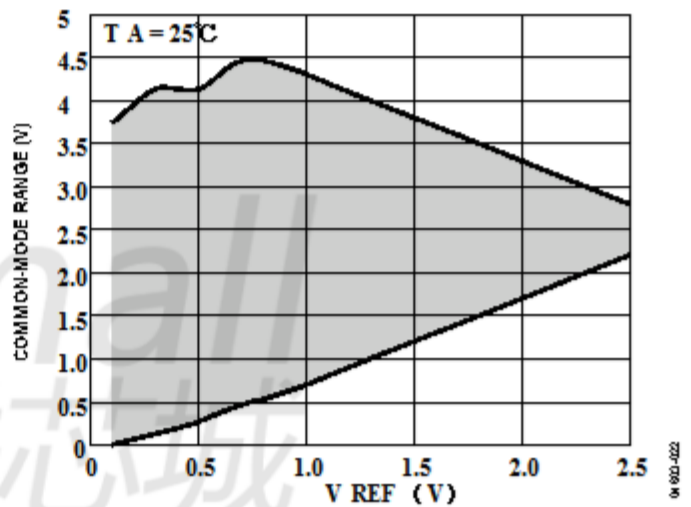


图25.输入共模范围与V REF ($2 \times V REF$ 范围, V DD = 5 V)

驱动差分输入

差分操作要求V IN+和V IN-是
同时用两个180°相等的信号驱动
阶段。共同模式必须设置在外部分。该
共模范围由V REF，电源，
和用于驱动模拟输入的特定放大器。
采用交流或直流输入的差分工作模式
在很宽的频率上提供最佳的THD性能
范围。因为并不是所有的应用程序都有预处理的信号
对于差分操作，通常需要执行
单端转差分转换。

使用运算放大器对

运算放大器对可以用来直接耦合差分信号连接到AD7266的其中一个模拟输入对。该如图26和图27所示

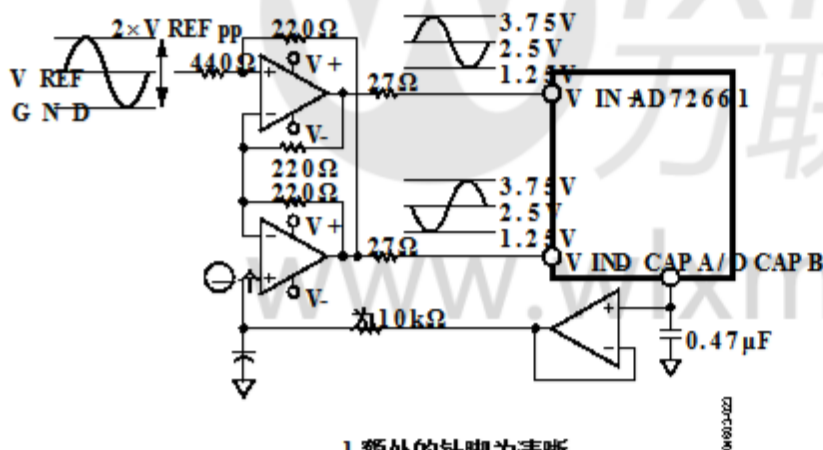
演示如何使用双运放来转换单端信号转换成双极性和单极性的差分信号输入信号，分别。

施加到点A的电压设置共模电压。在这两个图表中，它以某种方式连接到参考，但共模范围内的任何值都可以输入这里设置通用模式。AD8022是一款合适的双运放可以在这个配置中使用为AD7266提供差分驱动。

选择运放时要小心，选择取决于所需的电源和系统性能目标。图26和图27中的驱动器电路进行了优化直流耦合应用需要最佳的失真性能。

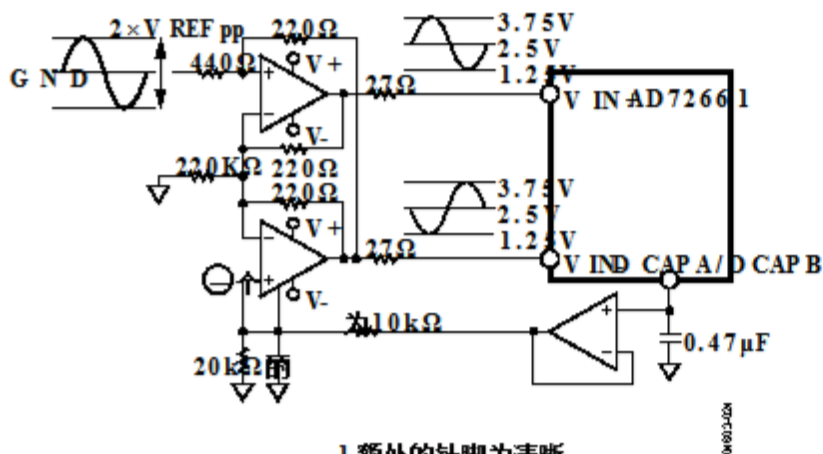
图26所示的电路结构转换单极性，单端信号转换为差分信号。

图27所示的差分运放驱动器电路是配置为转换和电平转换单端，参考（双极性）信号到一个差分信号的中心ADC的V_{REF}电平。



1 额外的针脚为清晰。

图26. 双运算放大器电路转换单端单极性信号变成差分信号



1 额外的针脚为清晰。

图27. 双运算放大器电路转换单端双极性信号转换成差分单极性信号

伪差分模式

AD7266总共可以有六个伪差分对。在此模式下，V_{IN+}连接到必须具有的信号源幅值为V_{REF}（或2×V_{REF}，取决于范围选择）来利用零件的全部动态范围。一个dc输入应用于V_{IN-}引脚。施加到此输入的电压为V_{IN+}提供从地面的偏移或伪地输入。伪差分输入的好处是它们将模拟输入信号地与ADC地分开允许取消直流共模电压。典型的V_{IN-}引脚的电压范围，而伪差分模式，如图28和图29所示。图30显示了一个伪差分模式的连接图。

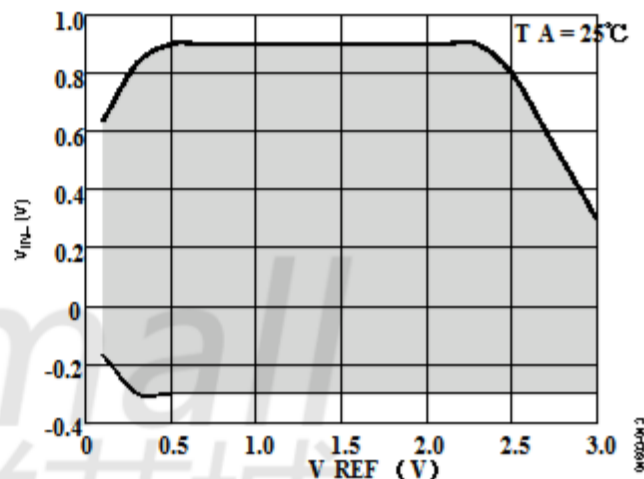


图28. V_{IN-} 输入电压范围对V_{REF in} V_{DD} = 3 V的伪差分模式

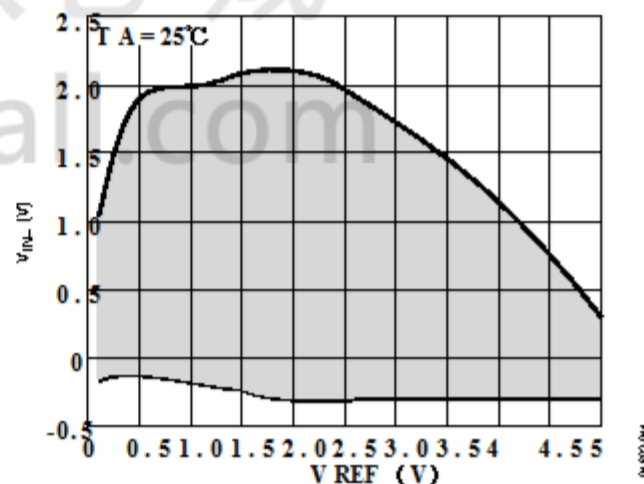
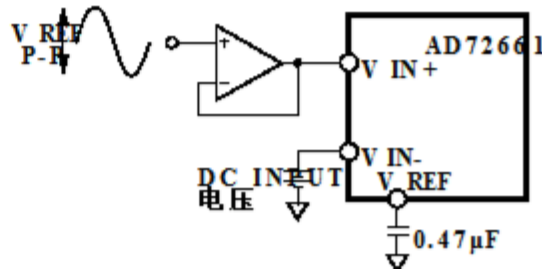


图29. V_{IN-} 输入电压范围对V_{REF in} V_{DD} = 5 V的伪差分模式



1 额外的针脚为清晰。

图30. 伪差分模式连接图

模拟输入选择

AD7266的模拟输入可配置为单端输入，
如图所示，通过SGL / DIFF逻辑引脚，输出端接或真正的差分信号
在图31 如果该引脚连接到一个逻辑低电平，模拟输入
每个片内ADC的通道设置为三
差分对.如果该引脚处于逻辑高电平，模拟输入
每个片内ADC的通道设置为六个单端
模拟输入.这个引脚上所需的逻辑电平需要
在收购之前建立并保持不变
在转换时间内，直到追踪并返回
追踪.追踪和追踪在13日上升 返回跟踪
之后的SCLK的边缘 CS下降沿（见 图41 ）。如果
在这个引脚上的电平被改变，它将被识别
AD7266;因此，必须保持相同的逻辑水平
在收购和转换过程中，以避免腐败
正在进行转换.

例如，在图31中，SGL / DIFF引脚设置为逻辑高电平
在获取和转换时间都是如此
模拟输入配置为单端
转换（采样点A）. SGL / DIFF的逻辑电平
在追踪和追踪之后变为低
在下一次采样所需的采集时间之前
即时在B点;因此，模拟输入配置为
这种转换的差异.

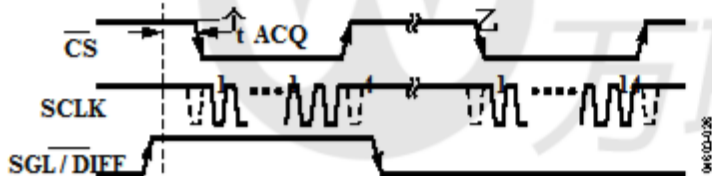


图31.选择差分或单端配置

用于同时转换的通道通过选择
多路复用器地址输入引脚A0到A2.逻辑状态
这些引脚也需要在采集之前建立
时间;但是，在转换期间可能会更改
只要模式没有改变.如果模式从改变
完全微分到伪微分，例如，然后
采集时间将从这一点再次开始.所选
输入通道被解码，如表6所示.
AD7266的模拟输入范围可以选择为0 V至
V REF 或0 V至2×V REF 通过RANGE引脚.这个选择是
通过设置与SGL / DIFF引脚类似的方式进行设置
RANGE的逻辑状态 在下降之前的时间t acq
CS的边缘.在此之后，这个引脚上的逻辑电平可以是
在SCLK的第三个下降沿之后被改变.如果这个引脚连接到一个
逻辑低，选择的模拟输入范围为0 V至V REF .如果这
引脚连接到逻辑高电平，所选模拟输入范围为0 V
到2×V REF .

输出编码

AD7266输出编码设置为二进制补码或
直接二进制，取决于哪个模拟输入配置
被选中进行转换.表5显示了哪个输出编码
方案用于每种可能的模拟输入配置.

表5. AD7266输出编码

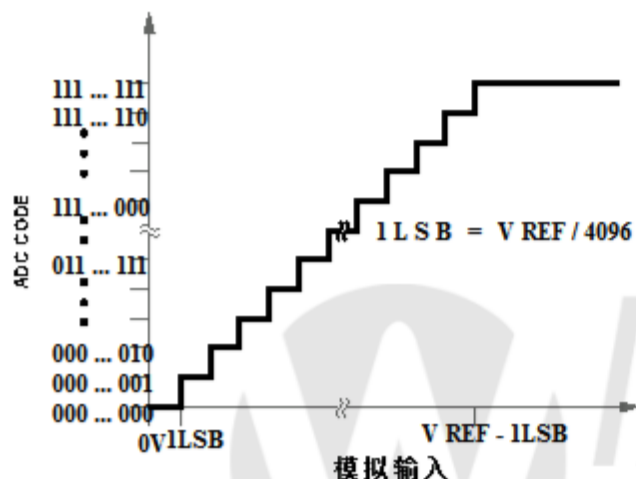
SGL / DIFF	范围	输出编码
DIFF	0 V到V REF	二补
DIFF	0 V到2×V REF	二补
SGL	0 V到V REF	直的二进制
SGL	0 V到2×V REF	二补
PSEUDO DIFF	0 V到V REF	直的二进制
PSEUDO DIFF	0 V到2×V REF	二补

表6.模拟输入类型和通道选择

SGL / DIFF	A2	A1	A0	ADC A		ADC B		评论
				V IN +	V IN -	V IN +	V IN -	
1	0	0	0	V A1	AGND	V B1	AGND	单结束
1	0	0	1	V A2	AGND	V B2	AGND	单结束
1	0	1	0	V A3	AGND	V B3	AGND	单结束
1	0	1	1	V A4	AGND	V B4	AGND	单结束
1	1	0	0	V A5	AGND	V B5	AGND	单结束
1	1	0	1	V A6	AGND	V B6	AGND	单结束
0	0	0	0	V A1	V A2	V B1	V B2	完全差异
0	0	0	1	V A1	V A2	V B1	V B2	伪差分
0	0	1	0	V A3	V A4	V B3	V B4	完全差异
0	0	1	1	V A3	V A4	V B3	V B4	伪差分
0	1	0	0	V A5	V A6	V B5	V B6	完全差异
0	1	0	1	V A5	V A6	V B5	V B6	伪差分

转移功能

设计的代码转换发生在连续的整数LSB处值(1 LSB, 2 LSB, 等等)。在单端模式下, LSB当使用0 V到 V_{REF} 范围时, 尺寸为 $V_{REF}/4096$ 。当使用0 V至 $2 \times V_{REF}$ 范围时, LSB的大小为 $2 \times V_{REF}/4096$ 。在差分模式下, 当0 V时, LSB的大小为 $2 \times V_{REF}/4096$ 。使用 V_{REF} 范围, LSB大小为 $4 \times V_{REF}/4096$ 。理想的传输特性显示了输出直接二进制编码时的AD7266在图32中, 以及理想的传输特性输出二进制补码时的AD7266如图所示图33 (用 $2 \times V_{REF}$ 范围显示)。



注意
1. V_{REF} 是 V_{REF} 或 $2 \times V_{REF}$ 。

图32.直接二进制传输特性

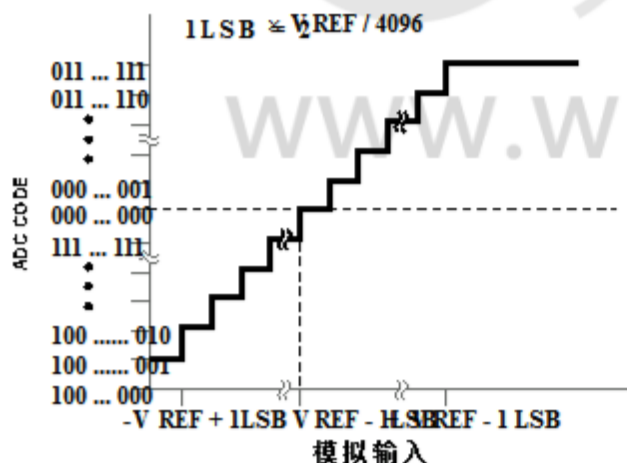


图33.带有.的Twos补码传输特性
 $V_{REF} \pm V_{REF}$ 输入范围

数字输入

应用于AD7266的数字输入不受限于限制模拟输入的最大额定值。相反, 数字输入可以施加高达7 V, 不受限制 $V_{DD} + 0.3$ V限制与模拟输入一样。看到绝对最大额定值部分了解更多信息。另一个SCLK, RANGE, A0到A2和CS引脚的优点不是受 $V_{DD} + 0.3$ V限制的是电源排序问题可以避免。如果其中一个数字输入是在 V_{DD} 之前应用, 不存在闭锁风险, 就像那样如果信号大于0.3 V, 则在模拟输入端上在 V_{DD} 之前应用。

V DRIVE

AD7266还具有V DRIVE 功能来控制电压串行接口工作。V DRIVE 允许ADC 轻松连接到3 V和5 V处理器。例如, 如果AD7266采用5 V的 V_{DD} V DRIVE 引脚工作可以由3 V电源供电, 从而实现大动态与低电压数字处理器的范围。所以呢AD7266可与 $2 \times V_{REF}$ 输入范围一起使用, 具有 V_{DD} 5 V, 同时仍然可以连接到3 V数字部分。

运作模式

通过控制选择AD7266的工作模式
转换期间CS信号的（逻辑）状态有
三种可能的操作模式：正常模式，
关闭模式和完全关闭模式。转换完成后
发起，CS拉高的点决定了哪一点
掉电模式，如果有的话，设备进入。同样，如果已经
在掉电模式下，CS可以控制设备
恢复正常运行或保持断电状态。这些
操作模式旨在提供灵活的电源
管理选项。这些选项可以选择优化
功耗/吞吐率比例不同
应用要求。

正常模式

此模式适用于需要最快吞吐量的应用程序
费率，因为用户不必担心任何电源 -
AD7266在任何时候都保持充分供电。
图34显示了该操作的总体框图
AD7266处于此模式。

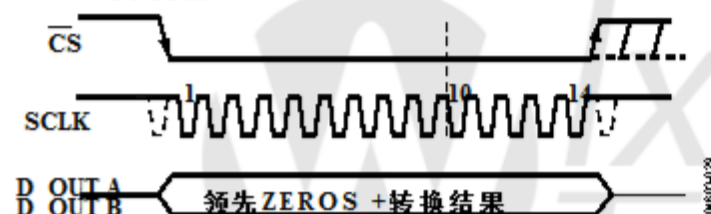


图34. 正常模式操作

转换在CS的下降沿开始，如
在描述中 串行接口 部分。确保零件
始终保持充分供电，CS必须保持低位直到
在下降沿之后至少有10个SCLK下降沿已经过去
的CS。如果CS在第10个SCLK下降后的任何时候都变高
但在第14个SCLK下降沿之前，该部分仍然存在
加电，但转换终止，D OUT A和
D OUT B回到三态。十四个串行时钟周期是
需要完成转换并访问转换
结果。D OUT 线在14之后不返回到三态
SCLK周期已经过去了，但CS时却是如此
再次高涨。如果CS保持低电平2个SCLK周期
（例如，如果只有16个SCLK突发可用），两个尾随
在数据之后，零点被移出。如果CS进一步走低
14（或16）个SCLK周期，来自板上另一个ADC的结果
也可以在同一个D OUT 线上访问，如图所示 图42
（见 串行接口 部分）。

一旦32个SCLK周期结束，D OUT 线返回
三态在第32个SCLK下降沿。如果CS被拉高
在此之前，D OUT 线在此时返回到三态。
因此，在32个SCLK周期之后，CS可能处于空闲状态，直到它为止
在下一次转换之前的某个时候再次提高
（实际上CS空闲有效），如果需要的话，因为总线还在
在完成双重结果读取后返回到三态。

一旦数据传输完成，D OUT A和D OUT B就有了
返回到三态，另一个转换可以在之后启动
安静的时间 t_{QUIET} 已经过去，再次使CS变低
（假定允许所需的采集时间）。

部分省电模式

此模式旨在用于速度较慢的应用程序
吞吐率是必需的。ADC或者关闭
每次转换之间，或者一系列转换可能会有所不同
以高吞吐率执行，然后ADC
在这些之间关闭相对较长的持续时间
几次转换爆发。当AD7266处于部分状态时
掉电，所有的模拟电路关闭，除了
片内基准电压源和基准电压缓冲器。

进入部分掉电模式的转换过程
必须在CS之后的任何地方将CS打断
SCLK的第二个下降沿和第10个下降沿之前
SCLK，如图所示 图35。一旦CS在这方面被带到了高位
SCLK的窗口，部分进入部分掉电，
由CS的下降沿启动的转换是
终止，D OUT A和D OUT B回到三态。如果
在第二个SCLK下降沿之前，CS被拉高
部分保持正常模式，不会掉电。这个
避免由于CS线上的毛刺而意外掉电。

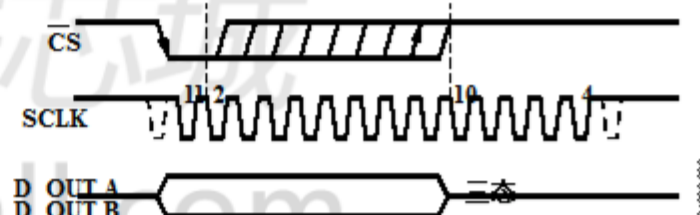


图35. 进入部分掉电模式

为了退出这种工作模式并重新启动AD7266，
执行虚拟转换。在CS的下沿过程中，
该设备开始加电，并继续加电
只要CS持有低位，直到10日的下降沿
SCLK。大约1μs后器件完全上电
已经过去了，下一次转换的有效数据结果如下
如图所示 图36。如果S在第二次被带到高点之前
SCLK的下降沿，AD7266再次进入部分
断电。这可以避免由于毛刺引起的意外上电
在CS线上。虽然设备可能开始启动
CS的下降沿，在上升沿再次掉电
的CS。如果AD7266已经处于部分省电模式
CS在2日至10日之间走高
SCLK的边沿，器件进入完全掉电模式。

完全掉电模式

此模式旨在用于吞吐量的应用程序

比部分掉电模式下的速率更慢

所需要的，因为从完全断电的上电需要大量的电力，

比部分掉电时间要长。这种模式是

更适合于一系列转换的应用程序

以相对较高的吞吐率执行后跟一个

长时间不活动，从而停电。当...的时候

AD7266处于完全关断状态，所有模拟电路均通电

下。完全断电以与部分类似的方式输入

掉电，除了图35所示的时序

必须执行两次。转换过程必须是

以相似的方式打断CS，任何地方都可以打高分

在SCLK的第二个下降沿之后和第十个下降之前

SCLK的边缘。器件在此处进入部分关断

点。要达到完全断电，下一个转换周期

必须以相同的方式中断，如图所示

一旦在这个SCLKs的窗口中，CS被带到了高位

完全关闭。

请注意，一旦CS完成14个SCLK就没有必要了
被拉高以进入掉电模式。

完全关闭电源并上电AD7266，一个假人
执行转换，如从部分开启

断电。在CS的下降沿，设备开始

只要CS保持低电平，就可以加电并继续加电

直到第10个SCLK的下降沿之后。所需

启动转换之前必须经过启动时间，

如图所示 图38 看到了 通电时间

与AD7266相关的上电时间。

部分为

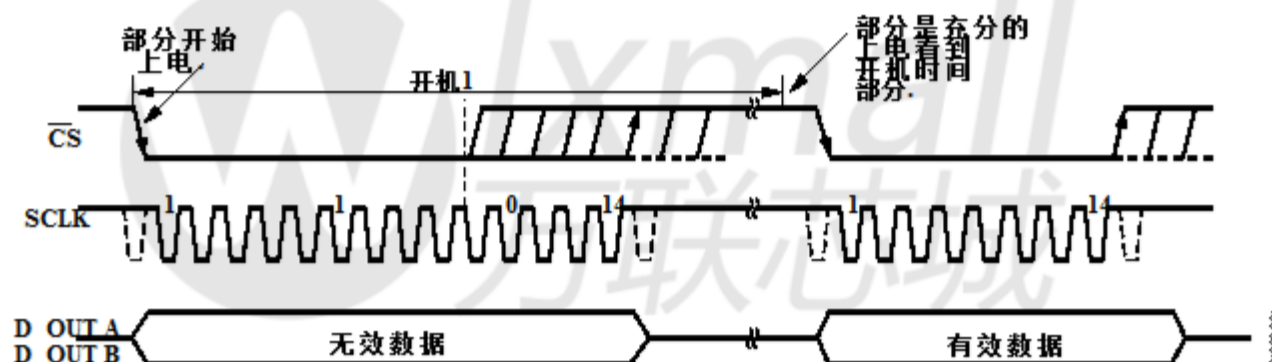


图36.退出部分掉电模式

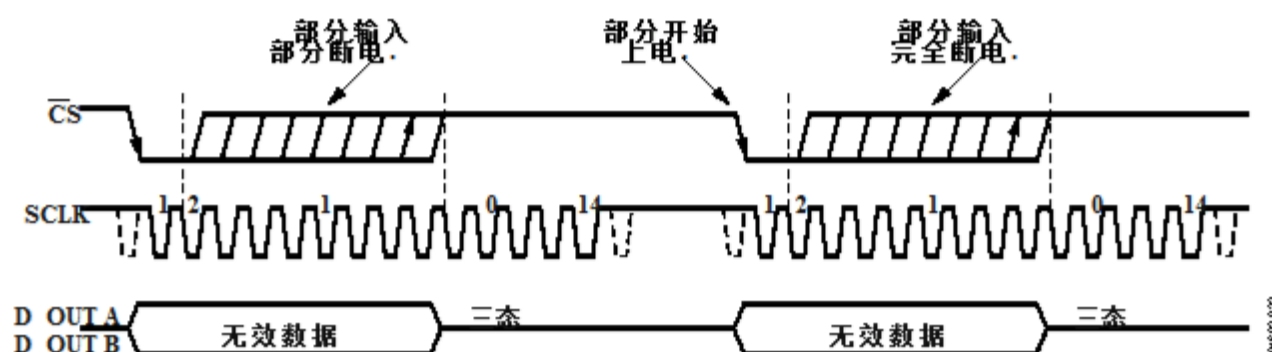


图37.进入完全关断模式

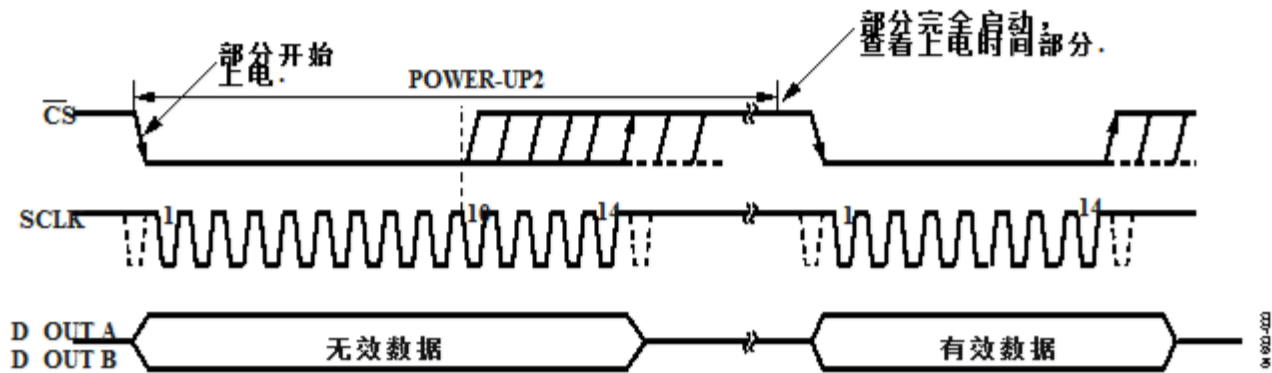


图38.退出完全掉电模式

开机时间

如前所述, AD7266具有两个掉电模式, 部分关机和完全关机. 本节处理出来时所需的启动时间. 任何一种模式, 应该指出的是, 通电次, 正如本节所解释的那样, 按照建议进行应用. 电容器在D CAP A和D CAP B引脚上.

从完全断电启动大约1.5 ms

应该从CS的下降沿被允许, 如图所示. 从部分掉电启动需要更少的时间. 从部分启动时间掉电典型值为1μs; 但是, 如果使用内部参考, 那么AD7266必须处于部分省电模式至少需要67μs才能使用这个加电时间.

首次将电源应用于AD7266时, 即ADC可能会在任何一种关机模式下启动或正常启动模式. 因此, 最好允许一个虚拟循环. 经过以确保部件在尝试之前完全通电有效的转换. 同样, 如果打算保留部分电源刚断电后的部分断电模式应用, 那么必须启动两个虚拟循环. 首先, 假周期必须保持低电平, 直到第10个SCLK下降为止边缘 (见图34); 在第二个周期中, CS必须带来高于第10个SCLK边缘之前, 但在第二个SCLK之后下降沿 (见图35). 或者, 如果是有意当电源时, 将器件置于完全关断模式应用, 那么必须启动三个虚拟循环. 首先, 虚拟周期必须持有CS低至第10个SCLK下降后边缘 (见图34); 第二和第三个虚拟周期的地方完全断电的部分 (见图37).

一旦将电源应用于AD7266, 必须有足够的时间允许任何外部参考启动和充电. 各种参考缓冲去耦电容器的最终值.

功率与吞吐率

AD7266的功耗因此而异. 吞吐率. 当使用非常低的吞吐率和尽可能快的SCLK频率, 各种掉电选项可以用来显著节电. 但是, AD7266的静态电流足够低.

即使没有使用掉电选项, 也有一个功耗随采样率的明显变化. 无论使用固定的SCLK值还是缩放, 都是如此与采样率. 图39和图40显示了图功率与正常模式下的吞吐率之间的关系. 对于固定的最大SCLK频率和SCLK频率随VDD = 3 V和VDD = 5 V的采样率而变化, 分别. 在所有情况下, 使用内部参考.

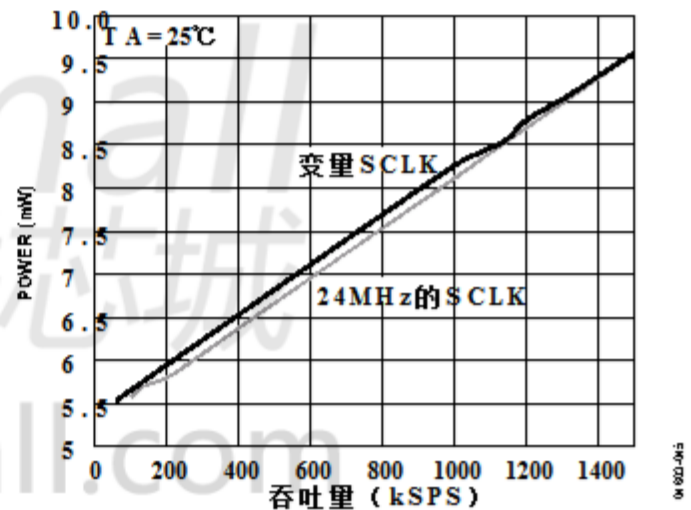


图39. VDD = 3 V时正常模式下的功耗与吞吐量的关系

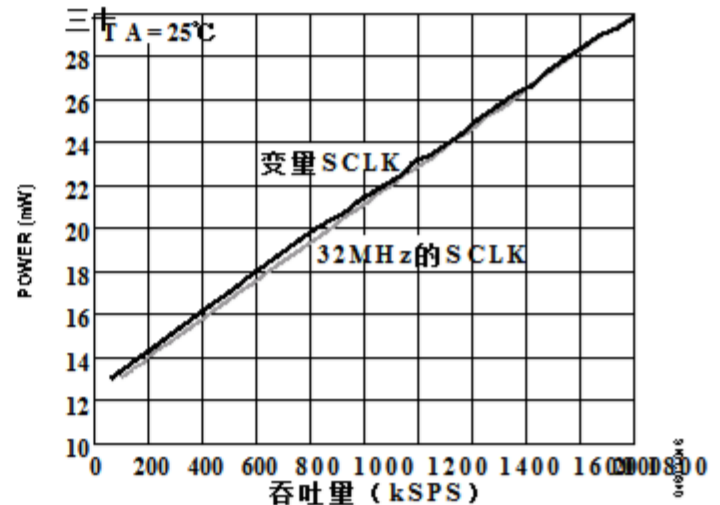


图40. VDD = 5 V时正常模式下的功耗与吞吐量的关系

串行接口

图41显示了串行接口的详细时序图，面向AD7266.串行时钟提供转换时钟并控制AD7266的信息传输在转换期间。

CS信号启动数据传输和转换过程。

CS的下降沿将采样保持模式置于保持模式，此时模拟输入被采样并且总线被采用出于三态.转换也是在这个时候开始的并且需要至少14个SCLK来完成.一次13

SCLK下降沿已经过去，跟踪和保持返回在下一个SCLK上升沿进入跟踪，如图所示在B点.如果使用16个SCLK传输，则有两个尾随零出现在最后的LSB之后.在上升的边缘CS，转换结束，D OUT A和D OUT B返回三态.如果CS没有升高，反而持有低点D OUT A上还有14（或16）个SCLK周期转换B在D OUT A上输出（接着是两个尾随零）。

同样，如果CS保持低电平再进行14（或16）个SCLK周期在D OUT B上，转换A的数据在D OUT B上输出如图所示 图42 显示D OUT A的情况.在这种情况下，正在使用的D OUT线路回到三态第32个SCLK下降沿或上升沿CS，无论如何首先发生。

要求执行至少14个串行时钟周期转换过程并从一个转换中访问数据 ____ 在AD7266的任一数据线上. CS走低提供了导致零被微控制器或DSP读入.该其余数据随后被随后的SCLK下降计时边缘，从第二个前导零开始.因此，第一个串行时钟下降的时钟边沿具有前导零提供并且还提供第二个前导零. 12位结果随后在数据传输的最后一位有效在第14个下降的边缘，前一个钟点出局（13日）下降.在SCLK较慢的应用中，可能是可能读取每个SCLK上升沿的数据取决于SCLK频率. CS后的SCLK的第一个上升沿下降边缘将提供第二个领先的零，和第十三个SCLK上升沿将提供DB0.

请注意，由于SCLK值较快，SCLK周期较短，为了充分允许 t_2 ，SCLK上升沿可以发生在第一个SCLK下降沿之前.这个上升的边缘为了时间的目的，SCLK可以被忽略本节中的描述.如果SCLK的下降沿重合随着CS的下降沿，SCLK的这个下降沿不是AD7266确认，下一个下降沿SCLK将在CS的下降沿之后首先注册。

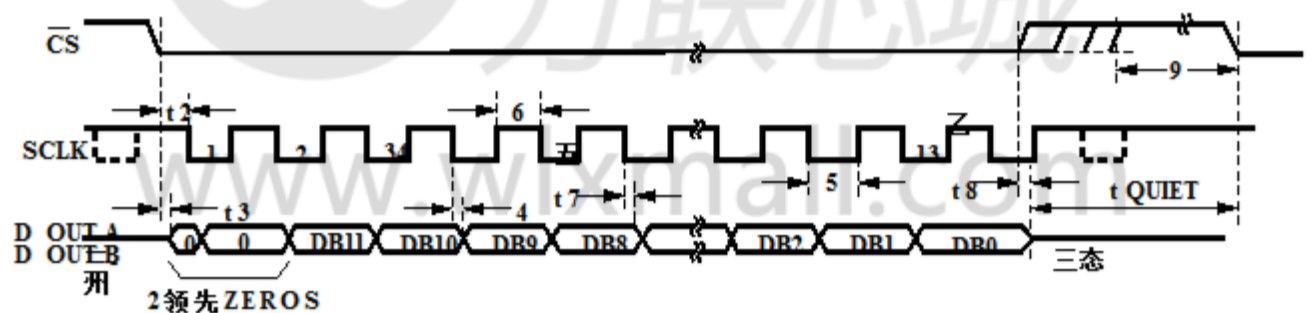


图41.串行接口时序图

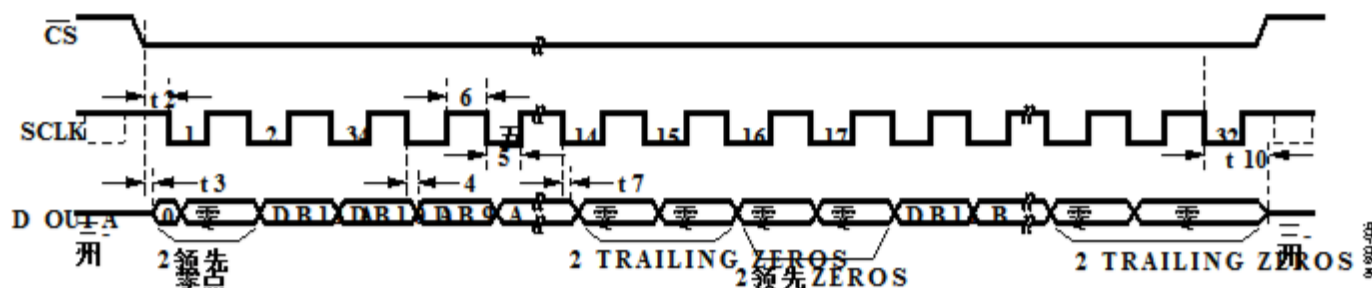


图42.在32个SCLK的一个D OUT线上从两个ADC读取数据

微处理器接口

AD7266上的串行接口允许直接连接器件连接到许多不同的微处理器的范围.这个部分解释了如何将AD7266与某些接口相连接更常见的微控制器和DSP串行接口协议.

AD7266至ADSP-218x

ADSP-218x系列DSP直接连接到DSP AD7266不需要任何胶合逻辑.的V DRIVE 引脚AD7266采用与ADSP-218x相同的电源电压.这使ADC可以在比更高的电源电压下工作其串行接口以及ADSP-218x (如有必要).本例显示 AD7266的D OUT A和D OUT B.连接到ADSP-218x的两个串行端口. SPORT0和SPORT1控制寄存器应该如图所示进行设置表7和表8

表7. SPORT0控制寄存器设置

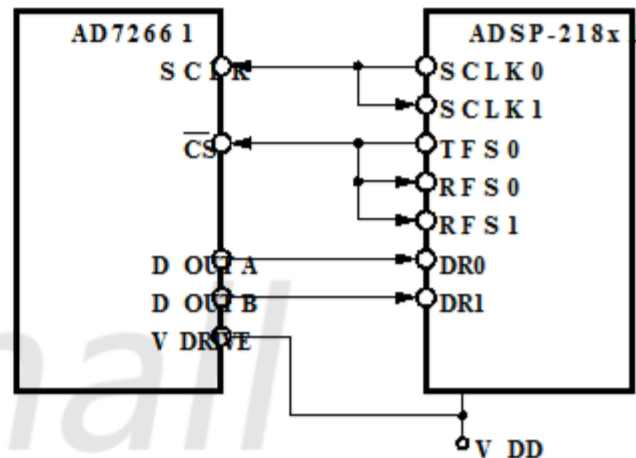
设置	描述
TFSW = RFSW = 1	备用框架
INVRFS = INVTFS = 1	有效的低帧信号
DTYPE = 00	右对齐数据
SLEN = 1111	16位数据字 (或可能被设置为1101为14位数据字)
ISCLK = 1	内部串行时钟
TFSR = RFSR = 1	构筑每一个字
IRFS = 0	
ITFS = 1	

表8. SPORT1控制寄存器设置

设置	描述
TFSW = RFSW = 1	备用框架
INVRFS = INVTFS = 1	有效的低帧信号
DTYPE = 00	右对齐数据
SLEN = 1111	16位数据字 (或可能被设置为1101为14位数据字)
ISCLK = 0	外部串行时钟
TFSR = RFSR = 1	构筑每一个字
IRFS = 0	
ITFS = 1	

要实现掉电模式, SLEN应该设置为1001发出8位SCLK突发.

连接图如图43所示. ADSP-218x具有SPORT0的TFS0和RFS0以及SPORT1的RFS1绑在一起. TFS0被设置为输出, 并且RFS0和RFS1被设置为输入. DSP在交替成帧模式下工作, 并按照说明设置SPORT控制寄存器. 该帧同步信号在TFS上产生CS, 和所有的信号处理应用一样, 是等距离的抽样是必要的. 但是, 在这个例子中, 定时器中断用来控制ADC的采样率, 在某些情况下, 等距采样可能不会实现.



1 额外的针脚为清晰.

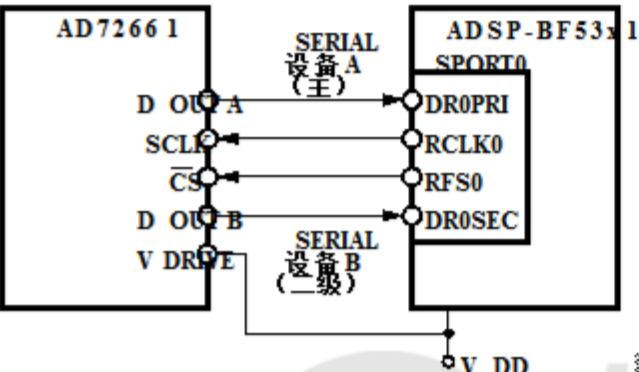
图43. 将AD7266连接到ADSP-218x

定时器寄存器加载一个值, 提供一个按要求的采样间隔中断. 当一个中断是接收到一个值, 通过TFS / DT (ADC控制字). TFS用于控制RFS, 因此, 读取数据. 串行时钟的频率设置在SCLKDIV寄存器. 当指令用TFS传送时 (AX0 = TX0), 检查SCLK的状态. 该DSP等待, 直到SCLK再次变高, 变低在传输开始之前. 如果定时器和SCLK值是选择使得发送指令在或靠近SCLK的上升沿, 那么数据可能被传输或者它可能要等到下一个时钟沿.

例如, ADSP-2111的主时钟频率为16兆赫. 如果SCLKDIV寄存器的值为3, 然后获得2MHz的SCLK和八个主时钟. 每隔一个SCLK周期就会过去一段时间. 如果定时器寄存器加载值803, 然后100.5 SCLKs发生在中断之间, 随后在发送之间发生. 说明. 这种情况产生的抽样不是等距的. 因为发送指令正在SCLK边沿发生. 如果中断之间的SCLK数量是一个整数的N, 则等距采样将由DSP执行.

AD7266至ADSP-BF53x

ADSP-BF53x系列DSP直接连接到DSP
AD7266不需要任何胶合逻辑.可用性
辅助接收寄存器在Blackfin®的串行端口上
DSP意味着只需要一个串口就可以读取两者
D OUT 引脚同时.图44显示了D OUT A和
AD7266的 D OUT B连接到AD7266的串行口0
ADSP-BF53x系列. SPORT0接收配置1寄存器
并应设置SPORT0接收配置2寄存器
如表9和表10所示.



1 额外的针脚为清晰.

图44.将AD7266连接到ADSP-BF53x

表9. SPORT0接收配置1寄存器
(SPORT0_RCR1)

设置	描述
RCKFE = 1	带有RSCLK下降沿的采样数据
LRFS = 1	有效的低帧信号
RFSR = 1	构筑每一个字
IRFS = 1	使用内部RFS
RLSBIT = 0	先接收MSB
RDTYPE = 00	零填充
IRCLK = 1	内部接收时钟
RSPEN = 1	接收启用
SLEN = 1111	16位数据字 (或可能被设置为1101 对于14位数据字)
TFSR = RFSR = 1	

表10. SPORT0接收配置2寄存器
(SPORT0_RCR2)

设置	描述
RXSE = 1	次要方面启用
SLEN = 1111	16位数据字 (或可能被设置为1101 对于14位数据字)

要实现掉电模式, SLEN应该设置为
1001发出8位SCLK突发.一个Blackfin驱动程序
AD7266可从www.analog.com下载.

AD7266至TMS320C541

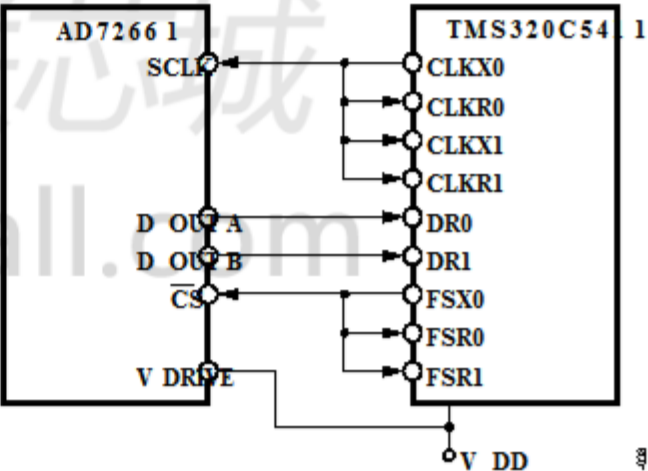
TMS320C541上的串行接口使用连续的
串行时钟和帧同步信号进行同步
与外围设备一样的数据传输操作
AD7266. CS输入允许简单的接口连接
TMS320C541和AD7266, 无需任何胶合逻辑.
TMS320C541的串行端口被设置为在
突发模式与内部CLKX0 (串行时钟TX串行时钟
端口0) 和FSX0 (串行端口0的TX帧同步). 串口
端口控制寄存器 (SPC) 必须具有以下设置.

表11.串行端口控制寄存器设置

SPC	FO	FSM	MCM	T X M
SPC0	0	1	1	1
SPC1	0	1	0	0

格式位FO可以设置为1来设置字长
8位来实现AD7266的掉电模式.

连接图如图45所示.这是必要的
对于信号处理应用来说, 帧同步 -
来自TMS320C541的信号提供等距采样.
AD7266的V DRIVE 引脚采用与AD7266相同的电源电压
那TMS320C541.这使得ADC可以在a运行
比它的串行接口电压更高, 因此,
TMS320C541, 如有必要.



1 额外的针脚为清晰.

图45.将AD7266连接到TMS320C541

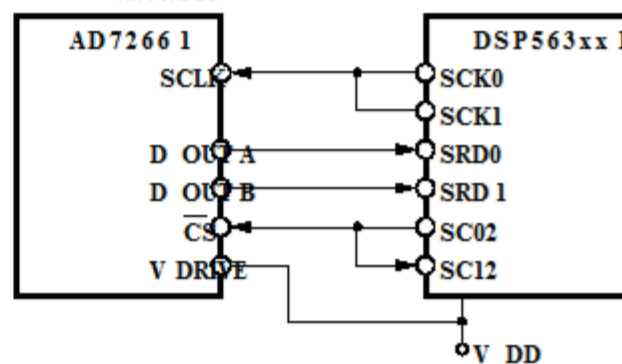
AD7266至DSP563xx

图46中的连接图显示了AD7266的工作原理可以连接到ESSI（同步串行接口）的摩托罗拉的DSP563xx系列DSP。那里有两个机载ESSI，每个都以同步模式运行（CRB寄存器中的位SYN = 1）与内部生成的字TX和RX的全长帧同步（位FSL1 = 0和CRB中的位FSL0 = 0）。

通过使MOD = 0来选择ESSI的正常操作在CRB。通过设置位WL1 = 1将字长设置为16和CRA中的位WL0 = 0。

为了在AD7266上实现关断模式，字长可以通过设置位WL1 = 0和8来改变为8位。CRA中的位WL0 = 0。CRB中的FSP位应该设置为1，所以帧同步是负的。信号势在必行。处理那些帧同步信号的应用从DSP563xx提供等距采样。

在图46所示的例子中，采用串行时钟来自ESSI0，因此SCK0引脚必须设置为输出，SCKD = 1，SCK1引脚设置为输入，SCKD = 0。帧同步信号取自ESSI0上的SC02，所以SCD2 = 1，而在ESSI1上，SCD2 = 0；因此，SC12被配置为一个输入。AD7266的V DRIVE引脚采用相同的电源电压与DSP563xx一样。这允许ADC操作在比它的串行接口更高的电压，因此，DSP563xx，如有必要。



1 额外的针脚为清晰。

图46.将AD7266连接到DSP563xx

应用提示

接地和布局

AD7266的模拟和数字电源是独立的并分别钉住，以尽量减少之间的耦合。模拟和数字部分的设备。印刷电路安装AD7266的电路板（PCB）应如此设计。模拟部分和数字部分是分开和限制的。到董事会的某些领域。这种设计有利于使用地面飞机，可以很容易地分离。

为地平面提供最佳屏蔽，最小化刻蚀技术通常是最好的。所有三个AGND引脚应将AD7266沉入AGND平面。数字和模拟地面飞机应该只在一个地方加入。如果AD7266在多个设备需要AGND到DGND的系统中连接，连接仍然应该在一个点上唯一的，应该建立一个明星接地点。可能到AD7266的接地引脚。

避免在设备下面运行数字线路。噪音到模具上。但是，模拟地平面应该是允许在AD7266下运行以避免噪声耦合。该AD7266的电源线应尽可能大。可能提供低阻抗路径并降低影响电源线故障。

为了避免噪音辐射到电路板的其他部分，速度很快开关信号，如时钟，应该用数字屏蔽。接地和时钟信号不应该靠近模拟信号投入。避免交叉数字和模拟信号。减少电路板内的馈通的影响，相反的痕迹。董事会的两边应该互相垂直。一个微带技术是最好的方法，但并不总是可能与双面板。在这个技术中，该板的组件则是专用于地平面，而信号则放在焊锡面上。

良好的解耦也很重要。所有的模拟电源应该与10μF钽电容并联使用。0.1μF电容到GND。从这些中获得最好的结果。去耦元件，它们必须尽可能靠近可能的设备，理想的正确的设备。该0.1μF电容应该具有较低的有效串联电阻（ESR）和有效串联电感（ESI）等常见的陶瓷类型或表面安装类型。这些低ESR和ESI电容提供一个低阻抗路径接地。高频处理由于内部的瞬态电流逻辑切换。

LFCSP的PCB设计指南

芯片级封装（CP-32-3）上的焊盘是矩形的。这些PCB垫应该比0.1mm长0.1mm封装地长度，比封装地宽0.05mm宽度，从而具有暴露的垫的一部分。确保焊点尺寸最大化，土地应该是集中在垫上。

芯片级封装的底部有一个散热垫。该印刷电路板上的散热垫应该至少与印刷电路板一样大。裸露的垫子。在PCB上，至少应该有一个清除导热垫和内部边缘之间的距离为0.25毫米垫模式，以确保避免短路。

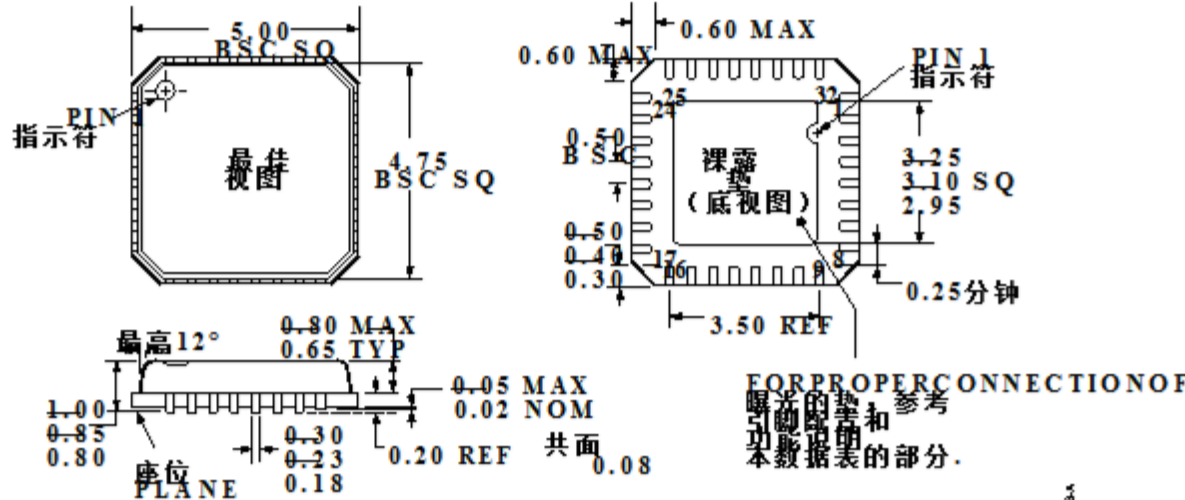
要改善封装的散热性能，请使用散热。在印刷电路板上的通孔将它们整合在散热垫上1.2毫米间距的网格。通孔直径应在0.3毫米之间和0.33毫米，通孔桶应镀1盎司。铜来堵塞通路。用户应该连接PCB导热垫到AGND。

评估AD7266的性能

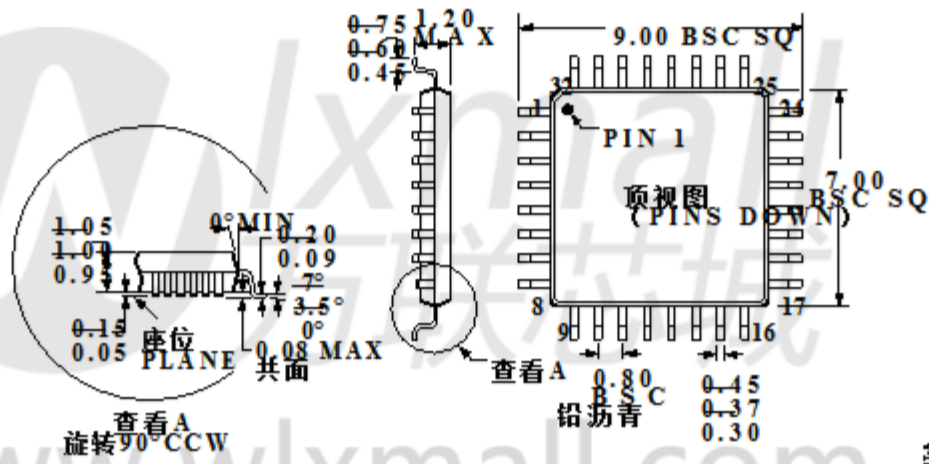
在AD7266推荐的布局概述在评估板文件。评估板包包括一个完全组装和测试的评估板，以及从PC控制电路板的软件。通过评估板控制器。评估板连接troller可以与AD7266评估结合使用板，以及许多其他ADI公司的评估以CB标志符结尾的板，以示范/评估AD7266的交流和直流性能。

该软件允许用户执行交流（快速傅立叶转换）和dc（代码直方图）测试AD7266。软件和文档在随附的CD上评估板。

外形尺寸



符合JEDEC标准MO-220-VHHD-2
图47. 32引脚引线框架芯片级封装[LFCSP_VQ]
5毫米×5毫米机身，非常薄的四核（CP-32-2）
尺寸以毫米为单位显示



符合JEDEC标准MS-026-AB A
图48. 32引脚薄型四方扁平封装[TQFP]
(SU-32-2)
尺寸以毫米为单位显示

订购指南

Model 1,2,3	温度范围	包装说明	包装选项
AD7266BCPZ	-40°C至+ 125°C	32引脚引线框架芯片级封装（LFCSP_VQ）	CP-32-2
AD7266BCPZ-REEL7	-40°C至+ 125°C	32引脚引线框架芯片级封装（LFCSP_VQ）	CP-32-2
AD7266BCPZ-REEL	-40°C至+ 125°C	32引脚引线框架芯片级封装（LFCSP_VQ）	CP-32-2
AD7266BSUZ	-40°C至+ 125°C	32引脚薄型四方扁平封装（TQFP）	SU-32-2
AD7266BSUZ-REEL7	-40°C至+ 125°C	32引脚薄型四方扁平封装（TQFP）	SU-32-2
AD7266BSUZ-REEL	-40°C至+ 125°C	32引脚薄型四方扁平封装（TQFP）	SU-32-2
EVAL-AD7266EDZ		评估板	
EVAL-CED1Z		控制板	

1 Z =符合RoHS的部分。
2 EVAL-AD7266CB可以用作独立的评估板，也可以与EVAL-CONTROL板一起用于评估/演示目的。
3 EVAL-CED1Z控制器板允许PC控制所有型号以ED结尾的Analog Devices评估板并与之通信。

笔记

