

中密度性能线路基于ARM的32位MCU与64

或128 KB闪存，USB，CAN，7定时器，2个ADC，9个com.接口

数据表 - 生产数据

特征

ARM 32位Cortex™-M3 CPU内核

- 最大频率为72 MHz，
1.25 DMIPS / MHz (Dhrystone 2.1)
性能在0等待状态存储器
访问
- 单周期乘法和硬件
师

记忆

- 64或128 KB闪存
- 20 KB的SRAM

时钟，复位和电源管理

- 2.0到3.6 V的应用电源和I / O
- POR，PDR和可编程电压
检测器 (PVD)
- 4至16 MHz晶体振荡器
- 内部8 MHz工厂调整RC
- 内部40 kHz RC
- 用于CPU时钟的PLL
- 具有校准功能的RTC的32 kHz振荡器

低功耗

- 睡眠，停止和待机模式
- V RTC和备用寄存器的 BAT 电源

2 x 12位，1μsA / D转换器 (最多16个)
频道)

- 转换范围：0至3.6 V
- 双重采样和保持能力
- 温度感应器

DMA

- 7通道DMA控制器
- 支持外设：定时器，ADC，SPI，
I2Cs和USART

多达80个快速I / O端口

- 26/37/51/80 I / O，所有可映射的16
外部中断向量和几乎全部
5 V容忍



调试模式

- 串行线调试 (SWD) 和JTAG
接口

7个定时器

- 三个16位定时器，每个定时器最多可达4个
IC / OC / PWM或脉冲计数器
正交 (增量) 编码器输入
- 16位，电机控制PWM定时器，
时代和紧急停止
- 2个看门狗定时器 (独立和
窗口)
- SysTick定时器24位下位机

最多9个通讯接口

- 最多2 x I2C接口 (SMBus / PMBus)
- 最多3个USART (ISO 7816接口，LIN，
IrDA功能，调制解调器控制)
- 最多2个SPI (18 Mbit / s)
- CAN接口 (2.0B有效)
- USB 2.0全速接口

CRC计算单元，96位唯一ID

包装为ECOPACK®

表1.设备总结

参考	零件号
STM32F103x8	STM32F103C8, STM32F103R8 STM32F103V8, STM32F103T8
STM32F103xB	STM32F103RB STM32F103VB, STM32F103CB, STM32F103TB

内容

1	介绍	9
2	说明	9
2.1	设备概述	10
2.2	整个家庭的完全兼容性	13
2.3	概述	14
2.3.1	具有嵌入式闪存和SRAM的ARM®Cortex™-M3内核	14
2.3.2	嵌入式闪存	14
2.3.3	CRC（循环冗余校验）计算单元	14
2.3.4	嵌入式SRAM	14
2.3.5	嵌套矢量中断控制器（NVIC）	14
2.3.6	外部中断/事件控制器（EXTI）	15
2.3.7	时钟和启动	15
2.3.8	启动模式	15
2.3.9	供电方案	15
2.3.10	供电主管	15
2.3.11	电压调节器	16
2.3.12	低功耗模式	16
2.3.13	DMA	17
2.3.14	RTC（实时时钟）和备份寄存器	17
2.3.15	计时器和看门狗	17
2.3.16	FC总线	19
2.3.17	通用同步/异步接收发射机（USART）	19
2.3.18	串行外设接口（SPI）	19
2.3.19	控制器局域网（CAN）	19
2.3.20	通用串行总线（USB）	19
2.3.21	GPIO（通用输入/输出）	20
2.3.22	ADC（模拟 - 数字转换器）	20
2.3.23	温度感应器	20
2.3.24	串行线JTAG调试端口（SWJ-DP）	20
3	引脚分布和引脚描述	21
4	内存映射	34

五	电气特性	35
5.1	参数条件	35
5.1.1	最小值和最大值	35
5.1.2	典型值	35
5.1.3	典型曲线	35
5.1.4	加载电容	35
5.1.5	引脚输入电压	35
5.1.6	供电方案	36
5.1.7	电流消耗测量	37
5.2	绝对最大额定值	37
5.3	运行条件	38
5.3.1	一般操作条件	38
5.3.2	上电/掉电时的工作条件	39
5.3.3	嵌入式复位和功率控制块特性	40
5.3.4	嵌入式参考电压	41
5.3.5	供电电流特性	41
5.3.6	外部时钟源特性	51
5.3.7	内部时钟源特性	55
5.3.8	PLL特性	57
5.3.9	记忆特征	57
5.3.10	EMC特性	58
5.3.11	绝对最大额定值（电气灵敏度）	60
5.3.12	I/O电流注入特性	61
5.3.13	I/O端口特性	62
5.3.14	NRST引脚特性	68
5.3.15	TIM定时器特性	69
5.3.16	通讯接口	70
5.3.17	CAN（控制器局域网）接口	75
5.3.18	12位ADC特性	76
5.3.19	温度传感器特性	80
6	包装特点	81
6.1	包装机械数据	81
6.2	热特性	93
6.2.1	参考文件	93
6.2.2	选择产品温度范围	94

7	订购信息方案.....	96
8	修订记录.....	97



表格清单

表格1.	设备摘要.....	1
表2.	STM32F103xx中密度器件功能和外设计数.....	10
表3.	STM32F103xx系列.....	13
表4.	定时器功能比较.....	17
表5.	中密度STM32F103xx引脚定义.....	28
表6.	电压特性.....	37
表7.	电流特性.....	38
表8.	热特性.....	38
表9.	一般操作条件.....	38
表10.	上电/掉电时的工作条件.....	39
表11.	嵌入式复位和功率控制块特性.....	40
表12.	嵌入式内部参考电压.....	41
表13.	运行模式下的最大电流消耗，带数据处理的代码 从Flash运行.....	42
表14.	运行模式下的最大电流消耗，带数据处理的代码 从RAM运行.....	42
表15.	在睡眠模式下的最大电流消耗，从Flash或RAM运行的代码.....	44
表16.	停止和待机模式下的典型和最大电流消耗.....	45
表17.	典型电流消耗在运行模式下，代码与数据处理 从Flash运行.....	48
表18.	在休眠模式下的典型电流消耗，代码从Flash或 随机存取存储器.....	49
表19.	外围电流消耗.....	50
表20.	高速外部用户时钟特性.....	51
表21.	低速外部用户时钟特性.....	51
表22.	HSE 4-16 MHz振荡器特性.....	53
表23.	LSE振荡器特性 (fLSE = 32.768 kHz).....	54
表24.	HSI振荡器特性.....	55
表25.	LSI振荡器特性.....	56
表26.	低功耗模式唤醒时序.....	57
表27.	PLL特性.....	57
表28.	闪存特性.....	57
表29.	闪存耐久性和数据保留.....	58
表30.	EMS特点.....	59
表31.	EMI特性.....	59
表32.	ESD绝对最大额定值.....	60
表33.	电敏感.....	60
表34.	I/O电流注入敏感性.....	61
表35.	I/O静态特性.....	62
表36.	输出电压特性.....	66
表37.	I/O交流特性.....	67
表38.	NRST引脚特性.....	68
表39.	TIMx特性.....	69
表40.	I2C特性.....	70
表41.	SCL频率 (fPCLK1 = 36MHz, VDD_I2C = 3.3V).....	71
表42.	SPI特性.....	72
表43.	USB启动时间.....	74
表44.	USB直流电气特性.....	75

表45.	USB: 全速电气特性.....	75
表46.	ADC特性.....	76
表47.	fADC的最大值为 $RA = 14\text{ MHz}$	77
表48.	ADC精度 - 测试条件有限.....	77
表49.	ADC精度.....	78
表50.	TS特性.....	80
表51.	VFQFPN36 6 x 6 mm, 0.5 mm间距, 封装机械数据.....	82
表52.	UFQFPN48 7 x 7 mm, 0.5 mm间距, 封装机械数据.....	83
表53.	LFBGA100 - 10 x 10 mm低剖面细间距球栅阵列封装 机械数据.....	85
表54.	LQPF100, 14 x 14 mm 100引脚薄型四方扁平封装机械数据.....	87
表55.	UFBGA100 - 超细间距球栅阵列, 7 x 7 mm, 0.50 mm间距, 封装 机械数据.....	88
表56.	LQFP64, 10 x 10 mm, 64引脚低调四边形封装机械数据.....	89
表57.	TFBGA64 - 8 x 8有源球阵列, 5 x 5 mm, 0.5 mm间距, 封装机械数据... ..	90
表58.	LQFP48, 7 x 7 mm, 48引脚低调四边形扁平封装机械数据.....	92
表59.	封装热特性.....	93
表60.	订购信息方案.....	96
表61.	文件修订历史.....	97



数字列表

图1.	STM32F103xx性能框图	11
图2.	时钟树	12
图3.	STM32F103xx性能线LFBGA100喷绘	21
图4.	STM32F103xx性能线LQFP100引脚排列	22
图5.	STM32F103xx性能线UFBGA100引脚排列	23
图6.	STM32F103xx性能线LQFP64引脚排列	24
图7.	STM32F103xx性能线TFBGA64电池	25
图8.	STM32F103xx性能线LQFP48引脚排列	26
图9.	STM32F103xx性能线UFQFPN48引脚排列	26
图10.	STM32F103xx性能线VFQFPN36引脚排列	27
图11.	记忆图	34
图12.	针加载条件	36
图13.	引脚输入电压	36
图14.	供电方案	36
图15.	电流消耗测量方案	37
图16.	运行模式与频率 (3.6 V) 时的典型电流消耗 - 数据处理从RAM运行, 外设启用	43
图17.	运行模式与频率 (3.6 V) 时的典型电流消耗 - 数据处理从RAM运行的代码, 外设禁用	43
图18.	具有RTC的VBAT的典型电流消耗与不同的温度 VBAT值	45
图19.	在运行模式下, 调节器的停止模式下的典型电流消耗 VDD = 3.3 V和3.6 V时的温度	46
图20.	低功耗模式下稳压器的停止模式下的典型电流消耗 VDD = 3.3 V和3.6 V时的温度	46
图21.	待机模式下的典型电流消耗与温度的关系 VDD = 3.3 V和3.6 V	47
图22.	高速外部时钟源交流时序图	52
图23.	低速外部时钟源交流时序图	52
图24.	典型应用与8 MHz晶体	53
图25.	具有32.768 kHz晶体的典型应用	55
图26.	标准I/O输入特性 - CMOS端口	64
图27.	标准I/O输入特性 - TTL端口	64
图28.	5 V容差I/O输入特性 - CMOS端口	65
图29.	5 V容差I/O输入特性 - TTL端口	65
图30.	I/O AC特性定义	68
图31.	推荐NRST引脚保护	69
图32.	I2C总线交流波形和测量电路	71
图33.	SPI时序图 - 从模式和CPHA = 0	73
图34.	SPI时序图 - 从模式和CPHA = 1 (1)	73
图35.	SPI时序图 - 主模式 (1)	74
图36.	USB定时: 定义数据信号的上升和下降时间	75
图37.	ADC精度特性	78
图38.	使用ADC的典型连接图	79
图39.	电源和参考去耦 (VREF + 未连接到VDDA)	79
图40.	电源和参考去耦 (VREF + 连接到VDDA)	80
图41.	VFQFPN36 6 x 6 mm, 0.5 mm间距, 封装外形 (1)	82
图42.	VFQFPN36推荐尺寸 (mm) (1) (2)	82

图43.	UFQFPN48 7 x 7 mm, 0.5 mm间距, 封装外形	83
图44.	UFQFPN48推荐足迹	84
图45.	LFBGA100 - 10 x 10 mm低剖面细间距球栅阵列封装 大纲	85
图46.	推荐的PCB设计规则 (0.80 / 0.75mm间距BGA)	86
图47.	LQFP100, 14 x 14 mm 100引脚低调四边形扁平封装外形	87
图48.	LQFP100推荐足迹 (1)	87
图49.	UFBGA100 - 超细间距球栅阵列, 7 x 7 mm, 0.50 mm间距, 包装大纲	88
图50.	LQFP64, 10 x 10 mm, 64引脚低调四边形扁平封装外形	89
图51.	LQFP64推荐足迹 (1)	89
图52.	TFBGA64 - 8 x 8有源球阵列, 5 x 5 mm, 0.5 mm间距, 封装外形	90
图53.	推荐用于焊盘的PCB设计规则 (0.5 mm间距BGA)	91
图54.	LQFP48, 7 x 7 mm, 48针低调四边形扁平封装外形	92
图55.	LQFP48推荐足迹 (1)	92
图56.	LQFP100 PD max vs. T A	95



1 介绍

本数据表提供了订购信息和机械特性
STM32F103x8和STM32F103xB中密度性能线路微控制器。
有关整个STMicroelectronics STM32F103xx系列的更多详细信息，请参阅
[第2.2节：整个家庭完全兼容](#)。

中密度STM32F103xx数据表应与低密度，
中高密度STM32F10xxx参考手册。
参考和Flash编程手册都可以从
意法半导体网站www.st.com。

有关Cortex™-M3内核的信息，请参阅Cortex™-M3技术
参考手册，可从www.arm.com网站获取，地址如下：
<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0337e/>。

2 描述

STM32F103xx中密度性能系列产品，
性能卓越的ARM Cortex™-M3 32位RISC内核，工作频率为72 MHz，
高速嵌入式存储器（高达128 KB的闪存和高达20 KB的SRAM）
以及连接到两个APB总线的广泛的增强型I/O和外设。所有
器件提供两个12位ADC，三个通用16位定时器和一个PWM定时器
以及标准和高级通信接口：最多两个I2C和SPI，三个
USART，USB和CAN。

器件的工作电压为2.0至3.6 V。它们都可以在-40到
+85°C温度范围和-40至+105°C扩展级温度范围。一个
全面的省电模式允许设计低功耗应用。

STM32F103xx中密度性能系列产品包括六种不同的器件
封装类型：从36针到100针。根据所选择的设备，不同的组合
包括外围设备，下面的描述将概述完整的范围
这个家庭提出的外设。

这些特性使STM32F103xx中密度性能微控制器
家庭适用于各种应用，如电机驱动，应用控制，
医疗和手持设备，PC和游戏外设，GPS平台，工业
应用程序，PLC，逆变器，打印机，扫描仪，报警系统，视频对讲机和
的HVAC。

2.1 设备概述

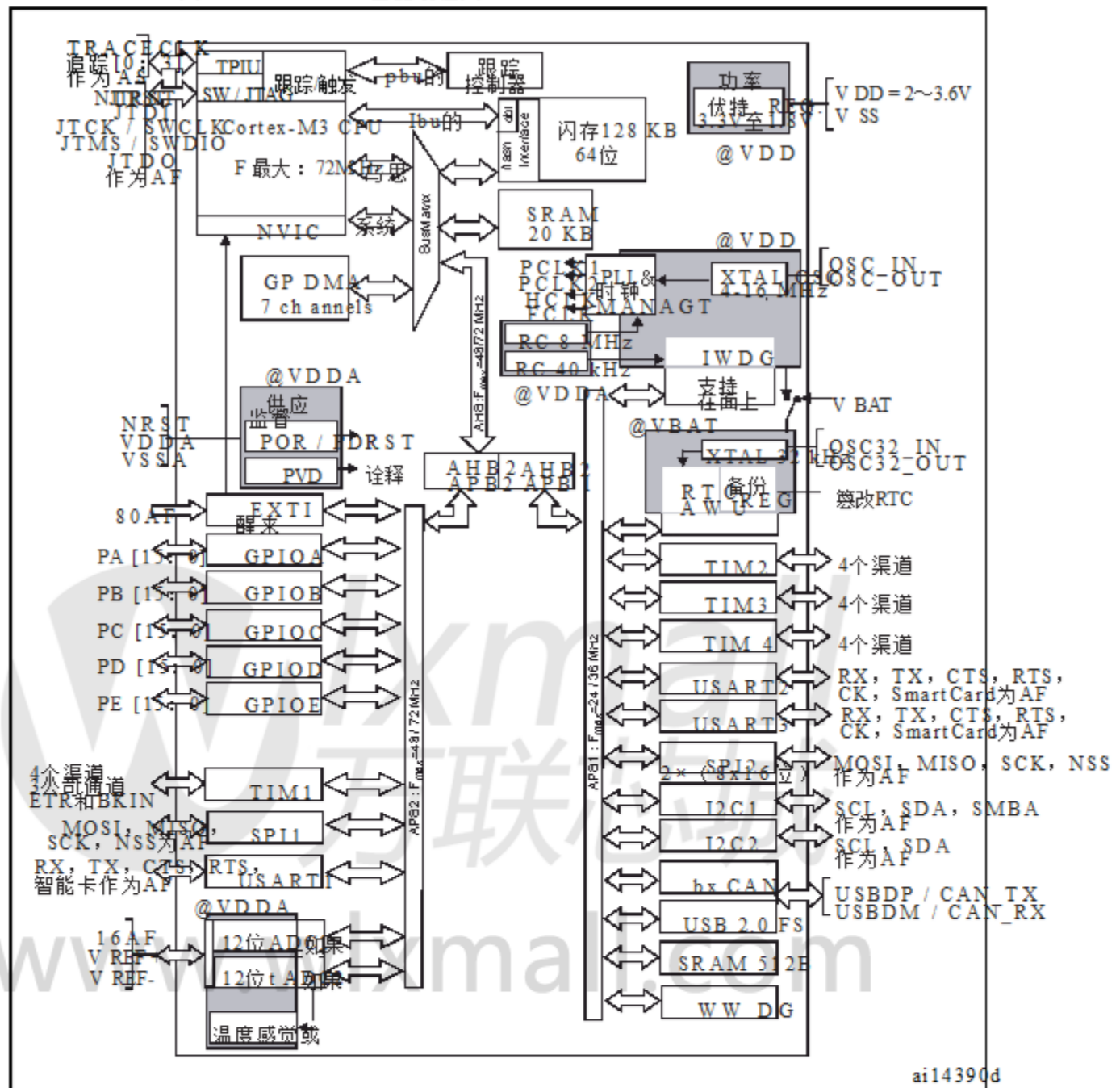
表2. STM32F103xx中密度器件的功能和外设
计数

外围设备		STM32F103Tx		STM32F103Cx		STM32F103Rx		STM32F103Vx	
闪存 - 千字节		64	128	64	128	64	128	64	128
SRAM - Kbytes		20		20		20		20	
Timers	一般用途	33				3		3	
	先进的控制	11				1		1	
Communication	SPI	12				2		2	
	I2C	12				2		2	
	USART	23				3		3	
	USB	11				1		1	
	能够	11				1		1	
个GPIO		26		37		51		80	
12位同步ADC 通道数		2 10个通道		2 10个通道		2 16通道 (1)		2 16个通道	
CPU频率		72 MHz							
工作电压		2.0至3.6 V							
工作温度		环境温度: -40至+85°C / -40至+105°C (见表9) 结温: -40至+125°C (见表9)							
包		VFQFPN36		LQFP48, UFQFPN48		LQFP64, TFBGA64		LQFP100, LFBGA100, UFBGA100	

1. 在TFBGA64封装上，只有15个通道可用（一个模拟输入引脚已被替换“Vref+”）。



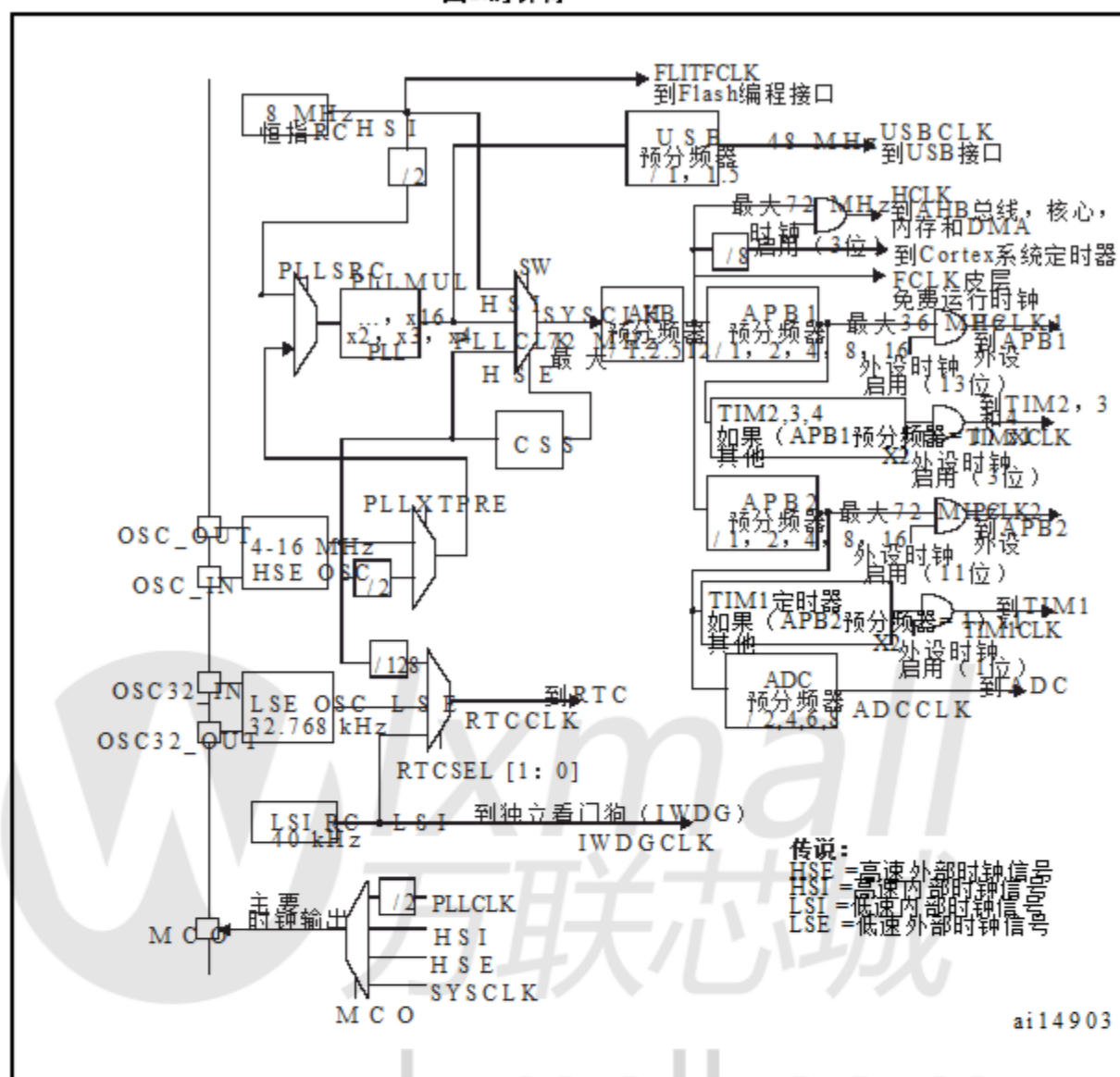
图1. STM32F103xx性能框图



T A = -40°C至+105°C (结温高达125°C)。

2. AF = I / O端口引脚的备用功能。

图2.时钟树



1. 当HSI用作PLL时钟输入时，可以实现的最大系统时钟频率为64 MHz.
2. 要使USB功能可用，HSE和PLL必须使能，USBCLK运行在48兆赫.
3. 要使ADC转换时间为1 μ s，APB2必须在14 MHz，28 MHz或56 MHz.

2.2 整个家庭的完全兼容性

STM32F103xx是一个完整的系列，其成员完全是针对引脚，软件和功能兼容.在参考手册中，STM32F103x4和STM32F103x6被认为是低密度器件，STM32F103x8和STM32F103xB被称为中密度器件，以及STM32F103xC，STM32F103xD和STM32F103xE简称高密度设备.

低和高密度器件都是STM32F103x8 / B器件的扩展
分别在STM32F103x4 / 6和STM32F103xC / D / E数据表中指定.低-密度设备具有更低的闪存和RAM容量，更少的定时器和外设.高密度设备具有更高的闪存和RAM容量，附加外设，如SDIO，FSMC，I2S和DAC，同时保持完全兼容STM32F103xx系列的其他成员.

STM32F103x4，STM32F103x6，STM32F103xC，STM32F103xD和STM32F103xE是STM32F103x8 / B中密度器件的替代品，允许用户使用尝试不同的记忆密度，并在此期间提供更大程度的自由度开发周期.

此外，STM32F103xx性能系列产品与所有现有产品完全兼容STM32F101xx接入线和STM32F102xx USB接入线设备.

表3. STM32F103xx系列

引脚	低密度设备		中密度设备		高密度设备		
	16 KB 闪存	32 KB 闪光灯 (1)	64 KB 闪存	128 KB 闪存	256 KB 闪存	384 KB 闪存	512 KB 闪存
	6 KB RAM	10 KB RAM	20 KB RAM	20 KB RAM	48 KB RAM	64 KB RAM	64 KB RAM
144					5×USART 4×16位定时器，2×基本定时器 3×SPIs，2×I2Ss，2×I2C USB，CAN，2×PWM定时器 3×ADCs，2×DACs，1×SDIO FSMC（100和144针）		
100			3×USART 3×16位定时器 2×SPI，2×I2Cs，USB，CAN，1×PWM定时器 2×ADC				
64	2×USART 2×16位定时器 1×SPI，1×I2C，USB，CAN，1×PWM定时器 2×ADC						
48							
36							

1.对于在温度范围代码（6或7）后不显示A内部代码的可订购部件号，电气特性的参考数据表是STM32F103x8 / B中密度的参考数据表设备.

2.3 概观

2.3.1 具有嵌入式闪存和SRAM的ARM®Cortex™-M3内核

ARM Cortex™-M3处理器是嵌入式的最新一代ARM处理器系统.它已经开发出来提供一个满足MCU需求的低成本平台实现,减少引脚数和低功耗,同时交付出色的计算性能和对中断的高级系统响应.

ARM Cortex™-M3 32位RISC处理器具有卓越的代码效率,通过ARM内核提供高性能预期的内存大小与8位和16位器件相关联.

因此,具有嵌入式ARM内核的STM32F103xx性能系列产品系列兼容所有ARM工具和软件.

图1显示了器件系列的一般框图.

2.3.2 嵌入式闪存

64或128 KB的嵌入式闪存可用于存储程序和数据.

2.3.3 CRC (循环冗余校验) 计算单元

CRC (循环冗余校验) 计算单元用于从32位获取CRC码数据字和固定的生成多项式.

在其他应用中,基于CRC的技术用于验证数据传输存储完整性.在EN / IEC 60335-1标准的范围内,它们提供了一种方法验证闪存完整性. CRC计算单元有助于计算签名在运行期间的软件,与链接时生成的参考签名进行比较,时间并存储在给定的存储位置.

2.3.4 嵌入式SRAM

以0等待的CPU时钟速度访问(读/写)二十KB的嵌入式SRAM状态.

2.3.5 嵌套矢量中断控制器 (NVIC)

STM32F103xx性能线嵌入一个嵌套向量中断控制器处理多达43个可屏蔽中断通道(不包括16个中断线Cortex™-M3)和16个优先级.

- 紧密耦合的NVIC提供低延迟中断处理
- 中断条目向量地址直接传递给核心
- 紧密耦合的NVIC核心接口
- 允许早期处理中断
- 处理晚到高优先级中断
- 支持尾链
- 处理器状态自动保存
- 中断条目在中断退出时恢复,没有指令开销

该硬件块提供灵活的中断管理功能，具有最少的中断潜伏。

2.3.6 外部中断/事件控制器 (EXTI)

外部中断/事件控制器由用于生成的19个边缘检测器线组成。中断/事件请求。每行可以独立配置以选择触发事件（上升沿，下降沿，两者），可以独立屏蔽。待处理的注册保持中断请求的状态。EXTI可以用a检测外线脉冲宽度短于内部APB2时钟周期。最多可连接80个GPIO到16个外部中断线。

2.3.7 时钟和启动

系统时钟选择在启动时执行，但内部RC 8 MHz振荡器是选择为默认CPU时钟复位。可以选择外部4-16 MHz时钟。在哪种情况下，它被监控失败。如果检测到故障，系统自动切换回到内部RC振荡器。如果启用了软件中断。同样，充分必要时可以进行PLL时钟输入的中断管理（例如，on间接使用的外部晶体，谐振器或振荡器的故障）。

几个预分频器允许配置AHB频率，高速APB（APB2）和低速APB（APB1）域。最高频率的AHB和高速APB域是72MHz。最低允许频率的低速APB域为36 MHz。有关时钟树的详细信息，请参见图2。

2.3.8 启动模式

启动时，引导引脚用于选择三个引导选项之一：

- 从用户Flash引导
- 从系统内存引导
- 从嵌入式SRAM引导

引导加载程序位于系统内存中。它用于重新编程Flash存储器使用USART1。详情请参考AN2606。

2.3.9 供电方案

- VDD = 2.0至3.6 V：用于I/O和内部稳压器的外部电源。通过VDD引脚外部提供。
- VSSA, VDDA = 2.0至3.6 V：ADC，复位块，RC的外部模拟电源和PLL（使用ADC时，施加到VDDA的最小电压为2.4 V）。VDDA和VSSA必须分别连接到VDD和VSS。
- VBAT = 1.8至3.6 V：RTC电源，外部时钟32 kHz振荡器和备份当VDD不存在时，寄存器（通过电源开关）。

有关如何连接电源引脚的更多细节，请参见图14：电源方案。

2.3.10 供电主管

该器件具有集成上电复位（POR）/掉电复位（PDR）电路。它是始终处于活动状态，并确保从/从低到2 V的正常操作。设备保留

当VDD低于指定阈值时，在复位模式下，VPOR/PDR，不需要外部复位电路。

该器件具有嵌入式可编程电压检测器（PVD），可以监控VDD/VDDA电源，并将其与VPVD阈值进行比较。一个中断可以当VDD/VDDA低于VPVD阈值和/或当VDD/VDDA为低时产生高于VPVD阈值。然后中断服务程序就会产生警告消息和/或将MCU置于安全状态。PVD由软件启用。

参见表11：嵌入式复位和功率控制块特性的值VPOR/PDR和VPVD。

2.3.11 电压调节器

调节器有三种操作模式：主（MR），低功率（LPR）和掉电。

MR用于标称调节模式（Run）

LPR用于停止模式

在待机模式下使用掉电：稳压器输出为高阻抗：
内核电路掉电，引起零消耗（但内容为寄存器和SRAM丢失）

复位后总是使能该调节器。在待机模式下禁用，提供高电平阻抗输出。

2.3.12 低功耗模式

STM32F103xx性能线支持三种低功耗模式，以达到最佳效能低功耗，启动时间短和可用的唤醒之间的妥协来源：

睡眠模式

在睡眠模式下，只有CPU停止。所有外设都可以继续运行。中断/事件发生时唤醒CPU。

停止模式

停止模式在保留内容的同时实现最低功耗。SRAM和寄存器1.8V域中的所有时钟都被停止，PLL，HSI RC，并且HSE晶体振荡器被禁用。电压调节器也可放置在正常或低功率模式下。

可以通过任何EXTI行从停止模式唤醒设备。EXTI行源可以是16条外线，PVD输出，RTC报警或USB醒来。

待机模式

待机模式用于实现最低功耗。内置的关闭电压调节器，使整个1.8V域断电。该PLL，HSI RC和HSE晶体振荡器也被关闭。进入后待机模式，SRAM和寄存器内容丢失，但备份中的寄存器除外域和待机电路。

当外部复位（NRST引脚），IWDG复位，a.时，器件退出待机模式WKUP引脚上升沿，或发生RTC报警。

注意：RTC，IWDG和相应的时钟源不会通过进入Stop来停止或待机模式。

2.3.13 DMA

灵活的7通道通用DMA能够管理内存到内存，外设到内存和内存到外设的传输。DMA控制器支持循环缓冲管理避免了当控制器产生中断到达缓冲区的末尾。

每个通道都连接到专用硬件DMA请求，并支持软件触发每个通道。配置由软件和传输大小之间进行源和目的地是独立的。

DMA可用于主要外设：SPI，I2C，USART，通用和高级控制定时器TIMx和ADC。

2.3.14 RTC（实时时钟）和备份寄存器

RTC和备用寄存器是通过开启电源的开关提供的。VDD电源存在或通过VBAT引脚。备份寄存器是十个16位。当VDD电源不存在时，寄存器用于存储20个字节的用户应用数据。

实时时钟提供了一套连续运行的计数器，可与之配合使用。适合软件提供时钟日历功能，并提供报警中断和周期性中断。它采用32.768 kHz外部晶振，谐振器或振荡器。内部低功耗RC振荡器或高速外部时钟除以128。内部低功耗RC的典型频率为40 kHz。可以使用RTC进行校准。外部512 Hz输出，以补偿任何天然晶体偏差。RTC具有32位可编程计数器，可使用Compare进行长期测量。注册以产生报警。一个20位的预分频器用于时基时钟。默认配置为从32.768 kHz的时钟生成1秒的时基。

2.3.15 计时器和看门狗

中密度STM32F103xx性能线设备包括高级控制定时器，三个通用定时器，两个看门狗定时器和一个SysTick定时器。

表4比较了高级控制和通用定时器的功能。

表4.定时器功能比较

计时器	计数器 解析度	计数器 类型	预分频器 因子	DMA请求 代	捕获/比较 渠道	补充 输出
TIM1	16位	向上， 下， 向上/向下	任何整数 介于1之间 和65536	是	4	是
TIM2， TIM3， TIM4	16位	向上， 下， 向上/向下	任何整数 介于1之间 和65536	是	4	没有

高级控制定时器 (TIM1)

高级控制定时器 (TIM1) 可以看作是6路三相PWM复用通道.它具有互补的PWM输出, 具有可编程的插入死区.它也可以看作是一个完整的通用定时器. 4个独立通道可以用于

- 输入捕捉

- 输出比较

- PWM生成 (边沿或中心对齐模式)

- 单脉冲模式输出

如果配置为通用16位定时器, 它具有与TIMx定时器相同的功能.如果配置为16位PWM发生器, 具有完全调制能力 (0-100%) .

在调试模式下, 高级控制定时器计数器可以被冻结, PWM输出禁用这些输出驱动的任何电源开关.

许多功能与具有该功能的通用TIM定时器共享相同的建筑.因此, 高级控制定时器可以与TIM一起工作.定时器通过定时器链接功能进行同步或事件链接.

通用定时器 (TIMx)

最多可以嵌入三个可同步的通用定时器

STM32F103xx性能线设备.这些定时器基于16位自动重新加载一个16位预分频器, 具有4个独立的通道, 用于输入捕捉/输出比较, PWM或单脉冲模式输出.最多可输入12个输入捕捉/输出比较/最大封装上的PWM.

通用定时器可以通过定时器与高级控制定时器一起工作.用于同步或事件链接的链接功能.他们的计数器可以在调试中冻结模式.任何通用定时器都可用于产生PWM输出.他们都具有独立的DMA请求生成.

这些定时器能够处理正交 (增量) 编码器信号
1到3个霍尔效应传感器的数字输出.

独立看门狗

独立看门狗基于12位向下计数器和8位预分频器.它是来自独立的40 kHz内部RC, 并且它独立于运行主时钟, 它可以在停止和待机模式下工作.它可以用作看门狗.在发生问题时重置设备, 或者作为应用程序超时的自由运行定时器管理.它可以通过选项字节进行硬件或软件配置.柜台可以在调试模式下冻结.

窗口看门狗

窗口看门狗基于可以设置为自由运行的7位下行计数器.它可以用作看门狗在出现问题时重置设备.它是从主时钟.它具有早期警告中断功能, 计数器可以冻结调试模式.

SysTick计时器

该定时器专用于操作系统，但也可以用作标准下载计算机。它特征：

- 一个24位下行计数器
- 自动装载功能
- 当计数器达到0时，可屏蔽系统产生中断
- 可编程时钟源

2.3.16 I²C总线

多达两个I²C总线接口可以在多主机和从机模式下工作。他们可以支持标准和快速模式。

它们支持双从机寻址（仅限7位）和主器件中的7/10位寻址模式。嵌入硬件CRC生成/验证。

它们可以由DMA提供，它们支持SM Bus 2.0 / PM Bus。

2.3.17 通用同步/异步接收发射机（USART）

其中一个USART接口能够以高达4.5 Mbit / s的速度进行通信。该其他可用接口通信速度高达2.25 Mbit / s。他们提供硬件CTS和RTS信号的管理，IrDA SIR ENDEC支持，均为ISO 7816并具有LIN主/从功能。

所有USART接口都可以由DMA控制器提供。

2.3.18 串行外设接口（SPI）

最多两个SPI能够在从机和主机模式下以全功能通信高达18 Mbits / s，双工和单工通信模式。3位预分频器提供8个主模式频率和帧可配置为8位或16位。硬件CRC生成/验证支持基本的SD卡 / MMC模式。

两个SPI都可以由DMA控制器提供。

2.3.19 控制器局域网（CAN）

CAN符合规格2.0A和B（有效），速率高达1 Mbit / s。它可以接收和发送具有11位标识符和扩展帧的标准帧。具有29位标识符。它有三个发送邮箱，两个接收FIFO有3个阶段14个可扩展滤波器组。

2.3.20 通用串行总线（USB）

STM32F103xx性能线嵌入一个USB设备外设兼容USB全速12 Mbs。USB接口实现全速（12 Mbit / s）功能接口。它具有软件可配置的端点设置和挂起/恢复支持。该专用的48 MHz时钟由内部主PLL产生（时钟源必须使用HSE晶体振荡器）。

2.3.21 GPIO（通用输入/输出）

每个GPIO引脚可以通过软件配置为输出（推挽式或开漏式），如同输入（带或不带上拉或下拉）或作为外设备用功能。大部分的GPIO引脚与数字或模拟交替功能共享。所有GPIO都是高电流 - 能。

如果需要特定的I / O备用功能配置可以被锁定以避免对I / O寄存器进行杂乱写入。

APB2上的I / O具有高达18 MHz的切换速度。

2.3.22 ADC（模数转换器）

两个12位模数转换器嵌入STM32F103xx性能线设备和每个ADC共有多达16个外部通道，拍摄或扫描模式。在扫描模式下，对所选组进行自动转换的模拟输入。

嵌入在ADC接口中的附加逻辑功能允许：

- 同时采样和保持
- 交错采样和保持
- 单路分流

ADC可由DMA控制器提供。

模拟看门狗功能允许非常精确地监视一个的转换电压，一些或所有选定的频道。转换后的电压产生中断超出编程阈值。

由通用定时器（TIMx）和高级控制定时器产生的事件（TIM1）可以内部连接到ADC启动触发，注入触发和DMA触发器，允许应用程序同步A / D转换和定时器。

2.3.23 温度感应器

温度传感器必须产生随温度线性变化的电压。该转换范围在 $2\text{ V} < V_{DDA} < 3.6\text{ V}$ 之间。温度传感器在内部连接到用于转换传感器输出的ADC12_IN16输入通道电压变为数字值。

2.3.24 串行线JTAG调试端口（SWJ-DP）

ARM SWJ-DP接口已嵌入，并且是一个组合的JTAG和串行线调试端口，使串行线路调试或JTAG探针连接到目标。

JTAG TMS和TCK引脚分别与SWDIO和SWCLK共享，a TMS引脚上的特定序列用于在JTAG-DP和SW-DP之间切换。

3 引脚分布和引脚描述

图3. STM32F103xx性能线LFBGA100喷绘

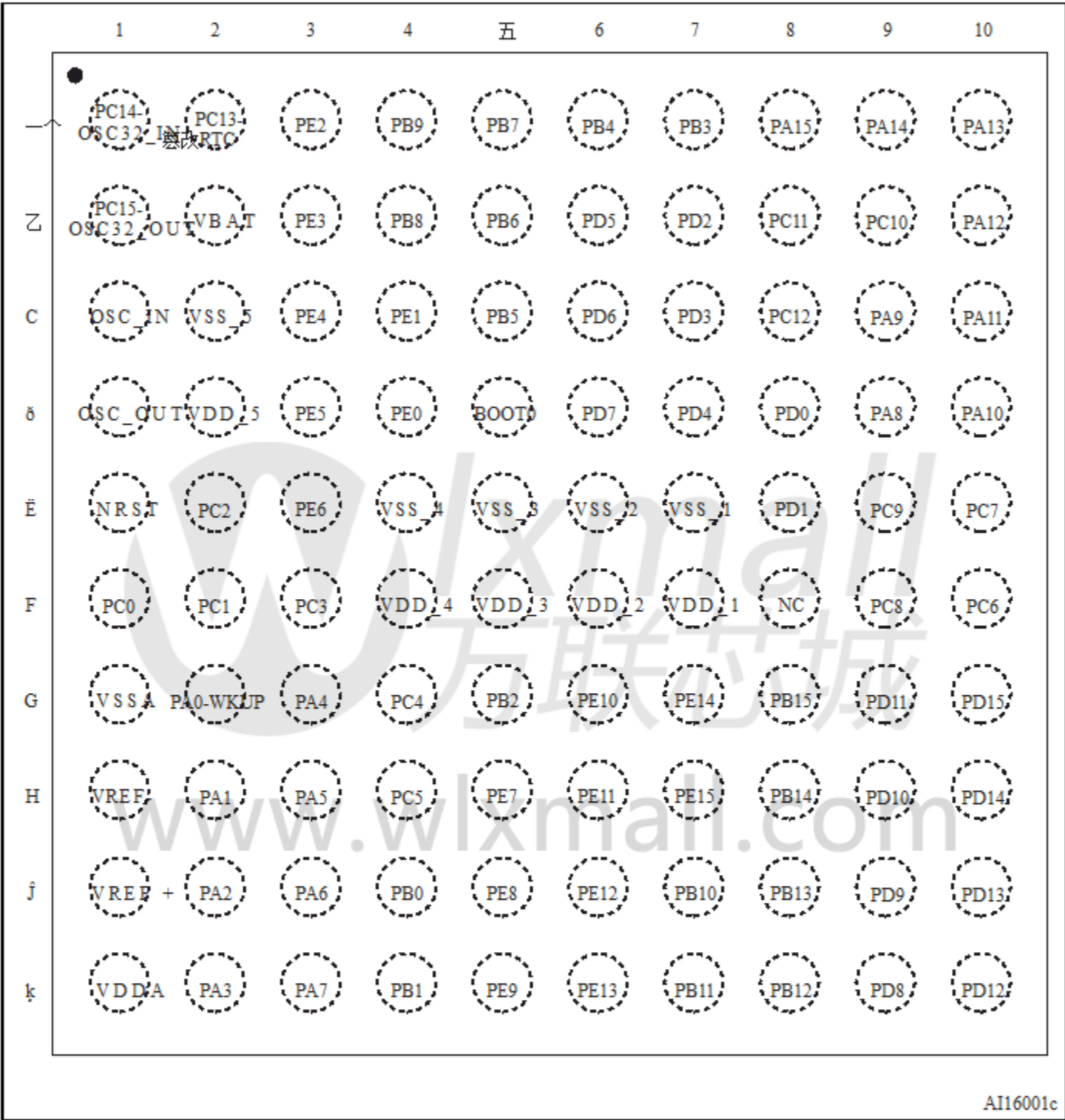


图4. STM32F103xx性能线路LQFP100引脚排列

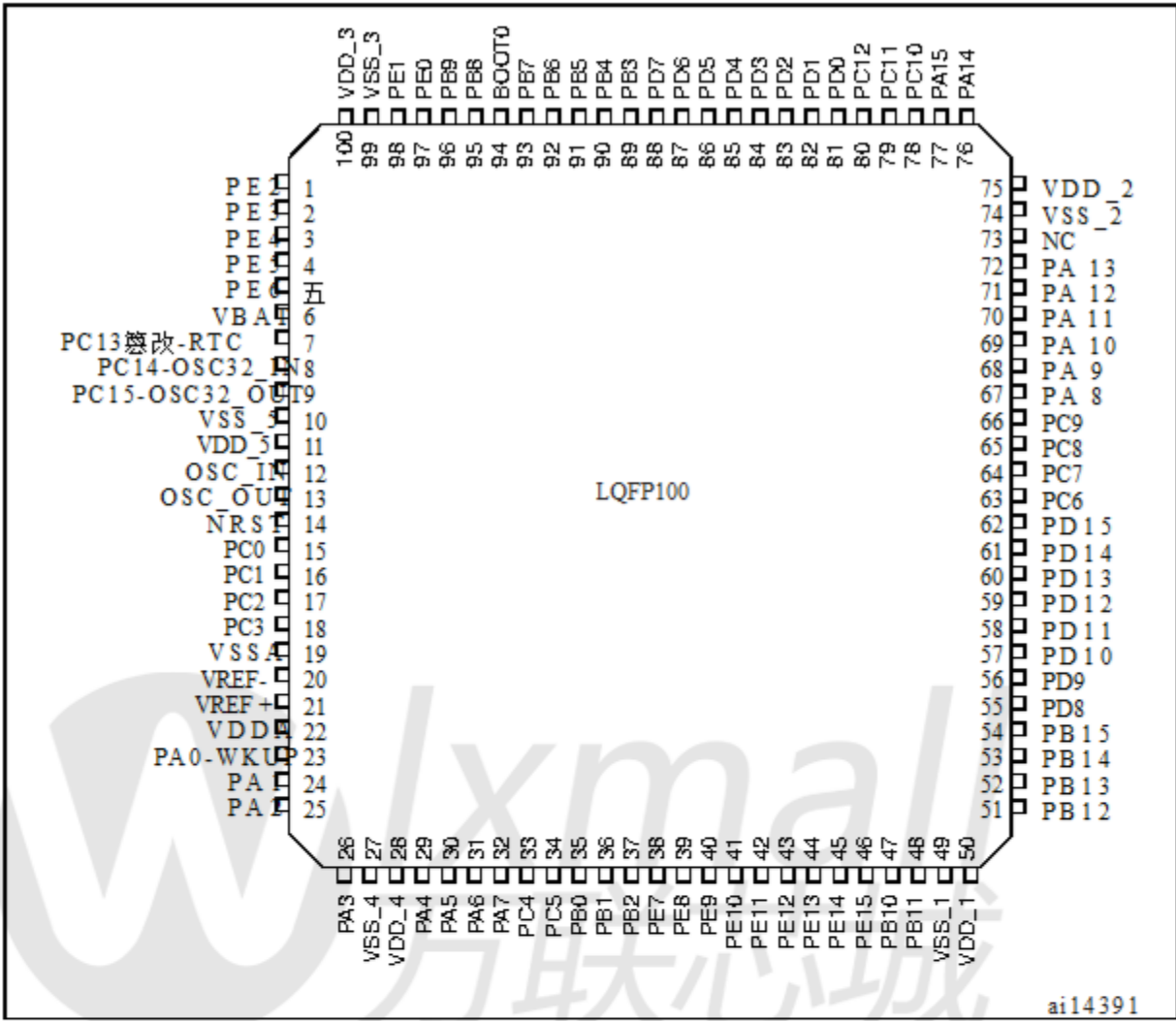
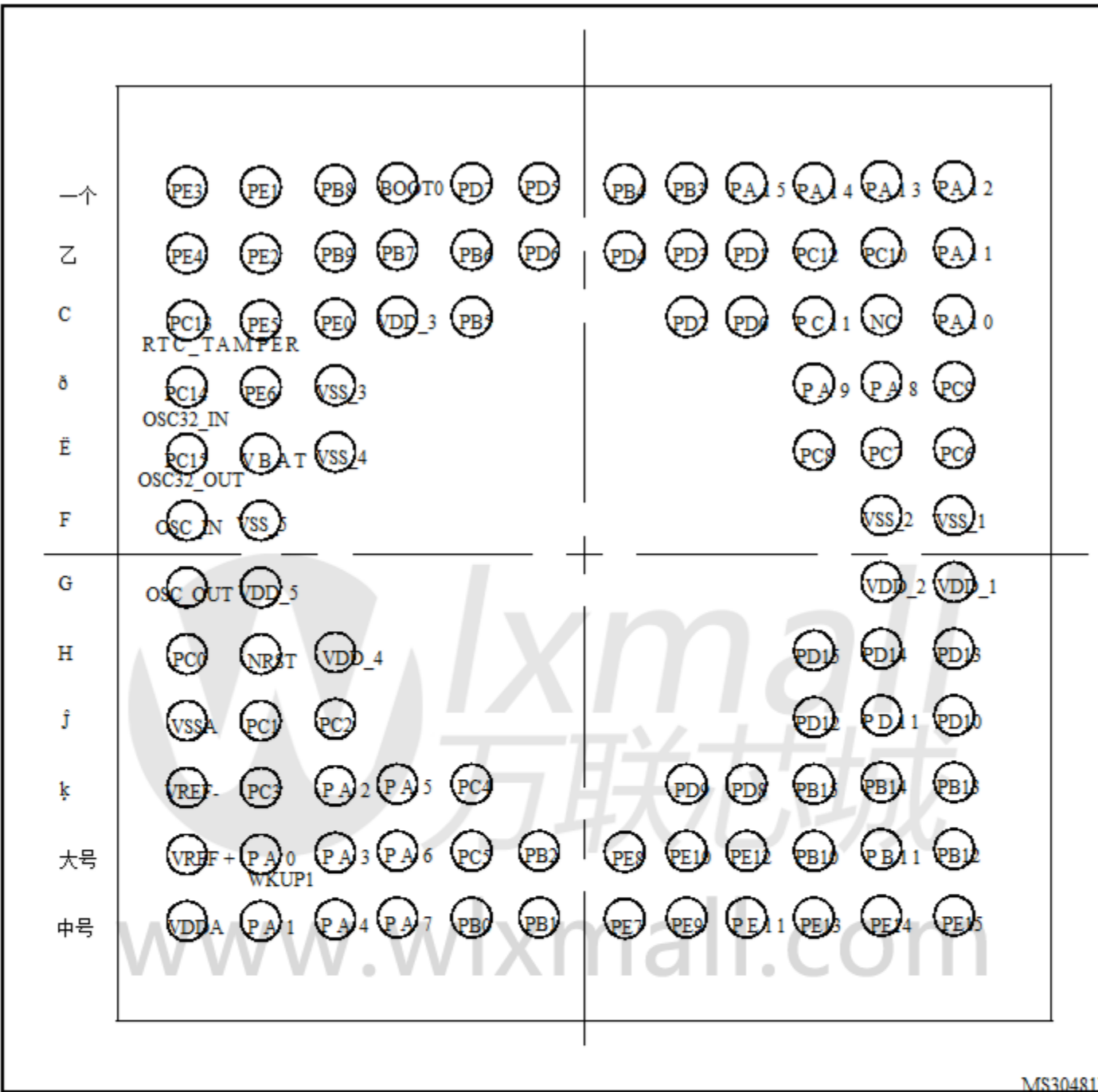
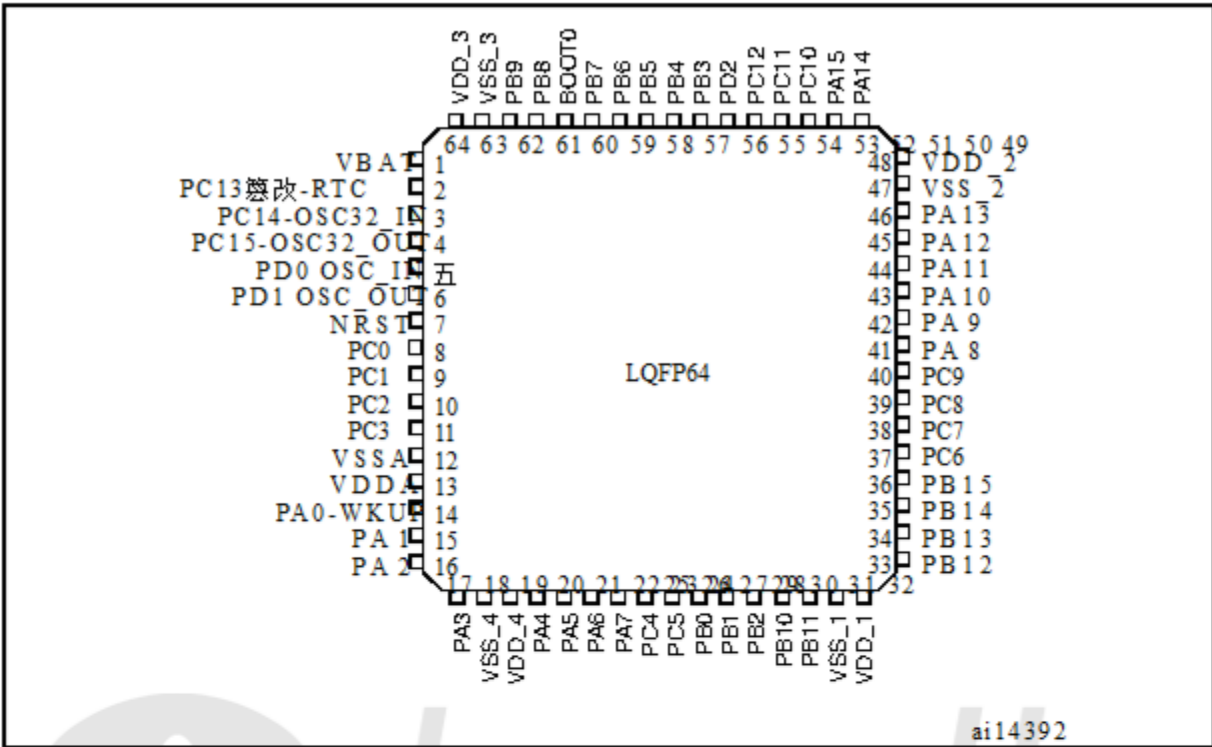


图5. STM32F103xx性能线UFBGA100引脚排列



MS30481V1

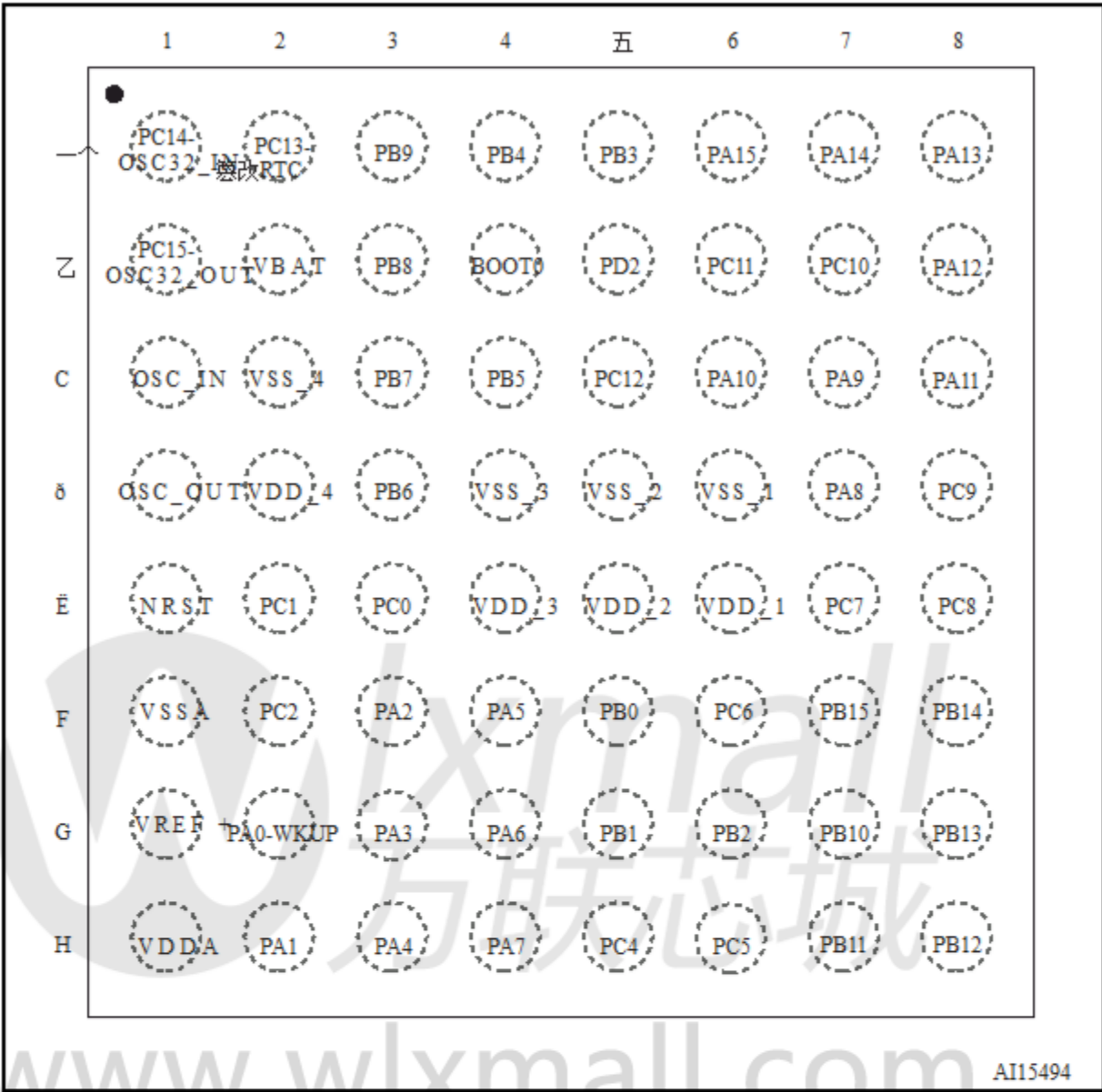
图6. STM32F103xx性能指标LQFP64引脚排列



Wlxmall
万联芯城
www.wlxmall.com



图7. STM32F103xx性能线TFBGA64调整



AI15494

图8. STM32F103xx性能线LQFP48引脚排列

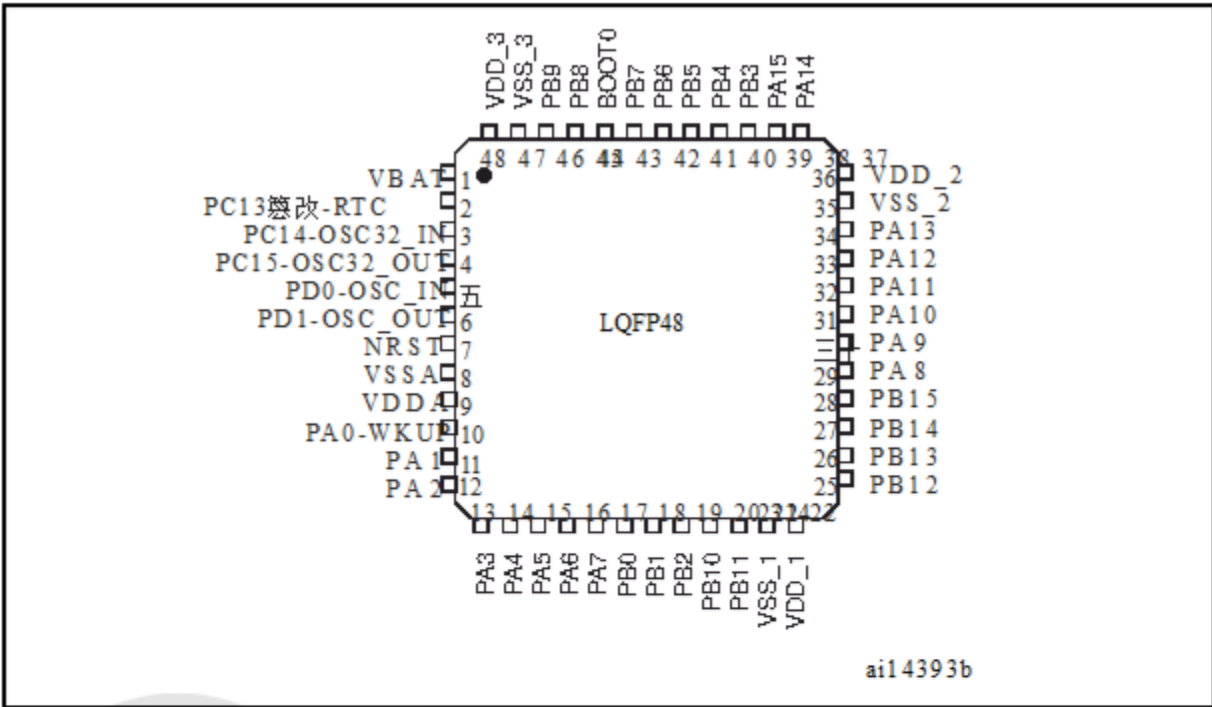


图9. STM32F103xx性能线UFQFPN48引脚排列

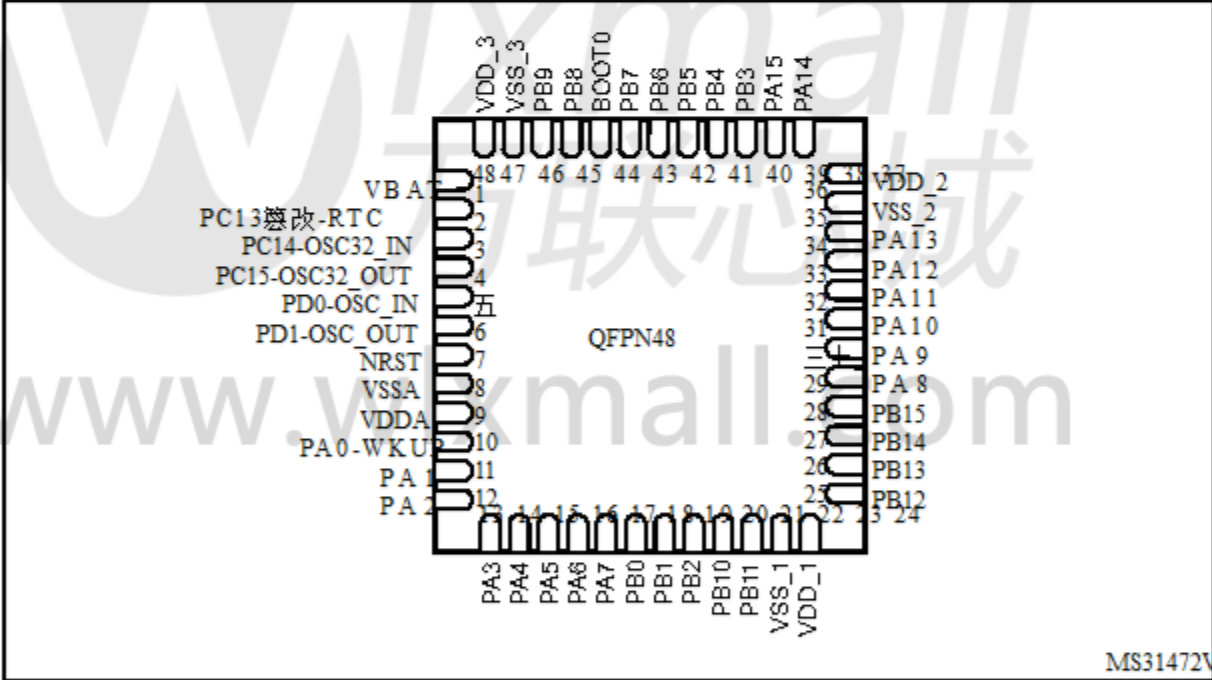


图10. STM32F103xx性能线VFQFPN36引脚排列

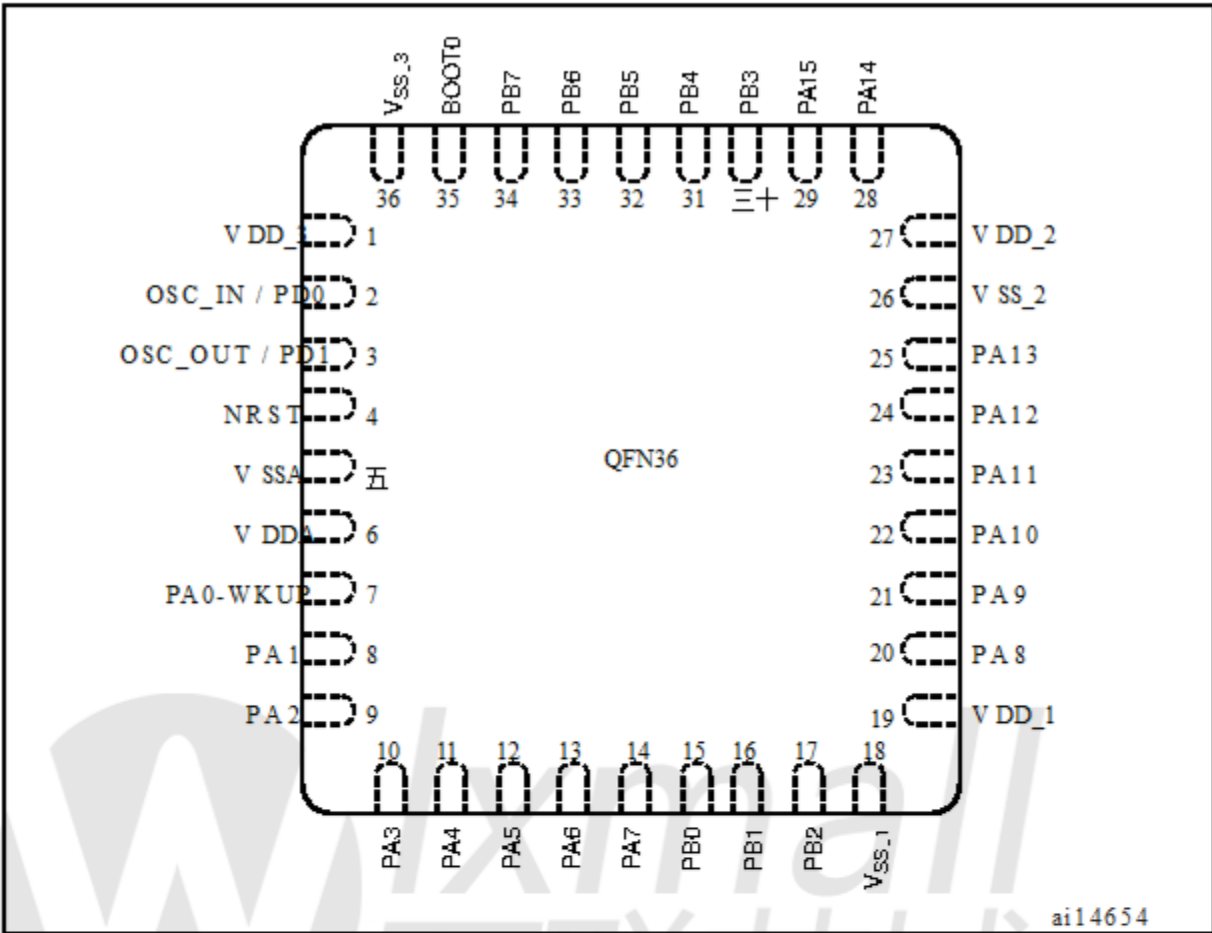


表5.中密度STM32F103xx引脚定义

销							引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LFBGA100	UFBG100	LQFP48/UFQFPN48	TFBGA64	LQFP64	LQFP100	VQFPN36					默认	重映射
A3	B2	-	-	-	1	-	PE2	I/O	FT	PE2	TRACECK	
B3	A1	-	-	-	2	-	PE3	I/O	FT	PE3	TRACED0	
C3	B1	-	-	-	3	-	PE4	I/O	FT	PE4	TRACED1	
D3	C2	-	-	-	4	-	PE5	I/O	FT	PE5	TRACED2	
E3	D2	-	-	-	五	-	PE6	I/O	FT	PE6	TRACED3	
B2	E2	1	B2	1	6	-	VBAT	S	V	BAT		
A2	C1	2	A2	2	7	-	PC13-篡改 RTC (5)	I/O		PC13 (6)	篡改RTC	
A1	D1	3	A1	3	8	-	PC14-OSC32_IN (5)	I/O		PC14 (6)	OSC32_IN	
B1	E1	4	B1	4	9	-	PC15- OSC32_OUT (5)	I/O		PC15 (6)	OSC32_OUT	
C2	F2	-	-	-	10	-	VSS_5	S	V	SS_5		
D2	G2	-	-	-	11	-	VDD_5	S	V	DD_5		
C1	F1	五	C1	五	12	2	OSC_IN	—	世	OSC_IN		PD0 (7)
D1	G1	6	D1	6	13	3	OSC_OUT	Ø		OSC_OUT		PD1 (7)
E1	H2	7	E1	7	14	4	NRST	I/O		NRST		
F1	H1	-	E3	8	15	-	PC0	I/O		PC0	ADC12_IN10	
F2	J2	-	E2	9	16	-	PC1	I/O		PC1	ADC12_IN11	
E2	J3	-	F2	10	17	-	PC2	I/O		PC2	ADC12_IN12	
F3	K2	-	- (8)	11	18	-	PC3	I/O		PC3	ADC12_IN13	
G1	J1	8	F1	12	19	五	VSSA	S	V	SSA		
H1	K1	-	-	-	20	-	VREF-	S	V	REF-		
J1	L1	-	G1 (8)	-	21	-	VREF+	S	V	REF+		
K1	M1	9	H1	13	22	6	VDDA	S	V	DDA		

表5.中密度STM32F103xx引脚定义 (续)

销							引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LFBGA100	UFBG100	LQFP48/JVQFPN48	TFBGA64	LQFP64	LQFP100	VQFPN36					默认	重映射
G2	L2	10	G2	14	23	7	PA0-WKUP	I / O		PA 0	WKUP / USART2_CTS (9) / ADC12_IN0 / TIM2_CH1_ETR (9)	
H2	M2	11	H2	15	24	8	PA 1	I/O		PA 1	USART2_RTS (9) / ADC12_IN1 / TIM2_CH2 (9)	
J2	K3	12	F3	16	25	9	PA 2	I/O		PA 2	USART2_TX (9) / ADC12_IN2 / TIM2_CH3 (9)	
K2	L3	13	G3	17	26	10	PA 3	I / O		PA 3	USART2_RX (9) / ADC12_IN3 / TIM2_CH4 (9)	
E4	E3	-	C2	18	27	-	V SS_4	S V	SS_4			
F4	H3	-	D2	19	28	-	V DD_4	S V	DD_4			
G3	M3	14	H3	20	29	11	PA 4	I / O		PA 4	SPI1_NSS (9) / USART2_CK (9) / ADC12_IN4	
H3	K4	15	F4	21	30	12	PA 5	I / O		PA 5	SPI1_SCK (9) / ADC12_IN5	
J3	L4	16	G4	22	31	13	PA 6	I / O		PA 6	SPI1_MISO (9) / ADC12_IN6 / TIM1_BKIN TIM3_CH1 (9)	
K3	M4	17	H4	23	32	14	PA 7	I / O		PA 7	SPI1_MOSI (9) / ADC12_IN7 / TIM1_CH1N TIM3_CH2 (9)	
G4	K5	-	H5	24	33		PC 4	I/O		PC 4	ADC12_IN14	
H4	L5	-	H6	25	34		PC 5	I/O		PC 5	ADC12_IN15	
J4	M5	18	F5	26	35	15	PB 0	I / O		PB0	ADC12_IN8 / TIM3_CH3 (9)	TIM1_CH2N
K4	M6	19	G5	27	36	16	PB 1	I / O		PB1	ADC12_IN9 / TIM3_CH4 (9)	TIM1_CH3N

表5.中密度STM32F103xx引脚定义 (续)

销							引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LFBGA100	UFBG100	LQFP48/JFQFPN48	TFBGA64	LQFP64	LQFP100	VFQFPN36					默认	重映射
G5	L6	20	G6	28	37	17	PB2	I/O FT		PB2 / BOOT1		
H5	M7	-	-	-	38	-	PE7	I/O FT		PE7		TIM1_ETR
J5	L7	-	-	-	39	-	PE8	I/O FT		PE8		TIM1_CH1N
K5	M8	-	-	-	40	-	PE9	I/O FT		PE9		TIM1_CH1
G6	L8	-	-	-	41	-	PE10	I/O FT		PE10		TIM1_CH2N
H6	M9	-	-	-	42	-	PE11	I/O FT		PE11		TIM1_CH2
J6	L9	-	-	-	43	-	PE12	I/O FT		PE12		TIM1_CH3N
K6	M10	-	-	-	44	-	PE13	I/O FT		PE13		TIM1_CH3
G7	M11	-	-	-	45	-	PE14	I/O FT		PE14		TIM1_CH4
H7	M12	-	-	-	46	-	PE15	I/O FT		PE15		TIM1_BKIN
J7	L10	21	G7	29	47	-	PB10	I/O FT		PB10	I2C2_SCL / USART3_TX (9)	TIM2_CH3
K7	L11	22	H7	三十	48	-	PB11	I/O FT		PB11	I2C2_SDA / USART3_RX (9)	TIM2_CH4
E7	F12	23	D6	31	49	18	VSS_1	SV		VSS_1		
F7	G12	24	E6	32	50	19	VDD_1	SV		VDD_1		
K8	L12	25	H8	33	51	-	PB12	I/O FT		PB12	SPI2_NSS / I2C2_SMBAL / USART3_CK (9) / TIM1_BKIN (9)	
J8	K12	26	G8	34	52	-	PB13	I/O FT		PB13	SPI2_SCK / USART3_CTS (9) / TIM1_CH1N (9)	
H8	K11	27	F8	35	53	-	PB14	I/O FT		PB14	SPI2_MISO / USART3_RTS (9) TIM1_CH2N (9)	
G8	K10	28	F7	36	54	-	PB15	I/O FT		PB15	SPI2_MOSI / TIM1_CH3N (9)	
K9	K9	-	-	-	55	-	PD8	I/O FT		PD8		USART3_TX
J9	K8	-	-	-	56	-	PD9	I/O FT		PD9		USART3_RX

表5.中密度STM32F103xx引脚定义 (续)

销							引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LFBGA100	UFBG100	LQFP48/JFQFPN48	TFBGA64	LQFP64	LQFP100	VFQFPN36					默认	重映射
H9	J12	-	-	-	57	-	PD10	I / O	FT	PD10		USART3_CK
G9	J11	-	-	-	58	-	PD11	I / O	FT	PD11		USART3_CTS
K10	J10	-	-	-	59	-	PD12	I / O	FT	PD12		TIM4_CH1 / USART3_RTS
J10	H12	-	-	-	60	-	PD13	I / O	FT	PD13		TIM4_CH2
H10	H11	-	-	-	61	-	PD14	I / O	FT	PD14		TIM4_CH3
G10	H10	-	-	-	62	-	PD15	I / O	FT	PD15		TIM4_CH4
F10	E12	-	F6	37	63	-	PC6	I / O	FT	PC6		TIM3_CH1
E10	E11		E7	38	64	-	PC7	I / O	FT	PC7		TIM3_CH2
F9	E10		E8	39	65	-	PC8	I / O	FT	PC8		TIM3_CH3
E9	D12	-	D8	40	66	-	PC9	I / O	FT	PC9		TIM3_CH4
D9	D11	29	D7	41	67	20	PA8	I / O	FT	PA8	USART1_CK / TIM1_CH1 (9) / MCO	
C9	D10	30	C7	42	68	21	PA9	I / O	FT	PA9	USART1_TX (9) / TIM1_CH2 (9)	
D10	C12	31	C6	43	69	22	PA10	I / O	FT	PA10	USART1_RX (9) / TIM1_CH3 (9)	
C10	B12	32	C8	44	70	23	PA11	I / O	FT	PA11	USART1_CTS / CANRX (9) / USBDM / TIM1_CH4 (9)	
B10	A12	33	B8	45	71	24	PA12	I / O	FT	PA12	USART1_RTS / CANTX (9) / USBDP TIM1_ETR (9)	
A10	A11	34	A8	46	72	25	PA13	I / O	FT	JTMS / SWDIO		PA13
F8	C11	-	-	-	73	-	未连接					
E6	F11	35	D5	47	74	26	VSS_2	S	V	SS_2		
F6	G11	36	E5	48	75	27	VDD_2	S	V	DD_2		

表5.中密度STM32F103xx引脚定义 (续)

销							引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LFBGA100	UFBG100	LQFP48/JFQFPN48	TFBGA64	LQFP64	LQFP100	VFQFPN36					默认	重映射
A9	A10	37	A7	49	76	28	PA14	I/O	FT	JTCK / SWCLK		PA14
A8	A9	38	A6	50	77	29	PA15	I/O	FT	JTDI		TIM2_CH1_ETR / PA15 / SPI1_NSS
B9	B11	-	B7	51	78		PC10	I/O	FT	PC10		USART3_TX
B8	C10	-	B6	52	79		PC11	I/O	FT	PC11		USART3_RX
C8	B10	-	C5	53	80		PC12	I/O	FT	PC12		USART3_CK
-	C9	-	C1	-	81	2	PD0	I/O	FT	PD0		CANRX
-	B9	-	D1	-	82	3	PD1	I/O	FT	PD1		CANTX
B7	C8		B5	54	83	-	PD2	I/O	FT	PD2	TIM3_ETR	
C7	B8	-	-	-	84	-	PD3	I/O	FT	PD3		USART2_CTS
D7	B7	-	-	-	85	-	PD4	I/O	FT	PD4		USART2_RTS
B6	A6	-	-	-	86	-	PD5	I/O	FT	PD5		USART2_TX
C6	B6	-	-	-	87	-	PD6	I/O	FT	PD6		USART2_RX
D6	A5	-	-	-	88	-	PD7	I/O	FT	PD7		USART2_CK
A7	A8	39	A5	55	89	30	PB3	I/O	FT	JTDO		TIM2_CH2 / PB3 / TRACESWO / SPI1_SCK
A6	A7	40	A4	56	90	31	PB4	I/O	FT	JNTRST		TIM3_CH1 / PB4 / SPI1_MISO
C5	C5	41	C4	57	91	32	PB5	I/O		PB5	I2C1_SMBAL	TIM3_CH2 / SPI1_MOSI
B5	B5	42	D3	58	92	33	PB6	I/O	FT	PB6	I2C1_SCL (9) / TIM4_CH1 (9)	USART1_TX
A5	B4	43	C3	59	93	34	PB7	I/O	FT	PB7	I2C1_SDA (9) / TIM4_CH2 (9)	USART1_RX
D5	A4	44	B4	60	94	35	BOOT0	—	—	BOOT0		

表5.中密度STM32F103xx引脚定义（续）

销							引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能（3） （复位后）	备用功能（4）	
LFBGA100	UFBG100	LQFP48/UQFPN48	TFBGA64	LQFP64	LQFP100	VQFPN36					默认	重映射
B4	A3	45	B3	61	95	-	PB8	I / O	FT	PB8	TIM4_CH3 (9)	I2C1_SCL / CANRX
A4	B3	46	A3	62	96	-	PB9	I / O	FT	PB9	TIM4_CH4 (9)	I2C1_SDA / CANTX
D4	C3	-	-	-	97	-	PE0	I / O	FT	PE0	TIM4_ETR	
C4	A2	-	-	-	98	-	PE1	I / O	FT	PE1		
E5	D3	47	D4	63	99	36	VSS_3	S	V	SS_3		
F5	C4	48	E4	64	00	1	VDD_3	S	V	DD_3		

I = 输入，O = 输出，S = 电源。

FT = 5 V 容限。

功能可用性取决于所选设备。对于具有减少的外围计数的设备，它总是较低。包括的外设数量。例如，如果设备只有一个SPI和两个USART，它们将被称为SPI1和USART1和USART2。请参阅第10页的表2。

4. 如果几个外设共享相同的I / O引脚，为避免这些备用功能之间的冲突，只能有一个外设通过外设时钟使能位（在相应的RCC外设时钟使能寄存器中）一次使能。

PC13, PC14和PC15通过电源开关提供。由于开关只能吸收有限的电流（3 mA），输出模式下GPIO PC13至PC15的使用受限制：速度不应超过2 MHz，最大负载为30 pF，这些IO不能用作电流源（例如驱动LED）。

6. 第一个备份域上电后的主要功能。以后，它取决于备份寄存器的内容。复位后（因为这些寄存器不被主复位复位），有关如何管理这些IO的详细信息，请参阅电池备份域和BKP寄存器描述部分在STM32F10xxx参考手册中，可从意法半导体网站：www.st.com。

7. VQFPN36封装中的引脚号2和3，LQFP48，UQFP48和LQFP64封装中的5和6，以及C1并且TFBGA64软件包中的C2在复位后配置为OSC_IN / OSC_OUT，但是PD0和PD1可以通过这些引脚上的软件重新映射。对于LQFP100封装，PD0和PD1默认可用。没有必要重新映射。有关详细信息，请参阅“备用功能I / O”和“调试配置”部分STM32F10xxx参考手册。在输出模式下使用PD0和PD1是有限的，因为它们只能在输出模式下以50 MHz使用。

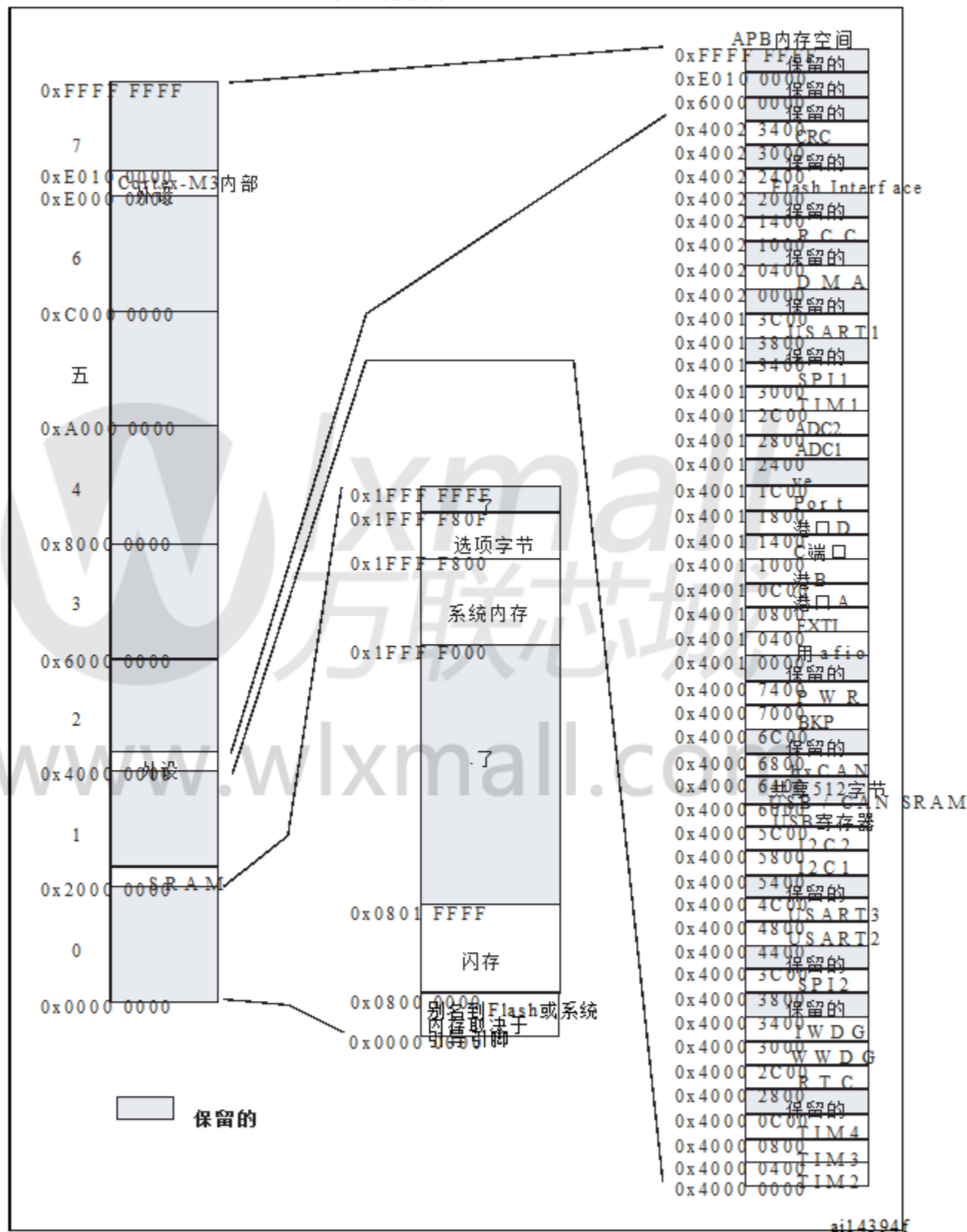
与LQFP64封装不同，TFBGA64封装中没有PC3。提供VREF+功能。

9. 这个替代功能可以由软件重新映射到其他端口引脚（如果在使用的软件包上可用）。更多详细信息，请参阅STM32F10xxx参考手册中的备用功能I / O和调试配置部分来自意法半导体的网站：www.st.com。

4 内存映射

存储器映射如图11所示。

图11.内存图



五 电气特性

5.1 参数条件

除非另有说明，否则所有电压均以 V_{SS} 为参考。

5.1.1 最小值和最大值

除非另有规定，否则最坏和最大值都得到保证
环境温度条件，供电电压和频率通过生产测试
100%的环境温度在 $T_A = 25^{\circ}\text{C}$, $T_A = T_{A\max}$ (由
所选温度范围)。

基于表征结果的数据，设计模拟和/或技术特征
在表脚注中指出，并没有在生产中进行测试。基于
表征，最小值和最大值是指样品测试并代表
平均值加或减三倍标准差 (平均值 $\pm 3\sigma$)。

5.1.2 典型值

除非另有规定，典型数据基于 $T_A = 25^{\circ}\text{C}$, $V_{DD} = 3.3\text{ V}$ (对于
2V $V_{DD} = 3.6\text{ V}$ 电压范围)。它们仅作为设计指南而不是
测试。

典型的ADC精度值通过一批样品的表征来确定
在整个温度范围内的标准扩散批次，其中95%的器件具有
误差小于或等于所示值 (平均值 $\pm 2\sigma$)。

5.1.3 典型曲线

除非另有说明，否则所有典型曲线仅作为设计指南给出
没有测试。

5.1.4 加载电容

用于引脚参数测量的负载条件如图12所示。

5.1.5 引脚输入电压

图13中描述了器件引脚上的输入电压测量。

图12.针加载条件

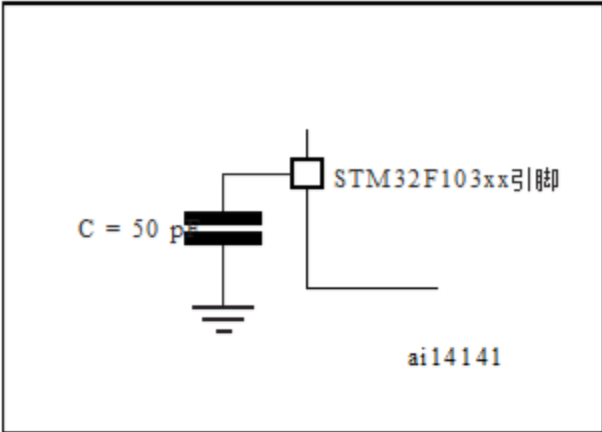
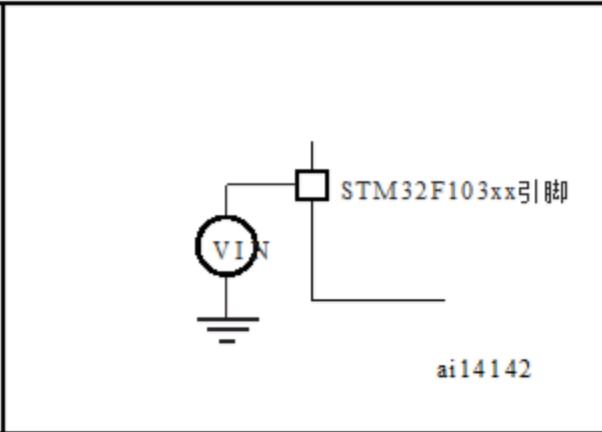
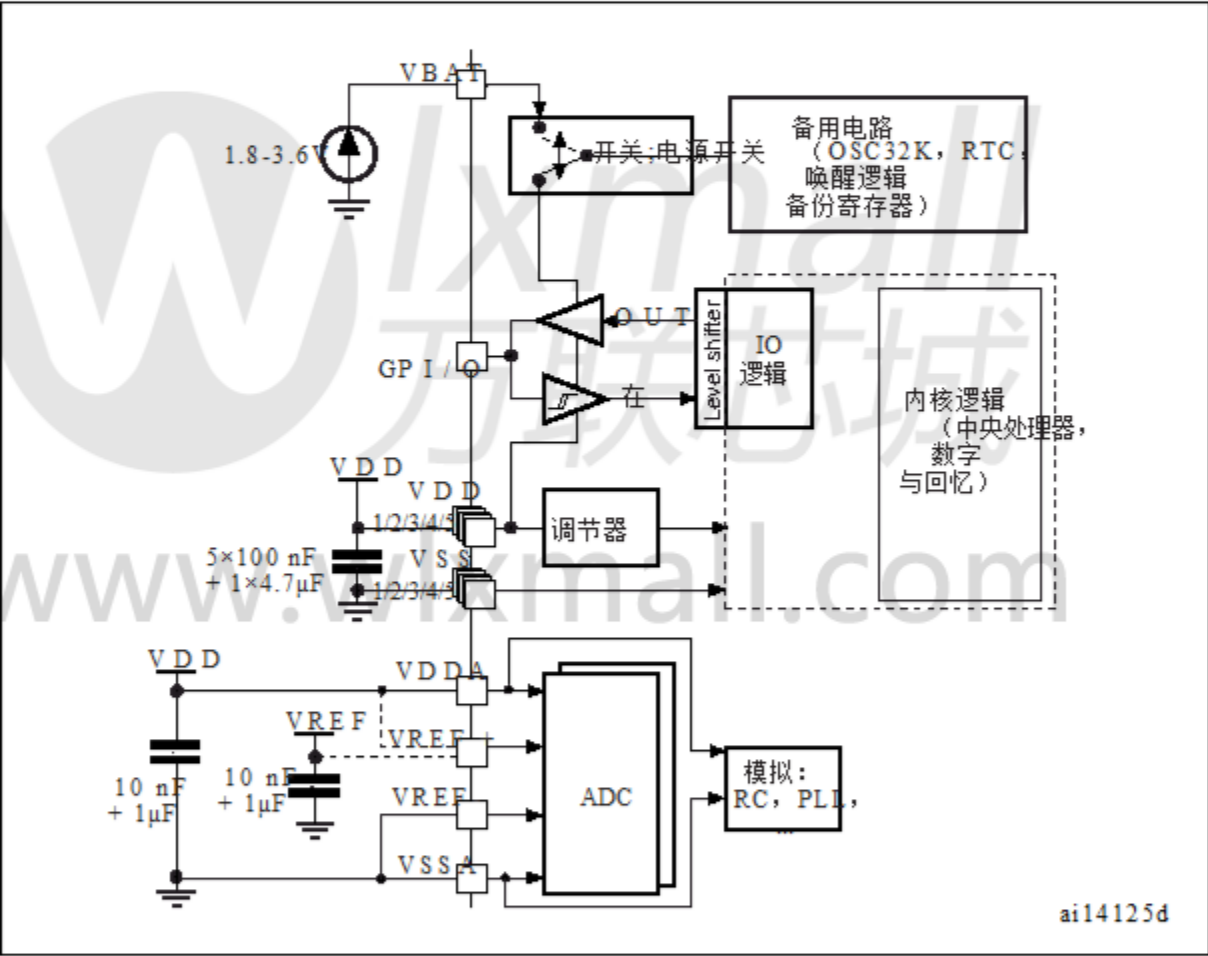


图13.引脚输入电压



5.1.6 供电方案

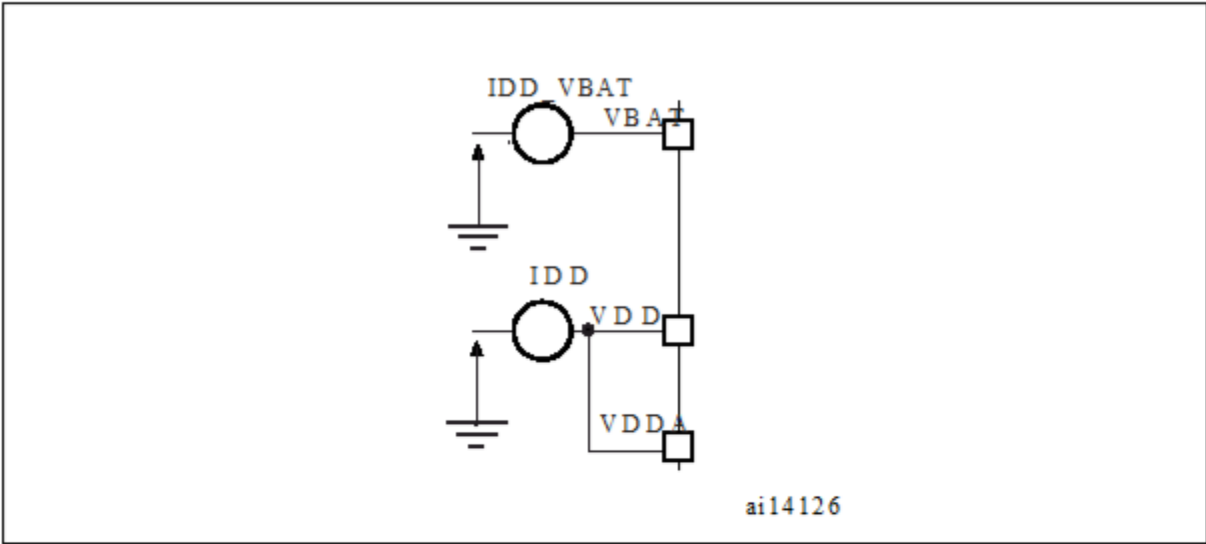
图14.电源方案



警告：在图14中，4.7 F电容必须连接到VDD3。

5.1.7 电流消耗测量

图15.电流消耗测量方案



5.2 绝对最大额定值

强度高于表6中的绝对最大额定值：电压特性，表7：电流特性和表8：热特性可能导致永久性损坏设备。这些只是压力额定值和设备的功能操作在这些条件下并不暗示。暴露于最大额定条件下延长周期可能会影响设备的可靠性。

表6.电压特性

符号	评级	敏	马克斯	单元
VDDA/VSS	外部主电源电压（包括VDDA和VDD）（1）	-0.3	4	V
VIN（2）	输入电压为5伏特的引脚	VSS+0.3	VDD+4.0	
	任何其他引脚上的输入电压	VSS+0.3	4	
ΔVDDx	不同VDD电源引脚之间的变化		50	毫伏
VSSx/VSS	所有不同之处的差异 销		50	
VESD（HBM）	静电放电电压（人体模型）	见第5.3.11节：绝对最大额定值（电气灵敏度）		

1.所有主电源（VDD，VDDA）和地（VSS，VSSA）引脚必须始终连接到外部电源供应，在允许范围内。
必须始终尊重VIN最大值。请参考表7：最大电流特性允许注入电流值。

表7.电流特性

符号	评级	最大	单元
我 VDD	VDD / VDDA 电源线 (源) 的总电流 (1)	150	嘛
我 VSS	VSS 地线 (汇) 中的总电流 (1)	150	
我 IO	任何 I / O 和控制引脚输出电流下降	25	
	任何 I / O 和控制引脚输出电流源	±25	
我 INJ (PIN)	五伏特引脚上的注入电流 (3)	-5 / +0	
	任何其他引脚上的注入电流 (4)	±5	
±IINJ (PIN)	总注入电流 (所有 I / O 和控制引脚的总和) (5)	±25	

1. 所有主电源 (VDD, VDDA) 和地 (VSS, VSSA) 引脚必须始终连接到外部电源供应, 在允许范围内.

负注入会扰乱设备的模拟性能. 请参见第77页的注释2.

3. 这些 I / O 无法进行正向注入. V IN < VSS 引起负注入. 我 INJ (PIN) 必须永远不会被超越参见表6: 最大允许输入电压的电压特性值.

4. 当 V IN > VDD 引起正向注入时, V IN < VSS 引起负注入. 我 INJ (PIN) 必须永远不会被超越参见表6: 最大允许输入电压的电压特性值.

5. 当多次输入提交到当前注射时, 最大值
正, 负注入电流 (瞬时值). ±IINJ (PIN) 是绝对值

表8.热特性

符号	评级	值	单元
T STG	存储温度范围	-65至+150	C
T J	最大结温	150	C

5.3 运行条件

5.3.1 一般操作条件

表9.一般操作条件

符号	参数	条件	敏	马克斯	单元
f HCLK	内部AHB时钟频率		0	72	兆赫
f PCLK1	内部APB1时钟频率		0	36	
f PCLK2	内部APB2时钟频率		0	72	
V DD	标准工作电压		2	3.6	V
VDA (1)	模拟工作电压 (ADC未使用)	必须具有相同的潜力 作为V DD (2)	2.3	3.6	
	模拟工作电压 (使用ADC)		2.4	3.6	
V BAT	备用工作电压		1.8	3.6	

表9.一般业务条件（续）

符号	参数	条件	敏	马克斯	单元
V _{IN}	I/O输入电压	标准IO	-0.3	V _{DD} + 0.3	V
		FT IO (3)	2 V < V _{DD} 3.6 V -0.3	5.5	
			V _{DD} = 2 V	5.2	
		BOOT0	0	5.5	
P _D	T _A = 功耗 85°C, 后继6或T _A = 后继为105°C (4)	LFBGA100		454	毫瓦
		LQFP100		434	
		UFBGA100		339	
		TFBGA64		308	
		LQFP64		444	
		LQFP48		363	
		UFQFPN48		624	
		VFQFPN36		1000	
T _A	环境温度为6°C 后继版本	最大功耗	-40	85	C
		低功耗 (5)	-40	105	
	环境温度为7°C 后继版本	最大功耗	-40	105	
		低功耗 (5)	-40	125	
T _J	结温范围	6后继版本	-40	105	
		7后继版本	-40	125	

1. 使用ADC时，请参考表46：ADC特性。
2. 建议从同一来源为V_{DD}和V_{DDA}供电，最大差值为300 mV
在V_{DD}和V_{DDA}之间可以在上电和操作期间容忍。
3. 为了维持高于V_{DD} + 0.3V的电压，必须禁止内部上拉/下拉电阻。
4. 如果T_A较低，只要T_J不超过T_{Jmax}，则允许较高的P_D值（见表6.2：Thermal
特性在第93页）。
5. 在低功耗状态下，只要T_J不超过T_{Jmax}，T_A可以扩展到此范围
表6.2：第93页的热特性）。

5.3.2 上电/掉电时的工作条件

根据T_A的一般操作条件。

表10.上电/掉电时的工作条件

符号	参数	条件	敏	马克斯	单元
t _{VDD}	V _{DD} 上升时间率		0		微秒/V
	V _{DD} 下降时间率		20		

5.3.3 嵌入式复位和功率控制块特性

表11中给出的参数来源于环境下进行的测试
 温度和V_{DD}电源电压条件总结在表9中。

表11.嵌入式复位和功率控制块特性

符号	参数	条件	敏	典型	马克斯	单元
V PVD	可编程电压 检测器级别选择	PLS [2: 0] = 000 (上升沿)	2.1	2.18	2.26	V
		PLS [2: 0] = 000 (下降沿)	2	2.08	2.16	
		PLS [2: 0] = 001 (上升沿)	2.19	2.28	2.37	
		PLS [2: 0] = 001 (下降沿)	2.09	2.18	2.27	
		PLS [2: 0] = 010 (上升沿)	2.28	2.38	2.48	
		PLS [2: 0] = 010 (下降沿)	2.18	2.28	2.38	
		PLS [2: 0] = 011 (上升沿)	2.38	2.48	2.58	
		PLS [2: 0] = 011 (下降沿)	2.28	2.38	2.48	
		PLS [2: 0] = 100 (上升沿)	2.47	2.58	2.69	
		PLS [2: 0] = 100 (下降沿)	2.37	2.48	2.59	
		PLS [2: 0] = 101 (上升沿)	2.57	2.68	2.79	
		PLS [2: 0] = 101 (下降沿)	2.47	2.58	2.69	
		PLS [2: 0] = 110 (上升沿)	2.66	2.78	2.9	
		PLS [2: 0] = 110 (下降沿)	2.56	2.68	2.8	
		PLS [2: 0] = 111 (上升沿)	2.76	2.88	3	
		PLS [2: 0] = 111 (下降沿)	2.66	2.78	2.9	
V PVDhyst (2)	PVD滞后			100		毫伏
V POR / PDR	开机/关机 复位阈值	坠落边缘	1.8 (1)	1.88	1.96	V
		上升沿	1.84	1.92	2.0	
V PDRhyst (2)	PDR滞后			40		毫伏
T RSTTEMPO	重置临时		1	2.5	4.5	女士

- 1.产品行为由设计保证为最小V POR / PDR值。
- 2.设计保证，未经生产测试。

5.3.4 嵌入式参考电压

表12中给出的参数来自于在环境温度下进行的测试
 温度和V_{DD}电源电压条件总结在表9中。

表12.嵌入式内部参考电压

符号	参数	条件	敏	典型	马克斯	单元
V _{REFINT}	内部参考电压	-40°C < T _A <+ 105°C	1.16	1.20	1.26	V
		-40°C < T _A <+85°C	1.16	1.20	1.24	
T _{S_vrefint} (1)	ADC采样时间 阅读内部参考电压			5.1	17.1 (2)	微秒
V _{RERINT} (2)	内部参考电压 蔓延温度 范围	V _{DD} = 3 V±10 mV			10	毫伏
T _{科夫} (2)	温度系数				100	PPM /°C

最短采样时间可以通过多次迭代在应用中确定。
 2.设计保证，未经生产测试。

5.3.5 供电电流特性

目前的消费是几个参数和因素的函数
 工作电压，环境温度，I/O引脚加载，器件软件配置，
 工作频率，I/O引脚切换速率，存储器中的程序位置并执行
 二进制代码。
 电流消耗量如图15所示进行测量：电流消耗
 测量方案。
 本节中给出的所有运行模式电流消耗测量用a执行
 减少代码，给出相当于Dhrystone 2.1代码的消费。

最大电流消耗

MCU处于以下条件下：

- 所有I/O引脚都处于输入模式，静态值为V_{DD}或V_{SS}（无负载）
- 所有外设都被禁用，除非明确提到
- Flash存储器访问时间调整为f_{HCLK}频率（0等待状态从0到24 MHz，1等待状态从24到48 MHz和2个等待状态）
- 预读取ON（提醒：此位必须在时钟设置和总线预分频之前设置）
- 当外设使能时，PCLK1 = f_{HCLK} / 2，f_{PCLK2} = f_{HCLK}

表13，表14和表15中给出的参数来源于所进行的试验
 在环境温度和V_{DD}电源电压条件下总结在表9中。

表13.运行模式下的最大电流消耗，带数据处理的代码
从Flash运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85℃	T A = 105℃	
我 DD	电源电流 运行模式	外部时钟 (2)，全部 外设启用	72 MHz	50	50.3	嘛
			48 MHz	36.1	36.2	
			36 MHz	28.6	28.7	
			24 MHz	19.9	20.1	
			16 MHz	14.7	14.9	
			8 MHz	8.6	8.9	
		外部时钟 (2)，全部 外设禁用	72 MHz	32.8	32.9	
			48 MHz	24.4	24.5	
			36 MHz	19.8	19.9	
			24 MHz	13.9	14.2	
			16 MHz	10.7	11	
			8 MHz	6.8	7.1	

1.基于表征，未在生产中测试。

2.当 HCLK > 8 MHz 时，外部时钟为 8 MHz，PLL 为 ON。

表14.运行模式下的最大电流消耗，带数据处理的代码
从RAM运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85℃	T A = 105℃	
我 DD	供应 目前在 运行模式	外部时钟 (2)，全部 外设启用	72 MHz	48	50	嘛
			48 MHz	31.5	32	
			36 MHz	24	25.5	
			24 MHz	17.5	18	
			16 MHz	12.5	13	
			8 MHz	7.5	8	
		外部时钟 (2)，全部 外设禁用	72 MHz	29	29.5	
			48 MHz	20.5	21	
			36 MHz	16	16.5	
			24 MHz	11.5	12	
			16 MHz	8.5	9	
			8 MHz	5.5	6	

1.基于表征，在生产中测试 V DD max, f HCLK max.

2.当 HCLK > 8 MHz 时，外部时钟为 8 MHz，PLL 为 ON。

图16.运行模式与频率（3.6 V）下的典型电流消耗 -
数据处理从RAM运行，外设启用

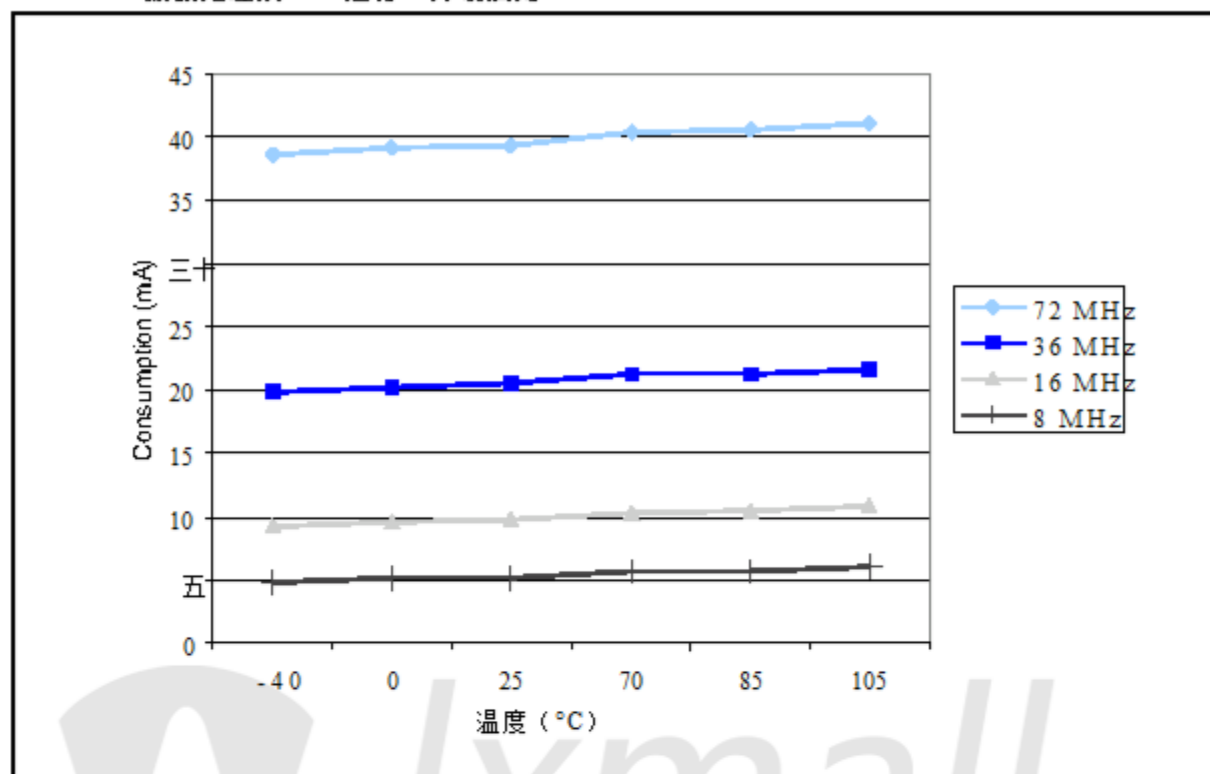


图17.运行模式与频率（3.6 V时）的典型电流消耗 -
数据处理从RAM运行的代码，外设禁用

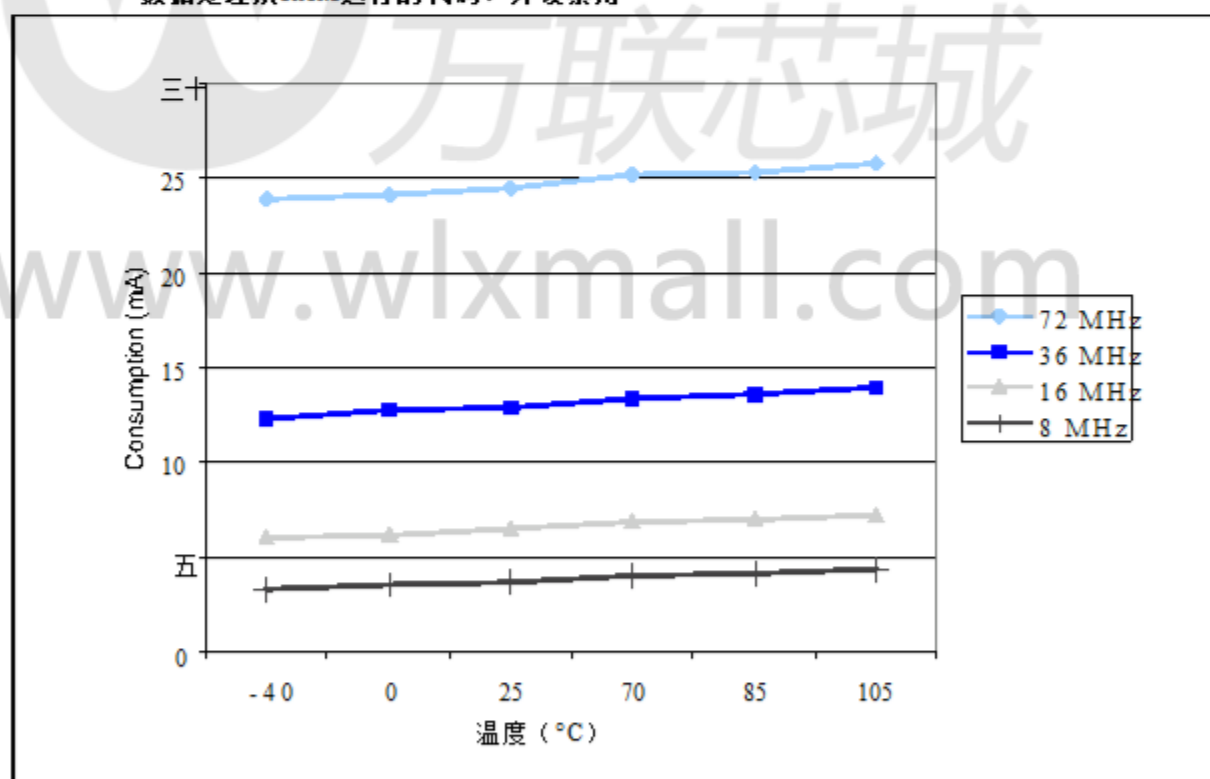


表15.睡眠模式下的最大电流消耗，从Flash或
随机存取存储器

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85℃	T A = 105℃	
我 DD	电源电流 睡眠模式	外部时钟 (2)，全部 外设启用	72 MHz	三十	32	嘛
			48 MHz	20	20.5	
			36 MHz	15.5	16	
			24 MHz	11.5	12	
			16 MHz	8.5	9	
			8 MHz	5.5	6	
		外部时钟 (2)，全部 外设禁用	72 MHz	7.5	8	
			48 MHz	6	6.5	
			36 MHz	五	5.5	
			24 MHz	4.5	五	
			16 MHz	4	4.5	
			8 MHz	3	4	

1.基于特性，在生产中测试V DD max，fHCLK max，启用外设。
2.当 HCLK > 8 MHz时，外部时钟为8 MHz，PLL为ON。

Wlxmall
万联芯城
www.wlxmall.com

表16.停止和待机模式下的典型和最大电流消耗

符号	参数	条件	典型 (1)			马克斯		单元
			V DD / V BAT = 2.0 V	V DD / V BAT = 2.4 V	V DD / V BAT = 3.3 V	T A = 85°C	T A = 105°C	
I DD	供电电流在停止模式	调节器处于运行模式，低速和高速内部RC振荡器和高速振荡器OFF（无独立看门狗）	-	23.5	24	200	370	μA
		低功耗模式下的稳压器，速度和高速内部RC振荡器和高速振荡器OFF（无独立看门狗）	-	13.5	14	180	340	
	供电电流在待机模式	低速内部RC振荡器和独立看门狗开	-	2.6	3.4	-	-	
		低速内部RC振荡器ON，独立看门狗关闭	-	2.4	3.2	-	-	
		低速内部RC振荡器和独立看门狗关机，低电平高速振荡器和RTC OFF	-	1.7	2	4	5	
I DD_VBAT	备用域名供应当前	低速振荡器和RTC ON	0.9	1.1	1.4	1.9 (2)	2.2	

典型值在T A = 25°C下测量。

2.基于表征，未在生产中测试。

图18. V BAT 的典型电流消耗，RTC对温度不同

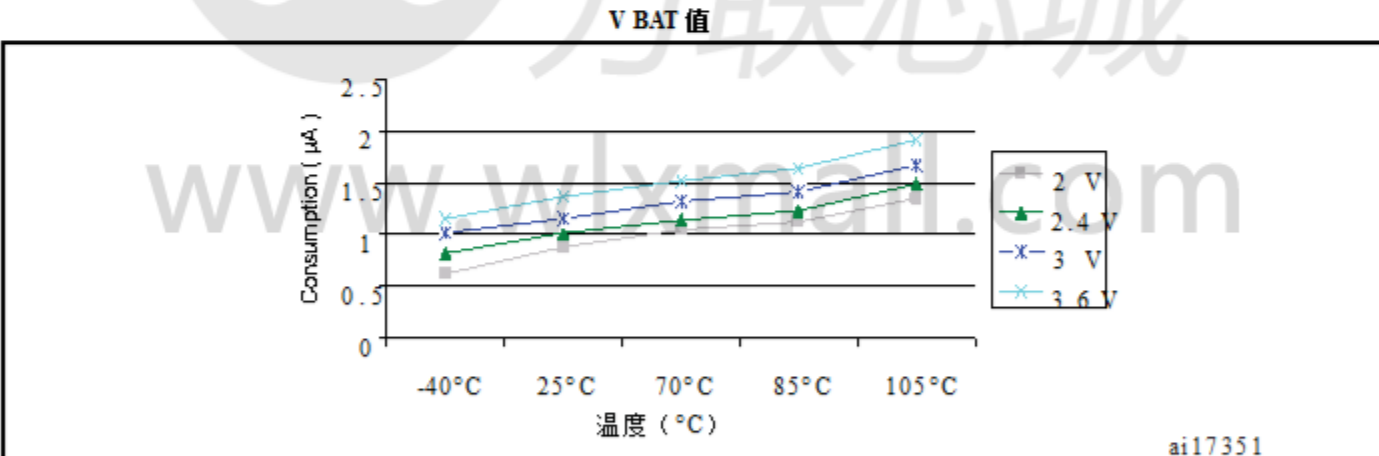


图19.运行模式下稳压器的停止模式下的典型电流消耗
温度在 $V_{DD} = 3.3\text{ V}$ 和 3.6 V

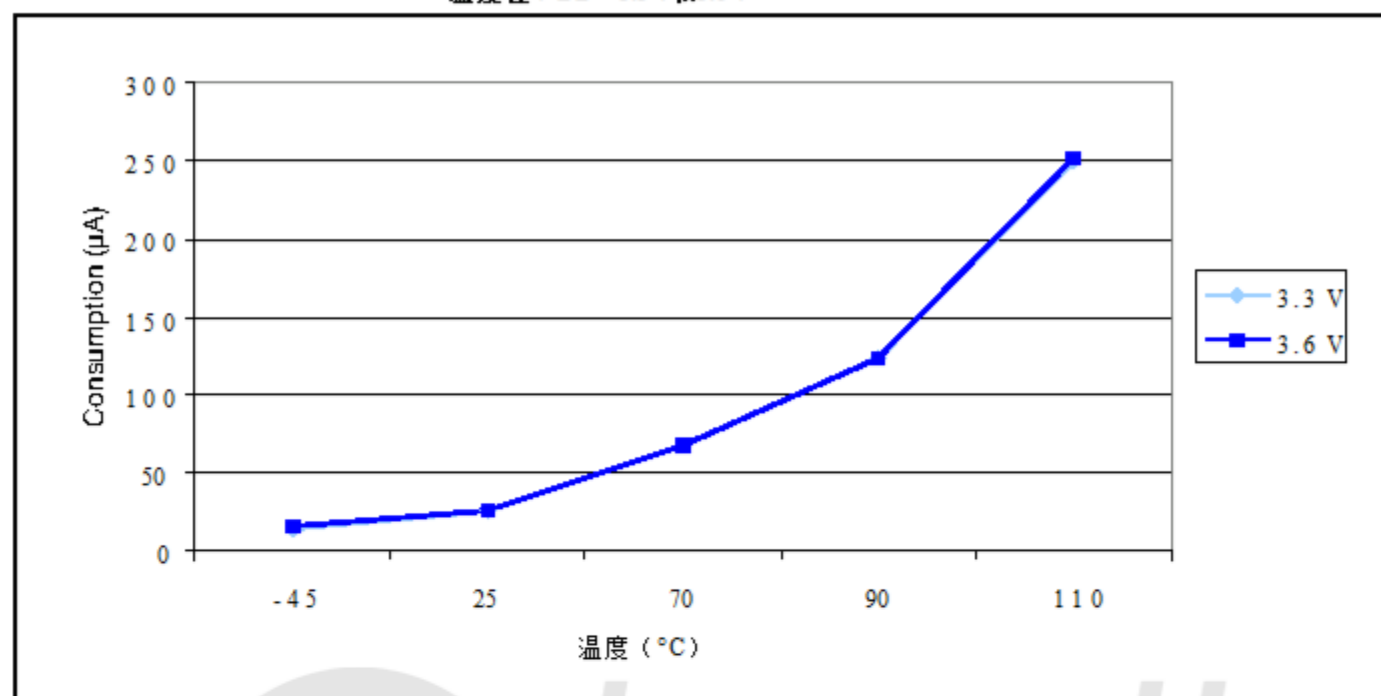


图20.低功耗模式下稳压器的停止模式下的典型电流消耗
温度在 $V_{DD} = 3.3\text{ V}$ 和 3.6 V

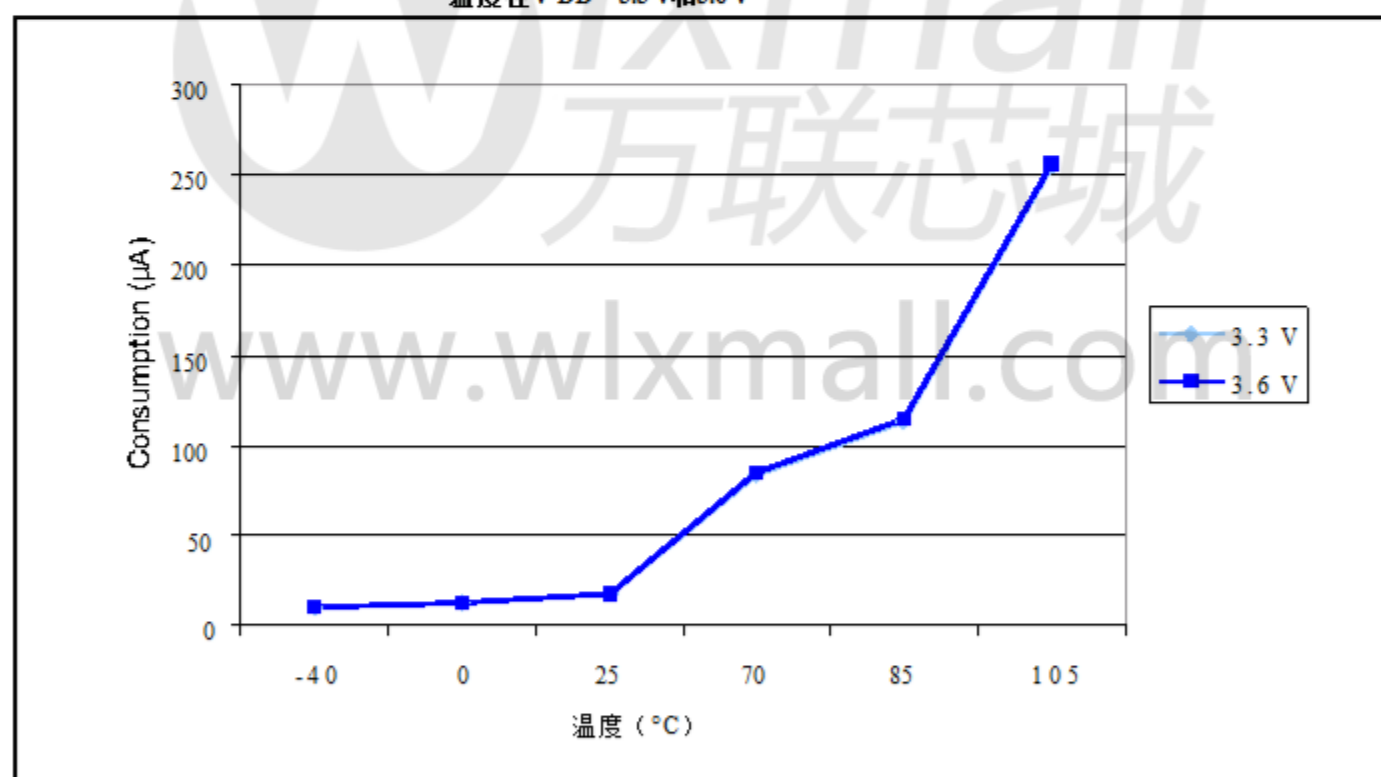
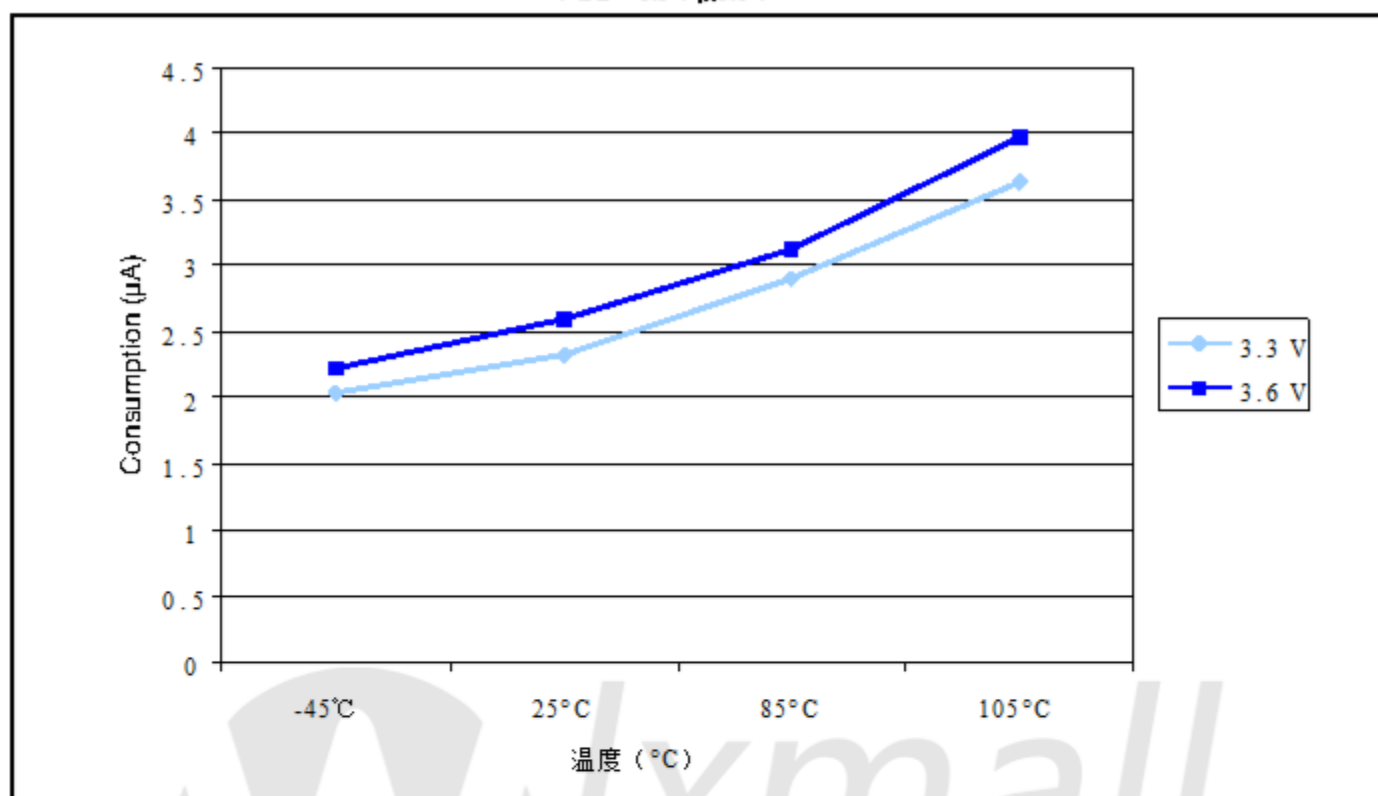


图21.待机模式下的典型电流消耗与温度的关系

 $V_{DD} = 3.3\text{ V}$ 和 3.6 V **典型电流消耗**

MCU处于以下条件:

所有I/O引脚都处于 V_{DD} 或 V_{SS} (无负载) 下的静态值的输入模式。

所有外设都被禁用, 除非明确提到。

闪存访问时间调整为HCLK频率 (0等待状态从0到24 MHz, 1等待状态从24到48 MHz和2个等待状态)。

环境温度 T_A 和 V_{DD} 电源电压条件总结在表9中。

预取开启 (提醒: 此位必须在时钟设置和总线预分频之前设置)

当外设使能时, $PCLK1 = f_{HCLK} / 4$, $f_{PCLK2} = f_{HCLK} / 2$, $f_{ADCCLK} = f_{PCLK2} / 4$

表17.运行模式下的典型电流消耗，带数据处理的代码从Flash运行

符号	参数	条件	f HCLK	典型 (1)		单元
				所有外设 启用 (2)	所有外设 关闭	
I _{DD}	供应 目前在 运行模式	外部时钟 (3)	72 MHz	36	27	mA
			48 MHz	24.2	18.6	
			36 MHz	19	14.8	
			24 MHz	12.9	10.1	
			16 MHz	9.3	7.4	
			8 MHz	5.5	4.6	
			4 MHz	3.3	2.8	
			2 MHz	2.2	1.9	
			1 MHz	1.6	1.45	
			500 kHz	1.3	1.25	
			125 kHz	1.08	1.06	
		跑高 速度内部RC (HSI)，AHB 预分频器用于 减少 频率	64 MHz	31.4	23.9	mA
			48 MHz	23.5	17.9	
			36 MHz	18.3	14.1	
			24 MHz	12.2	9.5	
			16 MHz	8.5	6.8	
			8 MHz	4.9	4	
			4 MHz	2.7	2.2	
			2 MHz	1.6	1.4	
			1 MHz	1.02	0.9	
			500 kHz	0.73	0.67	
			125 kHz	0.5	0.48	

典型值是 T_A = 25°C，V_{DD} = 3.3 V 时的测量值。

2. 为模拟部分增加每个 ADC 0.8 mA 的额外功耗。在应用中，这个
仅在 ADC 导通时才会发生消耗（ADC_CR2 寄存器中的 ADON 位置 1）。

3. 当 HCLK > 8 MHz 时，外部时钟为 8 MHz，PLL 为 ON。



表18.睡眠模式下的典型电流消耗，从Flash或
随机存取存储器

符号参数		条件	f HCLK	典型 (1)		单元
				所有外设 启用 (2)	所有外设 残	
我 DD	供应 目前在 睡眠模式	外部时钟 (3)	72 MHz	14.4	5.5	嘛
			48 MHz	9.9	3.9	
			36 MHz	7.6	3.1	
			24 MHz	5.3	2.3	
			16 MHz	3.8	1.8	
			8 MHz	2.1	1.2	
			4 MHz	1.6	1.1	
			2 MHz	1.3	1	
			1 MHz	1.11	0.98	
			500 kHz	1.04	0.96	
		跑高 速度内部RC (HSI)，AHB预分频器 用来减少 频率	64 MHz	12.3	4.4	
			48 MHz	9.3	3.3	
			36 MHz	7	2.5	
			24 MHz	4.8	1.8	
			16 MHz	3.2	1.2	
			8 MHz	1.6	0.6	
			4 MHz	1	0.5	
			2 MHz	0.72	0.47	
			1 MHz	0.56	0.44	
			500 kHz	0.49	0.42	
			125 kHz	0.43	0.41	

典型值是T A = 25°C，VDD = 3.3 V时的测量值。
 2.为模拟部分增加每个ADC 0.8 mA的额外功耗.在应用中，这个
 仅在ADC导通时才会发生消耗（ADC_CR2寄存器中的ADON位置1）。
 3.当 HCLK > 8 MHz时，外部时钟为 8 MHz，PLL为ON。

片上周边电流消耗

表19给出了片上外设的电流消耗.放置了MCU
在以下条件下:

- 所有I/O引脚都处于输入模式,静态值为V_{DD}或V_{SS}(无负载)
- 所有外设均禁用,除非另有说明
- 给定值通过测量电流消耗来计算
- 所有外设都关机
- 只有一个外围设备
- 环境工作温度和V_{DD}电源电压条件总结

表6

表19.外设电流消耗 (1)

外围设备		25°C时典型消耗	单元
APB1	TIM2	1.2	μA
	TIM3	1.2	
	TIM4	0.9	
	SPI2	0.2	
	USART2	0.35	
	USART3	0.35	
	I2C1	0.39	
	I2C2	0.39	
	USB	0.65	
	能够	0.72	
APB2	GPIO A	0.47	μA
	GPIO B	0.47	
	GPIO C	0.47	
	GPIO D	0.47	
	GPIO E	0.47	
	ADC1 (2)	1.81	
	ADC2	1.78	
	TIM1	1.6	
	SPI1	0.43	
	USART1	0.85	

f_{HCLK} = 72 MHz, f_{APB1} = f_{HCLK} / 2, f_{APB2} = f_{HCLK}, 每个外设的默认预分频值.

2. ADC的特定条件: f_{HCLK} = 56 MHz, f_{APB1} = f_{HCLK} / 2, f_{APB2} = f_{HCLK}, f_{ADCCLK} = f_{APB2} / 4, ADON位在ADC_CR2寄存器中设置为1.

5.3.6 外部时钟源特性

从外部源产生的高速外部用户时钟

表20给出的特性来自使用高速进行的测试
外部时钟源，以及环境温度和电源电压条件
总结在表9中。

表20.高速外部用户时钟特性

符号	参数	条件	敏	典型	马克斯单元
f HSE_ext	用户外部时钟源 频率 (1)		18		25 兆赫
V HSEH	OSC_IN输入引脚为高电平电压		0.7 V DD	- V DD	V
V HSEL	OSC_IN输入引脚低电平电压		V SS	-0.3 V DD	
t w (HSE) t w (HSE)	OSC_IN高或低时 (1)		5-		NS
TR (HSE) t f (HSE)	OSC_IN上升或下降时间 (1)		-		
(HSE) OSC_IN输入电容 (1)			-5		pF的
DuCy (HSE) 占空比			45	-	55 %
我 L	OSC_IN输入漏电流	V SS V IN V DD	-		±1 μA

1.设计保证，未经生产测试。

从外部源产生的低速外部用户时钟

表21中给出的特性来自使用低速执行的测试
外部时钟源，以及环境温度和电源电压条件
总结在表9中。

表21.低速外部用户时钟特性

符号	参数	条件	敏	典型	马克斯单元
f LSE_ext	用户外部时钟源 频率 (1)			32.768	10 00 千赫
V LSEH	OSC32_IN输入引脚高电平 电压		0.7 V DD	- V DD	V
V LSEL	OSC32_IN输入引脚为低电平 电压		V SS	-0.3 V DD	
t w (LSE) t w (LSE)	OSC32_IN高或低时 (1)		45 0	-	NS
t r (LSE) t f (LSE)	OSC32_IN上升或下降时间 (1)		-		
C in (LSE)	OSC32_IN输入电容 (1)		-5-		pF的
DuCy (LSE) 占空比			三十	-	70 %
我 L	OSC32_IN输入漏电 当前	V SS V IN V DD	-		±1 μA

1.设计保证，未经生产测试。

图22.高速外部时钟源交流时序图

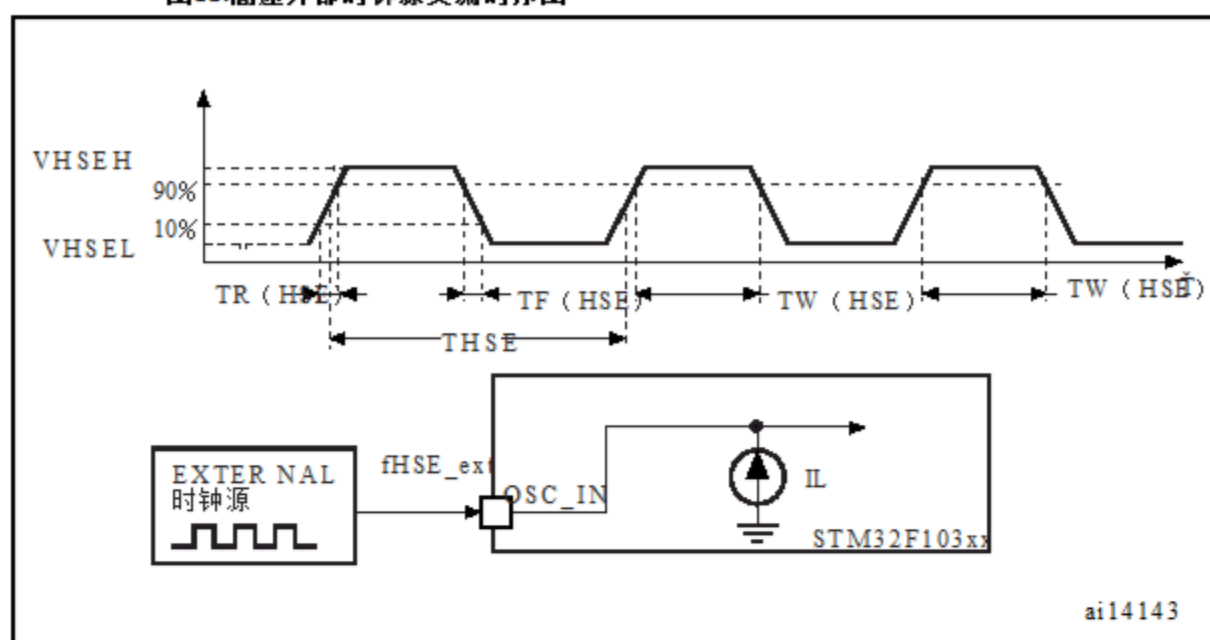
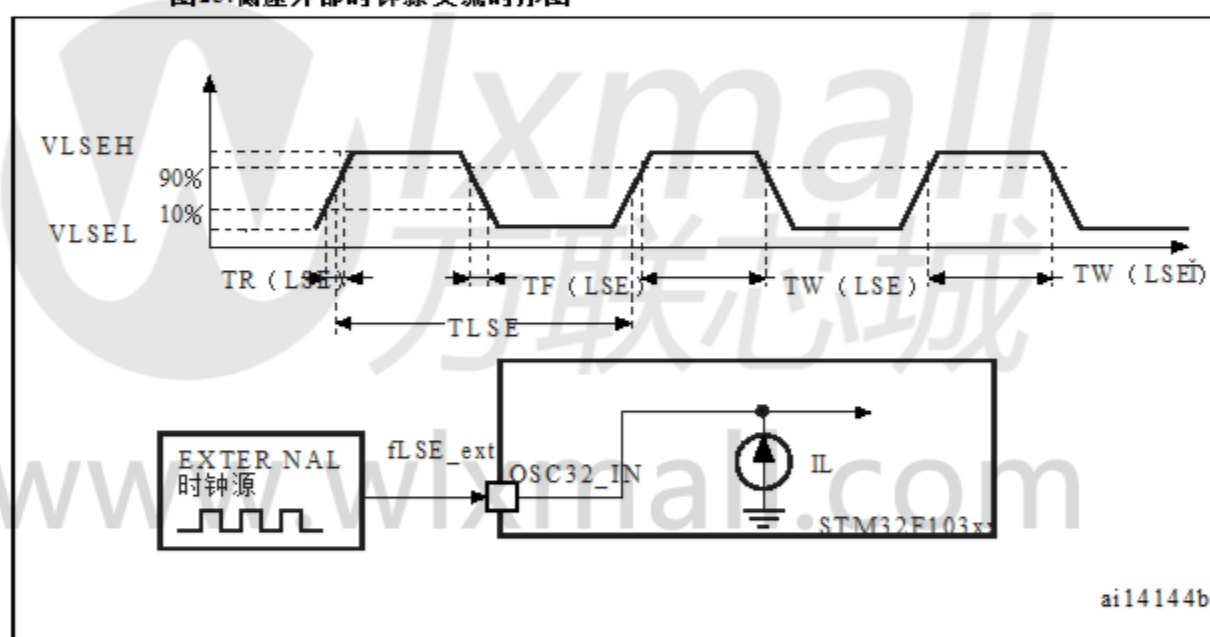


图23.低速外部时钟源交流时序图



从晶体/陶瓷谐振器产生的高速外部时钟

高速外部（HSE）时钟可提供4至16 MHz晶体/陶瓷谐振器。本段中提供的所有信息均基于此应用，谐振器和负载电容必须放置得尽可能靠近。为了最小化输出失真和启动稳定，可能对振荡器引脚时间。有关谐振器的更多细节，请参见晶体谐振器制造商特性（频率，封装，精度）。

表22. HSE 4-16 MHz振荡器特性 (1) (2)

符号	参数	条件	敏	典型	马克	斯单元
f OSC_IN	振荡器频率		4	8	16	兆赫
R F	反馈电阻		-	200	-	k Ω
C	推荐负载电容 相对于等效串行 晶体的电阻 (R S) (3)	R S=30 Ω	- 30	-	-	pF的
I _{D2}	HSE驱动电流	V _{DD} = 3.3 V, V _{IN} = V _{SS} 具有 30 pF负载	-		1	嘛
g _m	振荡器跨导	启动	25	-	-	毫安/V
t _{SU} (HSE)	启动时间	V _{DD} 稳定	-	2	-	女士

晶体/陶瓷谐振器制造商给出的谐振器特性.

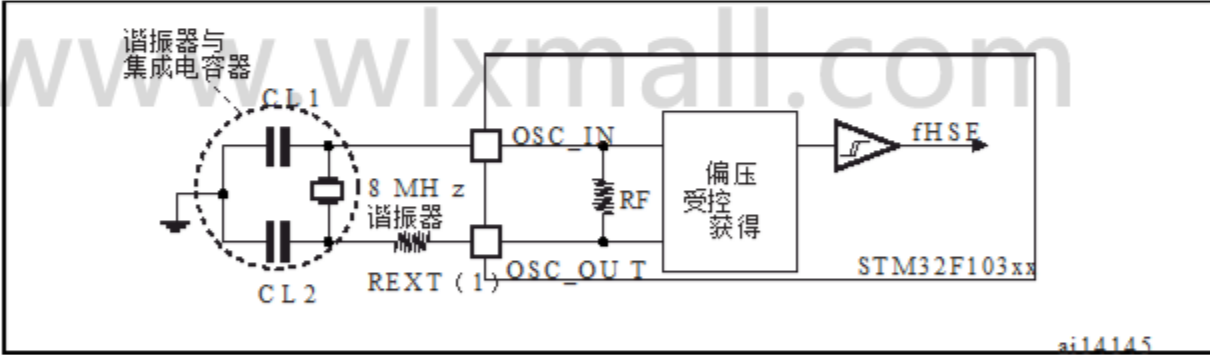
2.基于表征, 未在生产中测试.

3.射频电阻的相对较低的值可以防止在使用中导致的问题潮湿的环境, 由于感应世痛和偏置条件的变化.但是, 它是如果MCU在恶劣的湿度条件下使用, 建议考虑这一点.

t_{SU} (HSE) 是从启用 (通过软件) 到稳定的8 MHz测里的启动时间达到振荡.该值是针对于标准晶体谐振器测里的, 它可以显著变化与晶体制造商

对于C L1和C L2, 建议使用高品质的外部陶瓷电容5 pF至25 pF范围 (典型值), 设计用于高频应用, 并选择匹配晶体或谐振器的要求 (见图24). C L1和C L2通常是相同大小晶体制造商通常指定负载电容C L1和C L2的串联组合.必须包括PCB和MCU引脚电容 (10 pF可以用作粗略估计组合的针脚和电路板电容) C L1和C L2.请参见应用笔记AN2867“ST振荡器设计指南”微控制器”, 可从ST网站www.st.com获取.

图24.使用8 MHz晶体的典型应用



R_{EXT} 值取决于晶体特性.

从晶体/陶瓷谐振器产生的低速外部时钟

低速外部 (LSE) 时钟可提供32.768 kHz晶体/陶瓷谐振器.本段中提供的所有信息均基于此应用, 谐振器和负载电容必须放置得尽可能靠近为了最小化输出失真和启动稳定, 可能对振荡器引脚时间.有关谐振器的更多细节, 请参见晶体谐振器制造商特性 (频率, 封装, 精度).

表 23. LSE 振荡器特性 (fLSE = 32.768 kHz) (1) (2)

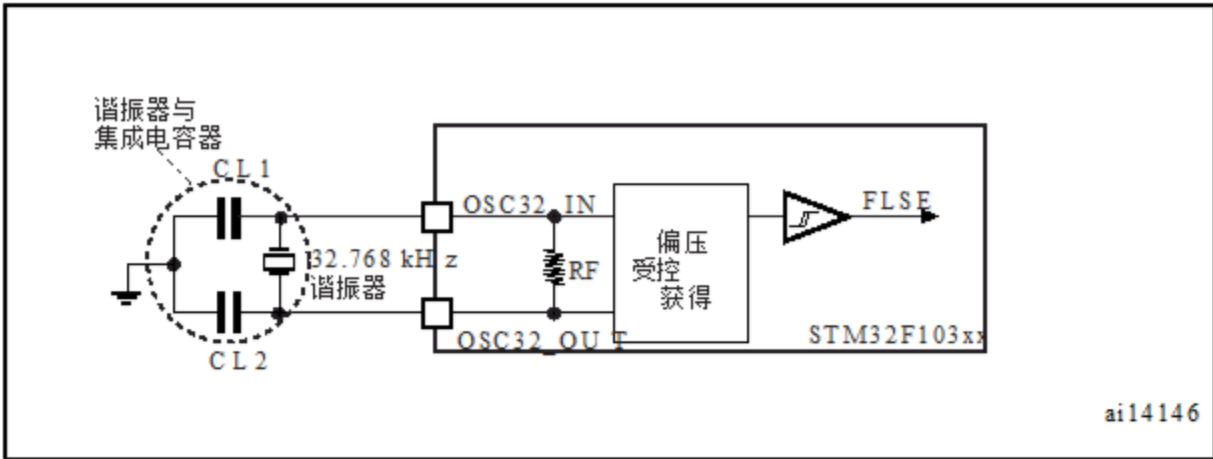
符号	参数	条件		敏	典型	马克斯	单元
R F	反馈电阻			-	五	-	中号
C	推荐负载电容 相对于等效串行 晶体电阻 (R S)	R S = 30K Ω		-	-	15	pF 的
我 2	LSE 驱动电流	V DD = 3.3 V V IN = V SS		-		1.4	μ A
g m	振荡器跨导			五	-	-	μ A / V
t SU (LSE)	(3) 启动时间	V DD 是 稳定	T A = 50°C	-	1.5	-	小号
			T A = 25°C	-	2.5	-	
			T A = 10°C	-	4	-	
			T A = 0°C	-	6	-	
			T A = -10°C	-	10	-	
			T A = -20°C	-	17	-	
			T A = -30°C	-	32	-	
			T A = -40°C	-	60	-	

1. 基于表征，未在生产中测试。
2. 请参阅表格下方的注意事项和 注意事项以及应用笔记 AN2867“振荡器设计指南”
ST 微控制器“。
3. t SU (LSE) 是从启用 (通过软件) 到稳定的 32.768 kHz 振荡的时间测量的启动时间
到达。对于标准晶体测量该值，并且晶体制造商可以显著变化。

注意: 对于 C L1 和 C L2，建议在 5 pF 至 5 中使用高品质陶瓷电容
选择 15 pF 范围以符合晶体或谐振器的要求。C L1 和 C L2
通常尺寸相同。晶体制造商通常规定一个负载电容
是 C L1 和 C L2 的串联组合。
负载电容 C L 具有以下公式: $C L = C L1 \times C L2 / (C L1 + C L2) + C \text{ 杂散}$ 其中
C 杂散 是引脚电容和电路板或跟踪 PCB 相关的电容。通常，它是
在 2 pF 和 7 pF 之间。

警告: 为了避免超过 C L1 和 C L2 (15 pF) 的最大值，强烈建议
使用负载电容 C L = 7 pF 的谐振器。切勿使用带负载的谐振器
电容 12.5 pF。
示例: 如果选择负载电容为 C L = 6 pF，C 杂散 = 2 pF 的谐振器，
那么 C L1 = C L2 = 8 pF。

图25.具有32.768 kHz晶振的典型应用



5.3.7 内部时钟源特性

表24中给出的参数来自在环境下进行的测试
 温度和VDD电源电压条件总结在表9中。

高速内部（HSI）RC振荡器

表24. HSI振荡器特性 (1)

符号	参数	条件	敏	典型	马克斯单元
f 恒指	频率		-	8	- 兆赫
DuCy (HSI)	占空比		45	-	55
ACC 恒指	恒指准确 振荡器	用RCC_CR进行用户修剪 注册 (2)	-	-	1 (3)
		厂 - 校准 (4) (5)	T A = -40至105°C	-2	- 2.5
			T A = -10~85°C	-1.5	- 2.2
			T A = 0~70°C	-1.3	- 2
			T A = 25°C	-1.1	- 1.8
(su) (4)	HSI振荡器 启动时间		1-2		微秒
I DD (HSI)	HSI振荡器功率 消费		-	80	100 μA

1. VDD = 3.3 V, T A = -40至105°C, 除非另有规定.
 - 2.请参见应用笔记AN2868“STM32F10xxx内部RC振荡器 (HSI) 校准”
 ST网站www.st.com.
 - 3.设计保证, 未经生产测试.
 - 4.基于表征, 未在生产中测试.
- HSI振荡器的实际频率可能受到回流的影响, 但不会超出指定值范围.

低速内部 (LSI) RC振荡器

表25. LSI振荡器特性 (1)

符号	参数	敏	典型	马克斯	单元
f _{LSI} (2)	频率	三十	40	60	千赫
t _{su} (LSI) (3)	LSI振荡器启动时间	-	-	85	微秒
I _{DD} (LSI) (4)	LSI振荡器功耗	-	0.65	1.2	μA

- 1. V_{DD} = 3 V, T_A = -40至105°C, 除非另有规定.
- 2. 基于表征, 未在生产中测试.
- 3. 设计保证, 未经生产测试.

从低功耗模式唤醒时间

表26中给出的唤醒时间是在8 MHz HSI RC的唤醒阶段测量的振荡器.用于唤醒设备的时钟源取决于当前的操作模式:

- 停止或待机模式: 时钟源是RC振荡器
- 休眠模式: 时钟源是在进入睡眠模式之前设置的时钟.

所有时间均来自在环境温度和V_{DD}电源下进行的测试
[电压条件总结在表9中.](#)



表26.低功耗模式唤醒时序

符号	参数	典型	单元
WUSLEEP (1)	从休眠模式唤醒	1.8	微秒
t WUSTOP (1)	从停止模式唤醒 (运行模式下调节器)	3.6	
	从停止模式唤醒 (低功耗调节器模式)	5.4	
tWUSTDBY (1)	从待机模式唤醒	50	

唤醒时间是从唤醒事件测量到用户应用程序代码的时间点
读取第一条指令。

5.3.8 PLL特性

表27中给出的参数来自于在环境温度下进行的测试
温度和VDD电源电压条件总结在表9中。

表27. PLL特性

符号	参数	值			单元
		最小 (1)	典型	最大值 (1)	
f PLL_IN	PLL输入时钟 (2)	18.0	-	25	兆赫
	PLL输入时钟占空比	40	-	60	%
f PLL_OUT	PLL倍频器输出时钟	16	-	72	兆赫
t LOCK	PLL锁定时间	-	-	200	微秒
抖动	周期到周期的抖动	-	-	300	PS

- 1.基于表征，未在生产中测试。
2.使用适当的乘数因子，使PLL输入时钟值兼容
由f PLL_OUT定义的范围。

5.3.9 记忆特征

闪存

特性在T A = -40至105°C下给出，除非另有说明。

表28.闪存特性

符号	参数	条件	分钟 (1)	典型	最大 (1)	单元
t 程序	16位编程时间	T A† -40至+105°C	40	52.5	70	微秒
删除 页面	(1 KB) 擦除时间	T A† -40至+105°C	20	-	40	女士
t ME	大量擦除时间	T A† -40至+105°C	20	-	40	

表28.闪存特性（续）

符号	参数	条件	最小 (1)	典型	最大 (1)	单元
I _{DD}	供电电流	读取模式 f _{HCLK} = 72 MHz, 2等待 状态, V _{DD} = 3.3 V	-		20	mA
		写/擦除模式 f _{HCLK} = 72MHz, V _{DD} = 3.3V	-		5	
		掉电模式/停止, V _{DD} = 3.0~3.6V	-		50	μA
V _{程序}	编程电压		2	-	3.6	V

1.设计保证，未经生产测试。

表29.闪存耐久性和数据保留

符号	参数	条件	值			单元
			最小 (1)	典型	马克斯	
N _{结束}	耐力	T _A = -40至+85°C (6个后继版本) T _A = -40至+105°C (7个后继版本)	10	-	-	kcycles
t _{RET}	数据保留	在T _A = 85°C下 1kcycle (2)	三十	-	-	年份
		1 Kcycle (2) 在T _A = 105°C	10	-	-	
		TKA = 55°C时有 10个循环 (2)	20	-	-	

1.基于表征，未在生产中测试。

2.在整个温度范围内进行循环。

5.3.10 EMC特性

在器件表征期间，以样本为基础进行敏感性测试。

功能性EMS（电磁敏感性）

虽然在设备上执行简单的应用程序（通过I/O端口切换2个LED），该设备受到两个电磁事件的压力，直到出现故障。失败是由LED指示：

静电放电（ESD）（正极和负极）被施加到所有器件引脚，直到发生功能障碍。该测试符合IEC 61000-4-2标准。

FTB：快速瞬态电压（正极和负极）的突发应用于V_{DD}和V_{SS}通过100 pF电容，直到发生功能障碍。这个测试是符合IEC 61000-4-4标准。

器件复位允许恢复正常操作。

测试结果在表30中给出。它们基于EMS级别和类别。在应用笔记AN1709中定义。

表30. EMS特性

符号	参数	条件	水平 / 类
V FESD	对任何I / O引脚施加的电压限制引起功能障碍	V DD↑3.3V, T A↑+ 25°C, f HCLK = 72 MHz 符合IEC 61000-4-2	2B
V EFTB	快速瞬态电压突发限制为在V DD和V SS上施加100 pF引脚引起功能障碍	V DD↑3.3V, T A↑+ 25°C, f HCLK↑ 72MHz 符合IEC 61000-4-4标准	4A

设计硬化软件以避免噪音问题

在典型的组件级别进行EMC表征和优化
应用环境和简化的MCU软件. 应该注意的是良好的EMC性能高度依赖用户应用程序和软件.

因此建议用户应用EMC软件优化
与他申请的EMC级别相关的资格预审测试.

软件建议

软件流程图必须包括失控条件的管理, 如:

- 程序计数器损坏
- 意外重置
- 关键数据损坏 (控制寄存器...)

资格预审试验

大多数常见故障 (意外重置和程序计数器损坏) 都可以
通过手动强制NRST引脚或振荡器引脚1的低电平进行复制
第二.

为了完成这些试验, ESD应力可以直接应用于器件上
规格值. 当检测到意外行为时, 软件可以硬化
以防止发生不可恢复的错误 (参见应用笔记AN1015).

电磁干扰 (EMI)

在简单的应用程序中监视器件发出的电磁场
执行 (通过I / O端口切换2个LED). 该排放测试符合
IEC 61967-2标准规定了测试板和引脚负载.

表31. EMI特性

符号参数		条件	监控 频带	最大与 [f HSE / f HCLK]		单元
				8/48 MHz	8/72 MHz	
S EMI	峰值水平	V DD↑3.3V, T A↑25°C, LQFP100封装 符合 IEC 61967-2	0.1~30MHz	12	12	平dBμV
			30到130 MHz	22	19	
			130 MHz至1GHz	23	29	
			SAE EMI级别	4	4	-

5.3.11 绝对最大额定值（电气灵敏度）

基于使用特定测量方法的三种不同的测试（ESD，LU），该设备是强调为了确定其在电敏感性方面的表现。

静电放电（ESD）

静电放电（正负脉冲分开1秒）
根据每个针组合应用于每个样品的针脚.样本大小
取决于器件中的电源引脚数（3部分×（n+1）个引脚）.这个测试符合JESD22-A114 / C101标准.

表32. ESD绝对最大额定值

符号	评级	条件	班级最高值（1）	单元
V ESD（HBM）	静电放电电压（人体模型）	T A↑+ 25°C 符合 JESD22-A114	2 2 0 0 0	V
V ESD（CDM）	静电放电电压（充电器模型）	T A↑+ 25°C 符合 ANSI / ESD STM5.3.1	II 500	

1.基于表征结果，未在生产中测试.

静态闩锁

六个部分需要进行两个互补的静态测试来评估闩锁性能：

- 电源过电压被施加到每个电源引脚
- 电流注入应用于每个输入，输出和可配置的I / O引脚

这些测试符合EIA / JESD 78A IC闩锁标准.

表33.电敏感性

符号	参数	条件	类
鲁	静态锁定类	T A↑+ + 105°C符合JESD78A	二级A级



5.3.12 I / O电流注入特性

作为一般规则，电流注入到I / O引脚，由于外部电压低于V_{SS}或在正常产品中应避免V_{DD}以上（适用于标准，3 V功能的I / O引脚）操作。然而，为了给出微控制器的鲁棒性的指示，偶然发生异常注射的情况下，对a进行敏感性试验在设备表征期间的样品基础。

对I / O电流注入的功能敏感性

虽然在设备上执行简单的应用程序，但是设备通过注入来强调电流进入以浮动输入模式编程的I / O引脚。当电流注入I / O引脚，一次一个，检查器件是否发生功能故障。

故障由超出范围的参数指示：ADC误差超过一定限度（> 5 LSB TUE），超出相邻引脚上的电流注入或其他功能故障（for 示例复位，振荡器频率偏差）。

试验结果列于表34

表34. I / O电流注入易感性

符号	描述	功能敏感性		单元
		负注射	正注射	
我 INJ	在OSC_IN32上注入电流，OSC_OUT32，PA4，PA5，PC13	-0	+0	嘛
	所有FT引脚上都注入电流	-5	+0	
	任何其他引脚上的注入电流	-5	+5	

5.3.13 I/O端口特性

一般输入/输出特性

除非另有说明，表35中给出的参数来自测试
在表9中总结的条件下执行.所有I/O都是CMOS和TTL
兼容.

表35. I/O静态特性

符号	参数	条件	敏	典型	马克斯	单元
V _{IL}	低电平输入电压	标准IO 输入低电平 电压	-	-	$0.28 * (V_{DD} - 2V) + 0.8V$ (1)	V
		IO FT (3) 输入 低电平电压	-	-	$0.32 * (V_{DD} - 2V) + 0.75V$ (1)	
		所有I/O除外 BOOT0	-	-	$0.35V_{DD}$ (2)	
V _{IH}	高级输入 电压	标准IO 输入高电平 电压	$0.41 * (V_{DD} - 2V) + 1.3V$ (1)	-	-	V
		IO FT (3) 输入 高水平 电压	$0.42 * (V_{DD} - 2V) + 1V$ (1)	-	-	
		所有I/O除外 BOOT0	$0.65V_{DD}$ (2)	-	-	
嗯	标准IO施密特 触发电压 迟滞 (4)		200	-	-	毫伏
	IO FT施密特触发器 电压滞后 (4)		$5\%V_{DD}$ (5)	-	-	
我 I _{kg}	输入漏电流 (6)	V _{SS} V _{IN} V _{DD} 标准I/O	-	-	1	μA
		V _{IN} = 5 V I/O FT	-	-	3	
R _{PU}	弱上拉 等效电阻 (7)	V _{IN} †V _{SS}	三十	40	50	kΩ
R _{PD}	弱下拉 等效电阻 (7)	V _{IN} †V _{DD}	三十	40	50	
C _{IO}	I/O引脚电容		-	五	-	pF的

- 1.基于设计模拟的数据.
- 2.生产中测试.
- FT =五 伏容限. 为了维持高于V_{DD} +0.3的电压, 必须使用内部上拉/下拉电阻
禁用.
- 施密特触发开关电平之间的滞后电压.基于表征, 未在生产中测试.
- 5.至少100 mV.
- 泄漏可能高于最大值.如果相邻引脚上注入负电流.



上拉和下拉电阻设计成与可切换PMOS / NMOS串联的真实电阻. 这个
PMOS / NMOS 对串联电阻的贡献最小 (约10%)



所有I/O都兼容CMOS和TTL（不需要软件配置）。其特性涵盖了严格的CMOS技术或TTL参数。该要求的覆盖范围如图26和图27所示，用于标准I/O。在图28和图29中为5 V容差I/O。

图26.标准I/O输入特性 - CMOS端口

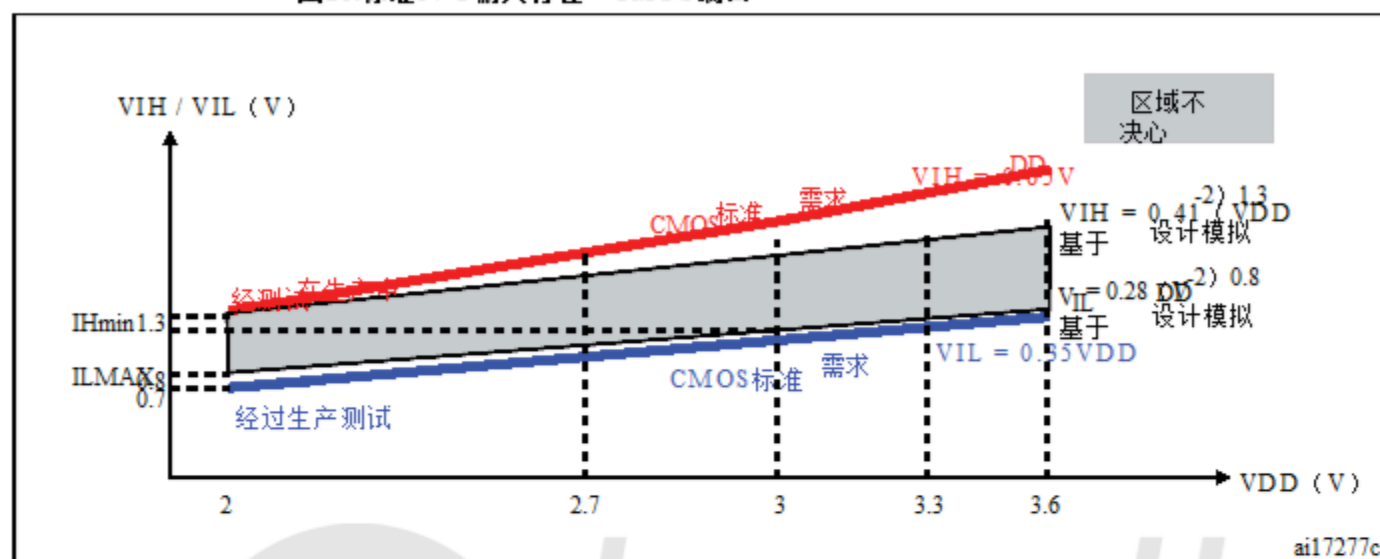


图27.标准I/O输入特性 - TTL端口

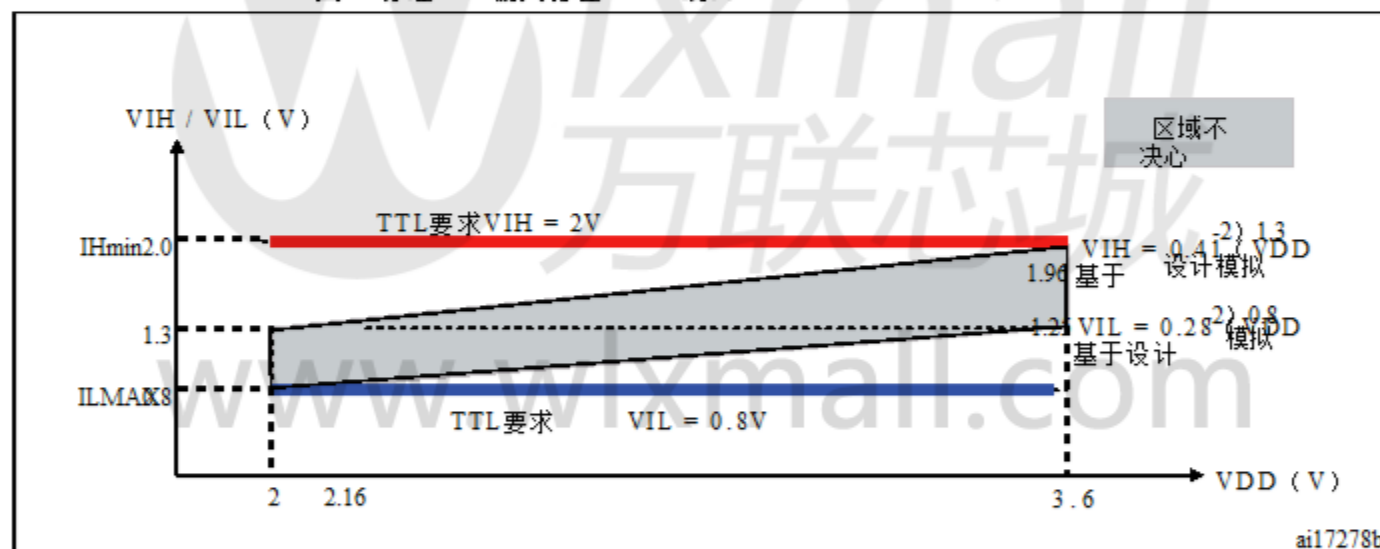


图28. 5V容差I/O输入特性 - CMOS端口

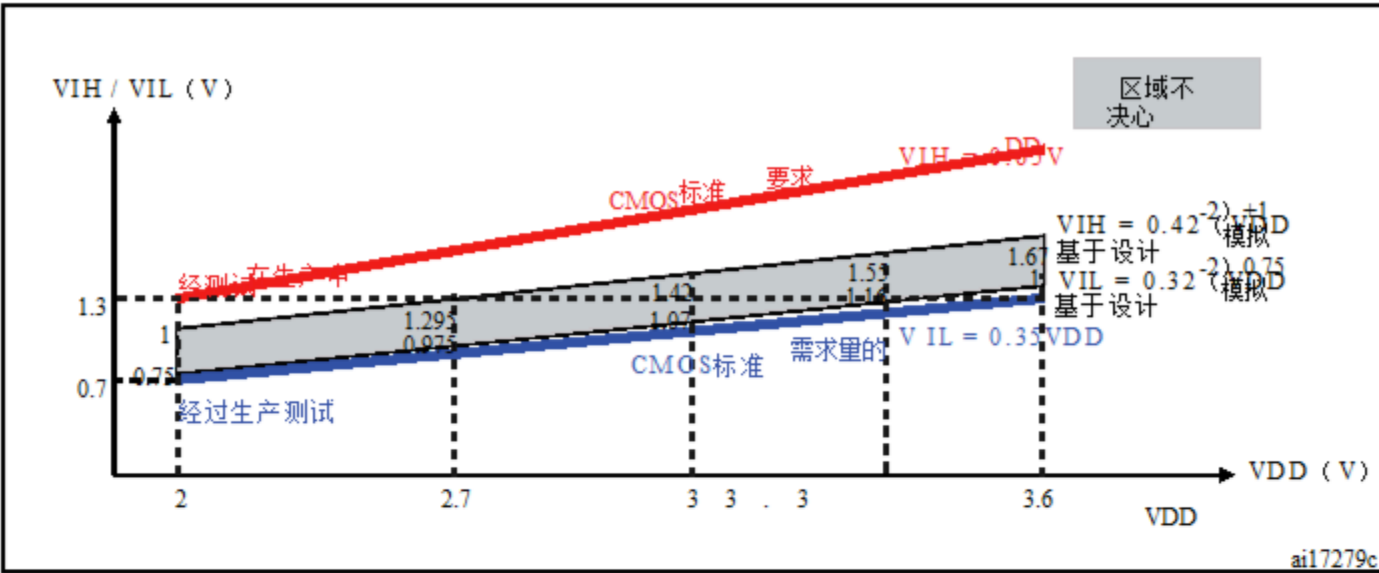
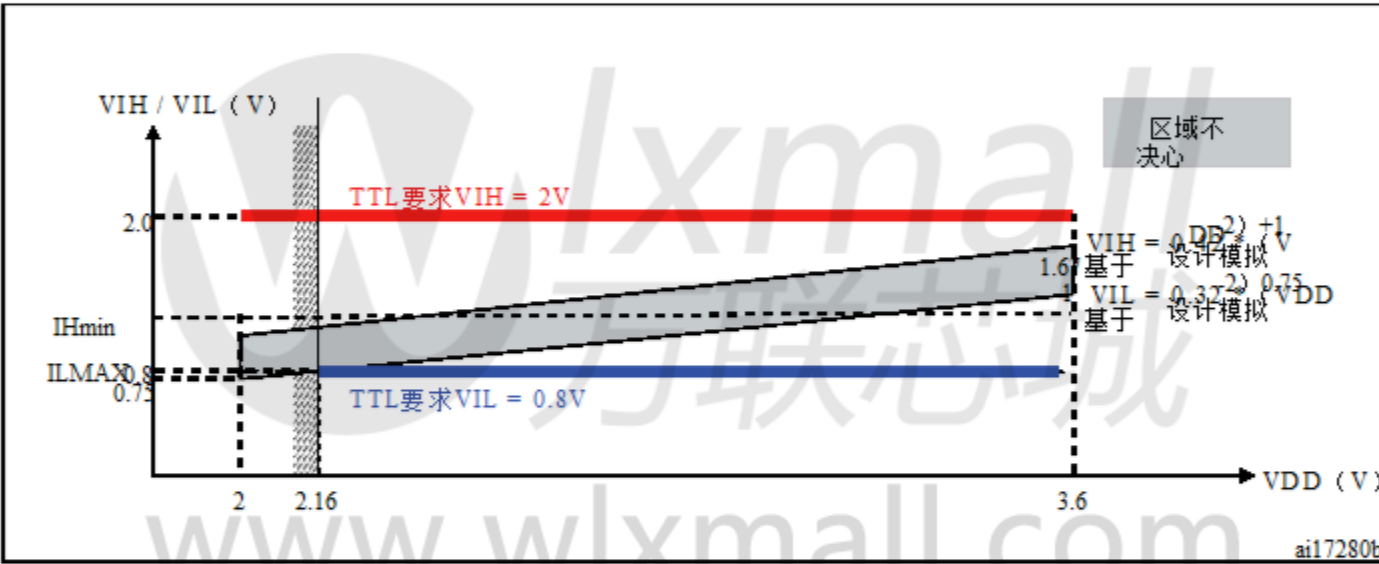


图29. 5V容差I/O输入特性 - TTL端口



输出驱动电流

GPIO（通用输入/输出）可以吸收或输出高达±8 mA，并吸收或吸收除PC13，PC14和PC15之外，源可达±20 mA（具有放松的V_{OL}/V_{OH}）吸收或源极高达±3 mA。当在输出模式下使用GPIO PC13到PC15时，速度不应超过2 MHz，最大负载为30 pF。

在用户应用中，必须限制可驱动电流的I/O引脚数

参见第5.2节规定的绝对最大额定值：

由V_{DD}上的所有I/O提供的电流总和 加上最大运行来自V_{DD}的MCU的消耗 不能超过绝对最大额定值I_{VDD}（见表7）。

V_{SS}上的所有I/O的电流 和最大运行的总和 V_{SS}上的MCU的消耗 不能超过绝对最大额定值I_{VSS}（见表7）。

输出电压电平

除非另有说明，表36中给出的参数来自测试

在环境温度和V_{DD}电源条件下进行总结

表9.所有I/O都符合CMOS和TTL标准。

表36.输出电压特性

符号	参数	条件	敏	马克斯单元
V _{OL} (1)	为I/O引脚输出低电平电压当8针同时沉没时	CMOS端口 (2) I _{IO} = +8 mA 2.7 V < V _{DD} < 3.6 V	- 0.4	V
V _{OH} (3)	为I/O引脚输出高电平电压当8个引脚同时供电时		V _{DD} - 0.4	
V _{OL} (1)	为I/O引脚输出低电平电压当8针同时沉没时	TTL端口 (2) I _{IO} = +8 mA 2.7 V < V _{DD} < 3.6 V	- 0.4	
V _{OH} (3)	为I/O引脚输出高电平电压当8个引脚同时供电时		2.4	
V _{OL} (1)	为I/O引脚输出低电平电压当8针同时沉没时	I _{IO} = +20 mA 2.7 V < V _{DD} < 3.6 V	- 1.3	
V _{OH} (3)	为I/O引脚输出高电平电压当8个引脚同时供电时		V _{DD} - 1.3	
V _{OL} (1)	为I/O引脚输出低电平电压当8针同时沉没时	I _{IO} = +6 mA 2 V < V _{DD} < 2.7 V	- 0.4	
V _{OH} (3)	为I/O引脚输出高电平电压当8个引脚同时供电时		V _{DD} - 0.4	

1. 设备上的I_{IO}电流必须始终遵守表7中规定的绝对最大额定值I_{IO}（I/O端口和控制引脚）的总和 不得超过I_{VSS}。

2. TTL和CMOS输出与JEDEC标准JESD36和JESD52兼容。

3. 由设备提供的I_{IO}电流必须始终遵守规定的绝对最大额定值表7和I_{IO}（I/O端口和控制引脚）的总和 不得超过I_{VDD}。

4. 基于特征数据，未在生产中测试。

输入/输出交流特性

图30给出了输入/输出交流特性的定义和值表37.

除非另有说明，表37中给出的参数来自测试在环境温度和V_{DD}电源条件下进行 总结在表9中.

表37. I / O交流特性 (1)

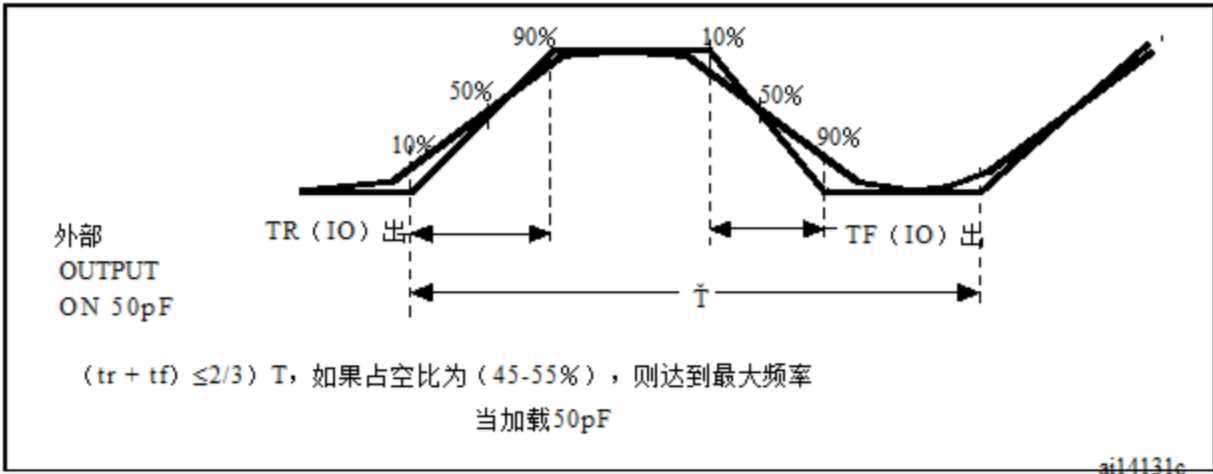
MODEx [1: 0] 位值 (1)	符号	参数	条件	最小	最大	单元
10	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V	-	2	兆赫
	t _f (IO) _{out}	输出高到低水平下降时间	C _L = 50pF, V _{DD} = 2V至3.6V	-125 (3)		NS
	t (IO) _{out}	输出低到高上升时间		-125 (3)		
01	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50 pF, V _{DD} = 2 V至3.6 V	-	10	兆赫
	t _f (IO) _{out}	输出高到低水平下降时间	C _L = 50pF, V _{DD} = 2V至3.6V	-25 (3)		NS
	t (IO) _{out}	输出低到高上升时间		-25 (3)		
11	F _{max} (IO) _{out}	最大频率 (2)	C _L = 30pF, V _{DD} = 2.7V至3.6V-		50	兆赫
			C _L = 50 pF, V _{DD} = 2.7 V至3.6 V -		三十	
			C _L = 50pF, V _{DD} = 2V至2.7V	-	20	
	t _f (IO) _{out}	输出高到低水平下降时间	C _L = 30pF, V _{DD} = 2.7V至3.6V-		5 (3)	NS
			C _L = 50 pF, V _{DD} = 2.7 V至3.6 V -		8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V	-	12 (3)	
	t (IO) _{out}	输出低到高上升时间	C _L = 30pF, V _{DD} = 2.7V至3.6V-		5 (3)	
			C _L = 50 pF, V _{DD} = 2.7 V至3.6 V -		8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V	-	12 (3)	
- t _{EXTI} pw		外部脉冲宽度信号检测 EXTI控制器		10	-	NS

1.使用MODEx [1: 0]位配置I / O速度.请参阅STM32F10xxx参考手册GPIO端口配置寄存器说明.

最大频率如图30所示.

3.设计保证，未经生产测试.

图30. I / O AC特性定义



5.3.14 NRST引脚特性

NRST引脚输入驱动器使用CMOS技术.它连接到永久上拉
电阻R_{PU} (见表35) .

除非另有说明, 表38中给出的参数来自测试
在环境温度和V_{DD}电源条件下进行 总结
在表9中.

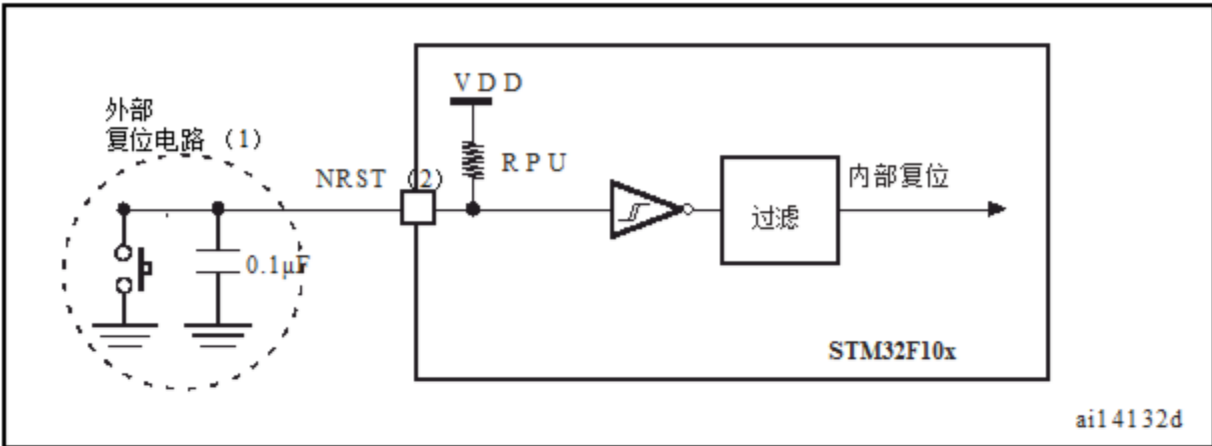
表38. NRST引脚特性

符号	参数	条件	敏	典型	马克斯	单元
V _{IL} (NRST)	NRST输入低电平电压		-0.5	-	0.8	V
V _{IH} (NRST)	(1) NRST输入高电平		2	-	V _{DD} +0.5	
V _{HS} (NRST)	NRST施密特触发电压 滞后		-	200	-	毫伏
R _{PU}	弱上拉等效电阻 (2)	V _{IN} ≠V _{SS}	三十	40	50	k Ω
V _F (NRST)	(1) NRST输入滤波脉冲		-	-	100	NS
V _{NF} (NRST)	(1) NRST输入未滤波脉冲		300	-	-	NS

1.设计保证, 未经生产测试.

该上拉设计具有与可切换PMOS串联的真实电阻.这个PMOS贡献
对串联电阻必须最小 (~10% 订单)

图31.推荐的NRST引脚保护



复位网络保护器件免受寄生复位。

3. 用户必须确保NRST引脚上的电平可以低于指定的V_{IL} (NRST) 最大电平
表38. 否则，该设备将不会考虑复位。

5.3.15 TIM定时器特性

表39中给出的参数通过设计来保证。

有关输入/输出的详细信息，请参见第5.3.12节：I/O电流注入特性
交替功能特性（输出比较，输入捕捉，外部时钟，PWM
输出）。

表39. TIMx (1) 特征

符号	参数	条件	敏	马克斯	单元
t (TIM)	计时器分辨率时间		1-		t TIMxCLK
		f TIMxCLK = 72 MHz	13.9	-	NS
f EXT	定时器外部时钟 CH1到CH4的频率		0	f TIMxCLK / 2	兆赫
		f TIMxCLK = 72 MHz	0 3 6		兆赫
Res TIM	定时器分辨率		-	16	位
t 计数器	16位计数器时钟周期 当内部时钟是 选		1	65536	t TIMxCLK
		f TIMxCLK = 72 MHz	0.0139	910	微秒
t MAX_COUNT	最大可能数		-	65536×65536	t TIMxCLK
		f TIMxCLK = 72 MHz	- 59 . 6		小号

TIMx用作通用术语，用于指TIM1，TIM2，TIM3和TIM4定时器。

5.3.16 通讯接口

I2C接口特性

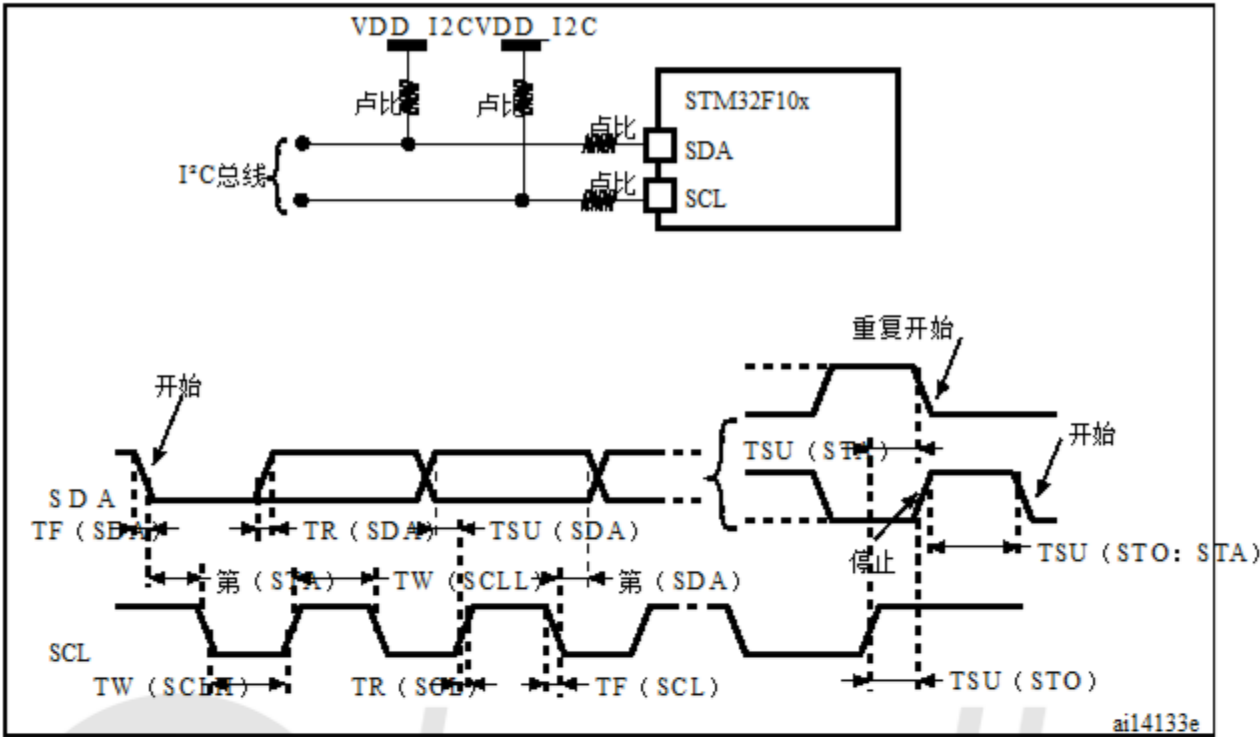
STM32F103xx性能线I2C接口符合标准要求
 I2C通信协议具有以下限制: I/O引脚SDA和SCL为
 映射到不是“真实的”开放式漏洞.当配置为漏极开路时, PMOS连接
 在I/O引脚和VDD之间禁用, 但仍然存在.
 I2C特性在表40中描述.另请参见第5.3.12节: I/O电流
 注入特性更详细的输入/输出交替功能特性
 (SDA和SCL).

表 40. I2C特性

符号	参数	标准模式I2C (1)		快速模式I2C (1) (2)		单元
		敏	马克斯	敏	马克斯	
t w (SCLL)	SCL时钟低电平	4.7	-	1.3	-	微秒
t w (SCLH)	SCL时钟高电平	4	-	0.6	-	
t su (SDA)	SDA设置时间	250	-	100	-	NS
t (SDA)	SDA数据保持时间	0	-	0	900 (3)	
t (SDA) t (SCL)	SDA和SCL上升时间	-	1000	20 + 0.1C b	300	
t f (SDA) t f (SCL)	SDA和SCL下降时间	-	300	-	300	
t h (STA)	启动条件保持时间	4	-	0.6	-	微秒
t su (STA)	重复启动条件 设置时间	4.7	-	0.6	-	
t su (STO)	停止条件设置时间	4	-	0.6	-	≈ s
t w (STO: STA)	停止开始条件时间 (巴士免费)	4.7	-	1.3	-	≈ s
C b	每个总线的容性负载 线	-	400	-	400	pF的

- 1.设计保证, 未经生产测试.
2. PCLK1 必须至少为2 MHz才能实现标准模式I2C频率. 它必须至少为4 MHz
实现快速模式I2C频率. 它必须是10 MHz的倍数才能达到400 kHz最大I2C
快速模式时钟.
- 3.如果接口没有延长SCL的低电平周期, 则只能满足最大数据保持时间
信号.

图32.12 I2C总线交流波形和测量电路



测量点在CMOS级别完成：0.3V_{DD}和0.7V_{DD}。

2. R_s = 串联保护电阻，R_p = 上拉电阻，V_{DD_I2C} = I2C总线供电。

表41. SCL频率 (f_{PCLK1} = 36MHz, V_{DD_I2C} = 3.3V) (1) (2)

f _{SCL} (kHz)	I2C_CCR值
	R _P = 4.7k Ω
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

1. R_P = 外部上拉电阻，f_{SCL} = I2C速度，

2. 对于200 kHz左右的速度，实现速度的公差为

公差达到速度
组件用于设计应用程序。

2% . 这些变化取决于外部的精度

5% . 对于其他速度范围，

SPI接口特性

除非另有说明，表42中给出的参数来自测试
在环境温度下执行，fPCLKx 频率和VDD 电源电压
条件总结在表9中。

有关详细信息，请参见第5.3.12节：I/O 电流注入特性
输入/输出交替功能特性（NSS，SCK，MOSI，MISO）。

表42. SPI特性

符号	参数	条件	敏	马克斯	单元
f SCK 1 / tc (SCK)	SPI时钟频率	主模式	-	18	兆 赫
		从模式	-	18	
tr (SCK) tf (SCK)	SPI时钟上升和下降 时间	电容负载：C = 30 pF	-	8	NS
DuCy (SCK)	SPI从机输入时钟 占空比	从模式	三十	70	%
(su) (1)	NSS建立时间	从模式	4t PCLK	-	NS
(NSS) (1)	NSS持有时间	从模式	2t PCLK	-	
tw (SCKH) tw (SCKL)	(1) SCK高低时间	主模式，f PCLK = 36 MHz， 处方 = 4	50	60	
(su) (1) tsu (SI) (1)	数据输入建立时间	主模式	五	-	
		从模式	五	-	
t (MI) (1) 第 (SI)	数据输入保持时间	主模式	五	-	
		从模式	4	-	
TA (SO)	数据输出访问 时间 (2)	从模式，f PCLK = 20 MHz	0	3t PCLK	
t dis (SO) (3)	数据输出禁用 时间	从模式	2	10	
tv (SO) (1)	(1) 数据输出有效时间从模式（使能边沿后）			25	
tv (MO)	(1) 数据输出有效时间主模式（使能边沿后）			五	
t (SO) (1) t (MO) (1)	数据输出保持时间	从模式（使能边沿后）	15	-	
		主模式（使能边沿后）	2	-	

- 1.基于表征，未在生产中测试。
2.最小时间是驱动输出的最短时间，最长时间为最长时间进行验证
数据。
最短时间是使输出无效的最短时间，最长时间是放置的最长时间
Hi-Z中的数据



图33. SPI时序图 - 从模式和CPHA = 0

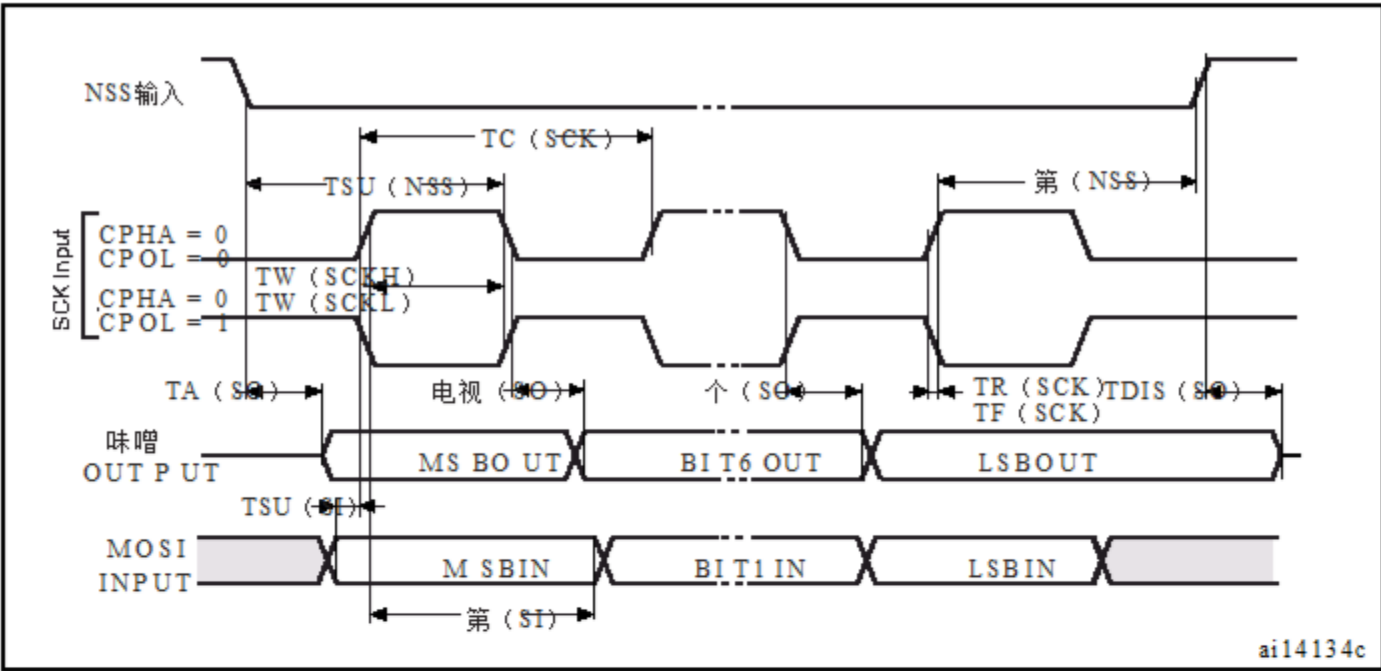
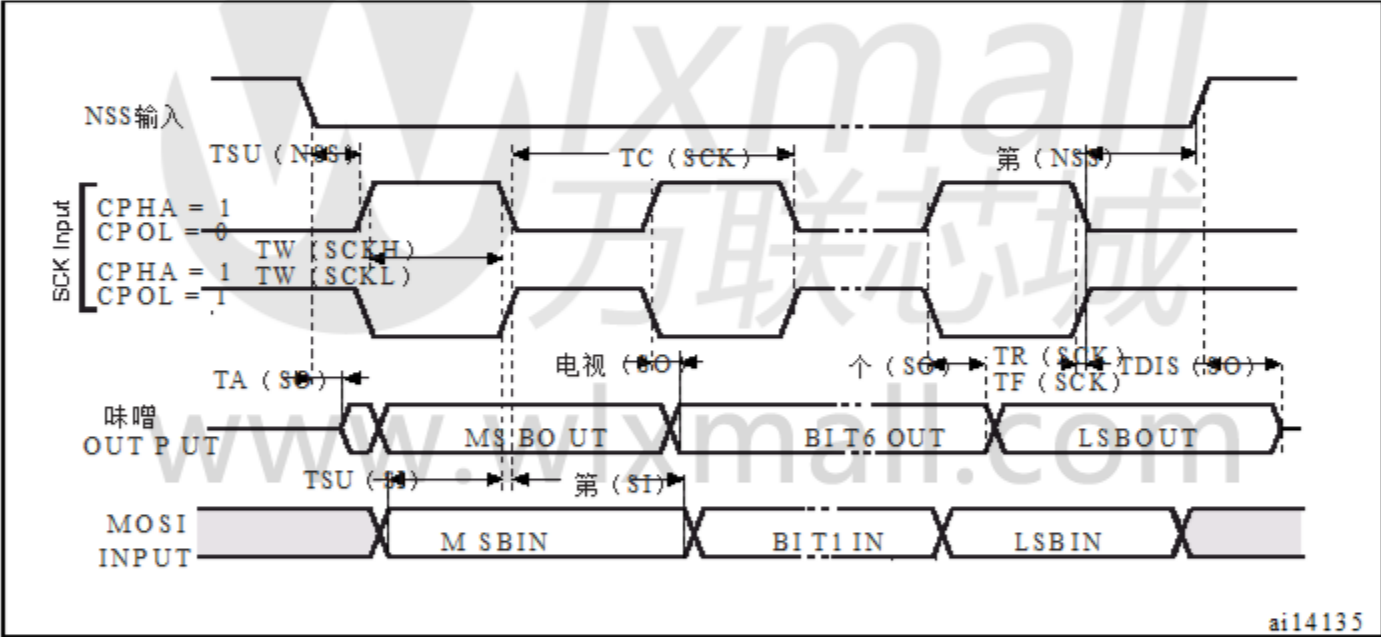
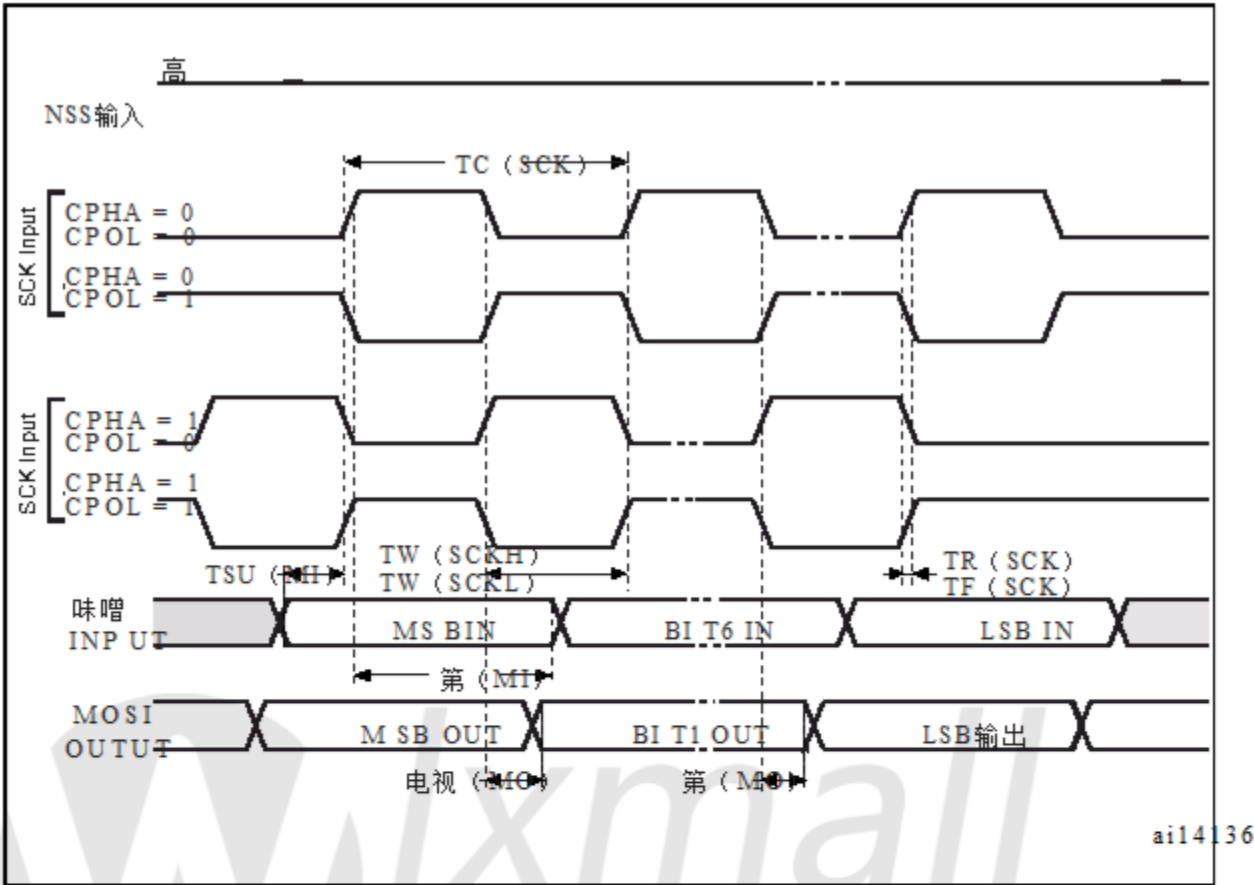


图34. SPI时序图 - 从模式和CPHA = 1 (1)



测量点在CMOS级别完成：0.3V DD和0.7V DD.

图35. SPI时序图 - 主模式 (1)



测量点在CMOS级别完成：0.3V_{DD}和0.7V_{DD}。

USB特性

USB接口经过USB-IF认证（全速）。

表43. USB启动时间

符号	参数	马克斯	单元
t _{STARTUP} (1)	USB收发器启动时间	1	微秒

1.设计保证，未经生产测试。

表 44. USB 直流电气特性

符号	参数	条件	最小 (1)	最大 (1)	单元
输入电平					
V _{DD}	USB工作电压 (2)		3.0 (3)	3.6	V
V _{DI} (4)	差分输入灵敏度	我 (USBDP, USBDM)	0.2	-	V
V _{CM} (4)	差分共模范围	包括V _{DI} 范围	0.8	2.5	
V _{SE} (4)	单端接收器阈值		1.3	2.0	
输出电平					
V _{OL}	静态输出电平低	1.5 k Ω 至3.6 V (5)	-0.3		V
V _{OH}	静态输出电平高	15 k Ω 至V _{SS} (5)的R _L	2.8	3.6	

- 所有电压都是从局部地电位测得的。
2. 要符合 USB 2.0 全速电气规范，USBDP (D+) 引脚应被拉 1.5 k Ω 电阻到 3.0 到 3.6 V 的电压范围。
3. STM32F103xx USB 功能确保低至 2.7 V，但不能保证完整的 USB 电气在 2.7 至 3.0 V_{DD} 电压范围内降级的特性。
4. 设计保证，未经生产测试。
- R_L 是连接在 USB 驱动器上的负载

图 36. USB 定时：数据信号上升和下降时间的定义

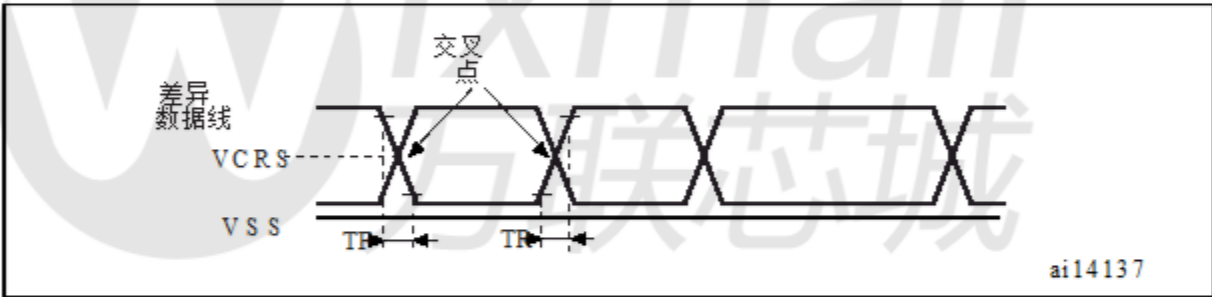


表 45. USB：全速电气特性 (1)

符号	参数	条件	最小	最大值	单元
司机特点					
t _R	上升时间 (2)	C _L = 50 pF	4	20	NS
t _f	下降时间 (2)	C _L = 50 pF	4	20	NS
t _{rfm}	上升/下降时间匹配	t _r /t _f	90	110	%
V _{CRS}	输出信号交叉电压		1.3	2.0	V

1. 设计保证，未经生产测试。
2. 测量数据信号的 10% 到 90%。有关更多详细信息，请参阅 USB 规格 - 第 7 章 (2.0 版)。

5.3.17 CAN (控制器局域网) 接口

有关详细信息，请参见第 5.3.12 节：I/O 电流注入特性
输入/输出交替功能特性 (CAN_TX 和 CAN_RX)。

5.3.18 12位ADC特性

除非另有规定，表46中给出的参数来自测试
在环境温度下执行， f_{PCLK2} 频率和VDDA电源电压
条件总结在表9中。

注意： 建议每次上电后进行校准。

表46. ADC特性

符号	参数	条件	敏	典型	马克斯	单元
VDDA	电源		2.4	-	3.6	V
VREF+	正参考电压		2.4	-	VDDA	V
我VREF	VREF输入引脚上的电流			160 (1)	220 (1)	μA
fADC	ADC时钟频率		0.6	-	14	兆赫
fS (2)	采样率		0.05	-	1	兆赫
fTRIG (2)	外部触发频率	fADC = 14 MHz	-	-	823	千赫
			-		17	1 / fADC
VAIN (3)	转换电压范围		0 (VSSA或VREF-绑在地上)	- VREF+		V
RAIN (2)	外部输入阻抗	见公式1和表47详见	-		50	kΩ
RADC (2)	取样开关电阻		-	-	1	kΩ
CADC (2)	内部采样和保持电容器		-		8	pF的
TCAL (2)	校准时间	fADC = 14 MHz		5.9		微秒
				83		1 / fADC
tlat (2)	注入触发转换潜伏	fADC = 14 MHz	-	-	0.214	微秒
			-		3 (4)	1 / fADC
tlatr (2)	定期触发转换潜伏	fADC = 14 MHz	-	-	0.143	微秒
			-		2 (4)	1 / fADC
tS (2)	抽样时间	fADC = 14 MHz	0.107	-	17.1	微秒
			1.5	-	239.5	1 / fADC
tSTAB (2)	上电时间		0	0	1	微秒
tCONV (2)	总转换时间 (含采样时间)	fADC = 14 MHz	1	-	18	微秒
			14~252 (ts为采样+12.5为逐次逼近)			1 / fADC

- 1.基于表征，未在生产中测试。
- 2.设计保证，未经生产测试。
- 3.在VFQFPN和LQFP封装中提供的器件中，VREF+内部连接到VDDA，VREF-内部连接到VSSA。TFBGA64封装中的器件具有VREF+引脚，但没有VREF-引脚（VREF-内部连接到VSSA），参见表5和图7。
- 4.对于外部触发器，必须在表46中指定的延迟中添加 $1 / f_{PCLK2}$ 的延迟。

公式1: R AIN max公式:

$$R_{AIN} = \frac{t_{FADC}}{t_{CADC}} \times \frac{1}{2^N} \times R_{ADC}$$

上述公式（等式1）用于确定一个允许的最大外部阻抗
误差低于LSB的1/4.这里N = 12（从12位分辨率）。

表47. R AIN max for f ADC = 14 MHz（1）

T（周期）	t S（μs）	R AIN max（kΩ）
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	NA
239.5	17.1	NA

1.基于表征，未在生产中测试。

表48. ADC精度 - 测试条件有限（1）（2）

符号	参数	测试条件	典型	马克斯	单元
ET	总未调整错误	f PCLK2 = 56MHz， f ADC = 14MHz，R AIN <10kΩ， V DDA = 3 V至3.6 V T A = 25°C 之后测量 ADC校准	±1.3	±2	LSB
EO	偏移误差		±1	±1.5	
例如	增益错误		±0.5	±1.5	
ED	差分线性误差		±0.7	±1	
EL	积分线性误差		±0.8	±1.5	

- 1.内部校准后测量ADC直流精度值。
2. ADC精度与负注入电流：在任何模拟输入引脚上注入负电流
因为这会降低了对另一个模拟量进行转换的精度
输入.建议将肖特基二极管（引脚对地）添加到可能注入的模拟引脚
负电流。
在第5.3.12节中为I INJ（PIN）和5IINJ（PIN）指定的限度内的任何正向注入电流 不为
影响ADC精度。
- 3.基于表征，未在生产中测试。

表49. ADC精度 (1) (2) (3)

符号	参数	测试条件	典型	马克斯	(4单元)
ET	总未调整误差	$f_{PCLK2} = 56\text{MHz}$, $f_{ADC} = 14\text{MHz}$, $R_{AIN} < 10\text{k}\Omega$, $V_{DDA} = 2.4\text{V}$ 至 3.6V 之后测量 ADC校准	± 2	± 5	LSB
EO	偏移误差		± 1.5	± 2.5	
例如	增益误差		± 1.5	± 3	
ED	差分线性误差		± 1	± 2	
EL	积分线性误差		± 1.5	± 3	

- 1.内部校准后测量ADC直流精度值。
在限制VDD，频率和温度范围内可以实现更好的性能。
3. ADC精度与负注入电流：任何标准（非 - 应该避免使用鲁棒的）模拟输入引脚，因为这显著降低了转换的准确性在另一个模拟输入上执行。建议添加一个肖特基二极管（引脚到地）可能潜在地注入负电流的标准模拟引脚。
在第5.3.12节中为IINJ（PIN）和5IINJ（PIN）指定的限度内的任何正向注入电流 不为影响ADC精度。
- 4.基于表征，未在生产中测试。

图37. ADC精度特性

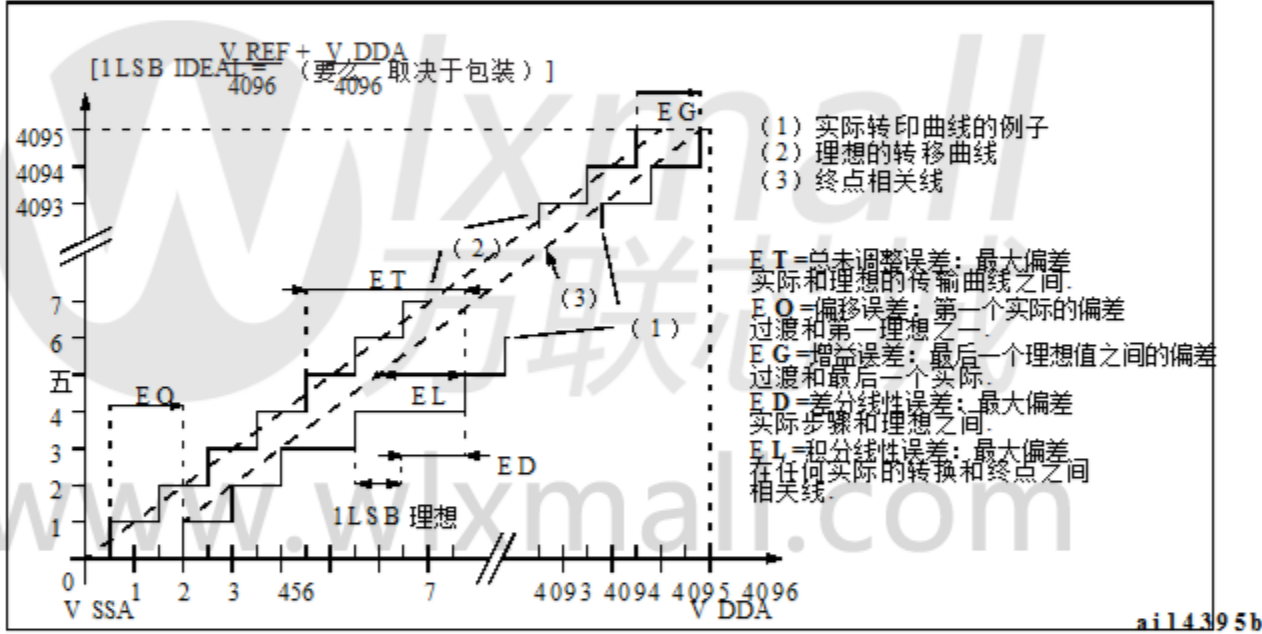
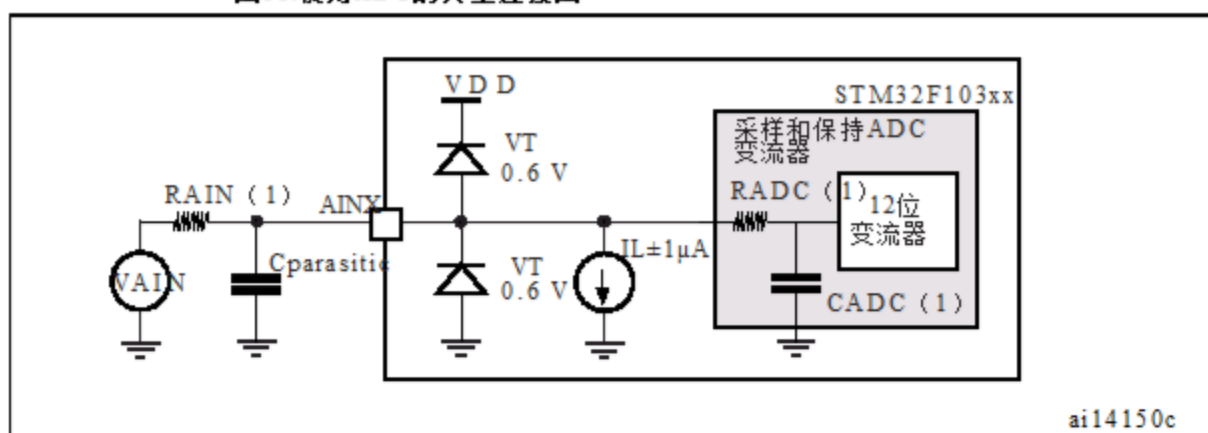


图38.使用ADC的典型连接图



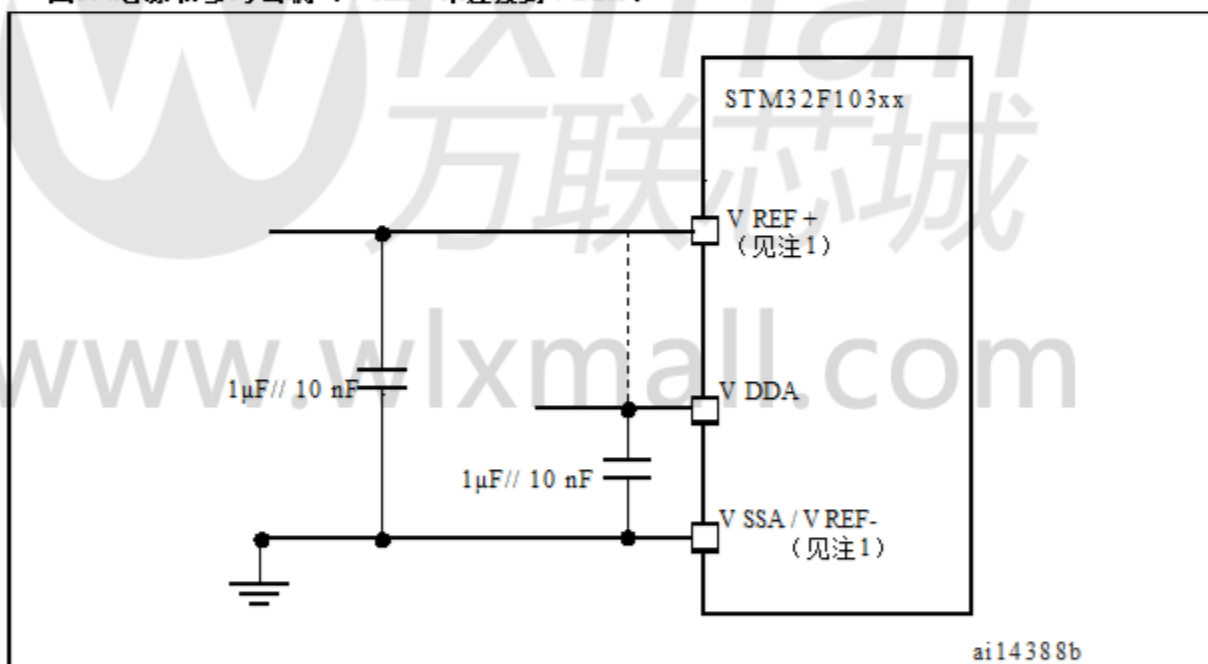
1. 有关R_{AIN}, R_{ADC}和C_{ADC}的值, 请参见表46。
2. C_{寄生}代表PCB的电容(取决于焊接和PCB布局质量)加上焊盘电容(大约7 pF)。高C_{寄生}值会降低转换精度。补救这个, ADC应该减少。

一般PCB设计指南

应如图39或图40所示进行电源去耦。

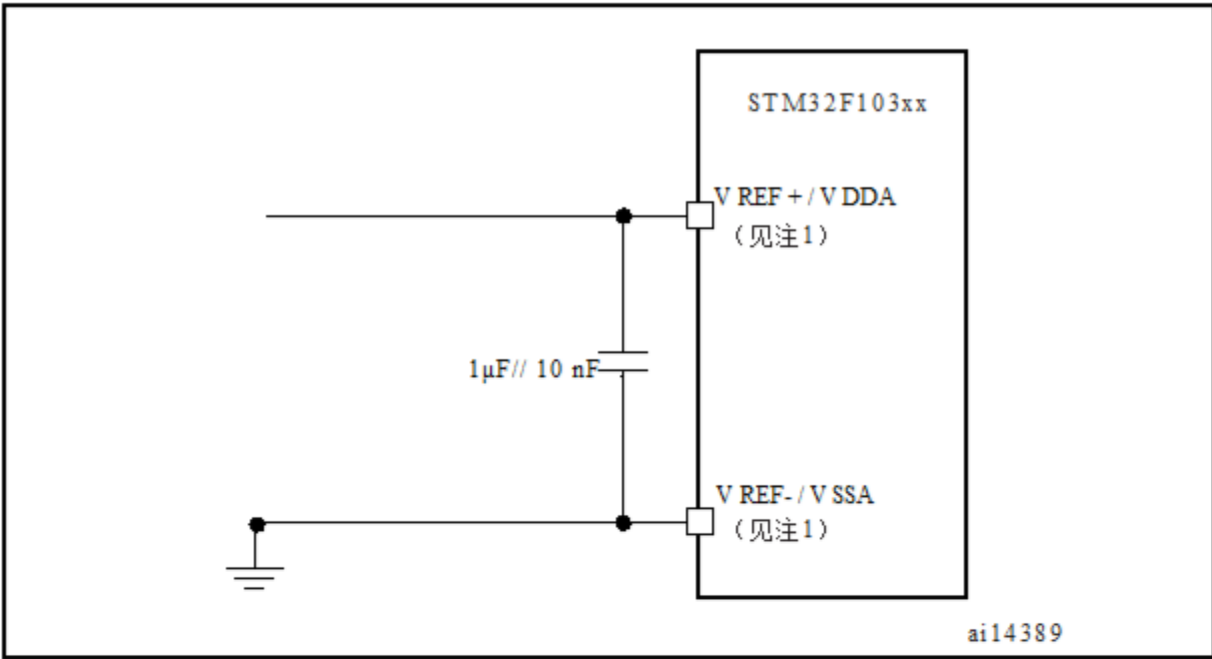
取决于V_{REF+}是否连接到V_{DDA}。10 nF电容应为陶瓷（质量好），它们应该尽可能靠近芯片。

图39.电源和参考去耦 (V_{REF}+未连接到V_{DDA})



1. V_{REF+} 和 V_{REF-} 输入仅在 100 引脚封装上可用。

图40.电源和参考去耦（V REF+ 连接到 V DDA）



1. V REF+ 和 V REF- 输入仅在100引脚封装上可用。

5.3.19 温度传感器特性

表50. TS特性

符号	参数	敏	典型	马克斯	单元
T L (1)	V SENSE 线性度与温度	-	1	2	C
Avg_Slope (1)	平均坡度	4	4.3	4.6	毫伏/°C
V25 (1)	电压在25°C	1.34	1.43	1.52	V
t START (2)	启动时间	4	-	10	微秒
T S_temp (3) (2)	ADC采样时间读取时温度	-	-	17.1	微秒

- 1.基于表征，未在生产中测试。
2.设计保证，未经生产测试。
最短采样时间可以通过多次迭代在应用中确定。



6 包装特点

6.1 包装机械数据

为了满足环保要求, ST为不同等级的这些设备提供这些设备
ECOPACK®包装, 取决于其环境符合程度. ECOPACK®
规格, 等级定义和产品状态可从以下网址获取: www.st.com.
ECOPACK®是ST商标.



图41. VFQFPN36 6 x 6 mm, 0.5 mm间距, 封装
大纲 (1)

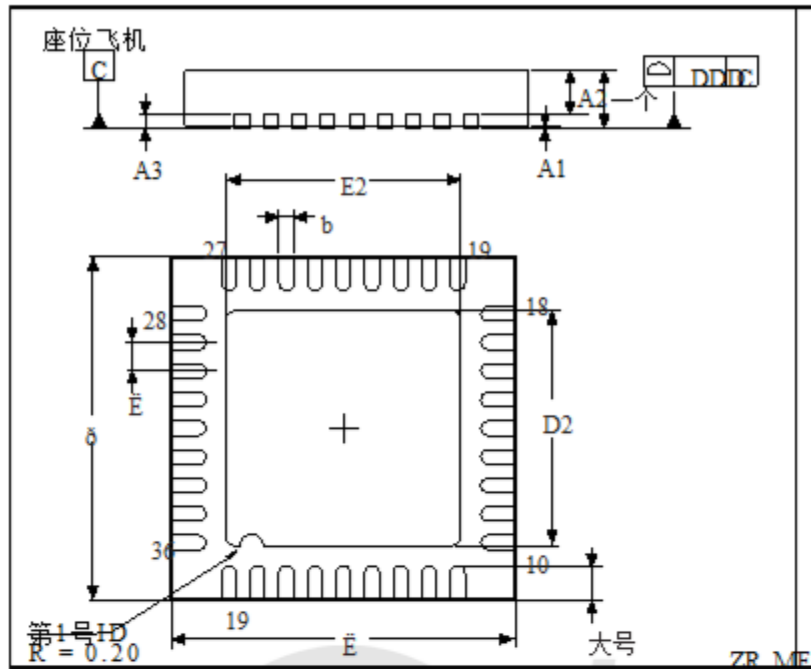
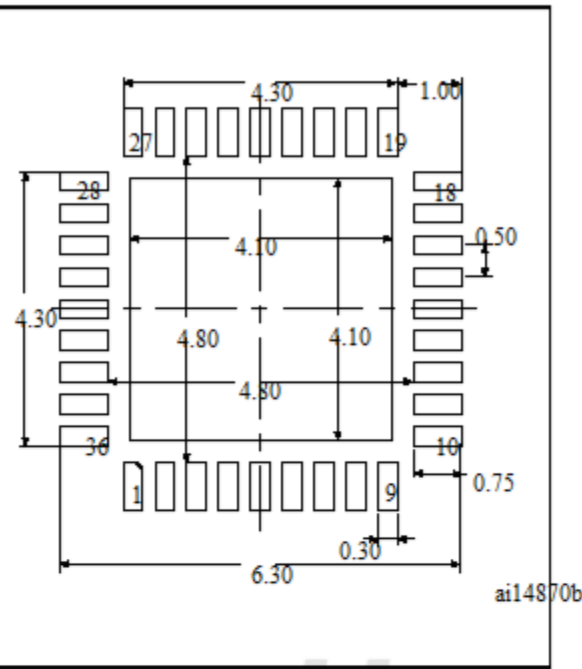


图42.推荐VFQFPN36
尺寸 (mm) (1) (2)



绘图不按比例绘制。

2.所有导线/焊盘也应焊接到PCB, 以提高铅焊点的使用寿命。

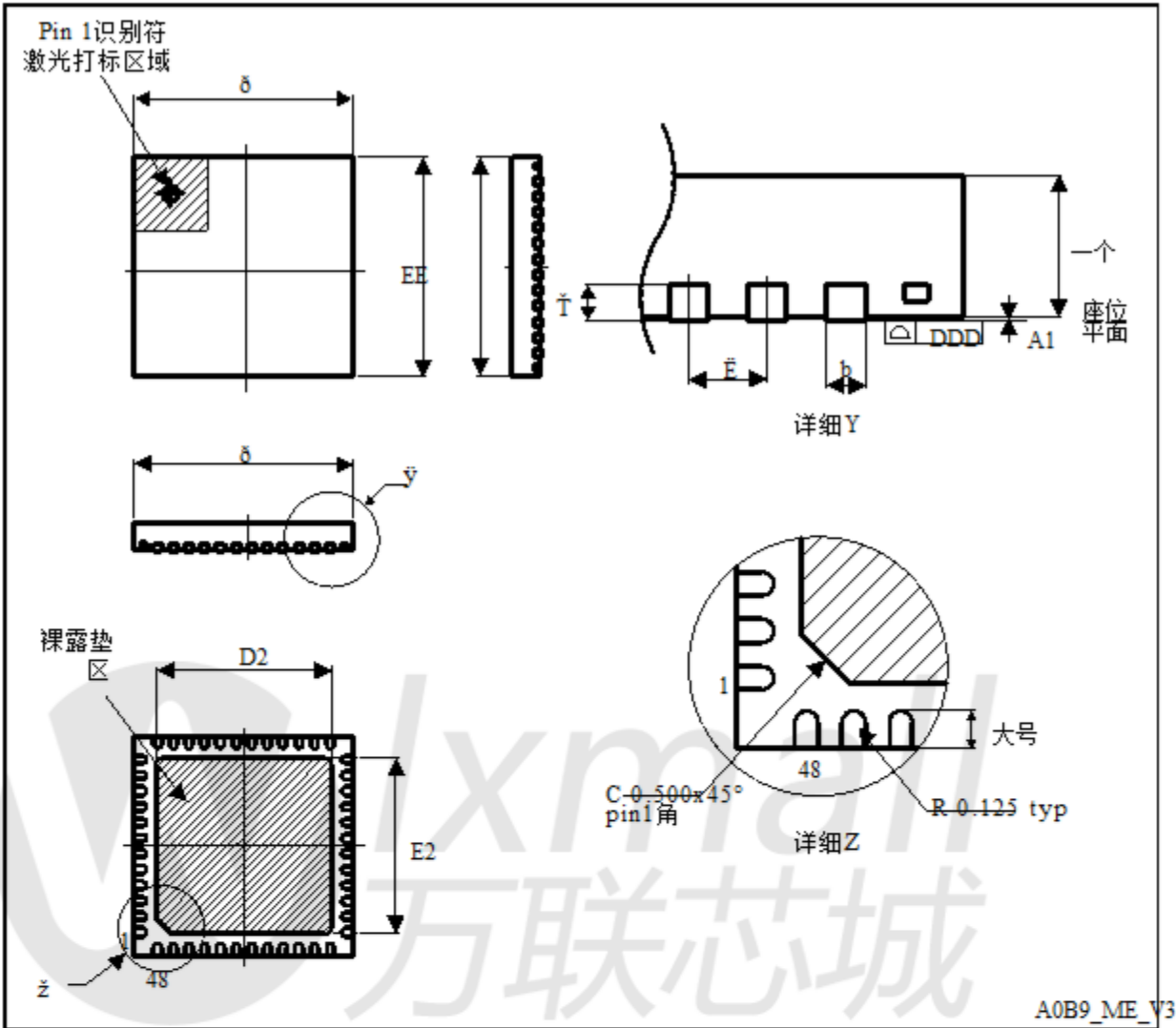
表51. VFQFPN36 6 x 6 mm, 0.5 mm间距, 封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个	0.800	0.900	1.000	0.0315	0.0354	0.0394
A1	-	0.020	0.050	-	0.0008	0.0020
A2	-	0.650	1.000	-	0.0256	0.0394
A3	-	0.250	-	-	0.0098	-
b	0.180	0.230	0.300	0.0071	0.0091	0.0118
δ	5.875	6.000	6.125	0.2313	0.2362	0.2411
D2	1.750	3.700	4.250	0.0689	0.1457	0.1673
E	5.875	6.000	6.125	0.2313	0.2362	0.2411
E2	1.750	3.700	4.250	0.0689	0.1457	0.1673
E	0.450	0.500	0.550	0.0177	0.0197	0.0217
大号	0.350	0.550	0.750	0.0138	0.0217	0.0295
DDD	0.080			0.0031		

1.以英寸为单位的值从mm转换为四位数。



图43. UFQFPN48 7 x 7 mm，0.5 mm间距，封装外形



绘图不按比例绘制。

2. 在QFPN封装的底面有一个裸露的裸片焊盘，该焊盘不在内部连接VSS或VDD电源板，建议将其连接到VSS。
3. 所有导线/焊盘也应焊接到PCB，以提高铅焊点的使用寿命。

表52. UFQFPN48 7 x 7 mm，0.5 mm间距，封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个	0.500	0.550	0.600	0.0197	0.0217	0.0236
A1	0.000	0.020	0.050	0.0000	0.0008	0.0020
δ	6.900	7.000	7.100	0.2717	0.2756	0.2795
̄E	6.900	7.000	7.100	0.2717	0.2756	0.2795
D2	5.500	5.600	5.700	0.2165	0.2205	0.2244
E2	5.500	5.600	5.700	0.2165	0.2205	0.2244
大号	0.300	0.400	0.500	0.0118	0.0157	0.0197
̄T	-	0.152	-	-	0.0060	-

表52. UFQFPN48 7 x 7 mm，0.5 mm间距，封装机械数据（续）

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
b	0.200	0.250	0.300	0.0079	0.0098	0.0118
E	-	0.500	-	-	0.0197	-
DDD	0.080			0.0031		

1.以英寸为单位的值从mm转换为四位数.

图44. UFQFPN48推荐足迹

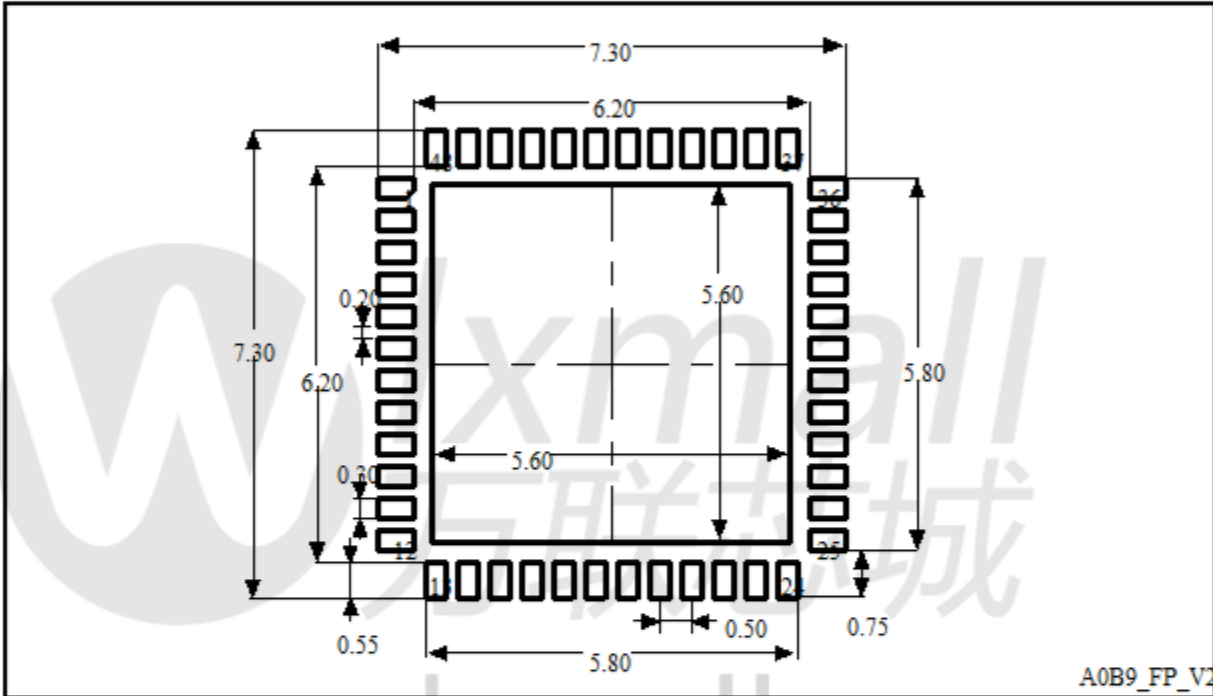
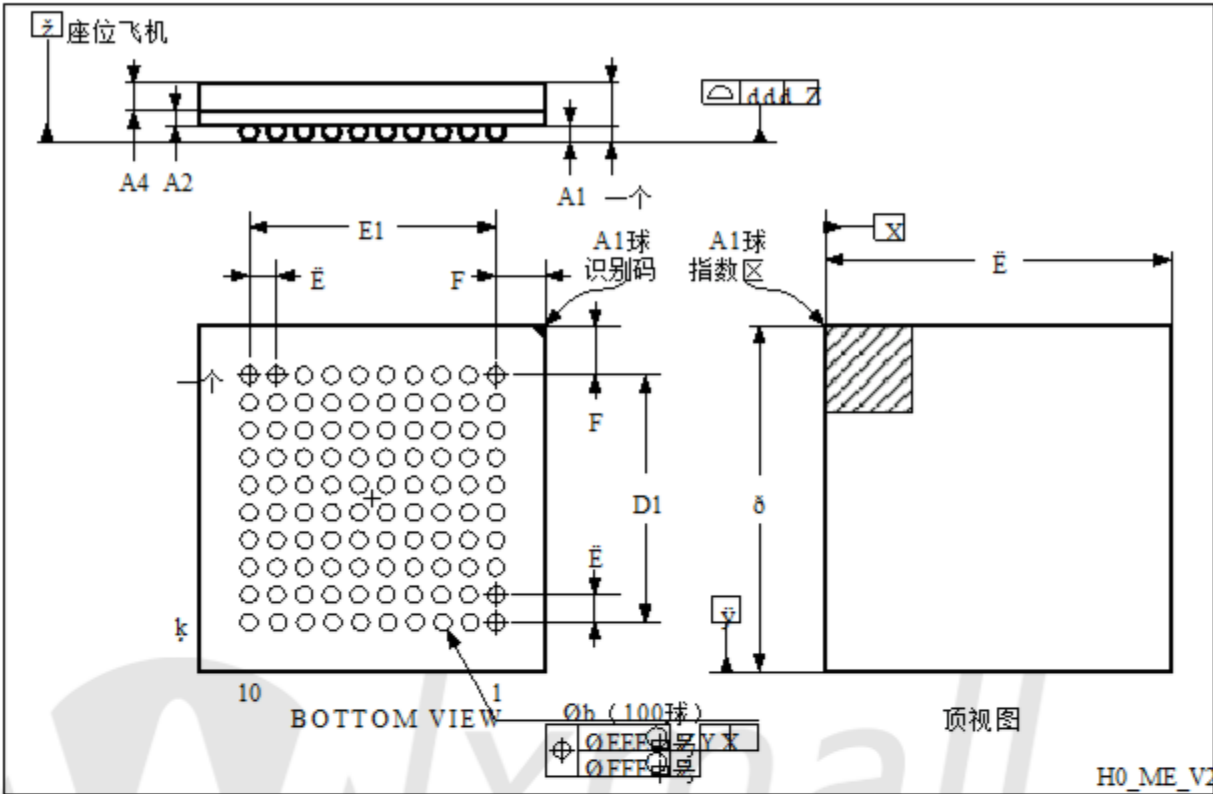


图45. LFBGA100 - 10 x 10 mm薄型细间距球栅阵列封装
大纲



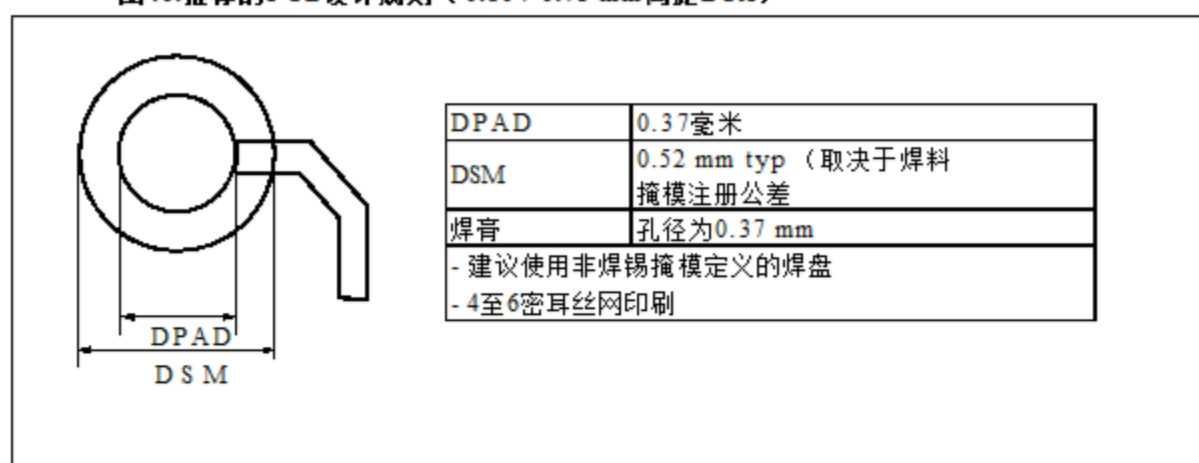
绘图不按比例绘制.

表53. LFBGA100 - 10 x 10 mm薄型细间距球栅阵列封装
机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.700			0.0669
A1	0.270			0.0106		
A2		0.300			0.0118	
A4			0.800			0.0315
b	0.450	0.500	0.550	0.0177	0.0197	0.0217
δ	9.850	10.000	10.150	0.3878	0.3937	0.3996
D1		7.200			0.2835	
$\bar{E}$	9.850	10.000	10.150	0.3878	0.3937	0.3996
E1		7.200			0.2835	
$\bar{E}$		0.800			0.0315	
F		1.400			0.0551	
DDD			0.120			0.0047
EEE			0.150			0.0059
FFF			0.080			0.0031
N (球数)	100					

1. 以英寸为单位的值从mm转换为四位小数。

图46. 推荐的PCB设计规则 (0.80 / 0.75 mm 间距BGA)



 *lxmall*
万联芯城
www.wlxmall.com

图47. LQFP100, 14 x 14 mm 100引脚低调
四方扁平封装外形 (1)

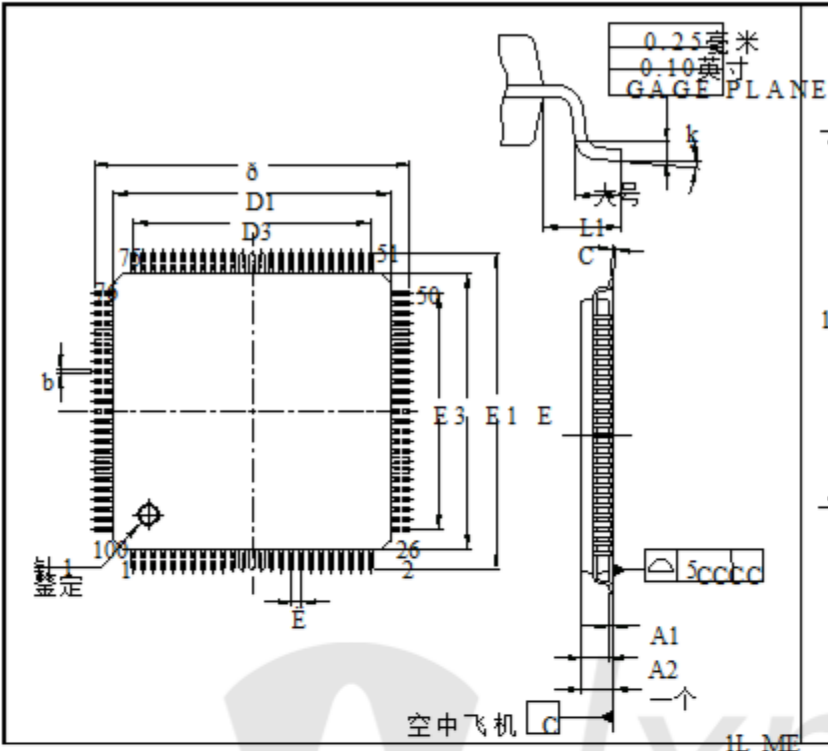
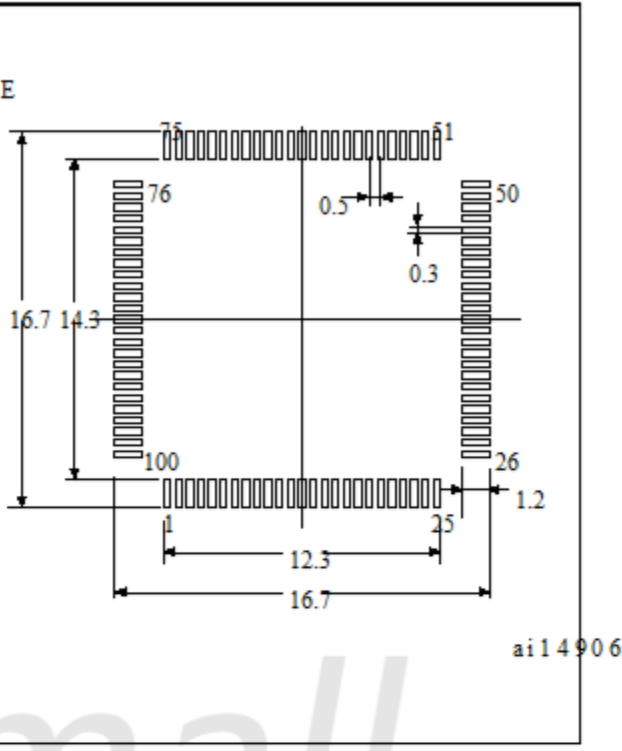


图48.推荐LQFP100
足迹 (1) (2)



绘图不按比例绘制。
尺寸单位为毫米。

表54. LQFP100, 14 x 14 mm 100针低调四边形扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.6			0.063
A1	0.05		0.15	0.002		0.0059
A2	1.35	1.4	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.2	0.0035		0.0079
δ	15.8	16	16.2	0.622	0.6299	0.6378
D1	13.8	14	14.2	0.5433	0.5512	0.5591
D3		12			0.4724	
$\bar{E}$	15.8	16	16.2	0.622	0.6299	0.6378
E1	13.8	14	14.2	0.5433	0.5512	0.5591
E3		12			0.4724	
$\bar{E}$		0.5			0.0197	
大号	0.45	0.6	0.75	0.0177	0.0236	0.0295
L1		1			0.0394	
k	0.0°	3.5°	7.0°	0.0°	3.5°	7.0°
CCC	0.08			0.0031		

1.以英寸为单位的值从mm转换为四位数。



图50. LQFP64，10 x 10 mm，64引脚低调四边形
包装大纲 (1)

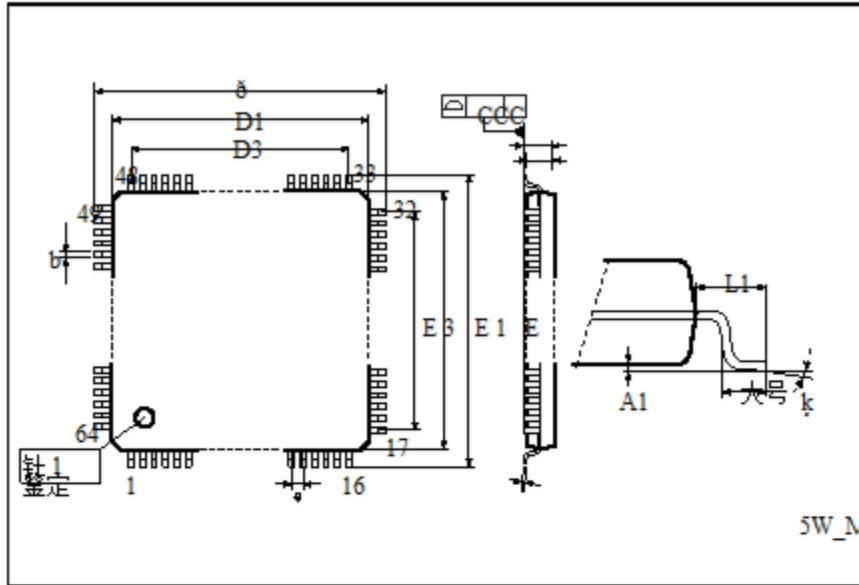
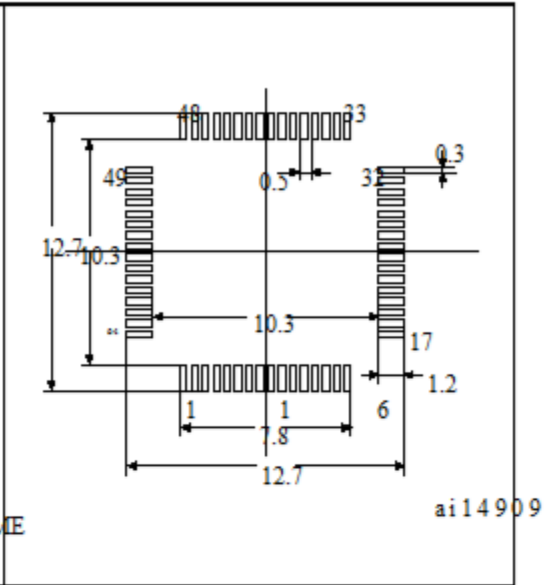


图51.推荐LQFP64
足迹 (1) (2)



绘图不按比例绘制。

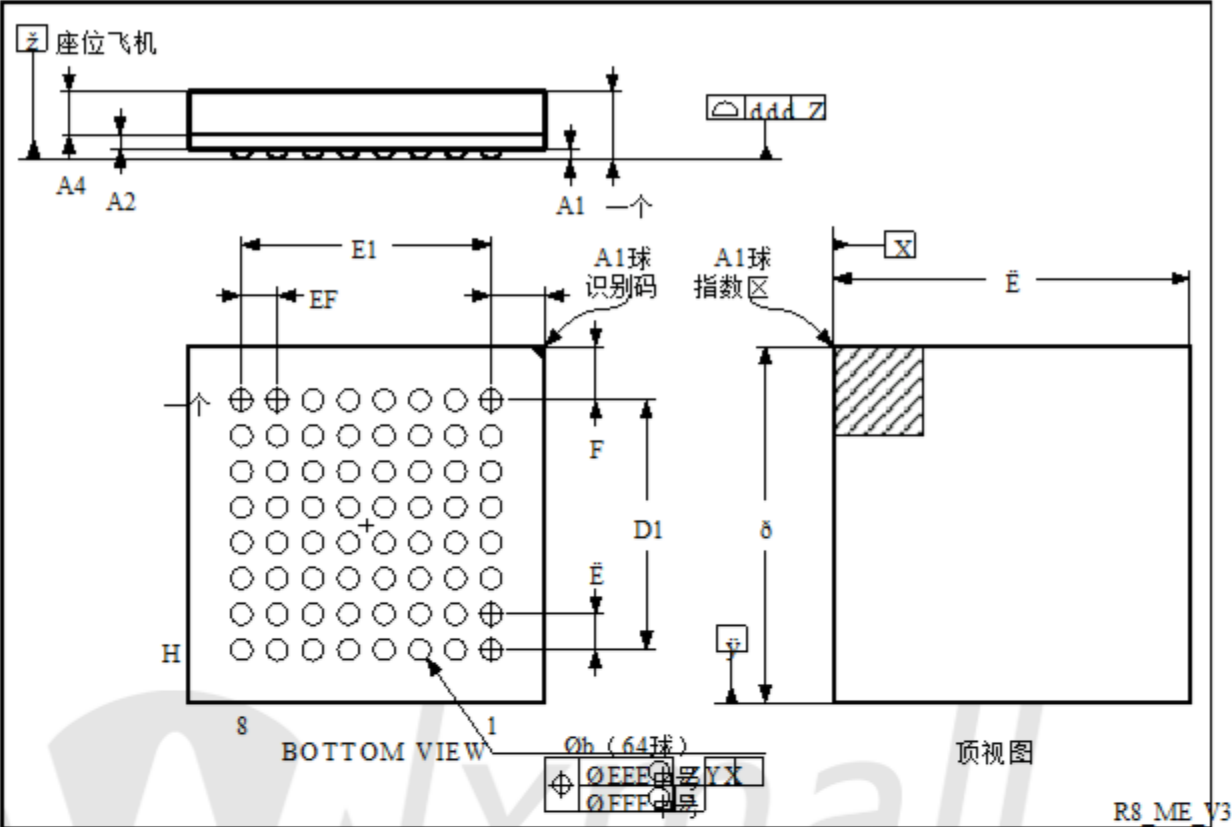
尺寸单位为毫米。

表56. LQFP64，10 x 10 mm，64引脚低调四边形封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个	-	-	1.60	-	-	0.0630
A1	0.05	-	0.15	0.0020	-	0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09	-	0.20	0.0035	-	0.0079
δ	-	12.00	-	-	0.4724	-
D1	-	10.00	-	-	0.3937	-
$\bar{E}$	-	12.00	-	-	0.4724	-
E1	-	10.00	-	-	0.3937	-
$\bar{E}$	-	0.50	-	-	0.0197	-
γ	0°	3.5°	7°	0°	3.5°	7°
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1	-	1.00	-	-	0.0394	-
ñ	引脚数					
	64					

1.以英寸为单位的值从mm转换为四位小数。

图52. TFBGA64 - 8 x 8有源球阵列，5 x 5 mm，0.5 mm间距，封装外形



绘图不按比例绘制。

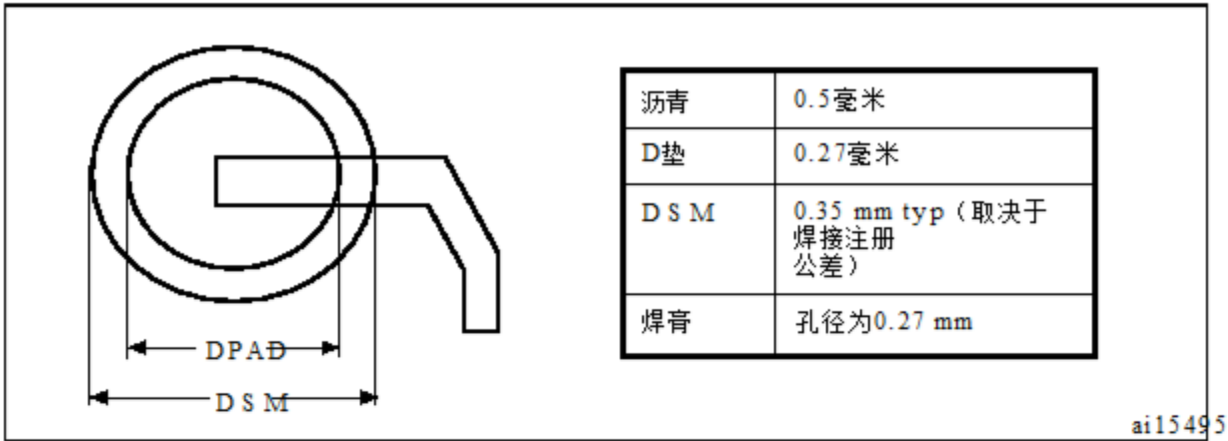
表57. TFBGA64 - 8 x 8有源球阵列，5 x 5 mm，0.5 mm间距，封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个	-	-	1.200	-	-	0.0472
A1	0.150	-	-	0.0059	-	-
A2	-	0.200	-	-	0.0079	-
A4	-	-	0.600	-	-	0.0236
b	0.250	0.300	0.350	0.0098	0.0118	0.0138
δ	4.850	5.000	5.150	0.1909	0.1969	0.2028
D1	-	3.500	-	-	0.1378	-
E	4.850	5.000	5.150	0.1909	0.1969	0.2028
E1	-	3.500	-	-	0.1378	-
E	-	0.500	-	-	0.0197	-
F	-	0.750	-	-	0.0295	-
DDD	-	-	0.080	-	-	0.0031
EEE	-	-	0.150	-	-	0.0059
FFF	-	-	0.050	-	-	0.0020

1.以英寸为单位的值从mm转换为四位数。



图53.推荐的焊盘PCB设计规则（0.5 mm间距BGA）



- 1. 建议使用非焊锡掩模（NSMD）焊盘
- 2. 4~6密耳锡膏丝印工艺

 **Wlxmall**
万联芯城
www.wlxmall.com

6.2 热特性

最大芯片结温 (T_{Jmax}) 不能超过给定值

表9: 一般操作条件, 第38页.

可以计算最大芯片结温 T_{Jmax} (摄氏度)

使用以下公式:

$$T_{Jmax} = T_{Amax} + (P_{Dmax} \times \theta_{JA})$$

哪里:

T_{Amax} 是以°C为单位的最高环境温度,

θ_{JA} 是以°C/W为单位的封装结到环境热阻,

P_{Dmax} 是 P_{INTmax} 和 $P_{I/Omax}$ ($P_{Dmax} = P_{INTmax} + P_{I/Omax}$) 之和,

P_{INTmax} 是 I_{DD} 和 V_{DD} 的乘积, 以瓦特表示. 这是最大的芯片内部电源

$P_{I/Omax}$ 表示输出引脚上的最大功耗:

$$P_{I/Omax} = 5 (V_{OL} \times I_{OL}) + 5 ((V_{DD} - V_{OH}) \times I_{OH}),$$

考虑到实际的 V_{OL}/I_{OL} 和 V_{OH}/I_{OH} 的 I/O 在低和高级别应用.

表59.封装热特性

符号	参数	值	单元
θ_{JA}	热阻结环境 LFBGA100 - 10×10 mm / 0.8 mm间距	44	°C / W
	热阻结环境 LQFP100 - 14×14 mm / 0.5 mm间距	46	
	热阻结环境 UFBGA100 - 7×7 mm / 0.5 mm间距	59	
	热阻结环境 LQFP64 - 10×10 mm / 0.5 mm间距	45	
	热阻结环境 TFBGA64 - 5×5 mm / 0.5 mm间距	65	
	热阻结环境 LQFP48 - 7 x 7 mm / 0.5 mm间距	55	
	热阻结环境 UFQFPN 48 - 7×7 mm / 0.5 mm间距	32	
	热阻结环境 VFQFPN 36 - 6×6 mm / 0.5 mm间距	18	

6.2.1 参考文件

JESD51-2集成电路热测试方法环境条件 - 自然对流 (静止). 可从 www.jedec.org 获得.

6.2.2 选择产品温度范围

订购微控制器时，温度范围在订购中指定

信息方案如表60所示：订购信息方案。

每个温度范围后缀对应于特定的保证环境温度
最大耗散和特定的最大结温。

由于应用程序通常不会在最大耗散条件下使用STM32F103xx，因此它是有用的
计算确切的功耗和结温，以确定哪一个
温度范围将最适合应用。

以下示例显示了如何计算给定值所需的温度范围
应用。

示例1：高性能应用程序

假设以下应用条件：

最高环境温度 $T_{Amax} = 82^{\circ}\text{C}$ （根据JE51-2测量），
 $I_{DDmax} = 50\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，同时输出低电平时最多使用20个I/O
 电平， $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$ ，输出时同时使用最多8个I/O
 在低电平， $I_{OL} = 20\text{ mA}$ ， $V_{OL} = 1.3\text{ V}$
 $P_{INTmax} = 50\text{ mA} \times 3.5\text{ V} = 175\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} + 8 \times 20\text{ mA} \times 1.3\text{ V} = 272\text{ mW}$
 这给出： $P_{INTmax} = 175\text{ mW}$ ， $P_{IOmax} = 272\text{ mW}$ ：
 $P_{Dmax} = 175 + 272 = 447\text{ mW}$

因此： $P_{Dmax} = 447\text{ mW}$

使用表59中获得的值 T_{Jmax} 计算如下：

- 对于LQFP100， 46°C/W
 $T_{Jmax} = 82^{\circ}\text{C} + (46^{\circ}\text{C/W} \times 447\text{ mW}) = 82^{\circ}\text{C} + 20.6^{\circ}\text{C} = 102.6^{\circ}\text{C}$

这在后缀6版本部分（ $-40 < T_J < 105^{\circ}\text{C}$ ）的范围内。

在这种情况下，零件必须至少在温度范围后缀为6（见
表60：订购信息方案）。

实施例2：高温应用

使用相同的规则，可以解决在高环境下运行的应用程序
温度低，散热低，只要结温 T_J 保持在
指定范围。

假设以下应用条件：

最高环境温度 $T_{Amax} = 115^{\circ}\text{C}$ （根据JE51-2测量），
 $I_{DDmax} = 20\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，同时输出低电平时最多使用20个I/O
 $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$
 $P_{INTmax} = 20\text{ mA} \times 3.5\text{ V} = 70\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} = 64\text{ mW}$
 这给出： $P_{INTmax} = 70\text{ mW}$ ， $P_{IOmax} = 64\text{ mW}$ ：
 $P_{Dmax} = 70 + 64 = 134\text{ mW}$

因此： $P_{Dmax} = 134\text{ mW}$

使用表59中获得的值 T_{Jmax} 计算如下:

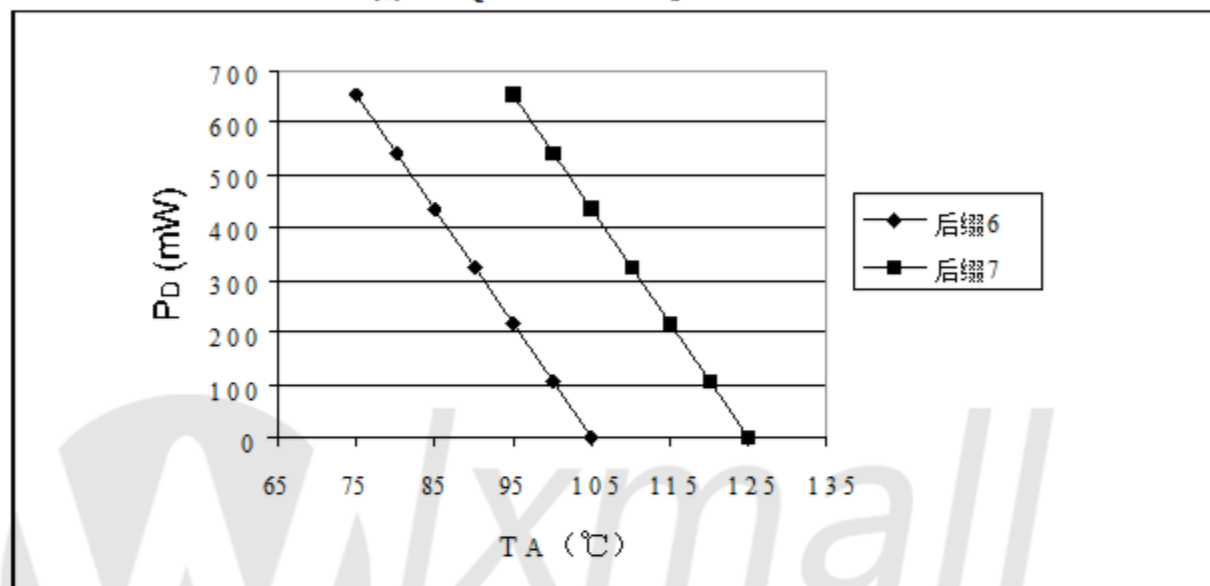
- 对于LQFP100, $46^{\circ}\text{C} / \text{W}$

$$T_{Jmax} = 115^{\circ}\text{C} + (46^{\circ}\text{C} / \text{W} \times 134\text{mW}) = 115^{\circ}\text{C} + 6.2^{\circ}\text{C} = 121.2^{\circ}\text{C}$$

这在后继7版本 ($-40 < T_J < 125^{\circ}\text{C}$) 的范围内.

在这种情况下, 零件必须至少在后继为7的温度范围内 (见
表60: 订购信息方案).

图56. LQFP100 $P_D max$ 与 T_A



7 订购信息方案

表 60. 订购信息计划

例:

STM32 F 103 C 8

7

xxx

设备系列

STM32 = 基于ARM的32位微控制器

产品类别

F = 通用目的

设备亚科

103 = 性能线

针数

T = 36 针

C = 48 针

R = 64 针

V = 100 针

闪存尺寸 (1)

8 = 64 KB 闪存

B = 128 KB 闪存

包

H = BGA

I = UFBGA

T = LQFP

U = VFQFPN 或 UFQFPN

温度范围

6 = 工业温度范围, -40至85°C.

7 = 工业温度范围, -40至105°C.

选项

xxx = 编程零件

TR = 磁带和真实

1. 虽然本数据手册中没有描述STM32F103x6器件, 但是没有订购的部件号在温度范围代码6或7之后显示A内部代码应参考本数据表电气特性. 低密度数据表仅涵盖STM32F103x6器件代码.

有关可用选项 (速度, 包装等) 的列表或有关任何方面的更多信息, 请联系您最近的ST销售办事处.



8 修订记录

表 61. 文件修订历史

日期	调整	变化
01 年, 2007 年	1	初始发行.
20 - 07 月 2007	2	闪存大小在注 9, 注 5, 注 7 和 BGA100 引脚添加到表 5: 中密度 STM32F103xx 引脚定义. 图 3: STM32F103xx 性能线 LFBGA100 调整添加. 图 23 中的 T_{HSE} 变为 T_{LSE}: 低速外部时钟源交流时序图. V_{BAT} 在供电方案中已经修改. 在表 22 中, $t_{SU}(LSE)$ 变为 $t_{SU}(HSE)$: HSE 4-16 MHz 振荡器特点. $I_{DD}(HSI)$ 最大值添加到表 24: HSI 振荡器特点. 样品尺寸修改和机器模型在静电中去除放电 (ESD). 修改的零件数量和静态中的标准参考更新. 闭锁. 25°C 和 85°C 条件被删除, 类名修改. 在表 33 中: 电敏感性. R_{PU} 和 R_{PD} 最小值和最大值添加到表 35: I/O 静态特性. R_{PU} 最小值和最大值添加到表 38: NRST 引脚特性. 图 32: I2C 总线交流波形和测量电路. 图 31: 建议 NRST 引脚保护修正. 注释在表 9, 表 38, 表 44 之下删除. I_{DD} 典型值在表 11 中更改: 最大电流消耗. 在运行和睡眠模式. 表 39: 修改了 TIMx 特性. t_{STAB}, V_{REF+} 值, t_{lat} 和 f_{TRIG} 添加到表 46: ADC 特点. 在表 29 中: 闪存耐久性和数据保留, 典型 $T_A = 85^\circ\text{C}$ 的耐久性和数据保留, T_A 的数据保留 $= 25^\circ\text{C}$. 表 B 中的 V_{BG} 更改为 V_{REFINT}: 嵌入式内部参考电压. 文件标题已更改. 控制器局域网 (CAN) 部分修改. 图 14: 电源方案修改. 第 1 页的功能优化列表. 小文字变化.

表61.文件修订历史 (续)

日期	调整	变化
10月18日 - 2007年 3		STM32F103CBT6, STM32F103T6和STM32F103T8根部分数字增加 (见表2: <i>STM32F103xx</i> 中密度器件功能和周边计数) 增加了VFQFPN36封装 (见第6节: 封装特性). 所有包装符合ECOPACK®标准. 包装机械数据英寸值从mm计算, 舍入为4位十进制数字 (见第6节: 封装特性). 表5: 中密度STM32F103xx引脚定义更新和澄清. 表26: 更新了低功耗模式唤醒时序. $T_{A\min}$在表12中校正: 嵌入式内部参考电压. 表2所示的注2: <i>HSE 4-16 MHz 振荡器特性</i>. V_{ESD} (CDM) 值添加到表32: ESD绝对最大额定值. 附表4和V_{OH} 参数描述修改表36: 输出电压特性. 表1中修改的注1: <i>I/O AC特性</i>. 公式1和表47: 加到$f_{ADC} = 14\text{ MHz}$的RAIN max 第5.3.18节: <i>12位ADC特性</i>. V_{AIN}, $t_{S\max}$, t_{CONV}, $V_{REF+min}$和$t_{lat\max}$修改, 注释修改并且 在表46中添加了 t_{latr}: ADC特性. 图37: ADC精度特性更新. 注1修改 下图38: 使用ADC的典型连接图. 第60页的静电放电 (ESD) 已修改. 图1中修改的TIM4通道数: <i>STM32F103xx</i> 性能框图. 最大电流消耗表13, 表14和表15 更新: 表35中修改的 V_{Hys}: I/O静态特性. 表49: ADC精度更新. t_{VDD} 在表10中修改: 操作 上电/掉电的条件. V_{FESD} 值添加在表30中: EMS特点. 修改的值, 注释2修改, 注释3删除在表26中: 电源模式唤醒时序. 表16: 停止和停止时的典型和最大电流消耗 待机模式: 为V_{DD}/V_{BAT} 添加的典型值 $BAT = 2.4\text{ V}$, 注2 修改后, 附表2. 表21: 添加 的待机模式下的典型电流消耗. 片 添加了第50页的周边电流消耗. ACC HSI 值在表24中更新: HSI振荡器特性. V_{prog} 添加到表28: 闪存特性. 图11中修改的上部选项字节地址: 存储器映射. 典型的f_{LSI}值添加在表25中: LSI振荡器特性和 内部RC值在整个文件中从32到40 kHz修正. T_{S_temp} 添加到表50: TS特性. NEND 修改 表29: 闪存耐久性和数据保留. $T_{S_vrefint}$ 添加到表12中: 嵌入式内部参考电压. 处理一般输入/输出特性中指定的未使用的引脚. 所有I/O都符合CMOS和TTL标准. 图39: 电源 电源和参考去耦 (V_{REF+}未连接到V_{DDA}) 改性. t_{JITTER} 和f_{VCO} 从表27中删除: PLL特性. 附录A: 添加了第81页的重要注意事项. 添加了图16, 图17, 图19和图21.

表61.文件修订历史 (续)

日期	调整	变化
22 - 11月, 2007年 4		文件状态从初步数据提升到数据表。 STM32F103xx经过USB认证,小文字变化。 第15页上的电源方案已修改,通信次数 外设修正为STM32F103Tx和GPIO数量 修正了表2中的LQFP封装: STM32F103xx中密度 设备功能和外设计数。 主要功能和默认的交替功能修改PC14和PC15 in, 附注6, Remap列加入表5: Medium-density STM32F103xx引脚定义。 VDD-VSS额定值和表1中修改的注1: 电压特性, 表1中修改的注1: 电流特性。 表11中添加了注1和注2: 嵌入式复位和电源 控制块特性。 IDD值为72 MHz, 外设启用在表14中进行修改: 运行模式下的最大电流消耗, 带数据处理的代码 从RAM运行。 IDD值为72 MHz, 外设启用在表15中进行修改: 在睡眠模式下的最大电流消耗, 从Flash运行的代码 或RAM在第44页。 我DD_VBAT典型值在2.4 V修改和IDD_VBAT最大值 加入表16: 停止中的典型和最大电流消耗 和待机模式, 附注第48页表18和表18 ,ADC1和ADC2消耗和注释修改 表19: 外围电流消耗。 tSU (HSE) 和tSU (LSE) 条件在表22和表23中修改, 分别。 从表26中删除的最大值: 低功耗模式唤醒 时序, tRET条件在表29中修改: 闪存耐久性 和数据保留, 图14: 电源方案修正。 图20: 带稳压器的停止模式下的典型电流消耗 在VDD = 3.3 V和3.6 V时, 低功耗模式与温度相关。 图33: SPI时序图 - 从模式和 CPHA = 0, 注释如下图34所示: SPI时序图 - 从机 模式和CPHA = 1 (1)。 有关未使用的引脚的详细信息从通用输入/输出中删除 第62页的特性。 表42: SPI特性已更新, 表43: USB启动时间 添加, VAIN, tlat和tlatr修改, 注释添加和I1kg删除 表46: ADC特性, 测试条件修改并注释添加 在表49中: ADC精度, 表47和表50列出了附注。 表54中校正的英制值: LQFP100, 14 x 14 mm 100针低 型号四平方包机械数据, 表56: LQFP64, 10 x 10 mm, 64引脚低四边扁平封装机械数据表58: LQFP48, 7 x 7 mm, 48针低四边扁平封装机械 数据。 δ用于VFQFPN36封装的JA值加在表59中: 封装热 特点。 订单代码取代第7节: 订购信息方案。 MCU的操作条件修改为典型电流消耗 第47页, 表50中修改的Avg_Slope和V25: TS特性。 第70页上的I2C接口特性进行了修改。 A.4中指定的阻抗大小: ADC输入0上的电压毛刺 第81页。

表61.文件修订历史 (续)

日期	调整	变化
年3月14 2008	五	图2: 添加了第12页的时钟树. 表8中给出的 <i>最大TJ</i> 值: 第38页的热特性. <i>添加CRC功能 (参见 CRC (循环冗余校验) 计算单元</i> 在第9页 和图11: 地址的第34页的存储器映射). <i>IDD</i> 在表16中修改: 典型和最大电流消耗 <i>停止和待机模式.</i> <i>ACC HSI</i> 在表24中修改: HSI振荡器特性 (第55页) 注释2删除. <i>PD, TA</i> 和 <i>TJ</i> 添加, <i>tprog</i> 值修改和 <i>tprog</i> 描述澄清 在表28中: <i>第57页的闪存特性.</i> <i>tRET</i> 在表29中修改: 闪存耐久性和数据保留. <i>VNF (NRST)</i> 单元在表38中校正: NRST引脚特性 <i>第68页.</i> 表42: 第72页的SPI特性已修改. <i>我将VREF</i> 添加到表46: 第76页的ADC特性. 表48: <i>ADC精度 - 加入的测试条件有限.</i> 表49: <i>ADC</i> 精度修正. <i>LQFP100</i> 封装规格已更新 (见第6节: 封装 特性见第81页). 推荐的LQFP100, LQFP 64, LQFP48和VFQFPN36脚印 添加 (参见图48, 图51, 图55和图42). 第6.2节: <i>第93页的热特性修改, 第6.2.1节</i> 并添加了6.2.2节. 附录A: <i>删除了第81页上的重要性注意事项.</i>
3月21日 - 2008年 6		小文字变化.图11: 记忆图已澄清. 在表29中: <i>闪存耐久性和数据保留:</i> -N END 在整个温度范围内进行测试 -为tRET指定的循环条件 -tRET min在TA = 55°C时 修改 V25, Avg Slope和TL 在表50中修改: TS特性. CRC功能已删除.
22 2008年5月	7	<i>加了CRC功能.小文字变化.第1节: 介绍</i> 改性.第2.2节: 整个家庭完全兼容. <i>IDD</i> 在TA max = 105°C时添加到表16: 典型和最大电流 <i>停止和待机模式下的耗材 (第45页).</i> <i>IDD_VBAT</i> 从 表21中删除: 典型的电流消耗 <i>待机模式 (第47页).</i> 加到表41中的值: SCL频率 (<i>fPCLK1</i> = 36MHz, <i>VDD_I2C</i> = 3.3 V). 图33: <i>SPI</i>时序图 - 从模式, <i>CPHA</i> = 0 (第73页) 改性.公式1已更正. <i>tRET</i> 在TA = 105°C修改表29: 闪存耐久性和 <i>第58页上的数据保留.</i> <i>VUSB</i> 添加到表44: USB直流电气特性 (第75页). 图56: 修改了第95页的LQFP100 PD max与TA. <i>Axx</i>选项添加到表60: 订购信息方案 (第96页).

表61.文件修订历史 (续)

日期	调整	变化
21 - 07月2008	8	电源管理更新, V_{DDA} 添加到表9: 总则运行条件. 图14中修改的电容: 第36页的电源方案. 第5节修订的表格说明: 电气特性. 表16: 停止和停止时的典型和最大电流消耗待机模式修改. 数据添加到表16: 典型和最大电流消耗停止和待机模式和 表21: 典型电流消耗待机模式 被删除. f_{HSE_ext} 在表20中修改: 高速外部用户时钟 f_{PLL_IN} 在表27中修改: PLL 第57页的特性. 从快速模式中删除的最小SDA和SCL下降时间值 表40: I2C特性, 第70页, 注释1修改. $t_h(NSS)$ 在表42中修改: SPI特性 (第72页) 图33: SPI时序图 - 从模式, $CPHA = 0$ (第73页). C ADC 在表46中修改: ADC特性 (第76页) 图38: 使用ADC修改的典型连接图. 从表50中删除 典型的 TS_temp 值: TS特性 第80页. LQFP48封装规格已更新 (见表58和表55), 第6节: 修改包装特征. Axx选项从表60中删除: 订购信息方案 第96页. 小文字变化.
22月 - 2008年	9	删除STM32F103x6零件号 (见表60: 订购信息方案) 小文字变化. 通用定时器 (TIMx) 和高级控制定时器 (TIM1) 第18页更新. 注释更新在表5: 中密度STM32F103xx引脚定义在第28页. 注释2 修改如下表6: 电压特性, 第37页, $\Delta V_{DDx} _{min}$和$\Delta V_{DDx} _{max}$最小删除. 5.3.5规定的测量条件: 电源电流特性在第41页. I_{DD} 在85°C的待机模式下修改为表16: 典型和停止和待机模式下的最大电流消耗 第45页. 第62页的一般输入/输出特性修改. f表30中修改的 HCLK 条件: 第59页的EMS特性. 6JA和LFBGA100封装修改的音调值在表59中: 封装热特性.小文字变化.

表61.文件修订历史 (续)

日期	调整	变化
23-APR-2009	10	I/O信息在第1页得到澄清. 图3: STM32F103xx性能线LFBGA100改装. 图11: 修改了内存映射.表4: 定时器功能比较添加. PB4, PB13, PB14, PB15, PB3 / TRACESWO从默认列移动到重新映射表5中的列: 中密度STM32F103xx引脚定义. 表9中校正的LFBGA100的PD: 一般操作条件. 注释修改见表13: 运行模式下的最大电流消耗, Flash中的数据处理代码, 表15: 最大值休眠模式下的电流消耗, 从Flash或RAM运行的代码. 表20: 高速外部用户时钟特性和表21: 低速外部用户时钟特性修改. 图20显示了典型曲线 (标题修改). ACC HSI最大值在表24中修改: HSI振荡器特性. 添加了TFBGA64包 (见表57和表52) 小文字变化.
22九月2009	11	附注5已更新, 附注4添加在表5中: 密度STM32F103xx引脚定义. VREFINT和T Coeff添加到表12: 嵌入式内部参考电压. 我将DD_VBAT值添加到表16: 典型值和最大值停止和待机模式下的电流消耗.图18: 典型VBAT上的RTC对温度的电流消耗 添加了不同的VBAT值. fHSE_ext min修改表20: 高速外部用户时钟特点. CL1和CL2由表22中的C代替: HSE 4-16 MHz振荡器特性和表23: LSE振荡器特性 (fLSE = 32.768 kHz), 修改并移动到表格下面的注释.表24: 恒指振荡器特性修改.从表26中删除的条件: 低功耗模式唤醒时序. 注释1修改如下图24: 具有8 MHz的典型应用水晶. IEC 1000标准更新为IEC 61000和SAE J1752 / 3更新第5.3.10节中的IEC 61967-2: EMC特性 (第58页). 抖动增加到表27: PLL特性. 表42: SPI特性修改. C ADC和R AIN 参数在表46中修改: ADC特性. R AIN最大值在表47中修改: fADC = 14 MHz的RAIN最大值. 图45: LFBGA100-10x10毫米薄型细间距球栅阵列包装轮廓更新.
03月2010	12	增加了STM32F103TB设备. 增加了VFQFPN48封装. 表40更新了笔记2: I2C特性 更新图32: I2C总线交流波形和测量电路 更新图31: 推荐NRST引脚保护 更新了第5.3.12节: I/O电流注入特性

表61.文件修订历史 (续)

日期	调整	变化
19-APR-2011	13	表6中更新了脚注: 第37页的电压特性和表7: 当前特性 (第38页) 表20中更新了$t_{w\ min}$: 高速外部用户时钟特性在第51页 更新表23中的启动时间: LSE振荡器特性 ($f_{LSE} = 32.768\ kHz$) 添加了第5.3.12节: I/O电流注入特性 更新了第5.3.13节: I/O端口特性
07日 - 12月2012	14	增加UFBGA100 7 x 7毫米. 更新图50: LQFP64, 10 x 10 mm, 64引脚低调四边形包装轮廓添加针1识别.



表61.文件修订历史 (续)

日期	调整	变化
14月 - 2013	15	将UQFN48的VQFN48封装替换为封装页封装， 表2: STM32F103xx中密度器件的功能和外设 计数，图9: STM32F103xx性能线UFQFPN48引脚， 表2: STM32F103xx中密度器件的功能和外设 计数，表55: UFBGA100 - 超细间距球栅阵列，7x7mm， 0.50 mm间距，包装机械数据，表60: 订购 信息方案和更新表59: 封装热 特点 在表2中添加了TFBGA ADC通道的脚注: STM32F103xx 中密度器件功能和外设计数 在第2.3.21节: GPIO中更新了“所有GPIO都是高电流” (通用输入/输出) 更新表5: 中密度STM32F103xx引脚定义 第5.1.1节中修正的Sigma字母: 最小值和最大值 删除了第5.3.16节“通讯”中的第一句话 接口 在表9中 添加了“VIN”: 一般操作条件 输出驱动电流中第一句更新 补充说明5. 表24: HSI振荡器特性 表35中 更新了“VIL”和“VIH”: I/O静态特性 补充说明图26: 标准I/O输入特性 - CMOS 端口，图27: 标准I/O输入特性 - TTL端口，图28: 5 V容限I/O输入特性 - CMOS端口和图29: 5 V 宽容I/O输入特性 - TTL端口 更新图32: I2C总线交流波形和测量电路 更新了笔记2和3，删除了笔记“设备必须内部...” 表40: I2C特性 表41的更新标题: SCL频率 (fPCLK1 = 36 MHz, VDD_I2C = 3.3 V) 表49中的更新注释2. ADC精度 图49: UFBGA100 - 超细间距球栅阵列，7 x 7 mm，0.50 mm间距，封装外形和表55: UFBGA100 - 超 细间距球栅阵列，7 x 7 mm，0.50 mm间距，包装机械 数据 更新图45: LFBGA100 - 10 x 10 mm低间距球栅阵列 封装外形和表53: LFBGA100 - 10 x 10 mm低 间距球栅阵列封装机械数据 图52: TFBGA64 - 8 x 8有源球阵列，5 x 5 mm，0.5 mm 节距，封装轮廓和表57: TFBGA64 - 8 x 8有源球阵列，5 x 5 mm，0.5 mm间距，包装机械数据
05 - 8 - 2013	16	在表32中 更新了“VESD (CDM)”的参考: ESD绝对值 最高评分 图30中修正的“tf (IO) 输出”: I/O AC特性定义 更新表52: UFQFPN48 7 x 7 mm，0.5 mm间距，封装 机械数据

请仔细阅读：

本档中的信息仅供ST产品使用.意法半导体及其子公司（“ST”）保留对本文档以及本文所述的产品和服务进行任何更改，更正，修改或改进的权利时间，恕不另行通知。

所有ST产品均按照ST的销售条款和条件出售。

买家对本文所述的ST产品和服务的选择，选择和使用负全部责任，ST假定没有对本文所述的ST产品和服务的选择，选择或使用的任何责任。

根据本文件，不得以禁止反言或其他方式明示或默示任何知识产权.如果这个的任何部分文件是指任何第三方产品或服务，ST不得将其视为使用此类第三方产品的许可证或服务，或其中包含的任何知识产权或被认为是以任何方式使用的保证第三方产品或服务或其中包含的任何知识产权。

除非另有规定，否则ST的条款和条件不得以任何明示或暗示的方式关于使用和/或销售ST产品的保证，包括但不限于暗示适销性，适用于特定用途的保证（及其法律等同条款）任何司法管辖区），或侵犯任何专利，版权或其他知识产权。

ST产品未经授权用于武器.或者是被设计或授权使用的ST产品IN: (A) 安全关键应用，如生命支持，主动投影设备或系统产品功能安全要求；(B) 航空应用；(C) 汽车应用或环境，和/或(D) 航空应用或环境.在哪里ST产品不设计对于这种使用，购买者将在购买者的风险中使用产品，即使ST已被通知撰写此类使用权，除非产品明确指定为ST，因为“汽车，汽车安全或医疗”行业领域符合ST产品设计规范.产品正式ESCC，QML或JAN认证适用于航空航天中使用相关政府机构

与本文件所述的陈述和/或技术特征不同的ST产品转售将立即失效ST所提供ST ST产品或服务的任何保证，不得以任何方式创建或扩展任何ST的责任

ST和ST标志是ST在各地的商标或注册商标.
本文档中的信息取代了以前提供的所有信息.
ST标志是意法半导体的注册商标.所有其他名称均为其各自所有者的财产。

©2013意法半导体 - 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克共和国 - 芬兰 - 法国 - 德国 - 香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美利坚合众国

www.st.com

