



STM32F103xC STM32F103xD STM32F103xE

基于ARM的高密度性能线32位MCU，具有256到
512KB Flash，USB，CAN，11个定时器，3个ADC，13个通信接口

特征

■ 核心：ARM 32位Cortex™-M3 CPU

- 最高72 MHz的频率，
1.25 DMIPS / MHz (Dhrystone 2.1)
性能在0等待状态记忆
访问

- 单周期乘法和硬件
师

■ 记忆

- 256至512千字节的闪存
- 高达64千字节的SRAM
- 4个灵活的静态存储器控制器
芯片选择支持Compact Flash，
SRAM，PSRAM，NOR和NAND存储器
- LCD并行接口，8080/6800模式

■ 时钟，重置和供应管理

- 2.0至3.6 V的应用电源和I / O
- POR，PDR和可编程电压
检测器（PVD）
- 4至16 MHz晶体振荡器
- 内部8 MHz工厂预留RC
- 带校准的内部40 kHz RC
- 带有校准的RTC的32 kHz振荡器

■ 低功耗

- 睡眠，停止和待机模式
- VBAT为RTC和备份寄存器提供电源

■ 3×12位，1μsA/D转换器（最多21个 频道）

- 转换范围：0至3.6 V
- 三重采样和保持功能
- 温度感应器

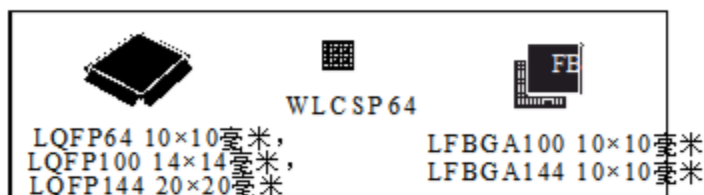
■ 2×12位D/A转换器

■ DMA：12通道DMA控制器

- 支持的外设：定时器，ADC，DAC，
SDIO，I2Ss，SPIs，I2Cs和USART

■ 调试模式

- 串行线调试（SWD）和JTAG接口
- Cortex-M3嵌入式跟踪宏单元



■ 多达112个快速I/O端口

- 51/80/112 I / O，全部可在16上映射
外部中断向量里和几乎所有
5 V容忍

■ 最多11个定时器

- 最多4个16位定时器，每个定时器最多4个
IC / OC / PWM或脉冲计数器和
正交（增量）编码器输入
- 2×16位电机控制PWM定时器
死亡时间的产生和紧急停止
- 2×看门狗定时器（独立和
窗口）
- SysTick计时器：24位下降计数器
- 2×16位基本定时器来驱动DAC

■ 最多13个通讯接口

- 最多2×I2C接口（SMBus / PMBus）
- 多达5个USART（ISO 7816接口，LIN，
IrDA能力，调制解调器控制）
- 最多3个SPI（18 Mbit / s），2个I2S
接口多路复用
- CAN接口（2.0B有源）
- USB 2.0全速接口
- SDIO接口

■ CRC计算单元，96位唯一ID

■ ECOPACK® 包装

表格1. 设备摘要

参考	零件号
STM32F103xC	STM32F103RC STM32F103VC STM32F103ZC
STM32F103xD	STM32F103RD STM32F103VD STM32F103ZD
STM32F103xE	STM32F103RE STM32F103ZE STM32F103VE

内容

1	介绍	9
2	说明	10
2.1	设备概述	11
2.2	在整个家庭完全兼容	14
2.3	概述	15
2.3.1	带有嵌入式闪存和SRAM的 ARM®Cortex™M3内核	15
2.3.2	嵌入式闪存	15
2.3.3	CRC (循环冗余校验) 计算单元	15
2.3.4	嵌入式SRAM	15
2.3.5	FSMC (灵活的静态存储器控制器)	15
2.3.6	LCD并行接口	16
2.3.7	嵌套向量中断控制器 (NVIC)	16
2.3.8	外部中断/事件控制器 (EXTI)	16
2.3.9	时钟和启动	16
2.3.10	启动模式	17
2.3.11	供电方案	17
2.3.12	电源管理员	17
2.3.13	电压调节器	17
2.3.14	低功耗模式	18
2.3.15	DMA	18
2.3.16	RTC (实时时钟) 和备份寄存器	18
2.3.17	定时器和看门狗	19
2.3.18	IC总线	20
2.3.19	通用同步/异步接收发射机 (USART)	21
2.3.20	串行外设接口 (SPI)	21
2.3.21	内部集成声音 (I2S)	21
2.3.22	SDIO	21
2.3.23	控制器区域网络 (CAN)	21
2.3.24	通用串行总线 (USB)	22
2.3.25	GPIO (通用输入/输出)	22
2.3.26	ADC (模数转换器)	22
2.3.27	DAC (数字 - 模拟转换器)	22
2.3.28	温度感应器	23

2.3.29	串行线JTAG调试端口 (SWJ-DP)	23
2.3.30	嵌入式跟踪宏单元	23
3	引脚和引脚说明	24
4	内存映射	38
五	电气特性	39
5.1	参数条件	39
5.1.1	最小值和最大值	39
5.1.2	典型值	39
5.1.3	典型的曲线	39
5.1.4	加载电容器	39
5.1.5	引脚输入电压	39
5.1.6	供电方案	40
5.1.7	电流消耗测量	40
5.2	绝对最大额定值	41
5.3	运行条件	42
5.3.1	一般操作条件	42
5.3.2	上电/掉电时的操作条件	43
5.3.3	嵌入式复位和功率控制模块特性	43
5.3.4	嵌入式参考电压	44
5.3.5	供应电流特性	44
5.3.6	外部时钟源的特点	54
5.3.7	内部时钟源的特点	58
5.3.8	PLL特性	60
5.3.9	记忆特性	60
5.3.10	FSMC的特点	61
5.3.11	EMC特性	80
5.3.12	绝对最大额定值 (电气灵敏度)	81
5.3.13	I/O端口特性	82
5.3.14	NRST引脚特性	86
5.3.15	TIM定时器特性	87
5.3.16	通信接口	88
5.3.17	CAN (控制器局域网) 接口	97
5.3.18	12位ADC特性	98
5.3.19	DAC电气规格	103

5.3.20	温度传感器特性.....	105
6	包特点.....	106
6.1	包装机械数据.....	106
6.2	热特性.....	114
6.2.1	参考文件.....	114
6.2.2	选择产品温度范围.....	115
7	零件编号.....	117
8	修订记录.....	118



表的列表

表格 1.	设备摘要.....	1
表 2	STM32F103xC, STM32F103xD和STM32F103xE的特性和外设计数.....	11
表 3.	STM32F103xx系列.....	14
表 4	高密度计时器功能比较.....	19
表 5	高密度STM32F103xx引脚定义.....	三十
表 6	FSMC引脚定义.....	36
表 7	电压特性.....	41
表 8	目前的特点.....	41
表 9	热特性.....	42
表 10	一般操作条件.....	42
表 11	上电/掉电时的操作条件.....	43
表 12	嵌入式复位和功率控制模块特性.....	43
表 13.	嵌入式内部参考电压.....	44
表 14	运行模式下的最大电流消耗, 具有数据处理的代码 从Flash运行.....	45
表 15	运行模式下的最大电流消耗, 具有数据处理的代码 从RAM运行.....	45
表 16.	睡眠模式下的最大电流消耗, 代码从闪存或RAM运行.....	47
表 17	停止和待机模式下的典型和最大电流消耗.....	48
表 18	运行模式下的典型电流消耗, 具有数据处理的代码 从Flash运行.....	51
表 19.	睡眠模式下的典型电流消耗, 从Flash或Flash编码器运行 内存.....	52
表 20	外设电流消耗.....	53
表 21.	高速外部用户时钟特性.....	54
表 22	低速外部用户时钟特性.....	55
表 23	HSE 4-16 MHz振荡器特性.....	56
表 24	LSE振荡器特性 (fLSE = 32.768 kHz).....	57
表 25	HSI振荡器特性.....	58
表 26.	LSI振荡器特性.....	59
表 27	低功耗模式唤醒定时.....	59
表 28	PLL特性.....	60
表 29.	闪存特性.....	60
表 30	闪存耐用性和数据保留.....	61
表 31.	异步非复用SRAM / PSRAM / NOR读取时序.....	62
表 32.	异步非复用SRAM / PSRAM / NOR写时序.....	63
表 33	异步复用PSRAM / NOR读取时序.....	64
表 34.	异步多路复用PSRAM / NOR写时序.....	65
表 35	同步多路复用NOR / PSRAM读取时序.....	67
表 36.	同步多路复用PSRAM写时序.....	69
表 37.	同步非多路复用NOR / PSRAM读取时序.....	70
表 38.	同步非复用PSRAM写时序.....	71
表 39.	PC卡/ CF读写周期的开关特性.....	76
表 40	NAND Flash读写周期的开关特性.....	79
表 41.	EMS特性.....	80
表 42	EMI特性.....	81
表 43.	ESD绝对最大额定值.....	81
表 44.	电气敏感度.....	82

表45.	I / O静态特性.....	82
表46.	输出电压特性.....	84
表47.	I / O AC特性.....	85
表48.	NRST引脚特性.....	86
表49.	TIMx特性.....	87
表50.	I2 C特性.....	88
表51.	SCL频率 (fPCLK1 = 36MHz, VDD = 3.3V)	89
表52.	SPI特性.....	90
表53.	I2 S特性.....	93
表54.	SD / MMC特性.....	96
表55.	USB启动时间.....	96
表56.	USB直流电气特性.....	97
表57.	USB: 全速电气特性.....	97
表58.	ADC特性.....	98
表59.	fADC的RAIN最大值 = 14 MHz.....	99
表60.	ADC精度 - 有限的测试条件.....	99
表61.	ADC准确度.....	100
表62.	DAC特性.....	103
表63.	TS特性.....	105
表64.	LFBGA144 - 144球低调细间距球栅阵列, 10 x 10毫米, 0.8毫米的间距, 封装数据.....	107
表65.	LFBGA100 - 10 x 10毫米薄型细间距球栅阵列封装 机械数据.....	108
表66.	WLCSP, 64球4.466x4.395毫米, 间距0.500毫米, 晶圆级芯片规模 封装机械数据.....	109
表67.	LQFP144, 20 x 20 mm, 144引脚薄型四方扁平封装机械数据.....	111
表68.	LQFP100 - 14 x 14毫米100引脚薄型四方扁平封装机械数据.....	112
表69.	LQFP64 - 10 x 10 mm 64引脚薄型四方扁平封装机械数据.....	113
表70.	封装热特性.....	114
表71.	订购信息计划.....	117

www.wlxmall.com

数字列表

图1.	STM32F103xC, STM32F103xD和STM32F103xE性能线路框图	12
图2	时钟树	13
图3.	STM32F103xC和STM32F103xE性能线BGA144 ballout	24
图4.	STM32F103xC和STM32F103xE性能线BGA100 ballout	25
图5	STM32F103xC和STM32F103xE性能线LQFP144引脚	26
图6.	STM32F103xC和STM32F103xE性能线LQFP100引脚	27
图7.	STM32F103xC和STM32F103xE性能线 LQFP64引脚	28
图8.	STM32F103xC和STM32F103xE性能线 WLCSP64弹出, 球侧	29
图9.	内存映射	38
图10.	引脚加载条件	39
图11.	引脚输入电压	39
图12.	供电方案	40
图13.	电流消耗测量方案	40
图14.	运行模式下的典型电流消耗与频率 (3.6 V时) - 代码与从RAM运行的数据处理, 启用外设	46
图15.	运行模式下的典型电流消耗与频率 (3.6 V时) - 代码与从RAM运行的数据处理, 外设禁用	46
图16.	VBAT 上的典型电流消耗 与不同的VBAT 下的RTC on-versus温度 值	48
图17.	在稳压器处于运行模式下的停止模式下的典型电流消耗 相对于不同VDD 值的温度	49
图18.	待机模式下的典型电流消耗与稳压器在低功耗 模式与温度在不同的VDD值	49
图19.	待机模式下的典型电流消耗与温度的关系 不同的VDD 值	50
图20.	高速外部时钟源交流时序图	55
图21.	低速外部时钟源交流时序图	56
图22.	典型的8 MHz晶体应用	57
图23.	典型应用与32.768 kHz晶体	58
图24.	异步非复用SRAM / PSRAM / NOR读取波形	62
图25.	异步非复用SRAM / PSRAM / NOR写入波形	63
图26.	异步复用PSRAM / NOR读取波形	64
图27.	异步多路复用PSRAM / NOR写入波形	65
图28.	同步多路复用NOR / PSRAM读取时序	66
图29.	同步多路复用PSRAM写时序	68
图30.	同步非多路复用NOR / PSRAM读取时序	70
图31.	同步非复用PSRAM写时序	71
图32.	PC卡/ CompactFlash控制器波形, 用于公共内存读取访问	72
图33.	PC卡/ CompactFlash控制器波形, 用于通用存储器写入访问	73
图34.	用于读取属性存储器的PC卡/ CompactFlash控制器波形 访问	74
图35.	PC卡/ CompactFlash控制器波形, 用于写入属性内存 访问	75
图36.	PC卡/ CompactFlash控制器波形, 用于I / O空间读取访问	75
图37.	PC卡/ CompactFlash控制器波形, 用于I / O空间写入访问	76
图38.	NAND控制器波形读取访问	78

图39.	NAND控制器波形写访问.....	78
图40.	NAND控制器波形, 用于通用存储器读取访问.....	78
图41.	NAND控制器波形, 用于通用存储器写访问.....	79
图42.	I/O AC特性定义.....	86
图43.	建议NRST引脚保护.....	86
图44.	I2C总线交流波形和测量电路.....	89
图45.	SPI时序图 - 从模式和CPHA = 0.....	91
图46.	SPI时序图 - 从模式和CPHA = 1 (1).....	91
图47.	SPI时序图 - 主模式 (1).....	92
图48.	I2S从时序图 (Philips协议) (1).....	94
图49.	I2S主时序图 (飞利浦协议) (1).....	94
图50.	SDIO高速模式.....	95
图51.	SD默认模式.....	95
图52.	USB时序: 数据信号上升和下降时间的定义.....	97
图53.	ADC准确度特性.....	100
图54.	使用ADC的典型连接图.....	101
图55.	电源和参考去耦 (VREF + 不连接到VDDA).....	101
图56.	电源和参考去耦 (VREF + 连接到VDDA).....	102
图57.	12位缓冲/非缓冲DAC.....	104
图58.	推荐的PCB设计规则 (0.80 / 0.75mm间距BGA).....	106
图59.	LFBGA144 - 144球低调细间距球栅阵列, 10 x 10毫米, 0.8毫米的间距, 包装轮廓.....	107
图60.	LFBGA100 - 10 x 10毫米薄型细间距球栅阵列封装 大纲.....	108
图61.	WLCSP, 64球4.466x4.395毫米, 间距0.500毫米, 晶圆级芯片规模 包大纲.....	109
图62.	推荐的PCB设计规则 (0.5毫米间距BGA).....	110
图63.	LQFP144, 20 x 20毫米, 144引脚薄型四通道 扁平的包大纲.....	111
图64.	建议的足迹 (1).....	111
图65.	LQFP100, 14 x 14 mm 100引脚薄型四方扁平封装轮廓.....	112
图66.	建议的足迹 (1).....	112
图67.	LQFP64 - 10 x 10毫米64引脚薄型四方扁平封装外形.....	113
图68.	建议的足迹 (1).....	113
图69.	LQFP100 PD最大值对T A.....	116

1 介绍

本数据表提供了订购信息和机械特性

STM32F103xC, STM32F103xD和STM32F103xE高密度性能线

微控制器.有关整个STMicroelectronics STM32F103xx系列的更多详细信息,

[请参阅第2.2节: 整个家庭的完全兼容性.](#)

应该与高密度STM32F103xx数据表一起阅读

STM32F10xxx参考手册.

有关编程, 擦除和保护内部闪存的信息

[请参考STM32F10xxx Flash编程手册.](#)

参考手册和Flash编程手册都可以从

[意法半导体网站www.st.com](http://www.st.com).

有关Cortex™-M3内核的信息, 请参阅Cortex™-M3技术

参考手册, 可从www.arm.com网站获取以下地址:

<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0337e/>.



2 描述

STM32F103xC, STM32F103xD和STM32F103xE性能系列

集成了高性能的 ARM®Cortex™-M3 32位RISC内核

72 MHz的频率, 高速嵌入式存储器 (闪存高达512 Kbytes)

SRAM高达64千字节), 以及广泛的增强型I/O和外设

连接两辆APB巴士.所有器件均提供三个12位ADC, 四个通用16位ADC,

bit定时器加上两个PWM定时器, 以及标准和高级通信

接口: 最多两个I2C, 三个SPI, 两个I2S, 一个SDIO, 五个USART, 一个USB和一个能够.

STM32F103xx高密度高性能系列产品工作在-40至+105°C

温度范围, 从2.0到3.6 V电源.一套完整的节电

模式允许设计低功耗应用.

STM32F103xx高密度性能线系列提供六种不同的器件

封装类型: 从64引脚到144引脚.根据所选的设备, 不同的套

外围设备都包括在内, 下面的描述给出了一个完整的范围的概述

在这个家庭提出的外设.

这些特性使得STM32F103xx高密度性能在线微控制器成为可能
家庭适用于广泛的应用:

- 电机驱动和应用程序控制
- 医疗和手持设备
- PC外设游戏和GPS平台
- 工业应用, PLC, 逆变器, 打印机和扫描仪
- 报警系统, 可视对讲和暖通空调

图1显示了器件系列的总体框图.

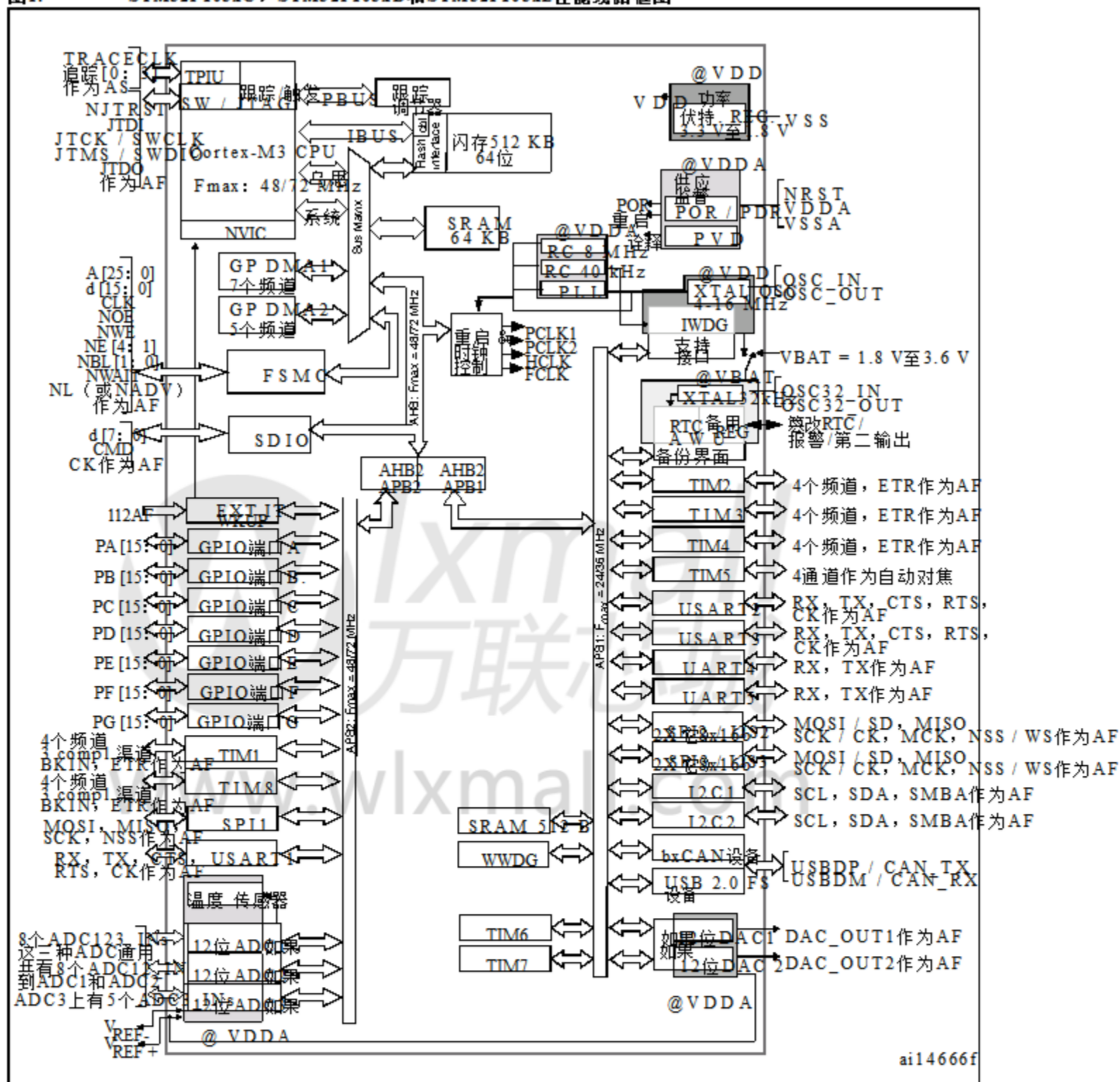
2.1 设备概述

表2 STM32F103xC, STM32F103xD和STM32F103xE的功能和外设计数

外设		STM32F103Rx			STM32F103Vx			STM32F103Zx		
以千字节为单位的闪存		256	384	512	256	384	512	256	384	512
SRAM以千字节为单位		48	64（1）		48	64		48	64	
FSMC		没有			是（2）			是		
计时器	一般用途	4								
	先进的控制	2								
	基本	2								
通讯	SPI（I2S）（3）	3（2）								
	我2C2									
	USART	五								
	USB	1								
	能够	1								
	SDIO	1								
个GPIO		51			80			112		
12位ADC通道数		3 16			3 16			3 21		
12位DAC通道数		2 2								
CPU频率		72兆赫								
工作电压		2.0至3.6 V								
工作温度		环境温度：-40至+85°C / -40至+105°C（见表10） 结温：-40至+125°C（见表10）								
包		LQFP64	WLCSP64		LQFP100，BGA100			LQFP144，BGA144		

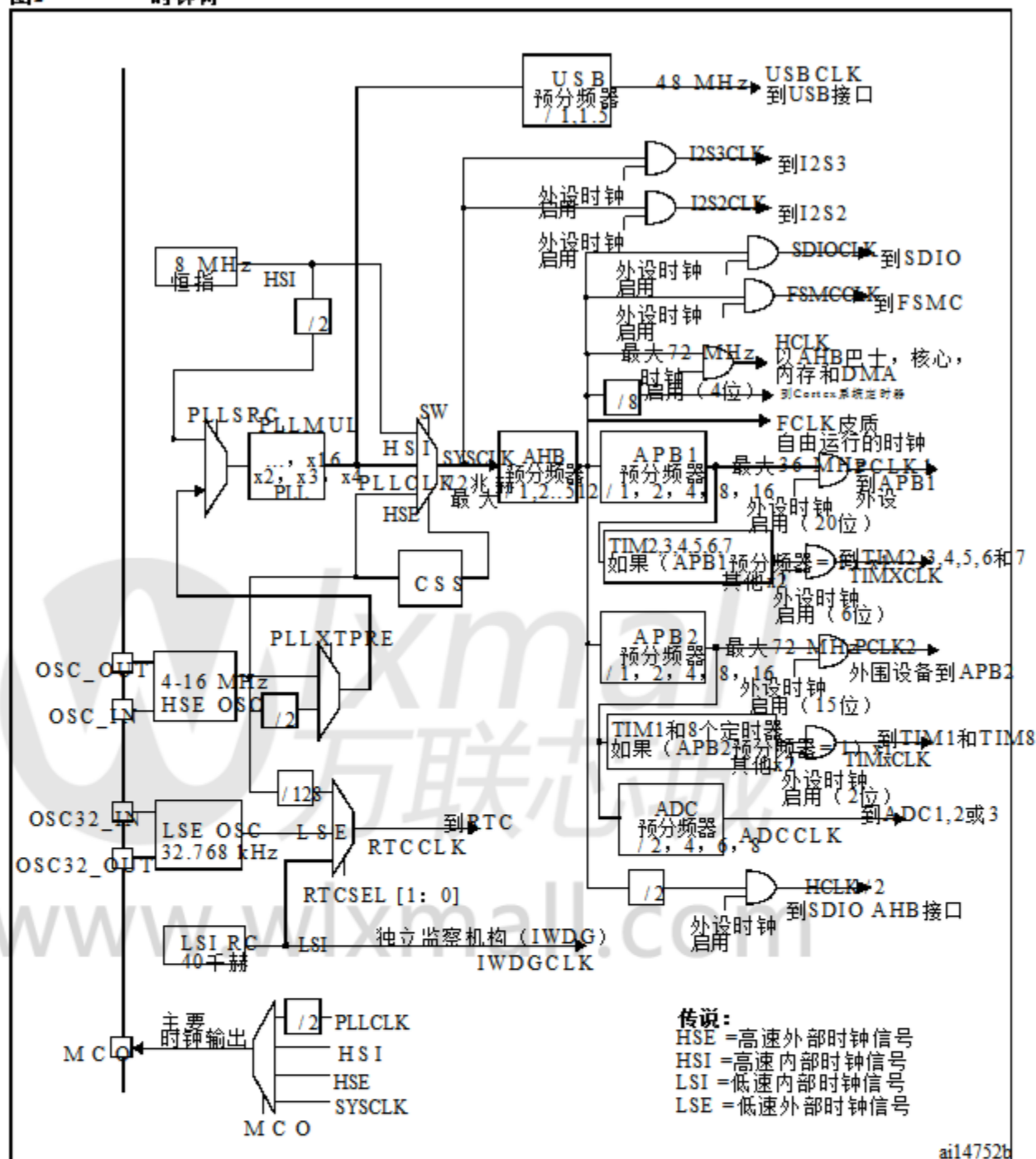
1. 仅在CSP软件包中提供的设备上提供64 KB RAM, 用于256 KB闪存。
2. 对于LQFP100和BGA100封装, 只有FSMC Bank1和Bank2可用。Bank1只能使用NE1芯片选择支持多路复用的NOR / PSRAM存储器。Bank2只能支持16或者使用NCE2片选的8位NAND闪存。由于端口G是中断线, 所以不能使用在这个软件包中不可用。
3. SPI2和SPI3接口可以灵活地在SPI模式或SPI模式下以独有的方式工作我2 S音频模式。

图1. STM32F103xC, STM32F103xD和STM32F103xE性能线路框图



1. $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ (后缀6, 见表71) 或 -40°C 至 $+105^{\circ}\text{C}$ (后缀7, 见表71), 结温可达 105°C 或 125°C .
2. AF = I/O 端口引脚上的复用功能.

图2 时钟树



1. 当HSI用作PLL时钟输入时，可以达到的最大系统时钟频率是64兆赫。
2. 为了使USB功能可用，必须启用HSE和PLL，CPU也要运行48 MHz或72 MHz。
3. 要使ADC转换时间为1μs，APB2必须为14 MHz，28 MHz或56 MHz。

2.2 在整个家庭完全兼容

STM32F103xx是一个完整的系列，其成员完全是引脚对，软件和功能兼容。在参考手册中，STM32F103x4和STM32F103x6是确定为低密度器件，STM32F103x8和STM32F103xB被称为中等密度设备和STM32F103xC，STM32F103xD和STM32F103xE是简称高密度器件。

低密度和高密度器件是STM32F103x8 / B中等规模集成电路的扩展，密度器件，它们在STM32F103x4 / 6和STM32F103xC / D / E中有详细说明数据表，分别。低密度器件具有较低的闪存和RAM容量，更少的定时器和外设。高密度设备具有更高的闪存和RAM容量，以及其他外设如SDIO，FSMC，I2S和DAC与家庭的其他成员保持完全兼容。

STM32F103x4, STM32F103x6, STM32F103xC, STM32F103xD和STM32F103xE是STM32F103x8 / B器件的直接替代品，允许用户尝试不同的设计记忆密度，并在开发周期中提供更大的自由度。

而且，STM32F103xx高性能线路系列与现有的全部兼容STM32F101xx接入线和STM32F102xx USB接入线设备。

表3. STM32F103xx系列

引脚	低密度设备		中等密度的设备		高密度设备		
	16 KB 闪存	32 KB Flash (1)	64 KB 闪存	128 KB 闪存	256 KB 闪存	384 KB 闪存	512 KB 闪存
	6 KB RAM	10 KB RAM	20 KB RAM	20 KB RAM	48或者64 KB (2) 64 KB RAM 内存	64 KB RAM	64 KB RAM
144	2xUSART 2x16位定时器 1xSPI, 1xI2C, USB, CAN, 1个PWM定时器 2xADC 3xUSART 3x16位定时器 2xSPI, 2xI2Cs, USB, CAN, 1个PWM定时器 2xADC				5xUSART		
100					4x16位定时器, 2x基本定时器		
64					3xSPI, 2xI2S, 2xI2Cs		
48					USB, CAN, 2个PWM定时器		
36					3xADC, 2xDAC, 1xSDIO		
					FSMC (100引脚和144引脚封装 (3))		

- 1. 对于在温度范围代码（6或7）之后没有显示A内部代码的可订购部件号，电气特性的参考数据表是STM32F103x8 / B中等密度的参考数据表设备。
- 2. 仅在CSP软件包中提供的设备上提供64 KB RAM，用于256 KB闪存。
- 3. 采用100引脚封装的器件不提供端口F和G。



2.3 概观

2.3.1 带有嵌入式闪存和SRAM的ARM®Cortex™-M3内核

ARM Cortex™-M3处理器是最新一代嵌入式ARM处理器系统.它已经被开发提供一个低成本的平台,以满足MCU的需求实现,在减少引脚数量和低功耗的同时提供杰出的计算性能和先进的系统响应中断.

ARM Cortex™-M3 32位RISC处理器具有出色的代码效率,通常在内存大小上提供ARM内核期望的高性能与8位和16位设备相关联.

其嵌入式ARM内核包括STM32F103xC, STM32F103xD和STM32F103xE高性能系列产品兼容所有的ARM工具和软件.

图1显示了器件系列的总体框图.

2.3.2 嵌入式闪存

高达512 KB的嵌入式闪存可用于存储程序和数据.

2.3.3 CRC (循环冗余校验) 计算单元

CRC (循环冗余校验) 计算单元用于从32位获取CRC码数据字和固定生成多项式.

在其他应用中,基于CRC的技术被用于验证数据传输存储完整性.在EN / IEC 60335-1标准的范围内,它们提供了一种手段验证闪存的完整性. CRC计算单元帮助计算签名运行时的软件,与链接生成的参考签名进行比较,时间并存储在给定的存储位置.

2.3.4 嵌入式SRAM

以CPU时钟速度访问(读/写)高达64 KB的嵌入式SRAM,等待时间为0状态.

2.3.5 FSMC (灵活的静态存储器控制器)

FSMC嵌入在STM32F103xC, STM32F103xD和STM32F103xE高性能线路系列.它有四个片选输出支持以下模式: PC卡/紧凑型闪存, SRAM, PSRAM, NOR和NAND.

功能概述:

- 三个FSMC中断线进行或运算以连接到NVIC
- 写入FIFO
- 除了NAND Flash和PC Card之外,外部存储器的代码执行
- 目标频率f CLK 是HCLK / 2,所以当HCLK时外部访问频率为36 MHz
当HCLK为48 MHz时,外部访问频率为24 MHz

2.3.6 LCD并行接口

FSMC可以配置为与大多数图形LCD控制器无缝连接.它支持英特尔8080和摩托罗拉6800模式,并且足够灵活适应特定的LCD接口.这种LCD并行接口功能可以很容易地建立成本效益,使用带嵌入式控制器的LCD模块的高效图形应用,高性能解决方案使用外部控制器和专用加速.

2.3.7 嵌套向量中断控制器 (NVIC)

STM32F103xC, STM32F103xD和STM32F103xE性能线嵌套嵌套矢量中断控制器能够处理多达60个可屏蔽中断通道(不是包括16个Cortex™-M3中断线)和16个优先级.

- 紧密耦合的NVIC提供低延迟中断处理
- 中断入口向量地址直接传递给核心
- 紧密耦合的NVIC核心接口
- 允许提前处理中断
- 处理迟到的高优先级中断
- 支持尾链
- 处理器状态自动保存
- 中断退出时中断条目在没有指令开销的情况下恢复

该硬件模块提供灵活的中断管理功能,并具有最少的中断潜伏.

2.3.8 外部中断/事件控制器 (EXTI)

外部中断/事件控制器由19个用于生成的边沿检测器线组成.中断/事件请求.每条线都可以独立配置来选择触发器事件(上升沿,下降沿,两者),可以独立屏蔽.待处理的寄存器保持中断请求的状态.EXTI可以检测到一个外部线脉冲宽度短于内部APB2时钟周期.最多可以连接112个GPIO到16个外部中断线.

2.3.9 时钟和启动

系统时钟选择在启动时执行,但内部RC 8 MHz振荡器是选择为复位时的默认CPU时钟.可以选择一个外部4-16 MHz时钟哪种情况下监控失败.如果检测到故障,则系统自动切换回到内部RC振荡器.如果启用,则会生成软件中断.同样,充满必要时可以使用PLL时钟输入的中断管理(例如间接使用的外部振荡器的故障).

几个预分频器允许配置AHB频率,高速APB (APB2)和低速APB (APB1)域. AHB的最大频率和高速APB域是72 MHz.低速的最大允许频率APB域是36 MHz.有关时钟树的详细信息,请参见图2.

2.3.10 启动模式

在启动时，启动引脚用于选择三种启动选项之一：

- 从用户Flash引导
- 从系统内存启动
- 从嵌入式SRAM启动

引导加载程序位于系统内存中.它用于通过重新编程Flash存储器使用USART1.

2.3.11 供电方案

- $V_{DD} = 2.0$ 至 3.6 V: 用于I/O和内部稳压器的外部电源.通过VDD引脚从外部提供.
- V_{SSA} , $V_{DDA} = 2.0$ 至 3.6 V: 用于ADC, 复位模块, RC的外部模拟电源和PLL (使用ADC时, 施加到VDDA的最小电压为 2.4 V). VDDA和VSSA必须分别连接到VDD和VSS.
- $V_{BAT} = 1.8$ 至 3.6 V: RTC电源, 外部时钟 32 kHz振荡器和备份.当VDD不存在时注册 (通过电源开关).

有关如何连接电源引脚的更多详细信息, 请参阅图12: 电源方案.

2.3.12 电源管理员

该器件具有集成的上电复位 (POR) /掉电复位 (PDR) 电路.它是始终处于活动状态, 并确保从 2 V开始正常工作.设备保持不变.在复位模式下, 当VDD低于指定的阈值时, VPOR/PDR, 而不需要一个外部复位电路.

该器件具有嵌入式可编程电压检测器 (PVD), 可监测VDD/VDDA电源, 并将其与VPVD阈值进行比较.中断可以当VDD/VDDA下降到VPVD阈值以下和/或VDD/VDDA更高时产生比VPVD阈值.中断服务程序可以生成警告消息和/或将MCU置于安全状态. PVD是由软件启用的.参考表12: 数值的嵌入式复位和功率控制模块特性VPOR/PDR和VPVD.

2.3.13 电压调节器

调节器有三种操作模式: 主 (MR), 低功率 (LPR) 和断电.

- MR用于标称调节模式 (运行)
- LPR用于停止模式.
- 掉电用于待机模式: 稳压器输出高阻抗: 内核电路关闭, 导致零消耗 (但内容寄存器和SRAM丢失)

该调节器在复位后始终使能.在待机模式下禁用.

2.3.14 低功耗模式

STM32F103xC, STM32F103xD和STM32F103xE性能线支持三种实现低功耗模式之间的最佳折中, 低功耗, 短路启动时间和可用的唤醒源:

- **睡眠模式**
在睡眠模式下, 只有CPU停止. 所有的外围设备继续运行, 可以当中断/事件发生时唤醒CPU.
- **停止模式**
停止模式在保持内容的同时达到最低的功耗. SRAM和寄存器. 1.8V域中的所有时钟都停止工作, PLL, HSI RC HSE晶体振荡器被禁用. 电压调节器也可以放. 无论是正常模式还是低功耗模式. 该设备可以通过任何EXTI线从停止模式中唤醒. EXTI线源可以是16条外部线路之一, PVD输出, RTC报警或USB醒来.
- **待机模式**
待机模式用于实现最低的功耗. 内置的电压调节器关闭, 整个1.8 V电源关闭. 该PLL, HSI RC和HSE晶体振荡器也被关闭. 进入后备用模式下, 除备份中的寄存器外, SRAM和寄存器内容都将丢失域和备用电路. 当外部复位 (NRST引脚), IWDG复位, WKUP引脚的上升沿, 或发生RTC报警.

注意: RTC, IWDG和相应的时钟源不会通过进入停止来停止或待机模式.

2.3.15 DMA

灵活的12通道通用DMA (7个通道用于DMA1和5个通道, DMA2) 能够管理存储器到存储器, 外设到存储器和存储器到存储器, 外设传输. 两个DMA控制器支持循环缓冲区管理, 当控制器到达结束位置时, 不需要用户代码干预缓冲.

每个通道都连接到专用硬件DMA请求, 并支持软件触发每个通道. 配置是由软件和传输大小之间来源和目的地是独立的.

DMA可以与主要外设一起使用: SPI, I2C, USART, 通用, 基本和先进控制定时器TIMx, DAC, I2S, SDIO和ADC.

2.3.16 RTC (实时时钟) 和备份寄存器

RTC和备份寄存器通过一个接通电源的开关提供VDD电源时, 或通过VBAT引脚. 备份寄存器是四十二个16位. 当VDD电源不存在时用于存储84个字节的用户应用程序数据的寄存器. 它们不会被系统或电源复位重置, 并且在设备时不会重置从待机模式唤醒.

实时时钟提供了一套可以连续运行的计数器. 合适的软件提供一个时钟日历功能, 并提供一个闹钟中断和一个

周期性中断.它是由一个32.768 kHz的外部晶体，谐振器或振荡器，时钟
内部低功耗RC振荡器或高速外部时钟128分频
内部低速RC的典型频率为40 kHz. RTC可以使用校准
一个外部的512赫兹输出来补偿任何自然石英偏差. RTC功能
一个32位可编程计数器，用于比较寄存器的长期测量
产生一个警报.时基时钟采用20位预分频器，默认情况下为20位预分频器
配置为从32.768 kHz的时钟产生1秒的时基.

2.3.17 定时器和看门狗

高密度的STM32F103xx高性能线路器件包括多达两个高级 -
控制定时器，最多四个通用定时器，两个基本定时器，两个看门狗定时器和
一个SysTick计时器.

表4比较了高级控制，通用和基本定时器的功能.

表4 高密度计时器功能比较

计时器	计数器 解析度	计数器 类型	预分频器 因子	DMA请求 代	捕获/比较 通道	补充 输出
TIM1, TIM8	16位	向上, 下, 向上/向下	任何整数 在1之间 和65536	是	4	是
TIM2, TIM3, TIM4, TIM5	16位	向上, 下, 向上/向下	任何整数 在1之间 和65536	是	4	没有
TIM6, TIM7	16位	向上	任何整数 在1之间 和65536	是	0	没有

高级控制定时器（TIM1和TIM8）

两个高级控制定时器（TIM1和TIM8）每个都可以看作是一个三相
PWM在6个通道上复用.它们具有互补的PWM输出
可编程的插入死区时间.他们也可以被视为一个完整的通用目的
计时器. 4个独立的通道可用于：

- 输入捕捉
- 输出比较
- PWM生成（边缘或中心对齐模式）
- 单脉冲模式输出

如果配置为标准的16位定时器，则具有与TIMx定时器相同的功能.如果
配置为16位PWM发生器，具有全调制能力（0-100％）.

在调试模式下，可以冻结高级控制定时器计数器并输出PWM
禁用该功能来关闭由这些输出驱动的任何电源开关.

许多功能与通用TIM计时器共享
同样的建筑.高级控制计时器因此可以与TIM一起工作
定时器通过定时器链接功能进行同步或事件链接.

通用定时器 (TIMx)

最多有4个可同步的通用定时器 (TIM2, TIM3, TIM4和TIM5) 嵌入在STM32F103xC, STM32F103xD和STM32F103xE性能线上设备.这些定时器基于一个16位预分频器的16位自动重载加/减计数器并具有4个独立的通道, 每个通道用于输入捕捉/输出比较, 脉冲模式输出.这最多可以输出16个输入捕捉/输出比较/ PWM最大的包裹.

通用定时器可以通过定时器与高级定时器一起工作.链接功能用于同步或事件链接.他们的计数器可以在调试中冻结模式.任何通用定时器都可以用来产生PWM输出.他们都有独立的DMA请求生成.

这些定时器能够处理正交 (增量) 编码器信号, 数字输出1到3个霍尔效应传感器.

基本计时器TIM6和TIM7

这些定时器主要用于DAC触发器的生成.他们也可以用作一个通用的16位时基.

独立监督

独立的看门狗是基于一个12位下降计数器和8位预分频器.它是由一个独立的40 kHz内部RC控制, 并且独立运行主时钟, 它可以在停止和待机模式下运行.它可以用作看门狗.发生问题时重置设备, 或作为应用程序超时的自由运行计时器管理.通过选项字节可以配置硬件或软件.柜台可以在调试模式下被冻结.

窗口看门狗

窗口看门狗是基于一个可以设置为自由运行的7位向下计数器.它可以用作看门狗在发生问题时重置设备.它是从钟表钟表主时钟.它具有预警中断能力, 可以冻结计数器.调试模式.

SysTick定时器

该定时器专用于实时操作系统, 但也可以用作标准倒计时器.它的特点是:

- 一个24位的倒计时器
- 自动重新加载功能
- 当计数器达到0时, 产生可屏蔽的系统中断.
- 可编程时钟源

2.3.18 I²C总线

多达两个I²C总线接口可以在多主机和从机模式下运行.他们可以支持标准和快速模式.

它们支持7/10位寻址模式和7位双寻址模式 (作为从机).一个嵌入了硬件CRC生成/验证.

他们可以通过DMA服务, 并支持SMBus 2.0 / PMBus.

2.3.19 通用同步/异步接收器发射器 (USART)

STM32F103xC, STM32F103xD和STM32F103xE性能线嵌入三个通用同步/异步接收发射机 (USART1, USART2和USART3) 和两个通用异步收发器 (UART4和UART5)。

这五个接口提供异步通信, IrDA SIR ENDEC支持, 多处理器通信模式, 单线半双工通信模式等具有LIN主/从功能。

USART1接口能够以高达4.5 Mbit / s的速度通信. 另一个可用接口通信速率高达2.25 Mbit / s.

USART1, USART2和USART3也提供CTS和RTS的硬件管理信号, 智能卡模式 (符合ISO 7816) 和类似SPI的通信功能. 所有除了UART5之外, 接口可以由DMA控制器提供服务。

2.3.20 串行外设接口 (SPI)

最多三个SPI能够在主从模式下以18 Mbits / s的速度进行通信全双工和单工通信模式. 3位预分频器提供8个主模式频率和帧可配置为8位或16位. 硬件CRC生成/验证支持基本的SD卡/ MMC模式。

所有SPI都可以由DMA控制器提供服务。

2.3.21 内部集成声音 (I2S)

两个标准的I2S接口 (与SPI2和SPI3复用) 可用, 可以以主机或从机模式运行. 这些接口可以配置为使用16/32位分辨率, 作为输入或输出通道. 音频采样频率从8KHz到10KHz支持48 kHz. 当其中一个或两个I2S接口在主设备中进行配置时模式下, 主时钟可以输出到外部DAC / CODEC的256倍采样频率。

2.3.22 SDIO

SD / SDIO / MMC主机接口可用, 支持MultiMediaCard系统规格版本4.2在三个不同的数据总线模式: 1位 (默认), 4位和8位. 该接口允许在8位模式下以最高48 MHz的速率进行数据传输, 并符合SD标准存储卡规格版本2.0.

SDIO卡规格版本2.0也支持两种不同的数据总线模式: 1位 (默认) 和4位.

目前的版本在任何时候只支持一个SD / SDIO / MMC4.2卡的MMC4.1或以前的。

除SD / SDIO / MMC外, 该接口还完全符合CE-ATA数字标准协议Rev1.1.

2.3.23 控制器区域网络 (CAN)

CAN符合2.0A和B (有源) 规范, 比特率高达1 Mbit / s. 它可以接收和发送带有11位标识符和扩展帧的标准帧与29位标识符. 它有三个发送邮箱, 两个接收FIFO和三个阶段14个可扩展的滤波器组。

2.3.24 通用串行总线 (USB)

STM32F103xC, STM32F103xD和STM32F103xE性能线嵌入一个USB

设备外设兼容USB全速12 Mbs. USB接口

实现全速 (12 Mbit / s) 功能接口.它具有软件可配置的端点

设置和暂停/恢复支持.专用的48 MHz时钟是从中生成的

内部主PLL (时钟源必须使用HSE晶体振荡器) .

2.3.25 GPIO (通用输入/输出)

每个GPIO引脚都可以通过软件配置为输出 (推挽或漏极开路)

输入 (带或不带上拉或下拉) 或外设备用功能.大部分的

GPIO引脚与数字或模拟替代功能共享.所有的GPIO都是高电流 -

除了模拟输入之外.

I / O备用功能配置可以根据需要锁定

以避免寄生写入I / O寄存器.

APB2上的I / O以高达18 MHz的切换速度进行

2.3.26 ADC (模数转换器)

STM32F103xC, STM32F103xD中嵌入了三个12位模数转换器

和STM32F103xE性能线设备, 每个ADC共享21个外部

频道, 以单次或扫描模式执行转换.在扫描模式下, 自动

转换是在选定的一组模拟输入上进行的.

嵌入在ADC接口中的其他逻辑功能允许:

- 同时采样并保持
- 交错采样并保持
- 单路分流

ADC可以由DMA控制器提供服务.

模拟看门狗功能可以非常精确地监视一个转换后的电压,

部分或全部选定的频道.转换后的电压产生中断

超出编程的阈值.

通用定时器 (TIMx) 和高级控制生成的事件

定时器 (TIM1和TIM8) 可以在内部连接到ADC启动触发和注入

分别触发, 以允许应用程序同步A / D转换和定时器.

2.3.27 DAC (数字 - 模拟转换器)

两个12位缓冲DAC通道可用于将两个数字信号转换为两个

模拟电压信号输出.所选的设计结构是由集成的

电阻串和反相配置的放大器.

这个双数字接口支持以下功能：

- 两个DAC转换器：每个输出通道一个
- 8位或12位单调输出
- 左对齐或右对齐12位模式
- 同步更新功能
- 噪音波的产生
- 三角波的一代
- 双DAC通道独立或同时转换
- 每个通道的DMA能力
- 外部触发器进行转换
- 输入电压参考V_{REF+}

八个DAC触发输入用于STM32F103xC, STM32F103xD和STM32F103xE性能系列。DAC通道通过定时器触发更新也连接到不同DMA通道的输出。

2.3.28 温度感应器

温度传感器必须产生一个随温度线性变化的电压。该转换范围在2 V < V_{DDA} < 3.6 V之间。温度传感器在内部连接到用于转换传感器输出的ADC1_IN16输入通道电压转换成数字值。

2.3.29 串行线JTAG调试端口（SWJ-DP）

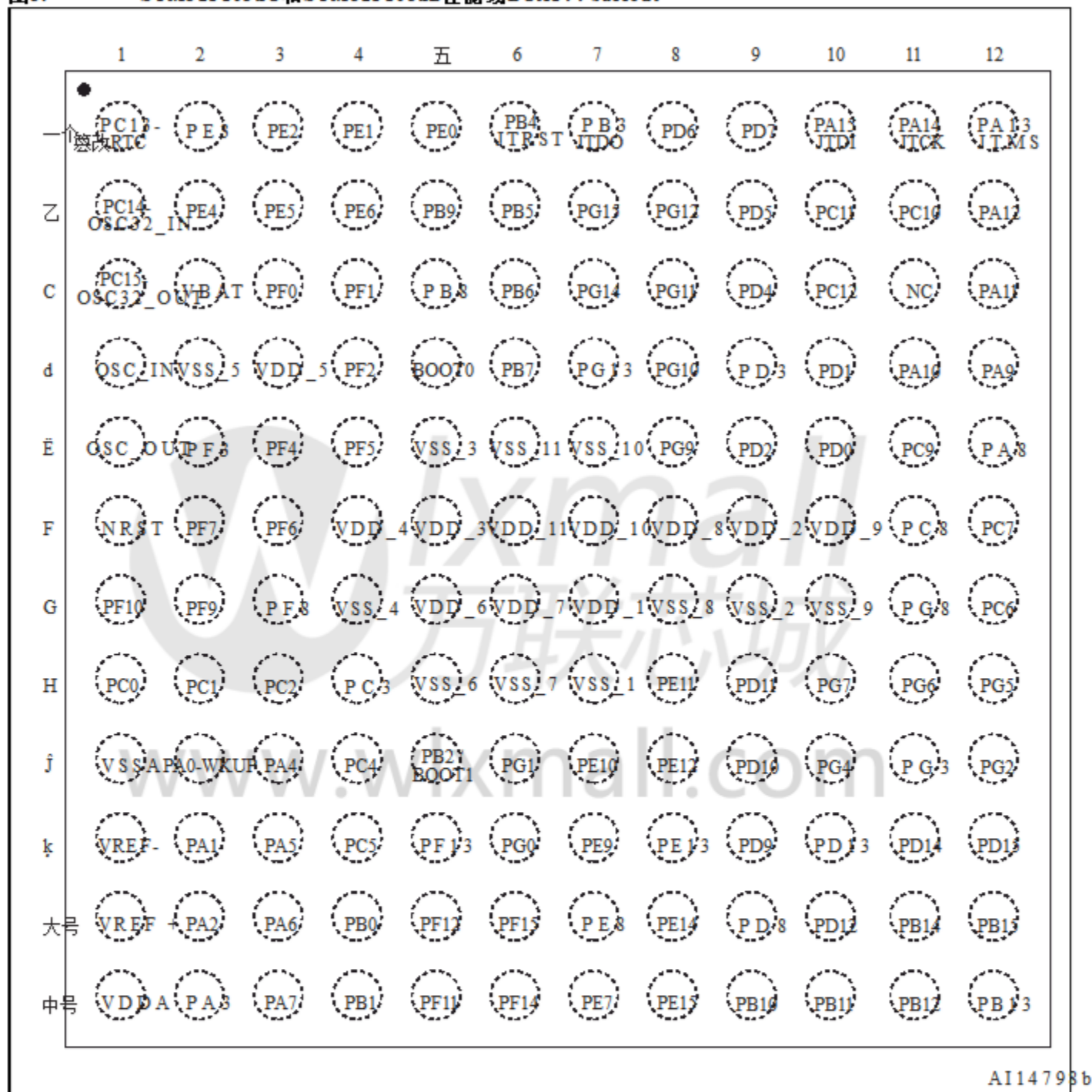
ARM SWJ-DP接口是嵌入式的，是一个组合的JTAG和串行线调试端口，使串行线调试或JTAG探针连接到目标。JTAG TMS和TCK引脚分别与SWDIO和SWCLK以及a TMS引脚上的特定序列用于在JTAG-DP和SW-DP之间切换。

2.3.30 嵌入式跟踪宏单元

ARM® 嵌入式跟踪宏单元提供了更好的指令和可视性。CPU核心内的数据流通过以非常高的速率流式传输压缩数据。STM32F10xxx通过少量的ETM引脚连接到外部硬件跟踪端口分析仪（TPA）设备。TPA使用USB，以太网或USB连接到主机。任何其他高速频道可以记录实时指令和数据流动活动。然后格式化为在运行调试软件的主机上显示。TPA硬件可以从通用开发工具供应商处购得。它运作与第三方调试软件工具。

3 引脚和引脚说明

图3. STM32F103xC和STM32F103xE性能线BGA144 ballout



AI14798b

图4. STM32F103xC和STM32F103xE性能线BGA100 ballout

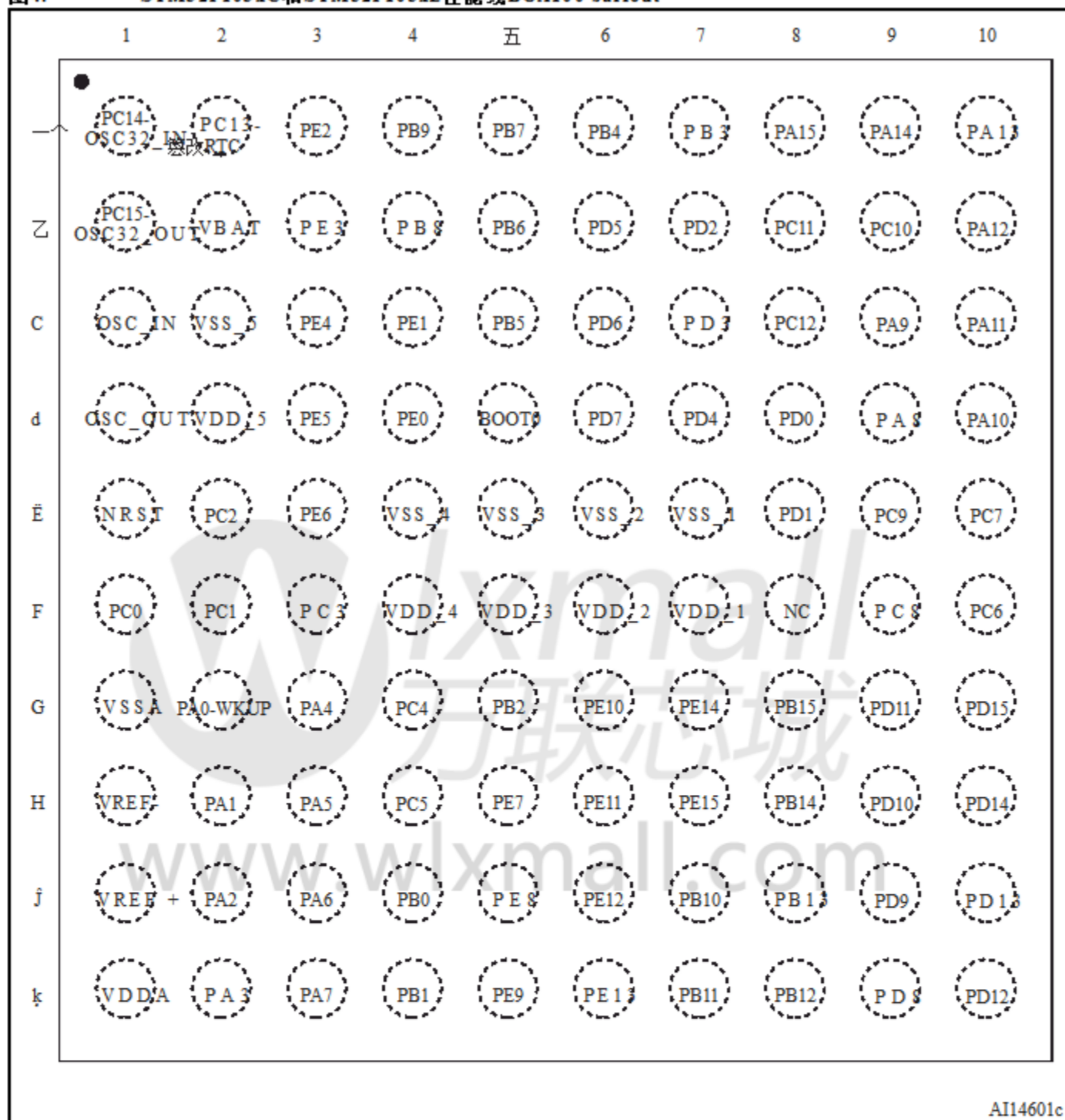


图5 STM32F103xC和STM32F103xE性能线LQFP144引脚

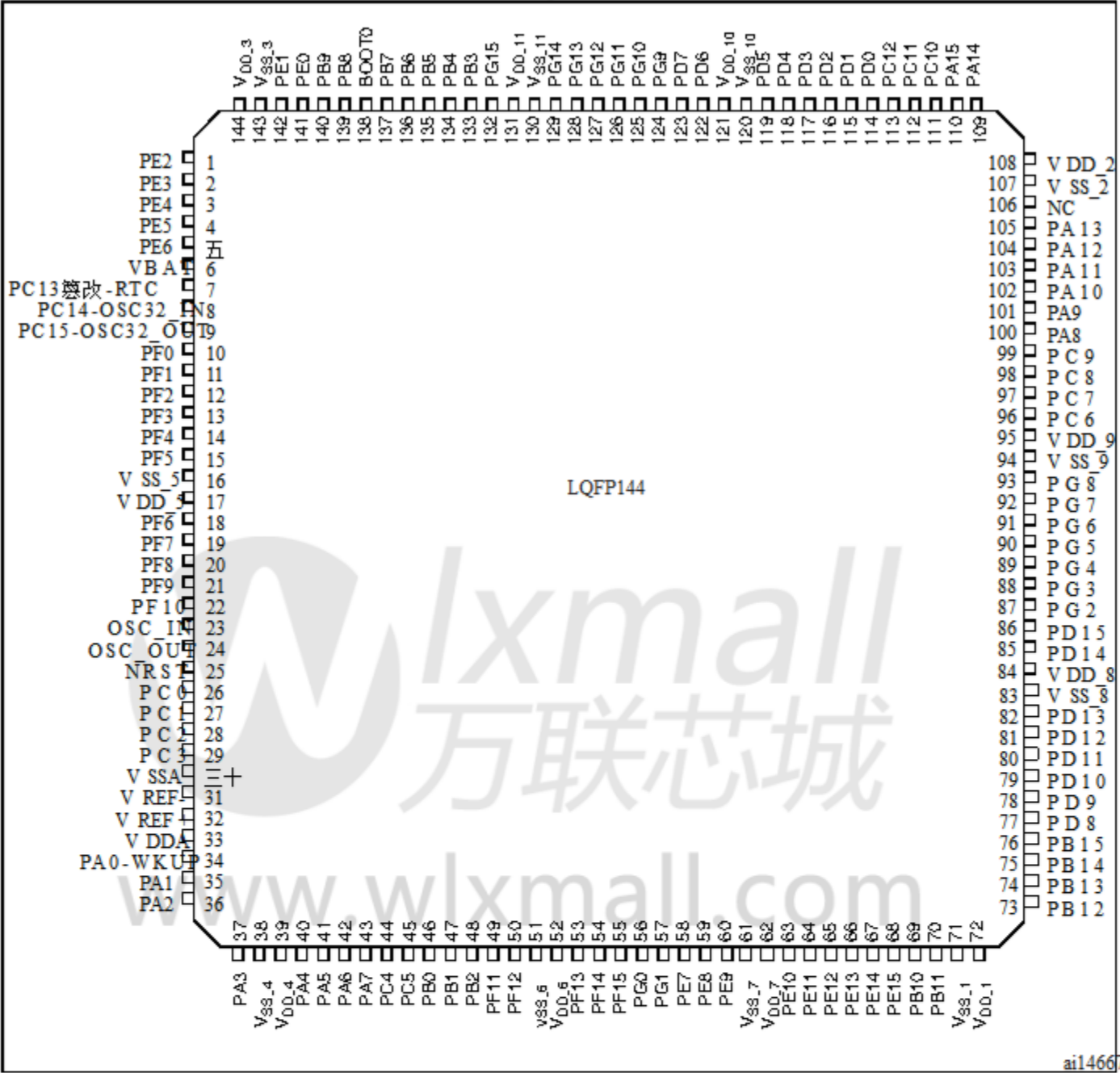


图6. STM32F103xC和STM32F103xE性能线LQFP100引脚

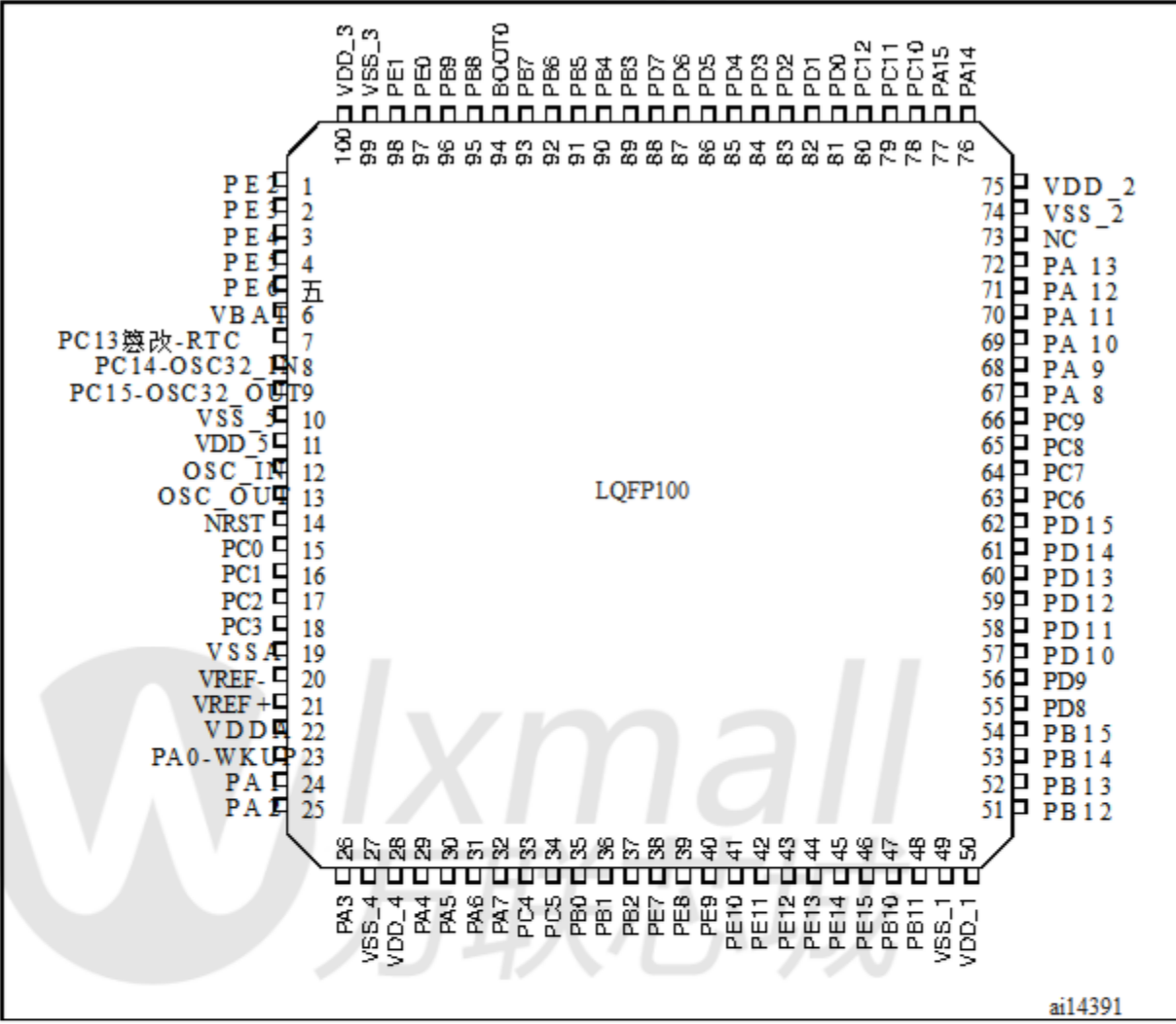


图7. STM32F103xC和STM32F103xE性能线
LQFP64引脚

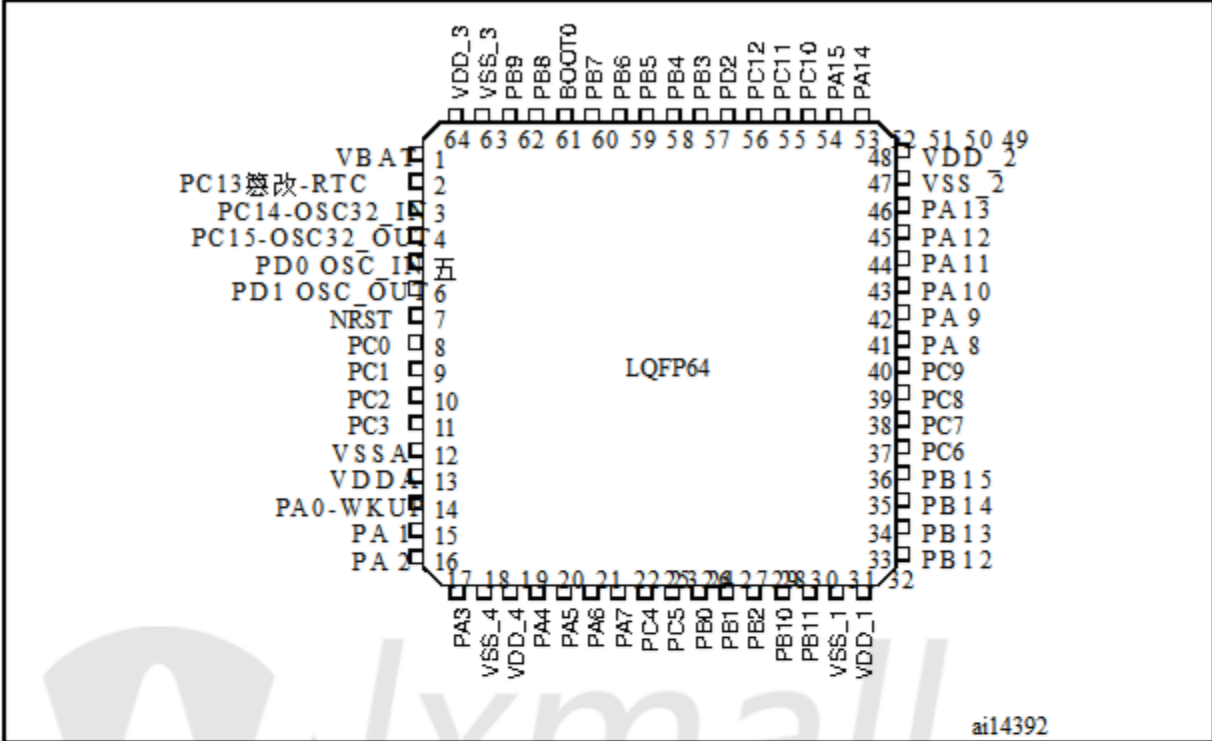


图8. STM32F103xC和STM32F103xE性能线
WLCSP64弹出, 球侧

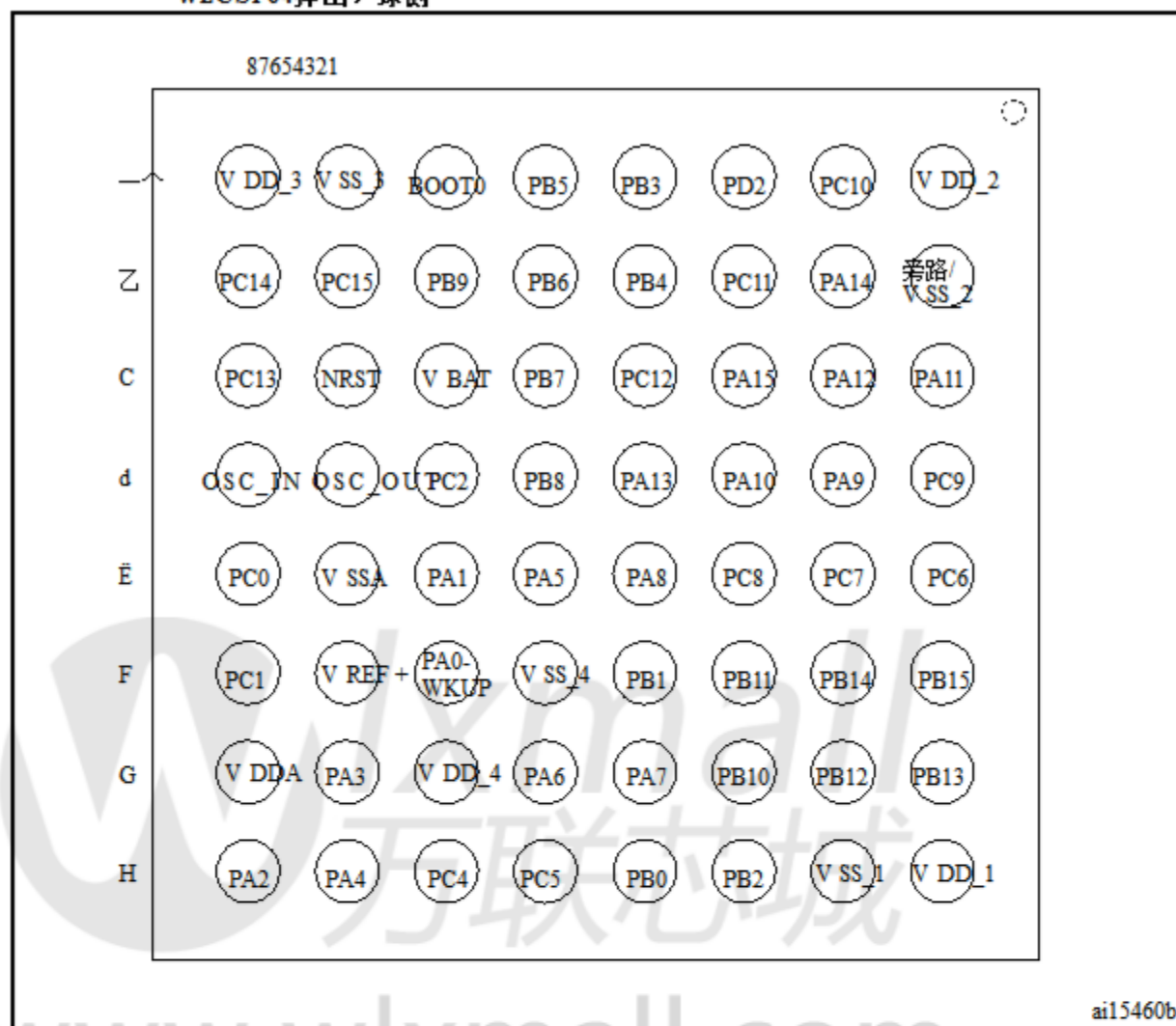


表5 高密度STM32F103xx引脚定义

销						别名	Type ⁽¹⁾ I/O Level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (4)	
LFPGA144	LFPGA100	WLCSP64	LQFP64	LQFP100	LQFP144				默认	重映射
A3	A3	-	-	1	1	PE2	I/O FT	PE2	TRACECK / FSMC_A23	
A2	B3	-	-	2	2	PE3	I/O FT	PE3	TRACED0 / FSMC_A19	
B2	C3	-	-	3	3	PE4	I/O FT	PE4	TRACED1 / FSMC_A20	
B3	D3	-	-	4	4	PE5	I/O FT	PE5	TRACED2 / FSMC_A21	
B4	E3	-	-	五	五	PE6	I/O FT	PE6	TRACED3 / FSMC_A22	
C2	B 2	C 6	1	6	6	V BAT	S V BAT			
A1	A 2	C 8	2	7	7	PC13-篡改 RTC (5)	I/O	PC13 (6)	篡改RTC	
B1	A 1	B 8	3	8	8	PC14- OSC32_IN (5)	I/O	PC14 (6)	OSC32_IN	
C1	B 1	B 7	4	9	9	PC15- OSC32_OUT (5)	I/O	PC15 (6)	OSC32_OUT	
C3	-	-	-	-	10	PF0	I/O FT	PF0	FSMC_A0	
C4	-	-	-	-	11	PF1	I/O FT	PF1	FSMC_A1	
D4	-	-	-	-	12	PF2	I/O FT	PF2	FSMC_A2	
E2	-	-	-	-	13	PF3	I/O FT	PF3	FSMC_A3	
E3	-	-	-	-	14	PF4	I/O FT	PF4	FSMC_A4	
E4	-	-	-	-	15	PF5	I/O FT	PF5	FSMC_A5	
D2	C 2	-	-	10	16	V SS_5	S V SS_5			
D3	D 2	-	-	11	17	V DD_5	S V DD_5			
F3	-	-	-	-	18	PF6	I/O	PF6	ADC3_IN4 / FSMC_NIORD	
F2	-	-	-	-	19	PF7	I/O	PF7	ADC3_IN5 / FSMC_NREG	
G3	-	-	-	-	20	PF8	I/O	PF8	ADC3_IN6 / FSMC_NIOWR	
G2	-	-	-	-	21	PF9	I/O	PF9	ADC3_IN7 / FSMC_CD	
G1	-	-	-	-	22	PF10	I/O	PF10	ADC3_IN8 / FSMC_INTR	
D1	C 1	D 8	五	12	23	OSC_IN	—世	OSC_IN		
E1	D 1	D 7	6	13	24	OSC_OUT	Ø	OSC_OUT		
F1	E 1	C 7	7	14	25	NRST	I/O	NRST		
H1	F 1	E 8	8	15	26	P C 0	I/O	P C 0	ADC123_IN10	
H2	F 2	F 8	9	16	27	P C 1	I/O	P C 1	ADC123_IN11	
H3	E 2	D 6	10	17	28	P C 2	I/O	PC2	ADC123_IN12	
H4	F 3	-	11	18	29	P C 3	I/O	P C 3	ADC123_IN13	
J1	G 1	E 7	12	19	30	V SSA	S V SSA			

表5 高密度STM32F103xx引脚定义 (续)

销						别名	Type ⁽¹⁾ I/O Level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (4)	
LFBGA144	LFBGA100	WLCSP64	LQFP64	LQFP100	LQFP144				默认	重映射
K1	H1	-	-	20	31	V REF-	S V	REF-		
L1	J1	F7 (7)	-21	32		V REF+	S V	REF+		
M1	K1	G8 18	22	33		V DDA	S V	DDA		
J2	G2	F6 14	23	34		PA0-WKUP	I/O	PA 0	WKUP / USART2_CTS (8) ADC123_IN0 TIM2_CH1_ETR TIM5_CH1 / TIM8_ETR	
K2	H2	E6 15	24	35		PA 1	I / O	PA 1	USART2_RTS (8) ADC123_IN1 / TIM5_CH2 / TIM2_CH2 (8)	
L2	J2	H8 16	25	36		PA 2	I / O	PA 2	USART2_TX (8) / TIM5_CH3 ADC123_IN2 / TIM2_CH3 (8)	
M2	K2	G7 17	26	37		PA 3	I / O	PA 3	USART2_RX (8) / TIM5_CH4 ADC123_IN3 / TIM2_CH4 (8)	
G4	E4	F5 18	27	38		V SS_4	S V	SS_4		
F4	F4	G6 19	28	39		V DD_4	S V	DD_4		
J3	G3	H7 20	29	40		PA 4	I / O	PA 4	SPI1_NSS (8) / USART2_CK (8) DAC_OUT1 / ADC12_IN4	
K3	H3	E5 21	30	41		PA 5	I / O	PA 5	SPI1_SCK (8) DAC_OUT2 / ADC12_IN5	
L3	J3	G5 22	31	42		PA 6	I / O	PA 6	SPI1_MISO (8) TIM8_BKIN / ADC12_IN6 TIM3_CH1 (8)	TIM1_BKIN
M3	K3	G4 23	32	43		PA 7	I / O	PA 7	SPI1_MOSI (8) / TIM8_CH1N / ADC12_IN7 TIM3_CH2 (8)	TIM1_CH1N
J4	G4	H6 24	33	44		PC 4	I / O	PC4	ADC12_IN14	
K4	H4	H5 25	34	45		PC 5	I / O	PC5	ADC12_IN15	
L4	J4	H4 26	35	46		PB0	I/O	PB0	ADC12_IN8 / TIM3_CH3 TIM8_CH2N	TIM1_CH2N
M4	K4	F4 27	36	47		PB1	I/O	PB1	ADC12_IN9 / TIM3_CH4 (8) TIM8_CH3N	TIM1_CH3N
J5	G5	H3 28	37	48		PB2	I / O FT	PB2 / BOOT1		
M5	-	-	-	-	49	PF11	I / O FT	PF 11	FSMC_NIOS16	
L5	-	-	-	-	50	PF12	I / O FT	PF 12	FSMC_A6	

表5 高密度STM32F103xx引脚定义 (续)

销						别名	Type ⁽¹⁾ I/O Level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (4)	
LFBGA144	LFBGA100	WLCSP64	LQFP64	LQFP100	LQFP144				默认	重映射
H5	-	-	-	-	51	V SS_6	S V SS_6			
G5	-	-	-	-	52	V DD_6	S V DD_6			
K5	-	-	-	-	53	PF13	I / O FT	PF13	FSMC_A7	
M6	-	-	-	-	54	PF14	I / O FT	PF14	FSMC_A8	
L6	-	-	-	-	55	PF15	I / O FT	PF15	FSMC_A9	
K6	-	-	-	-	56	PG0	I / O FT	PG0	FSMC_A10	
J6	-	-	-	-	57	PG1	I / O FT	PG1	FSMC_A11	
M7	H5	-	-	38	58	PE7	I / O FT	PE7	FSMC_D4	TIM1_ETR
L7	J5	-	-	39	59	PE8	I / O FT	PE8	FSMC_D5	TIM1_CH1N
K7	K5	-	-	40	60	PE9	I / O FT	PE9	FSMC_D6	TIM1_CH1
H6	-	-	-	-	61	V SS_7	S V SS_7			
G6	-	-	-	-	62	V DD_7	S V DD_7			
J7	G6	-	-	41	63	PE10	I / O FT	PE10	FSMC_D7	TIM1_CH2N
H8	H6	-	-	42	64	PE11	I / O FT	PE11	FSMC_D8	TIM1_CH2
J8	J6	-	-	43	65	PE12	I / O FT	PE12	FSMC_D9	TIM1_CH3N
K8	K6	-	-	44	66	PE13	I / O FT	PE13	FSMC_D10	TIM1_CH3
L8	G7	-	-	45	67	PE14	I / O FT	PE14	FSMC_D11	TIM1_CH4
M8	H7	-	-	46	68	PE15	I / O FT	PE15	FSMC_D12	TIM1_BKIN
M9	J7	G3	29	47	69	PB10	I / O FT	PB10	I2C2_SCL / USART3_TX (8) / TIM2_CH3	
M10	K7	F3	30	48	70	PB11	I / O FT	PB11	I2C2_SDA / USART3_RX (8) / TIM2_CH4	
H7	E7	H2	31	49	71	V SS_1	S V SS_1			
G7	F7	H1	32	50	72	V DD_1	S V DD_1			
M11	K8	G2	33	51	73	PB12	I / O FT	PB12	SPI2_NSS / I2S2_WS / I2C2_SMBA / USART3_CK (8) / TIM1_BKIN (8)	
M12	J8	G1	34	52	74	PB13	I / O FT	PB13	SPI2_SCK / I2S2_CK / USART3_CTS (8) / TIM1_CH1N	
L11	H8	F2	35	53	75	PB14	I / O FT	PB14	SPI2_MISO / TIM1_CH2N / USART3_RTS (8) /	
L12	G8	F1	36	54	76	PB15	I / O FT	PB15	SPI2_MOSI / I2S2_SD / TIM1_CH3N (8) /	
L9	K9	-	-	55	77	PD8	I / O FT	PD8	FSMC_D13	USART3_TX
K9	J9	-	-	56	78	PD9	I / O FT	PD9	FSMC_D14	USART3_RX

表5 高密度STM32F103xx引脚定义 (续)

销						别名	Type ⁽¹⁾ I/O Level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (4)	
LFBGA144	LFBGA100	WLCSP64	LQFP64	LQFP100	LQFP144				默认	重映射
J9	H9	-	-	57	79	PD10	I/O FT	PD10	FSMC_D15	USART3_CK
H9	G9	-	-	58	80	PD11	I/O FT	PD11	FSMC_A16	USART3_CTS
L10	K10	-	-	59	81	PD12	I/O FT	PD12	FSMC_A17	TIM4_CH1 / USART3_RTS
K10	J10	-	-	60	82	PD13	I/O FT	PD13	FSMC_A18	TIM4_CH2
G8	-	-	-	-	83	V SS_8	S V SS_8			
F8	-	-	-	-	84	V DD_8	S V DD_8			
K11	H10	-	-	61	85	PD14	I/O FT	PD14	FSMC_D0	TIM4_CH3
K12	G10	-	-	62	86	PD15	I/O FT	PD15	FSMC_D1	TIM4_CH4
J12	-	-	-	-	87	P G 2	I/O FT	P G 2	FSMC_A12	
J11	-	-	-	-	88	P G 3	I/O FT	P G 3	FSMC_A13	
J10	-	-	-	-	89	P G 4	I/O FT	P G 4	FSMC_A14	
H12	-	-	-	-	90	P G 5	I/O FT	P G 5	FSMC_A15	
H11	-	-	-	-	91	P G 6	I/O FT	P G 6	FSMC_INT2	
H10	-	-	-	-	92	P G 7	I/O FT	P G 7	FSMC_INT3	
G11	-	-	-	-	93	P G 8	I/O FT	P G 8		
G10	-	-	-	-	94	V SS_9	S V SS_9			
F10	-	-	-	-	95	V DD_9	S V DD_9			
G12	F10	E1 37	63	96		P C 6	I/O FT	PC6	I2S2_MCK / TIM8_CH1 / SDIO_D6	TIM3_CH1
F12	E10	E2 38	64	97		P C 7	I/O FT	PC7	I2S3_MCK / TIM8_CH2 / SDIO_D7	TIM3_CH2
F11	F9	E3 39	65	98		P C 8	I/O FT	PC8	TIM8_CH3 / SDIO_D0	TIM3_CH3
E11	E9	D1 40	66	99		P C 9	I/O FT	PC9	TIM8_CH4 / SDIO_D1	TIM3_CH4
E12	D9	E4 41	67	100		PA 8	I/O FT	PA 8	USART1_CK / TIM1_CH1 (8) / MCO	
D12	C9	D2 42	68	101		PA 9	I/O FT	PA 9	USART1_TX (8) / TIM1_CH2 (8)	
D11	D10	D3 43	69	102		PA 10	I/O FT	PA 10	USART1_RX (8) / TIM1_CH3 (8)	
C12	C10	C1 44	70	103		PA 11	I/O FT	PA 11	USART1_CTS / USBDM CAN_RX (8) / TIM1_CH4 (8)	
B12	B10	C2 45	71	104		PA 12	I/O FT	PA 12	USART1_RTS / USBDP / CAN_TX (8) / TIM1_ETR (8)	

表5 高密度STM32F103xx引脚定义 (续)

销						别名	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LFBGA144	LFBGA100	WLCSP64	LQFP64	LQFP100	LQFP144					默认	重映射
A12	A10	D4	46	72	105	PA13	I/O	FT	JTMS-SWDIO		PA13
C11	F8	-	-	73	106	未连接					
G9	E6	B1	47	74	107	VSS_2	S	VSS_2			
F9	F6	A1	48	75	108	VDD_2	S	VDD_2			
A11	A9	B2	49	76	109	PA14	I/O	FT	JTCK-SWCLK		PA14
A10	A8	C3	50	77	110	PA15	I/O	FT	JTDI	SPI3_NSS / I2S3_WS	TIM2_CH1_ETR PA15 / SPI1_NSS
B11	B9	A2	51	78	111	PC10	I/O	FT	PC10	UART4_TX / SDIO_D2	USART3_TX
B10	B8	B3	52	79	112	PC11	I/O	FT	PC11	UART4_RX / SDIO_D3	USART3_RX
C10	C8	C4	53	80	113	PC12	I/O	FT	PC12	UART5_TX / SDIO_CK	USART3_CK
E10	D8	D8	五	81	114	PD0	I/O	FT	OSC_IN (9)	FSMC_D2 (10)	CAN_RX
D10	E8	D7	6	82	115	PD1	I/O	FT	OSC_OUT (9)	FSMC_D3 (10)	CAN_TX
E9	B7	A3	54	83	116	PD2	I/O	FT	PD2	TIM3_ETR / UART5_RX SDIO_CMD	
D9	C7	-	-	84	117	PD3	I/O	FT	PD3	FSMC_CLK	USART2_CTS
C9	D7	-	-	85	118	PD4	I/O	FT	PD4	FSMC_NOE	USART2_RTS
B9	B6	-	-	86	119	PD5	I/O	FT	PD5	FSMC_NWE	USART2_TX
E7	-	-	-	-	120	VSS_10	S	VSS_10			
F7	-	-	-	-	121	VDD_10	S	VDD_10			
A8	C6	-	-	87	122	PD6	I/O	FT	PD6	FSMC_NWAIT	USART2_RX
A9	D6	-	-	88	123	PD7	I/O	FT	PD7	FSMC_NE1 / FSMC_NCE2	USART2_CK
E8	-	-	-	-	124	PG9	I/O	FT	PG9	FSMC_NE2 / FSMC_NCE3	
D8	-	-	-	-	125	PG10	I/O	FT	PG10	FSMC_NCE4_1 / FSMC_NE3	
C8	-	-	-	-	126	PG11	I/O	FT	PG11	FSMC_NCE4_2	
B8	-	-	-	-	127	PG12	I/O	FT	PG12	FSMC_NE4	
D7	-	-	-	-	128	PG13	I/O	FT	PG13	FSMC_A24	
C7	-	-	-	-	129	PG14	I/O	FT	PG14	FSMC_A25	
E6	-	-	-	-	130	VSS_11	小号		VSS_11		
F6	-	-	-	-	131	VDD_11	小号		VDD_11		
B7	-	-	-	-	132	PG15	I/O	FT	PG15		

表5 高密度STM32F103xx引脚定义 (续)

销						别名	Type ⁽¹⁾ I/O Level ⁽²⁾	主要 功能 (3) (复位后)	备用功能 (4)	
LFBGA144	LFBGA100	WLCSP64	LQFP64	LQFP100	LQFP144				默认	重映射
A7	A7	A4	55	89	133	PB3 /	I / O FT	JTDO	SPI3_SCK / I2S3_CK /	PB3 / TRACESWO TIM2_CH2 / SPI1_SCK
A6	A6	B4	56	90	134	PB4	I / O FT	NJTRST	SPI3_MISO	PB4 / TIM3_CH1 SPI1_MISO
B6	C5	A5	57	91	135	PB5	I/O	PB5	I2C1_SMBA / SPI3_MOSI I2S3_SD	TIM3_CH2 / SPI1_MOSI
C6	B5	B5	58	92	136	PB6	I / O FT	PB6	I2C1_SCL (8) / TIM4_CH1 (8)	USART1_TX
D6	A5	C5	59	93	137	PB7	I / O FT	PB7	I2C1_SDA (8) / FSMC_NADV / TIM4_CH2 (8)	USART1_RX
D5	D5	A6	60	94	138	BOOT0	—	BOOT0		
C5	B4	D5	61	95	139	PB8	I / O FT	PB8	TIM4_CH3 (8) / SDIO_D4	I2C1_SCL / CAN_RX
B5	A4	B6	62	96	140	PB9	I / O FT	PB9	TIM4_CH4 (8) / SDIO_D5	I2C1_SDA / CAN_TX
A5	D4	-	-	97	141	PE0	I / O FT	PE0	TIM4_ETR / FSMC_NBL0	
A4	C4	-	-	98	142	PE1	I / O FT	PE1	FSMC_NBL1	
E5	E5	A7	63	99	143	V SS_3	S V	SS_3		
F5	F5	A8	64	100	144	V DD_3	S V	DD_3		

1. I = 输入, O = 输出, S = 电源.

2. FT = 5V 容忍.

3. 功能可用性取决于所选设备.

4. 如果多个外设共享相同的I/O引脚, 为了避免这些复用功能之间的冲突, 只能有一个外设应该使用通过外设时钟使能位 (在相应的RCC外设时钟使能寄存器中) 一次使能.

5. PC13, PC14和PC15通过电源开关供电. 由于开关仅吸收有限的电流 (3 mA) 时, 输出模式下GPIO至PC15的使用受到限制: 最大负载时速度不得超过2 MHz 的30 pF, 这些IO不能用作电流源 (例如驱动LED).

6. 第一个备份域上电后的主要功能之后, 它甚至取决于备份寄存器的内容. 复位后 (因为这些寄存器没有被主复位复位). 有关如何管理这些IO的详细信息, 请参阅STM32F10xxx参考手册中的电池备份域和BKP寄存器描述部分, 可从意法半导体网站: www.st.com

7. 与LQFP64封装不同, WLCSP封装中没有PC3. V REF+功能被提供.

8. 这个备用功能可以通过软件重新映射到其他一些端口引脚 (如果在使用的软件包上可用). 更多详细信息, 请参考STM32F10xxx参考手册中的备用功能I/O和调试配置部分, 可从意法半导体的网站www.st.com获得.

9. 对于LQFP64封装, 复位后, 引脚编号5和6被配置为OSC_IN / OSC_OUT, 但是PD0和PD1的功能可以通过这些引脚上的软件重新映射. 对于LQFP100 / BGA100和LQFP144 / BGA144封装, PD0和PD1默认可用, 所以不需要重新映射. 更多细节, 请参考STM32F10xxx参考手册中的替代功能I/O和调试配置部分.

10. 对于以LQFP64封装交付的器件, FSMC功能不可用.

表6 FSMC引脚定义

销	FSMC					LQFP100 BGA100 (1)
	CF	CF/IDE	NOR / PSRAM / SRAM	NOR / PSRAM Mux	NAND 16位	
PE2			A23	A 2 3		是
PE3			A19	A 1 9		是
PE4			A20	A 2 0		是
PE5			A21	A 2 1		是
PE6			A22	A 2 2		是
PF0	A0	A0	A0			-
PF1	A1	A1	A1			-
PF2	A2	A2	A2			-
PF3	A3		A3			-
PF4	A4		A4			-
PF5	A5		A5			-
PF6	NIORD	NIORD				-
PF7	NREG	NREG				-
PF8	NIOWR	NIOWR				-
PF9	光盘	光盘				-
PF10	INTR	INTR				-
PF11	NIOS16	NIOS16				-
PF12	A6		A6			-
PF13	A7		A7			-
PF14	A8		A8			-
PF15	A9		A9			-
PG0	A 1 0		A10			-
PG1			A 1 1			-
PE7	D4	D4	D4	D A 4	D4	是
PE8	D5	D5	D5	D A 5	D5	是
PE9	D6	D6	D6	D A 6	D6	是
PE10	D7	D7	D7	D A 7	D7	是
PE11	D8	D8	D8	D A 8	D8	是
PE12	D9	D9	D9	D A 9	D9	是
PE13	D 1 0	D 1 0	D 1 0	DA 1 0	D 1 0	是
PE14	D 1 1	D 1 1	D 1 1	DA 1 1	D 1 1	是
PE15	D 1 2	D 1 2	D 1 2	DA 1 2	D 1 2	是
P D 8	D 1 3	D 1 3	D 1 3	DA 1 3	D 1 3	是

表6 FSMC引脚定义 (续)

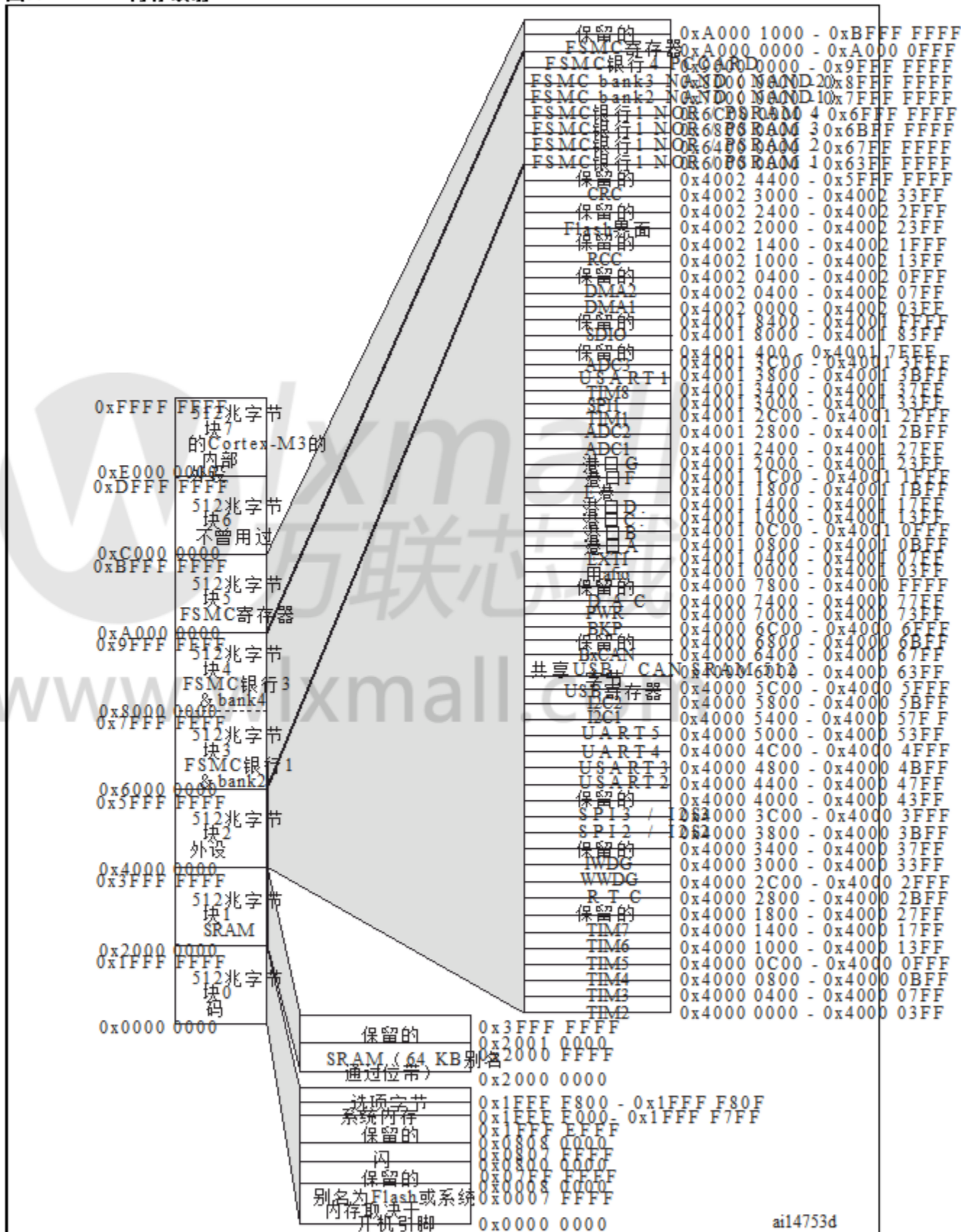
销	FSMC					LQFP100 BGA100 (1)
	CF	CF/IDE	NOR / PSRAM / SRAM	NOR / PSRAM Mux	NAND 16位	
PD9	D14	D14	D14	DA14	D14	是
PD10	D15	D15	D15	DA15	D15	是
PD11			A16	A16	CLE	是
PD12			A17	A17	ALE	是
PD13			A18	A18		是
PD14	D0	D0	D0	DA0	D0	是
PD15	D1	D1	D1	DA1	D1	是
PG2			A12			-
PG3			A13			-
PG4			A14			-
PG5			A15			-
PG6					INT2	-
PG7					INT3	-
PD0	D2	D2	D2	DA2	D2	是
PD1	D3	D3	D3	DA3	D3	是
PD3			CLK	CLK		是
PD4	NOE	NOE	NOE	NOE	NOE	是
PD5	NWE	NWE	NWE	NWE	NWE	是
PD6	NWAIT	NWAIT	NWAIT	NWAIT	NWAIT	是
PD7			NE1	NE1	NCE2	是
PG9			NE2	NE2	NCE3	-
PG10	NCE4_1	NCE4_1	NE3	NE3		-
PG11	NCE4_2	NCE4_2				-
PG12			NE4	NE4		-
PG13			A24	A24		-
PG14			A25	A25		-
PB7			NADV	NADV		是
PE0			NBL0	NBL0		是
PE1			NBL1	NBL1		是

1. 采用100引脚封装的器件不提供端口F和G。

4 内存映射

内存映射如图9所示。

图9. 内存映射



五 电气特性

5.1 参数条件

除非另有说明，否则所有电压均以V_{SS}为参考。

5.1.1 最小值和最大值

除非另有规定，最低和最高值保证最差
环境温度条件，供电电压和频率的测试在生产上
100%的环境温度在T_A = 25°C，T_A = T_{A max}（由下式给出）
所选的温度范围）。

基于特征结果，设计模拟和/或技术特征的数据
在表格脚注中标明，未在生产中进行测试.基于
表征，最小值和最大值是指样品测试和代表的
平均值加上或减去标准差的三倍（平均值±3σ）。

5.1.2 典型值

除非另有说明，否则典型数据基于T_A = 25°C，V_{DD} = 3.3 V（对于
2V ≤ V_{DD} ≤ 3.6 V电压范围）。它们只作为设计指导而不是
测试。
典型的ADC准确度值是通过表征一批样品来确定的
在整个温度范围内的标准扩散区，其中95%的装置具有一个
误差小于或等于所示值（平均值±2σ）。

5.1.3 典型的曲线

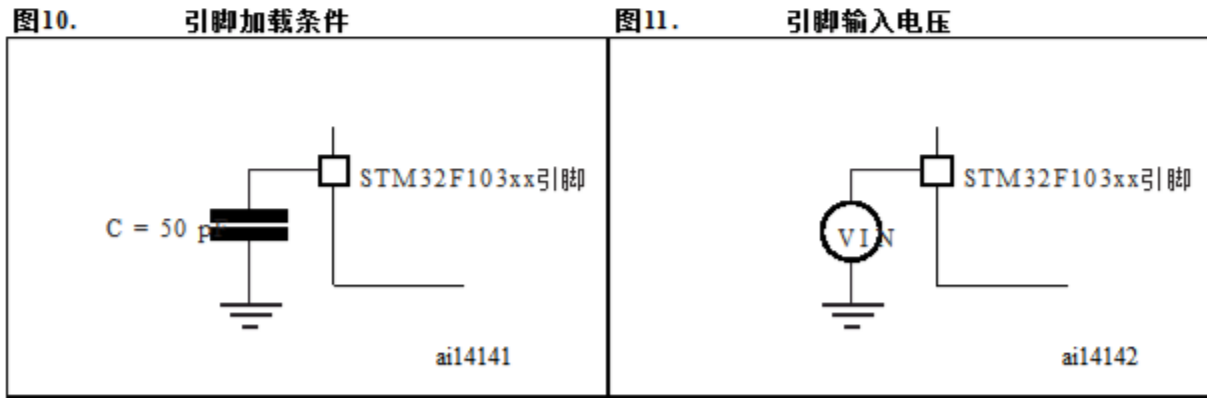
除非另有规定，否则所有的典型曲线只作为设计指南给出
未经测试。

5.1.4 加载电容器

用于引脚参数测量的负载条件如图10所示。

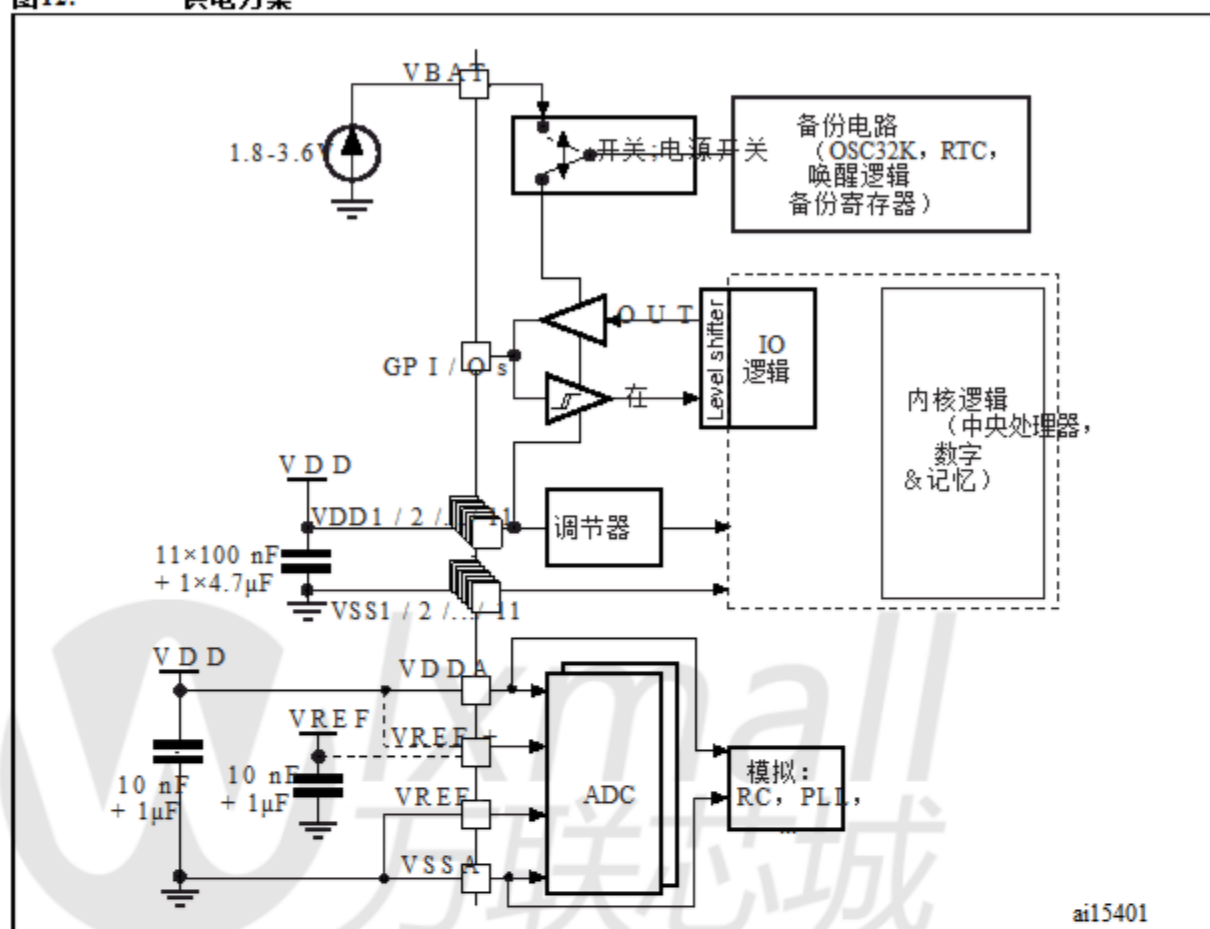
5.1.5 引脚输入电压

器件引脚的输入电压测量如图11所示。



5.1.6 供电方案

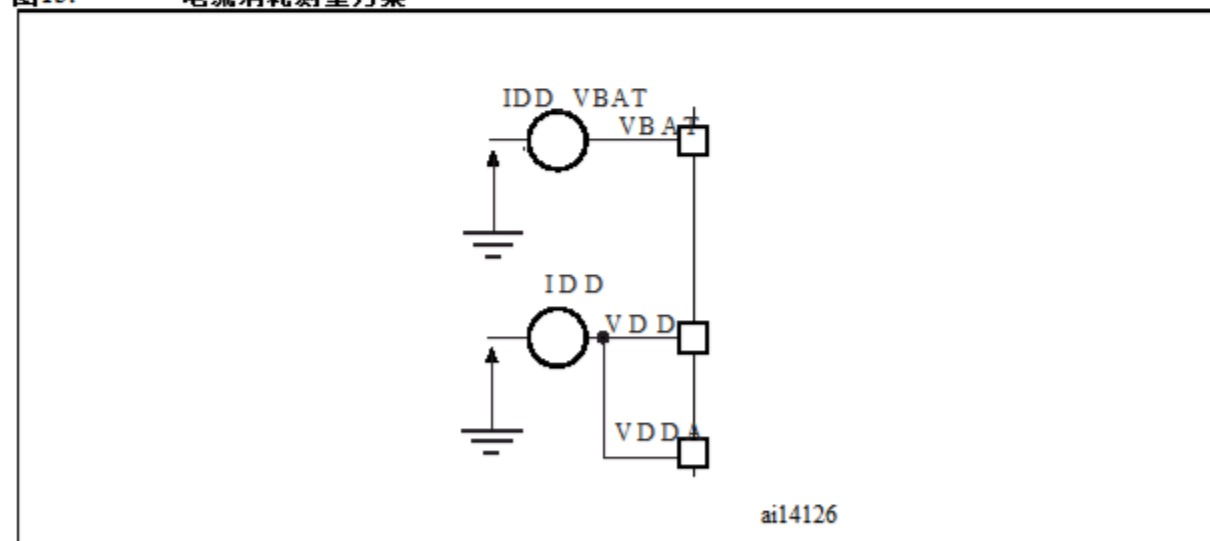
图12. 供电方案



警告： 在图12中，4.7 μ F电容必须连接到V DD3。

5.1.7 电流消耗测量

图13. 电流消耗测量方案



5.2 绝对最大额定值

应高于表7列出的绝对最大额定值：电压特性，
表8：电流特性和表9：热特性可能会造成永久性
损坏设备.这些只是压力额定值和设备的功能操作
在这些条件下不是暗示的.暴露于最大额定条件下延长
周期可能会影响设备可靠性

表7 电压特性

符号	评级	敏	马克斯	单元
V DD -V SS	外部主电源电压（包括V DDA和V DD）（1）	-0.3	4	V
V IN	五伏容错引脚上的输入电压（2）	V SS - 0.3	+5.5	
	任何其他引脚上的输入电压（2）	V SS - 0.3	V DD +0.3	
ΔV DDx	不同的V DD电源引脚之间的差异		50	毫伏
V SSX - V SS	所有不同的接地引脚之间的变化		50	
V ESD (HBM)	静电放电电压（人体模型）	参见第5.3.12节： 绝对最大额定值 （电气灵敏度）		

1. 所有主电源（V DD，V DDA）和地（V SS，V SSA）引脚必须始终连接到外部电源供应，在允许的范围内。
2. 我 永远不要超过（PIN）（见表8：电流特性）。如果是V IN，这是隐含的保险最大值值得尊重.如果V IN最大值不能被遵守，注入电流必须被限制外部的I INJ（PIN）值.正向注入由V IN > V IN max引起，而负向注入是由V IN < V SS引起。

表8 目前的特点

符号	评级	最大.	单元
我的 VDD	进入V DD / V DDA电源线的总电流（源）（1）	150	嘛
我 VSS	总电流出V SS地线（水槽）（1）	150	
我呢	输出电流由任何I / O和控制引脚吸收	25	
	由任何I / O和控制引脚输出电流源	±25	
我 INJ（PIN）	在NRST引脚上注入电流	±5	
	在HSE OSC_IN和LSE OSC_IN引脚上注入电流	±5	
	注入任何其他引脚上的电流（4）	±5	
5I INJ（PIN）	总注入电流（所有I / O和控制引脚的总和）（4）	±25	

1. 所有主电源（V DD，V DDA）和地（V SS，V SSA）引脚必须始终连接到外部电源供应，在允许的范围内。
2. 我 永远不要超过（PIN）。如果V IN最大值受到尊重，则这是隐式保险.如果V IN最大值不能被遵守，注入电流必须被限制在I INJ（PIN）值的外部.积极的注入由V IN > V DD引起，而负向注入由V IN < V SS引起。
3. 负向注入会干扰设备的模拟性能.请参见第5.3.18节中的注释：12位ADC特点。
4. 当几个输入提交给当前注射时，最大值 5I INJ（PIN）是绝对总和正向和负向注入电流（瞬时值）。这些结果是基于 5I INJ（引脚）在器件的四个I / O端口引脚上的最大电流注入。



表9 热特性

符号	评级	值	单元
T STG	存储温度范围	-65到+150	C
T J	最高结温	150	C

5.3 运行条件

5.3.1 一般操作条件

表10 一般操作条件

符号	参数	条件	敏	马克斯	单元
f HCLK	内部AHB时钟频率		0	72	兆赫
f PCLK1	内部APB1时钟频率		0	36	
f PCLK2	内部APB2时钟频率		0	72	
V DD	标准工作电压		2	3.6	V
V DD(A1)	模拟工作电压 (ADC未使用)	必须是相同的潜力 作为V DD(2)	2.3	3.6	V
	模拟工作电压 (ADC使用)		2.4	3.6	
V BAT	备份工作电压		1.8	3.6	V
P d	T A =时的功耗 85°C为后级6或T A = 后级7 (3) 为105°C	LQFP144		666	毫瓦
		LQFP100		434	
		LQFP64		444	
		LFBGA100		500	
		LFBGA144		500	
T A	环境温度6 后级版本	最大功耗	-40	85	C
		低功耗 (4)	-40	105	
	环境温度7 后级版本	最大功耗	-40	105	C
		低功耗 (4)	-40	125	
T J	结温范围	6后级版本	-40	105	C
		7后级版本	-40	125	

- 1. 使用ADC时，请参见表58：ADC特性。
- 2. 建议从同一个电源为V DD和V DDA供电，最大相差300 mV
在V DD和V DDA之间可以容忍在上电和操作。
- 3. 如果T A较低，只要T J不超过T J max，则允许较高的PD值（见表6.2：热特性在第114页）。
- 4. 在低功耗状态下，只要T J不超过T J max，T A就可以扩展到这个范围
表6.2：第114页的热特性）。



5.3.2 上电/掉电时的操作条件

表11中给出的参数来源于在环境下进行的测试
温度条件总结在表10中。

表11 上电/掉电时的操作条件

符号	参数	条件	敏	马克斯	单元
t VDD	V DD 上升时间率		0		微秒/V
	V DD 下降时间率		20		

5.3.3 嵌入式复位和功率控制模块特性

表12给出的参数来源于在环境下进行的测试
温度和V DD 电源电压条件总结在表10中。

表12 嵌入式复位和功率控制模块特性

符号	参数	条件	敏	典型	马克斯	单元
V PVD	可编程电压 探测器级选择	PLS [2: 0] = 000 (上升沿)	2.1	2.18	2.26	V
		PLS [2: 0] = 000 (下降沿)	2	2.08	2.16	V
		PLS [2: 0] = 001 (上升沿)	2.19	2.28	2.37	V
		PLS [2: 0] = 001 (下降沿)	2.09	2.18	2.27	V
		PLS [2: 0] = 010 (上升沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 010 (下降沿)	2.18	2.28	2.38	V
		PLS [2: 0] = 011 (上升沿)	2.38	2.48	2.58	V
		PLS [2: 0] = 011 (下降沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 100 (上升沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 100 (下降沿)	2.37	2.48	2.59	V
		PLS [2: 0] = 101 (上升沿)	2.57	2.68	2.79	V
		PLS [2: 0] = 101 (下降沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 110 (上升沿)	2.66	2.78	2.9	V
		PLS [2: 0] = 110 (下降沿)	2.56	2.68	2.8	V
		PLS [2: 0] = 111 (上升沿)	2.76	2.88	3	V
		PLS [2: 0] = 111 (下降沿)	2.66	2.78	2.9	V
V PVDhyst ⁽²⁾	PVD迟滞			100		毫伏
V POR / PDR	开机/关机 重置阈值	下降的边缘	1.8 (1)	1.88	1.96	V
		上升的优势	1.84	1.92	2.0	V
V PDRhyst ⁽²⁾	PDR滞后			40		毫伏
T RSTTEMP ⁽²⁾	重置延时		1	2.5	4.5	女士

- 1. 产品行为由设计保证到最小V POR / PDR 值.
- 2. 由设计保证, 未经生产测试.

5.3.4 嵌入式参考电压

表13中给出的参数来源于在环境下进行的测试
温度和V_{DD}电源电压条件总结在表10中。

表13. 嵌入内部参考电压

符号	参数	条件	敏	典型	马克斯	单元
V _{REFINT}	内部参考电压	-40°C < T _A < +105°C	1.16	1.20	1.26	V
		-40°C < T _A < +85°C	1.16	1.20	1.24	V
T _{S_vrefint} (1)	ADC采样时间 阅读内部参考电压			5.1	17.1 (2)	微秒
V _{RERINT} (2)	内部参考电压 蔓延的温度范围	V _{DD} = 3V±10mV			10	毫伏
T _{科夫} (2)	温度系数				100	PPM /°C

- 可以在应用中通过多次迭代确定最短的采样时间。
- 由设计保证，未经生产测试。

5.3.5 供应电流特性

电流消耗是几个参数和因素的函数，例如
工作电压，环境温度，I / O引脚负载，设备软件配置，
工作频率，I / O引脚切换速率，程序在内存中的位置并执行
二进制代码。

电流消耗按图13所示进行测量：电流消耗
测量方案。

本节给出的所有运行模式电流消耗测量均使用a进行
减少代码，使消费相当于Dhrystone 2.1代码。

最大电流消耗

MCU被置于以下条件：

- 所有I / O引脚都处于输入模式，静态值为V_{DD}或V_{SS}（空载）
- 除非明确提及，否则所有外设都是禁用的
- Flash存储器访问时间调整为f_{HCLK}频率（从0开始0等待状态）
到24MHz，从24到48MHz的1个等待状态和2个等待状态）
- 在预取中（提醒：该位必须在时钟设置和总线预分频之前设置）
- 当使能外设时，PCLK1 = f_{HCLK} / 2，f_{PCLK2} = f_{HCLK}

表14，表15和表16中给出的参数来自所进行的测试
在环境温度V_{DD}电源电压条件下总结在表10中。



表14 运行模式下的最大电流消耗，具有数据处理的代码从Flash运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85℃	T A = 105℃	
I _{DD}	供电电流 运行模式	外部时钟 (2)，全部 外设已启用	72兆赫	69	70	mA
			48 MHz	50	50.5	
			36 MHz	39	39.5	
			24兆赫	27	28	
			16兆赫	20	20.5	
			8 MHz	11	11.5	
		外部时钟 (2)，全部 外设禁用	72兆赫	37	37.5	
			48 MHz	28	28.5	
			36 MHz	22	22.5	
			24兆赫	16.5	17	
			16兆赫	12.5	13	
			8 MHz	8	8	

1. 基于特性描述，未经生产测试。
2. 当f HCLK > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态。

表15 运行模式下的最大电流消耗，具有数据处理的代码从RAM运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85℃	T A = 105℃	
I _{DD}	电源电流 在运行模式下	外部时钟 (2)，全部 外设已启用	72兆赫	66	67	mA
			48 MHz	43.5	45.5	
			36 MHz	33	35	
			24兆赫	23	24.5	
			16兆赫	16	18	
			8 MHz	9	10.5	
		外部时钟 (2)，全部 外设禁用	72兆赫	33	33.5	
			48 MHz	23	23.5	
			36 MHz	18	18.5	
			24兆赫	13	13.5	
			16兆赫	10	10.5	
			8 MHz	6	6.5	

1. 基于特征结果的数据，在V_{DD max}，f HCLK_{max}的生产中测试。
2. 当f HCLK > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态。

图14. 运行模式下的典型电流消耗与频率 (3.6 V时) -
代码与从RAM运行的数据处理, 启用外设

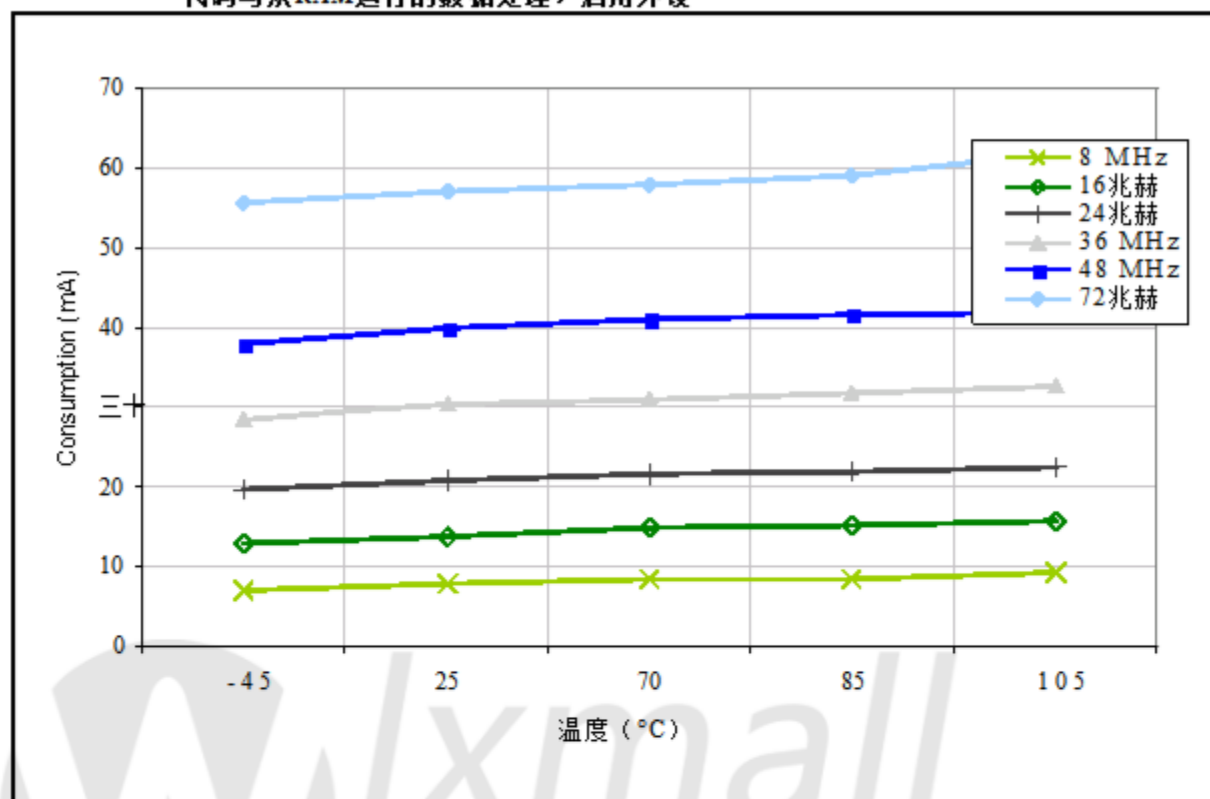


图15. 运行模式下的典型电流消耗与频率 (3.6 V时) -
代码与从RAM运行的数据处理, 外设禁用

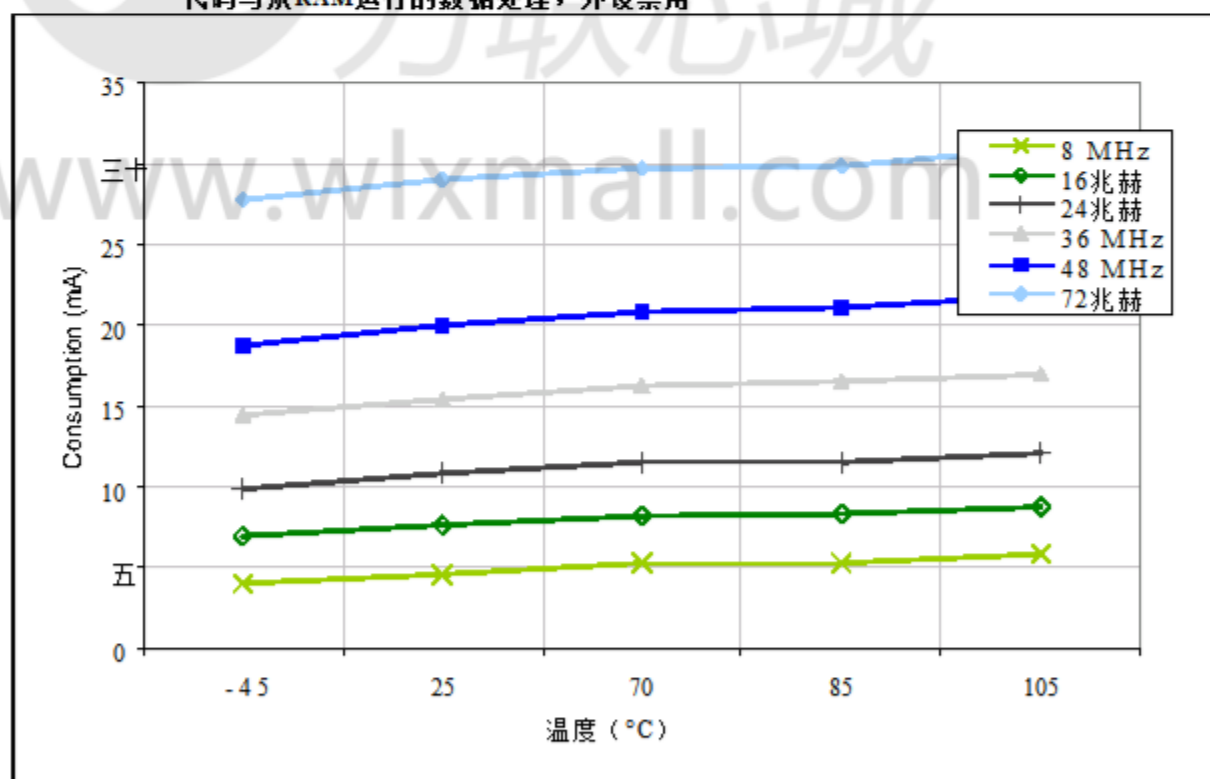


表16. 睡眠模式下的最大电流消耗，代码从Flash运行或RAM

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85℃	T A = 105℃	
我 DD	电源电流在睡眠模式下	外部时钟 (2)，全部外设已启用	72兆赫	45	46	嘛
			48 MHz	31	32	
			36 MHz	24	25	
			24兆赫	17	17.5	
			16兆赫	12.5	13	
			8 MHz	8	8	
		外部时钟 (2)，全部外设禁用	72兆赫	8.5	9	
			48 MHz	7	7.5	
			36 MHz	6	6.5	
			24兆赫	五	5.5	
			16兆赫	4.5	五	
			8 MHz	4	4	

1. 基于特性描述，在V DD max，fHCLK max和外设已启用的情况下 进行生产测试。
2. 当fHCLK > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态。

表17 停止和待机模式下的典型和最大电流消耗

符号	参数	条件	典型 (1)			马克斯		单元
			V DD / V BAT = 2.0V	V DD / V BAT = 2.4V	V DD / V BAT = 3.3V	T A = 85°C	T A = 105°C	
I DD	供电电流 停止模式	稳压器在运行模式下，低速和高速内部RC振荡器和高速振荡器OFF（无独立看门狗）		34.5	35	379	1130	μA
		稳压器在低功耗模式下，高速和高速的内部RC振荡器和高速振荡器OFF（无独立看门狗）		24.5	25	365	1110	
	供电电流 待机模式	低速内部RC振荡器独立看门狗开启		3.3	3.8	-	-	
		低速内部RC振荡器ON，独立看门狗关闭		2.8	3.6	-	-	
		低速内部RC振荡器独立看门狗关闭，低速振荡器和RTC关闭		1.9	2.1	5 (2)	6.5 (2)	
I DD_VBAT	备份域电源电流	低速振荡器和RTC打开	1.05	1.1	1.4	2 (2)	2.3 (2)	

1. 典型值在 T A = 25°C时测量。
2. 基于特性描述，未经生产测试。

图16. V BAT 上的典型电流消耗 与不同的V BAT 下的RTC on-versus温度值

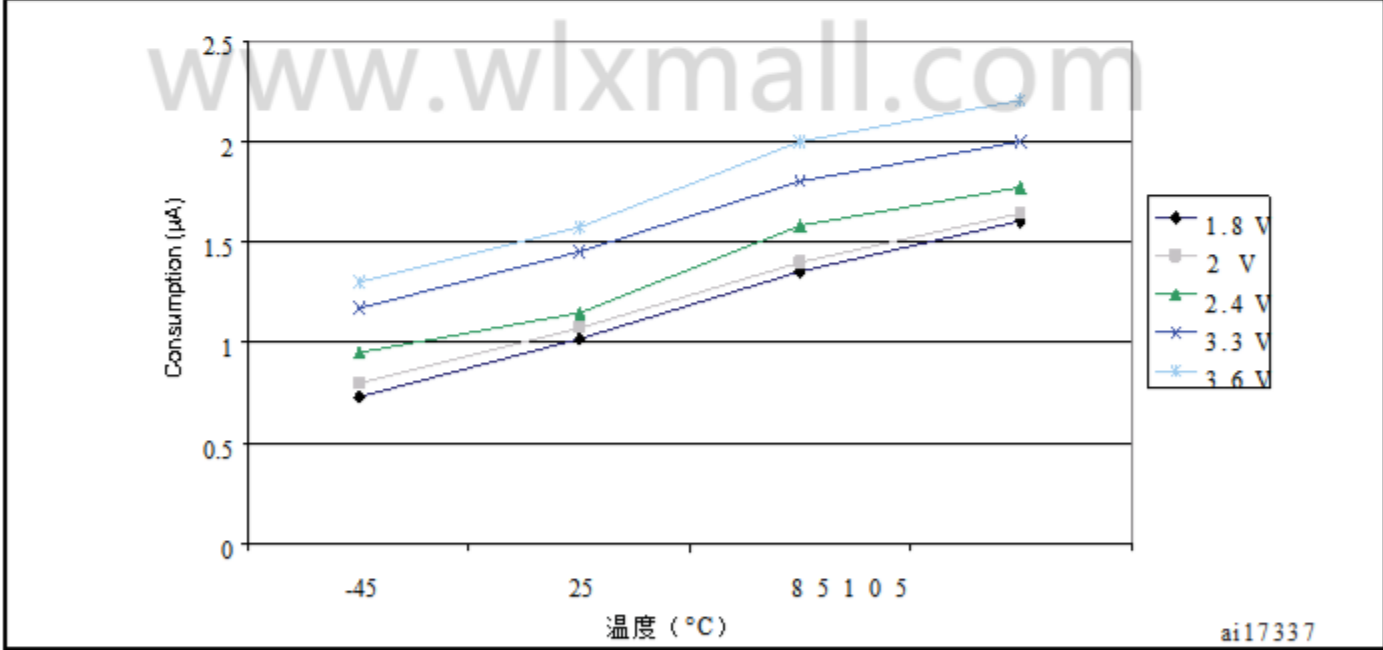


图17. 在稳压器处于运行模式下的停止模式下的典型电流消耗
相对于不同V_{DD}值的温度

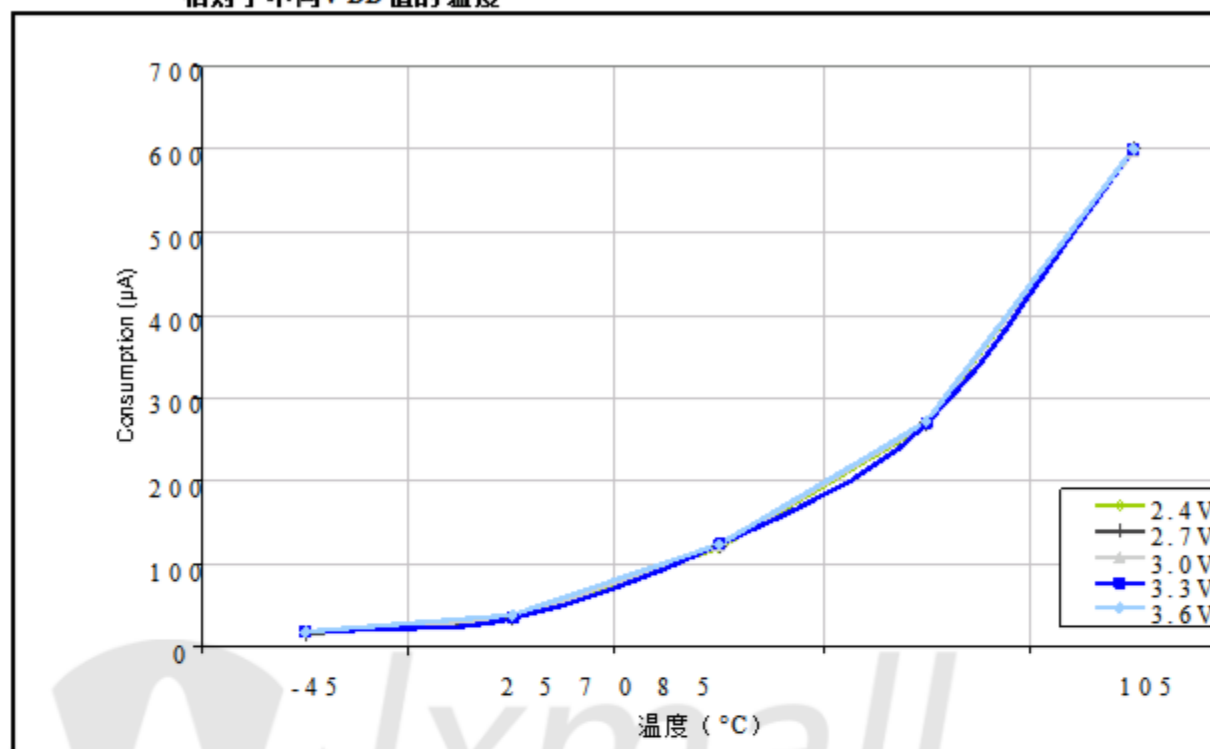


图18. 待机模式下的典型电流消耗与稳压器在低功耗模式与温度在不同的V_{DD}值

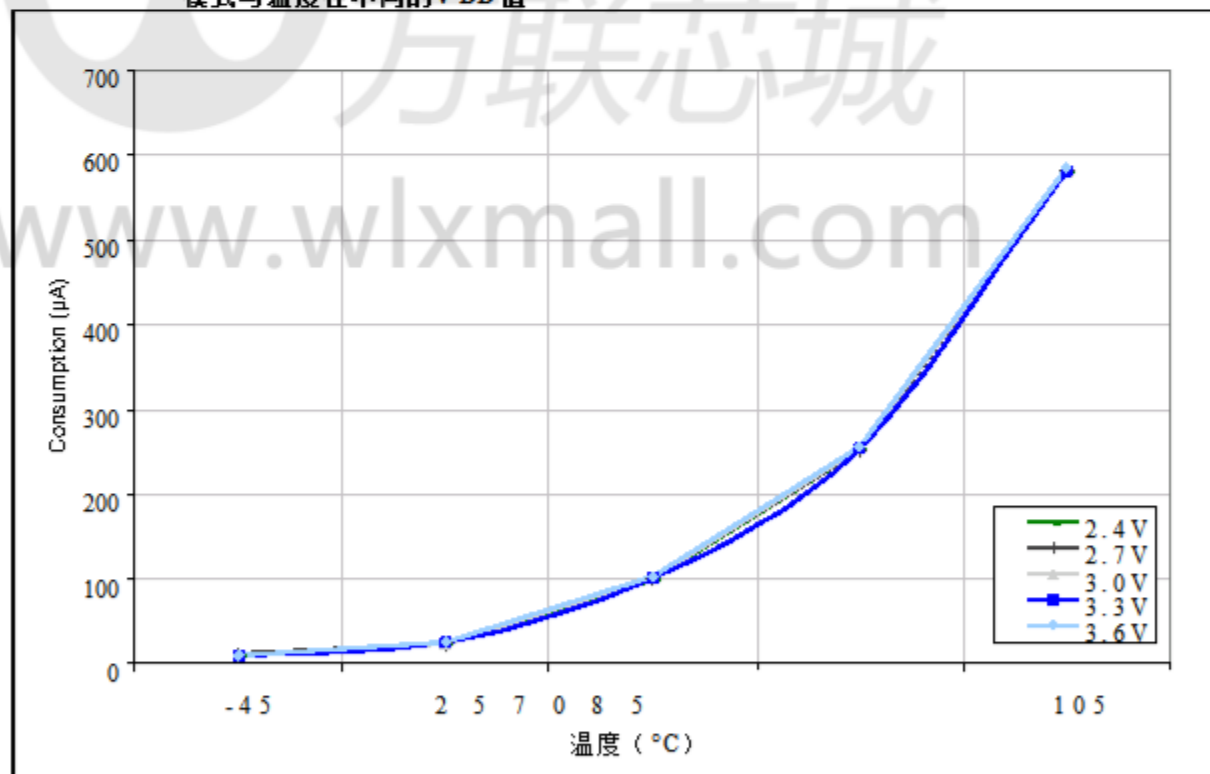
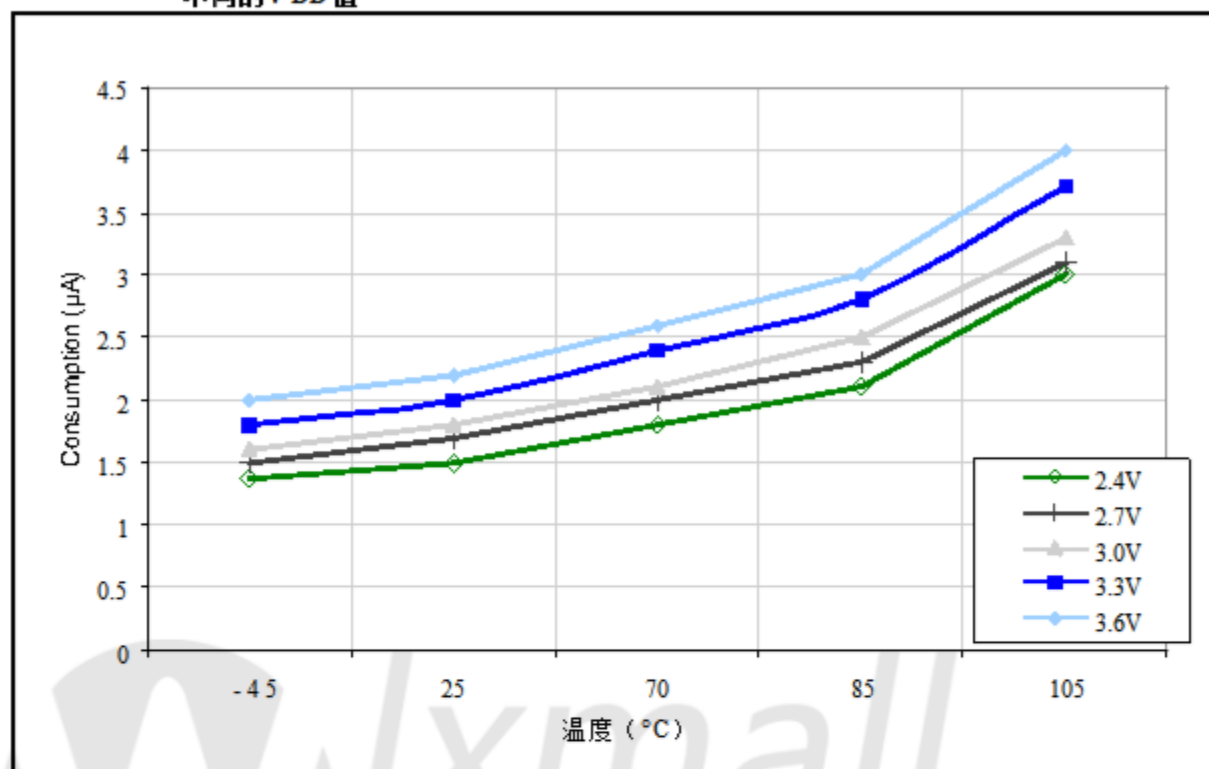


图19. 待机模式下的典型电流消耗与温度的关系
不同的V_{DD}值



典型的电流消耗

MCU被置于以下条件:

- 所有I/O引脚都处于输入模式, 静态值为V_{DD}或V_{SS} (空载).
- 除非明确提及, 否则所有外围设备都是禁用的.
- 闪存访问时间被调整为f_{HCLK}频率 (0到24 MHz, 0的等待状态)
等待状态从24到48MHz和2个等待状态).
- 环境温度 and V_{DD}电源电压条件总结在表10中.
- 预取开启 (提醒: 该位必须在时钟设置和总线预分频之前设置)

当外设使能时 $PCLK1 = f_{HCLK} / 4$, $f_{PCLK2} = f_{HCLK} / 2$, $f_{ADCCLK} = f_{PCLK2} / 4$

表18 运行模式下的典型电流消耗，具有数据处理的代码从Flash运行

符号	参数	条件	f HCLK	典型 (1)		单元
				所有外围设备 启用 (2)	所有外围设备 关闭	
I _{DD}	供应 目前在 运行模式	外部时钟 (3)	72兆赫	51	30.5	mA
			48 MHz	34.6	20.7	
			36 MHz	26.6	16.2	
			24兆赫	18.5	11.4	
			16兆赫	12.8	8.2	
			8 MHz	7.2	5	
			4 MHz	4.2	3.1	
			2 MHz	2.7	2.1	
			1 MHz	2	1.7	
			500千赫	1.6	1.4	
			125千赫	1.3	1.2	
		高高在上 高速内部RC (HSI)，AHB 预分频器用于 减少 频率	64兆赫	45	27	mA
			48 MHz	34	20.1	
			36 MHz	26	15.6	
			24兆赫	17.9	10.8	
			16兆赫	12.2	7.6	
			8 MHz	6.6	4.4	
			4 MHz	3.6	2.5	
			2 MHz	2.1	1.5	
			1 MHz	1.4	1.1	
			500千赫	1	0.8	
			125千赫	0.7	0.6	

- 1. 典型值是在T_A = 25°C，V_{DD} = 3.3V下的测量值。
- 2. 为模拟部分增加每个ADC 0.8 mA的额外功耗. 在应用程序中，这个
仅当ADC处于开启状态（ADON位设置在ADC_CR2寄存器中）时才会发生功耗。
- 3. 当f_{HCLK} > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态。

表19. 睡眠模式下的典型电流消耗，从Flash或Flash编码器运行内存

符号	参数	条件	f HCLK	典型 (1)		单元
				所有外围设备 启用 (2)	所有外围设备 残	
我 DD	供应 目前在 睡眠模式	外部时钟 (3)	72兆赫	29.5	6.4	嘛
			48 MHz	20	4.6	
			36 MHz	15.1	3.6	
			24兆赫	10.4	2.6	
			16兆赫	7.2	2	
			8 MHz	3.9	1.3	
			4 MHz	2.6	1.2	
			2 MHz	1.85	1.15	
			1 MHz	1.5	1.1	
			500千赫	1.3	1.05	
		高高在上 高速内部RC (HSI)，AHB预分频器 用于减少 频率	125千赫	1.2	1.05	
			64兆赫	25.6	5.1	
			48 MHz	19.4	4	
			36 MHz	14.5	3	
			24兆赫	9.8	2	
			16兆赫	6.6	1.4	
			8 MHz	3.3	0.7	
			4 MHz	2	0.6	
			2 MHz	1.25	0.55	
			1 MHz	0.9	0.5	
			500千赫	0.7	0.45	
			125千赫	0.6	0.45	

1. 典型值是在T A = 25℃，V DD = 3.3V下的测量值.
2. 为模拟部分增加每个ADC 0.8 mA的额外功耗.在应用程序中，这个
仅当ADC处于开启状态（ADON位设置在ADC_CR2寄存器中）时才会发生功耗.
3. 当f HCLK > 8 MHz时，外部时钟为8 MHz，PLL处于开启状态 .



片内外设电流消耗

表20给出了片内外设的电流消耗.MCU被放置在以下条件下:

- 所有I / O引脚都处于输入模式,静态值为V DD 或V SS (空载)
- 除非另有说明,所有外围设备都是禁用的
- 给定值是通过测量电流消耗来计算的
 - 所有的外围设备都关闭了
 - 只有一个外设时钟
- 环境工作温度和V DD 电源电压条件总结在表7

表20 外设电流消耗 (1)

外围设备		典型的消费在25°C	单元
APB1	TIM2	1.2	嘛
	TIM3	1.2	
	TIM4	1.2	
	TIM5	1.2	
	TIM6	0.4	
	TIM7	0.4	
	SPI2	0.2	
	SPI3	0.2	
	USART2	0.4	
	USART3	0.4	
	UART4	0.5	
	UART5	0.6	
	I2C1	0.4	
	I2C2	0.4	
	USB	0.65	
	能够	0.72	
	D A C	0.72	

表20 外设电流消耗 (1) (续)

外围设备		典型的消费在25°C	单元
APB2	GPIOA	0.55	嘛
	GPIOB	0.72	
	GPIOC	0.72	
	GIOD	0.55	
	GPIOE	1	
	GPIOF	0.72	
	GPIOG	1	
	ADC1 (2)	1.9	
	ADC2	1.7	
	TIM1	1.8	
	SPI1	0.4	
	TIM8	1.7	
	USART1	0.9	
	ADC3	1.7	

1. $f_{HCLK} = 72\text{ MHz}$, $f_{APB1} = f_{HCLK} / 2$, $f_{APB2} = f_{HCLK}$, 每个外设的默认预分频器值.
2. ADC的具体条件: $f_{HCLK} = 56\text{ MHz}$, $f_{APB1} = f_{HCLK} / 2$, $f_{APB2} = f_{HCLK}$, $f_{ADCCLK} = f_{APB2} / 4$, ADON位在ADC_CR2寄存器中设置为1.

5.3.6 外部时钟源的特点

从外部源产生的高速外部用户时钟

表21中给出的特性来自使用高速执行的测试外部时钟源以及环境温度和电源电压条件下总结在表10中.

表21. 高速外部用户时钟特性

符号	参数	条件	敏	典型	马克斯单元
f_{HSE_ext}	用户外部时钟源频率 (1)		18		25 兆赫
V HSEH	OSC_IN输入引脚高电平电压		0.7 V DD	V DD	V
V HSEL	OSC_IN输入引脚低电平电压		V SS	0.3 V DD	
$t_w (HSE)$ $t_w (HSE)$	OSC_IN高电平或低电平时间 (1)		16		NS
$t_r (HSE)$ $t_f (HSE)$	OSC_IN上升或下降时间 (1)			20	
C (HSE)	OSC_IN输入电容 (1)			5 p F	的
DuCy (HSE)	工作周期		45		55 %
我 L	OSC_IN输入漏电流	V SS V IN V DD			±1 μ A

1. 由设计保证, 未经生产测试.



由外部源产生的低速外部用户时钟

表22中给出的特性来自使用低速执行的测试
外部时钟源以及环境温度和电源电压条件下
[总结在表10中](#).

表22 低速外部用户时钟特性

符号	参数	条件	敏	典型	马克斯	单元
fLSE_ext	用户外部时钟源频率 (1)			32.768	1000	千赫
V LSEH	OSC32_IN输入引脚高电平电压		0.7 V DD		V DD	V
V LSEL	OSC32_IN输入引脚低电平电压		V SS		0.3 V DD	
t w (伦敦正交所) t w (伦敦正交所)	OSC32_IN高电平或低电平时间 (1)		450			NS
t (LSE) t f (LSE)	OSC32_IN上升或下降时间 (1)				50	
C (LSE)	OSC32_IN输入电容 (1)			5	p F 的	
DuCy (LSE)	工作周期		三十		70	%
我 L	OSC32_IN输入漏电流	V SS V IN V D d			±1	μA

1. 由设计保证，未经生产测试.

图20. 高速外部时钟源交流时序图

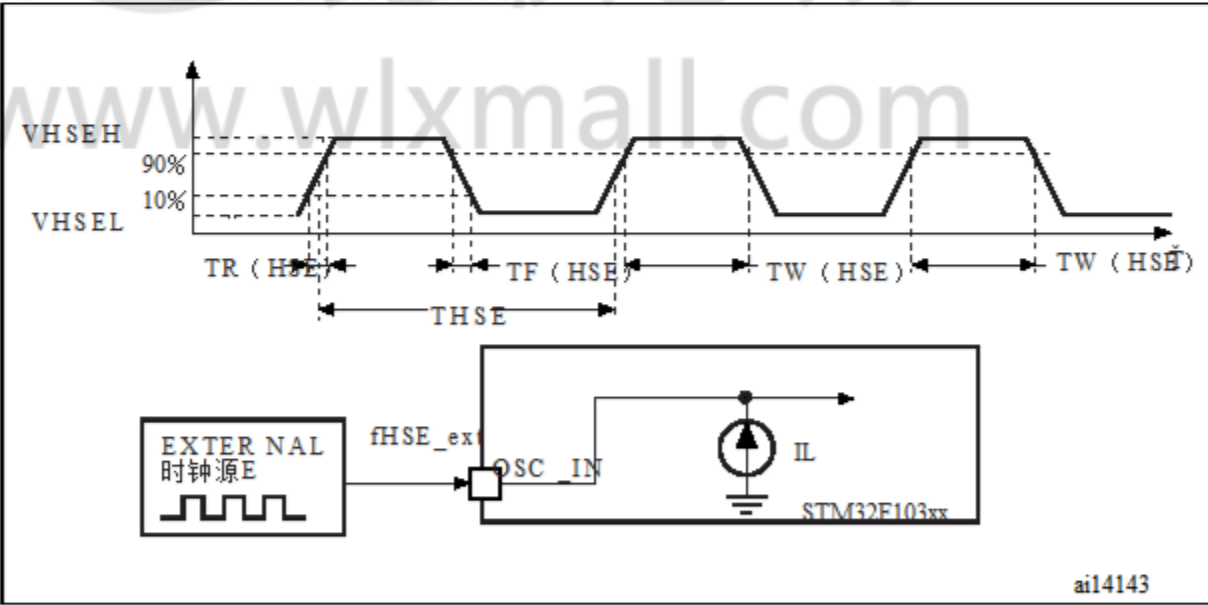
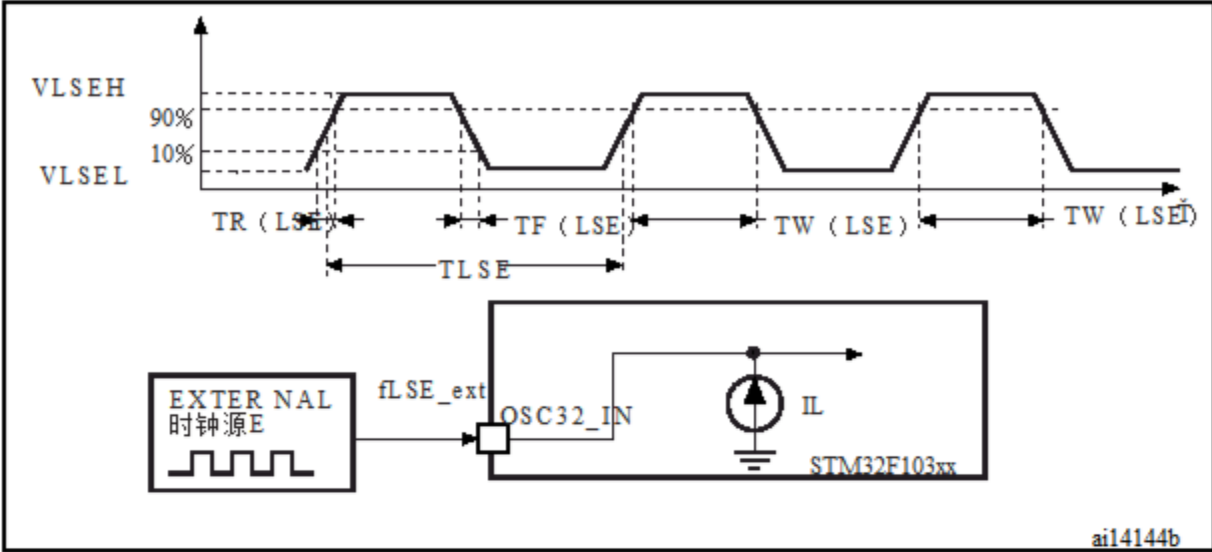


图21. 低速外部时钟源交流时序图



由晶体/陶瓷谐振器产生的高速外部时钟

高速外部 (HSE) 时钟可以提供4到16 MHz的晶体/陶瓷谐振器.本段中的所有信息都是基于特征的
使用表23中指定的典型外部组件获得的结果.在应用程序中,
谐振器和负载电容必须尽可能靠近振荡器放置
以最大限度地减少输出失真和启动稳定时间.参考水晶
谐振器制造商更多关于谐振器特性 (频率,
包裹, 准确性) .

表23 HSE 4-16 MHz振荡器特性 (1) (2)

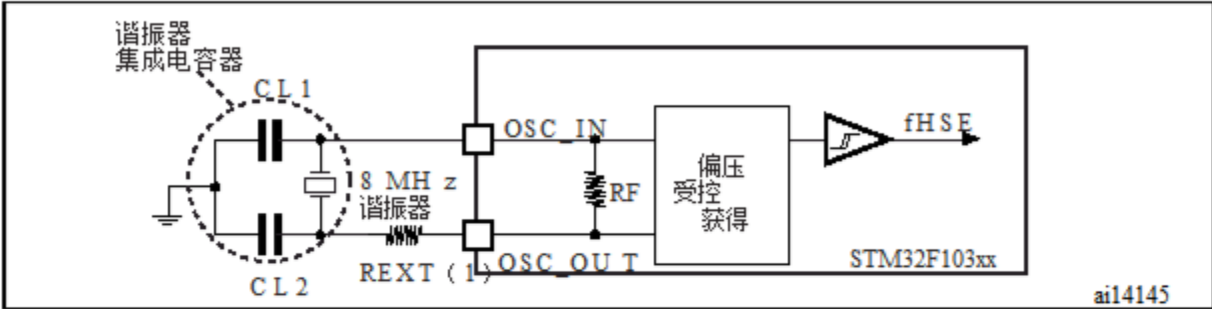
符号	参数	条件	敏	典型	马克斯单元
f OSC_IN	振荡器频率		4	8	16 兆 赫
R F	反馈电阻			200	k Ω
C	推荐的负载电容 对等系列 晶体的电阻 (R S) (3)	R S = 30 Ω		三十	pF的
我 2	HSE驱动电流	V DD = 3.3V, V IN = V SS 30 pF负载			1 毫 安
克米	振荡器跨导	启动	25		毫安/V
吨 (HSE)	启动时间	V DD 稳定		2	女士

- 由晶体/陶瓷谐振器制造商给出的谐振器特性.
- 根据表征结果, 未经生产测试.
- 射频电阻的相对较低的值提供了一个很好的保护, 防止因使用a而产生的问题潮湿的环境中, 由于诱发泄漏和偏差情况的变化.但是, 这是如果MCU在恶劣的湿度条件下使用, 建议考虑这一点.
- SU (HSE) 是从启用 (通过软件) 到稳定的8 MHz的时刻测量的启动时间.振荡达到.这个值是测量一个标准的晶体谐振器, 它可以显著变化与晶体制造商

对于C L1 和C L2, 建议使用高质量的外置陶瓷电容器
5 pF到25 pF范围 (典型值), 专为高频应用而设计, 并选择匹配
晶体或谐振器的要求 (见图22) . C L1 和C L2 通常是

相同的尺寸.晶体制造商通常会指定一个负载电容,
CL1和CL2的串联组合.必须包含PCB和MCU引脚电容(10 pF
可以用来粗略估计组合的引脚和电路板电容)
CL1和CL2.请参考应用笔记AN2867“ST的振荡器设计指南”
微控制器“可从ST网站www.st.com获得.

图22. 典型的8 MHz晶体应用



1. REXT 值取决于晶体特性.

由晶体/陶瓷谐振器产生的低速外部时钟

低速外部 (LSE) 时钟可以提供 32.768 kHz 晶体/陶瓷
谐振器.本段中的所有信息都是基于特征的
使用表 24 中指定的典型外部组件获得的结果.在应用中,
谐振器和负载电容必须尽可能靠近振荡器放置
以最大限度地减少输出失真和启动稳定时间.参考水晶
谐振器制造商更多关于谐振器特性 (频率,
包裹, 准确性) .

表 24 LSE 振荡器特性 (fLSE = 32.768 kHz) (1)

符号	参数	条件	敏	典型	马克	斯单元
RF	反馈电阻			五		中号
C (2)	推荐的负载电容 对等系列 晶体的电阻 (RS) (3)	RS = 30 k			15	pF 的
我 2	LSE 驱动电流	VDD = 3.3V, VIN = VSS			1.4	μA
克米	振荡器跨导		五			μA/V
苏 (LSE) (4)	启动时间	VDD 稳定		3		小号

- 基于特性描述, 未经生产测试.
- 请参考表格下方的注意事项和注意事项以及应用笔记 AN2867 “振荡器”
ST 微控制器设计指南”.
- 振荡器的选择可以使用高质量谐振器来优化供电电流
小的 RS 值, 例如 MSIV-TIN32.768kHz. 请参阅晶体制造商了解更多详情
- SU (LSE) 是从启用 (通过软件) 到稳定的时刻测量的启动时间
达到 32.768 kHz 振荡. 该值是针对标准晶体谐振器测量的, 并且可以变化
与晶体制造商查看

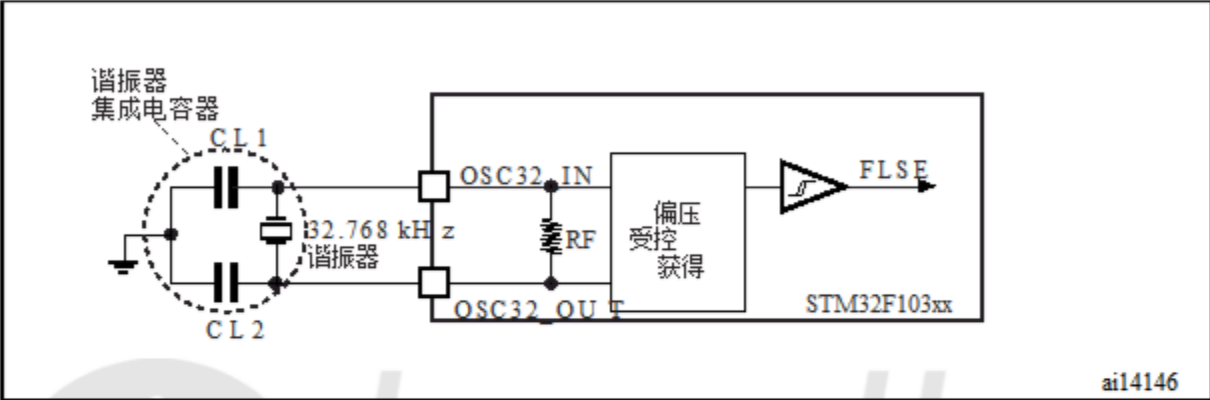
注意: 对于 CL1 和 CL2, 建议使用 5 pF 至 5 pF 的高质量陶瓷电容
选择 15 pF 范围以匹配晶体或谐振器的要求 (见图 23) .
CL1 和 CL2 通常是相同的大小. 晶体制造商通常指定一个负载
电容是 CL1 和 CL2 的串联组合.
负载电容 CL 具有以下公式: $CL = CL1 \times CL2 / (CL1 + CL2) + C_{stray}$ 其中



C 杂散 是引脚电容和电路板或PCB走线的相关电容。通常情况下，在2 pF和7 pF之间。

警告： 为了避免超过CL1和CL2（15 pF）的最大值，强烈建议使用负载电容CL≈7 pF的谐振器。切勿在负载中使用谐振器电容为12.5 pF。
例如：如果选择负载电容CL=6 pF，C杂散=2 pF的谐振器，那么CL1=CL2=8 pF。

图23. 典型应用与32.768 kHz晶体



5.3.7 内部时钟源的特点

表25中给出的参数来源于在环境下进行的测试
温度和VDD电源电压条件总结在表10中。

高速内部（HSI）RC振荡器

表25 HSI振荡器特性（1）

符号	参数	条件	敏	典型	马克斯单元
f 恒指	频率			8	兆赫
ACC HSI	HSI的准确性 振荡器	用户使用RCC_CR进行修剪 注册（2）			1（3）%
		厂 - 校准（4）	TA = -40至105°C	-2	2.5%
			TA = -10至85°C	-1.5	2.2%
			TA = 0至70°C	-1.3	2%
苏（HSI）4	HSI振荡器 启动时间		12		微秒
我 DD（HSI）	HSI振荡器电源 消费			80	100 μA

- 除非另有说明，否则VDD=3.3 V，TA=-40至105°C。
- 请参考应用笔记AN2868“STM32F10xxx内部RC振荡器（HSI）校准”
ST网站www.st.com。
- 由设计保证，未经生产测试。
- 基于特性描述，未经生产测试。

低速内部（LSI）RC振荡器

表26. LSI振荡器特性 (1)

符号	参数	敏	典型	马克斯	单元
LSI (2)	频率	三十	40	60	千赫
LSI (LSI ₃)	LSI振荡器启动时间			85	微秒
我 DD (LSI)	LSI振荡器的功耗		0.65	1.2	μA

- 1. V DD = 3 V, T A = -40至105°C, 除非另有规定.
- 2. 基于特性描述, 未经生产测试.
- 3. 由设计保证, 未经生产测试.

从低功耗模式唤醒的时间

表27给出的唤醒时间是在一个8MHz HSI RC的唤醒阶段测得的
振荡器.用于唤醒设备的时钟源取决于当前的操作
模式:

- 停止或待机模式: 时钟源是RC振荡器
- 睡眠模式: 时钟源是进入睡眠模式之前设置的时钟.

所有时间均来自在环境温度和V DD电源下进行的测试
电压条件总结在表10中.

表27 低功耗模式唤醒定时

符号	参数	典型	单元
WUSLEEP (1)	从睡眠模式唤醒	1.8	微秒
t WUSTOP (1)	从停止模式唤醒 (调节器处于运行模式)	3.6	微秒
	从停止模式唤醒 (低功耗模式下的稳压器)	5.4	
t WUSTDBY (1)	从待机模式唤醒	50	微秒

- 1. 唤醒时间是从唤醒事件到用户应用程序代码的测量点
读取第一条指令.

5.3.8 PLL特性

表28中给出的参数来源于在环境下进行的测试
温度和VDD电源电压条件总结在表10中。

表28 PLL特性

符号	参数	值			单元
		敏	典型	最大 (1)	
f PLL_IN	PLL输入时钟 (2)	18.0		25	兆赫
	PLL输入时钟占空比	40		60	%
f PLL_OUT	PLL乘法器输出时钟	16		72	兆赫
锁定	PLL锁定时间			200	微秒
抖动	周期到周期的抖动			300	PS

- 1. 基于特性描述，未经生产测试。
- 2. 请注意使用适当的乘法因子，以使PLL输入时钟值兼容由f PLL_OUT定义的范围。

5.3.9 记忆特性

闪存

除非另有说明，特性在T A = -40至105°C给出。

表29. 闪存特性

符号	参数	条件	敏	典型	最大 (1)	单元
t 编	16位编程时间	T A↑-40至+105°C	40	52.5	70	微秒
擦除 页面 (2 KB)	擦除时间	T A↑-40至+105°C	20		40	女士
我ME	整体擦除时间	T A↑-40至+105°C	20		40	女士
我 DD	电源电流	读取模式 f HCLK = 72 MHz，等待2次 状态，V DD = 3.3V			28	嘛
		写模式 f HCLK = 72MHz，V DD = 3.3V			7 毫	安
		擦除模式 f HCLK = 72MHz，V DD = 3.3V			5 毫	安
		掉电模式/暂停， V DD = 3.0至3.6V			50	μA
V 前卫	编程电压		2		3.6	V

- 1. 由设计保证，未经生产测试。



表30 闪存耐用性和数据保留

符号	参数	条件	值			单元
			最低	(1)典型	马克斯	
N END	耐力	T A = -40至+85°C (6个后继版本) T A = -40至+105°C (7个后继版本)	10			kcycles
t RET	数据保留	1个循环 (2), 在T A = 85°C	三十			年份
		1 Kcycle (2), T A = 105°C	10			
		在T A = 55°C下 10k周 (2)	20			

- 1. 基于未在生产中测试的特性.
- 2. 骑自行车在整个温度范围内进行.

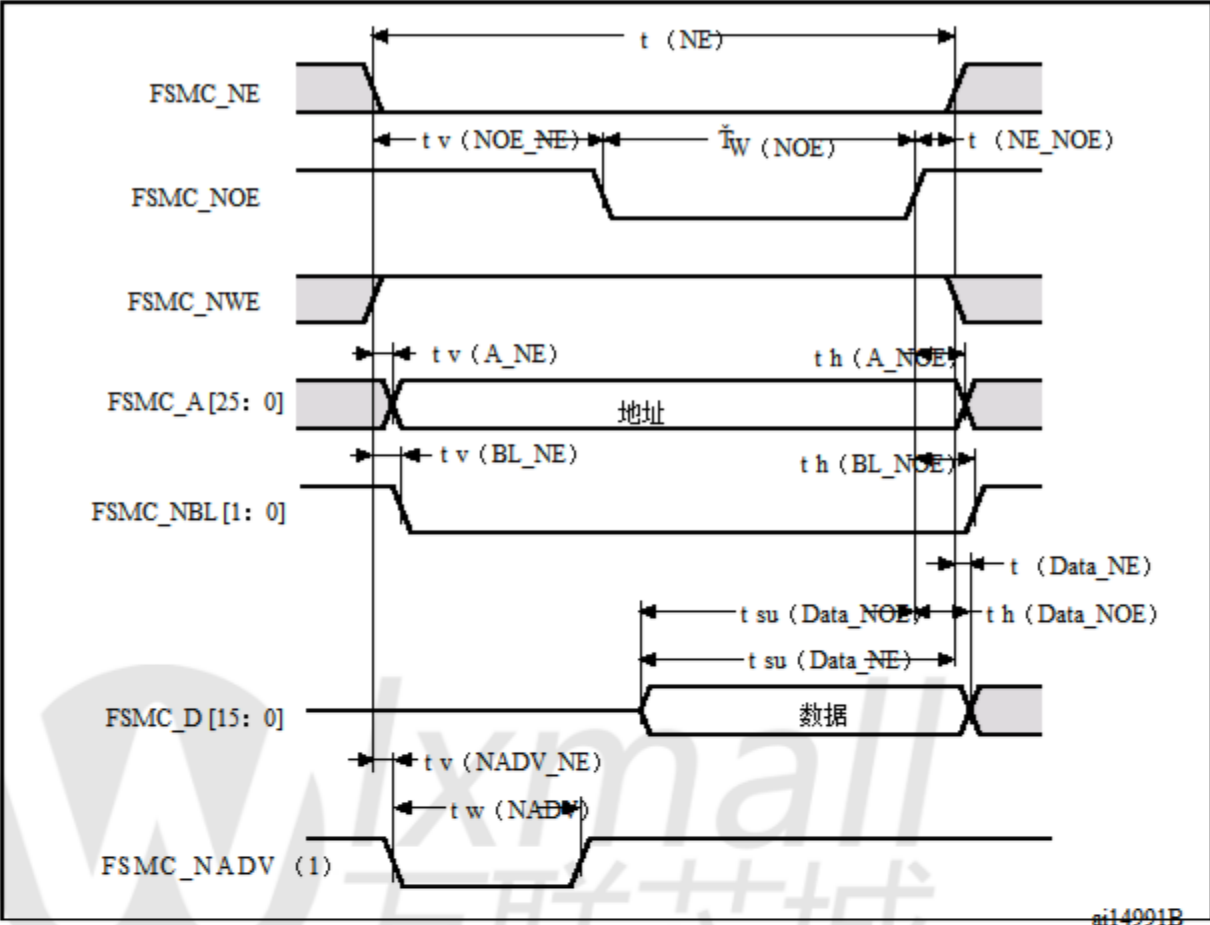
5.3.10 FSMC的特点

异步波形和时序

图24到图27分别代表异步波形和表31到表34提供了相应的时间.获得这些表中显示的结果使用以下FSMC配置:

- AddressSetupTime = 0
- AddressHoldTime = 1
- DataSetupTime = 1

图24. 异步非复用 SRAM / PSRAM / NOR 读取波形



ai14991B

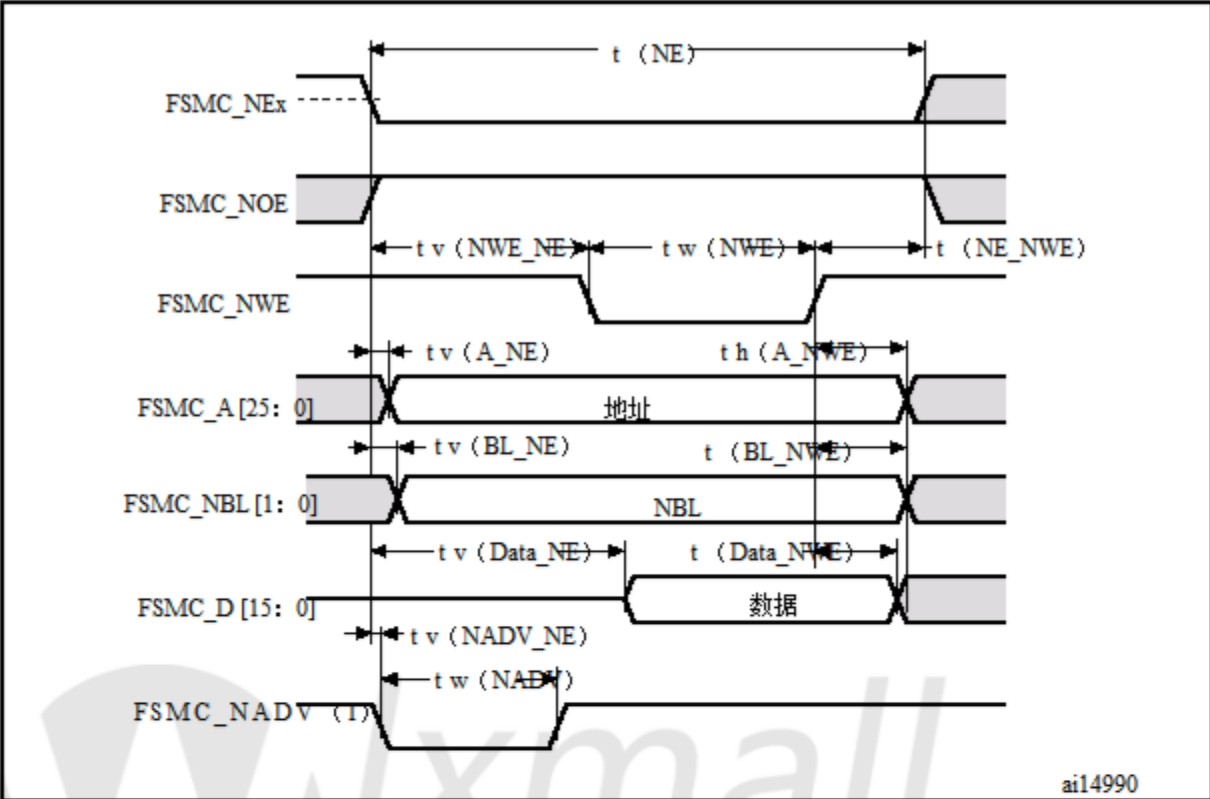
1. 模式2 / B, C和D只在模式1中, 不使用FSMC_NADV.

表31. 异步非复用 SRAM / PSRAM / NOR 读时序 (1) (2)

符号	参数	敏	马克斯	单元
$t(NE)$	FSMC_NE低时间	$5T_{HCLK} - 1.5$	$5T_{HCLK} + 2$	NS
$t_v(NOE_NE)$	FSMC_NEx低到FSMC_NOE低	0.5	1.5	NS
$t_w(NOE)$	FSMC_NOE低时间	$5T_{HCLK} - 1.5$	$5T_{HCLK} + 1.5$	NS
$t(NE_NOE)$	FSMC_NOE高到FSMC_NE高保持时间-1.5			NS
$t_v(A_NE)$	FSMC_NEx低到FSMC_A有效		7	NS
$t_h(A_NOE)$	地址保持时间在FSMC_NOE为高后	0.1		NS
$t_v(BL_NE)$	FSMC_NEx低到FSMC_BL有效		0	NS
$t_h(BL_NOE)$	在FSMC_NOE为高电平后FSMC_BL保持时间	0		NS
$t_{su}(Data_NE)$	数据到FSMC_NEx高设置时间	$2T_{HCLK} + 25$		NS
$t_{su}(Data_NOE)$	数据到FSMC_NOEx高设置时间	$2T_{HCLK} + 25$		NS
$t(Data_NOE)$	FSMC_NOE为高电平后的数据保持时间	0		NS
$t(Data_NE)$	FSMC_NEx高电平后数据保持时间	0		NS
$t_v(NADV_NE)$	FSMC_NEx低到FSMC_NADV低		五	NS
$t_w(NADV)$	FSMC_NADV低时间		$T_{HCLK} + 1.5$	NS

1. $C_L = 15\text{ pF}$.
2. 基于特性描述, 未经生产测试.

图25. 异步非复用 SRAM / PSRAM / NOR写入波形



1. 模式2 / B, C和D只在模式1中, 不使用FSMC_NADV.

表32. 异步非复用 SRAM / PSRAM / NOR写时序 (1) (2)

符号	参数	敏	马克斯	单元
t (NE)	FSMC_NEx低时间	3 T HCLK - 1	3 T HCLK + 2	NS
t v (NWE_NE)	FSMC_NEx低到FSMC_NWE低	T HCLK - 0.5	T HCLK + 1.5	NS
t w (NWE)	FSMC_NWE低时间	T HCLK - 0.5	T HCLK + 1.5	NS
t (NE_NWE)	FSMC_NWE高到FSMC_NEx高保持时间	T HCLK		NS
t v (A_NE)	FSMC_NEx低到FSMC_A有效		7.5	NS
t h (A_NWE)	地址保持时间在FSMC_NWE之后	T HCLK		NS
t v (BL_NE)	FSMC_NEx低到FSMC_NBL有效		1.5	NS
t (BL_NWE)	FSMC_NWE高电平后FSMC_NBL保持时间	T HCLK - 0.5		NS
t v (Data_NE)	FSMC_NEx低到数据有效		T HCLK + 7	NS
t (Data_NWE)	FSMC_NWE为高电平后的数据保持时间	T HCLK		NS
t v (NADV_NE)	FSMC_NEx低到FSMC_NADV低		5.5	NS
t w (NADV)	FSMC_NADV低时间		T HCLK + 1.5	NS

- 1. CL = 15 pF.
- 2. 基于特性描述, 未经生产测试.

图26. 异步复用PSRAM / NOR读取波形

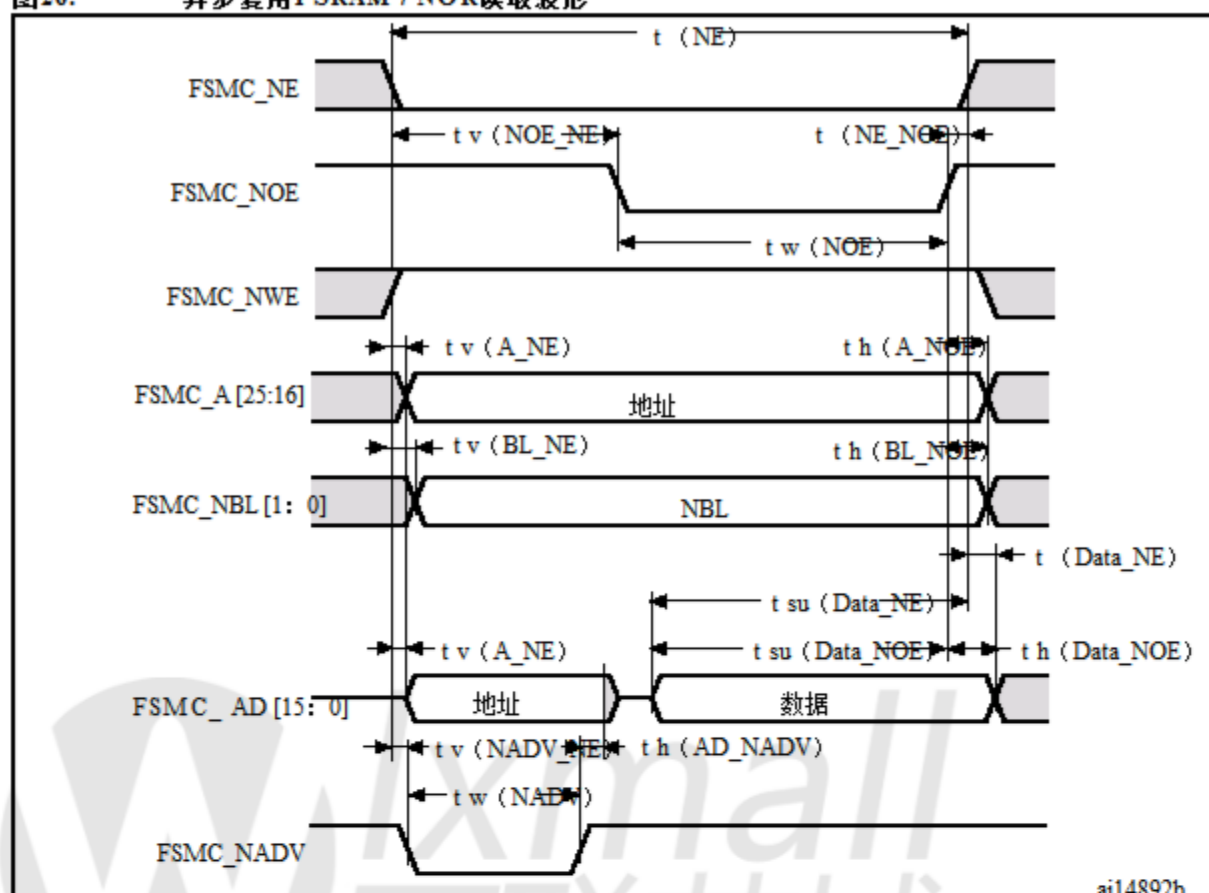


表33 异步复用PSRAM / NOR读时序 (1) (2)

符号	参数	敏	马克斯	单元
$t(NE)$	FSMC_NE低时间	$7T_{HCLK} - 2$	$7T_{HCLK} + 2$	NS
$t_v(NOE_NE)$	FSMC_NEx低到FSMC_NOE低	$3T_{HCLK} - 0.5$	$3T_{HCLK} + 1.5$	ns
$t_w(NOE)$	FSMC_NOE低时间	$4T_{HCLK} - 1$	$4T_{HCLK} + 2$	NS
$t(NE_NOE)$	FSMC_NOE高到FSMC_NE高保持时间	-1		NS
$t_v(A_NE)$	FSMC_NEx低到FSMC_A有效		0	NS
$t_v(NADV_NE)$	FSMC_NEx低到FSMC_NADV低	3	五	NS
$t_w(NADV)$	FSMC_NADV低时间	$T_{HCLK} - 1.5$	$T_{HCLK} + 1.5$	NS
$t_h(AD_NADV)$	FSMC_AD (地址) 后有效的保持时间 FSMC_NADV高	T_{HCLK}		NS
$t_h(A_NOE)$	地址保持时间在FSMC_NOE为高后	T_{HCLK}		NS
$t_h(BL_NOE)$	在FSMC_NOE为高电平后FSMC_BL保持时间	0		NS
$t_v(BL_NE)$	FSMC_NEx低到FSMC_BL有效		0	NS
$t_{su}(Data_NE)$	数据到FSMC_NEx高设置时间	$2T_{HCLK} + 24$		NS
$t_{su}(Data_NOE)$	数据到FSMC_NOE的高设置时间	$2T_{HCLK} + 25$		NS
$t(Data_NE)$	FSMC_NEx高电平后数据保持时间	0		NS
$t_h(Data_NOE)$	FSMC_NOE高电平后数据保持时间	0		NS

1. $C_L = 15\text{ pF}$.

2. 基于特性描述, 未经生产测试.

图27. 异步多路复用PSRAM / NOR写入波形

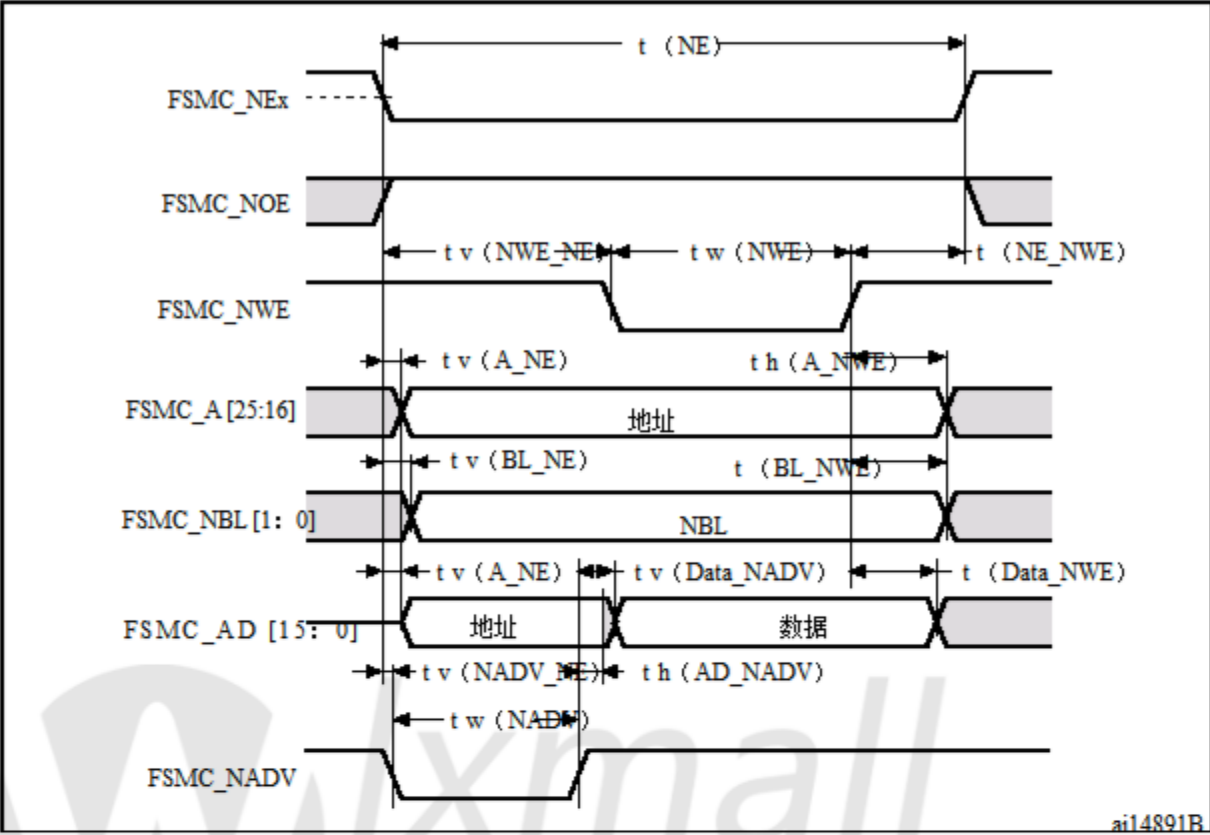


表34. 异步复用PSRAM / NOR写时序 (1) (2)

符号	参数	敏	马克斯	单元
$t(NE)$	FSMC_NEx低时间	$5T_{HCLK} - 1$	$5T_{HCLK} + 2$	NS
$t_v(NWE_NEx)$	FSMC_NEx低到FSMC_NWE低	$2T_{HCLK}$	$2T_{HCLK} + 1$	NS
$t_w(NWE)$	FSMC_NWE低时间	$2T_{HCLK} - 1$	$2T_{HCLK} + 2$	NS
$t(NE_NWE)$	FSMC_NWE高到FSMC_NEx高保持时间	$T_{HCLK} - 1$		NS
$t_v(A_NEx)$	FSMC_NEx低到FSMC_A有效		7	NS
$t_v(NADV_NEx)$	FSMC_NEx低到FSMC_NADV低	3	五	NS
$t_w(NADV)$	FSMC_NADV低时间	$T_{HCLK} - 1$	$T_{HCLK} + 1$	NS
$t_h(AD_NADV)$	FSMC_AD (地址) 后有效的保持时间 FSMC_NADV高	$T_{HCLK} - 3$		NS
$t_h(A_NWE)$	地址保持时间在FSMC_NWE之后	$4T_{HCLK}$		NS
$t_v(BL_NEx)$	FSMC_NEx低到FSMC_BL有效		1.6	NS
$t(BL_NWE)$	FSMC_NWE高电平后FSMC_BL保持时间	$T_{HCLK} - 1.5$		NS
$t_v(Data_NADV)$	FSMC_NADV高到数据有效		$T_{HCLK} + 1.5$	NS
$t(Data_NWE)$	FSMC_NWE为高电平后的数据保持时间	$T_{HCLK} - 5$		NS

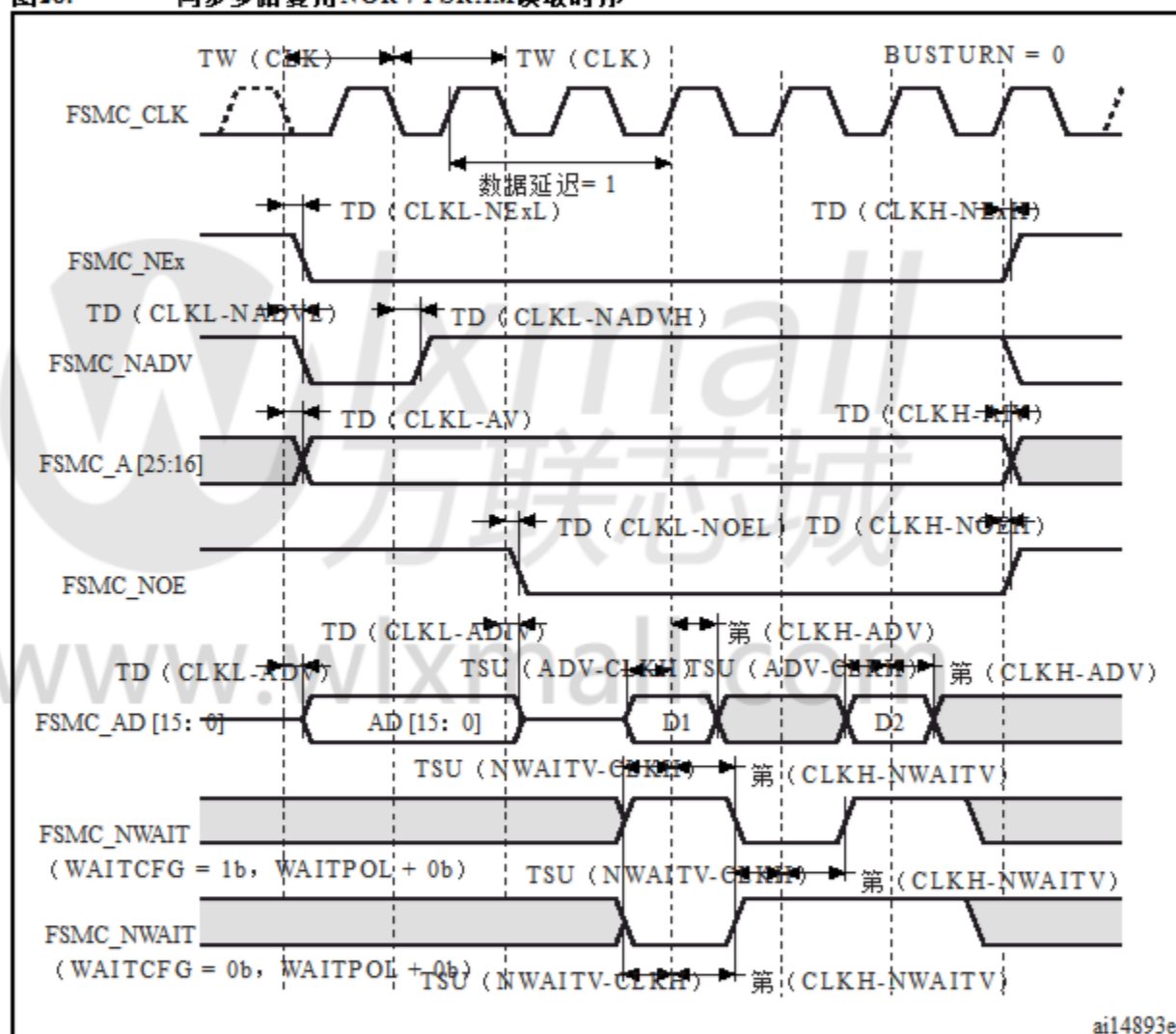
1. $C_L = 15\text{ pF}$.
2. 基于特性描述, 未经生产测试.

同步波形和时序

图28到图31分别代表同步波形和表36到表38提供了相应的时间.获得这些表中显示的结果使用以下FSMC配置:

- BurstAccessMode = FSMC_BurstAccessMode_Enable;
- MemoryType = FSMC_MemoryType_CRAM;
- WriteBurst = FSMC_WriteBurst_Enable;
- CLKDivision = 1; (不支持0, 请参考STM32F10xxx参考手册)
- NOR Flash的DataLatency = 1;对于PSRAM, DataLatency = 0

图28. 同步多路复用NOR / PSRAM读取时序



ai14893e

表35 同步多路复用 NOR / PSRAM 读取时序 (1) (2)

符号	参数	敏	马克斯	单元
t_w (CLK)	FSMC_CLK 周期	27.7		NS
t_d (CLKL-NE _x L)	FSMC_CLK 低到 FSMC_NE _x 低 ($x = 0 \dots 2$)		1.5	NS
t_d (CLKH-NE _x H)	FSMC_CLK 高到 FSMC_NE _x 高电平 ($x = 0 \dots 2$)	$T_{HCLK} + 2$		NS
t_d (CLKL-NADV)	FSMC_CLK 低到 FSMC_NADV 低		4	NS
t_d (CLKL-NADV)	FSMC_CLK 低到 FSMC_NADV 高	五		NS
t_d (CLKL-AV)	FSMC_CLK 低到 FSMC_A _x 有效 ($x = 16 \dots 25$)		0	NS
t_d (CLKH-AIV)	FSMC_CLK 高到 FSMC_A _x 无效 ($x = 16 \dots 25$)	$T_{HCLK} + 2$		NS
t_d (CLKL-NOEL)	FSMC_CLK 低到 FSMC_NOE 低		$T_{HCLK} + 1$	NS
t_d (CLKH-NOEH)	FSMC_CLK 高到 FSMC_NOE 为高	$T_{HCLK} + 0.5$		NS
t_d (CLKL-ADV)	FSMC_CLK 低到 FSMC_AD [15: 0] 有效		12	NS
t_d (CLKL-ADIV)	FSMC_CLK 低到 FSMC_AD [15: 0] 无效	0		NS
t_{su} (ADV-CLKH)	FSMC_A / D [15: 0] FSMC_CLK 之前的有效数据高	6		NS
t_h (CLKH-ADV)	FSMC_A / D [15: 0] FSMC_CLK 高电平后, 有效数据	$T_{HCLK} - 10$		NS
	在 FSMC_CLK 为高电平之前, t_{su} (NWAITV-CLKH) FSMC_NWAIT 有效	8		NS
t (CLKH-NWAITV)	FSMC_CLK 为高电平后, FSMC_NWAIT 有效	2		NS

1. $C_L = 15$ pF.

2. 基于特性描述, 未经生产测试.

图29. 同步多路复用PSRAM写时序

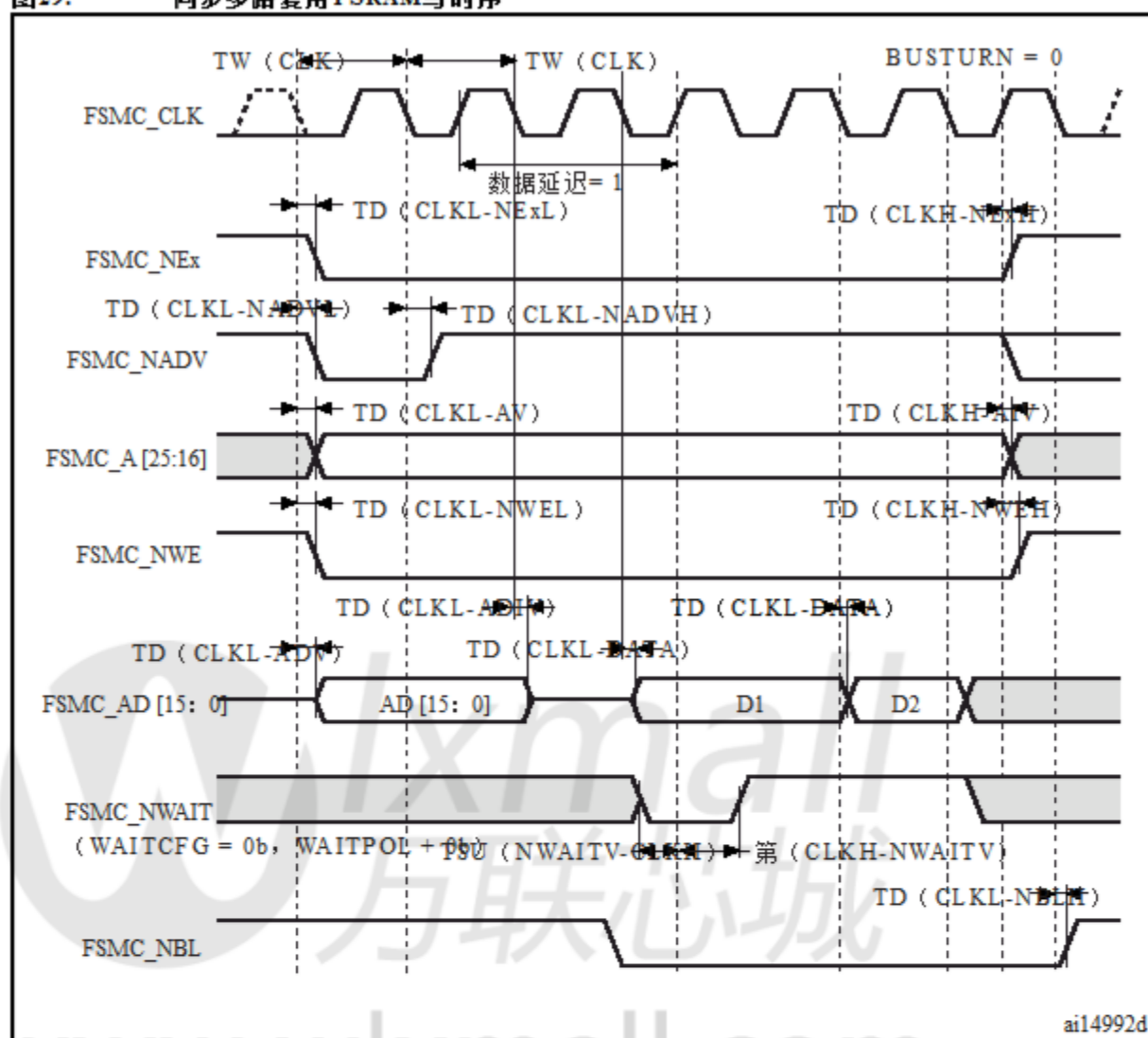


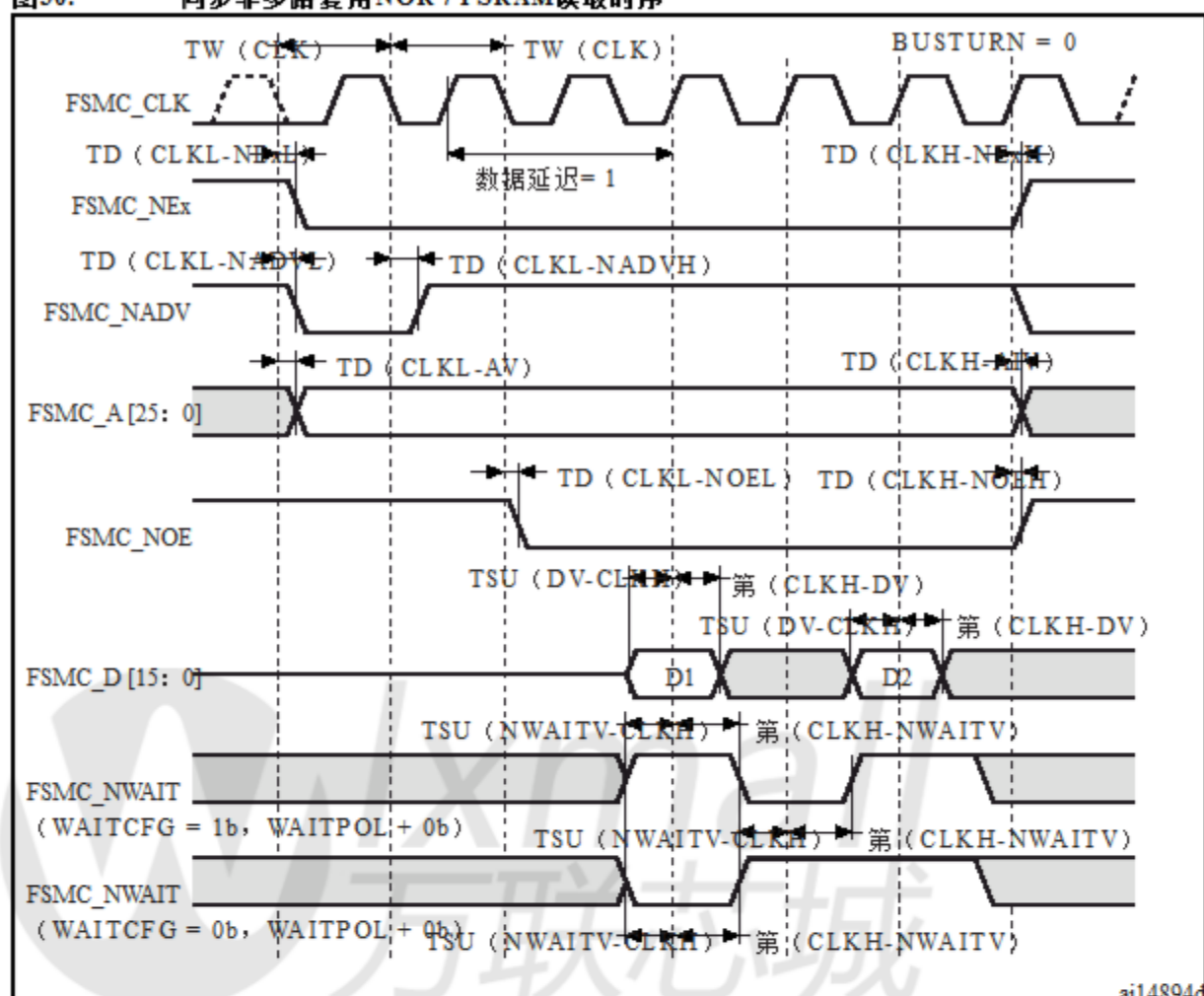
表36. 同步多路复用PSRAM写时序 (1) (2)

符号	参数	敏	马克斯	单元
t_w (CLK)	FSMC_CLK周期	27.7		NS
t_d (CLKL-NExL)	FSMC_CLK低到FSMC_Nex低 ($x = 0 \dots 2$)		2	NS
t_d (CLKH-NExH)	FSMC_CLK高到FSMC_NEx高电平 ($x = 0 \dots 2$)	$T_{HCLK} + 2$		NS
t_d (CLKL-NADV)	FSMC_CLK低到FSMC_NADV低		4	NS
t_d (CLKL-NADVH)	FSMC_CLK低到FSMC_NADV高	五		NS
t_d (CLKL-AV)	FSMC_CLK低到FSMC_Ax有效 ($x = 16 \dots 25$)		0	NS
t_d (CLKH-AIV)	FSMC_CLK高到FSMC_Ax无效 ($x = 16 \dots 25$)	$T_{CK} + 2$		NS
t_d (CLKL-NWEL)	FSMC_CLK低到FSMC_NWE低		1	NS
t_d (CLKH-NWEH)	FSMC_CLK高到FSMC_NWE高	$T_{HCLK} + 1$		NS
t_d (CLKL-ADV)	FSMC_CLK低到FSMC_AD [15: 0]有效		12	NS
t_d (CLKL-ADIV)	FSMC_CLK低到FSMC_AD [15: 0]无效	3		NS
t_d (CLKL数据)	FSMC_A / D [15: 0]在FSMC_CLK为低电平后有效		6	NS
t_{su} (NWAITV-CLKH)	FSMC_NWAIT在FSMC_CLK为高电平之前有效	7		NS
t (CLKH-NWAITV)	FSMC_NWAIT在FSMC_CLK为高电平后有效	2		NS
t_d (CLKL-NBLH)	FSMC_CLK低到FSMC_NBL高	1		NS

1. $C_L = 15 \text{ pF}$.

2. 基于特性描述, 未经生产测试.

图30. 同步非多路复用NOR / PSRAM读取时序



ai14894d

表37. 同步非多路复用NOR / PSRAM读取时序 (1) (2)

符号	参数	值	马克斯	单元
$t_w(\text{CLK})$	FSMC_CLK周期	27.7		NS
$t_d(\text{CLKL-NExL})$	FSMC_CLK低到FSMC_NEx低 ($x = 0 \dots 2$)		1.5	NS
$t_d(\text{CLKH-NExH})$	FSMC_CLK高到FSMC_NEx高电平 ($x = 0 \dots 2$)	$T_{\text{HCLK}} + 2$		NS
$t_d(\text{CLKL-NADVL})$	FSMC_CLK低到FSMC_NADV低		4	NS
$t_d(\text{CLKL-NADVH})$	FSMC_CLK低到FSMC_NADV高	五		NS
$t_d(\text{CLKL-AV})$	FSMC_CLK低到FSMC_Ax有效 ($x = 0 \dots 25$)		0	NS
$t_d(\text{CLKH-AIV})$	FSMC_CLK高到FSMC_Ax无效 ($x = 0 \dots 25$)	$T_{\text{HCLK}} + 4$		NS
$t_d(\text{CLKL-NOEL})$	FSMC_CLK低到FSMC_NOE低		$T_{\text{HCLK}} + 1.5$	ns
$t_d(\text{CLKH-NOEH})$	FSMC_CLK高到FSMC_NOE为高	$T_{\text{HCLK}} + 1.5$		NS
$t_{su}(\text{DV-CLKH})$	FSMC_D [15: 0] FSMC_CLK高电平之前的有效数据	6.5		NS
$t_h(\text{CLKH-DV})$	FSMC_D [15: 0] FSMC_CLK为高电平后有效数据	7		NS
在FSMC_SMCLK为高电平之前, $t_{su}(\text{NWAITV-CLKH})$	FSMC_NWAIT有效	7		NS
$t(\text{CLKH-NWAITV})$	FSMC_CLK为高电平后, FSMC_NWAIT有效	2		NS

1. $C_L = 15 \text{ pF}$.

2. 基于特性描述, 未经生产测试.

图31. 同步非复用PSRAM写时序

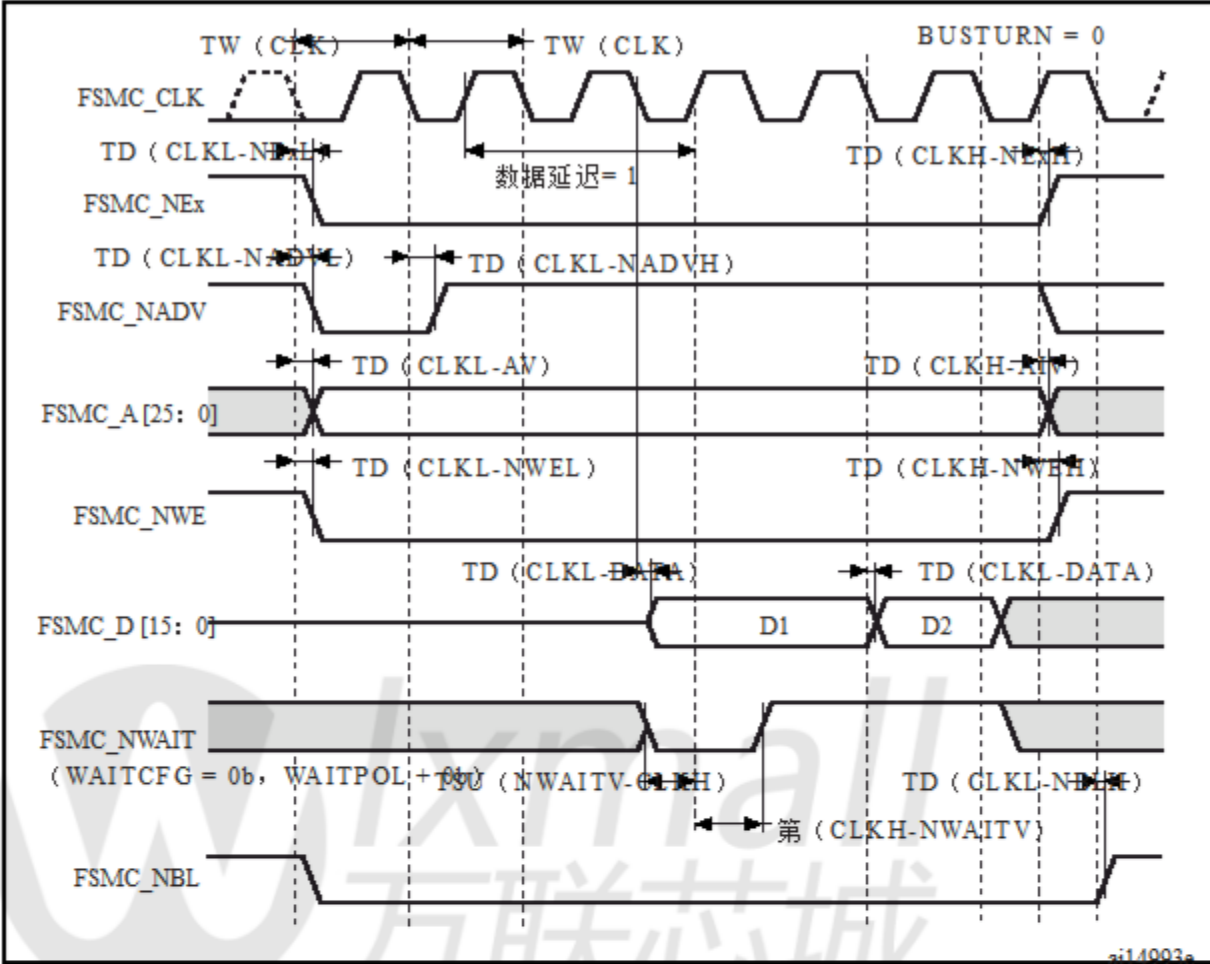


表38. 同步非复用PSRAM写时序 (1) (2)

符号	参数	敏	马克斯	单元
$t_w(\text{CLK})$	FSMC_CLK周期	27.7		NS
$t_d(\text{CLKL-NExL})$	FSMC_CLK低到FSMC_NEx低 ($x = 0 \dots 2$)		2	NS
$t_d(\text{CLKH-NExH})$	FSMC_CLK高到FSMC_NEx高电平 ($x = 0 \dots 2$)	$T_{\text{HCLK}} + 2$		NS
$t_d(\text{CLKL-NADVL})$	FSMC_CLK低到FSMC_NADV低		4	NS
$t_d(\text{CLKL-NADVH})$	FSMC_CLK低到FSMC_NADV高	五		NS
$t_d(\text{CLKL-AV})$	FSMC_CLK低到FSMC_Ax有效 ($x = 16 \dots 25$)		0	NS
$t_d(\text{CLKH-AIV})$	FSMC_CLK高到FSMC_Ax无效 ($x = 16 \dots 25$)	$T_{\text{CK}} + 2$		NS
$t_d(\text{CLKL-NWEL})$	FSMC_CLK低到FSMC_NWE低		1	NS
$t_d(\text{CLKH-NWEH})$	FSMC_CLK高到FSMC_NWE高	$T_{\text{HCLK}} + 1$		NS
$t_d(\text{CLKL数据})$	FSMC_D [15: 0]在FSMC_CLK为低电平后的有效数据		6	NS
$t_{su}(\text{NWAITV-CLKH})$	FSMC_NWAIT在FSMC_CLK为高电平之前有效	7		NS
$t(\text{CLKH-NWAITV})$	FSMC_NWAIT在FSMC_CLK为高电平后有效	2		NS
$t_d(\text{CLKL-NBLH})$	FSMC_CLK低到FSMC_NBL高	1		NS

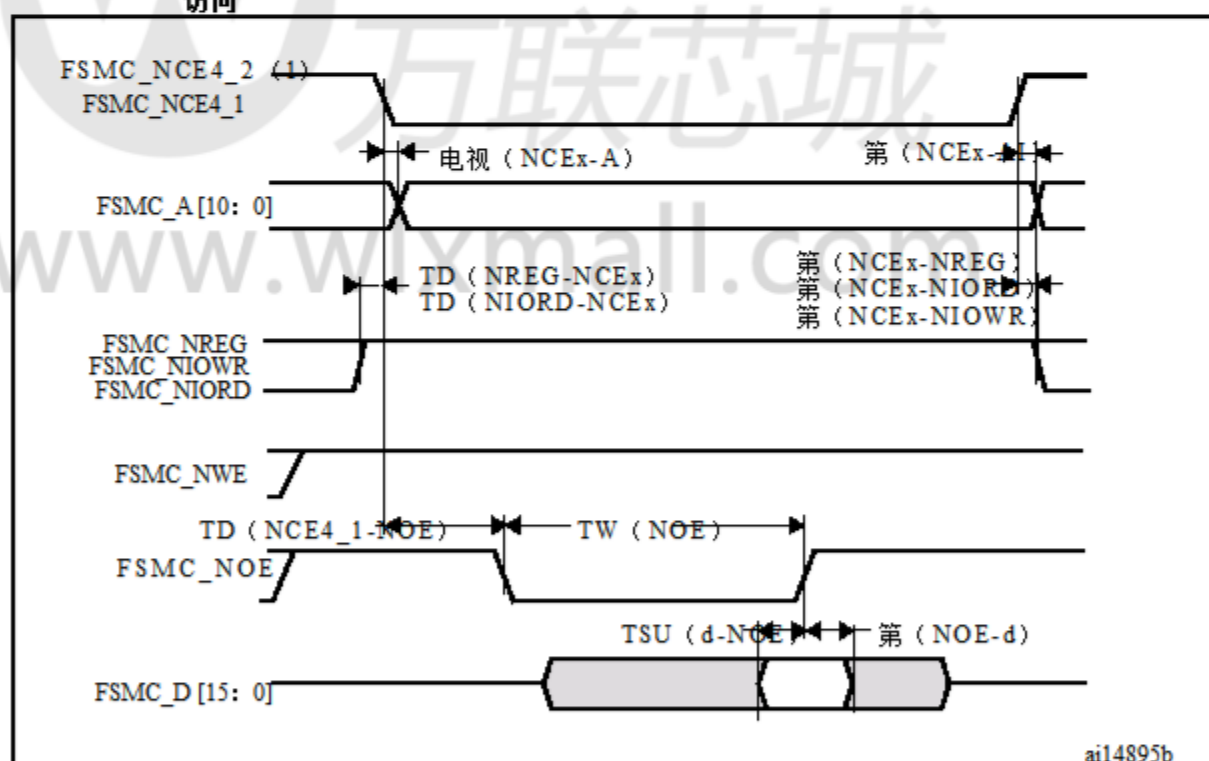
1. $C_L = 15 \text{ pF}$.
2. 基于特性描述, 未经生产测试.

PC卡/ CompactFlash控制器波形和时序

图32到图37分别代表同步波形和表39提供的相应的时间.本表中显示的结果是使用以下FSMC获得的组态:

- COM.FSMC_SetupTime = 0x04;
- COM.FSMC_WaitSetupTime = 0x07;
- COM.FSMC_HoldSetupTime = 0x04;
- COM.FSMC_HiZSetupTime = 0x00;
- ATT.FSMC_SetupTime = 0x04;
- ATT.FSMC_WaitSetupTime = 0x07;
- ATT.FSMC_HoldSetupTime = 0x04;
- ATT.FSMC_HiZSetupTime = 0x00;
- IO.FSMC_SetupTime = 0x04;
- IO.FSMC_WaitSetupTime = 0x07;
- IO.FSMC_HoldSetupTime = 0x04;
- IO.FSMC_HiZSetupTime = 0x00;
- TCLRSetupTime = 0;
- TARSetupTime = 0;

图32. PC卡/ CompactFlash控制器波形，用于通用存储器读取访问



1. FSMC_NCE4_2保持高电平（8位访问期间不活动）。

图33. PC卡/ CompactFlash控制器波形，用于通用存储器写入访问

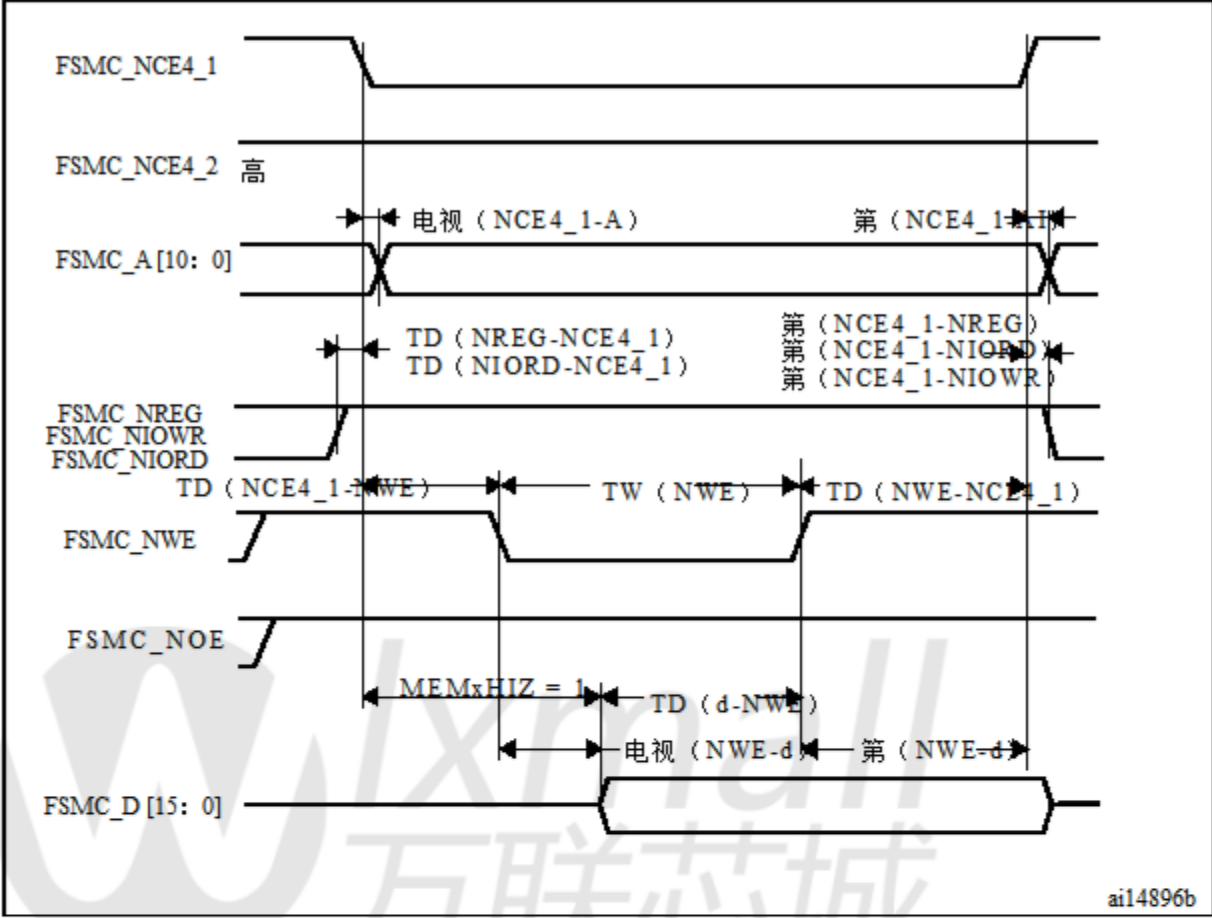
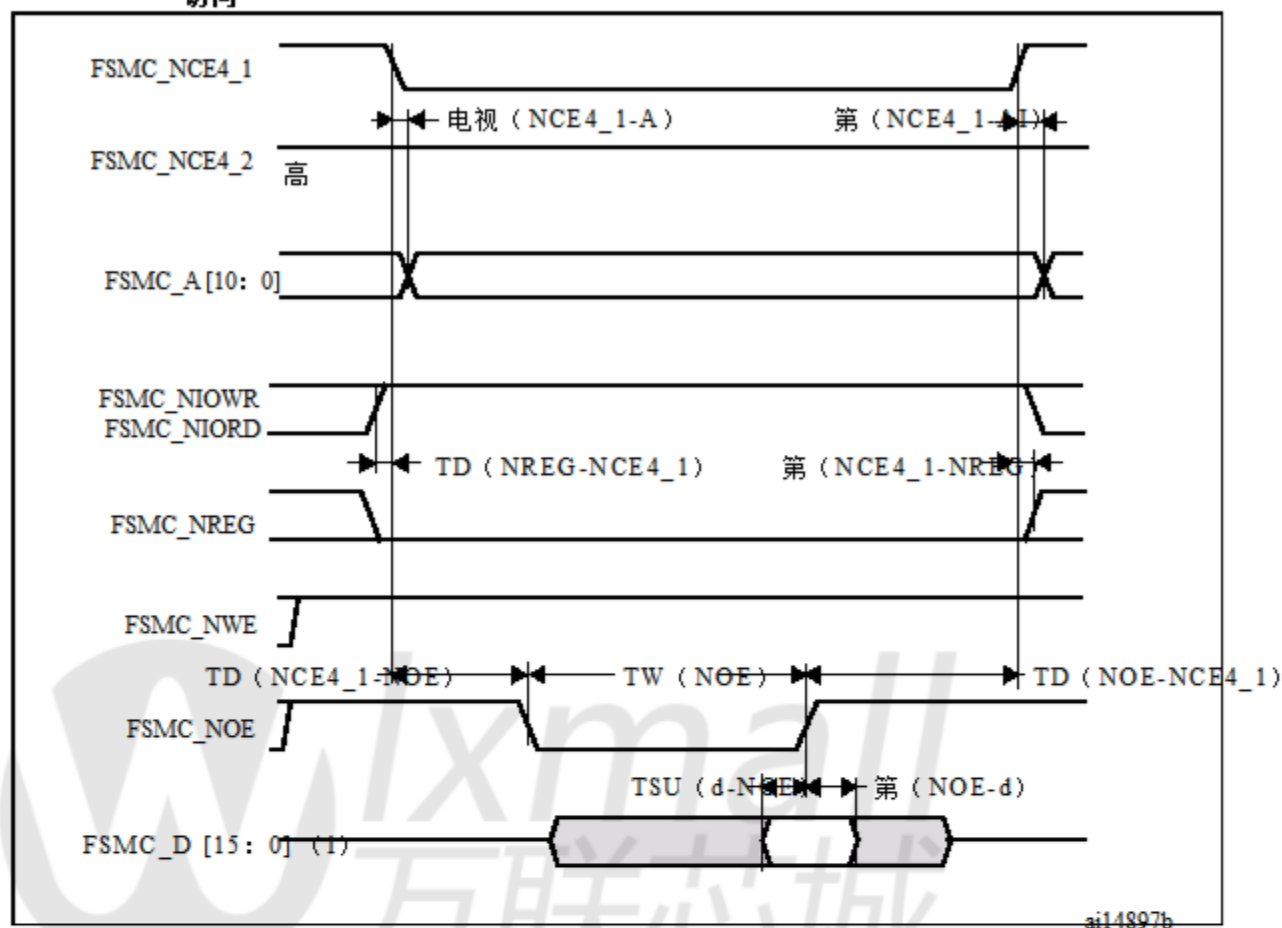


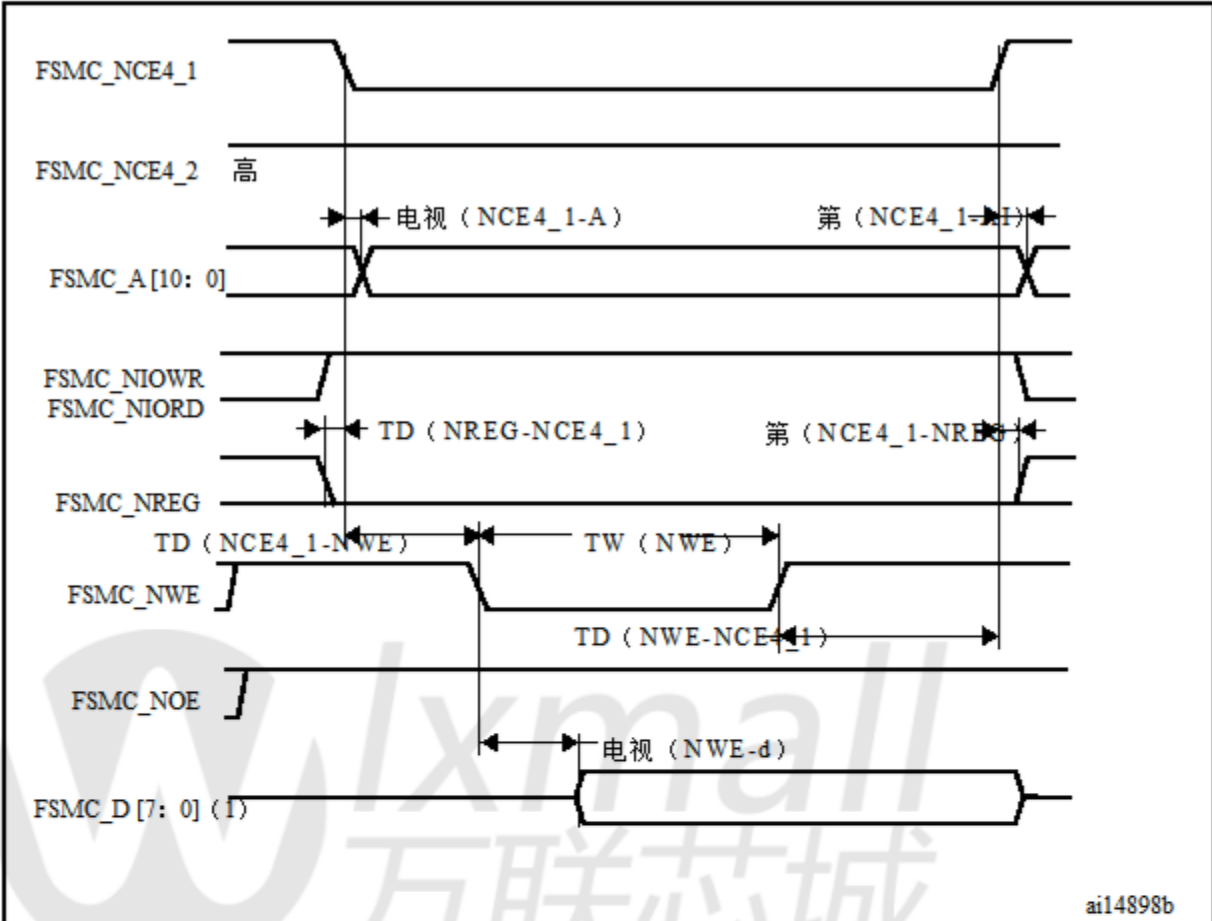
图34. 用于读取属性存储器的PC卡/ CompactFlash控制器波形访问



1. 只读取数据位0 ... 7 (忽略位8 ... 15)。

www.wlxml.com

图35. PC卡/ CompactFlash控制器波形，用于写入属性内存访问



1. 只有数据位0 ... 7被驱动 (位8 ... 15保持HiZ) .

图36. PC卡/ CompactFlash控制器波形，用于I/O空间读取访问

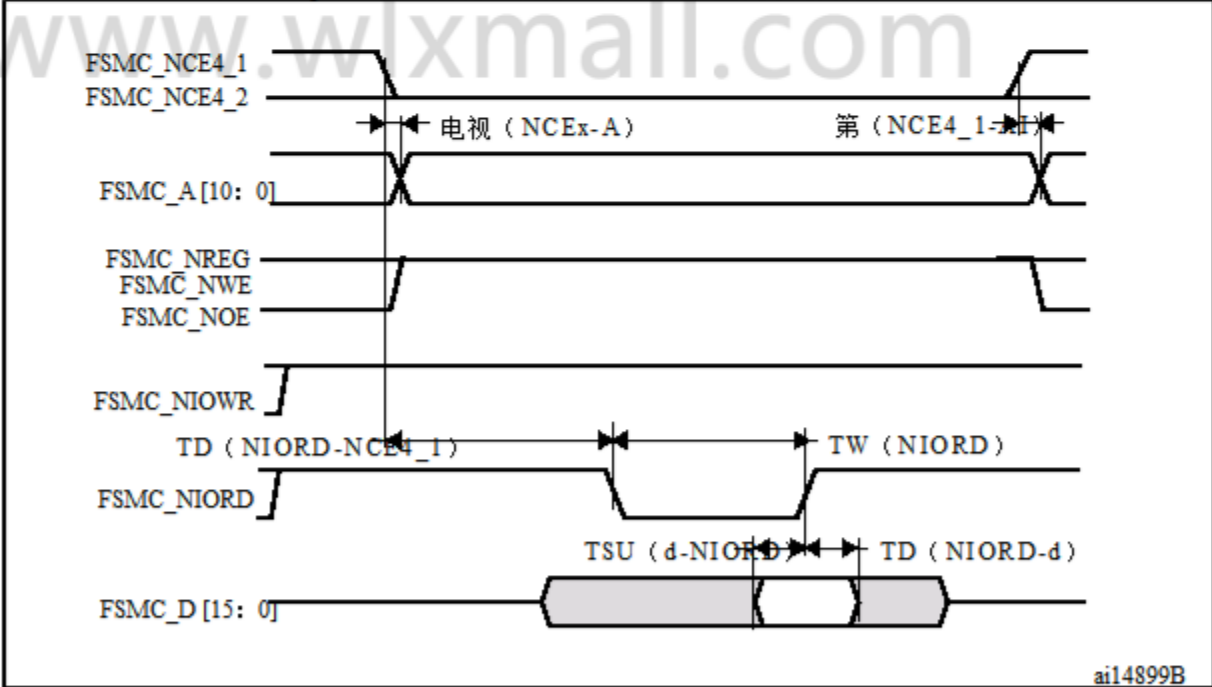


图37. PC卡/ CompactFlash控制器波形，用于I/O空间写入访问

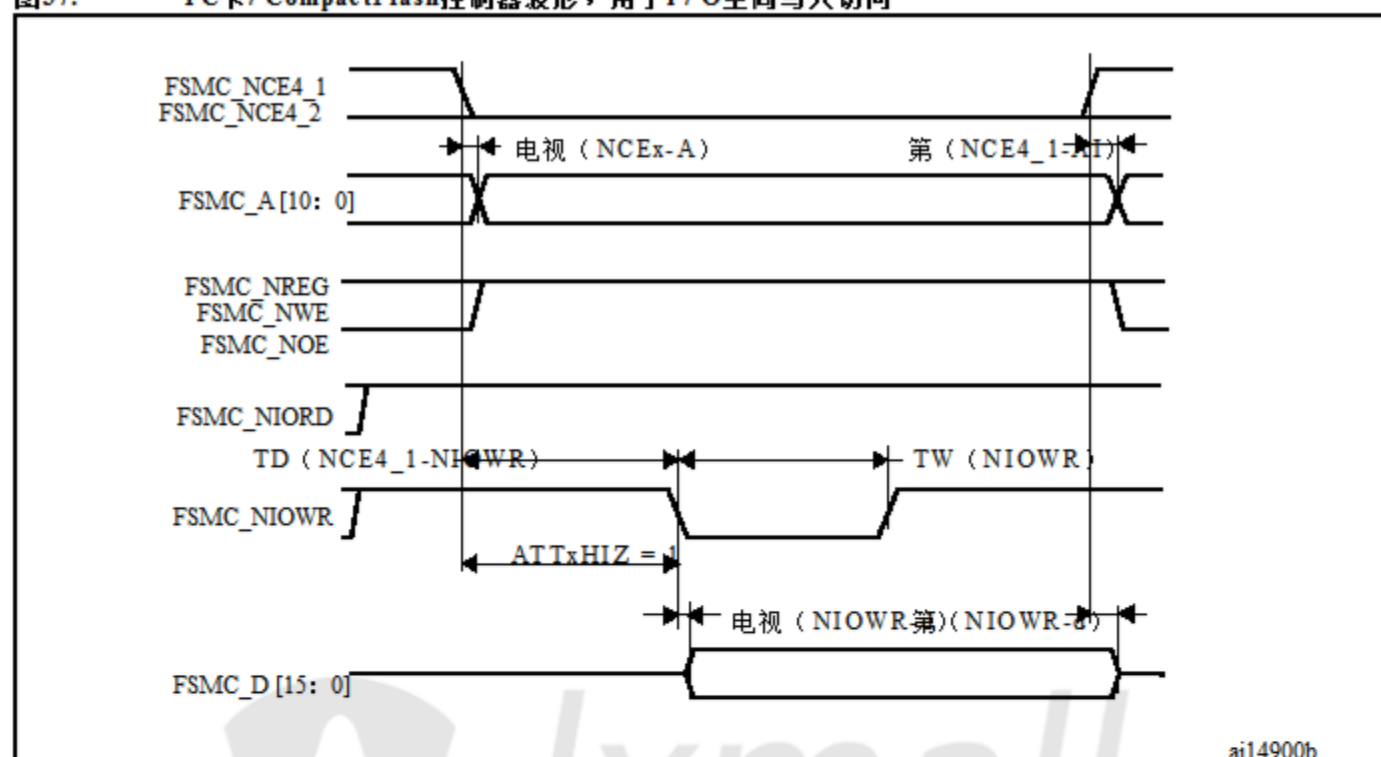


表39. PC卡/ CF读写周期的开关特性 (1) (2)

符号	参数	敏	马克斯	单元
$t_v(NCEx-A)$ $t_v(NCE4_1-A)$	FSMC_NCE _x 低 ($x = 4_1 / 4_2$) 到FSMC_A _y 有效 ($y = 0 \dots 10$) FSMC_NCE4_1低电平 ($x = 4_1 / 4_2$) 到FSMC_A _y 有效 ($y = 0 \dots 10$)	0		NS
$t(NCEx-AI)$ $t(NCE4_1-AI)$	FSMC_NCE _x 高 ($x = 4_1 / 4_2$) 到FSMC_A _x 无效 ($x = 0 \dots 10$) FSMC_NCE4_1高电平 ($x = 4_1 / 4_2$) 到FSMC_A _x 无效 ($x = 0 \dots 10$)			NS
$t_d(NREG-NCEx)$ $t_d(NREG-NCE4_1)$	FSMC_NCE _x 低到FSMC_NREG有效FSMC_NCE4_1低到FSMC_NREG有效		五	NS
$t(NCEx-NREG)$ $t_h(NCE4_1-NREG)$	FSMC_NCE _x 高到FSMC_NREG无效FSMC_NCE4_1高到FSMC_NREG无效	$T_{HCLK} + 3$		NS
$t_d(NCE4_1-NOE)$	FSMC_NCE4_1低到FSMC_NOE低		$5T_{HCLK} + 2$	NS
$t_w(NOE)$	FSMC_NOE低宽度	$8T_{HCLK} - 1.5$	$8T_{HCLK} + 1$	NS
$t_d(NOE-NCE4_1)$	FSMC_NOE高到FSMC_NCE4_1高	$5T_{HCLK} + 2$		NS
$t_{su}(D-NOE)$	FSMC_D[15:0] FSMC_NOE为高电平之前的有效数据	25		NS
$t(NOE-D)$	FSMC_D[15:0] FSMC_NOE为高电平后，有效数据	15		NS
$t_w(NWE)$	FSMC_NWE低宽度	$8T_{HCLK} - 1$	$8T_{HCLK} + 2$	NS
$t_d(NWE-NCE4_1)$	FSMC_NWE高到FSMC_NCE4_1高	$5T_{HCLK} + 2$		NS
$t_d(NCE4_1-NWE)$	FSMC_NCE4_1低到FSMC_NWE低		$5T_{HCLK} + 1.5$	ns
$t_v(NWE-D)$	FSMC_NWE低到FSMC_D[15:0]有效		0	NS
$t(NWE-D)$	FSMC_NWE高到FSMC_D[15:0]无效	$11T_{HCLK}$		NS
$t_d(D-NWE)$	FSMC_D[15:0]在FSMC_NWE为高电平之前有效	$13T_{HCLK}$		NS

表39. PC卡/CF读写周期的开关特性 (1) (2) (续)

符号	参数	敏	马克斯	单元
t_w (NIOWR)	FSMC_NIOWR低宽度	$8T_{HCLK} + 3$		NS
t_v (NIOWR-D)	FSMC_NIOWR低到FSMC_D [15:0]有效		$5T_{HCLK} + 1$	NS
t (NIOWR-D)	FSMC_NIOWR高到FSMC_D [15:0]无效	$11T_{HCLK}$		NS
t_d (NCE4_1-NIOWR)	FSMC_NCE4_1低到FSMC_NIOWR有效		$5T_{HCLK} + 3ns$	NS
t (NCE _x -NIOWR)	FSMC_NCE _x 高到FSMC_NIOWR无效	$5T_{HCLK} - 5$		NS
t (NCE4_1-NIOWR)	FSMC_NCE4_1高到FSMC_NIOWR无效			
t_d (NIORD-NCE _x)	FSMC_NCE _x 低到FSMC_NIORD有效FSMC_NCE4_1		$5T_{HCLK} + 2.5ns$	
t_d (NIORD-NCE4_1)	低到FSMC_NIORD有效			
t (NCE _x -NIORD)	FSMC_NCE _x 高到FSMC_NIORD无效	$5T_{HCLK} - 5$		NS
t (NCE4_1-NIORD)	FSMC_NCE4_1高到FSMC_NIORD无效			
t_{su} (D-NIORD)	FSMC_D [15:0]在FSMC_NIORD高电平之前有效	4.5		NS
t_d (NIORD-D)	FSMC_D [15:0]在FSMC_NIORD为高电平后有效	9		NS
t_w (NIORD)	FSMC_NIORD低宽度	$8T_{HCLK} + 2$		NS

1. $C_L = 15\text{ pF}$.

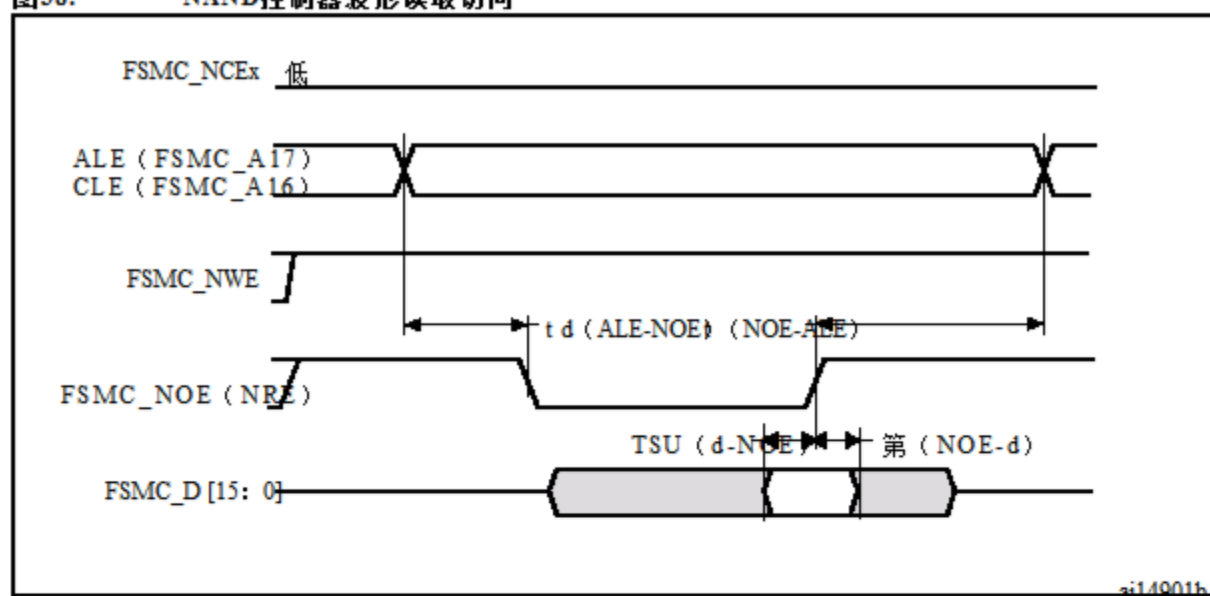
2. 基于特性描述, 未经生产测试.

NAND控制器波形和时序

图38到图41表示同步波形, 表40给出了相应的时间. 本表中显示的结果是使用以下FSMC获得的组态:

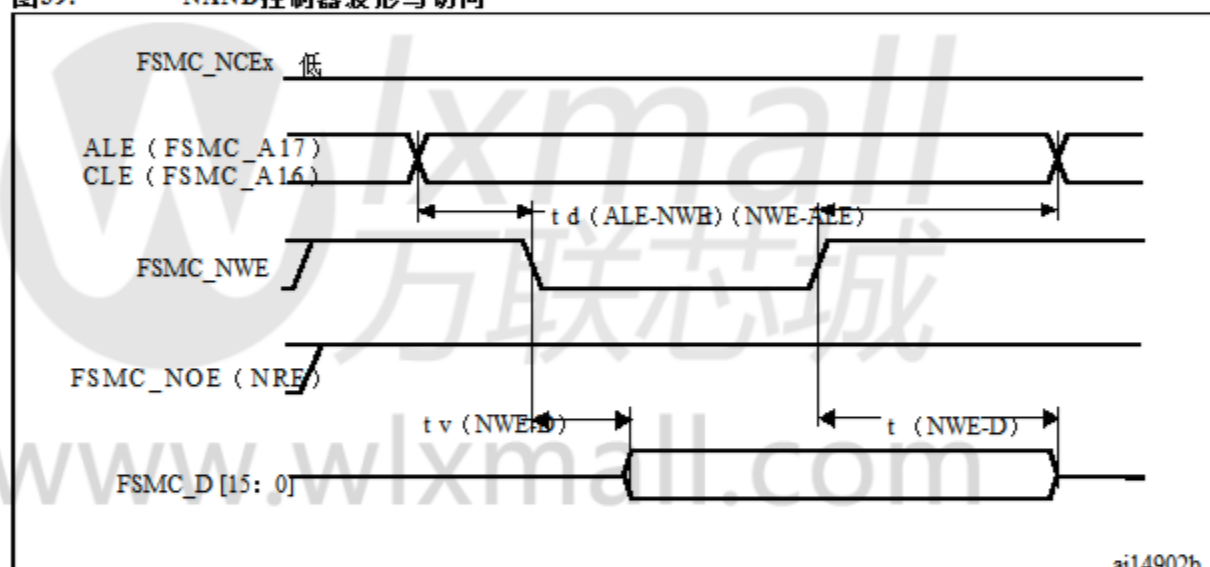
- `COM.FSMC_SetupTime = 0x01;`
- `COM.FSMC_WaitSetupTime = 0x03;`
- `COM.FSMC_HoldSetupTime = 0x02;`
- `COM.FSMC_HiZSetupTime = 0x01;`
- `ATT.FSMC_SetupTime = 0x01;`
- `ATT.FSMC_WaitSetupTime = 0x03;`
- `ATT.FSMC_HoldSetupTime = 0x02;`
- `ATT.FSMC_HiZSetupTime = 0x01;`
- 银行= `FSMC_Bank_NAND;`
- `MemoryDataWidth = FSMC_MemoryDataWidth_16b;`
- `ECC = FSMC_ECC_Enable;`
- `ECCPageSize = FSMC_ECCPageSize_512Bytes;`
- `TCLRSetupTime = 0;`
- `TARSetupTime = 0;`

图38. NAND控制器波形读取访问



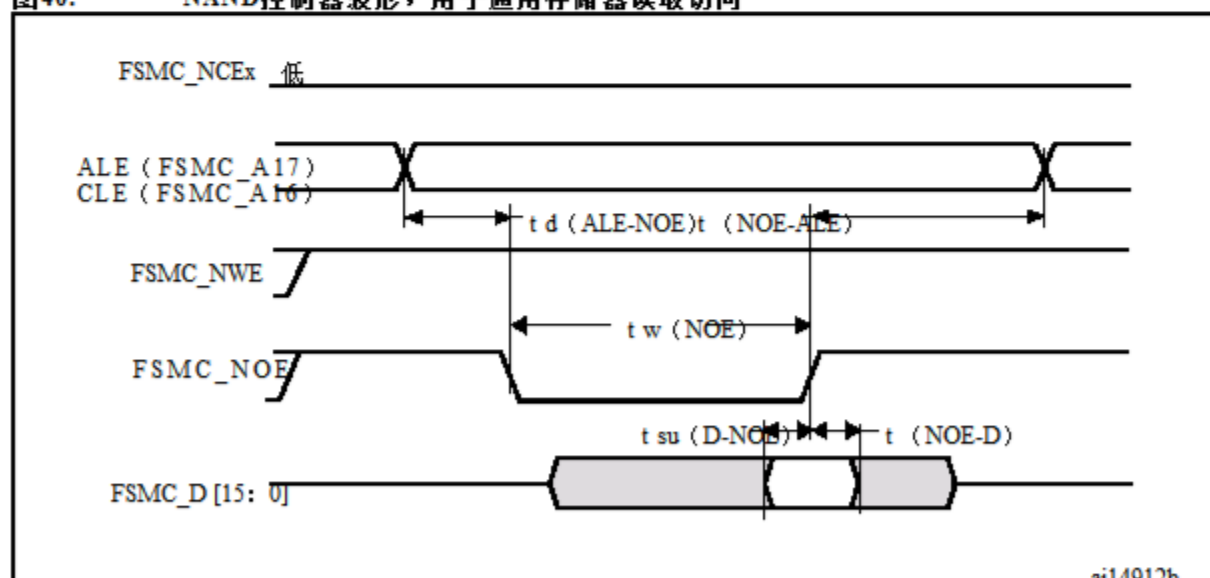
ai14901b

图39. NAND控制器波形写访问



ai14902b

图40. NAND控制器波形，用于通用存储器读取访问



ai14912b

图41. NAND控制器波形，用于通用存储器写访问

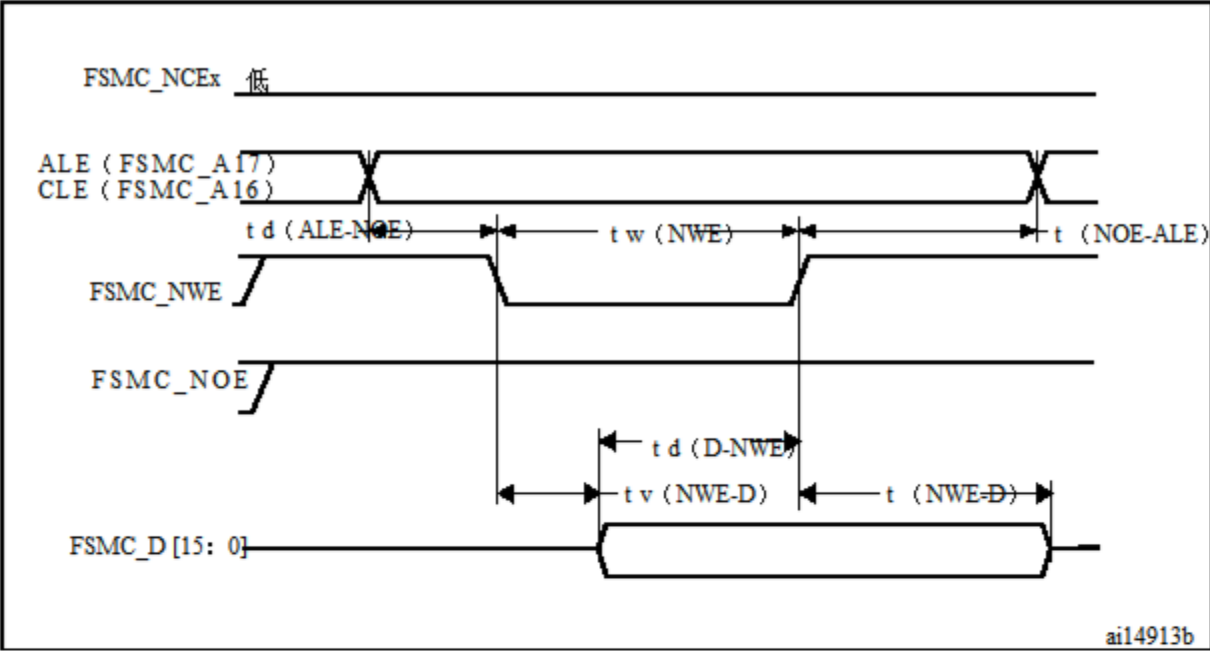


表 40 NAND Flash读写周期的开关特性 (1)

符号	参数	敏	马克斯	单元
$t_d(D-NWE)^2$	FSMC_D [15: 0]在FSMC_NWE为高电平之前有效	$6T_{HCLK} + 12$		NS
$t_w(NOE)^3$	FSMC_NOE低宽度	$4T_{HCLK} - 1.5$	$4T_{HCLK} + 1.5$ ns	
$t_{su}(D-NOE)^2$	FSMC_D [15: 0] FSMC_NOE之前的有效数据高	25		NS
$t(D-NOE)^2$	FSMC_D [15: 0] FSMC_NOE高电平后的有效数据	7		NS
$t_w(NWE)^3$	FSMC_NWE低宽度	$4T_{HCLK} - 1$	$4T_{HCLK} + 2.5$ ns	
$t_v(NWE-D)^2$	FSMC_NWE低到FSMC_D [15: 0]有效		0	NS
$t(NWE-D)^2$	FSMC_NWE高到FSMC_D [15: 0]无效	$10T_{HCLK} + 4$		NS
$t_d(ALE-NWE)^2$	FSMC_ALE在FSMC_NWE低电平之前有效		$3T_{HCLK} + 1.5$ ns	
$t(NWE-ALE)^3$	FSMC_NWE高到FSMC_ALE无效	$3T_{HCLK} + 4.5$		NS
$t_d(ALE-NOE)^3$	FSMC_ALE在FSMC_NOE低电平之前有效		$3T_{HCLK} + 2$	NS
$t(NOE-ALE)^3$	FSMC_NWE高到FSMC_ALE无效	$3T_{HCLK} + 4.5$		NS

- 1. $C_L = 15\text{ pF}$.
- 2. 基于特性描述，未经生产测试.
- 3. 由设计保证，未经生产测试.

5.3.11 EMC特性

器件表征过程中，基于样品进行敏感性测试。

功能性EMS（电磁敏感性）

在设备上执行简单的应用程序（通过I/O端口切换2个LED）。该装置受到两个电磁事件的压力，直到发生故障。失败是由LED指示：

- 静电放电（ESD）（正极和负极）施加到所有器件引脚直到发生功能紊乱。该测试符合IEC 61000-4-2标准。
- FTB：快速瞬变电压（正和负）突发被施加到VDD和VSS通过一个100 pF的电容，直到发生功能性干扰。这个测试是符合IEC 61000-4-4标准。

设备重置允许恢复正常操作。

测试结果在表41中给出。它们基于EMS水平和类别。在应用笔记AN1709中定义。

表41. EMS特性

符号	参数	条件	水平 / 类
V FESD	要在任何I/O引脚上施加电压限制诱发功能障碍	VDD = 3.3V, LQFP144, TA = + 25°C, fHCLK = 72 MHz 符合IEC 61000-4-2	2B
V EFTB	快速瞬态电压突发限制是在VDD和VSS上通过100 pF施加引起功能性干扰	VDD = 3.3V, LQFP144, TA = + 25°C, fHCLK = 72 MHz 符合IEC 61000-4-4	4A

设计强化软件以避免噪音问题

EMC表征和优化是在组件级别上进行的。应用环境和简化的MCU软件。应该指出，好的EMC性能高度依赖于用户应用程序和软件。

因此建议用户应用EMC软件优化和与其申请要求的EMC等级相关的资格预审。

软件建议

软件流程图必须包含失控条件的管理，例如：

- 损坏的程序计数器
- 意外的重置
- 关键数据损坏（控制寄存器...）



资格预审试验

大多数常见的故障（意外重置和程序计数器损坏）都可以通过在NRST引脚或振荡器引脚上手动强制为低电平来复制第二。

为了完成这些试验，可以在器件上直接施加ESD应力规格值.当检测到意外的行为时，软件可以被硬化以防止发生不可恢复的错误（参见应用笔记AN1015）。

电磁干扰（EMI）

监测设备发射的电磁场，同时进行简单的应用执行（通过I/O端口切换2个LED）。这个排放测试符合IEC 61967-2标准规定了测试板和引脚负载。

表 42 EMI特性

符号	参数	条件	监控频带	Max与 [f HSE / fHCLK]		单元
				8/48 MHz	8/72 MHz	
S EMI	高峰水平	VDD = 3.3V, TA = 25°C, LQFP144封装 符合IEC 61967-2	0.1至30 MHz	8	12	平dBμV
			30至130 MHz	31	21	
			130 MHz至1GHz	28	33	
			SAE EMI电平	4	4	-

5.3.12 绝对最大额定值（电气灵敏度）

基于三个不同的测试（ESD，LU）使用特定的测量方法，该设备是强调为了确定其在电气灵敏度方面的表现。

静电放电（ESD）

静电放电（阳性，然后负脉冲分开1秒）
根据每个针脚组合应用到每个样品的针脚.样本大小
取决于器件中电源引脚的数量（3个部件×（n + 1）个电源引脚）。这个测试符合JESD22-A114 / C101标准。

表 43. ESD绝对最大额定值

符号	评级	条件	类最大值 (1)	单元
V ESD (HBM)	静电放电电压（人体模型）	TA = +25°C, 符合到JESD22-A114	2 2 0 0 0	V
V ESD (CDM)	静电放电电压（充电设备型号）	TA = +25°C, 符合到JESD22-C101	II 500	

1. 根据表征结果，未经生产测试。

静态闭锁

在六个部分需要两个互补的静态测试来评估闭锁性能：

- 电源过压被应用到每个电源引脚
- 电流注入应用于每个输入，输出和可配置的I/O引脚

这些测试符合EIA/JESD 78A IC闭锁标准。

表44. 电气敏感度

符号	参数	条件	类
鲁	静态闭锁类	T A† + 105°C符合JESD78A	II级A级

5.3.13 I/O端口特性

一般输入/输出特性

除非另有说明，否则表45中给出的参数来自测试
所有I/O都是CMOS和TTL兼容。

表45. I/O静态特性

符号	参数	条件	敏	典型	马克斯	单元
V IL	输入低电平电压	TTL端口	-0.5	0.8	V DD +0.5	V
V IH	标准IO输入高电平电压		2			
	IO FT (1) 输入高电平电压		2	5.5 V		
V IL	输入低电平电压	CMOS端口	-0.5		0.35 V DD	V
V IH	输入高电平电压		0.65 V DD		V DD +0.5	
V hys	标准的IO施密特触发器电压迟滞 (2)		200			毫伏
	IO FT施密特触发器电压迟滞 (2)		5% V DD (3)			毫伏
I Ikg	输入漏电流 (4)	V SS V IN V DD 标准I/O			1	μA
		V IN = 5 V, I/O FT			3	
R PU	弱上拉等效电阻 (5)	V IN = V SS	三十	40	50	kΩ
R PD	弱下拉等效电阻 (5)	V IN = V DD	三十	40	50	kΩ
C IO	I/O引脚电容			五		pF的

1. FT =五伏宽容。
2. 施密特触发器切换电平之间的滞后电压.基于特性描述，未经生产测试。
3. 至少100 mV.
4. 泄漏可能高于最大值.如果负电流注入相邻的引脚。
5. 上拉和下拉电阻采用真正的电阻与可开关PMOS / NMOS串联设计.这个MOS / NMOS对 串联电阻的贡献 最小 (~10%的数量级)



所有I/O都符合CMOS和TTL（不需要软件配置），它们特性考虑最严格的CMOS技术或TTL参数：

- 对于V_{IH}：
如果V_{DD}在[2.00 V - 3.08 V]范围内：CMOS特性，但包括TTL
如果V_{DD}在[3.08 V - 3.60 V]范围内：TTL特性但包含CMOS
- 对于V_{IL}：
如果V_{DD}在[2.00 V - 2.28 V]范围内：TTL特性但包含CMOS
如果V_{DD}在[2.28 V - 3.60 V]范围内：CMOS特性，但包括TTL

输出驱动电流

GPIO（通用输入/输出）可以吸收或提供高达+/- 8 mA的电流，并可以下沉+ 20毫安（放松V_{OL}）。

在用户应用程序中，可以驱动电流的I/O引脚的数量必须限制在[第5.2节中规定的绝对最大额定值](#)：

- V_{DD}上所有I/O所产生的电流总和 加上最大值Run
源于V_{DD}的MCU的功耗 不能超过绝对最大额定值
I_{VDD}（见表8）。
- V_{SS}上的所有I/O所加载的电流总和 加上最大值Run
V_{SS}上沉没的MCU的功耗 不能超过绝对最大额定值
I_{VSS}（见表8）。

输出电压水平

除非另有说明，否则表46中给出的参数来自测试
在环境温度和V_{DD}电源电压条件下进行总结
表10.所有I/O都符合CMOS和TTL。

表 46. 输出电压特性

符号	参数	条件	敏	马克斯	新单元
$V_{OL(1)}$	输出 I / O 引脚的低电平电压 当 8 个引脚同时沉没时	TTL 端口 $I_{IO} = +8\text{mA}$ $2.7\text{ V} < V_{DD} < 3.6\text{ V}$		0.4	V
$V_{OH(2)}$	输出 I / O 引脚的高电平电压 当 8 个引脚同时来源时		$V_{DD} - 0.4$		
$V_{OL(1)}$	输出 I / O 引脚的低电平电压 当 8 个引脚同时沉没时	CMOS 端口 我 $I_O = +8\text{毫安}$ $2.7\text{ V} < V_{DD} < 3.6\text{ V}$		0.4	V
$V_{OH(2)}$	输出 I / O 引脚的高电平电压 当 8 个引脚同时来源时		2.4		
$V_{OL(1)}$	输出 I / O 引脚的低电平电压 当 8 个引脚同时沉没时	$I_{IO} = +20\text{ mA}$ $2.7\text{ V} < V_{DD} < 3.6\text{ V}$		1.3	V
$V_{OH(2)}$	输出 I / O 引脚的高电平电压 当 8 个引脚同时来源时		$V_{DD} - 1.3$		
$V_{OL(1)}$	输出 I / O 引脚的低电平电压 当 8 个引脚同时沉没时	$I_{IO} = +6\text{mA}$ $2\text{ V} < V_{DD} < 2.7\text{ V}$		0.4	V
$V_{OH(2)}$	输出 I / O 引脚的高电平电压 当 8 个引脚同时来源时		$V_{DD} - 0.4$		

1. 器件吸收的 I/O 电流必须始终遵守表 8 中规定的绝对最大额定值 I_{IO} (I/O 端口和控制引脚) 的总和 不得超过 V_{SS} .
2. 设备产生的 I/O 电流必须始终保持在中指定的绝对最大额定值表 8 和 I_{IO} (I/O 端口和控制引脚) 的总和 不得超过 V_{DD} .
3. 基于特征数据, 未经生产测试.



输入/输出AC特性

输入/输出交流特性的定义和数值在图42中给出表47.

除非另有规定，否则表47中给出的参数来自测试在环境温度和V_{DD}电源电压条件下进行总结

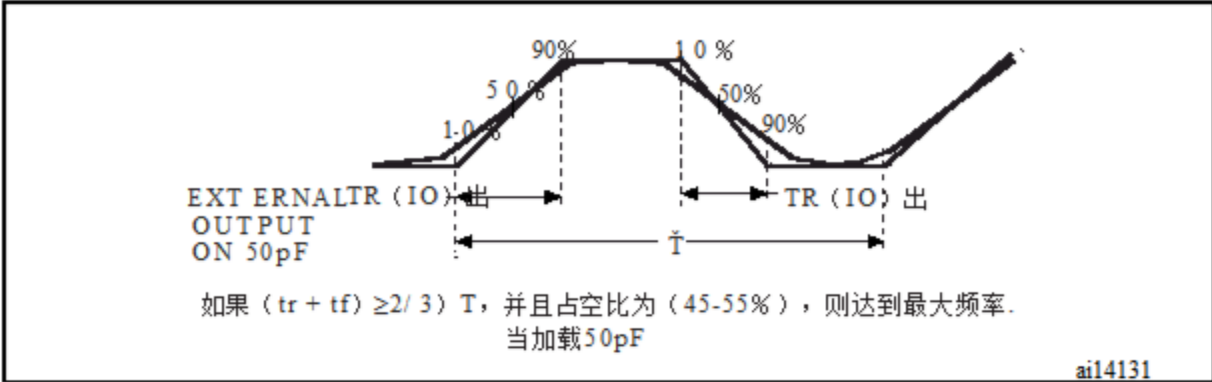
表10

表47. I/O交流特性 (1)

MODEx [1: 0] 位值 (1)	符号	参数	条件	敏	马克	单元
10	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V		2	兆赫
	t _f (IO) _{out}	输出高到低平均下降时间	C _L = 50pF, V _{DD} = 2V至3.6V		125 (3)	NS
	t _r (IO) _{out}	输出从低到高水平上升时间			125 (3)	
01	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V		10	兆赫
	t _f (IO) _{out}	输出高到低平均下降时间	C _L = 50pF, V _{DD} = 2V至3.6V		25 (3)	NS
	t _r (IO) _{out}	输出从低到高水平上升时间			25 (3)	
11	F _{max} (IO) _{out}	最大频率 (2)	C _L = 30pF, V _{DD} = 2.7V至3.6V		50	兆赫
			C _L = 50pF, V _{DD} = 2.7V至3.6V		三十	兆赫
			C _L = 50pF, V _{DD} = 2V至2.7V		20	兆赫
	t _f (IO) _{out}	输出高到低平均下降时间	C _L = 30pF, V _{DD} = 2.7V至3.6V		5 (3)	NS
			C _L = 50pF, V _{DD} = 2.7V至3.6V		8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V		12 (3)	
	t _r (IO) _{out}	输出从低到高水平上升时间	C _L = 30pF, V _{DD} = 2.7V至3.6V		5 (3)	
			C _L = 50pF, V _{DD} = 2.7V至3.6V		8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V		12 (3)	
- t _{EXTI} pw		脉冲宽度外部信号由EXTI检测到调节器		10		NS

1. I/O速度使用MODEx [1: 0]位进行配置.请参考STM32F10xxx参考手册GPIO端口配置寄存器的描述.
2. 最大频率在图42中定义.
3. 由设计保证，未经生产测试.

图42. I/O AC特性定义



5.3.14 NRST引脚特性

NRST引脚输入驱动器使用CMOS技术.它连接到一个永久的上拉电阻R_{PU} (见表45).

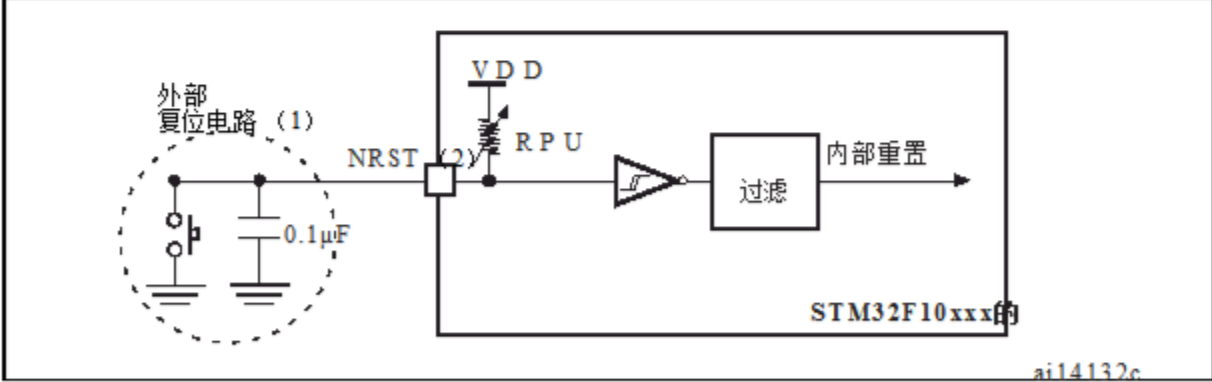
除非另有规定, 否则表48中给出的参数来自测试在环境温度和V_{DD}电源电压条件下进行总结
表10

表48. NRST引脚特性

符号	参数	条件	敏	典型	马克斯	单元
V _{IL} (NRST)	NRST输入低电平电压		-0.5		0.8	V
V _{IH} (NRST)	NRST输入高电平电压		2		V _{DD} + 0.5	
V _{HS} (NRST)	NRST施密特触发器电压滞后			200		毫伏
R _{PU}	弱上拉等效电阻 (2)	V _{IN} = V _{SS}	三十	40	50	k Ω
V _F (NRST)	NRST输入滤波脉冲				100	NS
V _{NF} (NRST)	NRST输入无滤波脉冲		300			NS

1. 由设计保证, 未经生产测试.
2. 上拉电阻采用真正的电阻设计, 与可切换的PMOS串联.这是PMOS的贡献
串联电阻必须最小 (~10% 订单)

图43. 建议NRST引脚保护



2. 复位网络保护设备免受寄生重置.
3. 用户必须确保NRST引脚上的电平可以低于在中 指定的V_{IL} (NRST) 最大电平
表48.否则, 复位将不会被设备考虑在内.

5.3.15 TIM定时器特性

表49中给出的参数由设计保证。
有关输入/输出替代的详细信息，请参见第5.3.13节“I / O端口特性”
功能特性（输出比较，输入捕捉，外部时钟，PWM输出）。

表49. TIMx (1) 特性

符号	参数	条件	敏	马克斯	单元
TIM (TIM)	定时器解析时间		1		t TIMxCLK
		f TIMxCLK = 72 MHz	13.9		NS
f EXT	定时器外部时钟 频率到CH1到CH4		0	f TIMxCLK / 2	兆赫
		f TIMxCLK = 72 MHz	0	36	兆赫
Res TIM	定时器分辨率			16	位
t COUNTER	16位计数器时钟周期 当内部时钟是 选		1	65536	t TIMxCLK
		f TIMxCLK = 72 MHz	0.0139	910	微妙
t MAX_COUNT	可能的最大数里			65536×65536	t TIMxCLK
		f TIMxCLK = 72 MHz		59.6	小号

1. TIMx用作通用术语来指代TIM1，TIM2，TIM3和TIM4定时器。

5.3.16 通信接口

2 C接口特性

除非另有说明，否则表50中给出的参数来自测试
在环境温度，fPCLK1 频率和VDD 电源电压条件下进行
总结在表10中。

STM32F103xC, STM32F103xD和STM32F103xE性能线I 2 C接口
符合标准I 2 C的要求
限制：SDA和SCL映射到的I/O引脚不是“真”漏极开路.什么时候
配置为漏极开路，连接在I/O引脚和VDD 之间的PMOS 被禁止，
但仍然存在。

我 表50中描述了 2 C特性.另请参见第5.3.13节：I/O端口
输入/输出复用功能特性（SDA）的更多细节
和SCL）。

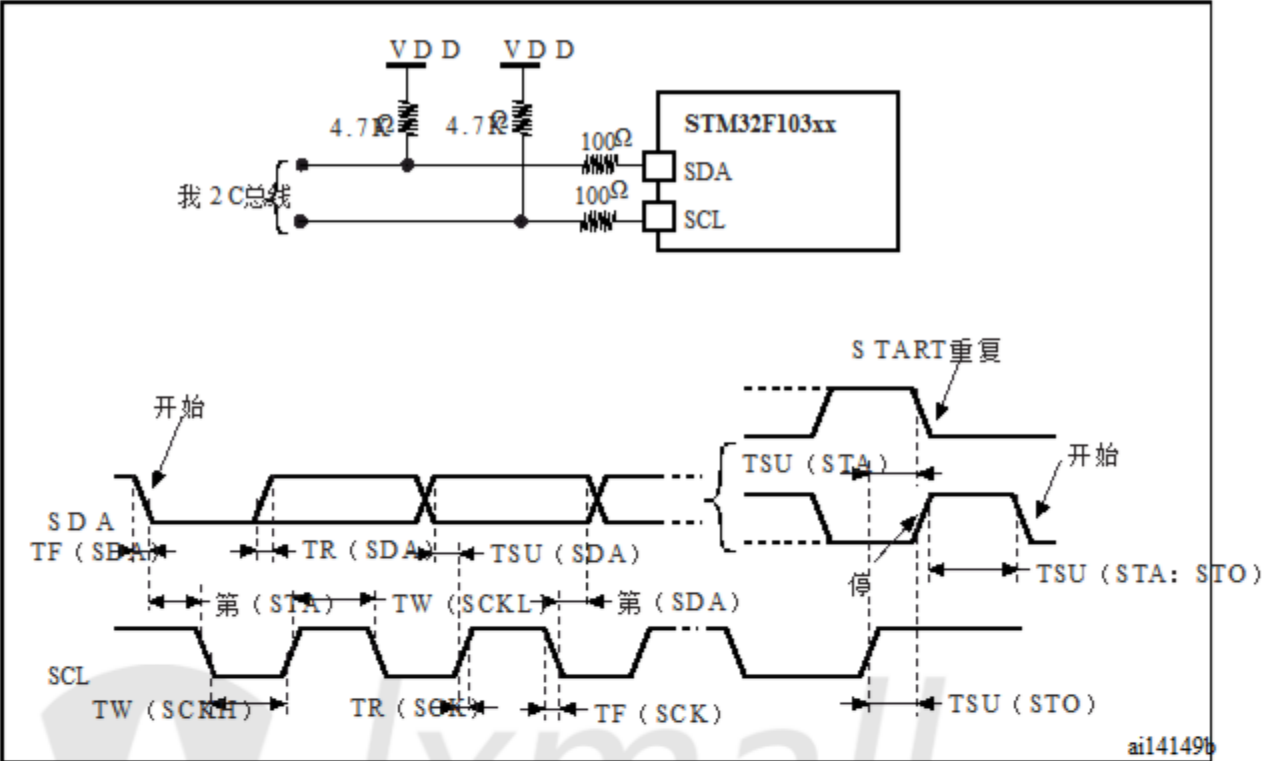
表50 我的 2 C特性

符号	参数	标准模式I 2 C (1)		快速模式I 2 C (1) (2)		单元
		敏	马克斯	敏	马克斯	
t w (SCLL)	SCL时钟低电平时间	4.7		1.3		微秒
t w (SCLH)	SCL时钟高时间	4		0.6		
苏 (SDA)	SDA设置时间	250		100		NS
t (SDA)	SDA数据保存时间	0 (3)		0 (4)	900 (3)	
t (SDA) t (SCL)	SDA和SCL上升时间		1000	20 + 0.1Cb	300	
t f (SDA) t f (SCL)	SDA和SCL下降时间		300		300	
t (STA)	开始条件保持时间	4		0.6		微秒
吨 (STA)	重复启动条件 设置时间	4.7		0.6		
苏 (STO)	停止条件设置时间	4		0.6		≈ s
t w (STO: STA)	停止开始条件时间 (免费巴士)	4.7		1.3		≈ s
C b	每个总线的容性负载 线		400		400	pF的

1. 由设计保证，未经生产测试。
2. fPCLK1 必须高于2 MHz才能达到最大标准模式I 2 C频率. 一定是
高于4 MHz来实现最大快速模式I 2 C频率。
3. 只有当接口不拉低时，才能满足启动条件的最大保持时间
SCL信号的周期。
4. 为了桥接SDA信号，器件必须在内部提供至少300ns的保持时间
SCL下降沿的未定义区域。



图44. I2C总线交流波形和测量电路



1. 测量点在CMOS电平上进行：0.3V_{DD}和0.7V_{DD}。

表51 SCL频率 (f_{PCLK1} = 36 MHz, V_{DD} = 3.3 V) (1) (2)

f SCL (kHz)	I2C_CCR值
	R P = 4.7kΩ
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

1. R P=外部上拉电阻, f SCL = I 2 C的速度.
2. 对于200 kHz左右的速度, 实现速度的容差是 5%. 对于其他速度范围, 容差就达到了速度 2%. 这些变化取决于外部的准确性用于设计应用程序的组件.

I2S - SPI特性

除非另有规定，SPI 52表中给出的参数或I2S中 给出的参数
来源于在环境温度下执行的测试，fPCLKx 频率和VDD
电源电压条件总结在表10中。

有关输入/输出替代的更多详细信息，请参见第5.3.13节“I/O端口特性”
功能特性（用于SPI和WS的NSS，SCK，MOSI，MISO，用于I2S的WS，CK和SD）。

表52. SPI特性（1）

符号	参数	条件	敏	马克斯	单元
f SCK 1 / tc (SCK)	SPI时钟频率	主模式		18	兆赫
		从模式		18	
t (SCK) tf (SCK)	SPI时钟上升和下降 时间	容性负载: C = 30 pF		8	NS
DuCy (SCK)	SPI从机输入时钟任务 周期	从模式	三十	70	%
苏 (NSS)(2)	NSS安装时间	从模式	4t PCLK		NS
t (NSS)(2)	NSS持有时间	从模式	2t PCLK		
tw (SCKH) tw (SCKL)	SCK高低时间	主模式, fPCLK = 36 MHz, presc = 4	50	60	
吨 (MX)(2) TSU (SE)	数据输入设置时间	主模式	五		
		从模式	五		
吨 (MI)(2)	数据输入保持时间	主模式	五		
t (SI)(2)		从模式	4		
t (SO)(2)	数据输出访问时间	从模式, fPCLK = 20 MHz	0	3t PCLK	
t dis (SO)(2)	数据输出禁用时间	从模式	2	10	
t (SO)(2)	数据输出有效时间	从模式（启用边沿之后）		25	
t v (MO)(2)	数据输出有效时间	主模式（启用边缘之后）		五	
t (SO)(2)	数据输出保持时间	从模式（启用边沿之后）	15		
吨 (MO)(2)		主模式（启用边缘之后）	2		

- 1. 重新映射的SPI1特性待定。
- 2. 基于特性描述，未经生产测试。
- 3. 最短时间是驱动输出的最短时间，最长时间是最长验证数据。
- 4. 最短时间是使输出无效的最短时间，最长时间是最长时间Hi-Z中的数据



图45. SPI时序图 - 从模式和CPHA = 0

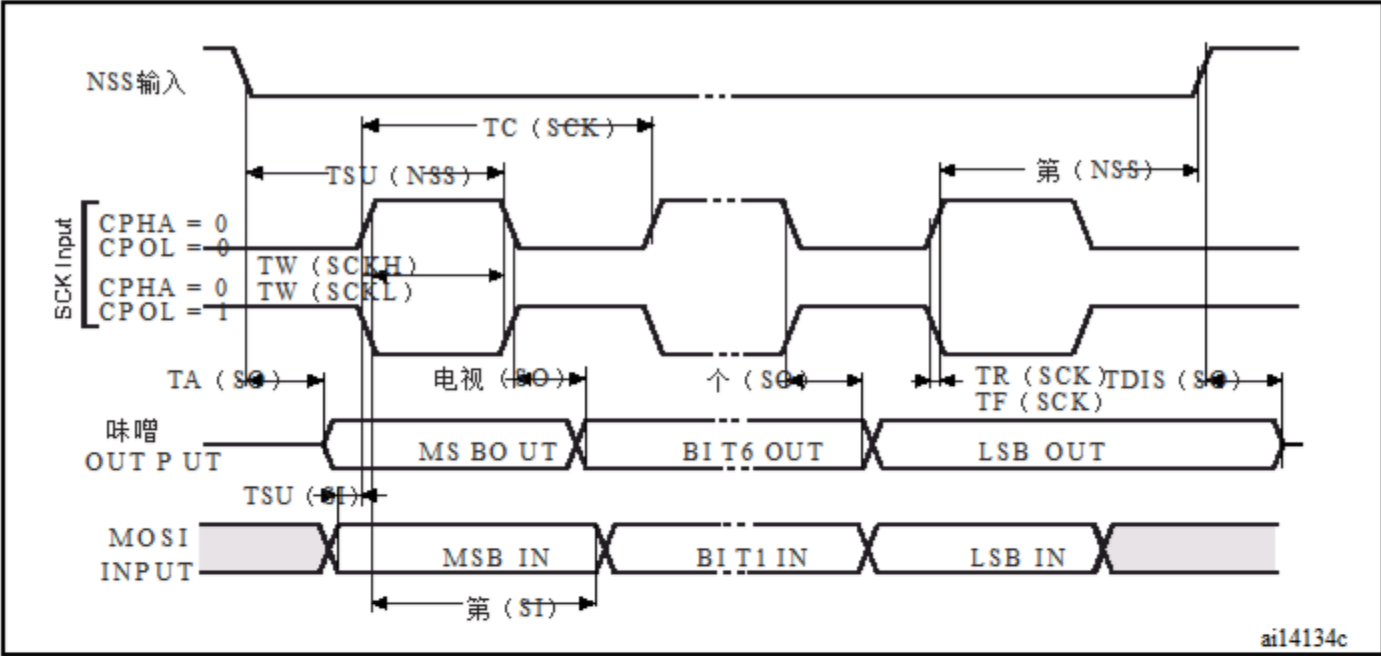
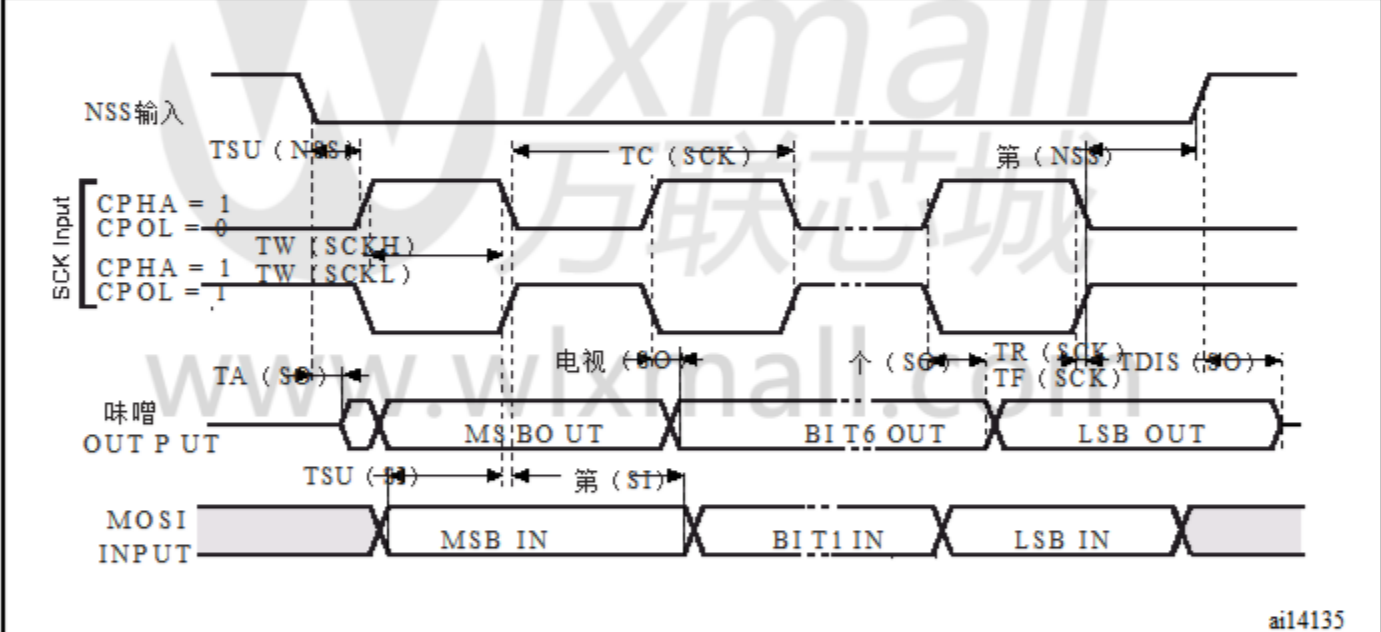
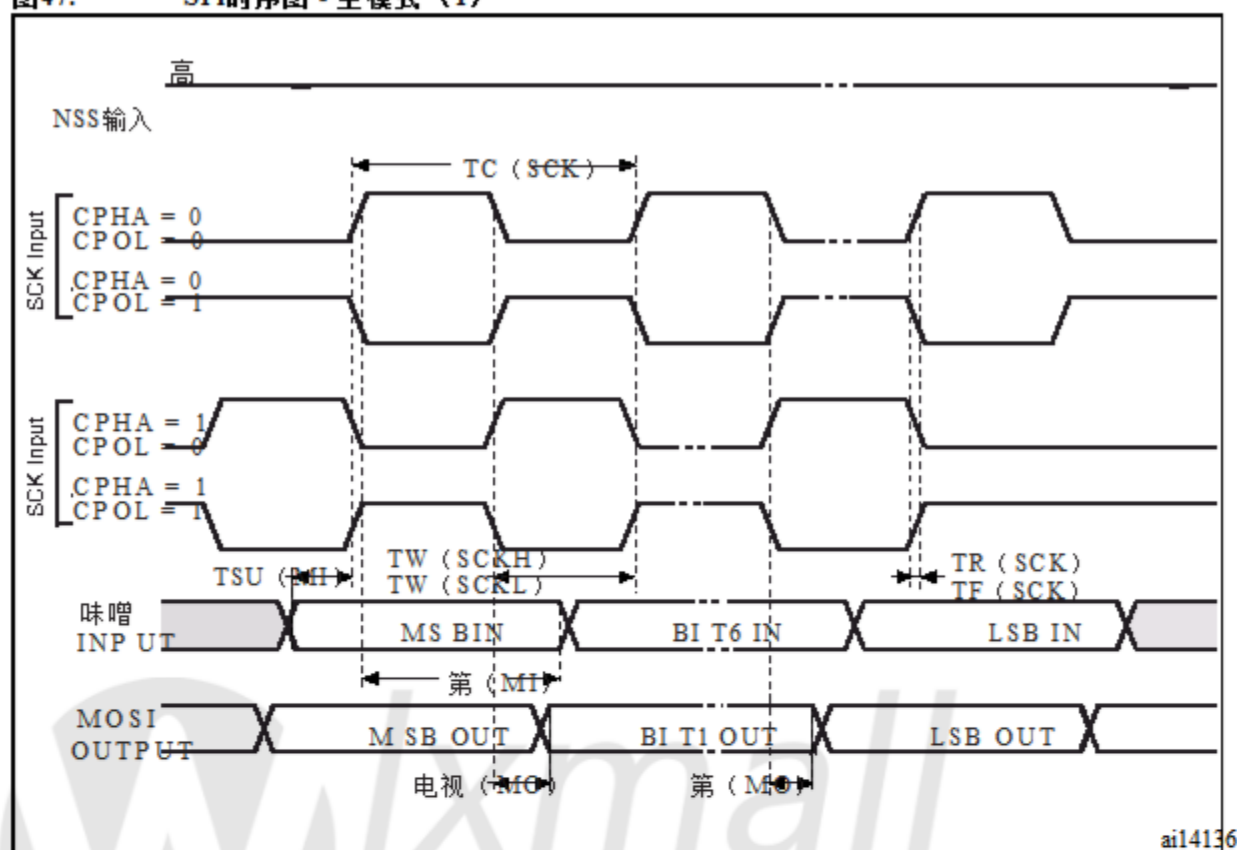


图46. SPI时序图 - 从模式和CPHA = 1 (1)



1. 测量点在CMOS电平上进行：0.3V_{DD}和0.7V_{DD}。

图47. SPI时序图 - 主模式 (1)



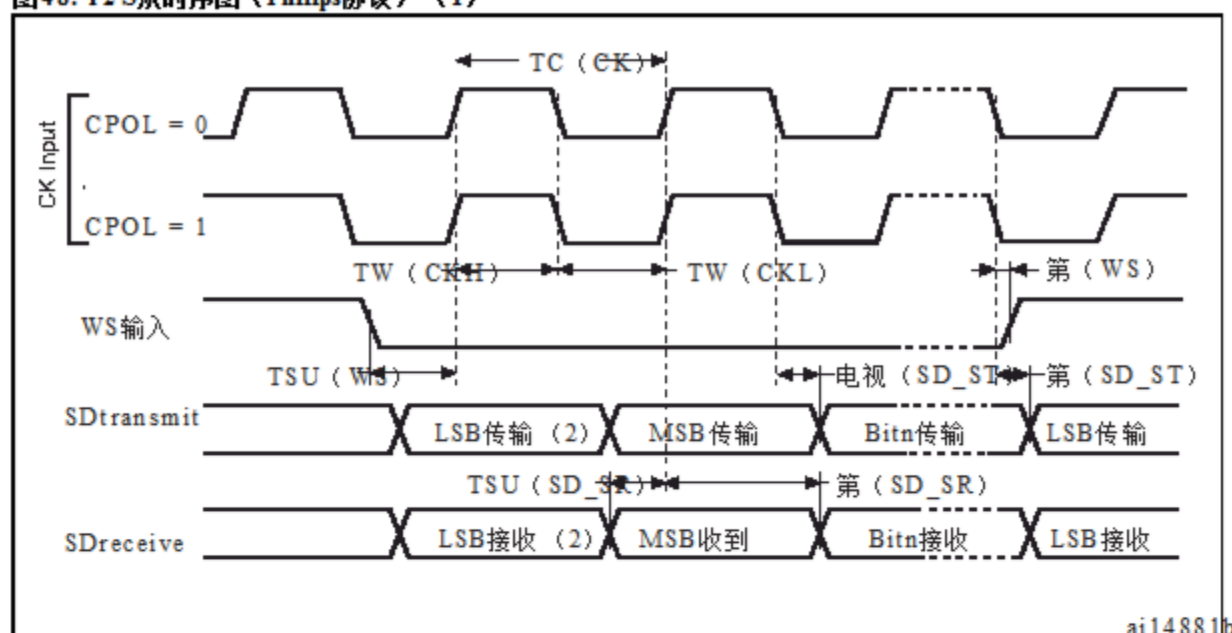
1. 测量点在CMOS电平上进行：0.3V_{DD}和0.7V_{DD}。

表 53. I2S 的特点

符号	参数	条件	敏	马克斯	单元
DuCy (SCK)	I2S从机输入时钟任务周期	从模式	三十	70	%
f CK 1 / tc (CK)	I2S时钟频率	主模式 (数据: 16位, 音频 = 48千赫)	1.522	1.525	兆赫
		从模式	0	6.5	
t (CK) tf (CK)	I2S时钟上升和下降时间	容性负载 CL = 50 pF		8	NS
tv (WS) ⁽¹⁾	WS有效时间	主模式	3		
WS (WS) ⁽¹⁾	WS保持时间	主模式	I2S2	2	
			I2S3	0	
苏 (WS) ⁽¹⁾	WS安装时间	从模式	4		
WS (WS) ⁽¹⁾	WS保持时间	从模式	0		
t w (CK) ⁽¹⁾	CK高低时间	主 f PCLK = 16 MHz, 音频频率 = 48kHz	312.5		
t w (CK) ⁽¹⁾			345		
t su (SD_MR) ⁽¹⁾	数据输入设置时间	主接收器	I2S2	2	
			I2S3	6.5	
t su (SD_SR) ⁽¹⁾	数据输入设置时间	从属接收器	1.5		
t h (SD_MR) ⁽²⁾	数据输入保持时间 (2)	主接收器	0		
t h (SD_SR) ⁽¹⁾		从属接收器	0.5		
t v (SD_ST) ⁽¹⁾	数据输出有效时间	从发送器 (启用后) 边缘)		18	
t (SD_ST) ⁽¹⁾	数据输出保持时间	从发送器 (启用后) 边缘)	11		
t v (SD_MT) ⁽¹⁾	数据输出有效时间	主发射器 (启用后) 边缘)		3	
t (SD_MT) ⁽¹⁾	数据输出保持时间	主发射器 (启用后) 边缘)	0		

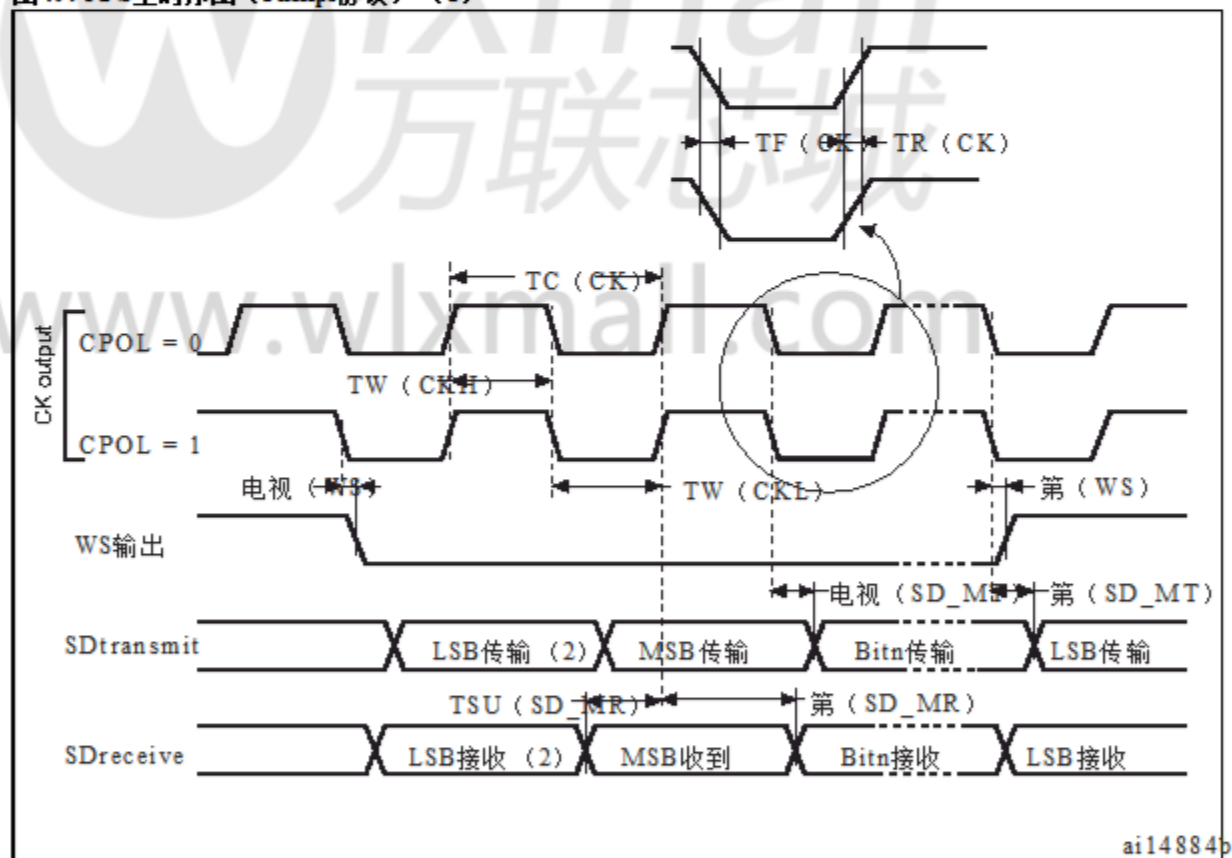
1. 基于设计模拟和/或表征结果, 未经生产测试.
2. 取决于 f PCLK. 例如, 如果 f PCLK = 8 MHz, 则 T PCLK = 1 / f PCLK = 125 ns.

图48. I2S从时序图 (Philips协议) (1)



1. 测量点在CMOS电平上进行: $0.3 \times V_{DD}$ 和 $0.7 \times V_{DD}$.
2. 先前发送的字节的LSB发送/接收.在第一个之前没有发送LSB发送/接收字节.

图49. I2S主时序图 (Philips协议) (1)



1. 基于特性描述, 未经生产测试.
2. 先前发送的字节的LSB发送/接收.在第一个之前没有发送LSB发送/接收字节.

SD / SDIO MMC卡主机接口 (SDIO) 特性

除非另有说明，否则表54中给出的参数来自测试
在环境温度，fPCLKx频率和VDD电源电压条件下进行
[总结在表10中。](#)

有关输入/输出替代的更多详细信息，请参见第5.3.13节“I/O端口特性”
功能特性 (D [7: 0], CMD, CK)。

图50. SDIO高速模式

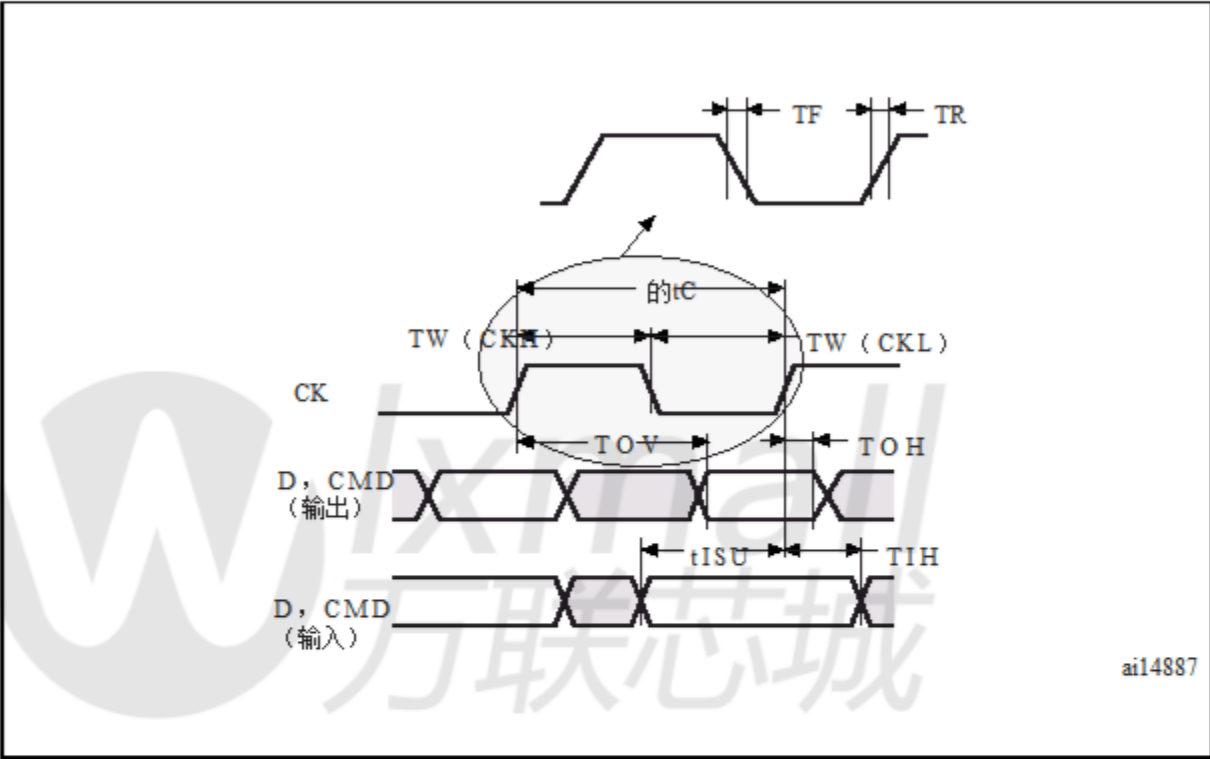


图51. SD默认模式

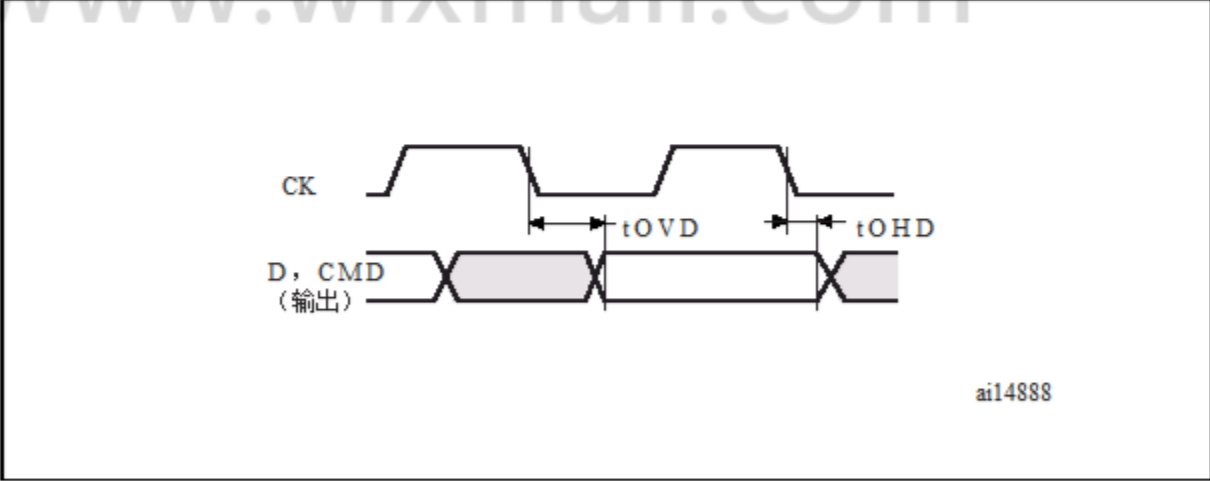


表54. SD / MMC特性

符号	参数	条件	敏	马克斯	单元
f PP	数据传输中的时钟频率模式	C L 30 pF	0	48	兆 赫
t W (CKL)	时钟低电平时间, f PP = 16 MHz	C L 30 pF	32		NS
t W (CKH)	时钟高电平时间, f PP = 16 MHz	C L 30 pF	31		
t r	时钟上升时间	C L 30 pF		3.5	
t f	时钟下降时间	C L 30 pF		五	
CMD, D输入 (参考CK)					
t ISU	输入设置时间	C L 30 pF	2		NS
t IH	输入保持时间	C L 30 pF	0		
CMD, D输出 (参考CK) MMC和SD HS模式					
OV	输出有效时间	C L 30 pF		6	NS
t OH	输出保持时间	C L 30 pF	0.3		
CMD, D输出 (参考CK) SD默认模式 (1)					
t OVD	输出有效的默认时间	C L 30 pF		7	NS
呃OHD	输出保持默认时间	C L 30 pF	0.5		

1. 参考SDIO_CLKCR, SDI时钟控制寄存器来控制CK输出.

USB特性

USB接口通过USB-IF认证 (全速) .

表55 USB启动时间

符号	参数	马克斯	单元
启动 (1)	USB收发器启动时间	1	微秒

1. 由设计保证, 未经生产测试.

表56. USB直流电气特性

符号	参数	条件	最小 (1)	最大 (1)	单元
输入级别					
V _{DD}	USB工作电压 (2)		3.0 (3)	3.6	V
V _{DI} (4)	差分输入灵敏度	我 (USBDP, USBDM)	0.2		V
V _{CM} (4)	差分共模范围包括V _{DI} 范围		0.8	2.5	
V _{SE} (4)	单端接收机门限		1.3	2.0	
输出水平					
V _{OL}	静态输出电平低	1.5kΩ至3.6V的R _L (5)		0.3	V
V _{OH}	静态输出电平高	R _k 15 kΩ到V _{SS} (5)	2.8	3.6	

1. 所有电压都是从本地地电位测量的.
2. 为了符合USB 2.0全速电气规范, 应该拉动USBDP (D+) 引脚1.5 kΩ电阻器的电压范围为3.0至3.6 V.
3. STM32F103xx USB功能确保低至2.7 V, 但不是完整的USB电路在2.7V至3.0VV DD电压范围内降级的特性.
4. 由特性保证, 未经生产测试.
5. RL是USB驱动器上连接的负载

图52. USB时序: 数据信号上升和下降时间的定义

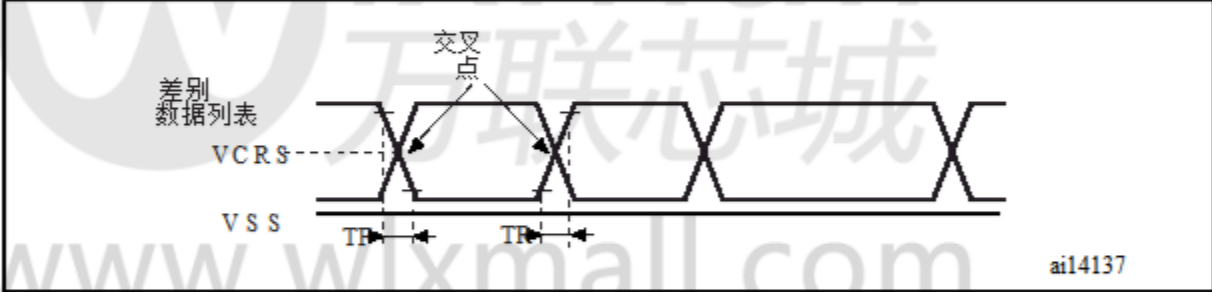


表57 USB: 全速电气特性

司机特点 (1)					
符号	参数	条件	最小	最大值	单元
tr	上升时间 (2)	CL = 50 pF	4	20	NS
tf	下降时间 (2)	CL = 50 pF	4	20	NS
trfm	上升/下降时间匹配	tr / tf	90	110	%
V CRS	输出信号交叉电压		1.3	2.0	V

1. 由设计保证, 未经生产测试.
2. 测量数据信号的10%到90%.有关更多详细信息, 请参阅USB规范 - 第7章 (版本2.0).

5.3.17 CAN (控制器局域网) 接口

有关输入/输出替代的更多信息, 请参见第5.3.13节“I/O端口特性”功能特性 (CAN_TX和CAN_RX).



5.3.18 12位ADC特性

除非另有说明，否则表58中给出的参数来自测试
在环境温度下执行，fPCLK2 频率和VDDA 电源电压
条件总结在表10中。

注意： 建议在每次上电后执行校准。

表58. ADC特性

符号	参数	条件	敏	典 型	马克斯	单 元
VDDA	电源		2.4		3.6	V
VREF+	正参考电压		2.4		VDDA	V
IREF	VREF 输入上的电流 消耗			160 (1) 220 (1)		μA
ADC	ADC时钟频率		0.6		14	兆赫
fS (2)	采样率		0.05		1	兆赫
fTRIG (2)	外部触发频率	fADC = 14MHz			823	千赫
					17	1 / fADC
VAIN	转换电压范围 (3)		0 (VSSA 或VREF- 绑在地上)		VREF+	V
RAIN (2)	外部输入阻抗	见公式1和 表59的细节			50	kΩ
RADC (2)	采样开关电阻				1	kΩ
CADC (2)	内部采样和保持 电容器				为 8	pF
TCA (2)	校准时间	fADC = 14MHz	5.9			微秒
			83			1 / fADC
tlat (2)	注入触发器转换 潜伏	fADC = 14MHz			0.214	微秒
					3 (4)	1 / fADC
tlatr (2)	定期触发转换 潜伏	fADC = 14MHz			0.143	微秒
					2 (4)	1 / fADC
tS (2)	采样时间	fADC = 14MHz	0.107		17.1	微秒
			1.5		239.5	1 / fADC
STAB (2)	开机时间		0	0	1	微秒
tCONV (2)	总转换时间 (包括采样时间)	fADC = 14MHz	1		18	微秒
			14至252 (tS 取样+12.5 逐次逼近)			1 / fADC

- 根据表征结果，未经生产测试。
- 由设计保证，未经生产测试。
- VREF+ 可以内部连接到VDDA，VREF- 可以内部连接到VSSA，具体取决于封装。
有关更多详细信息，请参阅第3节：引脚分布和引脚说明。
- 对于外部触发，必须将延迟1 / fPCLK2 加到表58中指定的延迟上。



公式1: R AIN max公式

$$R_{AIN} = \frac{t_{\text{小号}}}{f_{ADC} \cdot C_{ADC} \cdot \ln\left(\frac{2}{N}\right)} - R_{ADC}$$

以上公式（公式1）用于确定允许的最大外部阻抗
低于LSB 1/4的误差.这里N = 12（从12位分辨率）.

表59 f ADC = 14 MHz时的 AIN 最大值 (1)

T s (周期)	t S (μs)	R AIN max (k)
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	NA
239.5	17.1	NA

1. 由设计保证，未经生产测试.

表60 ADC准确度 - 有限的测试条件 (1) (2)

符号	参数	测试条件	典型	最大 (3)	单元
ET	总未调整的误差	f PCLK2 = 56MHz , f ADC = 14MHz, R AIN <10kΩ, V DDA = 3V至3.6V T A = 25°C 之后的测量 ADC校准 V REF+ = V DDA	±1.3	±2	LSB
EO	偏移误差		±1	±1.5	
例如	收益误差		±0.5	±1.5	
ED	微分线性误差		±0.7	±1	
EL	积分线性误差		±0.8	±1.5	

1. ADC直流精度值是在内部校准后测量的.
2. ADC精度与负向注入电流: 在任何标准（非标准）可靠的）模拟输入引脚，因为这会显著降低转换精度.在另一个模拟输入上执行.建议添加一个肖特基二极管（引脚接地）标准模拟引脚可能会注入负电流.在5.3.13节中为I INJ（PIN）和I INJ（PIN）规定的限制内的任何正向注入电流 不影响ADC准确度.
3. 基于特性描述，未经生产测试.

表61 ADC准确度 (1) (2) (3)

符号	参数	测试条件	典型	最大 (4)	单元
ET	总未调整的误差	f PCLK2 = 56MHz , f ADC = 14MHz, R AIN <10kΩ, V DDA = 2.4V至3.6V 之后的测量 ADC校准	±2	±5	LSB
EO	偏移误差		±1.5	±2.5	
例如	收益误差		±1.5	±3	
ED	微分线性误差		±1	±2	
EL	积分线性误差		±1.5	±3	

1. ADC直流精度值是在内部校准后测量的。
2. 在有限的V DD, 频率, V REF 和温度范围内可以获得更好的性能。
3. ADC精度与负向注入电流: 在任何标准(非标准)可靠的)模拟输入引脚, 因为这会显著降低转换精度。在另一个模拟输入上执行, 建议添加一个肖特基二极管(引脚接地)标准模拟引脚可能会注入负电流。在5.3.13节中为I INJ (PIN) 和I INJ (PIN) 规定的限制内的任何正向注入电流 不影响ADC准确度。
4. 基于特性描述, 未经生产测试。

图53. ADC准确度特性

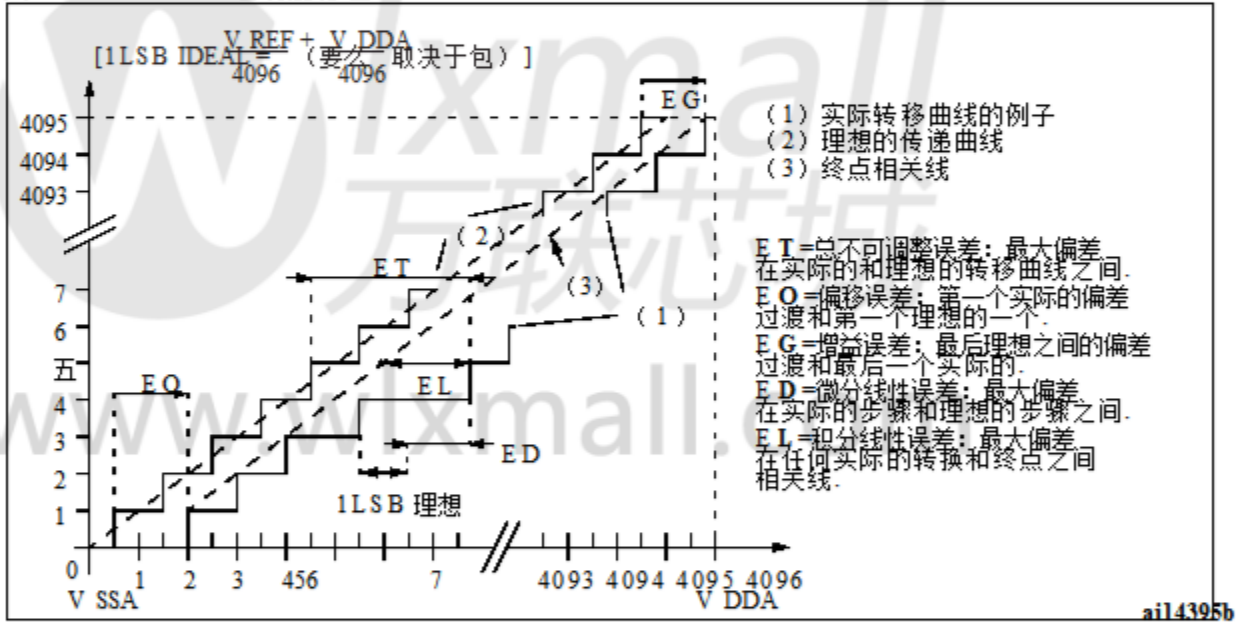
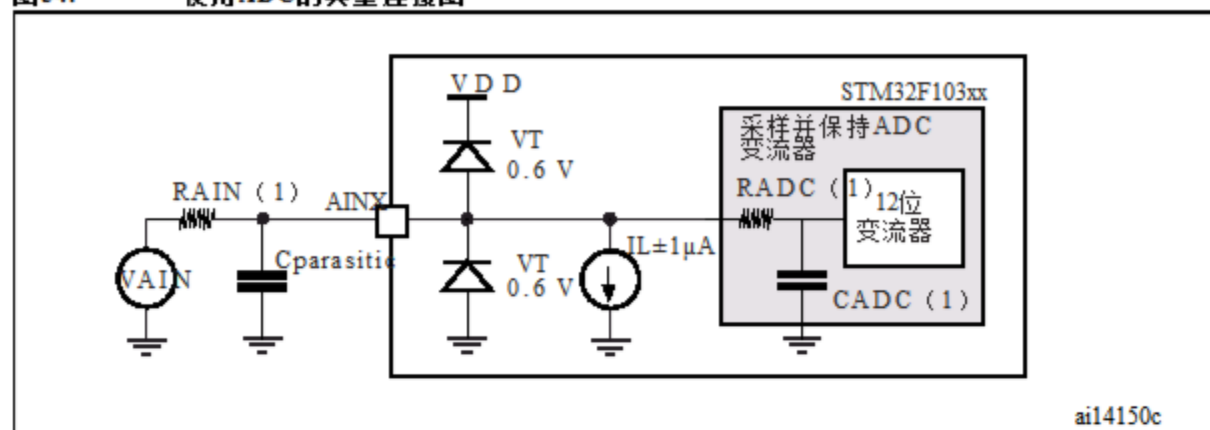


图54. 使用ADC的典型连接图



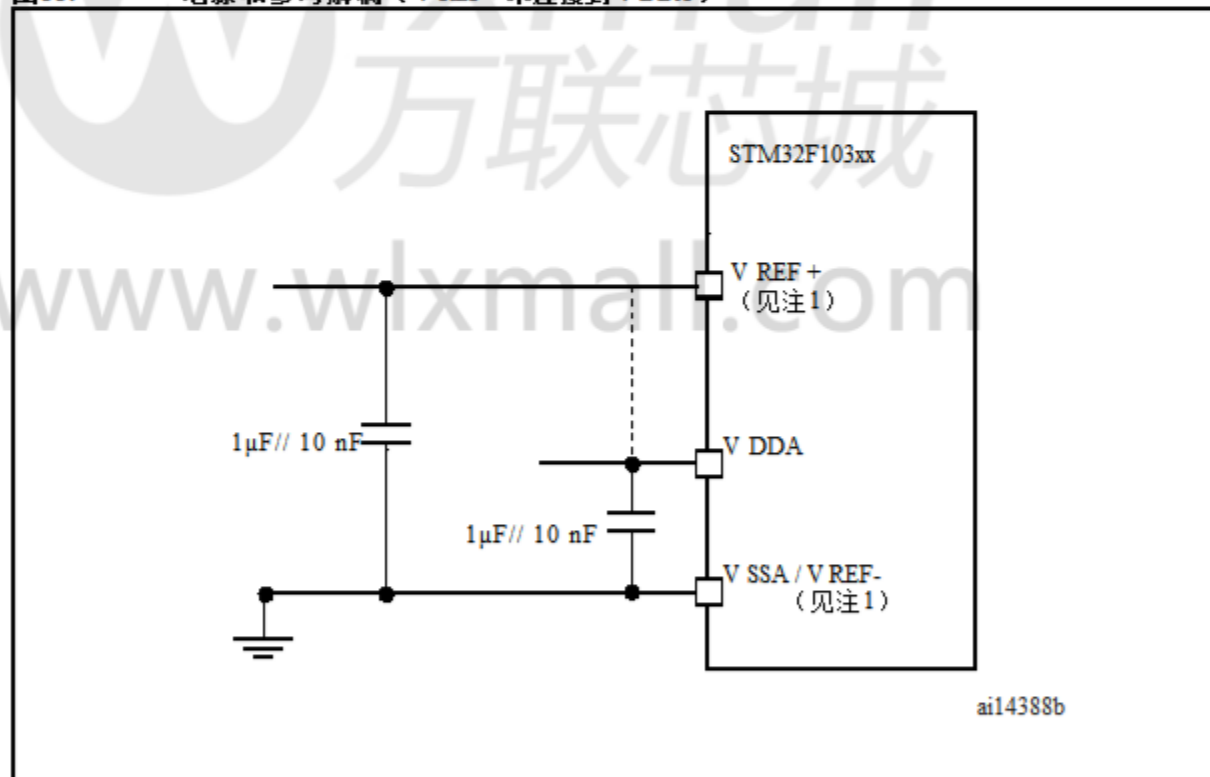
ai14150c

1. R_{AIN} , R_{ADC} 和 C_{ADC} 的值请参见表58。
2. $C_{寄生}$ 表示PCB的电容（取决于焊接和PCB布局质量）加上焊盘电容（大约7 pF）。高 $C_{寄生}$ 值会降低转换精度。补救这个，ADC应该减少。

一般PCB设计准则

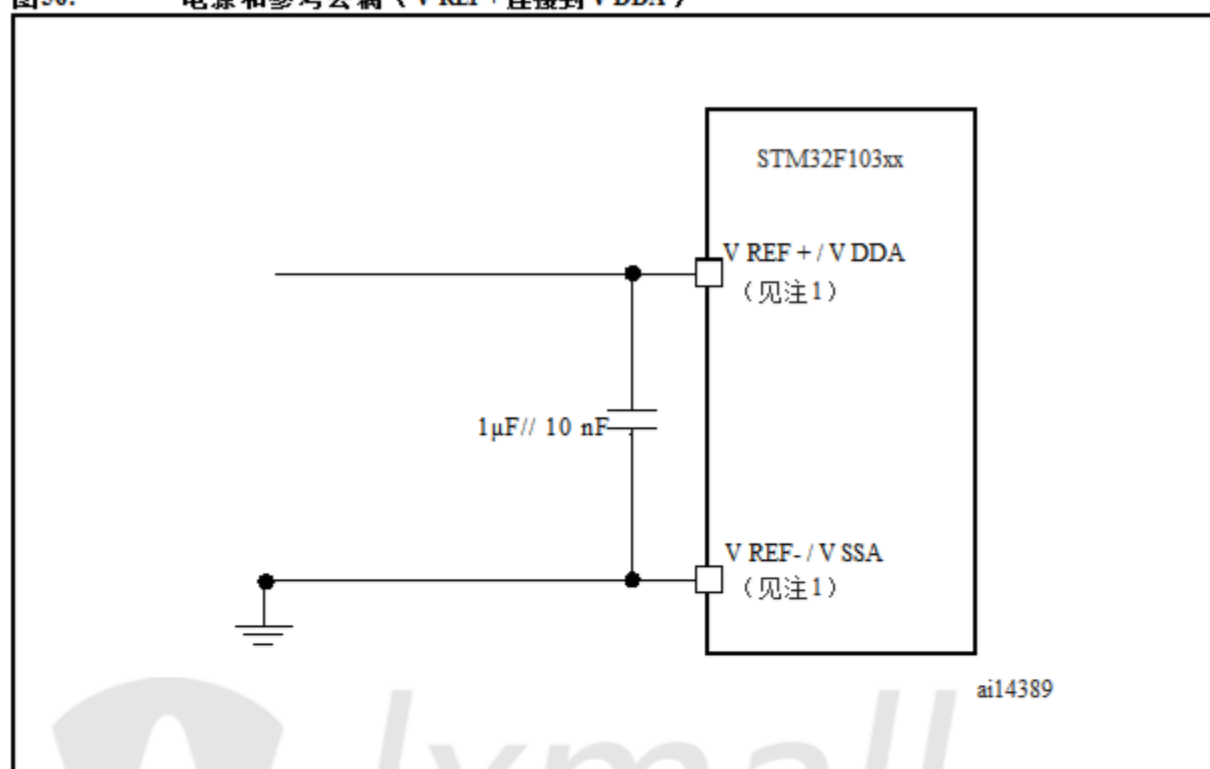
电源去耦应按图55或图56所示进行。

取决于 V_{REF+} 是否连接到 V_{DDA} 。10 nF 电容应该是陶瓷（质量好）。他们应该放在尽可能靠近芯片。

图55. 电源和参考解耦（ V_{REF+} 未连接到 V_{DDA} ）

ai14388b

1. V_{REF+} 和 V_{REF-} 输入仅在100引脚封装上可用。

图56. 电源和参考去耦 (V_{REF+} 连接到 V_{DDA})

1. V_{REF+} 和 V_{REF-} 输入仅在100引脚封装上可用。

5.3.19 DAC电气规格

表62 DAC特性

符号	参数	敏	典型	马克斯	单元	注释
V DDA	模拟电源电压	2.4		3.6	V	
V REF +	参考电源电压	2.4		3.6	V	V REF + 必须始终低于V DDA
V SSA	地面	0		0	V	
R LOAD ⁽¹⁾	缓冲器接通时的电阻性负载5				k Ω	
RO (1)	阻抗与缓冲输出关 闭			15	k Ω	当缓冲区关闭时，最小值 DAC_OUT之间的阻性负载 和V SS有1%的准确度 1.5米 Ω
C LOAD ⁽¹⁾	容性负载			50	pF的	最大容性负载 DAC_OUT引脚（当缓冲区是 上）.
DAC_OUT分 (1)	降低DAC_OUT电压 缓冲器打开	0.2			V	它提供了最大的输出 DAC的远足. 它对应于12位输入代码 (0x0E0) 至 (0xF1C) V REF += 3.6 V 和 (0x155) 和 (0xEAB) 在V REF += 2.4 V
DAC_OUT最大值 (1)	较高的DAC_OUT电压 缓冲器打开			V DDA - 0.2	V	
DAC_OUT分 (1)	降低DAC_OUT电压 缓冲区关闭		0.5		毫伏	它提供了最大的输出 DAC的远足.
DAC_OUT最大值 (1)	较高的DAC_OUT电压 缓冲区关闭			V REF +- 1LSB V		
我 DDVREF +	DAC直流电流 静止消费 模式（待机模式）			220	μ A	没有负载，最差的代码（0xF1C）在 V REF += 3.6 V 消费的投入
我是 DDA	DAC直流电流 静止消费 模式（待机模式）			380	μ A	无负载时，中间代码（0x800）开启 输入
				480	μ A	没有负载，最差的代码（0xF1C）在 V REF += 3.6 V 消费的投入
DNL (2)	微分非线性 两者之间的差异 连续代码-1LSB)			± 0.5	LSB	给定10位的DAC 组态
				± 2	LSB	给定12位的DAC 组态
INL (2)	积分非线性 (区别 代码i的测量值 和代码我在一个值 代码0之间画的线 和最后的 Code 1023)			± 1	LSB	给定10位的DAC 组态
				± 4	LSB	给定12位的DAC 组态

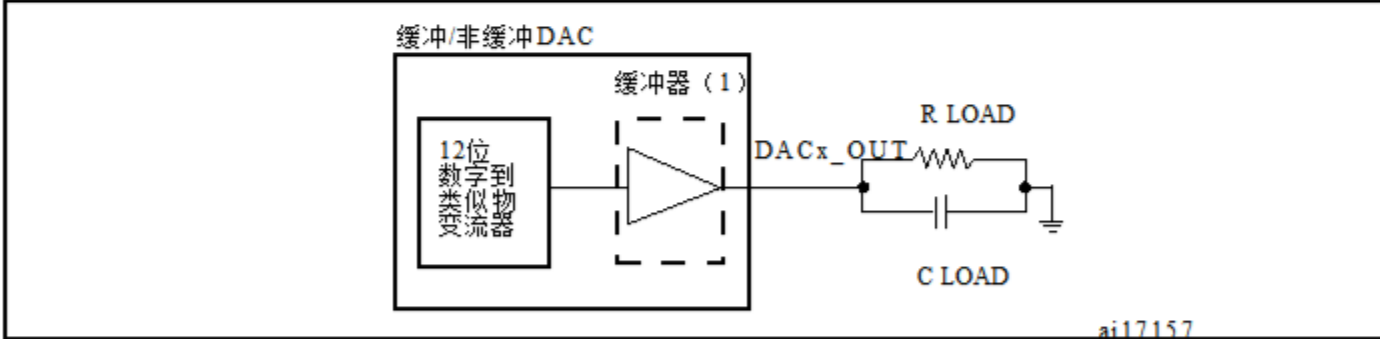


表62 DAC特性 (续)

符号	参数	敏	典型	马克斯	单元	注释
偏移量 (2)	偏移错误 (区别 代码测量值 (0x800) 和理想值= $V_{REF}+/2$)			± 10	毫伏	给定12位的DAC 组态
				± 3	LSB	给定 $V_{REF}+$ 处的10位DAC = 3.6V
				± 12	LSB	给定 $V_{REF}+$ 处的12位DAC = 3.6V
获得 误差 (2)	收益错误			± 0.5	%	鉴于DAC在12位 组态
结算 (2)	解决时间 (全面: 为一个 10位输入码转换 之间的最低和 最高的输入代码 DAC_OUT达到最终 值 $\pm 1LSB$)		34		微秒	$C_{LOAD} = 50\text{ pF}$, $R_{LOAD} = 5k\Omega$
更新 率 (2)	最大频率为正确的 DAC_OUT改变时 输入的小变化 代码 (从代码i到i + 1LSB)			$1MS / s$	$C_{LOAD} = 50\text{ pF}$, $R_{LOAD} = 5k\Omega$	
唤醒 (2)	从关闭状态唤醒时间 (设置中的ENx位 DAC控制寄存器)		6.5	10	微秒	$C_{LOAD} = 50\text{ pF}$, $R_{LOAD} = 5k\Omega$ 输入最低和之间的代码 尽可能高的。
PSRR + (1)	电源抑制比 (对 V_{DDA}) (静态DC 测量)		-67	-40	Db	无 R_{LOAD} , $C_{LOAD} = 50\text{ pF}$

1. 由设计保证, 未经生产测试.
2. 由特性保证, 未经生产测试.

图57. 12位缓冲/非缓冲DAC



1. DAC集成了一个输出缓冲器, 可以用来降低输出阻抗并直接驱动外部负载而无需使用外部运算放大器. 该缓冲区可以通过配置BOFFx位旁路DAC_CR寄存器.

5.3.20 温度传感器特性

表 63. TS特性

符号	参数	敏	典型	马克斯	单元
TL (1)	V SENSE 线性与温度		1	2℃	下
Avg_Slope (1)	平均坡度	4	4.3	4.6	毫伏/℃
V25 (1)	电压在25℃	1.34	1.43	1.52	V
开始 (2)	启动时间	4		10	微秒
T S_temp (3) (2)	读取ADC时的采样时间 温度			17.1	微秒

- 1. 由特性保证，未经生产测试.
- 2. 由设计保证，未经生产测试.
- 3. 可以在应用中通过多次迭代确定最短的采样时间.



6 包特点

6.1 包装机械数据

为了达到环保要求，ST提供这些设备的不同档次
 ECOPACK® 包装，取决于他们的环境合规水平. ECOPACK®
 规格，等级定义和产品状态可在www.st.com上获得.
 ECOPACK® 是ST商标.

图58. 推荐的PCB设计规则（0.80 / 0.75mm间距BGA）

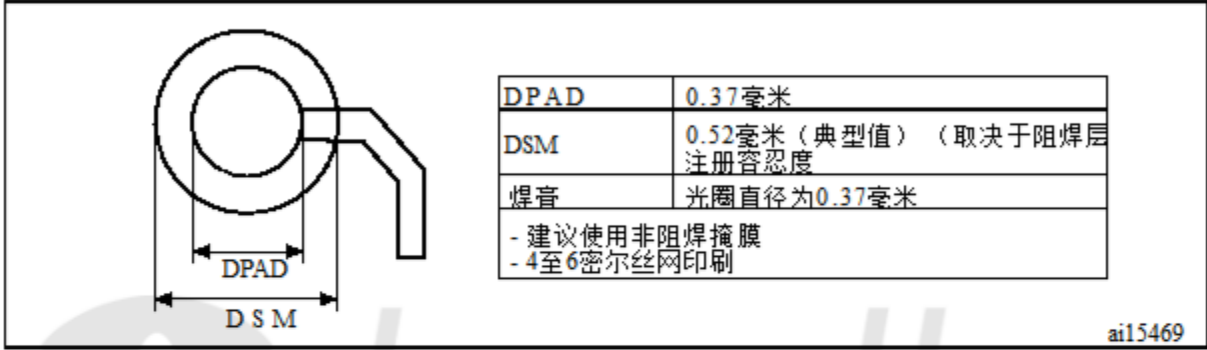
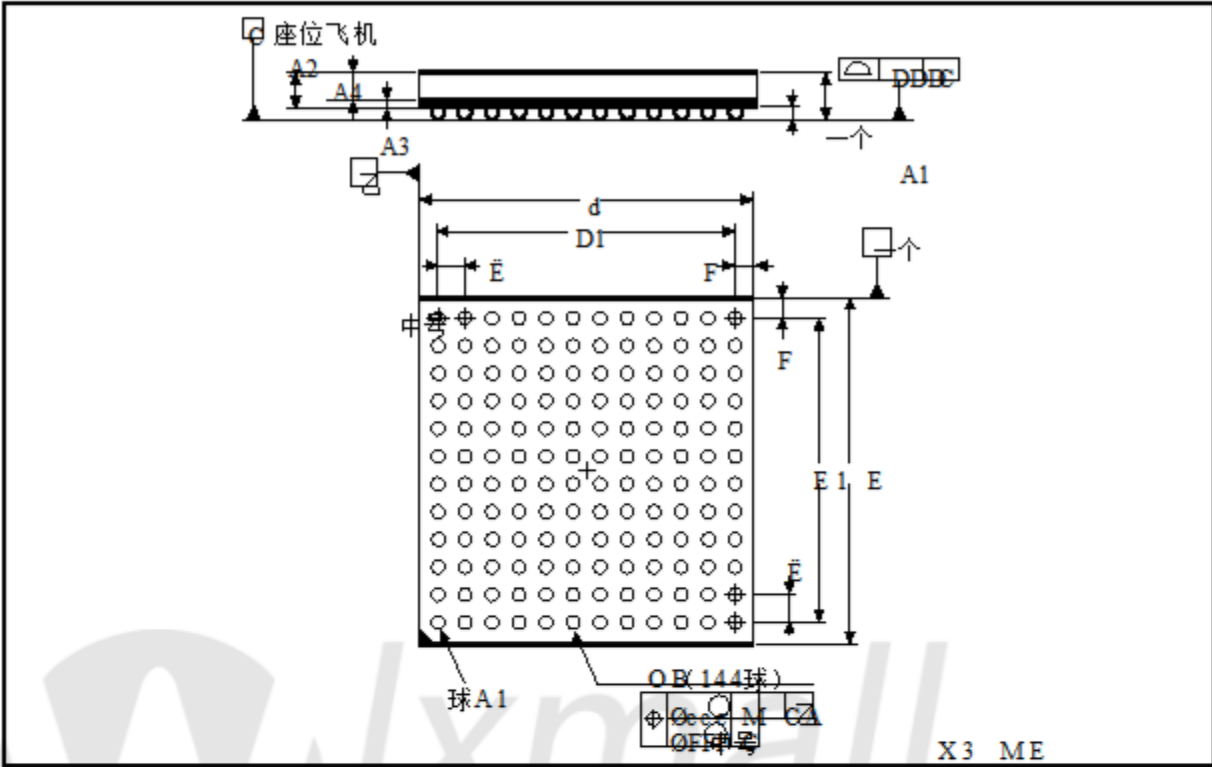


图59. LFBGA144 - 144球低调细间距球栅阵列，10 x 10毫米，0.8毫米的间距，包装轮廓



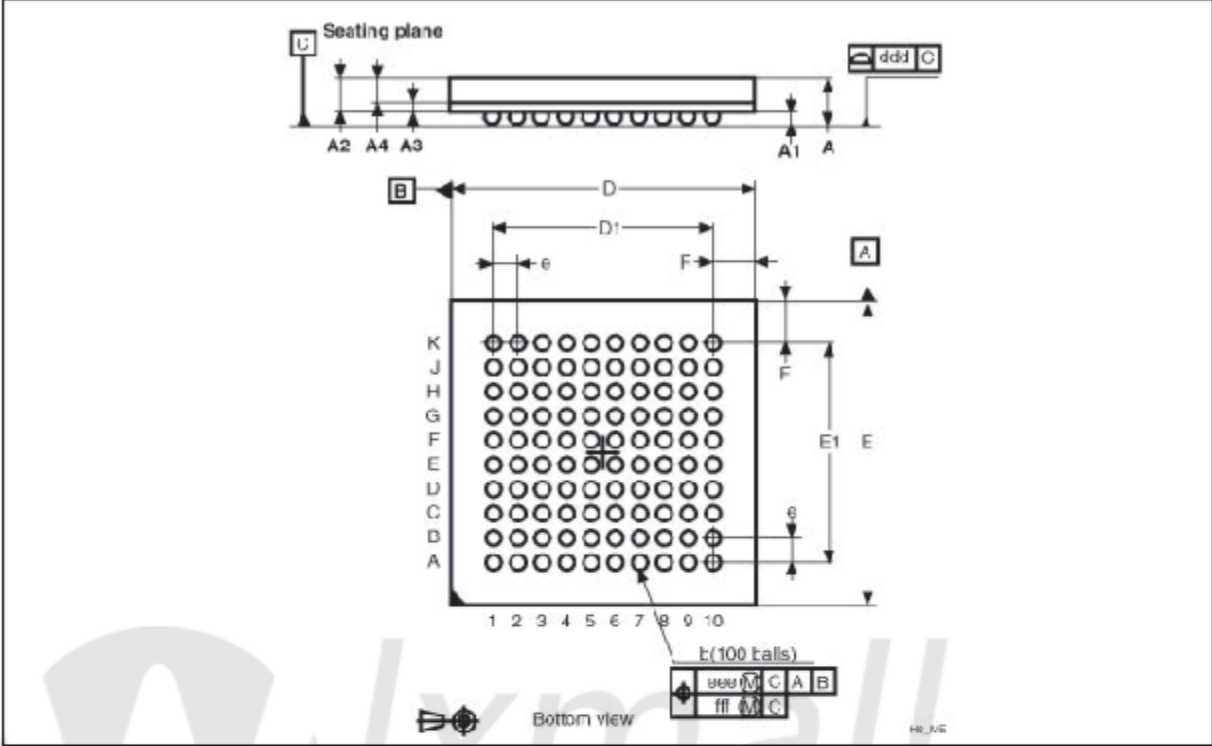
1. 绘图不是按比例。

表64. LFBGA144 - 144球低调细间距球栅阵列，10 x 10毫米，0.8毫米的间距，封装数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	典型	敏	马克斯
A 1	7 0					0.0669
A1	0.21			0.0083		
A2		1.07			0.0421	
A3		0.27			0.0106	
A4			0.85			0.0335
b	0.35	0.40	0.45	0.0138	0.0157	0.0177
d	9.85	10.00	10.15	0.3878	0.3937	0.3996
D1		8.80			0.3465	
E	9.85	10.00	10.15	0.3878	0.3937	0.3996
E1		8.80			0.3465	
e 0 . 8 0					0.0315	
F 0 . 6 0					0.0236	
DDD	0.10			0.0039		
EEE	0.15			0.0059		
FFF	0.08			0.0031		

1. 以英寸为单位的值从mm转换为四位十进制数字。

图60. LFBGA100 - 10 x 10毫米薄型细间距球栅阵列封装
大纲



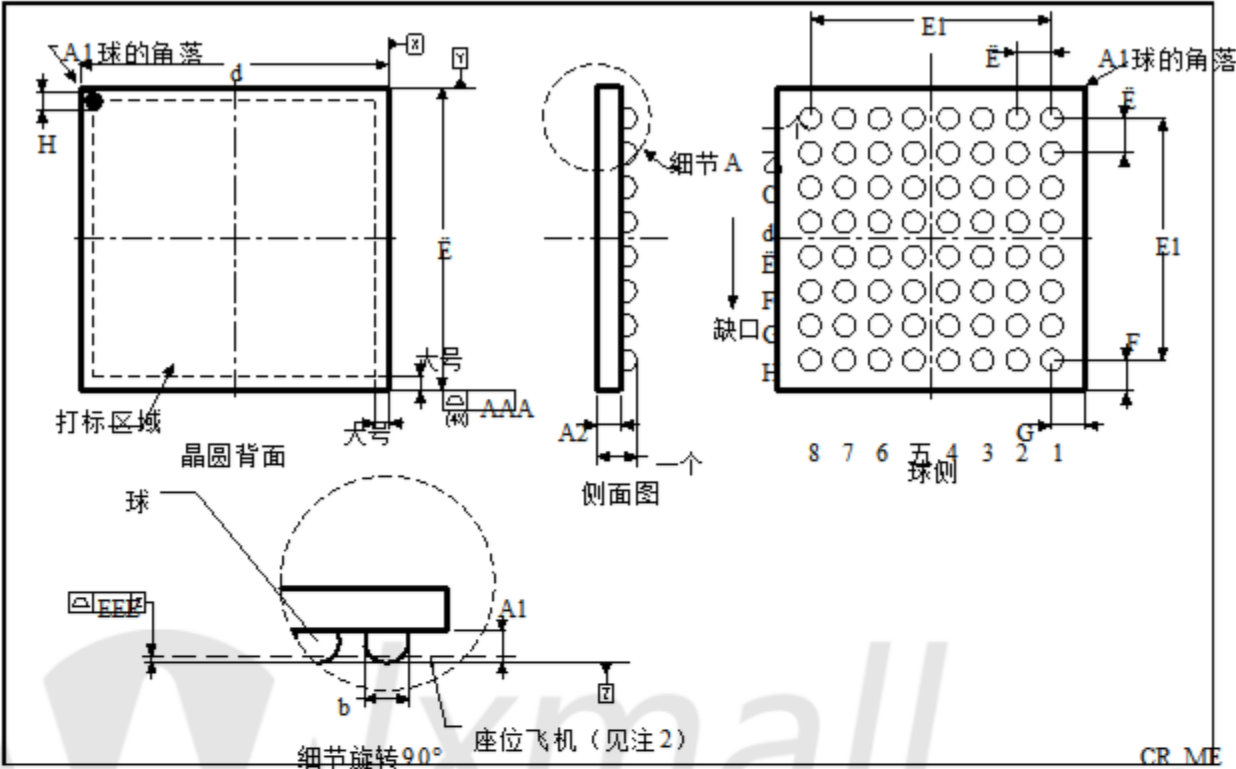
1. 绘图不是按比例。

表65 LFBGA100 - 10 x 10毫米薄型细间距球栅阵列封装
机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.700			0.0669
A1	0.270			0.0106		
A2		1.085			0.0427	
A3		0.30			0.0118	
A4			0.80			0.0315
b	0.45	0.50	0.55	0.0177	0.0197	0.0217
d	9.85	10.00	10.15	0.3878	0.3937	0.3996
D1		7.20			0.2835	
E	9.85	10.00	10.15	0.3878	0.3937	0.3996
E1		7.20			0.2835	
E		0.80			0.0315	
F		1.40			0.0551	
DDD		0.12				0.0047
EEE		0.15				0.0059
FFF		0.08				0.0031

1. 以英寸为单位的值从mm转换为四位十进制数字。

图61. WLCSP, 64球4.466×4.395毫米, 间距0.500毫米, 晶圆级芯片规模
包大纲



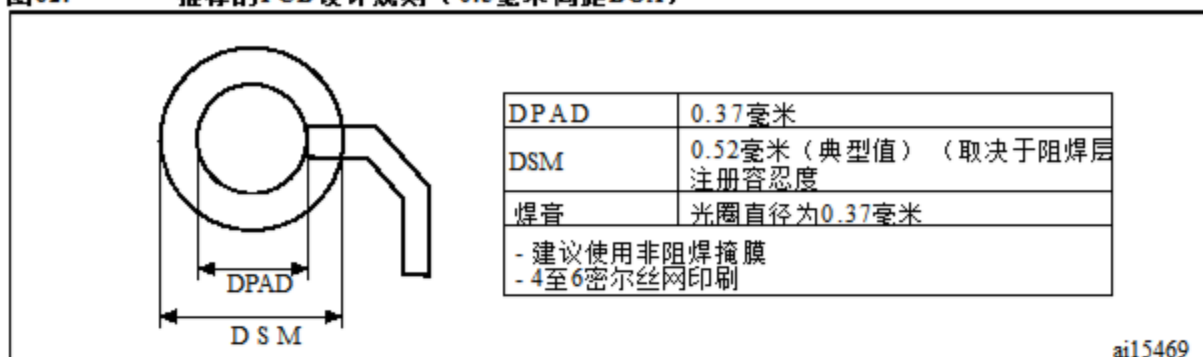
1. 绘图不是按比例。
2. 原始基准Z和座位平面由球的球冠确定。

表66. WLCSP, 64球4.466×4.395毫米, 间距0.500毫米, 晶圆级芯片规模
封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个	0.535	0.585	0.635	0.0211	0.0230	0.0250
A1	0.205	0.230	0.255	0.0081	0.0091	0.0100
A2	0.330	0.355	0.380	0.0130	0.0140	0.0150
b (2)	0.290	0.320	0.350	0.0114	0.0126	0.0138
E		0.500			0.0197	
E1		3.500			0.1378	
F		0.447			0.0176	
G		0.483			0.0190	
d	4.446	4.466	4.486	0.1750	0.1758	0.1766
E	4.375	4.395	4.415	0.1722	0.1730	0.1738
H		0.250			0.0098	
大号		0.200			0.0079	
EEE		0.05			0.0020	
AAA		0.10			0.0039	
球的数量	64					

1. 以英寸为单位的值从mm转换为四位十进制数字。
2. 尺寸是在平行于主基准Z的最大球直径处测里的。

图62. 推荐的PCB设计规则 (0.5毫米间距BGA)



 **Lxmall**
万联芯城
www.wxmall.com

图63. LQFP144,20 x 20毫米, 144引脚薄型四通道
扁平包装大纲 (1)

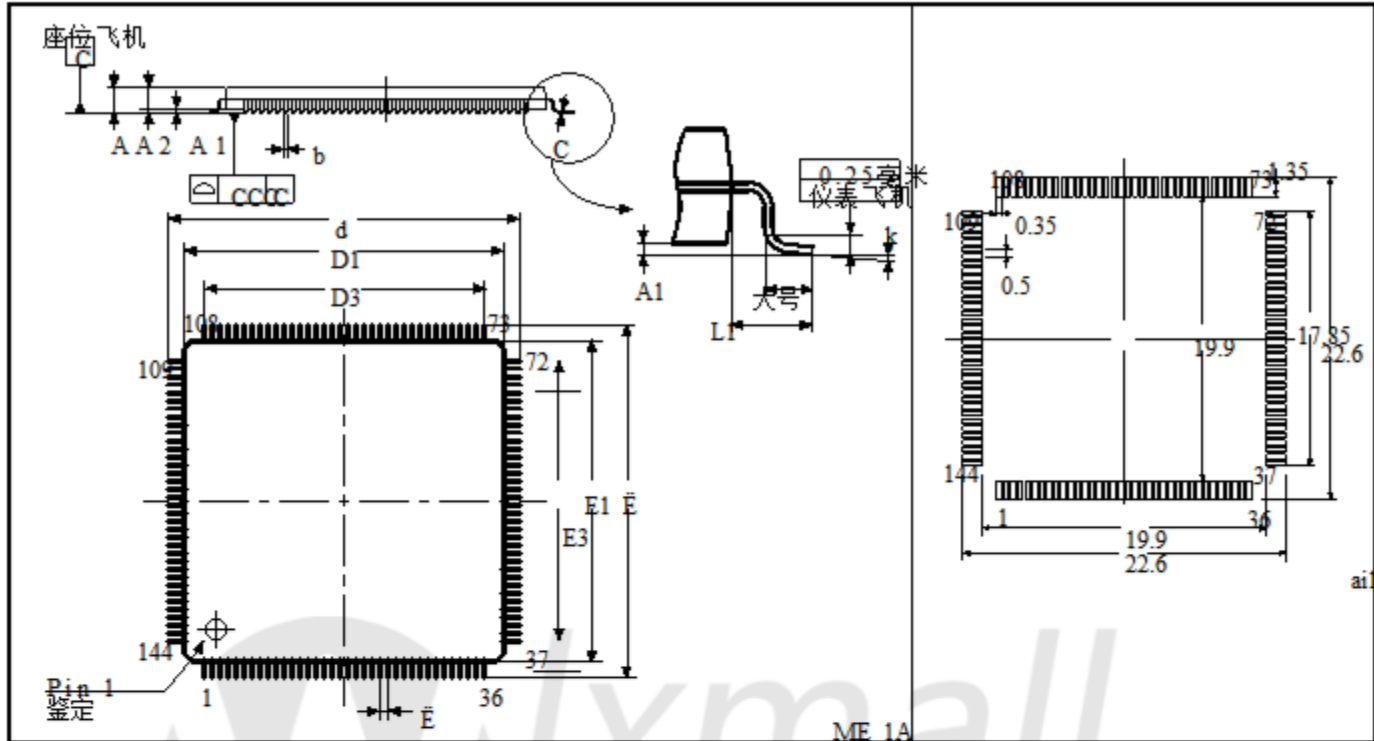
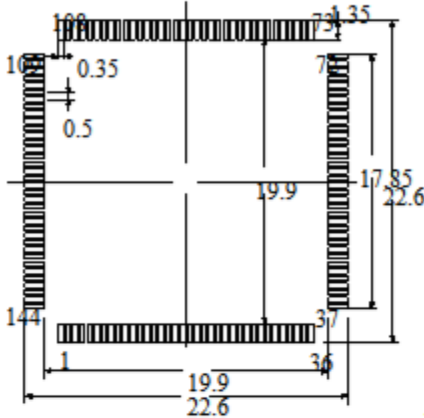


图64. 推荐的
足迹 (1) (2)



1. 绘图不是按比例。
2. 尺寸以毫米为单位。

表67 LQFP144,20 x 20 mm, 144引脚薄型四方扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
A 1	6 0					0.063
A1	0.05		0.15	0.002		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.20	0.0035		0.0079
d	21.80	22.00	22.20	0.8583	0.8661	0.874
D1	19.80	20.00	20.20	0.7795	0.7874	0.7953
D3		17.50			0.689	
E	21.80	22.00	22.20	0.8583	0.8661	0.874
E1	19.80	20.00	20.20	0.7795	0.7874	0.7953
E3		17.50			0.689	
E		0.50			0.0197	
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
k	0° 3.5° 7°			0° 3.5°		7°
CCC	0.08			0.0031		

1. 以英寸为单位的值从mm转换为四位十进制数字。

图65. LQFP100,14 x 14毫米100引脚薄型四方扁平封装轮廓 (1)

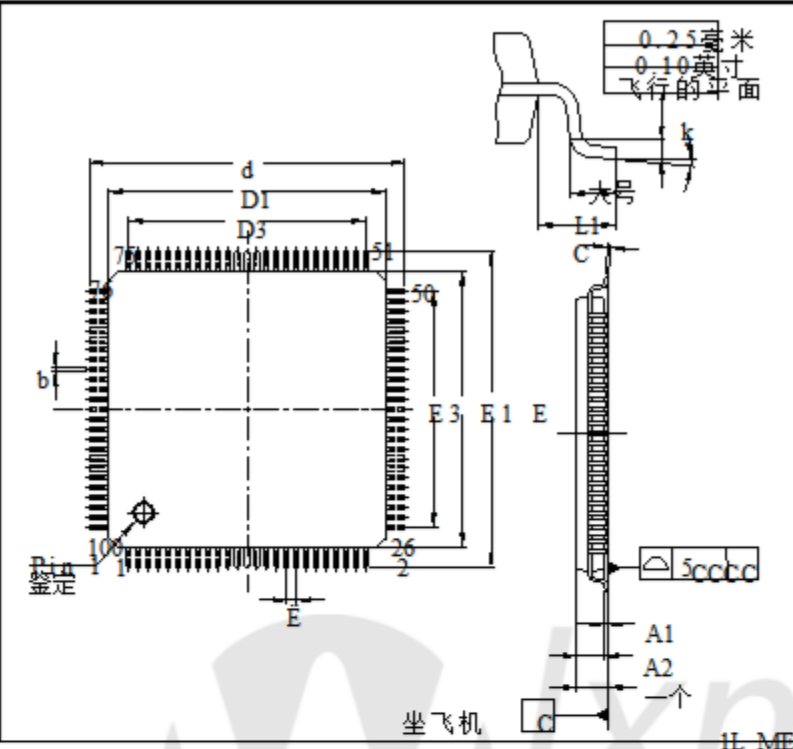
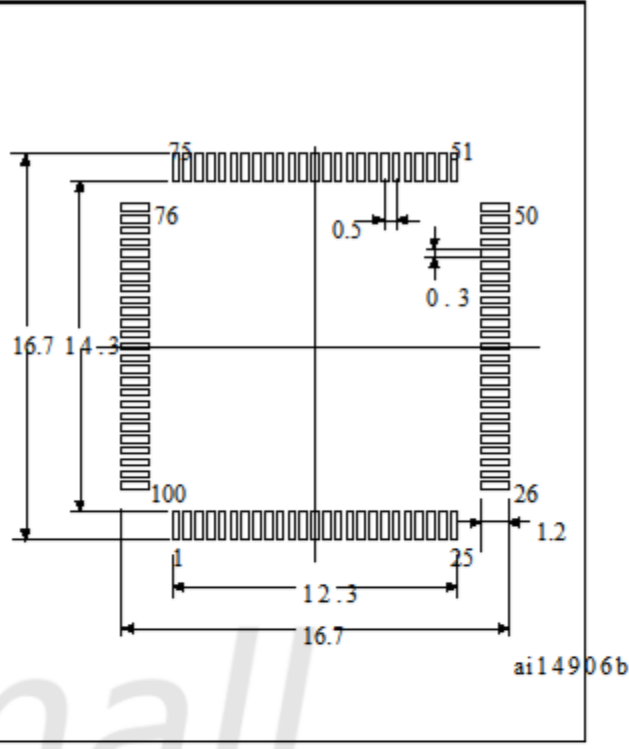


图66. 建议的足迹 (1) (2)



- 1. 绘图不是按比例.
- 2. 尺寸以毫米为单位.

表68. LQFP100 - 14 x 14毫米100引脚薄型四方扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.063
A1	0.05		0.15	0.002		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.20	0.0035		0.0079
d	15.80	16.00	16.20	0.622	0.6299	0.6378
D1	13.80	14.00	14.20	0.5433	0.5512	0.5591
D3		12.00			0.4724	
E	15.80	16.00	16.20	0.622	0.6299	0.6378
E1	13.80	14.00	14.20	0.5433	0.5512	0.5591
E3		12.00			0.4724	
E		0.50			0.0197	
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
k	0°	3.5° 7°		0° 3.5°		7°
CCC	0.08			0.0031		

- 1. 以英寸为单位的值从mm转换为四位十进制数字.

图67. LQFP64 - 10 x 10毫米64引脚薄型四方扁平封装轮廓 (1)

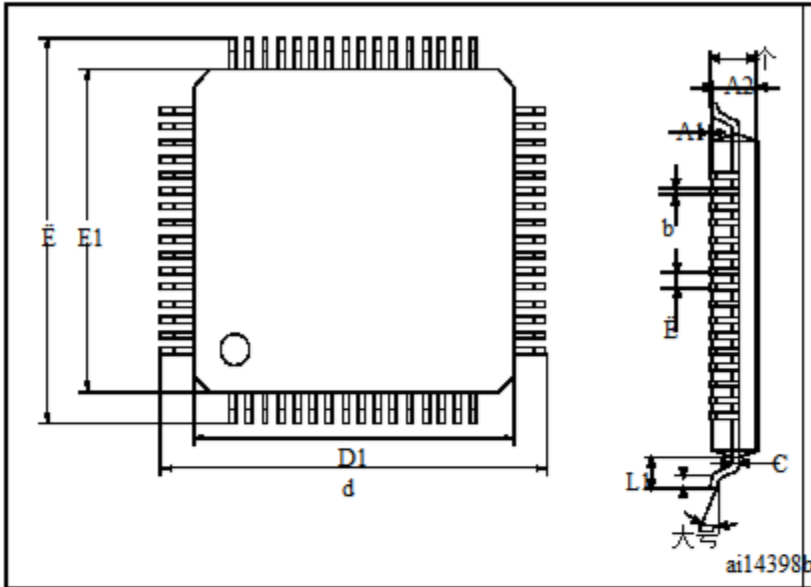
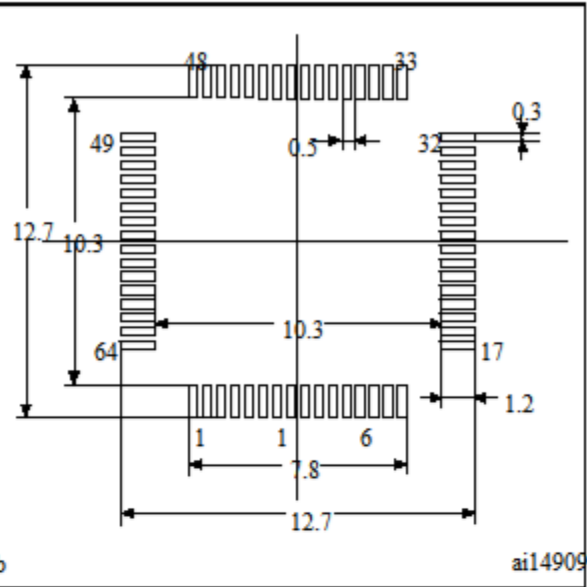


图68. 建议的足迹 (1) (2)



1. 绘图不是按比例。
2. 尺寸以毫米为单位。

表69. LQFP64 - 10 x 10 mm 64引脚薄型四方扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.0630
A1	0.05		0.15	0.0020		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.20	0.0035		0.0079
d		12.00			0.4724	
D1		10.00			0.3937	
E		12.00			0.4724	
E1		10.00			0.3937	
E		0.50			0.0197	
γ	0°	3.5°	7°	0°	3.5°	7°
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
n	引脚数					
	64					

1. 以英寸为单位的值从mm转换为四位十进制数字。

6.2 热特性

芯片结点的最大温度（ T_{Jmax} ）不能超过中给出的值
[表10：第42页的一般操作条件](#)

可以计算以摄氏度为单位的最大芯片结温度 T_{Jmax}
使用以下公式：

$$T_{Jmax} = T_{Amax} + (P_{Dmax} \times \theta_{JA})$$

哪里：

- T_{Amax} 是以°C为单位的最高环境温度，
- θ_{JA} 是封装结到环境的热阻，单位为 °C/W，
- P_{Dmax} 是 P_{INTmax} 和 $P_{I/Omax}$ 之和（ $P_{Dmax} = P_{INTmax} + P_{I/Omax}$ ），
- P_{INTmax} 是 I_{DD} 和 V_{DD} 的乘积，以瓦特表示. 这是最大的筹码内部动力.

$P_{I/Omax}$ 表示输出引脚的最大功耗，其中：

$$P_{I/Omax} = (V_{OL} \times I_{OL}) + 5 \times (V_{DD} - V_{OH}) \times I_{OH}$$

同时考虑到 I/O 的实际 V_{OL}/I_{OL} 和 V_{OH}/I_{OH} 在低电平和高电平的情况应用.

表 70. 封装热特性

符号	参数	值	单元
θ_{JA}	热阻结 - 环境 LFBGA144 - 10×10毫米/0.8毫米间距	40	°C / W
	热阻结 - 环境 LQFP144 - 20×20毫米/0.5毫米间距	三十	
	热阻结 - 环境 LFBGA100 - 10×10毫米/0.8毫米间距	40	
	热阻结 - 环境 LQFP100 - 14×14毫米/0.5毫米间距	46	
	热阻结 - 环境 LQFP64 - 10×10毫米/0.5毫米间距	45	
	热阻结 - 环境 WLCSP64	50	

6.2.1 参考文件

JESD51-2集成电路热测试方法环境条件 - 自然
对流（静止）.可从 www.jedec.org获得



6.2.2 选择产品温度范围

订购微控制器时，温度范围在订购时指定

[信息方案见表71：订购信息方案。](#)

每个温度范围后缀对应于特定的保证环境温度at
最大耗散和特定的最大结温。

由于应用程序通常不使用STM32F103xC, STM32F103xD和
STM32F103xE在最大功耗下，计算精确的功耗十分有用
消耗和结温来确定哪个温度范围是最好的
适合于应用程序。

以下示例显示如何计算给定的温度范围
应用。

示例1：高性能应用程序

假设以下应用条件：

最高环境温度 $T_{Amax} = 82^{\circ}\text{C}$ （根据JESD51-2测量），
 $I_{DDmax} = 50\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，输出低电平时最多同时使用20个I/O
 $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$ ，同时输出最多8个I/O
 在 $I_{OL} = 20\text{ mA}$ ， $V_{OL} = 1.3\text{ V}$ 的低电平下
 $P_{INTmax} = 50\text{ mA} \times 3.5\text{ V} = 175\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} + 8 \times 20\text{ mA} \times 1.3\text{ V} = 272\text{ mW}$
 这给出： $P_{INTmax} = 175\text{ mW}$ 和 $P_{IOmax} = 272\text{ mW}$ ：
 $P_{Dmax} = 175 + 272 = 447\text{ mW}$

因此： $P_{Dmax} = 447\text{ mW}$

使用表70中获得的值 如下计算 T_{Jmax} ：

- 对于LQFP100， $46^{\circ}\text{C} / \text{W}$

$T_{Jmax} = 82^{\circ}\text{C} + (46^{\circ}\text{C} / \text{W} \times 447\text{ mW}) = 82^{\circ}\text{C} + 20.6^{\circ}\text{C} = 102.6^{\circ}\text{C}$

这在后缀6个版本部件（ $-40 < T_J < 105^{\circ}\text{C}$ ）的范围内。

在这种情况下，零件必须至少在温度范围后缀6（见“
[表71：订购信息方案。](#)”）。

例2：高温应用

使用相同的规则，可以解决在高环境下运行的应用程序

只要结温 T_J 保持在一个低的温度 范围内

指定范围。

假设以下应用条件：

最高环境温度 $T_{Amax} = 115^{\circ}\text{C}$ （根据JESD51-2测量），
 $I_{DDmax} = 20\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，最多20个I/O同时用于低电平输出
 $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$
 $P_{INTmax} = 20\text{ mA} \times 3.5\text{ V} = 70\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} = 64\text{ mW}$
 这给出： $P_{INTmax} = 70\text{ mW}$ 和 $P_{IOmax} = 64\text{ mW}$ ：
 $P_{Dmax} = 70 + 64 = 134\text{ mW}$

因此： $P_{Dmax} = 134\text{ mW}$

使用表70中获得的值 如下计算 T_{Jmax} :

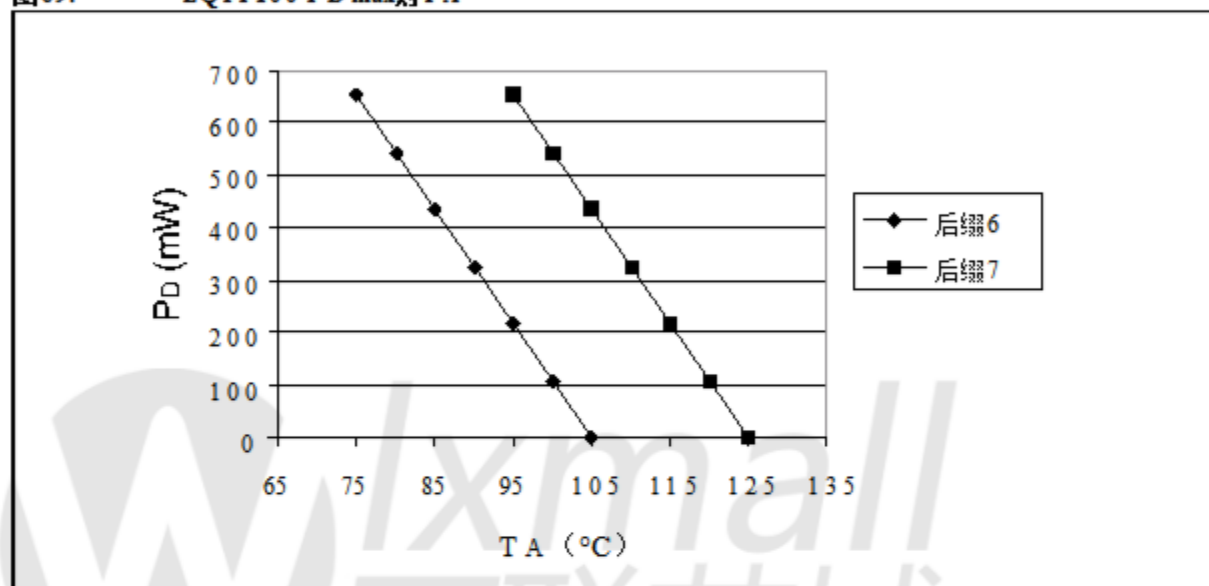
- 对于LQFP100, $46^{\circ}\text{C} / \text{W}$

$$T_{Jmax} = 115^{\circ}\text{C} + (46^{\circ}\text{C} / \text{W} \times 134\text{mW}) = 115^{\circ}\text{C} + 6.2^{\circ}\text{C} = 121.2^{\circ}\text{C}$$

这是在后继7版本部件 ($-40 < T_J < 125^{\circ}\text{C}$) 的范围内.

在这种情况下, 部件必须至少在温度范围后继7 (请参见“[表71: 订购信息方案](#)”).

图69. LQFP100 P_{Dmax} 对 T_A



7 零件编号

表 71. 订购信息计划

例:	STM32	F	103	R	C	Ĥ	6	XXX
设备系列								
STM32 =基于ARM的32位微控制器								
产品类别								
F =通用								
设备子系列								
103 =表现线								
引脚数								
R = 64个引脚								
V = 100个引脚								
Z = 144针								
闪存大小								
C = 256 KB闪存								
D = 384千字节的闪存								
E = 512 KB闪存								
包								
H = BGA								
T = LQFP								
Y = WLCSP64								
温度范围								
6 =工业温度范围, -40至85°C.								
7 =工业温度范围, -40至105°C.								
选项								
xxx =编程的部分								
TR =磁带和真实								

有关可用选项（速度，包装等）的列表或任何方面的进一步信息
请联系离您最近的ST销售办事处。

8 修订记录

表 72. 文档修订历史

日期	调整	变化
07-APR-2008	1	初始发行.
22 2008年5月	2	从“目标规范”升级到“预备”文档状态数据. 第1节: 引言和第2.2节: 全面兼容 家庭修改.小文字变化. 注2添加在表2中: STM32F103xC, STM32F103xD和STM32F103xE功能和外设计数在第11页. LQFP100 / BGA100列添加到表6: FSMC引脚定义上第36页. 值和数字添加到最大电流消耗上 (见表14, 表15, 表16和表17, 图14, 图15, 图17, 图18和图19). 在第50页上添加到“典型电流消耗”的值(请参阅表18, 表19和表20). 表19: 典型的电流消耗 待机模式 被删除. 注释4和注1添加到表56: USB直流电气特性和表57: USB: 第97页的全速电气特性, 分别. V USB添加到第95页的表56: USB直流电气特性. 图64: 更正了第111页上的建议覆盖区(1). 方程1已更正. 图69: 第116页的LQFP100 PD max与TA比较 改性. 在表64中校正的公差值: LFBGA144 - 144球低 包含10 x 10 mm, 0.8 mm间距的封装数据 第107页.

表 72. 文档修订历史

日期	调整	变化
21 - 07月2008	3	文档状态从初步数据升级到完整数据表。 第15页的FSMC（灵活的静态内存控制器）已修改。 <i>图1中纠正的补充信道数量：</i> STM32F103xC, STM32F103xD和STM32F103xE性能线框图。 修改了第17页的电源管理器，并添加了VDDA <i>表10：第42页的一般操作条件</i> <i>第5节：电气特性修订了表格注释。</i> <i>图12中修改的电容：第40页的电源方案。</i> 表51：更新了SCL频率（fPCLK1 = 36 MHz，VDD = 3.3 V）。 <i>表52：图45中修改的SPI特性t_h（NSS）：</i> SPI时序图 - 从机模式和CPHA = 0（第91页）。 从快速模式中删除的最小SDA和SCL下降时间值 表50：第88页的I2C特性，注1已修改。 我添加了运行模式下的DD_VBAT值和一些IDD值 <i>到表17：休眠和待机时的典型和最大电流消耗</i> <i>待机模式（第48页）。</i> <i>表30：第61页上的闪存耐久性和数据保留</i> <i>更新。</i> 在表52中对t_{su}（NSS）进行了修改：第90页的SPI特性。 <i>EO在表61中纠正：第100页上的ADC精度。图54：</i> 使用第101页上的ADC的典型连接图和下面的注释 纠正。 从表63中去掉 <i>典型的TS_{temp}</i> 值：TS特性 第105页。 更新了第6.1节：包装机械数据。 小文字变化。

表 72. 文档修订历史

日期	调整	变化
12日 - 12月2008	4	第1页指定的定时器（提到的电机控制功能）。 第2.2节：全面兼容整个家庭更新。 表4：添加了高密度计时器功能比较。 <i>通用定时器（TIMx）和高级定时器（TIM1和TIM2）</i> TIM8）更新。 <i>图1：STM32F103xC，STM32F103xD和STM32F103xE</i> 性能线框图修改。 注10增加了复位后的主功能和第35页的注5 表5更新：高密度STM32F103xx引脚定义。 注2修改如下表7：第41页的电压特性。 $I_{\Delta V_{DDx}} _{min}$和$I_{\Delta V_{DDx}} _{分钟}$删除。 注2和P 将LQFP144和LFBGA144包的D值添加到 表10：第42页的一般操作条件 第5.3.5节规定的测量条件：电源电流 特性在第44页。 在表17中更新了 $T_A = 85^{\circ}C$和$T_A = 105^{\circ}C$时的 最大值：典型值 和停止和待机模式下的最大电流消耗 第48页。 更新了第5.3.10节：FSMC特性。 添加到表42中的数据：第81页上的EMI特性。 I_{VREF} 添加到第98页上的表58：ADC特性中。 表70：更新了封装热特性。 小文字变化。



表 72. 文档修订历史

日期	调整	变化
30月 - 2009年	五	I/O 信息在第1页阐明. 图4: STM32F103xC 和 STM32F103xE 性能线 BGA100 ballout 纠正. I/O 信息在第1页上阐明. 表5: 高密度 STM32F103xx 引脚定义: - PF11, PF12, PF13, PF14, PF15, G0, G1 和 G15 的 I/O 电平更新 - PB4, PB13, PB14, PB15, PB3 / TRACESWO 从默认移动列重新映射列 表6 修改了 PG14 引脚描述: FSMC 引脚定义. 图9: 修改了第38页的存储器映射. 表14 修改的注意事项: 运行模式下的最大电流消耗, 具有从 Flash 和表16: 最大值运行的数据处理的代码休眠模式下的电流消耗, 从 Flash 或 RAM 运行的代码. 图17, 图18 和图19 显示了典型曲线 (标题改变). 表21: 高速外部用户时钟特性和表22: 低速外部用户时钟特性修改. ACC HSI max 表25 中修改的值: HSI 振荡器特性. FSMC 配置修改为异步波形和时序. 下面修改的注释图24: 异步非复用 SRAM / PSRAM / NOR 读取波形和图25: 异步非复用的 SRAM / PSRAM / NOR 写入波形. 在表31 中修改的 t_w (NADV) 值: 异步非复用 SRAM / PSRAM / NOR 读时序和表34: 异步多路复用 PSRAM / NOR 写时序. t (Data_NWE) 修改为表32: 异步非多路复用 SRAM / PSRAM / NOR 写入时序. 表36: 同步多路复用 PSRAM 写时序和表38: 同步非多路复用 PSRAM 写时序: - t_v (Data-CLK) 重命名为 t_d (CLKL-Data) - t_d (CLKL-Data) 最小值被删除, 最大值被添加 - t_h (CLKL-DV) / t_h (CLKL-ADV) 图28: 同步多路复用 NOR / PSRAM 读取时序. 图29: 同步多路复用 PSRAM 写时序和图31: 同步非多路复用 PSRAM 写时序 改性. 图48: I2S 从时序图 (Philips 协议) (1) 和图49: I2S 主时序图 (飞利浦协议) (1) 修改. 添加了 WLCSP64 封装 (见图8: STM32F103xC 和 STM32F103xE 高性能线 WLCSP64 ballout, 球测, 表5: 高密度 STM32F103xx 引脚定义, 图61: WLCSP, 64-ball 4.466x4.395mm, 间距0.500mm, 晶圆级芯片级封装轮廓和表66: WLCSP, 64球4.466x4.395毫米, 0.500毫米间距, 晶圆级芯片级封装机械数据). 小文字变化.

表 72. 文档修订历史

日期	调整	变化
21 - 07月2009年	6	图1: STM32F103xC, STM32F103xD和STM32F103xE性能线路图更新. 注5更新, 注释4添加在表5中: 高密度STM32F103xx引脚定义. V_{RERINT}和T_{Coeff}添加到表13: 嵌入式内部参考电压. 表16: 休眠模式下的最大电流消耗, 代码正在运行从Flash或RAM修改. f_{表21}中修改的HSE_ext最小值: 高速外部用户时钟特点. 在表23中用C代替CL1和CL2: HSE 4-16 MHz振荡器特性和表24: LSE振荡器特性 (f_{LSE} = 32.768 kHz), 注释修改并移到表格下方. 注1修改如下图22: 8 MHz的典型应用水晶.表25: 修改了HSI振荡器特性.条件从表27中删除: 低功耗模式唤醒定时. 抖动添加到表28: PLL特性. 图43: 修改了推荐的NRST引脚保护. 表31: 异步非多路复用SRAM / PSRAM / NOR读取时间: t_h(BL_NOE)和t_h(A_NOE)修改. 表32: 异步非多路复用SRAM / PSRAM / NOR写入时间: t_h(A_NWE)和t_h(Data_NWE)被修改. 表33: 异步复用PSRAM / NOR读时序: t_h(AD_NADV)和t_h(A_NOE)修改. 表34: 异步多路复用PSRAM / NOR写时序: t_h(A_NWE)已修改. 表35: 同步多路复用NOR / PSRAM读取时序: t_h(CLKH-NWAITV)修改. 表40: NAND Flash读写的开关特性周期: t_h(NOE-D)修改. 表52: SPI特性修改.添加到表53中的值: I2S特性和表54: SD / MMC特性. C ADC和R AIN参数在表58中修改: ADC特性. 表59中修改的R AIN最大值: f_{ADC} = 14MHz的RAIN_{max}. 表62: 修改了DAC特性.图57: 12位缓冲/缓冲DAC添加. 图60: LFBGA100 - 10 x 10毫米薄型细间距球栅阵列封装外形和表65: LFBGA100 - 10 x 10 mm薄型球栅阵列封装机械数据更新.
24月 - 2009年	7	表3中更正的DAC数量: STM32F103xx系列. 我在表17中更新了DD_VBAT: 典型和最大电流停止和待机模式下的消耗. 图16: 使用RTC的VBAT的典型电流消耗与温度在不同的VBAT值增加. IEC 1000标准更新为IEC 61000和SAE J1752 / 3更新为第5.3.11节中的IEC 61967-2: 第80页上的EMC特性. 表62: 修改了DAC特性.小文字变化.

请仔细阅读：

本文档中的信息仅供ST产品使用.意法半导体公司及其附属公司（“ST”）保留所有权利对本文档以及此处所述的产品和服务进行更改，更正，修改或改进的权利时间，恕不另行通知。

所有ST产品均按照ST的销售条款和条件进行销售。

购买者全权负责选择，选择和使用此处所述的ST产品和服务，ST承诺不会与本文所述ST产品和服务的选择，选择或使用相关的责任。

根据本文档，不得以任何禁止反言或以其他方式明示或暗示授予任何知识产权.如果这个的任何部分文件是指任何第三方产品或服务，不得被视为ST授权使用此类第三方产品的许可或服务或其中包含的任何知识产权，或作为保证涵盖以任何方式使用的保证第三方产品或服务或其中包含的任何知识产权。

除非在ST的条款和销售条款中另有规定，ST否认不作任何明示或暗示有关使用和/或销售ST产品的担保，包括但不限于默示适销性，适用于特定用途的保证（及其在法律下的等同性任何司法管辖权），或侵犯任何专利，版权或其他知识产权。

除非经过授权的ST代表的书面明确批准，ST产品不是建议，授权或担保用于军事，航空工程，空间，救生或维持生命应用，或在产品或系统中发生故障或故障可能导致人身伤害，死亡或严重的财产或环境损害。ST产品没有被指定为“汽车等级”只能在用户自行承担风险的情况下在汽车应用中使用。

ST产品的转售与本文件中陈述和/或技术特征不同的条款将立即失效
ST为ST产品或服务所授予的任何保证，不得以任何方式创建或延伸任何ST的责任。

ST和ST标志是ST在各个国家的商标或注册商标。

本文档中的信息将取代以前提供的所有信息。

ST标志是意法半导体的注册商标.所有其他名称是其各自所有者的财产。

©2009意法半导体 - 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克 - 芬兰 - 法国 - 德国 - 香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美利坚合众国

www.st.com

