

特征

吞吐量: 3 MSPS

规定为 2.35 V至3.6 V的 V_{DD}

能量消耗

采用3 V电源时, 3 MSPS时为11.4 mW

宽输入带宽

在1 MHz输入频率时为70 dB SNR

灵活的电源/串行时钟速度管理

没有管道延迟

高速串行接口

SPI® / QSPI™ - / MICROWIRE™ - / DSP兼容

温度范围: -40°C至+ 125°C

掉电模式: 典型值为0.1 μ A

8引脚TSOT封装

8引脚MSOP封装

功能框图

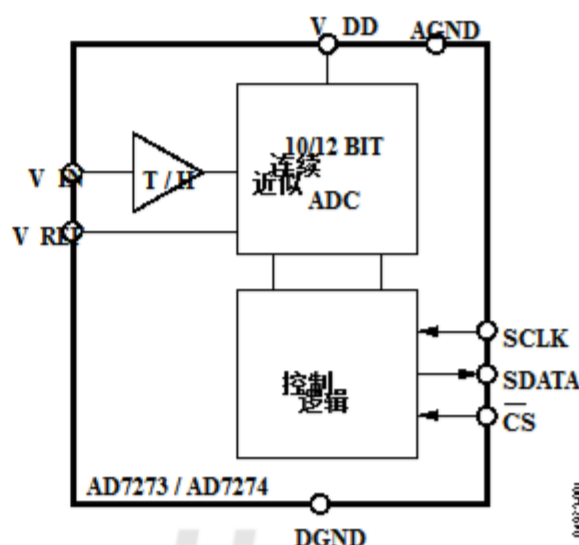


图1.

一般描述

AD7273 / AD7274是10位/ 12位, 高速, 低功耗,

逐次逼近型ADC. 零件运作

从单个2.35 V到3.6 V电源和功能

吞吐量高达3 MSPS. 每个部分都包含一个低

噪声, 宽带宽采样保持放大器, 可以处理

输入频率超过55 MHz.

转换过程和数据采集是受控的

使用CS和串行时钟, 允许设备进行接口

与微处理器或DSP. 输入信号被打开

CS的下降沿, 转换也是在这个过程中开始的

点. 转换率由SCLK决定. 那里

没有与这些部件相关的管道延迟.

AD7273 / AD7274采用先进的设计技术

以高吞吐量实现非常低的功耗.

零件的参考是在外部应用的, 并且可以在

1.4 V到 V_{DD} 的范围. 这允许最广泛的动态输入

范围到ADC.

表格1.

零件号	解析度	包	
AD72731	10	8引脚MSOP	8引脚TSOT
AD72741	12	8引脚MSOP	8引脚TSOT
AD7276	12	8引脚MSOP	6引脚TSOT
AD7277	10	8引脚MSOP	6引脚TSOT
AD7278	8	8引脚MSOP	6引脚TSOT

1 部件包含外部参考引脚.

产品聚焦

1. 采用8引脚TSOT封装的3 MSPS ADC

2. 吞吐量高, 功耗低.

3. 灵活的电源/串行时钟速度管理.
在低吞吐量下可实现最大功率效率.

4. 参考可以驱动到电源.

5. 没有管道延迟.

6. 这些器件具有标准的逐次逼近型ADC
通过CS输入精确控制采样时刻
和一次性的转换控制.

修订版0

ADI公司提供的信息被认为是准确和可靠的, 但是, 没有

使用模拟器件的责任, 专利或其他方面的损害

rightsofthirdpartiesthatmayresultfromitsuse. Specifications subject to change without notice. No

ADI公司的任何专利或专利权均以暗示或其他方式授予许可.

Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U

电话: 781.329.4700

传真: 781.461.3113

www.analog.com

©2005 Analog Devices, Inc. 保留所有权利.

AD7273_7274的重要链接*

上次内容更新11/12/2013 05:15 pm

类似的产品和参数选择表

[通过操作参数查找类似产品](#)

[低分辨率 - 单通道单极/双极8/10/12位PulSAR模数转换器](#)

文档

[MS-2210: 设计用于高速ADC的电源](#)

[8至18位SAR ADC ...来自高性能模拟领域的领导者](#)

评估套件和符号和足迹

[查看AD7274的评估板和套件页面](#)

[AD7273的符号和封装](#)

[AD7274的符号和占位面积](#)

设计合作社区



[与ADI支持团队和其他设计人员在线协作关于选择ADI产品。](#)

在Twitter上关注我们: www.twitter.com/ADI_News
像Facebook上的我们一样: www.facebook.com/AnalogDevicesInc

设计支持

[在此提交您的支持请求:](#)

[线性和数据转换器](#)

[嵌入式处理和DSP](#)

[拨打我们的客户互动中心免费电话:](#)

美洲: 1-800-262-5643
欧洲: 00800-266-822-82
中国: 4006-100-006
印度: 1800-419-0108
俄国: 8-800-555-45-90

质量和可靠性

[铅\(Pb\) - 免费数据](#)

样品和购买

[AD7273](#)

[AD7274](#)

- [查看价格和包装](#)
- [请求评估板](#)
- [请求样本](#)
- [查看库存和购买](#)

[查找本地分销商](#)

www.wlxml.com

*本页由ADI公司动态生成，并插入到本数据手册中。
注意：动态更改此页面上的内容（标记为“重要链接”）不会构成产品数据表修订版本的变更。
此内容可能会经常修改。

目录

特征	1	ADC传输功能	15
一般说明	1	典型连接图	16
功能框图	1	模拟输入	16
产品亮点	1	数字输入	16
修订记录	2	操作模式	17
规格	3	正常模式	17
AD7274规格	3	部分掉电模式	17
AD7273规格	5	完全掉电模式	17
时序规格	7	通电时间	18
时序示例	8	功率与吞吐率	20
绝对最大额定值	9	串行接口	21
ESD警告	9	微处理器接口	23
引脚配置和功能描述	10	应用提示	24
典型性能特点	11	接地和布局	24
术语	14	评估AD7273 / AD7274的性能	24
电路信息	15	外形尺寸	25
转换器操作	15	订购指南	25

修订记录

9/05版本0：初始版本

规格

AD7274规格

$V_{DD} = 2.35V$ 至 $3.6V$, $V_{REF} = 2.35V$ 至 V_{DD} , $f_{SCLK} = 48MHz$, $f_{SAMPLE} = 3MSPS$, $T_A = T_{MIN}$ 至 T_{MAX} , 除非另有说明。

表2

参数	B级1	单元2	测试条件/评论
动态表现			$f_{IN} = 1MHz$ 正弦波
信号与噪声+失真 (SINAD) 3	68	分钟	
信噪比 (SNR)	69.5	分钟	
总谐波失真 (THD) 3	-73	最大 dB	
	-78	dB 典型值	
峰值谐波或杂散噪声 (SFDR) 3	-80	dB 典型值	
互调失真 (IMD)			
二阶术语	-82	dB 典型值	$f_a = 1MHz$, $f_b = 0.97MHz$
三阶术语	-82	dB 典型值	$f_a = 1MHz$, $f_b = 0.97MHz$
光圈延迟	五	ns 典型值	
孔径抖动	18	ps typ	
全功率带宽	55	MHz 典型	@ 3 dB
	8	MHz 典型	@ 0.1 dB
电源抑制比 (PSRR)	82	dB 典型值	
DC精度			
解析度	12	位	
积分非线性3	± 1	最大 LSB	
微分非线性3	± 1	最大 LSB	保证不丢失12位的错误代码
偏移错误3	± 3	最大 LSB	
增益Error3	± 3.5	最大 LSB	
总未调整误差 (TUE) 3	± 3.5	最大 LSB	
模拟输入			
输入电压范围	0至 V_{REF}	V	
直流漏电流	± 1	μA 最大	$-40^\circ C$ 至 $+85^\circ C$
	± 5.5	μA 最大	$85^\circ C$ 到 $125^\circ C$
输入电容	42	pF typ	在轨道上
	10	pF typ	当在等待
参考输入			
V_{REF} 输入电压范围	1.4到 V_{DD}	V_{min} / V_{max}	
直流漏电流	± 1	μA 最大	
输入电容	20	pF typ	
输入阻抗	32	Ω 典型	
逻辑输入			
输入高电压, V_{INH}	1.7	V 分钟	$2.35V \leq V_{DD} \leq 2.7V$
	2	V 分钟	$2.7V < V_{DD} \leq 3.6V$
输入低电压, V_{INL}	0.7	V 最大	$2.35V \leq V_{DD} < 2.7V$
	0.8	V 最大	$2.7V \leq V_{DD} \leq 3.6V$
输入电流, I_{IN}	± 1	μA 最大	通常为10 nA, $V_{IN} = 0V$ 或 V_{DD}
输入电容, C_{IN4}	2	pF max	
逻辑输出			
输出高电压, V_{OH}	$V_{DD} - 0.2$	V 分钟	$I_{SOURCE} = 200\mu A$, $V_{DD} = 2.35V$ 至 $3.6V$
输出低电压, V_{OL}	0.2	V 最大	$I_{SINK} = 200\mu A$
浮态泄漏电流	± 2.5	μA 最大	
浮动状态输出电容4	4.5	pF max	
输出编码	直(自然)二进制		

AD7273 / AD7274

参数	B级 1	第二单元	测试条件/评论
兑换率			
转换时间	291	ns最大	14个SCLK周期和48 MHz的SCLK
追踪和保持采集时间 ³	60	ns最大	
吞吐量	3	MSPS最大	请参阅串行接口部分
电力需求			
V _{DD}	2.35 / 3.6	V _{min} / V _{max}	
I _{DD}			数字I / P _s = 0 V或V _{DD}
普通模式（静态）	1	mA典型	V _{DD} = 3 V, SCLK打开或关闭
正常模式（操作）	五	最大mA	V _{DD} = 2.35V至3.6V, f _{SAMPLE} = 3MSPS
	3.8	mA典型	V _{DD} = 3V
部分掉电模式（静态）	34	μA典型值	
完全掉电模式（静态）	2	μA最大	-40°C至+ 85°C, 典型值为0.1μA
	10	μA最大	85°C到125°C
功率耗散 ⁵			
正常模式（操作）	18	mW最大值	V _{DD} = 3.6V, f _{SAMPLE} = 3 MSPS
	11.4	mW typ	V _{DD} = 3V
部分关机	102	μW最大值	V _{DD} = 3V
完全断电	7.2	μW最大值	V _{DD} = 3.6 V, -40°C至+ 85°C

1 温度范围从-40°C至+ 125°C.

2 在25°C条件下, 典型的技术指标可用V_{DD} = 3 V和V_{REF} = 3 V进行测试.

3 请参阅术语部分.

4 通过表征保证.

5 请参阅功率与吞吐量比率部分.

Wlxmall
万联芯城
www.wlxmall.com

AD7273规格

$V_{DD} = 2.35V$ 至 $3.6V$, $V_{REF} = 2.35V$ 至 V_{DD} , $f_{SCLK} = 48MHz$, $f_{SAMPLE} = 3MSPS$, $T_A = T_{MIN}$ 至 T_{MAX} , 除非另有说明。

表3.

参数	B级1	单元2	测试条件/评论
动态表现			$f_{IN} = 1MHz$ 正弦波
信号与噪声+失真 (SINAD) 3	61	分钟	
总谐波失真 (THD) 3	-72	最大 dB	
	-77	dB 典型值	
峰值谐波或杂散噪声 (SFDR) 3	-80	dB 典型值	
互调失真 (IMD)			
二阶术语	-81	dB 典型值	$f_a = 1MHz$, $f_b = 0.97MHz$
三阶术语	-81	dB 典型值	$f_a = 1MHz$, $f_b = 0.97MHz$
光圈延迟	五	ns 典型值	
孔径抖动	18	ps typ	
全功率带宽	74	MHz 典型	@ 3 dB
	10	MHz 典型	@ 0.1 dB
电源抑制比 (PSRR)	82	dB 典型值	
DC精度			
解析度	10	位	
积分非线性3	± 0.5	最大 LSB	保证不丢失10位的密码
微分非线性3	± 0.5	最大 LSB	
偏移错误3	± 1	最大 LSB	
增益Error3	± 1.5	最大 LSB	
总未调整误差 (TUE) 3	± 2.5	最大 LSB	
模拟输入			
输入电压范围	0至 V_{REF}	V	
直流漏电流	± 1	μA 最大	$-40^\circ C$ 至 $+85^\circ C$
	± 5.5	μA 最大	$85^\circ C$ 到 $125^\circ C$
输入电容	42	pF typ	在轨道上
	10	pF typ	当在等待
参考输入			
V_{REF} 输入电压范围	1.4到 V_{DD}	V_{min} / V_{max}	
直流漏电流	± 1	μA 最大	
输入电容	20	pF typ	
输入阻抗	32	Ω 典型	
逻辑输入			
输入高电压, V_{INH}	1.7	V 分钟	$2.35V \leq V_{DD} \leq 2.7V$
	2	V 分钟	$2.7V < V_{DD} \leq 3.6V$
输入低电压, V_{IN}	0.7	V 最大	$2.35V \leq V_{DD} < 2.7V$
	0.8	V 最大	$2.7V \leq V_{DD} \leq 3.6V$
输入电流, I_{IN}	± 1	μA 最大	通常为10 nA, $V_{IN} = 0V$ 或 V_{DD}
输入电容, C_{IN4}	2	pF max	
逻辑输出			
输出高电压, V_{OH}	$V_{DD} - 0.2$	V 分钟	$I_{SOURCE} = 200\mu A$; $V_{DD} = 2.35V$ 至 $3.6V$
输出低电压, V_{OL}	0.2	V 最大	$I_{SINK} = 200\mu A$
浮态泄漏电流	± 2.5	μA 最大	
浮动状态输出电容4	4.5	pF max	
输出编码	直(自然)二进制		
兑换率			
转换时间	250	ns 最大	$SCLK$ 在48 MHz时为12个 $SCLK$ 周期
追踪和保持采集时间3	60	ns 最大	
吞吐量	3.45	MSPS 最大	请参阅串行接口部分

AD7273 / AD7274

参数	B级 ¹	第二单元	测试条件/评论
电力需求			
V _{DD}	2.35 / 3.6	V _{min} / V _{max}	数字I / P _s = 0 V或V _{DD}
我 _{DD}			V _{DD} = 3 V, SCLK打开或关闭
普通模式 (静态)	0.6	mA典型	V _{DD} = 2.35V至3.6V, f _{SAMPLE} = 3MSPS
正常模式 (操作)	五	最大mA	V _{DD} = 3V
	3.2	mA典型	
部分掉电模式 (静态)	34	μA典型值	
完全掉电模式 (静态)	2	μA最大	-40°C至+ 85°C, 典型值为0.1μA
	10	μA最大	85°C到125°C
功率耗散 ⁵			
正常模式 (操作)	18	mW最大值	V _{DD} = 3.6V, f _{SAMPLE} = 3 MSPS
	9.6	mW typ	V _{DD} = 3V
部分关机	102	μW最大值	V _{DD} = 3V
完全断电	7.2	μW最大值	V _{DD} = 3.6 V, -40°C至+ 85°C

¹ 温度范围从-40°C至+ 125°C.

² 在25°C条件下, 典型的技术指标可用V_{DD} = 3 V和V_{REF} = 3 V进行测试.

³ 请参阅术语部分.

⁴ 通过表征保证.

⁵ 请参阅功率与吞吐量比率部分.



时间规格

$V_{DD} = 2.35V$ 至 $3.6V$; $V_{REF} = 2.35$ 至 V_{DD} ; $T_A = T_{MIN}$ 至 T_{MAX} , 除非另有说明. 所有输入信号用 $t_r = t_f = 2\text{ ns}$ (V_{DD} 的10%至90%) 指定, 并从1.6 V的电压电平开始计时.

表4

参数	限制在 T_{MIN} , T_{MAX} AD7273 / AD7274	单元	描述
f SCLK2	500 48	kHz min3 最大MHz	
t 转换	$14 \times t_{SCLK}$ $12 \times t_{SCLK}$		AD7274 AD7273
t QUIET	4	ns分钟	公共汽车放弃和开始之间所需的最短安静时间 下一次转换
t1	3	ns分钟	最小CS脉冲宽度
t2	6	ns分钟	CS到SCLK建立时间
t34	4	ns最大	从CS延迟到SDATA三态禁用
44	15	ns最大	SCLK下降沿之后的数据访问时间
5	$0.4 t_{SCLK}$	ns分钟	SCLK低脉冲宽度
6	$0.4 t_{SCLK}$	ns分钟	SCLK高脉冲宽度
74	五	ns分钟	SCLK到数据有效保持时间
t8	14 五	ns最大 ns分钟	SCLK下降沿到SDATA三态 SCLK下降沿到SDATA三态
9	4.2	ns最大	CS上升到SDATA三态
POWER-UP5	1	μs 以上	完全掉电的上电时间

1 样品在首次发布期间进行测试以确保符合性. 所有给出的时序规格都是10 pF的负载电容. 负载电容大于此值, 必须使用数字缓冲器或锁存器.

2 SCLK输入的标记/空间比是40/60到60/40.

3 保证规格的最小f SCLK.

4 输出跨过 V_{IH} 或 V_{IL} 电压所需的时间.

5 请参阅“开机时间”部分

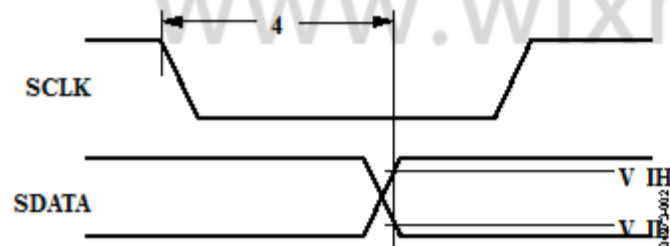


图2. SCLK下降沿之后的访问时间

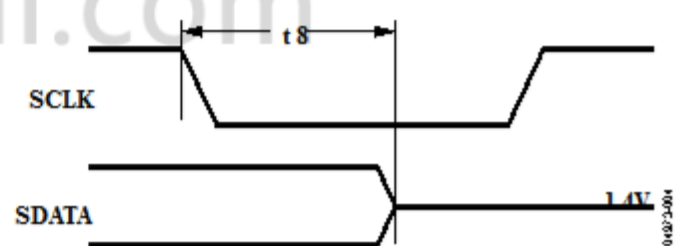


图4. SCLK下降沿SDATA三态

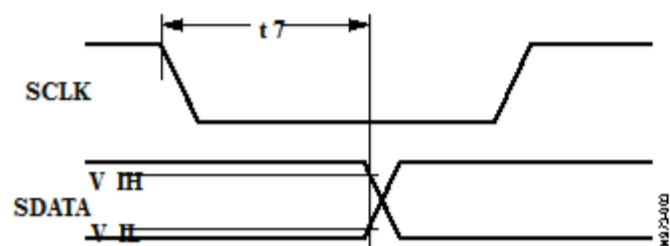


图3. SCLK下降沿后的保持时间

时间示例

对于AD7274, 如果CS在14时被拉高
两位前导零和12位之后的上升沿
转换提供, 部分可以达到最快
吞吐量, 3 MSPS. 如果CS在16时被带高
SCLK上升沿之后的两个前导零, 12位的
转换, 并提供两个尾随零, 吞吐量
2.97 MSPS的速率是可以实现的. 这是在说明
遵循两个时序示例.

时间例1

在图6中, 使用14个SCLK周期, $f_{SCLK} = 48 \text{ MHz}$,
吞吐量是3 MSPS. 这产生了一个周期时间
 $t_2 + 12.5 (1/f_{SCLK}) + t_{ACQ} = 333 \text{ ns}$, 其中 $t_2 = 6 \text{ ns min}$
 $t_{ACQ} = 67 \text{ ns}$. 这满足 t_{ACQ} 的 60ns 的要求.
图6还显示 t_{ACQ} 包括 $0.5 (1/f_{SCLK}) + t_9 + t_{QUIET}$,
其中 $t_9 = 4.2 \text{ ns}$ 最大. 这允许 t_{QUIET} 的值为 52.8ns,
满足 4 ns 的最低要求.

时序例2

图7中的例子使用16 SCLK周期, $f_{SCLK} = 48 \text{ MHz}$,
吞吐量为2.97 MSPS. 这会产生一个周期时间
 $t_2 + 12.5 (1/f_{SCLK}) + t_{ACQ} = 336 \text{ ns}$, 其中 $t_2 = 6 \text{ ns min}$
 $t_{ACQ} = 70 \text{ ns}$. 图7显示 t_{ACQ} 包含 $2.5 (1/f_{SCLK}) +$
 $t_8 + t_{QUIET}$, 其中 $t_8 = 14 \text{ ns max}$. 这满足最低限度
 t_{QUIET} 的要求为 4 ns.

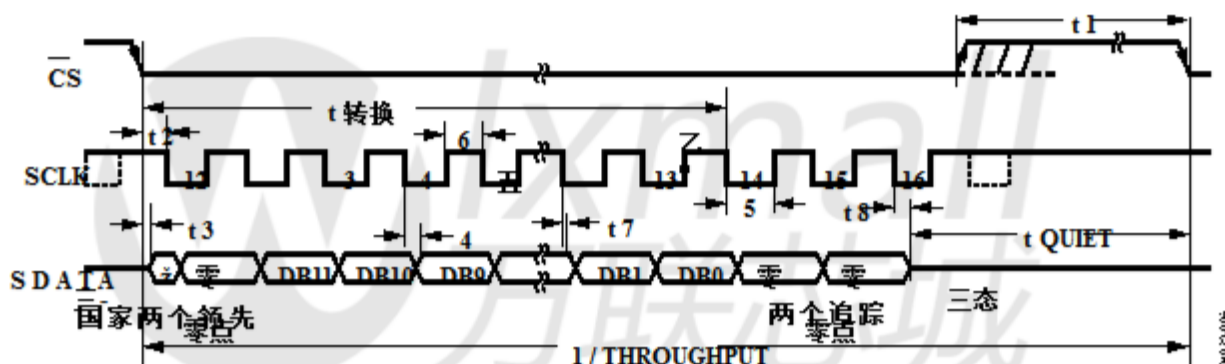


图5. AD7274串行接口时序16个SCLK周期

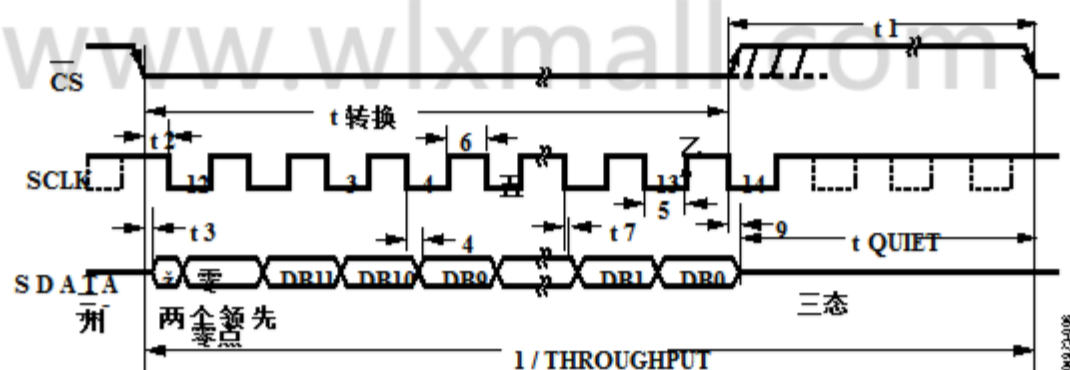


图6. AD7274串行接口时序14 SCLK周期

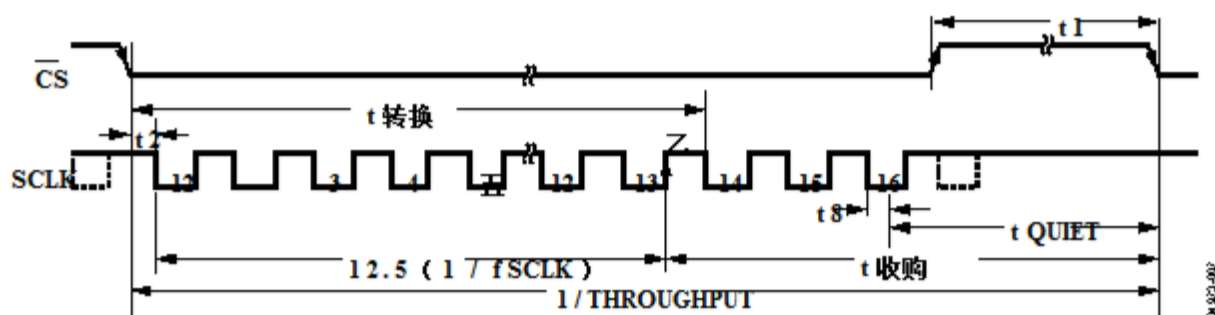


图7. 串行接口时序16个SCLK周期

绝对最大额定值

$T_A = 25^{\circ}\text{C}$ ，除非另有说明。

表5

参数	评级
V_{DD} 到 AGND / DGND	-0.3 V 至 +6 V
模拟输入电压到 AGND	-0.3 V 至 $V_{DD} + 0.3 \text{ V}$
数字输入电压到 DGND	-0.3 V 至 +6 V
数字输出电压 DGND	-0.3 V 至 $V_{DD} + 0.3 \text{ V}$
输入电流到任何引脚除了电源1	$\pm 10 \text{ mA}$
工作温度范围	
商业 (B级)	-40°C 至 $+125^{\circ}\text{C}$
存储温度范围	-65°C 至 $+150^{\circ}\text{C}$
结温	150°C
6引脚 TSOT 封装	
θ_{JA} 热阻抗	230°C/W
θ_{JC} 热阻抗	92°C/W
8引脚 MSOP 封装	
θ_{JA} 热阻抗	205.9°C/W
θ_{JC} 热阻抗	43.74°C/W
铅温度焊接	
回流 (10到30秒)	255°C
铅温度焊接	
回流 (10到30秒)	260°C
ESD	1.5 千伏

1 高达100 mA的瞬态电流会导致SCR闭锁。

强调超出绝对最大额定值列出的那些可能会导致设备永久性损坏。这是一个压力只有评级在这些或任何设备的功能操作其他情况超出业务指标。不是暗示本规范的一部分。接触绝对延长期限的最大额定条件可能会影响设备可靠性。

ESD警告

ESD (静电放电) 敏感装置。高达4000V的静电电荷容易积累人体和测试设备，可以不经检测而放电。虽然这个产品的功能专有的ESD保护电路，在高能量设备上可能会发生永久性损坏静电放电。因此，建议采取适当的ESD防范措施以避免性能下降功能退化或丧失。



AD7273 / AD7274

引脚配置和功能说明



图8. 8引脚MSOP引脚配置



图9. 8引脚TSOT引脚配置

表6. 引脚功能描述

销号		助记符	描述
MSOP	TSOT		
1	1	V DD	电源输入. AD7273 / AD7274的V DD范围为2.35 V至3.6 V.
2	2	SDATA	数据输出. 逻辑输出. 该输出提供AD7273 / AD7274的转换结果作为a 串行数据流. 这些位在SCLK输入的下降沿输出. 数据流来自 AD7274由两个前导零和后面的12位转换数据和两个尾随组成 零, 首先提供MSB. 来自AD7273的数据流包含两个前导零 由10位转换数据和4个尾随零, 首先提供MSB.
3	7	CS	芯片选择. 低电平有效逻辑输入. 该输入提供了启动转换的双重功能 AD7273 / AD7274和串行数据传输组帧.
4	8	AGND	模拟地. AD7273 / AD7274上所有电路的接地参考点. 所有模拟信号 并且任何外部参考信号都应该参考该AGND电压.
五	五	V REF	电压参考输入. 该引脚成为参考电压输入. 外部参考应该 应用在这个引脚. 外部参考输入范围是1.4 V到V DD. 一个10μF电容应该是 连接在这个引脚和AGND之间.
6	6	SCLK	串行时钟. 逻辑输入. SCLK提供了用于访问器件数据的串行时钟. 这个时钟 输入也被用作AD7273 / AD7274转换过程的时钟源.
7	3	DGND	数字地面. AD7273 / AD7274上所有数字电路的接地参考点. DGND和 理想情况下, AGND电压应处于相同电位, 并且不得超过0.3 V 在短暂的基础上.
8	4	V IN	模拟输入. 单端模拟输入通道. 输入范围是0到V REF.

典型的性能特征

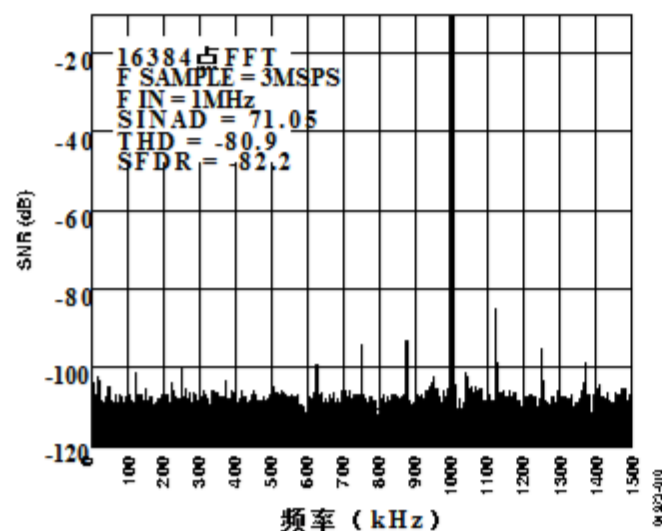


图10. 3 MSPS时的AD7274动态性能, 输入音调= 1 MHz

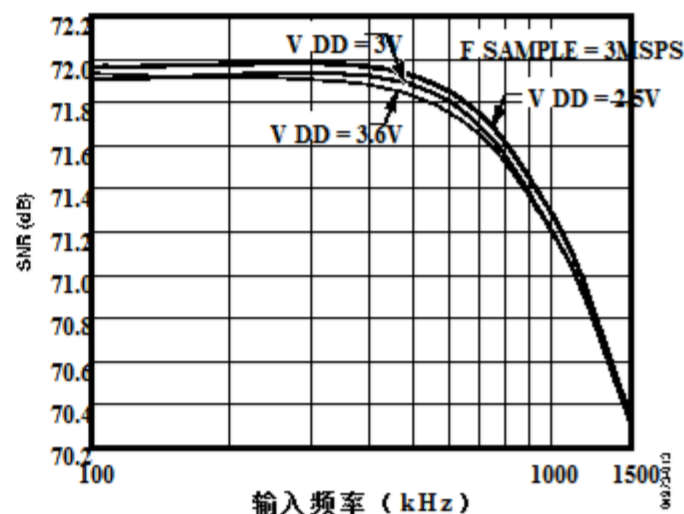
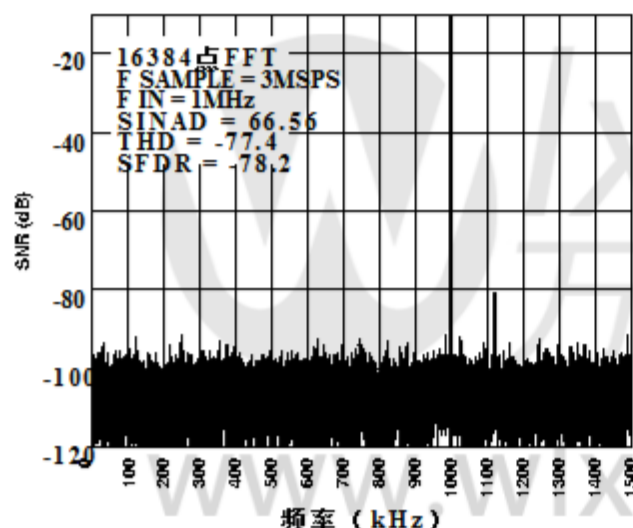
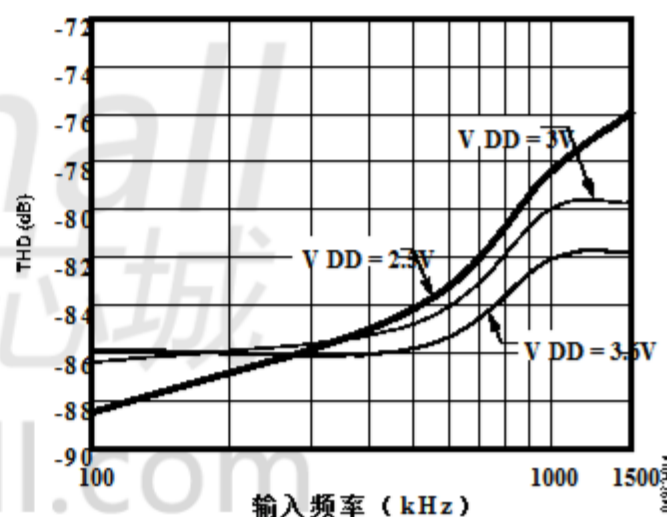
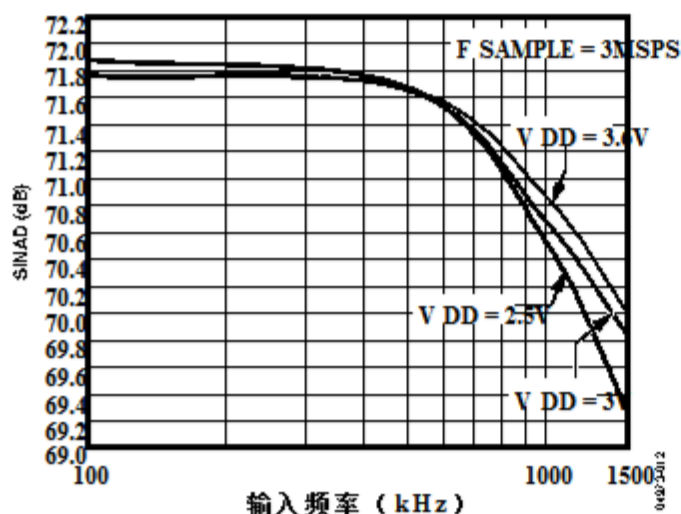
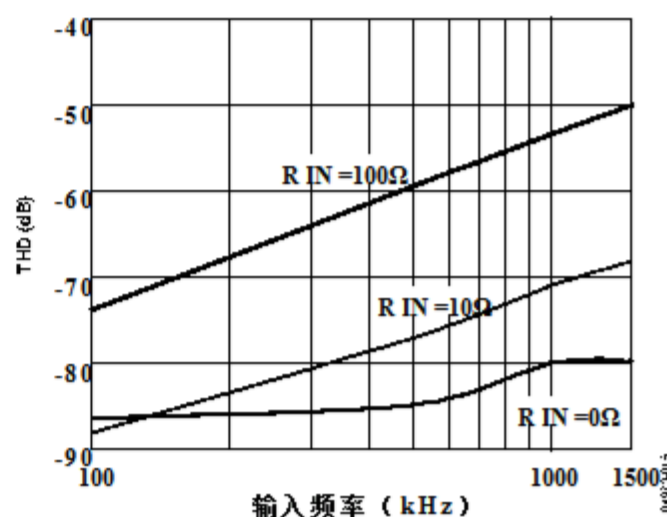
图13. 3 MSPS时的AD7274 SNR与模拟输入频率的关系
对于各种电源电压, SCLK频率= 48 MHz

图11. 3 MSPS时的AD7273动态性能, 输入音调= 1 MHz

图14. 3 MSPS时的THD与模拟输入频率
对于各种电源电压, SCLK频率= 48 MHz图12. AD7274 SINAD与3 MSPS的模拟输入频率
对于各种电源电压, SCLK频率= 48 MHz图15.不同来源的3 MSPS的THD与模拟输入频率
阻抗, SCLK频率= 48 MHz, 电源电压= 3 V.

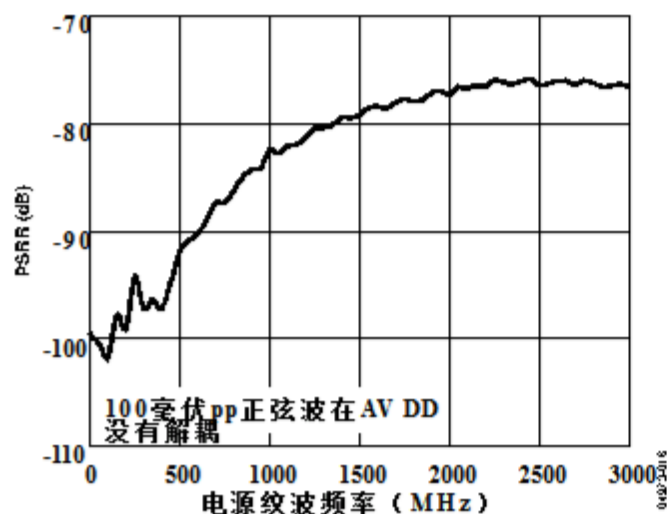


图16. 电源抑制比 (PSRR) 与电源纹波频率没有解耦

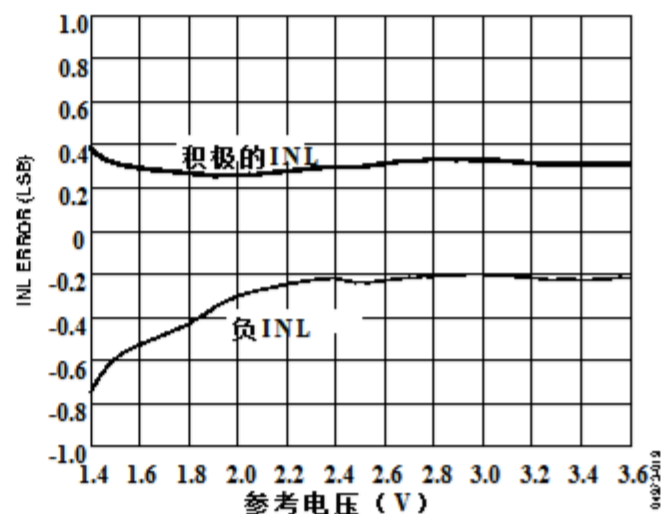


图19. INL与参考电压, 3 V电源的变化

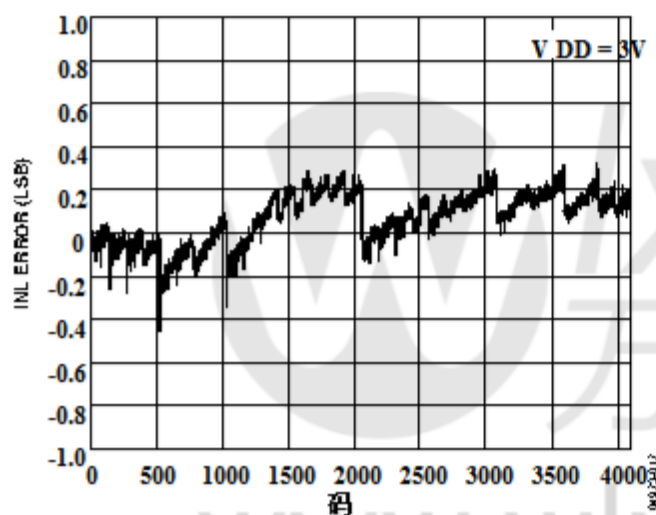


图17. AD7274 INL性能

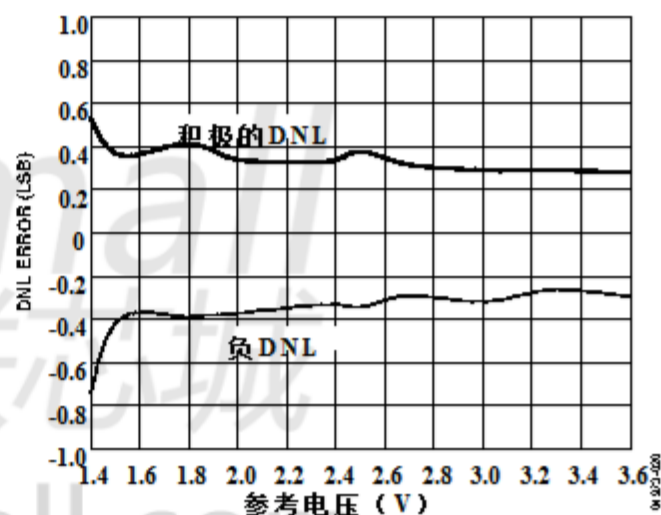


图20. DNL与参考电压, 3 V电源的变化

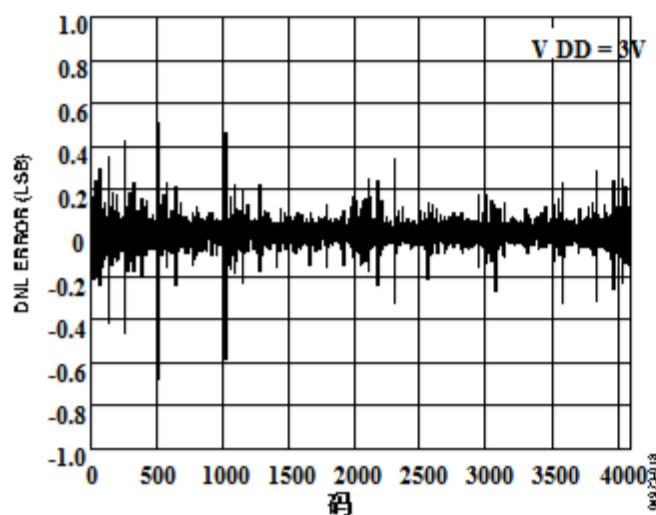


图18. AD7274 DNL性能

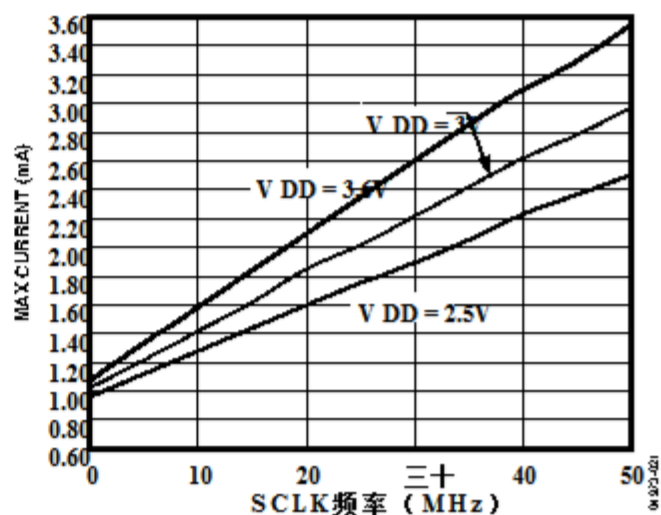


图21. 最大电流与电源电压
针对不同的SCLK频率

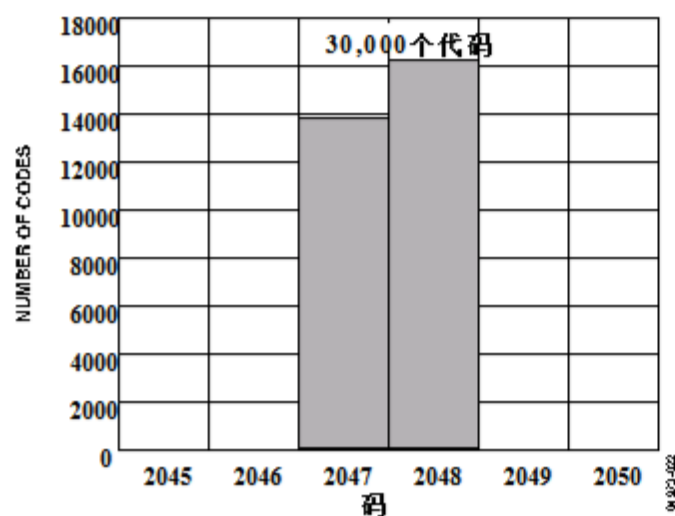


图22. 30,000个样本的代码直方图

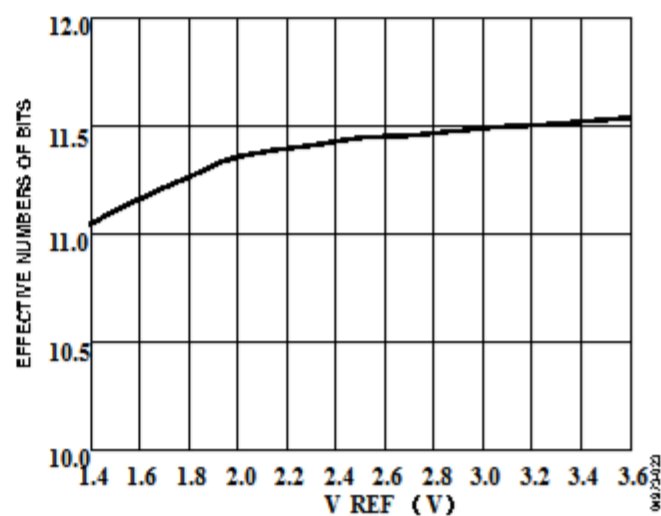


图23. ENOB / SINAD与参考电压


Lxmall
 万联芯城
www.wlxmall.com

术语

积分非线性 (INL)

与通过的直线的最大偏差

ADC传输函数的端点.对于AD7273 /

AD7274, 传递函数的终点是零刻度

低于第一个代码转换的0.5 LSB和0.5 LSB的满量程
在最后的代码转换之上.

微分非线性 (DNL)

测得的和理想的1 LSB之间的差异

在ADC中任何两个相邻的代码之间改变.

偏移错误

第一代码转换 (00 ... 000) 到 (00 ...

001) 的理想值, 即AGND + 0.5 LSB.

增益错误

最后的代码转换 (111 ... 110) 的偏差

(111 ... 111) 的理想值, 即VREF - 1.5 LSB之后
调整偏移误差.

总未调整误差 (TUE)

一个全面的规范, 包括增益, 线性和
偏移错误.

跟踪和保持采集时间

输出采样保持放大器所需的时间

达到其最终值, 在±0.5 LSB之内, 结束后
转换.请参阅串行接口部分了解更多详情.

信噪比+失真比 (SINAD)

测量的信噪比加上失真的比率

ADC的输出.信号是的有效值振幅

根本, 而噪声是所有非基础性的均方根总和
信号最高为采样频率 ($f_s/2$) 的一半, 包括
谐波但不包括直流.这个比例是依赖于的

数字化过程中量化层次的数量

更多的级别, 量化噪声就越小.对于一个理想的N位
转换器, SINAD是

$$\text{SINAD} = 6.02 n + 1.76 \text{ dB}$$

根据这个等式, SINAD对于12位是74dB

转换器和10位转换器为62 dB.但是, 各种各样

ADC中的误差源, 包括积分和差分

非线性和内部交流噪声源, 导致测量

SINAD小于它的理论值.

总谐波失真 (THD)

谐波的均方根和与基波的比值.它是

定义为:

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中 V_1 是基波的有效值幅度, $V_2, V_3,$

V_4, V_5 和 V_6 是第二个通过的有效值振幅

六次谐波.

峰值谐波或杂散噪声 (SFDR)

下一个最大分量的有效值的比率

ADC输出频谱 (直到 $f/2$, 不包括直流) 到有效值

的根本.通常, 这个规范的价值是

由光谱中最大的谐波决定.然而,

对于噪声层中埋有谐波的ADC,

由噪音峰值开采.

互调失真 (IMD)

输入由两个频率的正弦波 f_a 和 f_b 组成,

任何有非线性的有源器件都会产生失真产物

总和和差频 $m f_a \pm n f_b$, 其中 m 和

$n = 0, 1, 2, 3, \dots$.互调失真项是指那些

既不 m 也不等于零.例如,

顺序项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$, 以及三阶

术语包括 $(2f_a + f_b)$, $(2f_a - f_b)$, $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$.

AD7273 / AD7274使用CCIF标准进行了测试

哪两个输入频率被使用 (见 f_a 和 f_b 在

规格部分).在这种情况下, 二阶项是

通常与原来的正弦波频率相隔,

三阶项通常在接近输入的频率上

频率.结果, 二阶和三阶项是

分开指定.互调的计算

失真是根据THD规范, 它是比率

的个人失真产品的均方根总和的有效值

以分贝表示的基本总和的幅度.

电源抑制比 (PSRR)

全量程ADC输出功率的比例

频率 f 加到100mV pp正弦波功率上

ADC V_{DD} 频率供应 f .

$$\text{PSRR (dB)} = 10 \log \left(\frac{P_f}{P_{fS}} \right) \text{ 小号}$$

其中 P_f 是ADC输出中频率为 f 的功率; P_{fS} 是
频率为 f_s 的功率 耦合到ADC V_{DD} 电源上.

光圈延迟

测量的采样前沿之间的间隔

时钟和ADC实际采样的点.

孔径抖动

样本到样本的变化在有效时间点上

样品是采取的.

电路信息

AD7273 / AD7274是高速, 低功耗, 10/12位, 单电源ADC. 零件可以操作从2.35 V到3.6 V的电源. 从任何供应操作在这个范围内的电压, AD7273 / AD7274能够当提供48 MHz时钟时, 吞吐速率为3 MSPS.

AD7273 / AD7274为用户提供片上跟踪功能, 采样保持ADC和一个串行接口, 采用8引脚TSOT封装或8引脚MSOP封装, 为用户提供了可观的价值. 与其他解决方案相比节省空间的优势. 串口时钟输入访问来自该部分的数据并提供时钟来源为逐次逼近ADC. 模拟输入范围是0到 V_{REF} . 外部参考电压范围为1.4 V至 V_{DD} 是ADC要求的.

AD7273 / AD7274还具有省电选项以保存转换之间的权力. 关机功能如标准串行接口所述. 操作模式部分.

转换器操作

AD7273 / AD7274是逐次逼近型ADC. 基于电荷再分配DAC. 图24和图25显示ADC的简化原理图. 图24显示了ADC在其采样阶段, SW2闭合, SW1是在位置A, 比较器保持平衡状态, 采样电容获取 V_{IN} 上的信号.

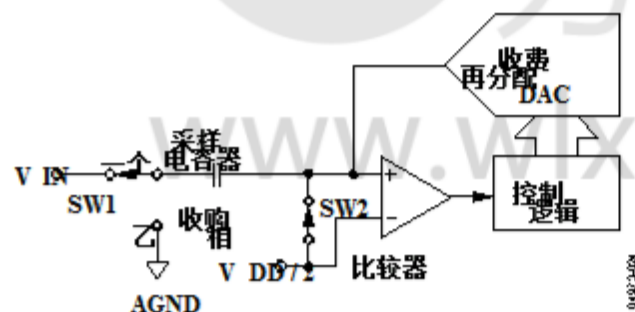


图24. ADC采集阶段

当ADC开始转换时, SW2打开, SW1移动到位置B, 导致比较器变得不平衡 (见图25). 控制逻辑和电荷再分配DAC用于从和减去固定的电荷量. 将采样电容带回比较器. 平衡状态. 当比较器重新平衡时, 转换完成. 控制逻辑产生ADC输出代码. 图26显示了ADC转换函数.

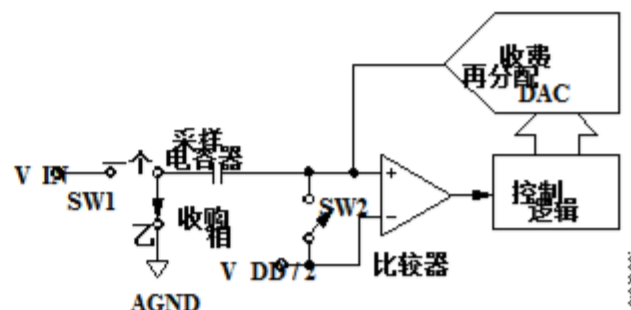


图25. ADC转换阶段

ADC转换功能

AD7273 / AD7274的输出编码是直接二进制编码. 设计的代码转换发生在两者之间连续的整数LSB值, 例如0.5 LSB和1.5 LSB. 该AD7274的LSB大小为 $V_{REF} / 4,096$, 而 $V_{REF} / 1,024$ 为LSB AD7273. 理想的传输特性AD7273 / AD7274如图26所示.

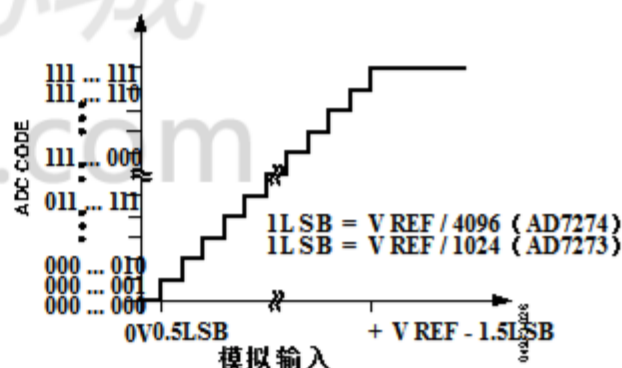


图26. AD7273 / AD7274传输特性

典型连接图

图27显示了AD7273 / AD7274. 必须将外部参考应用于ADC. 该参考值可以在1.4 V至V_{DD}的范围内. 精确参考, 如REF19x系列或ADR421, 可以用于向AD7273 / AD7274提供参考电压.

转换结果以两位前导的16位字输出
零后面是12位或10位的结果. 来自12位的结果
AD7274之后是两个尾随零和10位结果
来自AD7273的是四个尾随零.

表7提供了一些典型的各种性能数据
在AD7274的相同设置条件下的参考.

表7. AD7274性能 (各种电压参考IC)

电压参考	AD7274 SNR性能 1 MHz输入
AD780 @ 2.5 V	71.3分贝
AD780 @ 3 V	70.1分贝
REF195	70.9分贝

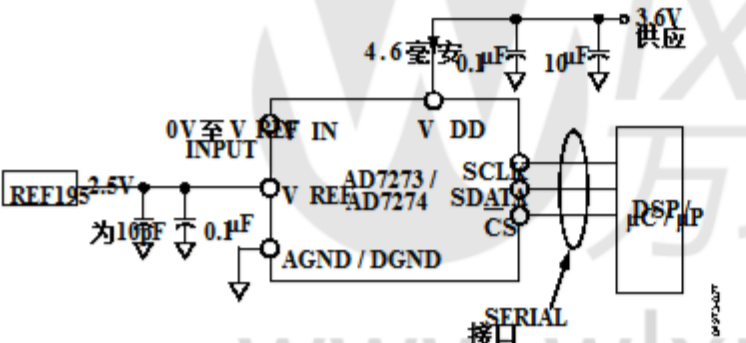


图27. AD7273 / AD7274典型连接图

模拟输入

图28显示了模拟输入的等效电路
AD7273 / AD7274的结构. 两个二极管D1和D2,
为模拟输入提供ESD保护. 必须小心
采取确保模拟输入信号永远不会超过
电源轨超过300 mV. 信号超过这个值
导致这些二极管变成正向偏置并开始
传导电流进入衬底. 这些二极管可以
最大电流不超过10毫安
不可逆转的损坏部分. 图28中的电容器C1是
通常大约4 pF, 主要可以归因于引脚
电容. 电阻R1是一个集总组件

开关的导通电阻. 这个电阻通常约为75Ω.
电容C2是ADC采样电容, 并有一个电容
通常为32 pF. 对于交流应用, 去除高频
来自模拟输入信号的元件被推荐
在相关的模拟输入引脚上使用带通滤波器. 在
谐波失真和信噪比的应用
比例至关重要, 模拟里输入应该从低位开始
阻抗源. 大源阻抗显着影响
ADC的交流性能. 这可能需要使用
一个输入缓冲放大器. AD8021运算放大器兼容
用这个装置然而, 运算放大器的选择是一个功能的
特定应用程序.

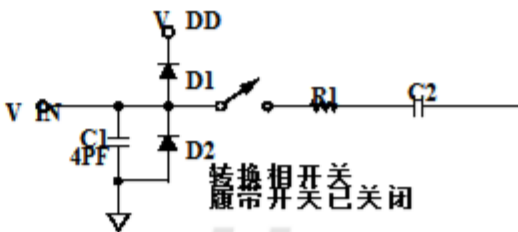


图28. 等效模拟输入电路

当没有放大器用于驱动模拟输入信号源时
阻抗应该限制在一个较低的值. 最大的来源
阻抗取决于可以容忍的THD的量.
THD随着源阻抗的增加而增加,
性能下降. 图14显示了THD对比图
模拟输入频率为不同的源阻抗时
使用3 V的电源电压并以3 MSPS的速率进行采样.

数字输入

施加于AD7273 / AD7274的数字输入不是
受限于模拟输入的最大额定值限制.
相反, 数字输入可以施加在6 V以下
不受限于 模拟输入的V_{DD} + 0.3 V限制. 对于
例如, 如果AD7273 / AD7274以V_{DD}的电压 工作
3 V, 则可以在数字输入上使用5 V逻辑电平.
但是, 重要的是要注意SDATA上的数据输出
V_{DD} = 3 V时仍然有3 V逻辑电平
SCLK和CS不受V_{DD} + 0.3 V限制的限制
电源排序问题被避免. 例如,
不像模拟输入, 数字输入, 如果CS或
SCLK在V_{DD}之前应用, 不存在门锁风险.

运作模式

AD7273 / AD7274的工作模式由选择
在转换期间控制CS信号的逻辑状态。
有三种可能的操作模式：正常模式，
部分掉电模式和完全掉电模式。该
转换开始后CS被拉高的点
确定设备进入哪个断电模式（如果有的话）。
同样，如果器件已经处于掉电模式，CS可以
控制设备是否恢复正常运行或
保持在掉电模式。这些操作模式是
旨在提供灵活的电源管理选项，其中
可以选择来优化功耗/吞吐量
率比为不同的应用要求。

正常模式

此模式旨在提供最快的吞吐量性能
由于AD7273 / AD7274始终保持充分供电，
消除了开机时间的担心。图29显示了
AD7273 / AD7274的总体操作图
这种模式。

如上所述，转换在CS的下降沿启动
在串行接口部分。确保零件保持不变
CS必须始终保持低电平，直到至少
CS下降沿后经过10个SCLK下降沿。如果CS是
在第十届SCLK下跌之后，任何时候都会带来高位
第16 SCLK下降沿，部分保持通电，但是
转换终止，SDATA回到三态。

对于AD7274，至少有14个串行时钟周期
需要完成转换和访问完整
转换结果。对于AD7273，最少12个串行
时钟周期是完成转换和访问所必需的
完整的转换结果。

CS可以空闲高电平直到下一次转换或低电平直到CS
在下一次转换之前返回高电平（有效地使CS空闲
低）。一旦数据传输完成（SDATA已经返回
三态），安静后可以启动另一个转换。
时间t_{QUIET}已经通过再次使CS变低。

部分省电模式

此模式旨在用于速度较慢的应用程序
吞吐量是必需的。其中一个例子是当两者之一
ADC在每个转换或一系列之间关闭
的转换是以高吞吐量进行的，然后
ADC之间的关断时间相对较长
这些爆发了几次转换。

当AD7273 / AD7274处于部分省电模式时，
除偏置产生外，所有模拟电路均关闭
电路。

要进入部分关机模式，请中断转换
在第二和第十的下降期间将CS推高
SCLK的边沿，如图30所示。一旦CS被拉高
在SCLK的这个窗口中，该部分进入部分关断
模式，由下降沿启动的转换
CS终止，SDATA回到三态。如果CS
在第二个SCLK下降沿之前被拉高
保持正常模式，不会关机。这可以防止
由于CS线上的故障而意外掉电。

为了退出这种工作模式并上电，AD7274 /
AD7273，执行虚拟转换。在下降的边缘
CS，设备开始加电并继续加电
只要CS保持低电平，直到第10个SCLK的下降沿。
一旦经过16 SCLK，器件完全上电；有效的数据
结果来自下一次转换，如图31所示。如果CS是
在SCLK的第10个下降沿之前，AD7274 /
AD7273进入完全关断模式。因此，虽然
设备可能会在CS的下降沿开始加电，
只要发生这种情况，就会在CS的上升沿断电
在第10个SCLK下降沿之前。

如果AD7273 / AD7274已处于部分省电模式
在SCLK的第10个下降沿之前CS被拉高
器件进入完全掉电模式。欲了解更多信息
与部分掉电模式相关的上电时间
在各种配置中，请参阅“开机时间”部分。

完全掉电模式

此模式旨在用于吞吐量的应用程序
比部分掉电模式下的速率更慢
因为完全断电需要上电
比部分掉电时间长得多。这个
模式适合于一系列转换的应用
以相对较高的吞吐量执行后面的操作
长时间的不活动，从而停电。

当AD7273 / AD7274处于完全关断模式时，全部
模拟电路断电。进入完全关机
模式将设备置于部分关机模式
CS高位在10和10之间 SCLK的下降沿。在
下一个转换周期，中断转换过程
如图32所示，在10之前将CS提高
SCLK下降沿。一旦CS在这个窗口被拉高
SCLK，部分完全关闭。请注意，它不是
一旦CS被带入高位，就需要完成16个SCLK
任何一种掉电模式。小故障保护不是
进入完全关断模式时可用。

要退出完全掉电模式并上电，AD7273 /
再次AD7274，执行一个虚拟转换，类似于什么时候
从部分省电模式启动。在下降

CS的边缘，设备开始加电并继续
直到在第10个 SCLK 的下降沿之前一直加电
CS保持低位。所需的启动时间必须经过
可以启动转换，如图33所示
上电时间部分的相关启动时间
AD7273 / AD7274。

开机时间

AD7273 / AD7274具有两种掉电模式，部分模式
掉电和完全掉电，这些在下面描述
在操作模式的细节部分。本节涉及
与任何一个出来所需的上电时间
这些模式。

要从部分省电模式上电，一个周期是
需要。因此，在高达48 MHz的SCLK频率下，
一个虚拟周期足以使器件上电
从部分掉电模式。一旦虚拟周期
完成，ADC完全上电，输入信号为
正确获得。安静的时间，QUIET，必须被允许
之后巴士回到三态的地步
虚拟转换到CS的下一个下降沿。

要从完全断电启动，大约1μs应该
被允许从CS的下降沿开始，如图33所示
上电。请注意，在部分掉电启动期间

模式，跟踪和保持，这是在保持模式，而部分
掉电，在第一个SCLK后返回跟踪模式
边沿在CS的下降沿之后被接收。这显示为
图31中的点A

首次将电源应用于AD7273 / AD7274时，
ADC可以在任何一种掉电模式下加电，或者
在正常模式下。正因为如此，最好是让一个假人
循环过去以确保零件在以前完全通电
尝试有效的转换。同样，如果部分要保存
在部分电源关闭模式后立即供应
应用，必须启动两个虚拟循环。第一个假人
周期必须保持低电平，直到第10个 SCLK下降沿之后
(见图29)。在第二个周期中，CS必须提高
在第二个和第十个 SCLK下降沿之间(见图30)。

或者，如果零件要完全断电
在施加电源之后，需要三个虚拟周期
开始。第一个虚拟周期必须保持低电平，直到之后
第10个 SCLK下降沿(见图29)；第二和第三
虚拟周期将器件置于完全关断模式(请参阅
图32)。另请参阅操作模式部分。

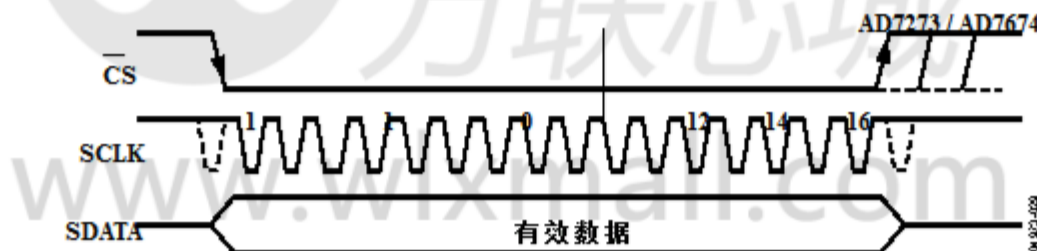


图29. 正常模式操作

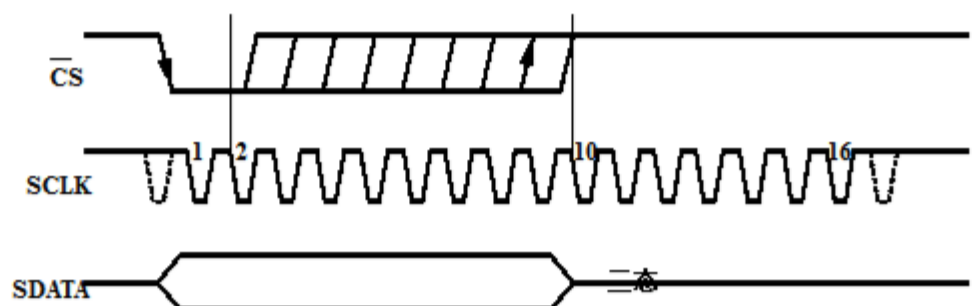


图30.进入部分掉电模式

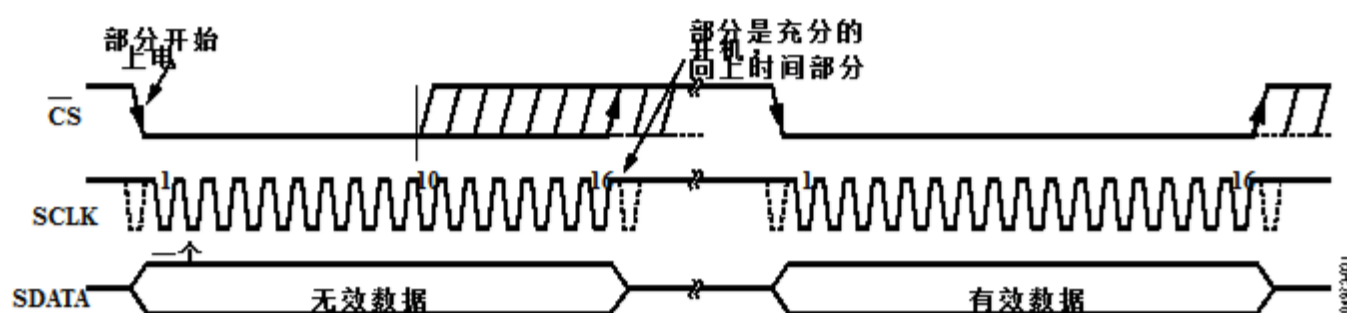


图31.退出部分掉电模式

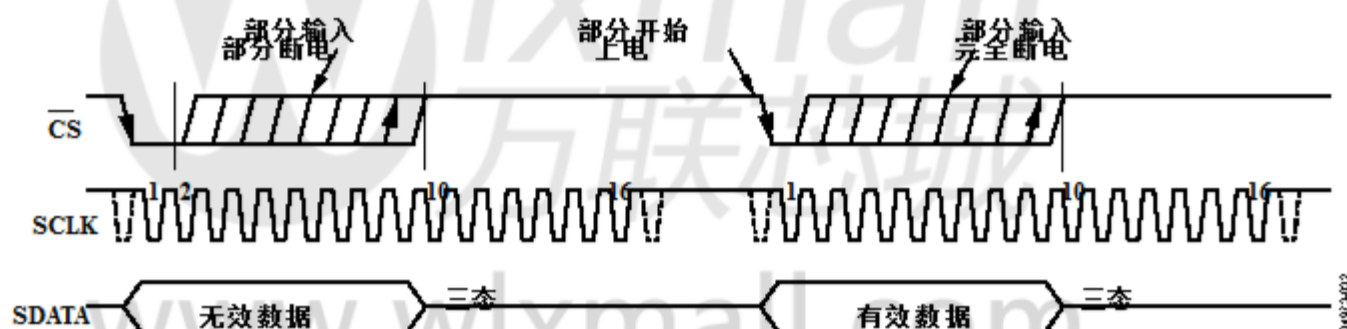


图32.进入完全关断模式

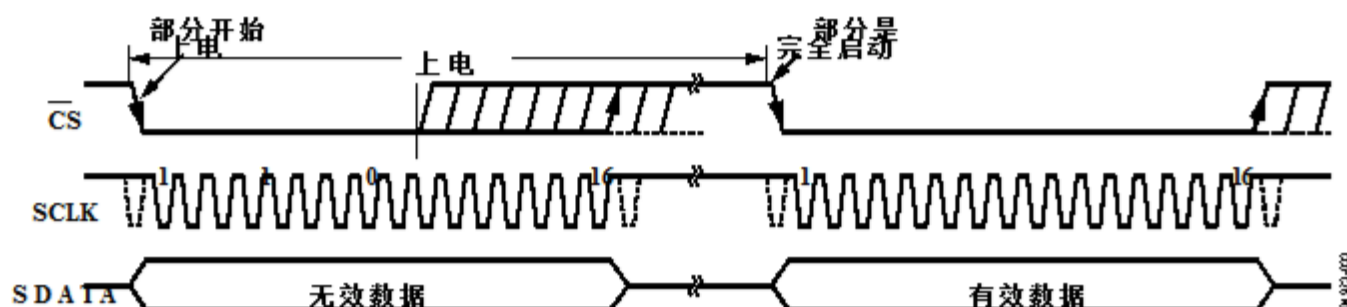


图33.退出完全掉电模式

POWER VS. 吞吐率

图34显示了设备的功耗
正常模式，其中部分不会掉电。通过
否则使用AD7273 / AD7274的掉电模式
执行转换，平均功耗的
ADC随着吞吐率下降而下降。

图35显示，随着吞吐率降低，
设备处于断电状态的时间更长，平均时间更长
随着时间的耗电量相应下降。例如，
如果AD7273 / AD7274连续采样
模式，吞吐率为200 kSPS，SCLK为48 MHz
($V_{DD} = 3V$)，器件进入掉电模式
在转换之间，功耗按照计算
如下。正常工作时的功耗为
11.6 mW ($V_{DD} = 3V$)。如果开机时间是一个虚拟的
周期，即333纳秒，剩余的转换时间是
290 ns，AD7273 / AD7274可以说耗散11.6 mW
在每个转换周期内为623 ns。如果吞吐率
为200 kSPS，周期时间为5 μs ，平均功耗为
在每个周期中为 $623 / 5,000 \times 11.6mW = 1.42mW$ 图35
显示使用部分时的功率与吞吐率
在3V转换之间的掉电模式。
down模式旨在用于较低的吞吐率
比600 kSPS，因为在更高的采样率没有
通过使用省电模式实现节电。

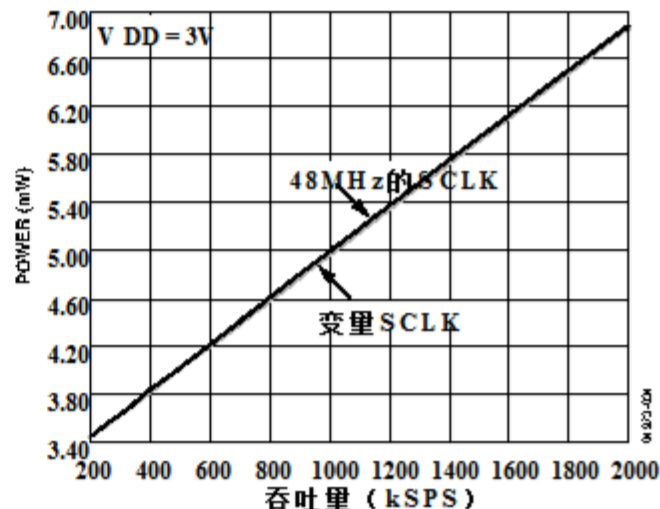


图34.功耗与吞吐量的关系，正常模式

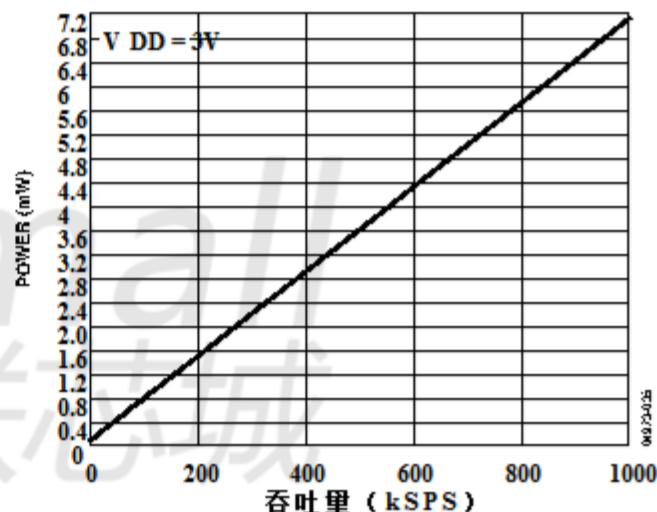


图35.功耗与吞吐量的关系，部分掉电模式

串行接口

图36到图38显示了详细的时序图
用于分别串行连接到AD7274和AD7273。
串行时钟提供转换时钟并控制
在AD7273 / AD7274期间传输信息
转换。

CS信号启动数据传输和转换过程。

CS的下降沿将采样保持模式置于保持模式
并把公共汽车从三态出发。模拟输入被采样
并在此时开始转换。

对于AD7274，转换需要完成14个SCLK
周期。一旦经过13个SCLK下降沿，跟踪 -
保持在下一个SCLK上升沿回到跟踪模式，
如图36中的B点所示。如果发生CS的上升沿
在14个SCLK已经过去之前，转换终止
SDATA线路回到三态。如果16个SCLK是
在周期中考虑，最后两位是零和SDATA
在第16个SCLK下降沿返回三态，如图所示
图37。

对于AD7273，转换需要完成12个SCLK
周期。一旦经过了11个SCLK下降沿，跟踪和保持
在下一个SCLK上升沿回到跟踪模式
如图38中的B点所示。如果发生CS的上升沿
在12个SCLK过去之前，转换终止，
SDATA线路回到三态。如果16个SCLK是
在周期中考虑，AD7273输出四个尾随
最后四位的0和SDATA返回到三态
第16个SCLK下降沿，如图38所示。

如果用户考虑使用14-SCLK周期串行接口
AD7273 / AD7274，CS必须在14之后变为高电平
下降的边缘。然后，最后两个尾随零将被忽略
SDATA可以回到三态。在这种情况下，3 MSPS
吞吐量可以通过使用48 MHz时钟频率来实现。

SCLK

低电平时钟输出的第一个前导零被读取
微控制器或DSP。剩下的数据然后被输出
通过随后的SCLK下降沿，从第二个开始
领先零。因此，串口上的第一个下降时钟沿
时钟提供了第一个领先的零和第二个钟表
领先零。数据传输的最后一位在16日有效
下降的缘故，因为它是先前（15日）
下降的边缘。

在SCLK较慢的应用中，可以读取数据
每个SCLK上升沿。在这种情况下，第一个下降的边缘
SCLK输出第二个前导零，可以读取
第一个上升沿。但是，第一个领先的零点钟点了
如果在第一个下降沿读取，则CS变为低电平时将丢失。
SCLK的第15个下降沿输出最后一位，可以是
阅读15日上升的SCLK边缘。

如果CS刚刚经过一个SCLK下降沿后变为低电平，CS
输出第一个前导零，并可以在SCLK上读取
上升的边缘。下一个SCLK下降沿是第二个
前导零，可以在下面的上升沿读取。

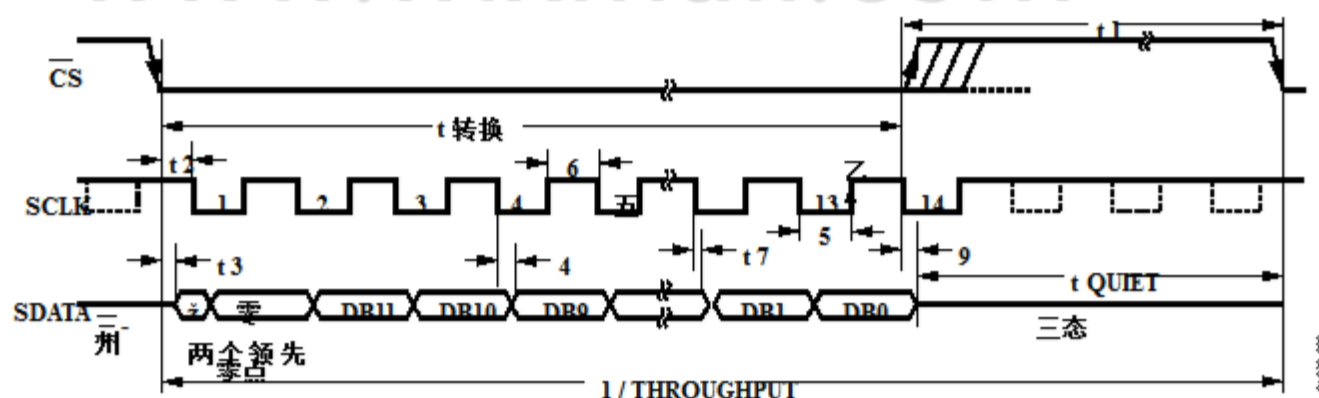


图36. AD7274串行接口时序图14 SCLK周期

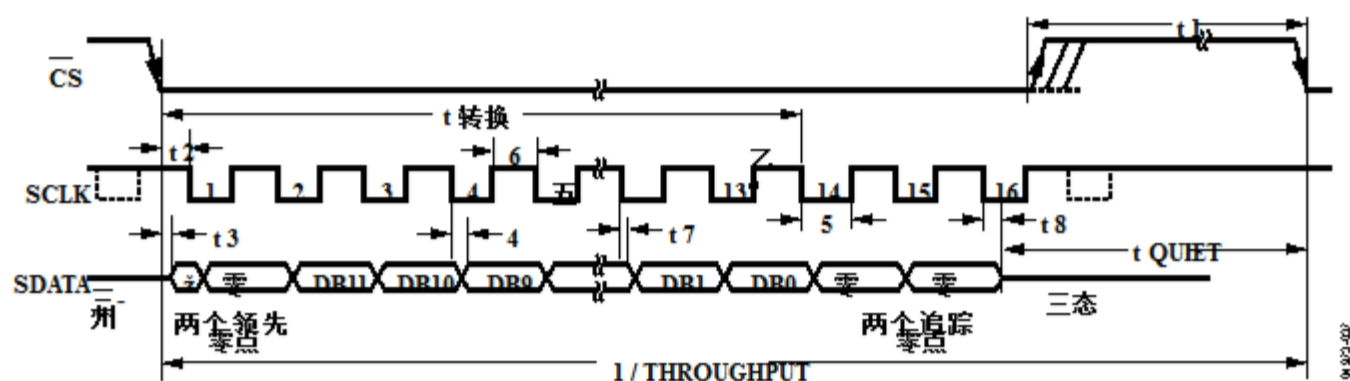


图37. AD7274串行接口时序图16 SCLK周期

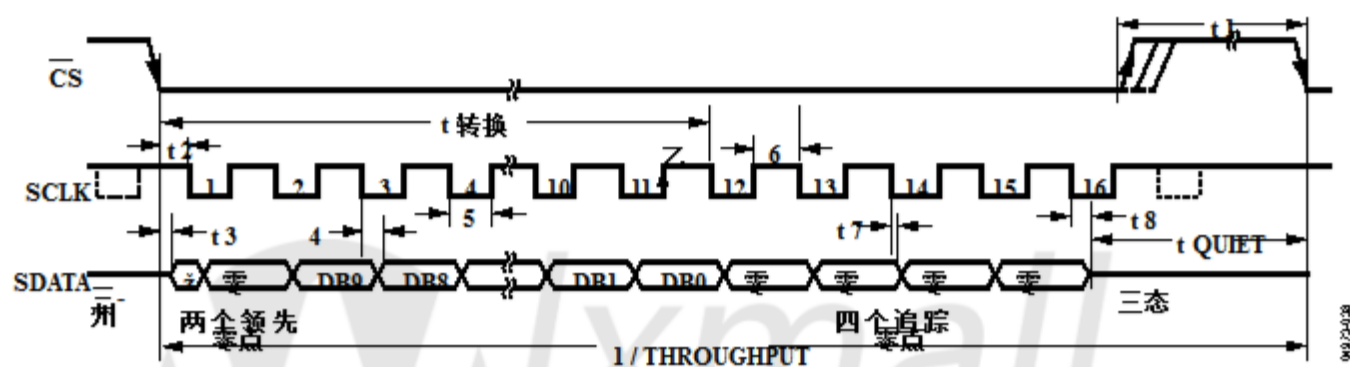


图38. AD7273串行接口时序图

微处理器接口

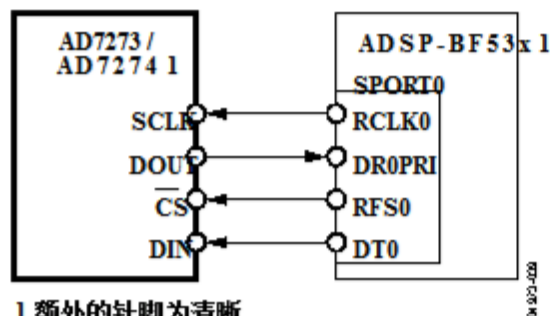
AD7273 / AD7274至ADSP-BF53x

ADSP-BF53x系列DSP直接连接到DSP

AD7273 / AD7274不需要胶合逻辑。SPORT0

接收配置1寄存器应按照以下所述进行设置

表8



1 额外的针脚为清晰

图39.连接到ADSP-BF53x

表8. SPORT0接收配置1寄存器

(SPORT0_RCR1)

设置	描述
RCKFE = 1	带有RSCLK下降沿的采样数据
LRFS = 1	有效的低帧信号
RFSR = 1	构筑每一个字
IRFS = 1	使用内部RFS
RLSBIT = 0	先接收MSB
RDTYPE = 00	零填充
IRCLK = 1	内部接收时钟
RSPEN = 1	接收启用
SLEN = 1111	16位数据字 (或者可以设置为1101) 14位数据字)
TFSR = RFSR = 1	

要实现关断模式, 请将SLEN设置为1001
发出一个8位的SCLK突发。

应用提示

接地和布局

印有AD7273 / AD7274的印刷电路板

应该设计成模拟和数字部分

分开并局限在董事会的某些领域.这个设计有利于使用容易分离的地平面.

为地平面提供最佳屏蔽, 最小化

刻蚀技术通常是最好的. AD7273的所有AGND引脚/

AD7274应该沉入AGND飞机.数字和

模拟地面飞机应该只在一个地方加入.如果

AD7273 / AD7274在多个器件需要的系统中

一个AGND到DGND连接, 连接应该是

只有一个点, 一个明确的地面点, 建立为接近

尽可能地连接到AD7273 / AD7274的接地引脚.

避免在设备下运行数字线路, 因为这一点

将噪音耦合到模具上.但是, 模拟地平面

应该允许在AD7273 / AD7274下运行以避免

噪声耦合. AD7273 / AD7274的电源线

应该使用尽可能大的迹线来提供低阻抗

减少电源线故障的影响.

为了避免噪音辐射到电路板的其他部分,

具有快速切换信号的组件, 如时钟, 应该

被数字地屏蔽, 而且不应该被运行

靠近模拟输入.避免交叉数字和模拟

信号.为了减少电路板内馈通的影响,

电路板两侧的走线应该以直角运行

对彼此.微带技术是迄今为止最好的方法,

但并不总是可以使用这种方法,

双面板.在这种技术中, 电路板的组件一侧

是致力于地面飞机, 并将信号放置在地面上

焊接面.

良好的解耦也很重要.所有的模拟电源应该与10 μ F陶瓷电容并联使用

AGND / DGND为0.1 μ F电容.取得最佳效果

从这些解耦组件, 它们必须放置得很近

尽可能靠近设备, 最好正对设备.该

0.1 μ F电容应该具有较低的有效串联电阻

(ESR) 和低有效串联电感 (ESI) 等典型

常见的陶瓷或表面安装类型的电容器.

具有低ESR和低ESI的电容器提供低阻抗

在高频率地面的路径, 这使他们能够

处理由于内部逻辑切换引起的瞬态电流.

评估AD7273 / AD7274的性能

概述了AD7273 / AD7274的推荐布局

在评估板文件中.评估板

包装包括一个完全组装和测试的评估板,

文档以及用于控制电路板的软件

PC通过评估板控制器.评估板

控制器可以与AD7273 / AD7274一起使用

评估板以及许多其他ADI公司的评估

以CB标识符结尾的板, 以演示/评估

交流和直流性能的AD7273 / AD7274.

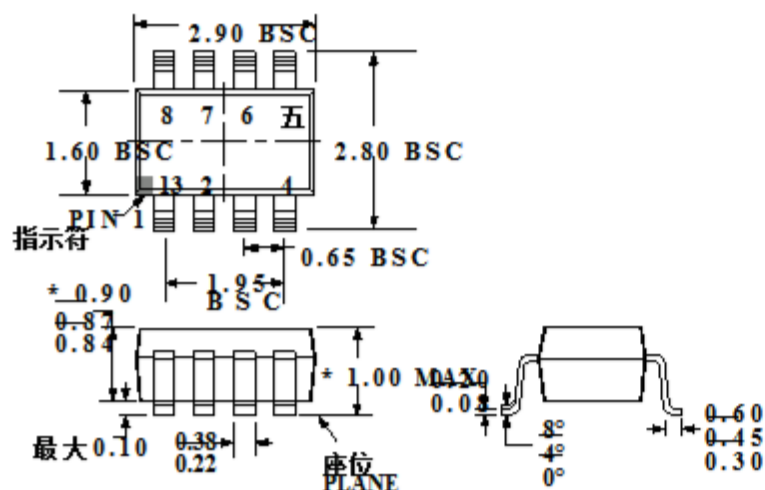
该软件允许用户执行交流 (快速傅里叶变换)

形式) 和dc (代码直方图) 测试AD7273 / AD7274.

软件和文档在随附的CD上

评估板.

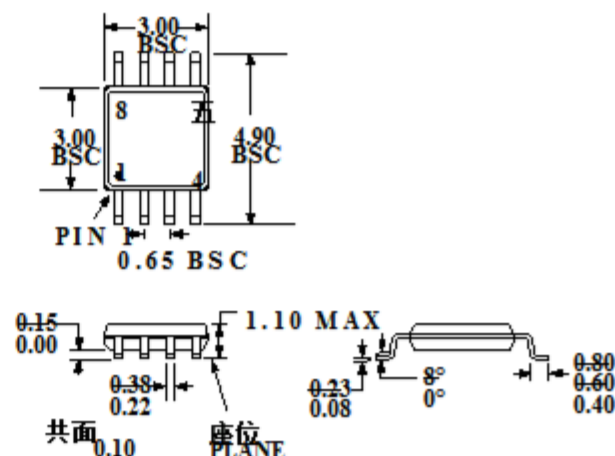
外形尺寸



*符合JEDEC标准MO-193-BA
包装的高度和厚度的例外。

图40. 8引脚薄型小外形晶体管封装[TSOT]
(UJ-8)

尺寸以毫米为单位显示



符合JEDEC标准MO-187-AA

图41. 8引脚微型小型封装[MSOP]
(RM-8)

尺寸以毫米为单位显示

订购指南

模型	温度范围	线性误差 (LSB)	包装说明	包选项	品牌
AD7274BRM	-40°C至+ 125°C	最大±1	8引脚迷你小外形封装 (MSOP)	RM-8	C1V
AD7274BRMZ2	-40°C至+ 125°C	最大±1	8引脚迷你小外形封装 (MSOP)	RM-8	C34
AD7274BRMZ-REEL2	-40°C至+ 125°C	最大±1	8引脚迷你小外形封装 (MSOP)	RM-8	C34
AD7274BUJ-500RL7	-40°C至+ 125°C	最大±1	8引脚迷你小外形封装 (MSOP)	UJ-8	C1V
AD7274BUJZ-500RL72	-40°C至+ 125°C	最大±1	8引脚薄型小型晶体管封装 (TSOT)	UJ-8	C34
AD7274BUJZ-REEL72	-40°C至+ 125°C	最大±1	8引脚薄型小型晶体管封装 (TSOT)	UJ-8	C34
AD7273BRMZ2	-40°C至+ 125°C	最大±0.5	8引脚迷你小外形封装 (MSOP)	RM-8	C33
AD7273BRMZ-REEL2	-40°C至+ 125°C	最大±0.5	8引脚迷你小外形封装 (MSOP)	RM-8	C33
AD7273BUJ-REEL7	-40°C至+ 125°C	最大±0.5	8引脚薄型小型晶体管封装 (TSOT)	UJ-8	C1U
AD7273BUJZ-500RL72	-40°C至+ 125°C	最大±0.5	8引脚薄型小型晶体管封装 (TSOT)	UJ-8	C33
EVAL-AD7274CB3			评估板		
EVAL-AD7273CB3			评估板		
EVAL-CONTROL BRD24			控制板		

1 线性误差是指积分非线性。

2 Z = 无铅部分。

3 这可以用作独立的评估板，也可以与EVAL-CONTROL板一起用于评估/演示目的。

4 该电路板是一个完整的单元，允许PC控制所有ADI评估板，并以CB代号结束。要订购一个完整的评估套件，必须订购特定的ADC评估板（如EVAL-AD7273CB / AD7274CB），EVAL-CONTROL BRD2和12 V变压器。看到了相关评估板技术说明以获取更多信息。

笔记



笔记

