



STM32F103xF STM32F103xG

XL密度性能线基于ARM的32位MCU，具有768 KB至
1 MB闪存，USB，CAN，17个定时器，3个ADC，13个通信接口

目标规格

特征

■ 内核：带有MPU的ARM 32位Cortex™-M3 CPU

- 最大频率为72 MHz，
1.25 DMIPS / MHz (Dhrystone 2.1)
性能在0等待状态存储器
访问
- 单周期乘法和硬件
师

记忆

- 768千字节到1兆字节的闪存
- 96 KB的SRAM
- 灵活的静态存储控制器4
片选-支持Compact Flash，
SRAM，PSRAM，NOR和NAND存储器
- LCD并行接口，8080/6800模式

■ 时钟，复位和电源管理

- 2.0到3.6 V的应用电源和I / O
- POR，PDR和可编程电压
检测器 (PVD)
- 4至16 MHz晶体振荡器
- 内部8 MHz工厂调整RC
- 内置40 kHz RC校准
- 具有校准功能的RTC的32 kHz振荡器

■ 低功耗

- 睡眠，停止和待机模式
- V RTC和备用寄存器的BAT电源

■ 3×12位，1μsA/D转换器（最多21个 频道）

- 转换范围：0至3.6 V
- 三重采样和保持能力
- 温度感应器

■ 2×12位D/A转换器

■ DMA：12通道DMA控制器

- 支持的外设：定时器，ADC，DAC，
SDIO，I2Ss，SPI，I2Cs和USART

■ 调试模式

- 串行线路调试 (SWD) 和JTAG接口
- Cortex-M3嵌入式跟踪宏单元™



LQFP64 10×10 mm，
LQFP100 14×14 mm，
LQFP144 20×20 mm



LFBGA144 10×10毫米

■ 多达112个快速I/O端口

- 51/80/112 I / O，所有可映射的16
外部中断向量和几乎全部
5 V容忍

■ 多达17个定时器

- 最多十个16位定时器，每个定时器最多为4个
IC / OC / PWM或脉冲计数器
正交（增量）编码器输入
- 2×16位电机控制PWM定时器
死亡时代和紧急停止
- 2×看门狗定时器（独立和
窗口）
- SysTick计时器：一个24位下行计时器
- 2×16位基本定时器来驱动DAC

■ 多达13个通讯接口

- 最多2×I2C接口 (SMBus / PMBus)
- 最多5个USART (ISO 7816接口，LIN，
IrDA功能，调制解调器控制)
- 最多3个SPI (18 Mbit / s)，2个I2S
接口复用
- CAN接口 (2.0B有效)
- USB 2.0全速接口
- SDIO接口

■ CRC计算单元，96位唯一ID

■ ECOPACK® 包装

表格1. 设备摘要

参考	零件号
STM32F103xF	STM32F103RF STM32F103VF STM32F103ZF
STM32F103xG	STM32F103RG STM32F103VG STM32F103ZG

内容

1	介绍	9
2	说明	10
2.1	设备概述	11
2.2	整个家庭的完全兼容性	14
2.3	概述	15
2.3.1	具有嵌入式闪存和SRAM的ARM®Cortex™M3内核	15
2.3.2	内存保护单元	15
2.3.3	嵌入式闪存	15
2.3.4	CRC（循环冗余校验）计算单元	15
2.3.5	嵌入式SRAM	16
2.3.6	FSMC（灵活的静态存储控制器）	16
2.3.7	LCD并行接口	16
2.3.8	嵌套矢量中断控制器（NVIC）	16
2.3.9	外部中断/事件控制器（EXTI）	16
2.3.10	时钟和启动	17
2.3.11	启动模式	17
2.3.12	供电方案	17
2.3.13	供电主管	17
2.3.14	电压调节器	18
2.3.15	低功耗模式	18
2.3.16	DMA	18
2.3.17	RTC（实时时钟）和备份寄存器	19
2.3.18	计时器和看门狗	19
2.3.19	FC总线	21
2.3.20	通用同步/异步接收发射机（USART）	21
2.3.21	串行外设接口（SPI）	22
2.3.22	互联系（I2S）	22
2.3.23	SDIO	22
2.3.24	控制器局域网（CAN）	22
2.3.25	通用串行总线（USB）	22
2.3.26	GPIO（通用输入/输出）	22
2.3.27	ADC（模数转换器）	23
2.3.28	DAC（数模转换器）	23

2.3.29	温度感应器	24
2.3.30	串行线JTAG调试端口 (SWJ-DP)	24
2.3.31	嵌入式跟踪宏单元™	24
3	引脚和引脚说明	25
4	内存映射	37
五	电气特性	38
5.1	参数条件	38
5.1.1	最小值和最大值	38
5.1.2	典型值	38
5.1.3	典型曲线	38
5.1.4	加载电容	38
5.1.5	引脚输入电压	38
5.1.6	供电方案	39
5.1.7	电流消耗测量	39
5.2	绝对最大额定值	40
5.3	运行条件	41
5.3.1	一般操作条件	41
5.3.2	上电/掉电时的工作条件	42
5.3.3	嵌入式复位和功率控制块特性	42
5.3.4	嵌入式参考电压	43
5.3.5	供电电流特性	43
5.3.6	外部时钟源特性	53
5.3.7	内部时钟源特性	58
5.3.8	PLL特性	60
5.3.9	记忆特征	60
5.3.10	FSMC特性	61
5.3.11	EMC特性	81
5.3.12	绝对最大额定值 (电气灵敏度)	82
5.3.13	I/O电流注入特性	83
5.3.14	I/O端口特性	84
5.3.15	NRST引脚特性	89
5.3.16	TIM定时器特性	90
5.3.17	通讯接口	91
5.3.18	CAN (控制器局域网) 接口	100

5.3.19	12位ADC特性.....	101
5.3.20	DAC电气规格.....	106
5.3.21	温度传感器特性.....	108
6	包装特点.....	109
6.1	包装机械数据.....	109
6.2	热特性.....	114
6.2.1	参考文件.....	114
6.2.2	选择产品温度范围.....	115
7	零件编号.....	117
8	修订记录.....	118



表格清单

表格 1.	设备摘要.....	1
表 2.	STM32F103xF和STM32F103xG功能和外设计数.....	11
表 3.	STM32F103xx系列.....	14
表 4.	STM32F103xF和STM32F103xG定时器功能比较.....	19
表 5.	STM32F103xF和STM32F103xG引脚定义.....	29
表 6.	FSMC引脚定义.....	35
表 7.	电压特性.....	40
表 8.	电流特性.....	40
表 9.	热特性.....	41
表 10.	一般操作条件.....	41
表 11.	上电/掉电时的工作条件.....	42
表 12.	嵌入式复位和功率控制块特性.....	42
表 13.	嵌入式内部参考电压.....	43
表 14.	运行模式下的最大电流消耗，带数据处理的代码 从Flash运行.....	44
表 15.	运行模式下的最大电流消耗，带数据处理的代码 从RAM运行.....	44
表 16.	在睡眠模式下的最大电流消耗，从Flash或RAM运行的代码.....	46
表 17.	停止和待机模式下的典型和最大电流消耗.....	47
表 18.	典型电流消耗在运行模式下，代码与数据处理 从Flash运行.....	50
表 19.	在休眠模式下的典型电流消耗，代码从Flash或 随机存取存储器.....	51
表 20.	外围电流消耗.....	52
表 21.	高速外部用户时钟特性.....	54
表 22.	低速外部用户时钟特性.....	54
表 23.	HSE 4-16 MHz振荡器特性.....	56
表 24.	LSE振荡器特性 (fLSE = 32.768 kHz).....	57
表 25.	HSI振荡器特性.....	58
表 26.	LSI振荡器特性.....	59
表 27.	低功耗模式唤醒时序.....	59
表 28.	PLL特性.....	60
表 29.	闪存特性.....	60
表 30.	闪存耐久性和数据保留.....	61
表 31.	异步非复用SRAM / PSRAM / NOR读时序.....	63
表 32.	异步非复用SRAM / PSRAM / NOR写入时序.....	64
表 33.	异步读取多路复用.....	64
表 34.	异步复用PSRAM / NOR读时序.....	65
表 35.	异步复用PSRAM / NOR写时序.....	66
表 36.	同步多路复用NOR / PSRAM读时序.....	68
表 37.	同步复用PSRAM写时序.....	70
表 38.	同步非多路复用NOR / PSRAM读时序.....	71
表 39.	同步非复用PSRAM写时序.....	72
表 40.	PC卡 / CF读写周期的开关特性 属性/公共空间.....	77
表 41.	I / O空间中PC卡 / CF读写周期的切换特性.....	78
表 42.	NAND Flash读周期的开关特性.....	80
表 43.	NAND Flash写周期的开关特性.....	80

表44.	EMS特点.....	81
表45.	EMI特性.....	82
表46.	ESD绝对最大额定值.....	82
表47.	电敏感.....	83
表48.	I/O电流注入敏感性.....	83
表49.	I/O静态特性.....	84
表50.	输出电压特性.....	87
表51.	I/O交流特性.....	88
表52.	NRST引脚特性.....	89
表53.	TIMx特性.....	90
表54.	I2C特性.....	91
表55.	SCL频率 (fPCLK1 = 36MHz, VDD = 3.3V).....	92
表56.	SPI特性.....	93
表57.	I2S特性.....	96
表58.	SD/MMC特性.....	99
表59.	USB启动时间.....	99
表60.	USB直流电气特性.....	100
表61.	USB:全速电气特性.....	100
表62.	ADC特性.....	101
表63.	fADC的最大值为 RA = 14 MHz.....	102
表64.	ADC精度 - 测试条件有限.....	102
表65.	ADC精度.....	103
表66.	DAC特性.....	106
表67.	TS特性.....	108
表68.	LFBGA144 - 144球低调细间距球栅阵列, 10 x 10 mm, 0.8 mm间距, 封装数据.....	110
表69.	LQFP144, 20 x 20 mm, 144引脚低调四边扁封装机械数据.....	111
表70.	LQFP100 - 14 x 14 mm 100针低调四平面封装机械数据.....	112
表71.	LQFP64 - 10 x 10 mm 64针低调四平面封装机械数据.....	113
表72.	封装热特性.....	114
表73.	STM32F103xF和STM32F103xG订购信息方案.....	117

www.wlxmall.com

数字列表

图1.	STM32F103xF和STM32F103xG性能线框图.....	12
图2.	时钟树.....	13
图3.	STM32F103xF和STM32F103xG XL密度性能线BGA144喷丸.....	25
图4.	STM32F103xF和STM32F103xG XL密度性能线LQFP144引脚排列.....	26
图5.	STM32F103xF和STM32F103xG XL密度性能线LQFP100引脚排列.....	27
图6.	STM32F103xF和STM32F103xG XL密度性能线 LQFP64引脚.....	28
图7.	记忆图.....	37
图8.	针加载条件.....	38
图9.	引脚输入电压.....	38
图10.	供电方案.....	39
图11.	电流消耗测量方案.....	39
图12.	运行模式与频率(3.6 V)时的典型电流消耗 - 数据处理从RAM运行, 外设启用.....	45
图13.	运行模式与频率(3.6 V)时的典型电流消耗 - 数据处理从RAM运行的代码, 外设禁用.....	45
图14.	具有RTC的VBAT上典型的电流消耗与不同VBAT下的温度有关 价值观.....	47
图15.	停止模式下的典型电流消耗, 调节器处于运行模式 相对于不同VDD值的温度.....	48
图16.	待机模式下的典型电流消耗, 调节器处于低功耗状态 模式与温度在不同的VDD值.....	49
图17.	待机模式下的典型电流消耗与温度的关系 不同的VDD值.....	49
图18.	高速外部时钟源交流时序图.....	55
图19.	低速外部时钟源交流时序图.....	55
图20.	典型应用与8 MHz晶体.....	56
图21.	具有32.768 kHz晶体的典型应用.....	58
图22.	异步非复用SRAM / PSRAM / NOR读波形.....	62
图23.	异步非复用SRAM / PSRAM / NOR写入波形.....	63
图24.	异步复用PSRAM / NOR读波形.....	65
图25.	异步复用PSRAM / NOR写入波形.....	66
图26.	同步多路复用NOR / PSRAM读时序.....	67
图27.	同步复用PSRAM写时序.....	69
图28.	同步非多路复用NOR / PSRAM读时序.....	71
图29.	同步非复用PSRAM写时序.....	72
图30.	PC卡/ CompactFlash控制器波形, 用于通用存储器读取访问.....	73
图31.	PC卡/ CompactFlash控制器波形, 用于通用存储器写入.....	74
图32.	用于属性存储器读取的PC卡/ CompactFlash控制器波形 访问.....	75
图33.	PC卡/ CompactFlash控制器波形, 用于属性内存写入 访问.....	76
图34.	PC卡/ CompactFlash控制器波形, 用于I/O空间读取访问.....	76
图35.	PC卡/ CompactFlash控制器波形, 用于I/O空间写入.....	77
图36.	NAND控制器波形用于读取访问.....	79
图37.	NAND控制器波形用于写入.....	79
图38.	NAND控制器波形, 用于通用存储器读取访问.....	79
图39.	NAND控制器波形用于公共存储器写入.....	80

图40.	标准I/O输入特性 - CMOS端口.....	85
图41.	标准I/O输入特性 - TTL端口.....	85
图42.	5 V容差I/O输入特性 - CMOS端口.....	86
图43.	5 V容差I/O输入特性 - TTL端口.....	86
图44.	I/O AC特性定义.....	89
图45.	推荐NRST引脚保护.....	89
图46.	I2C总线交流波形和测量电路.....	92
图47.	SPI时序图 - 从模式和CPHA = 0.....	94
图48.	SPI时序图 - 从模式和CPHA = 1 (1).....	94
图49.	SPI时序图 - 主模式 (1).....	95
图50.	I2S从机时序图 (Philips协议) (1).....	97
图51.	I2S主时序图 (Philips协议) (1).....	97
图52.	SDIO高速模式.....	98
图53.	SD默认模式.....	98
图54.	USB定时: 定义数据信号的上升和下降时间.....	100
图55.	ADC精度特性.....	103
图56.	使用ADC的典型连接图.....	104
图57.	电源和参考去耦 (VREF + 未连接到VDDA).....	104
图58.	电源和参考去耦 (VREF + 连接到VDDA).....	105
图59.	12位缓冲/非缓冲DAC.....	107
图60.	推荐的PCB设计规则 (0.80 / 0.75 mm间距BGA..... ? ? ? ? ? ? ? ?)	109
图61.	LFBGA144 - 144球低调细间距球栅阵列, 10 x 10 mm, 0.8 mm间距, 封装外形.....	110
图62.	LQFP144, 20 x 20 mm, 144引脚低调四通道 扁平包装轮廓.....	111
图63.	推荐足迹 (1).....	111
图64.	LQFP100, 14 x 14 mm 100引脚低调四边形扁平封装外形.....	112
图65.	推荐足迹 (1).....	112
图66.	LQFP64 - 10 x 10 mm 64针低调四边形扁平封装外形.....	113
图67.	推荐足迹 (1).....	113
图68.	LQFP100 PD max vs. T A.....	116

www.wlxmall.com

1 介绍

本数据表提供了订购信息和机械特性
STM32F103xF和STM32F103xG XL密度性能线路微控制器.对于
有关整个STMicroelectronics STM32F103xx系列的更多细节, 请参考
[第2.2节: 整个家庭完全兼容](#).

XL密度STM32F103xx数据表应与
STM32F10xxx参考手册.
有关编程, 擦除和保护内部闪存的信息
请参考STM32F10xxx Flash编程手册.
参考和Flash编程手册都可以从
意法半导体网站www.st.com.

有关Cortex™-M3内核的信息, 请参阅Cortex™-M3技术
参考手册, 可从www.arm.com网站获取, 地址如下:
<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0337e/>.



2 描述

STM32F103xF和STM32F103xG性能系列产品采用高性能，性能卓越的ARM®Cortex™-M3 32位RISC内核，工作频率为72 MHz，高速嵌入式存储器（闪存高达1M字节，SRAM高达96 KB），以及广泛的增强型I/O和外设连接到两台APB总线。所有器件提供三个12位ADC，十个通用16位定时器和两个PWM定时器以及标准和高级通信接口：最多两个I2Cs，三个SPI，两个I2S，一个SDIO，五个USART，一个USB和一个CAN。

STM32F103xx XL密度性能线路系列工作在-40至+105°C温度范围从2.0到3.6 V电源。一整套省电模式允许设计低功耗应用。

这些特性使STM32F103xx高密度性能线微控制器家庭适用于各种应用，如电机驱动，应用控制，医疗和手持设备，PC和游戏外设，GPS平台，工业应用，PLC，逆变器，打印机，扫描仪，报警系统和视频对讲。



2.1 设备概述

STM32F103xx XL密度性能系列提供四种不同的设备
封装类型：从64针到144针.根据所选择的设备，不同的组合
包括外围设备，下面的描述将概述完整的范围
这个家庭提出的外设.

图1显示了器件系列的一般框图.

表2. STM32F103xF和STM32F103xG功能和外设计数

外设		STM32F103Rx		STM32F103Vx		STM32F103Zx	
闪存		768 KB	1 MB	768 KB	1 MB	768 KB	1 MB
SRAM以KB为单位		96		96		96	
FSMC		没有		是 (1)		是	
计时器	一般用途	10					
	先进的控制	2					
	基本	2					
通讯	SPI (12S) (2)	3 (2)					
	我 2 C2						
	USART	五					
	U S B	1					
	能够	1					
	SDIO	1					
个 GPIO		51		80		112	
12位 ADC		3		3		3	
频道数里		16		16		21	
12位 DAC		2					
频道数里		2					
CPU频率		72 MHz					
工作电压		2.0至3.6 V					
工作温度		环境温度: -40至+85°C / -40至+105°C (见表10) 结温: -40至+ 125°C (见表10)					
包		LQFP64		LQFP100		LQFP144, BGA144	

1. 对于LQFP100封装，只有FSMC Bank1和Bank2可用. Bank1只能支持一个使用NE1芯片选择复用NOR / PSRAM存储器. Bank2只能支持16位或8位NAND内存使用NCE2芯片选择.不能使用中断线，因为端口G不可用在这个包中.
2. SPI2和SPI3接口可以灵活地以SPI模式或SPI模式独占工作12S音频模式.

- 

2.2 整个家庭的完全兼容性

STM32F103xx是一个完整的系列，其成员完全是针对引脚，软件和功能兼容.在参考手册中，STM32F103x4和STM32F103x6被认为是低密度器件，STM32F103x8和STM32F103xB被称为中密度器件，STM32F103xC，STM32F103xD和STM32F103xE都是称为高密度设备，并称为STM32F103xF和STM32F103xG XL密度设备.

低密度，高密度和XL密度器件是STM32F103x8 / B的扩展中密度器件，它们在STM32F103x4 / 6，STM32F103xC / D / E和STM32F103xF / G数据表.低密度设备具有较低的闪存内存和RAM容量，更少的定时器和外设.高密度设备具有较高的性能闪存和RAM容量以及其他外设，如SDIO，FSMC，I2S和DAC. XL密度设备带来更多的闪存和RAM内存，以及额外的功能，即MPU，更多的定时器和双银行闪存结构
与家庭其他成员完全兼容.

STM32F103x4，STM32F103x6，STM32F103xC，STM32F103xD，STM32F103xE，STM32F103xF和STM32F103xG是STM32F103x8 / B的替代品设备，允许用户尝试不同的存储器密度并提供更大的程度的自由.

此外，STM32F103xx性能系列产品与所有现有产品完全兼容STM32F101xx接入线和STM32F102xx USB接入线设备.

表3. STM32F103xx系列

引脚	低密度设备		中密度设备		高密度设备			XL密度设备	
	16 KB 闪存	32 KB 闪光灯 (1)	64 KB 闪存	128 KB 闪存	256 KB 闪存	384 KB 闪存	512 KB 闪存	768 KB 闪存	1 MB 闪存
	6 KB 随机存取存储器	10 KB 随机存取存储器	20 KB 随机存取存储器	20 KB 随机存取存储器	48或64 KB (2) 随机存取存储器	64 KB 随机存取存储器	64 KB 随机存取存储器	96 KB RAM	96 KB RAM
144	2×USART 2×16位定时器 1×SPI，1×I2C， USB，CAN， 1×PWM定时器 2×ADC				5×USART 4×16位定时器， 2×基本定时器 3×SPIs，2×I2Ss，2×I2C USB，CAN，2×PWM定时器 3×ADCs，2×DAC， 1×SDIO FSMC (100针和144针 包装 (3))			5×USART 10×16位定时器， 2×基本定时器 3×SPIs，2×I2Ss，2×I2C USB，CAN，2×PWM定时器 3×ADCs，2×DACs，1×SDIO， Cortex-M3与MPU FSMC (100针和144针 包 (4))，双银行闪存 记忆	
100									
64									
48									
36									

1. 对于在温度范围代码 (6或7) 后不显示A内部代码的可订购部件号，参考电气特性的数据表是STM32F103x8 / B中密度器件的数据表.
2. 用于256 KB闪存的64 KB RAM仅在在CSP程序包中提供的设备上可用.
3. 端口F和G在100引脚封装中提供的器件中不可用.
4. 端口F和G在100引脚封装中提供的器件中不可用.



2.3 概观

2.3.1 具有嵌入式闪存和SRAM的ARM®Cortex™-M3内核

ARM Cortex™-M3处理器是嵌入式的最新一代ARM处理器系统.它已经开发出来提供一个满足MCU需求的低成本平台实现,减少引脚数和低功耗,同时交付出色的计算性能和对中断的高级系统响应.

ARM Cortex™-M3 32位RISC处理器具有卓越的代码效率,通过ARM内核提供高性能预期的内存大小与8位和16位器件相关联.

其嵌入式ARM内核,STM32F103xF和STM32F103xG性能系列与所有ARM工具和软件兼容.

图1显示了器件系列的一般框图.

2.3.2 内存保护单元

存储器保护单元(MPU)用于将任务的处理与数据分离保护.MPU可以管理多达8个可以进一步分割的保护区域分为8个分区.保护区大小在32字节和4 GB之间的可寻址内存

内存保护单元对于某些关键或者重要的应用程序尤其有用.必须保护认证代码免受其他任务的不当行为.通常是由实时操作系统(实时操作系统)管理.如果程序访问内存位置被MPU禁止,RTOS可以检测到并采取行动.在RTOS中环境,内核可以动态更新MPU区域设置,基于进程被执行.

MPU是可选的,可以绕过不需要的应用程序.

2.3.3 嵌入式闪存

768 KB至1 MB的嵌入式闪存可用于存储程序和数据.该闪存组织为两个存储区.第一家银行的大小为512千字节.该根据设备,第二组是256或512 KB.这给了设备在从另一家银行执行代码时写入一个银行的能力(同时读写能力).

2.3.4 CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元用于从32位获取CRC码数据字和固定的生成多项式.

在其他应用中,基于CRC的技术用于验证数据传输存储完整性.在EN / IEC 60335-1标准的范围内,它们提供了一种方法验证闪存完整性.CRC计算单元有助于计算签名.在运行期间的软件,与链接时生成的参考签名进行比较,时间并存储在给定的存储位置.

2.3.5 嵌入式SRAM

以0秒等待状态的CPU时钟速度访问（读/写）96 KB的嵌入式SRAM。

2.3.6 FSMC（灵活静态存储控制器）

FSMC嵌入在STM32F103xF和STM32F103xG性能系列中。

它有四个芯片选择输出，支持以下模式：PC卡/ Compact Flash，SRAM，PSRAM，NOR和NAND。

功能概述：

- 为了连接到NVIC，三个FSMC中断线进行“或”运算
- 写FIFO
- 来自外部存储器的代码执行，除了NAND Flash和PC卡
- 目标频率 f_{CLK} 为 $HCLK/2$ ，因此当HCLK时，外部接入频率为36 MHz
当HCLK为48MHz时，为72MHz，外部接入为24MHz

2.3.7 LCD并行接口

FSMC可以配置为与大多数图形LCD控制器无缝连接。它支持英特尔8080和摩托罗拉6800模式，灵活性足以适应具体LCD接口。这种LCD并行接口功能可以轻松构建成本效益，使用带嵌入式控制器的LCD模块，使用专用加速的外部控制器的性能解决方案。

2.3.8 嵌套矢量中断控制器（NVIC）

STM32F103xF和STM32F103xG性能线嵌入嵌套矢量中断控制器能够处理多达60个可屏蔽中断通道（不包括16个Cortex™-M3的中断线）和16个优先级。

- 紧密耦合的NVIC提供低延迟中断处理
- 中断条目向量地址直接传递给核心
- 紧密耦合的NVIC核心接口
- 允许早期处理中断
- 处理晚到高优先级中断
- 支持尾链
- 处理器状态自动保存
- 中断条目在中断退出时恢复，没有指令开销

该硬件块提供灵活的中断管理功能，具有最少的中断潜伏。

2.3.9 外部中断/事件控制器（EXTI）

外部中断/事件控制器由用于生成的19个边缘检测器线组成。中断/事件请求。每行可以独立配置以选择触发事件（上升沿，下降沿，两者），可以独立屏蔽。待处理的注册保持中断请求的状态。EXTI可以用a检测外线脉冲宽度短于内部APB2时钟周期。最多可连接112个GPIO到16个外部中断线。

2.3.10 时钟和启动

系统时钟选择在启动时执行，但内部RC 8 MHz振荡器是选择为默认CPU时钟复位。可以选择外部4-16 MHz时钟在哪种情况下，它被监控失败。如果检测到故障，系统自动切换到内部RC振荡器。如果启用了软件中断。同样，充分必要时可以使用PLL时钟条目的中断管理（例如使用间接使用的外部振荡器的故障）。

几个预分频器允许配置AHB频率，高速APB（APB2）和低速APB（APB1）域。最高频率的AHB和高速APB域是72MHz。最低允许频率的低速APB域为36 MHz。有关时钟树的详细信息，请参见图2。

2.3.11 启动模式

启动时，引导引脚用于选择三个引导选项之一：

- 从用户Flash启动：您可以选择从两个内存库中的任意一个引导。通过默认情况下，选择从闪存组1引导。您可以选择从Flash引导存储库2通过在选项字节中设置一个位。
- 从系统内存引导
- 从嵌入式SRAM引导

引导加载程序位于系统内存中。它用于重新编程Flash存储器使用USART1。

2.3.12 供电方案

- $V_{DD} = 2.0$ 至 3.6 V：用于I/O和内部稳压器的外部电源。通过VDD引脚外部提供。
- V_{SSA} , $V_{DDA} = 2.0$ 至 3.6 V：用于ADC，DAC，复位块的外部模拟电源，RC和PLL（当ADC或DAC时，要施加到VDDA的最小电压为2.4 V用来）。VDDA和VSSA必须分别连接到VDD和VSS。
- $V_{BAT} = 1.8$ 至 3.6 V：RTC电源，外部时钟32 kHz振荡器和备份当VDD不存在时，寄存器（通过电源开关）。

有关如何连接电源引脚的更多详细信息，请参见图10：电源方案。

2.3.13 供电主管

该器件具有集成上电复位（POR）/掉电复位（PDR）电路。它是始终处于活动状态，并确保从/从低到2 V的正常操作。设备保留当VDD低于指定阈值时，在复位模式下，VPOR/PDR，不需要外部复位电路。

该器件具有嵌入式可编程电压检测器（PVD），可以监控VDD/VDDA电源，并将其与VPVD阈值进行比较。一个中断可以当VDD/VDDA低于VPVD阈值时和/或当VDD/VDDA较高时产生比VPVD阈值。然后中断服务程序就会产生警告消息和/或将MCU置于安全状态。PVD由软件启用。参考表12：嵌入式复位和功耗控制块特性的值VPOR/PDR和VPVD。

2.3.14 电压调节器

调节器有三种操作模式：主（MR），低功率（LPR）和掉电。

- MR用于标称调节模式（Run）
- LPR用于停止模式。
- 在待机模式下使用掉电：稳压器输出为高阻抗：内核电路掉电，引起零消耗（但内容为寄存器和SRAM丢失）

复位后总是使能该调节器.在待机模式下禁用。

2.3.15 低功耗模式

STM32F103xF和STM32F103xG性能线支持三种低功耗模式

实现低功耗，启动时间短的最佳折中

可用唤醒源：

- 睡眠模式
在睡眠模式下，只有CPU停止.所有外设都可以继续运行
中断/事件发生时唤醒CPU。
- 停止模式
停止模式在保留内容的同时实现最低功耗
SRAM和寄存器. 1.8V域中的所有时钟都被停止，PLL，HSI RC
并且HSE晶体振荡器被禁用.电压调节器也可放置
在正常或低功耗模式下。
可以通过任何EXTI行从停止模式唤醒设备. EXTI行
源可以是16条外线，PVD输出，RTC报警或USB
醒来。
- 待机模式
待机模式用于实现最低功耗.内置的
关闭电压调节器，使整个1.8 V域断电.该
PLL，HSI RC和HSE晶体振荡器也被关闭.进入后
待机模式，SRAM和寄存器内容丢失，但备份中的寄存器除外
域和待机电路。
当外部复位（NRST引脚），IWDG复位，a.时，器件退出待机模式
WKUP引脚上升沿，或发生RTC报警。

注意：RTC，IWDG和相应的时钟源不会通过进入Stop来停止
或待机模式。

2.3.16 DMA

灵活的12通道通用DMA（7通道DMA1和5通道DMA2）能够管理内存到内存，外设到内存和内存到内存，外围传输.两个DMA控制器支持循环缓冲管理，当控制器到达结束时，消除了用户代码干预的需要缓冲。

每个通道都连接到专用硬件DMA请求，并支持软件触发每个通道.配置由软件和传输大小之间进行源和目的地是独立的。

DMA可用于主要外设：SPI，I2C，USART，通用型，基本型和高级控制定时器TIMx，DAC，I2S，SDIO和ADC。

2.3.17 RTC（实时时钟）和备份寄存器

RTC和备用寄存器是通过开启电源的开关提供的
VDD电源存在或通过VBAT引脚。备份寄存器是四十二位16位
用于在 不存在 VDD 功能时存储84字节的用户应用数据的寄存器。
它们不会被系统复位或电源复位，并且在设备不会重置
从待机模式唤醒。

实时时钟提供了一套连续运行的计数器，可与之配合使用
适合软件提供时钟日历功能，并提供报警中断和
周期性中断。它采用32.768 kHz外部晶振，谐振器或振荡器
内部低功耗RC振荡器或高速外部时钟除以128
内部低速RC的典型频率为40 kHz。可以使用RTC进行校准
外部512 Hz输出，以补偿任何天然石英偏差。RTC功能
一个32位可编程计数器，用于使用比较寄存器进行长期测量
产生警报。一个20位预分频器用于时基时钟，默认情况下
配置为从32.768 kHz的时钟产生1秒的时基。

2.3.18 计时器和看门狗

XL密度STM32F103xx性能线设备最多包含两个高级控制
计时器，多达十个通用计时器，两个基本计时器，两个看门狗定时器和一个
SysTick计时器。

表4比较了高级控制，通用和基本定时器的功能。

表4. STM32F103xF和STM32F103xG定时器功能比较

计时器	计数器 解析度	计数器 类型	预分频因子	DMA请求 代	捕获/比较 通道	补充 输出
TIM1, TIM8	16位	向上， 下， 向上/向下	任何整数之间 1和65536	是	4	是
TIM2, TIM3, TIM4, TIM5	16位	向上， 下， 向上/向下	任何整数之间 1和65536	是	4	没有
TIM9, TIM12	16位	向上	任何整数之间 1和65536	没有	2	没有
TIM10, TIM11 TIM13, TIM14	16位	向上	任何整数之间 1和65536	没有	1	没有
TIM6, TIM7	16位	向上	任何整数之间 1和65536	是	0	没有



高级控制定时器 (TIM1和TIM8)

两个高级控制定时器 (TIM1和TIM8) 都可以看作三相6路通道PWM复用. 它们具有互补的PWM输出. 可编程插入死区. 它们也可以被看作是一个完整的通用目的计数器. 4个独立通道可用于:

- 输入捕捉
- 输出比较
- PWM生成 (边沿或中心对齐模式)
- 单脉冲模式输出

如果配置为标准的16位定时器, 它具有与TIMx定时器相同的功能. 如果配置为16位PWM发生器, 具有完全调制能力 (0-100%).

在调试模式下, 高级控制定时器计数器可以被冻结, PWM输出禁用这些输出驱动的任何电源开关.

许多功能与具有该功能的通用TIM定时器共享. 相同的建筑. 因此, 高级控制定时器可以与TIM一起工作. 定时器通过定时器链接功能进行同步或事件链接.

通用计时器 (TIMx)

在STM32F103xF中嵌入了10个可同步通用定时器. STM32F103xG性能线路器件 (见表4的差异).

- **TIM2, TIM3, TIM4, TIM5**

最多有4个同步通用定时器 (TIM2, TIM3, TIM4和TIM5) 嵌入STM32F103xF和STM32F103xG接入线设备.

这些定时器基于16位自动重载加/减计数器, 16位预分频器并具有4个独立通道, 每个用于输入捕捉/输出比较, PWM或单脉冲模式输出. 最多可以输入16路输入捕捉/输出比较/PWM在最大的包装上.

他们的计数器可以在调试模式下冻结. 任何通用计时器都可以用于产生PWM输出. 它们都具有独立的DMA请求生成.

这些定时器能够处理正交 (增量) 编码器信号. 1到3个霍尔效应传感器的数字输出.

- **TIM10, TIM11和TIM9**

这些定时器基于16位自动重新上载计数器和16位预分频器. TIM10和TIM11具有一个独立的通道, 而TIM9有两个输入捕捉/输出比较, PWM或单脉冲模式的独立通道输出. 它们可以与TIM2, TIM3, TIM4, TIM5全功能同步通用计时器它们也可以用作简单的时基.

- **TIM13, TIM14和TIM12**

这些定时器基于16位自动重新上载计数器和16位预分频器. TIM13和TIM14具有一个独立的通道, 而TIM12有两个输入捕捉/输出比较, PWM或单脉冲模式的独立通道输出. 它们可以与TIM2, TIM3, TIM4, TIM5全功能同步通用计时器它们也可以用作简单的时基.

基本定时器TIM6和TIM7

这些定时器主要用于DAC触发器的生成.它们也可以作为一个通用16位时基.

独立看门狗

独立看门狗基于12位向下计数器和8位预分频器.它是来自独立的40 kHz内部RC,并且独立于主时钟,它可以在停止和待机模式下工作.它可以用作看门狗在发生问题时重置设备,或者作为应用程序超时的自由运行定时器管理.它是通过选项字节进行的硬件或软件配置.柜台可以在调试模式下冻结.

窗口看门狗

窗口看门狗基于可以设置为免费运行的7位下位机.它可以用作看门狗在出现问题时重置设备.它是从时钟主时钟它具有早期警告中断功能,计数器可以冻结调试模式.

SysTick计时器

该定时器专用于实时操作系统,但也可以用作标准下计数器它的特点:

- 一个24位向下计数器
- 自动装载功能
- 当计数器达到0时,可屏蔽系统产生中断.
- 可编程时钟源

2.3.19 I²C总线

多达两个I²C总线接口可以在多主机和从机模式下工作.他们可以支持标准和快速模式.

它们支持7/10位寻址模式和7位双寻址模式(作为从站).一个嵌入硬件CRC生成/验证.

它们可以由DMA提供,并且它们支持 SMBus 2.0 / PMBus.

2.3.20 通用同步/异步接收发射机(USART)

STM32F103xF和STM32F103xG性能线嵌入三个通用同步/异步接收发射机(USART1, USART2和USART3)和两个通用异步接收发射机(UART4和UART5).

这五个接口提供异步通信, IrDA SIR ENDEC支持,多处理器通信模式,单线半双工通信模式和具有LIN主/从功能.

USART1接口能够以高达4.5 Mbit / s的速度进行通信.另一个可用接口通信速度高达2.25 Mbit / s.

USART1, USART2和USART3还提供CTS和RTS的硬件管理信号,智能卡模式(符合ISO 7816)和类似SPI的通信功能.所有接口可以由DMA控制器提供,除了UART5.

2.3.21 串行外设接口 (SPI)

最多三个SPI能够在从站和主站模式下通信高达18 Mbits / s
全双工和单工通信模式. 3位预分频器提供8个主模式
频率和帧可配置为8位或16位. 硬件CRC
生成/验证支持基本的SD卡/ MMC模式.
所有的SPI都可以由DMA控制器提供.

2.3.22 综合声音 (I2S)

可以使用两个标准的I2S接口 (与SPI2和SPI3复用)
在主或从模式下运行. 这些接口可以配置为使用16/32进行操作
位分辨率, 作为输入或输出通道. 音频采样频率从8 kHz到
支持48 kHz. 当主机中配置了I2S接口中的任一个或两者时,
模式下, 主时钟可以输出到外部DAC / CODEC 256次
采样频率.

2.3.23 SDIO

SD / SDIO / MMC主机接口可用, 支持MultiMediaCard系统
规格版本4.2在三种不同的数据总线模式下: 1位 (默认), 4位和8位.
该接口允许在8位模式下以高达48 MHz的数据传输, 并且符合SD
存储卡规格版本2.0.
SDIO卡规格版本2.0也支持两种不同的数据总线
模式: 1位 (默认) 和4位.
当前版本在任何时刻只支持一个SD / SDIO / MMC4.2卡和一个堆叠
的MMC4.1或以前.
除了SD / SDIO / MMC, 该接口还完全符合CE-ATA数字
协议Rev1.1.

2.3.24 控制器局域网 (CAN)

CAN符合规格2.0A和B (有效), 速率高达1 Mbit / s. 它
可以接收和发送具有11位标识符和扩展帧的标准帧
具有29位标识符. 它有三个发送邮箱, 两个接收FIFO有3个阶段
14个可扩展滤波器组.

2.3.25 通用串行总线 (USB)

STM32F103xF和STM32F103xG性能线嵌入一个USB设备外设
兼容USB全速12 Mbs. USB接口实现全速 (12
Mbit / s) 功能接口. 它具有软件可配置的端点设置和挂起/恢复
支持. 专用的48 MHz时钟由内部主PLL (时钟) 产生
源必须使用HSE晶体振荡器).

2.3.26 GPIO (通用输入/输出)

每个GPIO引脚可以通过软件配置为输出 (推挽式或开漏式), 如同
输入 (带或不带上拉或下拉) 或作为外设备用功能. 大部分的
GPIO引脚与数字或模拟交替功能共享. 所有GPIO都是高电流 -
能.

如果需要特定的I/O备用功能配置可以被锁定以避免对I/O寄存器进行杂乱写入。

2.3.27 ADC（模数转换器）

三个12位模数转换器嵌入STM32F103xF和STM32F103xG性能线路器件和每个ADC共有21个外部通道，以单次或扫描模式执行转换。在扫描模式下，自动转换在所选择的一组模拟输入上执行。

嵌入在ADC接口中的附加逻辑功能允许：

- 同时采样和保持
- 交错采样和保持
- 单路分流

ADC可由DMA控制器提供。

模拟看门狗功能允许非常精确地监视一个的转换电压，一些或所有选定的频道。转换后的电压产生中断超出编程阈值。

由通用定时器（TIMx）和高级控制器产生的事件定时器（TIM1和TIM8）可以内部连接到ADC启动触发和注入触发器，分别允许应用程序同步A/D转换和定时器。

2.3.28 DAC（数模转换器）

两个12位缓冲DAC通道可用于将两个数字信号转换为两个模拟电压信号输出。所选择的设计结构由综合组成电阻串和反相配置中的放大器。

此双数字接口支持以下功能：

- 两个DAC转换器：每个输出通道一个
- 8位或12位单调输出
- 在12位模式下左或右数据对齐
- 同步更新能力
- 噪声波发生
- 三角波生成
- 双DAC通道独立或同时转换
- 每个通道的DMA能力
- 用于转换的外部触发器
- 输入电压参考V_{REF}+

在STM32F103xF和STM32F103xG性能中使用8个DAC触发输入线族。DAC通道也通过定时器更新输出触发连接到不同的DMA通道。

2.3.29 温度感应器

温度传感器必须产生随温度线性变化的电压.该转换范围在 $2\text{ V} < V_{DDA} < 3.6\text{ V}$ 之间.温度传感器在内部连接到用于转换传感器输出的ADC1_IN16输入通道.电压变为数字值.

2.3.30 串行线JTAG调试端口 (SWJ-DP)

ARM SWJ-DP接口是嵌入式的, 是一个组合的JTAG和串行线调试端口, 使串行线路调试或JTAG探针连接到目标.

JTAG TMS和TCK引脚分别与SWDIO和SWCLK共享, a TMS引脚上的特定序列用于在JTAG-DP和SW-DP之间切换.

2.3.31 嵌入式跟踪宏单元™

ARM® 嵌入式跟踪宏单元可以更好地了解指令CPU内核中的数据流.通过流压缩数据以非常高的速率从STM32F10xxx通过少量ETM引脚连接到外部硬件跟踪端口分析仪 (TPA) 设备. TPA使用USB, 以太网或以太网连接到主机.任何其他高速频道.可以记录实时指令和数据流活动.然后格式化为在主机上运行调试器软件显示. TPA硬件可从普通开发工具供应商商业获得.它运行与第三方调试器软件工具.

Wlxmall
万联芯城
www.wlxmall.com

3 引脚和引脚说明

图3. STM32F103xF和STM32F103xG XL密度性能线BGA144喷丸

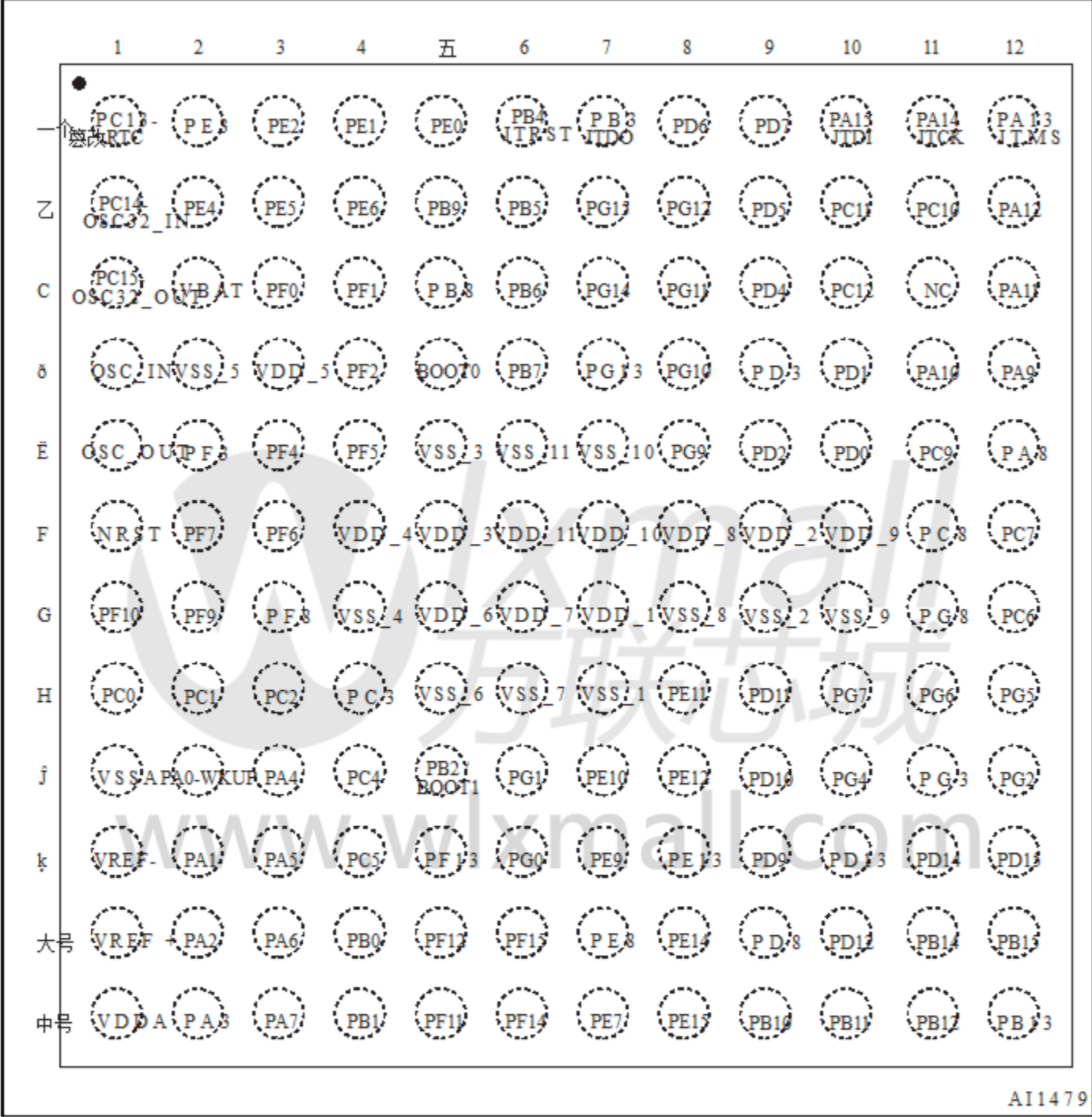


图4. STM32F103xF和STM32F103xG XL密度性能线LQFP144引脚排列

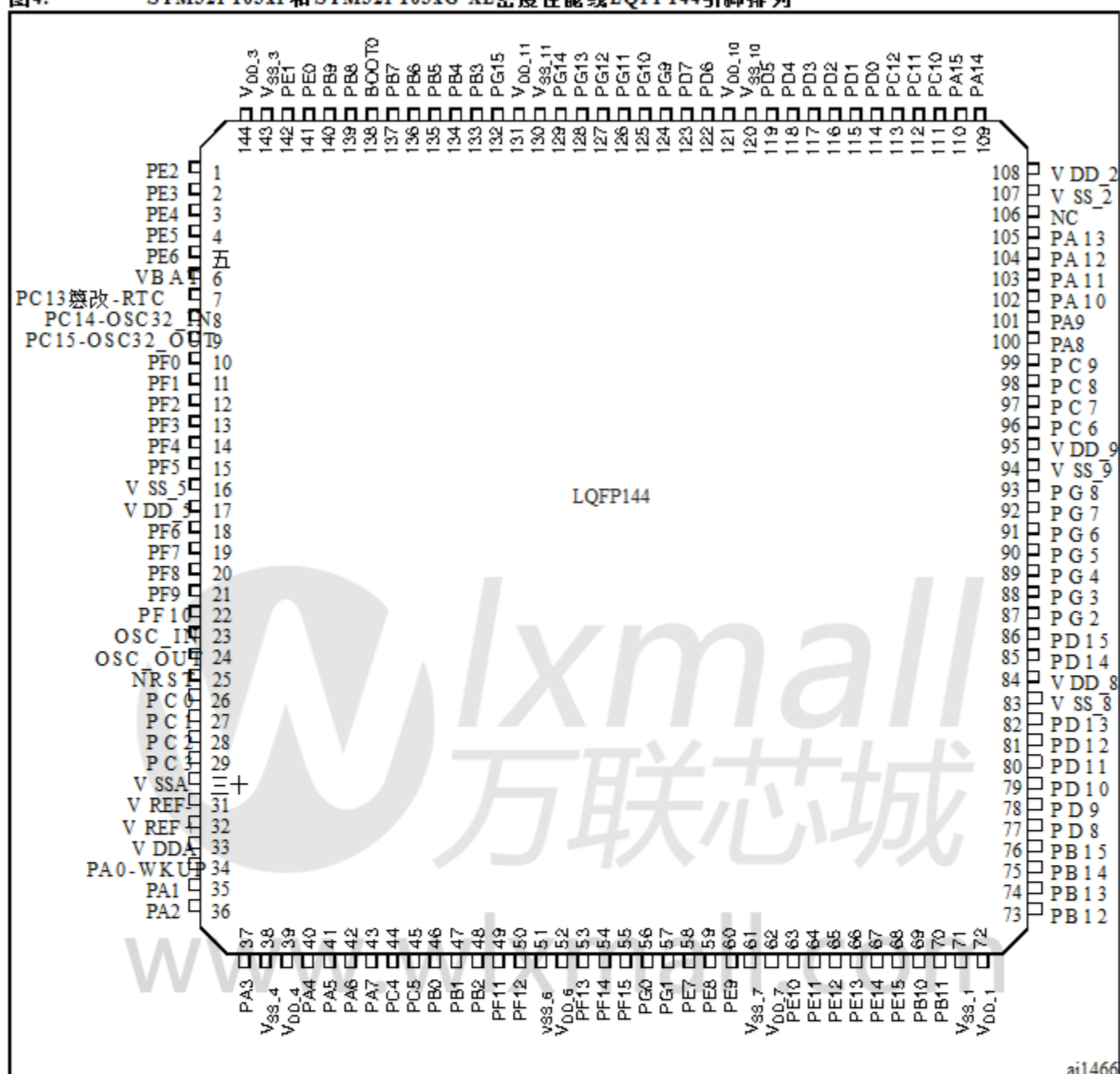


图5. STM32F103xF和STM32F103xG XL密度性能线LQFP100
引出线

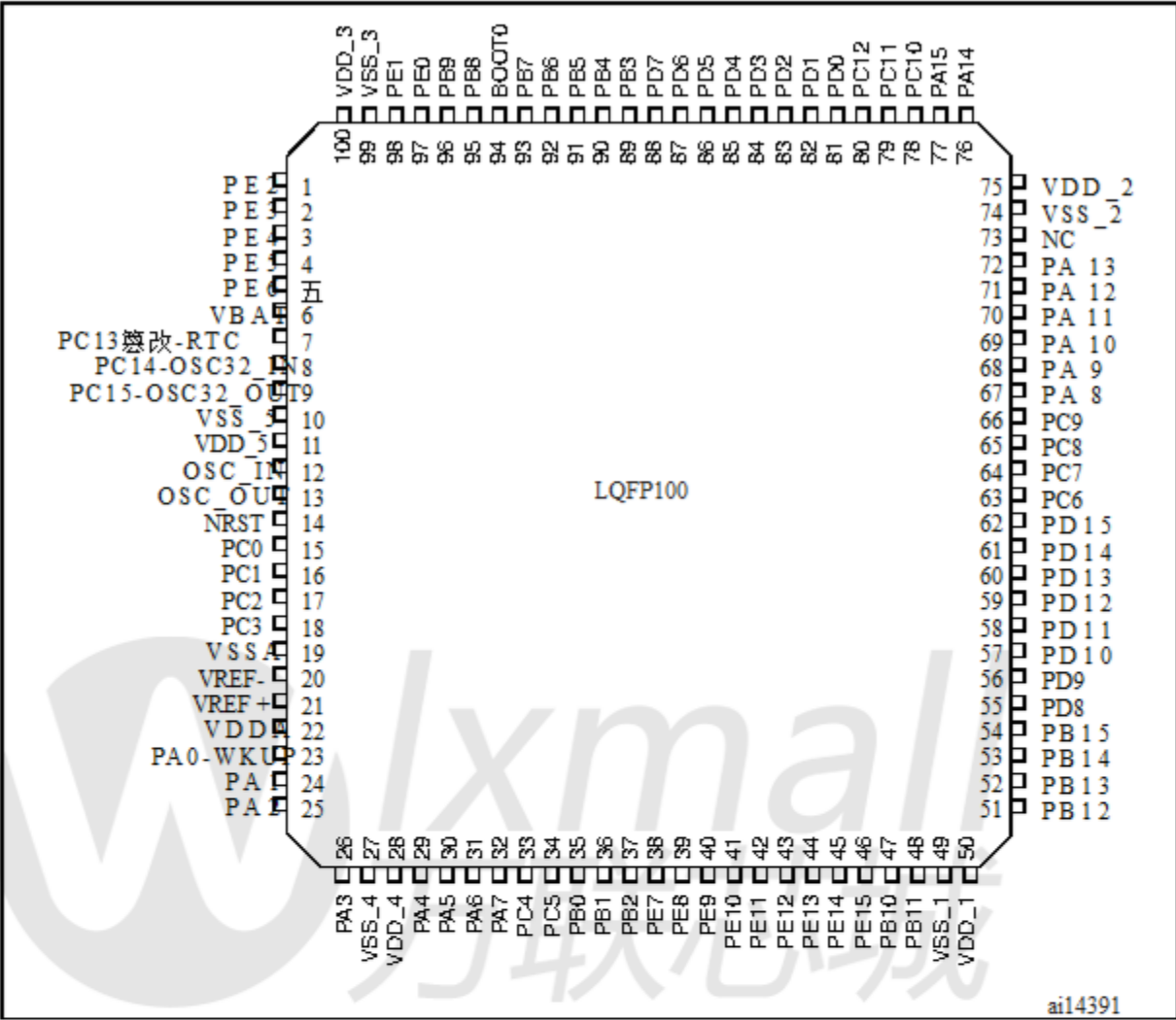


图6. STM32F103xF和STM32F103xG XL密度性能线
LQFP64引脚排列

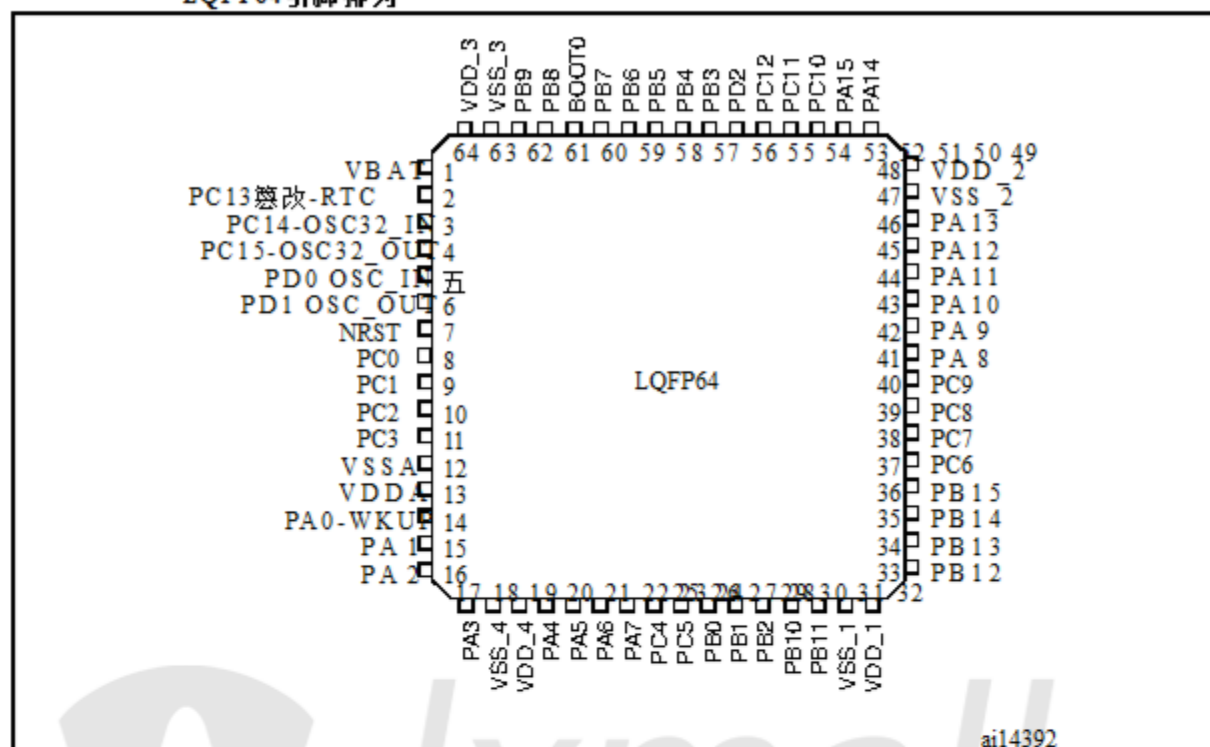


表5. STM32F103xF和STM32F103xG引脚定义

销	LFBGA144	LQFP64	LQFP100	LQFP144	引脚名称	Type ⁽¹⁾	I/O level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
									默认	重映射
A3	-	1	1		PE2	I / O	FT	PE2	TRACECK / FSMC_A23	
A2	-	2	2		PE3	I / O	FT	PE3	TRACED0 / FSMC_A19	
B2	-	3	3		PE4	I / O	FT	PE4	TRACED1 / FSMC_A20	
B3	-	4	4		PE5	I / O	FT	PE5	TRACED2 / FSMC_A21	TIM9_CH1
B4	-	五	五		PE6	I / O	FT	PE6	TRACED3 / FSMC_A22	TIM9_CH2
C2	1	6	6		V BAT	S	V	BAT		
A1	2	7	7		PC13-篡改 RTC (5)	I / O		PC13 (6)	篡改RTC	
B1	3	8	8		PC14-OSC32_IN (5)	I / O		PC14 (6)	OSC32_IN	
C1	4	9	9		PC15- OSC32_OUT (5)	I / O		PC15 (6)	OSC32_OUT	
C3	-	-	10		P F 0	I / O	FT	PF0	FSMC_A0	
C4	-	-	11		P F 1	I / O	FT	PF1	FSMC_A1	
D4	-	-	12		P F 2	I / O	FT	PF2	FSMC_A2	
E2	-	-	13		P F 3	I / O	FT	PF3	FSMC_A3	
E3	-	-	14		P F 4	I / O	FT	PF4	FSMC_A4	
E4	-	-	15		P F 5	I / O	FT	PF5	FSMC_A5	
D2	-	10	16		V SS_5	S	V	SS_5		
D3	-	11	17		V DD_5	S	V	DD_5		
F3	-	-	18		PF6	I / O		PF6	ADC3_IN4 / FSMC_NIORD	TIM10_CH1
F2	-	-	19		PF7	I / O		PF7	ADC3_IN5 / FSMC_NREG	TIM11_CH1
G3	-	-	20		PF8	I / O		PF8	ADC3_IN6 / FSMC_NIOWR	TIM13_CH1
G2	-	-	21		PF9	I / O		PF9	ADC3_IN7 / FSMC_CD	TIM14_CH1
G1	-	-	22		PF10	I/O		PF10	ADC3_IN8 / FSMC_INTR	
D1	五	12	23		OSC_IN	—	世	OSC_IN		PD0 (7)
E1	6	13	24		OSC_OUT	Ø		OSC_OUT		PD1 (7)
F1	7	14	25		NRST	I / O		NRST		
H1	8	15	26		P C 0	I/O		P C 0	ADC123_IN10	
H2	9	16	27		P C 1	I/O		P C 1	ADC123_IN11	
H3	10	17	28		PC2	I / O		PC2	ADC123_IN12	
H4	11	18	29		PC3	I / O		PC3	ADC123_IN13	
J1	12	19	30		V SSA	S	V	SSA		
K1	-	20	31		V REF-	S	V	REF-		

表5. STM32F103xF和STM32F103xG引脚定义 (续)

销				引脚名称	Type ⁽¹⁾	I/O level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LFBGA144	LQFP64	LQFP100	LQFP144					默认	重映射
L1	-	21	32	V REF+	S	V	REF+		
M1	13	22	33	V DDA	S	V	DDA		
J2	14	23	34	PA0-WKUP	I/O		PA 0	WKUP / USART2_CTS (8) / ADC123_IN0 / TIM2_CH1_ETR / TIM5_CH1 / TIM8_ETR	
K2	15	24	35	PA 1	I / O		PA 1	USART2_RTS (7) / ADC123_IN1 / TIM5_CH2 / TIM2_CH2 (7)	
L2	16	25	36	PA 2	I / O		PA 2	USART2_TX (7) / TIM5_CH3 / ADC123_IN2 / TIM9_CH1 / TIM2_CH3 (7)	
M2	17	26	37	PA 3	I / O		PA 3	USART2_RX (7) / TIM5_CH4 / ADC123_IN3 / TIM2_CH4 (7) / TIM9_CH2	
G4	18	27	38	V SS_4	S	V	SS_4		
F4	19	28	39	V DD_4	S	V	DD_4		
J3	20	29	40	PA 4	I / O		PA 4	SPI1_NSS (7) / USART2_CK (7) / DAC_OUT1 / ADC12_IN4	
K3	21	30	41	PA 5	I / O		PA 5	SPI1_SCK (7) / DAC_OUT2 / ADC12_IN5	
L3	22	31	42	PA 6	I / O		PA 6	SPI1_MISO (7) / TIM8_BKIN / ADC12_IN6 / TIM3_CH1 (7) / TIM1_BKIN TIM13_CH1	
M3	23	32	43	PA 7	I / O		PA 7	SPI1_MOSI (7) / TIM8_CH1N / ADC12_IN7 / TIM3_CH2 (7) / TIM1_CH1N TIM14_CH1	
J4	24	33	44	PC4	I / O		PC4	ADC12_IN14	
K4	25	34	45	PC5	I / O		PC5	ADC12_IN15	
L4	26	35	46	PB0	I/O		PB0	ADC12_IN8 / TIM3_CH3 / TIM8_CH2N	TIM1_CH2N
M4	27	36	47	PB1	I/O		PB1	ADC12_IN9 / TIM3_CH4 (7) / TIM8_CH3N	TIM1_CH3N
J5	28	37	48	PB2	I / O	FT	PB2 / BOOT1		
M5	-	-	49	PF11	I / O	FT	PF 11	FSMC_NIOS16	
L5	-	-	50	PF12	I / O	FT	PF 12	FSMC_A6	
H5	-	-	51	V SS_6	S	V	SS_6		
G5	-	-	52	V DD_6	S	V	DD_6		
K5	-	-	53	PF13	I / O	FT	PF 13	FSMC_A7	

表5. STM32F103xF和STM32F103xG引脚定义 (续)

销				引脚名称	Type ⁽¹⁾	I/O level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LFBGA144	LQFP64	LQFP100	LQFP144					默认	重映射
M6	-	-	54	PF14	I / O FT		PF14	FSMC_A8	
L6	-	-	55	PF15	I / O FT		PF15	FSMC_A9	
K6	-	-	56	PG0	I / O FT		PG0	FSMC_A10	
J6	-	-	57	PG1	I / O FT		PG1	FSMC_A11	
M7	-	38	58	PE7	I / O FT		PE7	FSMC_D4	TIM1_ETR
L7	-	39	59	PE8	I / O FT		PE8	FSMC_D5	TIM1_CH1N
K7	-	40	60	PE9	I / O FT		PE9	FSMC_D6	TIM1_CH1
H6	-	-	61	VSS_7	S V		VSS_7		
G6	-	-	62	VDD_7	S V		VDD_7		
J7	-	41	63	PE10	I / O FT		PE10	FSMC_D7	TIM1_CH2N
H8	-	42	64	PE11	I / O FT		PE11	FSMC_D8	TIM1_CH2
J8	-	43	65	PE12	I / O FT		PE12	FSMC_D9	TIM1_CH3N
K8	-	44	66	PE13	I / O FT		PE13	FSMC_D10	TIM1_CH3
L8	-	45	67	PE14	I / O FT		PE14	FSMC_D11	TIM1_CH4
M8	-	46	68	PE15	I / O FT		PE15	FSMC_D12	TIM1_BKIN
M9	29	47	69	PB10	I / O FT		PB10	I2C2_SCL / USART3_TX (7)	TIM2_CH3
M10	30	48	70	PB11	I / O FT		PB11	I2C2_SDA / USART3_RX (7)	TIM2_CH4
H7	31	49	71	VSS_1	S V		VSS_1		
G7	32	50	72	VDD_1	S V		VDD_1		
M11	33	51	73	PB12	I / O FT		PB12	SPI2_NSS / I2S2_WS / I2C2_SMBA / USART3_CK (7) / TIM1_BKIN (7)	
M12	34	52	74	PB13	I / O FT		PB13	SPI2_SCK / I2S2_CK / USART3_CTS (7) / TIM1_CH1N	
L11	35	53	75	PB14	I / O FT		PB14	SPI2_MISO / TIM1_CH2N / USART3_RTS (7) / TIM12_CH1	
L12	36	54	76	PB15	I / O FT		PB15	SPI2_MOSI / I2S2_SD / TIM1_CH3N (7) / TIM12_CH2	
L9	-	55	77	PD8	I / O FT		PD8	FSMC_D13	USART3_TX
K9	-	56	78	PD9	I / O FT		PD9	FSMC_D14	USART3_RX
J9	-	57	79	PD10	I / O FT		PD10	FSMC_D15	USART3_CK
H9	-	58	80	PD11	I / O FT		PD11	FSMC_A16	USART3_CTS
L10	-	59	81	PD12	I / O FT		PD12	FSMC_A17	TIM4_CH1 / USART3_RTS

表5. STM32F103xF和STM32F103xG引脚定义 (续)

销				引脚名称	Type ⁽¹⁾	I/O level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LFBGA144	LQFP64	LQFP100	LQFP144					默认	重映射
K10	-	60	82	PD13	I/O FT	PD13		FSMC_A18	TIM4_CH2
G8	-	-	83	VSS_8	S V	SS_8			
F8	-	-	84	VDD_8	S V	DD_8			
K11	-	61	85	PD14	I/O FT	PD14		FSMC_D0	TIM4_CH3
K12	-	62	86	PD15	I/O FT	PD15		FSMC_D1	TIM4_CH4
J12	-	-	87	PG2	I/O FT	PG2		FSMC_A12	
J11	-	-	88	PG3	I/O FT	PG3		FSMC_A13	
J10	-	-	89	PG4	I/O FT	PG4		FSMC_A14	
H12	-	-	90	PG5	I/O FT	PG5		FSMC_A15	
H11	-	-	91	PG6	I/O FT	PG6		FSMC_INT2	
H10	-	-	92	PG7	I/O FT	PG7		FSMC_INT3	
G11	-	-	93	PG8	I/O FT	PG8			
G10	-	-	94	VSS_9	S V	SS_9			
F10	-	-	95	VDD_9	S V	DD_9			
G12	37	63	96	PC6	I/O FT	PC6	I2S2_MCK / TIM8_CH1 / SDIO_D6		TIM3_CH1
F12	38	64	97	PC7	I/O FT	PC7	I2S3_MCK / TIM8_CH2 / SDIO_D7		TIM3_CH2
F11	39	65	98	PC8	I/O FT	PC8	TIM8_CH3 / SDIO_D0		TIM3_CH3
E11	40	66	99	PC9	I/O FT	PC9	TIM8_CH4 / SDIO_D1		TIM3_CH4
E12	41	67	100	PA8	I/O FT	PA8	USART1_CK / TIM1_CH1 (7) / MCO		
D12	42	68	101	PA9	I/O FT	PA9	USART1_TX (7) / TIM1_CH2 (7)		
D11	43	69	102	PA10	I/O FT	PA10	USART1_RX (7) / TIM1_CH3 (7)		
C12	44	70	103	PA11	I/O FT	PA11	USART1_CTS / USBDM / CAN_RX (7) / TIM1_CH4 (7)		
B12	45	71	104	PA12	I/O FT	PA12	USART1_RTS / USBDP / CAN_TX (7) / TIM1_ETR (7)		
A12	46	72	105	PA13	I/O FT	JTMS- SWDIO			PA13
C11	-	73	106	未连接					
G9	47	74	107	VSS_2	S V	SS_2			
F9	48	75	108	VDD_2	S V	DD_2			
A11	49	76	109	PA14	I/O FT	JTCK- SWCLK			PA14

表5. STM32F103xF和STM32F103xG引脚定义 (续)

销				引脚名称	Type ⁽¹⁾	I/O level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
LFBGA144	LQFP64	LQFP100	LQFP144					默认	重映射
A10	50	77	110	PA15	I/O	FT	JTD1	SPI3_NSS / I2S3_WS	TIM2_CH1_ETR PA15 / SPI1_NSS
B11	51	78	111	PC10	I/O	FT	PC10	UART4_TX / SDIO_D2	USART3_TX
B10	52	79	112	PC11	I/O	FT	PC11	UART4_RX / SDIO_D3	USART3_RX
C10	53	80	113	PC12	I/O	FT	PC12	UART5_TX / SDIO_CK	USART3_CK
E10	-	81	114	PD0	I/O	FT	PD0	FSMC_D2 (9)	CAN_RX
D10	-	82	115	PD1	I/O	FT	PD1	FSMC_D3 (9)	CAN_TX
E9	54	83	116	PD2	I/O	FT	PD2	TIM3_ETR / UART5_RX / SDIO_CMD	
D9	-	84	117	PD3	I/O	FT	PD3	FSMC_CLK	USART2_CTS
C9	-	85	118	PD4	I/O	FT	PD4	FSMC_NOE	USART2_RTS
B9	-	86	119	PD5	I/O	FT	PD5	FSMC_NWE	USART2_TX
E7	-	-	120	VSS_10	S	V	SS_10		
F7	-	-	121	VDD_10	S	V	DD_10		
A8	-	87	122	PD6	I/O	FT	PD6	FSMC_NWAIT	USART2_RX
A9	-	88	123	PD7	I/O	FT	PD7	FSMC_NE1 / FSMC_NCE2	USART2_CK
E8	-	-	124	PG9	I/O	FT	PG9	FSMC_NE2 / FSMC_NCE3	
D8	-	-	125	PG10	I/O	FT	PG10	FSMC_NCE4_1 / FSMC_NE3	
C8	-	-	126	PG11	I/O	FT	PG11	FSMC_NCE4_2	
B8	-	-	127	PG12	I/O	FT	PG12	FSMC_NE4	
D7	-	-	128	PG13	I/O	FT	PG13	FSMC_A24	
C7	-	-	129	PG14	I/O	FT	PG14	FSMC_A25	
E6	-	-	130	VSS_11	小号		VSS_11		
F6	-	-	131	VDD_11	小号		VDD_11		
B7	-	-	132	PG15	I/O	FT	PG15		
A7	55	89	133	PB3 /	I/O	FT	JTDO	SPI3_SCK / I2S3_CK /	PB3 / TRACESWO TIM2_CH2 / SPI1_SCK
A6	56	90	134	PB4	I/O	FT	NJTRST	SPI3_MISO	PB4 / TIM3_CH1 SPI1_MISO
B6	57	91	135	PB5	I/O		PB5	I2C1_SMBA / SPI3_MOSI / I2S3_SD	TIM3_CH2 / SPI1_MOSI
C6	58	92	136	PB6	I/O	FT	PB6	I2C1_SCL (8) / TIM4_CH1 (8)	USART1_TX
D6	59	93	137	PB7	I/O	FT	PB7	I2C1_SDA (8) / FSMC_NADV / TIM4_CH2 (8)	USART1_RX

表5. STM32F103xF和STM32F103xG引脚定义（续）

销				引脚名称	Type ⁽¹⁾	I/O level ⁽²⁾	主要 功能（3） （复位后）	备用功能（4）	
LFBGA144	LQFP64	LQFP100	LQFP144					默认	重映射
D5	60	94	138	BOOT0	—	—	BOOT0		
C5	61	95	139	PB8	I / O	FT	PB8	TIM4_CH3（8） / SDIO_D4 / TIM10_CH1	I2C1_SCL / CAN_RX
B5	62	96	140	PB9	I / O	FT	PB9	TIM4_CH4（8） / SDIO_D5 / TIM11_CH1	I2C1_SDA / CAN_TX
A5	-	97	141	PE0	I / O	FT	PE0	TIM4_ETR / FSMC_NBL0	
A4	-	98	142	PE1	I / O	FT	PE1	FSMC_NBL1	
E5	63	99	143	VSS_3	S	VSS_3			
F5	64	100	144	VDD_3	S	VDD_3			

1. I = 输入，O = 输出，S = 电源。
2. FT = 5 V 容限。
3. 功能可用性取决于所选设备。
4. 如果几个外设共享相同的I / O引脚，为避免这些替代功能之间的冲突，只有一个外设应该通过外设时钟使能位（在相应的RCC外设时钟使能寄存器中）一次使能。
5. PC13, PC14和PC15通过电源开关提供。由于开关只能吸收有限的电流（3 mA），GPIO PC13到PC15在输出模式下的使用受到限制：速度不应超过2 MHz，最大负载的30 pF，这些IO不能用作电流源（例如驱动LED）。
6. 主要功能在第一个备份域上电后，以后，它取决于备份寄存器的内容。复位后（因为这些寄存器不被主复位复位）。有关如何管理这些IO的详细信息，请参阅电池备份域和BKP寄存器描述部分在STM32F10xxx参考手册中，可从意法半导体网站：www.st.com。
7. 对于LQFP64封装，复位后，引脚5和6配置为OSC_IN / OSC_OUT，但是PD0和PD1的功能可以通过这些引脚上的软件重新映射。对于LQFP100和LQFP144 / BGA144软件包，PD0和PD1默认可用，因此不需要重新映射。有关详细信息，请参阅备用STM32F10xxx参考手册中的功能I / O和调试配置部分。
8. 这个备用功能可以通过软件重新映射到某些其他端口引脚（如果在使用的封装上可用）。更多详细信息，请参见STM32F10xxx参考手册中的备用功能I / O和调试配置部分，可从STMicroelectronics网站获取：www.st.com。
9. 对于以LQFP64封装交付的设备，FSMC功能不可用。



表6. FSMC引脚定义

销	FSMC					LQFP100 (1)
	CF	CF/IDE	NOR / PSRAM / SRAM	NOR / PSRAM Mux	NAND 16位	
PE2			A23	A 2 3		是
PE3			A19	A 1 9		是
PE4			A20	A 2 0		是
PE5			A21	A 2 1		是
PE6			A22	A 2 2		是
PF0	A0	A0	A0			-
PF1	A1	A1	A1			-
PF2	A2	A2	A2			-
PF3	A3		A3			-
PF4	A4		A4			-
PF5	A5		A5			-
PF6	NIORD	NIORD				-
PF7	NREG	NREG				-
PF8	NIOWR	NIOWR				-
PF9	光盘	光盘				-
PF10	INTR	INTR				-
PF11	NIOS16	NIOS16				-
PF12	A6		A6			-
PF13	A7		A7			-
PF14	A8		A8			-
PF15	A9		A9			-
PG0	A 1 0		A10			-
PG1			A 1 1			-
PE7	D4	D4	D4	D A 4	D4	是
PE8	D5	D5	D5	D A 5	D5	是
PE9	D6	D6	D6	D A 6	D6	是
PE10	D7	D7	D7	D A 7	D7	是
PE11	D8	D8	D8	D A 8	D8	是
PE12	D9	D9	D9	D A 9	D9	是
PE13	D 1 0	D 1 0	D 1 0	DA10	D 1 0	是
PE14	D 1 1	D 1 1	D 1 1	DA11	D 1 1	是
PE15	D 1 2	D 1 2	D 1 2	DA12	D 1 2	是
P D 8	D 1 3	D 1 3	D 1 3	DA13	D 1 3	是

表6. FSMC引脚定义 (续)

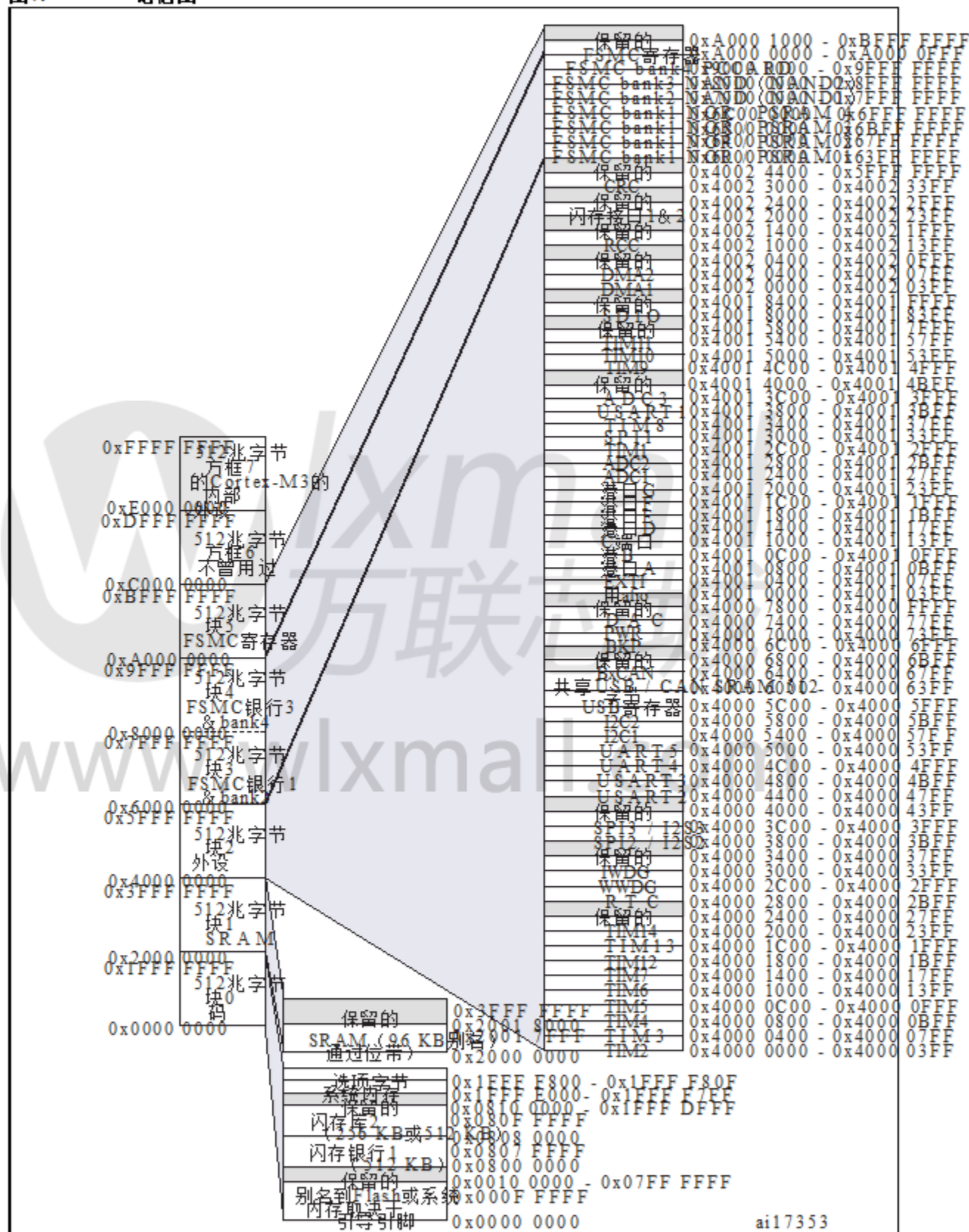
销	FSMC					LQFP100 (1)
	CF	CF/IDE	NOR / PSRAM / SRAM	NOR / PSRAM Mux	NAND 16位	
PD9	D14	D14	D14	DA14	D14	是
PD10	D15	D15	D15	DA15	D15	是
PD11			A16	A16	CLE	是
PD12			A17	A17	ALE	是
PD13			A18	A18		是
PD14	D0	D0	D0	DA0	D0	是
PD15	D1	D1	D1	DA1	D1	是
PG2			A12			-
PG3			A13			-
PG4			A14			-
PG5			A15			-
PG6					INT2	-
PG7					INT3	-
PD0	D2	D2	D2	DA2	D2	是
PD1	D3	D3	D3	DA3	D3	是
PD3			CLK	CLK		是
PD4	NOE	NOE	NOE	NOE	NOE	是
PD5	NWE	NWE	NWE	NWE	NWE	是
PD6	NWAIT	NWAIT	NWAIT	NWAIT	NWAIT	是
PD7			NE1	NE1	NCE2	是
PG9			NE2	NE2	NCE3	-
PG10	NCE4_1	NCE4_1	NE3	NE3		-
PG11	NCE4_2	NCE4_2				-
PG12			NE4	NE4		-
PG13			A24	A24		-
PG14			A25	A25		-
PB7			NADV	NADV		是
PE0			NBL0	NBL0		是
PE1			NBL1	NBL1		是

1. 端口F和G在100引脚封装中提供的器件中不可用。

4 内存映射

存储器映射如图7所示。

图7. 记忆图



五 电气特性

5.1 参数条件

除非另有说明，否则所有电压均以 V_{SS} 为参考。

5.1.1 最小值和最大值

除非另有规定，否则最坏和最大值都得到保证
环境温度条件，供电电压和频率通过生产测试
100%的环境温度在 $T_A = 25^{\circ}\text{C}$ ， $T_A = T_{A\max}$ （由
所选温度范围）。

基于表征结果的数据，设计模拟和/或技术特征
在表脚注中指出，并没有在生产中进行测试。基于
表征，最小值和最大值是指样品测试并代表
平均值加或减三倍标准差（平均值 ± 3 Σ ）。

5.1.2 典型值

除非另有规定，典型数据基于 $T_A = 25^{\circ}\text{C}$ ， $V_{DD} = 3.3\text{ V}$ （对于
 $2\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 电压范围）。它们仅作为设计指南而不是
测试。

典型的ADC精度值通过一批样品的表征来确定
在整个温度范围内的标准扩散批次，其中95%的器件具有
误差小于或等于所示值（平均值 ± 2 Σ ）。

5.1.3 典型曲线

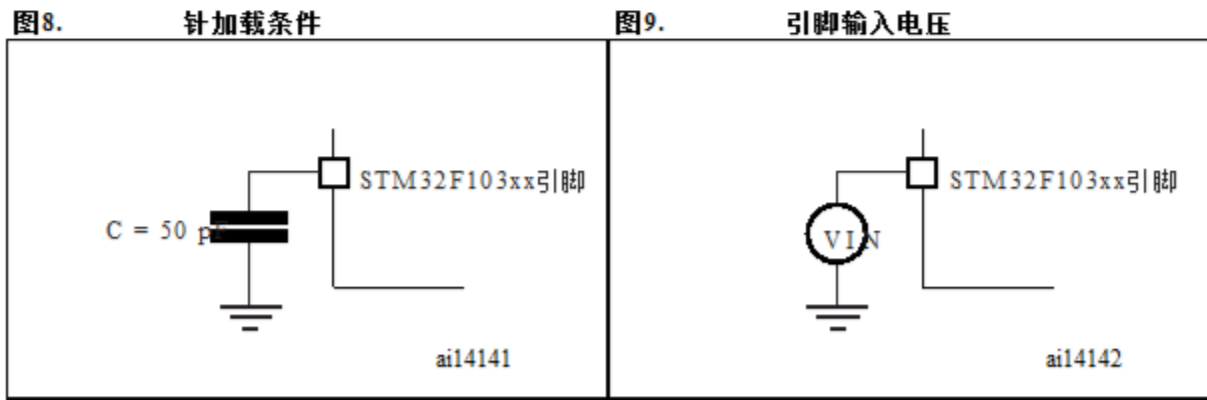
除非另有说明，否则所有典型曲线仅作为设计指南给出
没有测试。

5.1.4 加载电容

用于引脚参数测量的负载条件如图8所示。

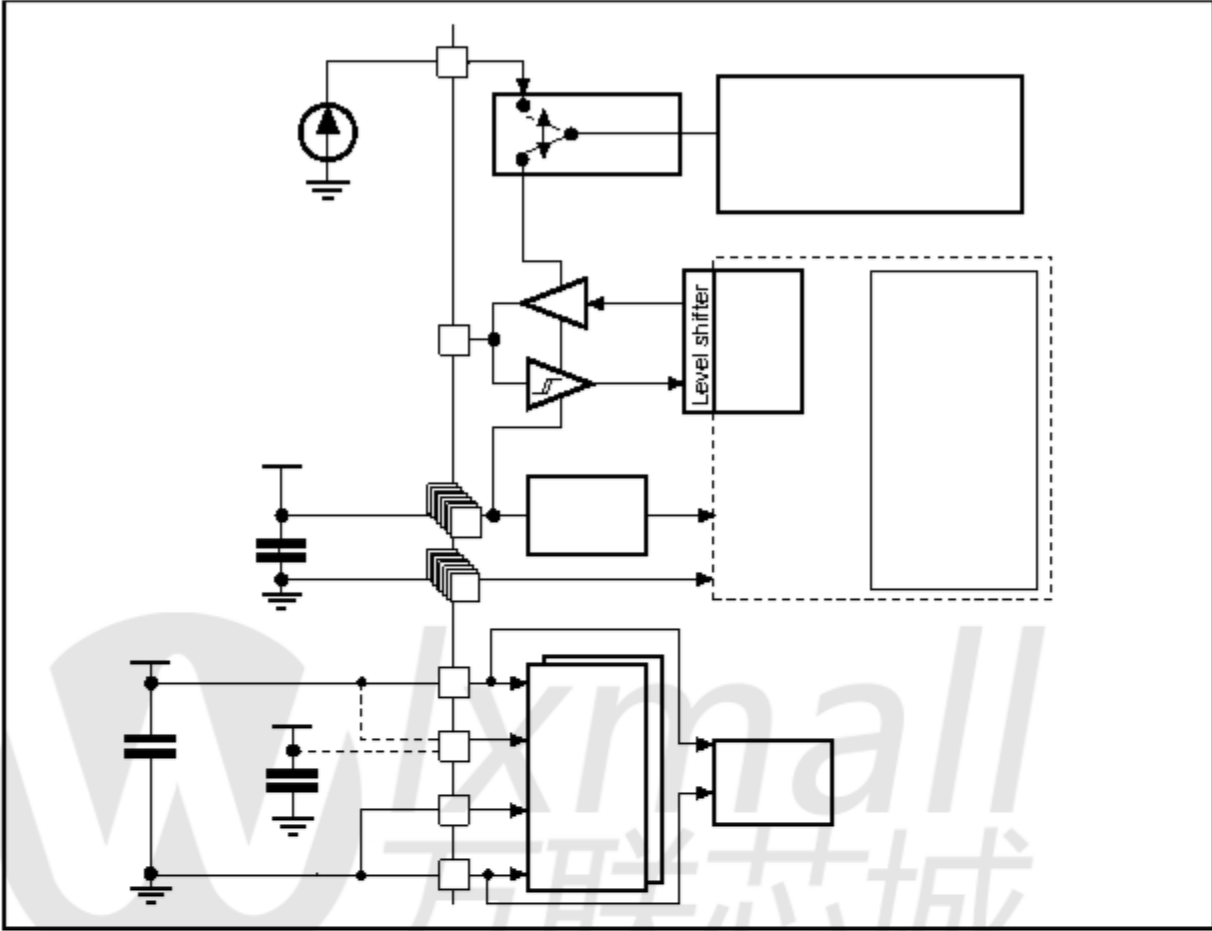
5.1.5 引脚输入电压

图9中描述了器件引脚上的输入电压测量。



5.1.6 供电方案

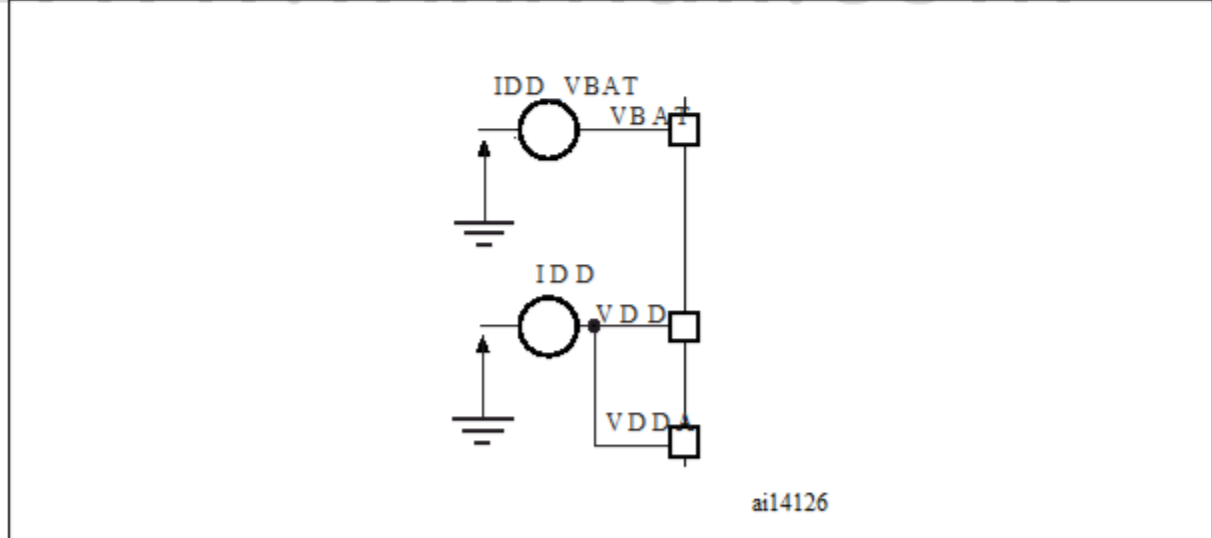
图10. 供电方案



警告：在图10中，4.7 F电容必须连接到V_{DD3}。

5.1.7 电流消耗测量

图11. 电流消耗测量方案



5.2 绝对最大额定值

强度高于表7中的绝对最大额定值：电压特性，
表8：电流特性和表9：热特性可能导致永久性
损坏设备。这些只是压力额定值和设备的功能操作
在这些条件下并不暗示。暴露于最大额定条件下延长
周期可能会影响设备的可靠性。

表7. 电压特性

符号	评级	敏	马克斯	单元
$V_{DD} - V_{SS}$	外部主电源电压（包括 V_{DDA} 和 V_{DD} ）(1)	-0.3	4	V
$V_{IN}(2)$	输入电压为5伏特的引脚	$V_{SS} - 0.3$	$V_{DD} + 4.0$	
	任何其他引脚上的输入电压	$V_{SS} - 0.3$	4	
$ \Delta V_{DDx} $	不同 V_{DD} 电源引脚之间的变化	-	50	毫伏
$ V_{SSX} - V_{SS} $	所有不同接地引脚之间的变化	-	50	
$V_{ESD} (HBM)$	静电放电电压（人体模型）	见第5.3.12节： 绝对最大额定值 (电灵敏度)		

- 所有主电源（ V_{DD} ， V_{DDA} ）和接地（ V_{SS} ， V_{SSA} ）引脚必须始终连接到外部电源供应，在允许范围内。
- 必须始终尊重 V_{IN} 最大值。参见表8：最大电流特性允许注入电流值。

表8. 电流特性

符号	评级	最大	单元
我 V_{DD}	V_{DD} / V_{DDA} 电源线（电源）的总电流 (1)	150	嘛
我 V_{SS}	V_{SS} 地线（sink）的总电流 (1)	150	
我 I_O	任何 I / O 和控制引脚输出电流下降	25	
	任何 I / O 和控制引脚输出电流源	-25	
我 $I_{NJ} (PIN)$	五伏特引脚上的注入电流 (3)	-5 / +0	
	任何其他引脚上的注入电流 (4)	±5	
$\Sigma I_{INJ} (PIN)$	总注入电流（所有 I / O 和控制引脚的总和）(5)	±25	

- 所有主电源（ V_{DD} ， V_{DDA} ）和接地（ V_{SS} ， V_{SSA} ）引脚必须始终连接到外部电源供应，在允许范围内。
- 负注入会干扰设备的模拟性能。请参见第103页的表65下的注释3。
- 这些 I / O 无法进行正向注入。 $V_{IN} < V_{SS}$ 引起负注入。我 $I_{NJ} (PIN)$ 必须永远不会被超越参见表7：最大允许输入电压的电压特性值。
- 当 $V_{IN} > V_{DD}$ 引起正向注入时， $V_{IN} < V_{SS}$ 引起负注入。我 $I_{NJ} (PIN)$ 必须永远不会被超越参见表7：最大允许输入电压的电压特性值。
- 当几个输入提交到当前注入时，最大值正，负注入电流（瞬时值）。 $\Sigma I_{INJ} (PIN)$ 是绝对值

表9. 热特性

符号	评级	值	单元
T STG	存储温度范围	-65至+150	C
T J	最大结温	150	C

5.3 运行条件

5.3.1 一般操作条件

表10. 一般操作条件

符号	参数	条件	敏	马克斯	单元
f HCLK	内部AHB时钟频率		0	72	兆赫
f PCLK1	内部APB1时钟频率		0	36	
f PCLK2	内部APB2时钟频率		0	72	
V DD	标准工作电压		2	3.6	V
V DDA ⁽¹⁾	模拟工作电压 (ADC未使用)	必须具有相同的潜力 作为V DD ⁽²⁾	2.3	3.6	V
	模拟工作电压 (使用ADC)		2.4	3.6	
V BAT	备用工作电压		1.8	3.6	V
P _δ	T A = 功耗 85°C, 后綴6或T A = 105°C后綴7 (3)	LQFP144	-	666	毫瓦
		LQFP100	-	434	
		LQFP64	-	444	
		LFBGA144	-	500	
		WLCSP64	-	400	
T A	环境温度为6°C 后綴版本	最大功耗	-40	85	C
		低功耗 (4)	-40	105	
	环境温度为7°C 后綴版本	最大功耗	-40	105	C
		低功耗 (4)	-40	125	
T J	结温范围	6后綴版本	-40	105	C
		7后綴版本	-40	125	

1. 使用ADC时, 请参见表62: ADC特性.
2. 建议从同一来源为V DD和V DDA供电. 最大差值为300 mV
在V DD和V DDA之间可以在上电和操作期间容忍.
3. 如果T A较低, 只要T J不超过T J_{max}, 则允许较高的P D值 (见表6.2: Thermal)
特性在第114页).
4. 在低功耗状态下, 只要T J不超过T J_{max}, T A可以扩展到此范围
表6.2: 热特性见第114页).

5.3.2 上电/掉电时的工作条件

表11中给出的参数来源于在环境下进行的测试
温度条件总结在表10中。

表11. 上电/掉电时的工作条件

符号	参数	条件	敏	马克斯	单元
t VDD	V DD 上升时间率		0	∞	微秒/V
	V DD 下降时间率		20	∞	

5.3.3 嵌入式复位和功率控制块特性

表12中给出的参数来自于在环境温度下进行的测试
温度和V DD 电源电压条件总结在表10中。

表12. 嵌入式复位和功率控制块特性

符号	参数	条件	敏	典型	马克斯	单元
V PVD	可编程电压 检测器级别选择	PLS [2: 0] = 000 (上升沿)	2.1	2.18	2.26	V
		PLS [2: 0] = 000 (下降沿)	2	2.08	2.16	V
		PLS [2: 0] = 001 (上升沿)	2.19	2.28	2.37	V
		PLS [2: 0] = 001 (下降沿)	2.09	2.18	2.27	V
		PLS [2: 0] = 010 (上升沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 010 (下降沿)	2.18	2.28	2.38	V
		PLS [2: 0] = 011 (上升沿)	2.38	2.48	2.58	V
		PLS [2: 0] = 011 (下降沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 100 (上升沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 100 (下降沿)	2.37	2.48	2.59	V
		PLS [2: 0] = 101 (上升沿)	2.57	2.68	2.79	V
		PLS [2: 0] = 101 (下降沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 110 (上升沿)	2.66	2.78	2.9	V
		PLS [2: 0] = 110 (下降沿)	2.56	2.68	2.8	V
		PLS [2: 0] = 111 (上升沿)	2.76	2.88	3	V
		PLS [2: 0] = 111 (下降沿)	2.66	2.78	2.9	V
V PVDhyst ⁽²⁾	PVD滞后		-	100	-	毫伏
V POR / PDR	开机/关机 复位阈值	坠落边缘	1.8 (1)	1.88	1.96	V
		上升沿	1.84	1.92	2.0	V
V PDRhyst ⁽²⁾	PDR滞后		-	40	-	毫伏
T RSTTEMP ⁽²⁾	重置临时		1	2.5	4.5	女士

1. 产品行为由设计保证达到最小V POR / PDR 值。
2. 保证设计，未经生产测试。

5.3.4 嵌入式参考电压

表13中给出的参数来自于在环境温度下进行的测试
温度和VDD电源电压条件总结在表10中。

表13. 嵌入式内部参考电压

符号	参数	条件	敏	典型	马克斯	单元
VREFINT	内部参考电压	-40°C < T A <+ 105°C	1.16	1.20	1.26	V
		-40°C < T A <+85°C	1.16	1.20	1.24	V
TS_vrefint ⁽¹⁾	ADC采样时间 阅读内部参考电压		-5.1		17.1 (2)	微秒
VREINT ⁽²⁾	内部参考电压 蔓延温度范围	VDD = 3 V±10 mV	-	-	10	毫伏
T科夫 ⁽²⁾	温度系数		-	-	100	PPM /°C

1. 最短采样时间可以通过多次迭代在应用中确定。
2. 保证设计，未经生产测试。

5.3.5 供电电流特性

目前的消费是几个参数和因素的函数
工作电压，环境温度，I/O引脚加载，器件软件配置，
工作频率，I/O引脚切换速率，存储器中的程序位置并执行
二进制代码。

电流消耗量如图11所示进行测量：电流消耗
测量方案。

本节中给出的所有运行模式电流消耗测量用a执行
减少代码，给出相当于Dhrystone 2.1代码的消费。

最大电流消耗

MCU处于以下条件下：

- 所有I/O引脚都处于输入模式，静态值为VDD或VSS（无负载）
- 所有外设都被禁用，除非明确提到
- Flash存储器访问时间调整为fHCLK 频率（0等待状态从0到24 MHz，1等待状态从24到48 MHz和2个等待状态）
- 预读取ON（提醒：此位必须在时钟设置和总线预分频之前设置）
- 当外设使能时，PCLK1 = fHCLK / 2，fPCLK2 = fHCLK

表14，表15和表16中给出的参数来自测试
在环境温度和VDD电源电压条件下总结在表10中。

表14. 运行模式下的最大电流消耗，带数据处理的代码从Flash运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
我 DD	电源电流 运行模式	外部时钟 (2)，全部 外设启用	72 MHz	68	69	嘛
			48 MHz	51	51	
			36 MHz	41	41	
			24 MHz	29	三十	
			16 MHz	22	22.5	
			8 MHz	12.5	14	
		外部时钟 (3)，全部 外设禁用	72 MHz	39	39	
			48 MHz	29.5	三十	
			36 MHz	24	24.5	
			24 MHz	17.5	19	
			16 MHz	14	15	
			8 MHz	8.5	10.5	

1. 基于表征，未在生产中测试。
2. 当 HCLK > 8 MHz 时，外部时钟为 8 MHz，PLL 为 ON。

表15. 运行模式下的最大电流消耗，带数据处理的代码从RAM运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
我 DD	供电电流 在运行模式	外部时钟 (2)，全部 外设启用	72 MHz	65	65.5	嘛
			48 MHz	46.5	47	
			36 MHz	37	37	
			24 MHz	26.5	27	
			16 MHz	19	20	
			8 MHz	11.5	13	
		外部时钟 (3)，全部 外设禁用	72 MHz	34.5	36	
			48 MHz	25	26	
			36 MHz	20.5	21	
			24 MHz	15	16	
			16 MHz	11	13	
			8 MHz	7.5	9	

1. 基于表征结果的数据，在生产中测试 V_{DD max}，f_{HCLK max}。
2. 当 HCLK > 8 MHz 时，外部时钟为 8 MHz，PLL 为 ON。

图12. 运行模式与频率（3.6 V）时的典型电流消耗 - 数据处理从RAM运行，外设启用

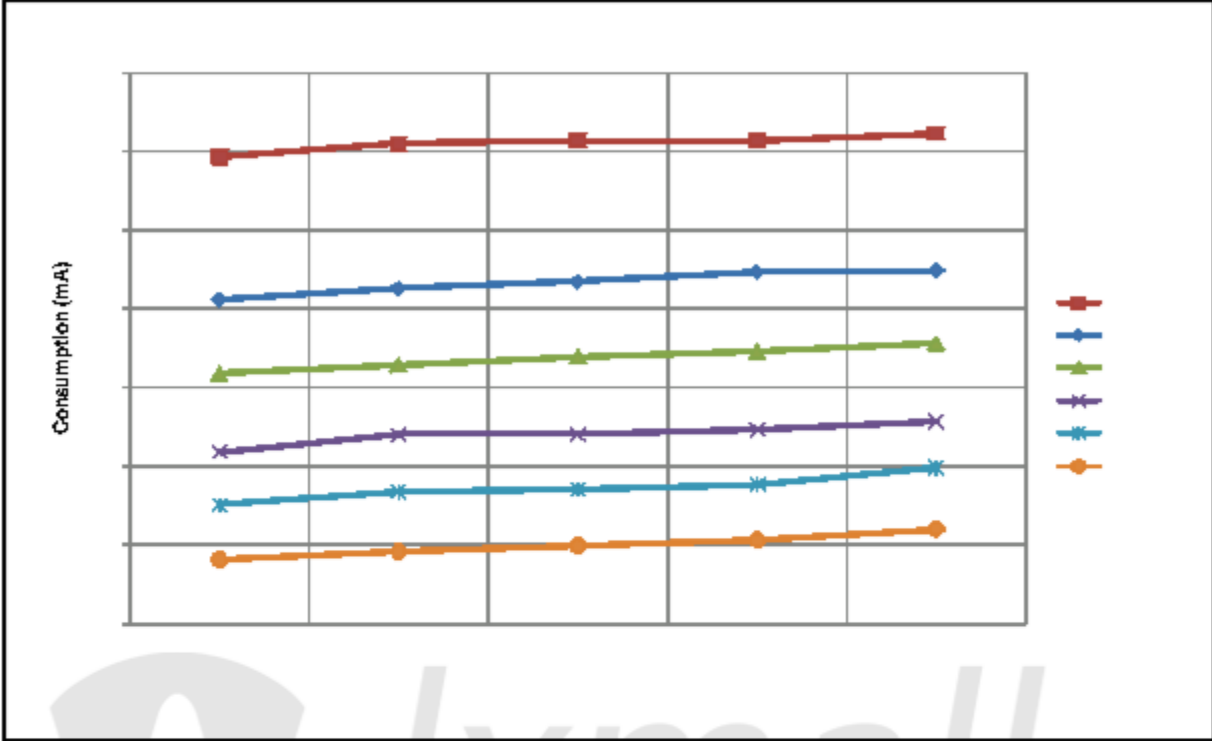


图13. 运行模式与频率（3.6 V）时的典型电流消耗 - 数据处理从RAM运行的代码，外设禁用

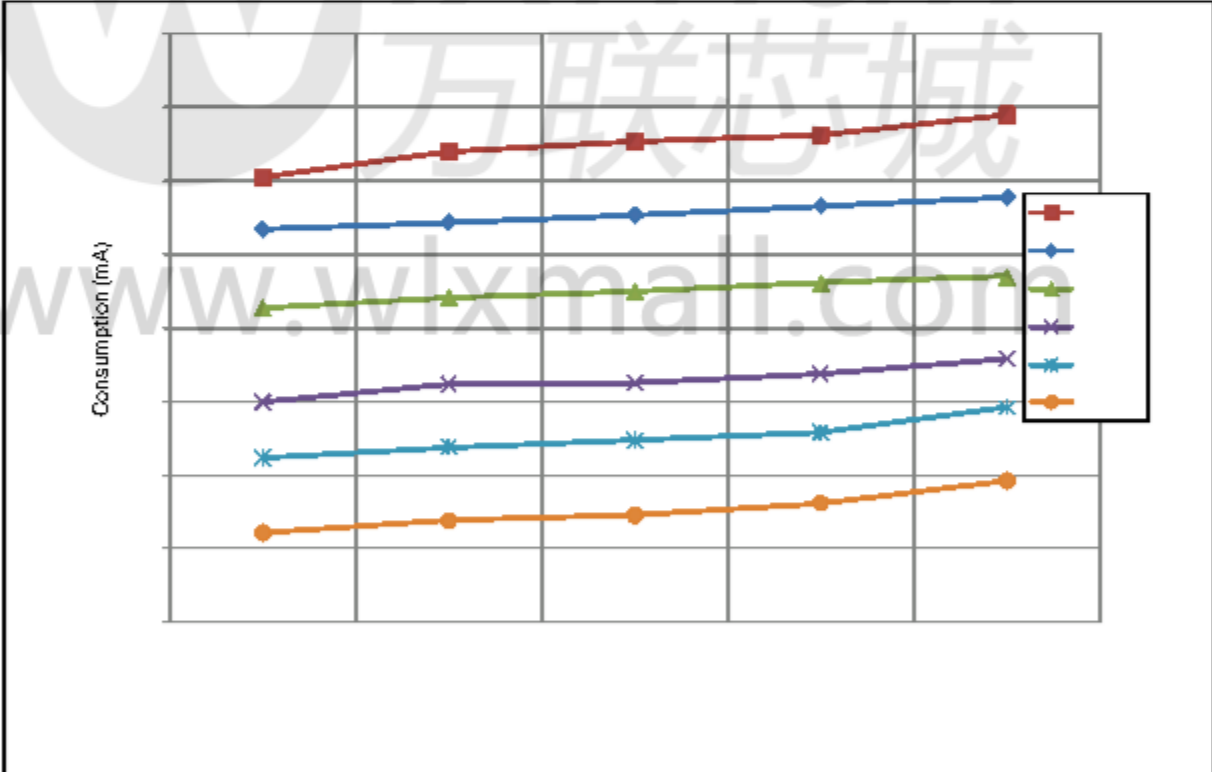


表16. 在睡眠模式下的最大电流消耗，从Flash运行的代码或RAM

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85℃	T A = 105℃	
我 DD	供电电流处于睡眠模式	外部时钟 (2)，全部外设启用	72 MHz	47.5	48.5	嘛
			48 MHz	34	35	
			36 MHz	27.5	27.5	
			24 MHz	20	20.5	
			16 MHz	15	16	
			8 MHz	9	11	
		外部时钟 (3)，全部外设禁用	72 MHz	9.5	11.2	
			48 MHz	7.7	9.5	
			36 MHz	6.9	8.5	
			24 MHz	5.9	7.8	
			16 MHz	5.4	7.2	
			8 MHz	4.7	6.4	

1. 基于特性，在V DD max, f HCLK max的生产中进行测试，并启用外设。
2. 当 HCLK > 8 MHz时，外部时钟为8 MHz，PLL为ON。



表17. 停止和待机模式下的典型和最大电流消耗

符号	参数	条件	典型 (1)			马克斯		单元
			V DD / V BAT = 2.0 V	V DD / V BAT = 2.4 V	V DD / V BAT = 3.3 V	T A = 85°C	T A = 105°C	
I DD	电源电流 停止模式	稳压器在运行模式下，低速和高速内部RC振荡器和高速振荡器OFF（无独立看门狗），f CK = 8 MHz	44.8	45.3	46.4	810	1680	μA
		调节器在低功耗模式下，速度和高速内部RC振荡器和高速振荡器OFF（无独立看门狗）	37.4	37.8	38.7	790	1660	
	电源电流 待机模式	低速内部RC振荡器和独立看门狗关，低速振荡器和RTC OFF	1.8	2.0	2.5	5 (2)	8 (2)	
I DD_VBAT	备份域 供电电流	低速振荡器和RTC ON	1.05	1.1	1.4	2 (2)	2.3 (2)	

- 1. 典型值在T A = 25°C时测量。
- 2. 基于表征，未在生产中测试。

图14. V BAT的典型电流消耗，RTC与不同V BAT的温度相关值

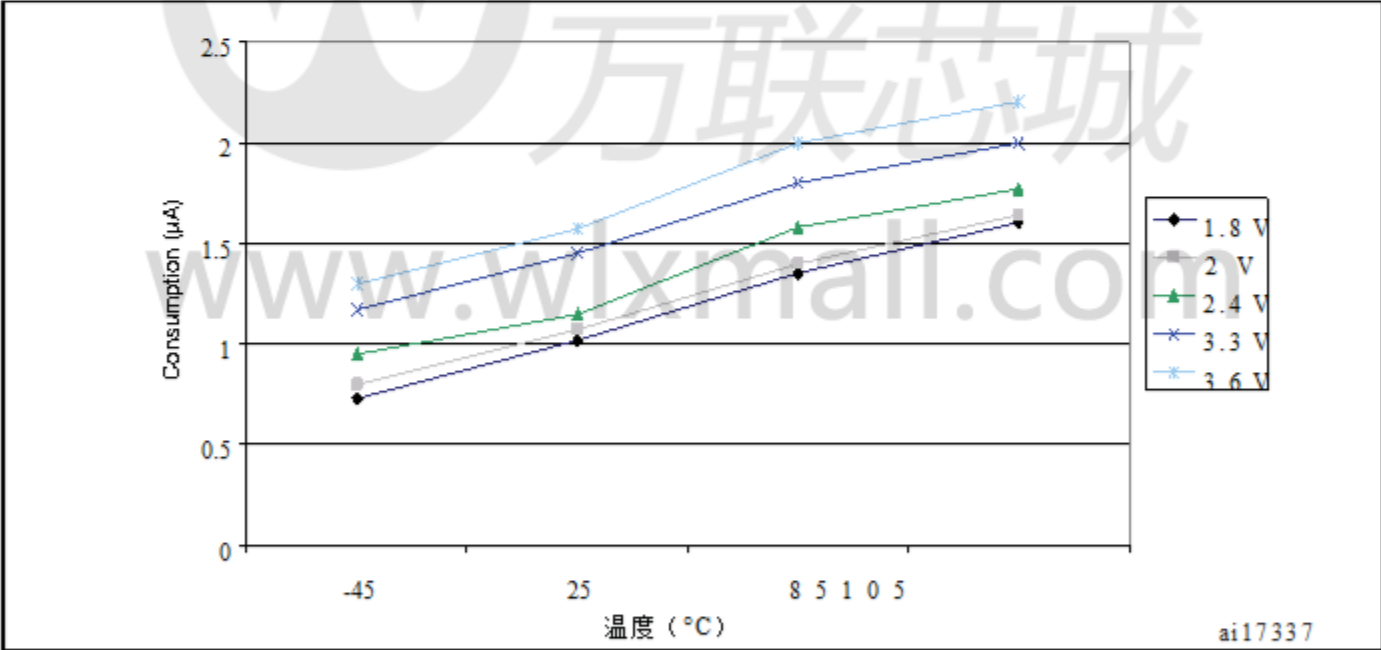


图15. 停止模式下的典型电流消耗，调节器处于运行模式
相对于不同V_{DD}值的温度

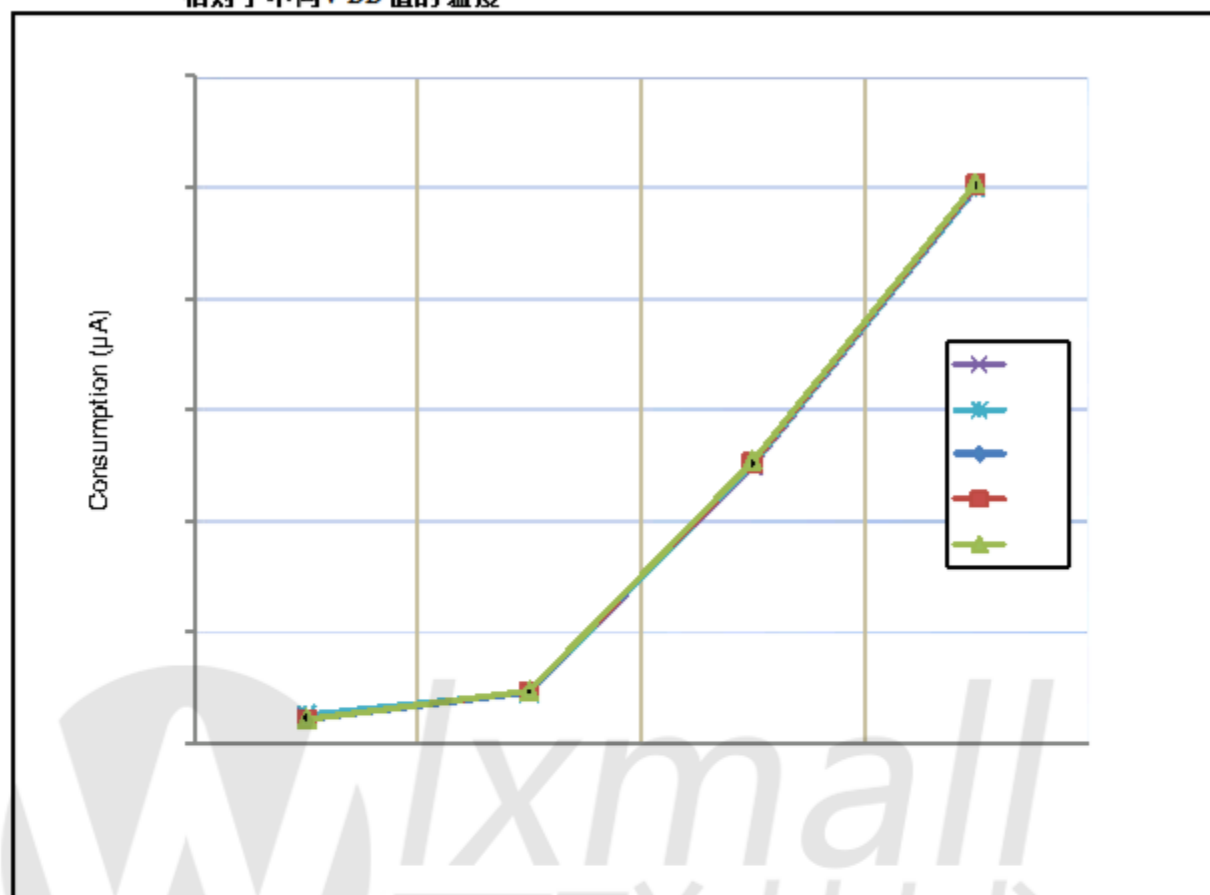


图16. 待机模式下的典型电流消耗，调节器处于低功耗状态
模式与温度在不同的V_{DD}值

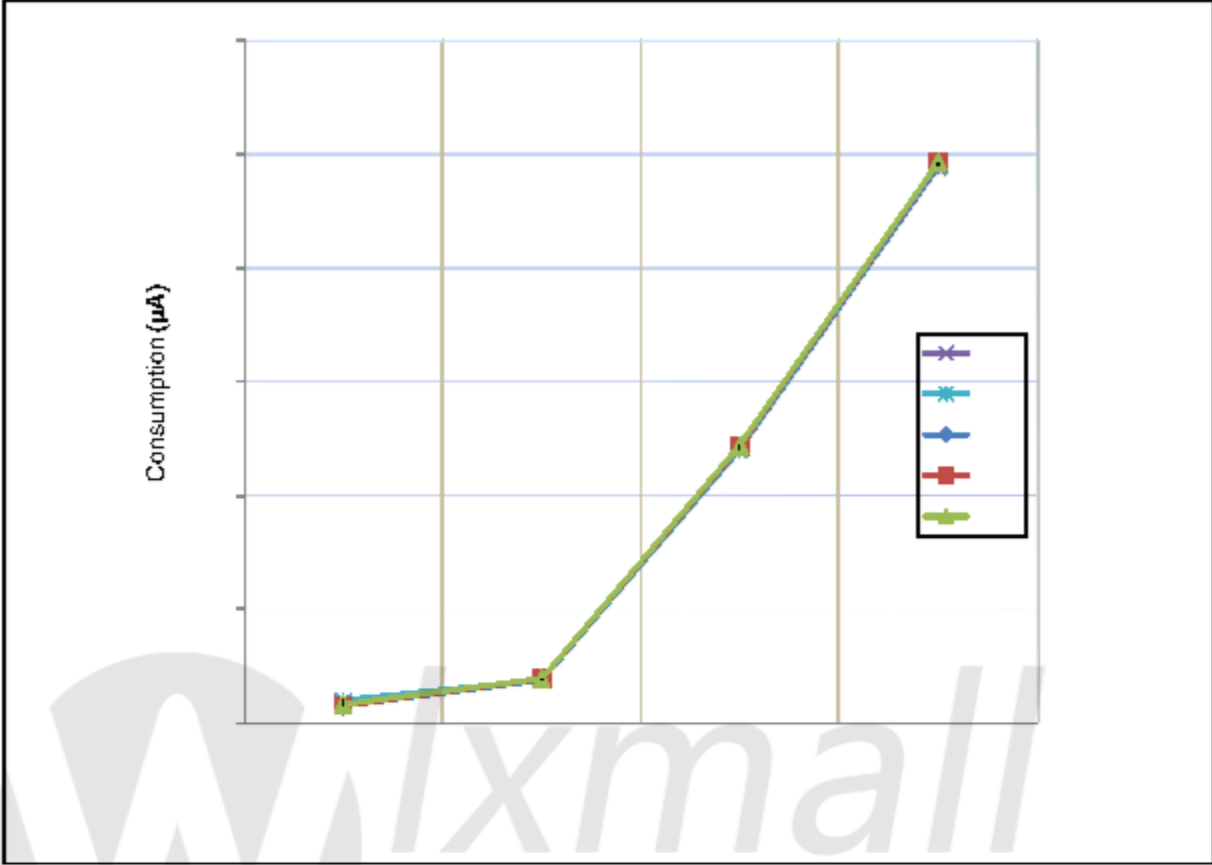
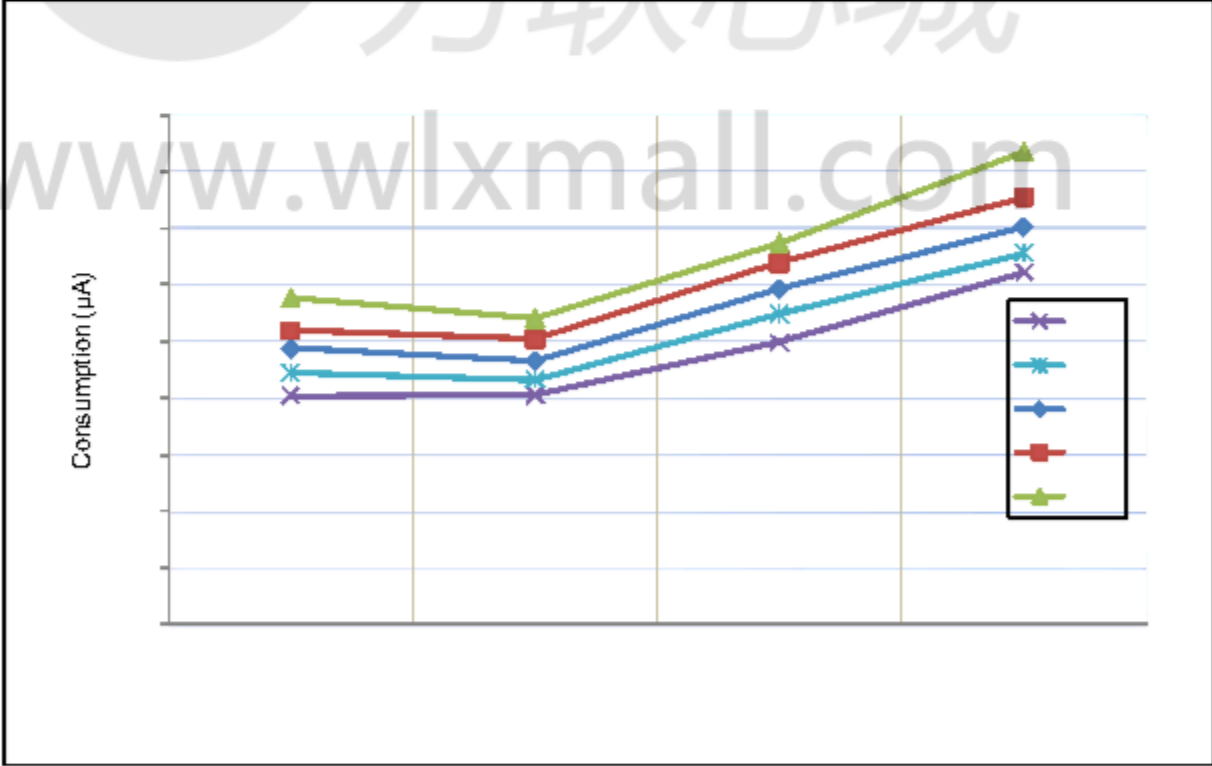


图17. 待机模式下的典型电流消耗与温度的关系
不同的V_{DD}值



典型电流消耗

MCU处于以下条件:

- 所有I/O引脚都处于VDD或VSS(无负载)下的静态值的输入模式。
 - 所有外设都被禁用,除非明确提到。
 - 闪存访问时间调整为HCLK频率(0等待状态从0到24 MHz,1等待状态从24到48 MHz和2个等待状态)。
 - 环境温度¹和VDD电源电压状况总结在表10中。
 - 预取开启(提醒:此位必须在时钟设置和总线预分频之前设置)
- 当外设使能时, PCLK1 = fHCLK / 4, fPCLK2 = fHCLK / 2, fADCCLK = fPCLK2 / 4

表18. 典型电流消耗在运行模式下, 代码与数据处理从Flash运行

符号	参数	条件	f HCLK	典型 (1)		单元
				所有外设启用 (2)	所有外设残	
I _{DD}	供应 目前在 运行模式	外部时钟 (3)	72 MHz	52.5	33.5	mA
			48 MHz	36.6	23.8	
			36 MHz	28.5	18.7	
			24 MHz	24.1	12.8	
			16 MHz	14	9.2	
			8 MHz	7.7	5.4	
			4 MHz	4.6	3.4	
			2 MHz	3	2.3	
			1 MHz	2.2	1.8	
			500 kHz	1.7	1.5	
			125 kHz	1.4	1.3	
		跑高 速度内部RC (HSI), AHB 预分频器用于 减少 频率	64 MHz	45.5	28.6	mA
			48 MHz	35.1	22.4	
			36 MHz	27.5	17.5	
			24 MHz	18.9	11.6	
			16 MHz	12.2	8.2	
			8 MHz	7.2	4.8	
			4 MHz	4	2.7	
			2 MHz	2.3	1.7	
			1 MHz	1.5	1.2	
			500 kHz	1.1	0.9	
			125 kHz	0.75	0.7	

1. 典型值为T_A = 25°C, VDD = 3.3 V时的测量值。
2. 为模拟部分增加每个ADC 0.8 mA的额外功耗。在应用中, 这个
仅在ADC导通时才会发生消耗(ADC_CR2寄存器中的ADON位置1)。
3. 当 HCLK > 8 MHz时, 外部时钟为8 MHz, PLL为ON。



表19. 在休眠模式下的典型电流消耗，代码从Flash或随机存取存储器

符号	参数	条件	f HCLK	典型 (1)		单元
				所有外设 启用 (2)	所有外设 残	
我 DD	供应 目前在 睡眠模式	外部时钟 (3)	72 MHz	32.5	7	嘛
			48 MHz	23	五	
			36 MHz	17.7	4	
			24 MHz	12.2	3.1	
			16 MHz	8.4	2.3	
			8 MHz	4.6	1.5	
			4 MHz	3	1.3	
			2 MHz	2.15	1.25	
			1 MHz	1.7	1.2	
			500 kHz	1.5	1.15	
		跑高 速度内部RC (HSI)，AHB预分频器 用来减少 频率	125 kHz	1.35	1.15	
			64 MHz	28.7	5.7	
			48 MHz	22	4.4	
			36 MHz	17	3.35	
			24 MHz	11.6	2.3	
			16 MHz	7.7	1.6	
			8 MHz	3.9	0.8	
			4 MHz	2.3	0.7	
			2 MHz	1.5	0.6	
			1 MHz	1.1	0.5	
			500 kHz	0.9	0.5	
			125 kHz	0.7	0.5	

1. 典型值为T A = 25°C，VDD = 3.3 V时的测量值。
2. 为模拟部分增加每个ADC 0.8 mA的额外功耗. 在应用中，这个
仅在ADC导通时才会发生消耗（ADC_CR2寄存器中的ADON位置1）。
3. 当 HCLK > 8 MHz时，外部时钟为8 MHz，PLL为ON。

片上周边电流消耗

表20给出了片上外设的电流消耗.放置了MCU
在以下条件下:

- 所有I / O引脚都处于输入模式,静态值为V_{DD}或V_{SS} (无负载)
- 所有外设均禁用,除非另有说明
- 给定值通过测量电流消耗来计算
 - 所有外设都关机
 - 只有一个外围设备
- 环境工作温度和V_{DD}电源电压条件总结

表7

表20. 外设电流消耗 (1)

外围设备		25°C时典型消耗	单元
APB1	TIM2	1.6	嘛
	TIM3	1.5	
	TIM4	1.5	
	TIM5	1.5	
	TIM6	0.6	
	TIM7	0.6	
	TIM12	0.95	
	TIM13	0.7	
	TIM14	0.75	
	SPI2	0.6	
	SPI3	0.6	
	USART2	0.7	
	USART3	0.7	
	USART4	0.7	
	USART5	0.7	
	I2C1	0.65	
	I2C2	0.65	
	USB	0.9	
	能够	0.9	
	DAC (2)	1.35	



表20. 外围电流消耗 (1) (续)

外围设备		25°C时典型消耗	单元
APB2	GPIOA	0.55	嘛
	GPIOB	0.55	
	GPIOC	0.55	
	GIOD	0.6	
	GPIOE	0.6	
	GPIOF	0.55	
	GPIOG	0.55	
	TIM1	1.95	
	TIM8	1.9	
	TIM9	1	
	TIM10	0.8	
	TIM11	0.8	
	ADC1 (3)	1.85	
	ADC2 (3)	1.8	
	ADC3 (3)	1.8	
	SPI1	0.45	
	USART1	0.8	

1. $f_{HCLK} = 72\text{ MHz}$, $f_{APB1} = f_{HCLK} / 2$, $f_{APB2} = f_{HCLK}$, 每个外设的默认预分频值.
2. DAC的特定条件: DAC_CR寄存器中的EN1, EN2位设置为1, 转换后的值设置为0x800.
3. ADC的特定条件: $f_{HCLK} = 56\text{ MHz}$, $f_{APB1} = f_{HCLK} / 2$, $f_{APB2} = f_{HCLK}$, $f_{ADCCLK} = f_{APB2} / 4$, ADON位在ADC_CR2寄存器中设置为1.

5.3.6 外部时钟源特性

从外部源产生的高速外部用户时钟

表21中给出的特性来自使用高速执行的测试外部时钟源, 以及环境温度和电源电压条件总结在表10中.



表21. 高速外部用户时钟特性

符号	参数	条件	敏	典型	马克斯	单元
f HSE_ext	用户外部时钟源 频率 (1)		18		25	兆 赫
V HSEH	OSC_IN输入引脚为高电平电压		0.7 V DD	- V DD		V
V HSEL	OSC_IN输入引脚低电平电压		V SS	-0.3 V DD		
t w (HSE) t w (HSE)	OSC_IN高或低时 (1)		5-		-	NS
t (HSE) t f (HSE)	OSC_IN上升或下降时间 (1)		-		20	
(HSE)	OSC_IN输入电容 (1)		-5-			pF的
DuCy (HSE)	占空比		45	-	55	%
我 L	OSC_IN输入漏电流	V SS≤VIN≤VDD	-		±1	μA

1. 保证设计，未经生产测试。

从外部源产生的低速外部用户时钟

表22给出的特性来自使用低速执行的测试
外部时钟源，以及环境温度和电源电压条件
总结在表10中。

表22. 低速外部用户时钟特性

符号	参数	条件	敏	典型	马克斯	单元
f LSE_ext	用户外部时钟源 频率 (1)		-	32.768	10 00	千 赫
V LSEH	OSC32_IN输入引脚高电平 电压		0.7 V DD	- V DD		V
V LSEL	OSC32_IN输入引脚为低电平 电压		V SS	-0.3 V DD		
t w (LSE) t w (LSE)	OSC32_IN高或低时 (1)		450	-	-	NS
t r (LSE) t f (LSE)	OSC32_IN上升或下降时间 (1)		-		50	
(LSE)	OSC32_IN输入电容 (1)		-5		-	pF的
DuCy (LSE)	占空比		三十	-	70	%
我 L	OSC32_IN输入漏电流	V SS≤VIN≤VDD	-		±1	μA

1. 保证设计，未经生产测试。



图18. 高速外部时钟源交流时序图

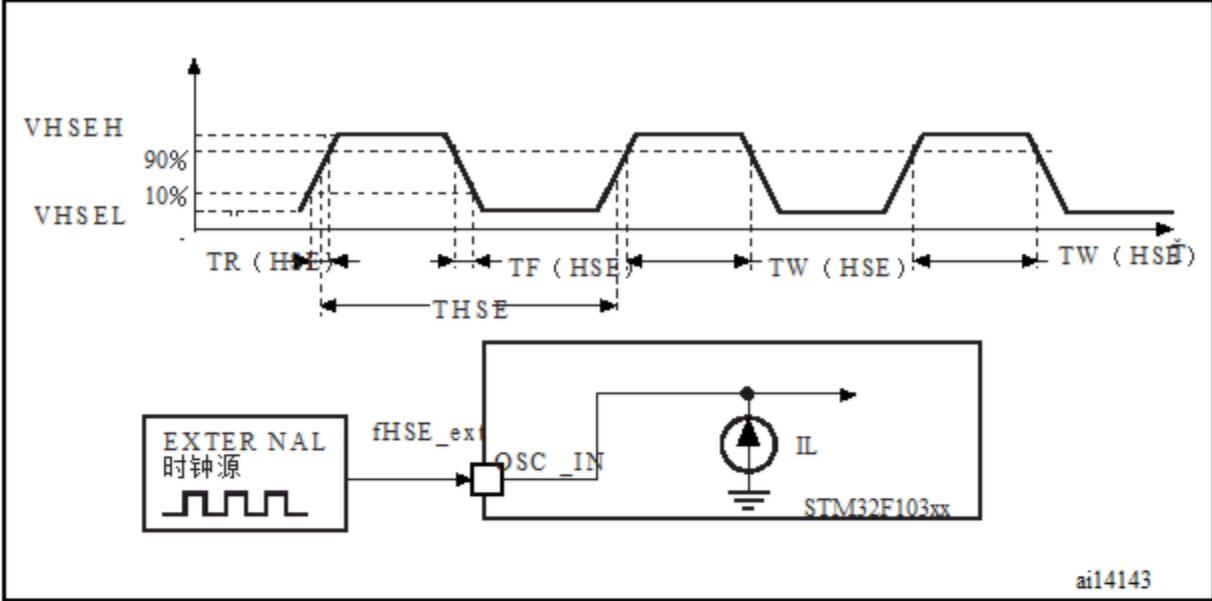
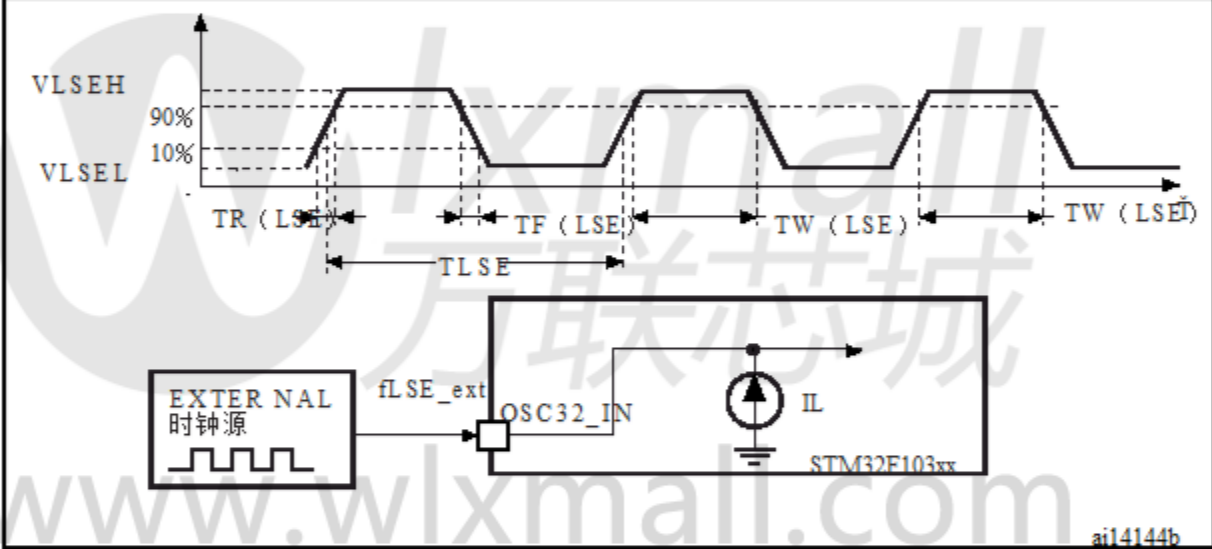


图19. 低速外部时钟源AC时序图



从晶体/陶瓷谐振器产生的高速外部时钟

高速外部 (HSE) 时钟可提供4至16 MHz晶体/陶瓷谐振器.本段中提供的所有信息均基于特征通过表23中规定的典型外部组件获得的结果.在应用中，谐振器和负载电容必须尽可能靠近振荡器放置引脚，以最小化输出失真和启动稳定时间.参考水晶谐振器制造商有关谐振器特性（频率，包装，精度）。

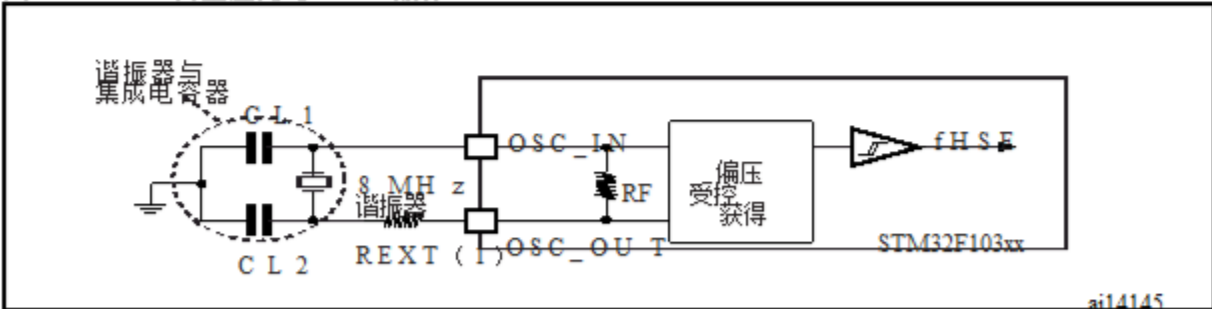
表23. HSE 4-16 MHz振荡器特性 (1) (2)

符号	参数	条件	敏	典型	马克斯	单元
f_{OSC_IN}	振荡频率		4	8	16	兆赫
R _F	反馈电阻		-	200	-	k Ω
C	推荐负载电容 相对于等效串行 晶体电阻 (R _S)	R _S = 30 Ω	- 3 0 -			pF的
I _{HSE}	HSE驱动电流	V _{DD} = 3.3 V, V _{IN} = V _{SS} 具有30 pF负载	-		1	嘛
g _m	振荡器跨导	启动	25		-	毫安 / V
t _{SU} (HSE)	启动时间	V _{DD} 稳定	-	2	-	女士

1. 晶体/陶瓷谐振器制造商提供的谐振器特性.
2. 基于表征结果，未在生产中测试.
3. R_F电阻的相对较低的值可以防止在使用中导致的问题潮湿的环境，由于感应世痛和偏差条件的变化.但是，它是如果MCU在恶劣的湿度条件下使用，建议考虑这一点.
4. t_{SU} (HSE) 是从启用（通过软件）到稳定的8 MHz测量的启动时间达到振荡.该值是针对标准晶体谐振器测量的，它可以显著变化与晶体制造商

对于C_{L1}和C_{L2}，建议使用高品质的外部陶瓷电容5 pF至25 pF范围（典型值），设计用于高频应用，并选择匹配晶体或谐振器的要求（见图20）。C_{L1}和C_{L2}通常是相同大小晶体制造商通常指定负载电容C_{L1}和C_{L2}的串联组合.必须包括PCB和MCU引脚电容（10 pF可以用作粗略估计组合的针脚和电路板电容）C_{L1}和C_{L2}.请参见应用笔记AN2867“ST振荡器设计指南”微控制器“，可从ST网站www.st.com获取。

图20. 典型应用与8 MHz晶体



1. R_{EXT} 值取决于晶体特性.

从晶体/陶瓷谐振器产生的低速外部时钟

低速外部 (LSE) 时钟可提供 32.768 kHz 晶体/陶瓷谐振器。本段中提供的所有信息均基于特征。通过表 24 中规定的典型外部组件获得的结果。在应用中，谐振器和负载电容必须尽可能靠近振荡器放置引脚，以最小化输出失真和启动稳定时间。参考水晶谐振器制造商有关谐振器特性（频率，包装，精度）。

表 24. LSE 振荡器特性 (fLSE = 32.768 kHz) (1) (2)

符号	参数	条件	敏	典型	马克	斯单元
RF	反馈电阻		-	五	-	中号
C (2)	推荐负载电容 相对于等效串行 晶体电阻 (RS)	RS = 30kΩ	-	-	15	pF 的
我 2	LSE 驱动电流	VDD = 3.3 V, VIN = VSS	-		1.4	μA
gm	振荡器跨导		五	-	-	μA / V
tSU (LSE) ³⁾	启动时间	VDD 是 稳定	TA = 50°C	-	1.5	-
			TA = 25°C	-	2.5	-
			TA = 10°C	-	4	-
			TA = 0°C	-	6	-
			TA = -10°C	-	10	-
			TA = -20°C	-	17	-
			TA = -30°C	-	32	-
			TA = -40°C	-	60	-

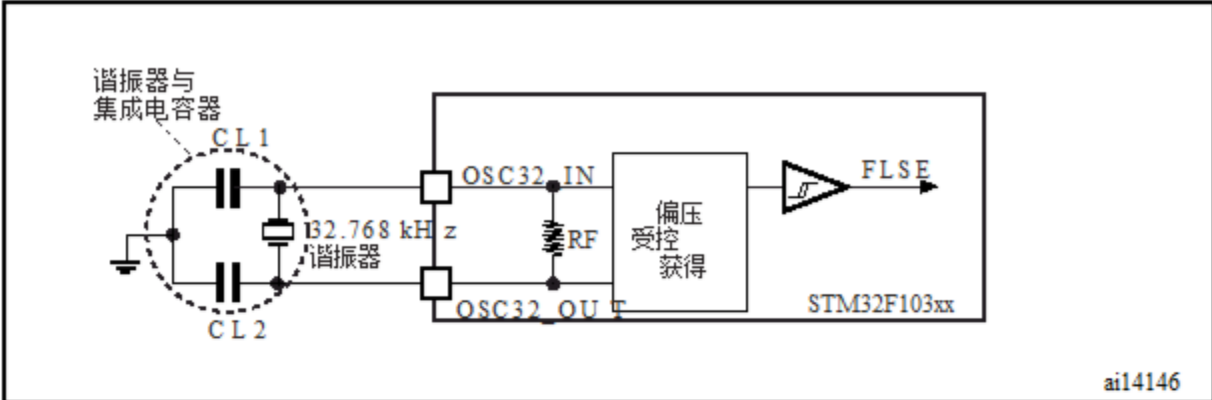
- 1. 基于表征，未在生产中测试。
- 2. 请参见表格下面的注意事项和注意事项以及应用笔记 AN2867“振荡器设计指南” ST 微控制器。
- 3. tSU (LSE) 是从启用时 (软件) 测量的启动时间，直到稳定的 32.768 kHz 振荡为到达。该值是针对标准晶体进行测量的，它可能与晶体制造商 PCB 有显著差异布局 and 湿度。

注意: 对于 CL1 和 CL2，建议在 5 pF 至 5 pF 内使用高品质陶瓷电容选择 15 pF 范围以匹配晶体或谐振器的要求 (见图 21)。CL1 和 CL2 通常是相同的大小。晶体制造商通常指定负载电容是 CL1 和 CL2 的串联组合。负载电容 CL 具有以下公式: $CL = CL1 \times CL2 / (CL1 + CL2) + C_{杂散}$ 其中 C 杂散 是引脚电容和电路板或跟踪 PCB 相关的电容。通常，它是在 2 pF 和 7 pF 之间。

警告: 为了避免超过 CL1 和 CL2 (15 pF) 的最大值，强烈建议使用负载电容 $CL \leq 7$ pF 的谐振器。切勿使用带负载的谐振器电容 12.5 pF。
示例: 如果选择负载电容为 $CL = 6$ pF, C 杂散 = 2 pF 的谐振器，那么 $CL1 = CL2 = 8$ pF。



图21. 具有32.768 kHz晶体的典型应用



5.3.7 内部时钟源特性

表25中给出的参数来自于在环境温度下进行的测试
温度和VDD电源电压条件总结在表10中。

高速内部（HSI）RC振荡器

表25. HSI振荡器特性 (1)

符号	参数	条件	敏	典型	马克斯单元
f 恒指	频率		-	8	兆赫
DuCy (HSI) 占空比			45	-	55 %
ACC 恒指	恒指准确 振荡器	用RCC_CR进行用户修剪 注册 (2)	-	-	1 (3) %
		厂校准 (4) T A = -40至105°C	-2	-	2.5 %
		T A = -10~85°C	-1.5	-	2.2 %
		T A = 0~70°C	-1.3	-	2 %
t su (HSI) 4	HSI振荡器 启动时间		1-2		微秒
我 DD (Hst)	HSI振荡器功率 消费		-	80	100 μA

1. VDD = 3.3 V, T A = -40至105°C, 除非另有规定.
2. 请参见应用笔记AN2868“STM32F10xxx内部RC振荡器 (HSI) 校准”
ST网站 www.st.com.
3. 保证设计, 未经生产测试.
4. 基于表征, 未在生产中测试.

低速内部（LSI）RC振荡器

表26. LSI振荡器特性 (1)

符号	参数	敏	典型	马克斯	单元
f LSI ⁽²⁾	频率	三十	40	60	千赫
t su (LSI) ⁽³⁾	LSI振荡器启动时间	-	-	85	微秒
I DD (LSI) ⁽³⁾	LSI振荡器功耗	-	0.65	1.2	μA

- 1. V DD = 3 V, T A = -40至105°C, 除非另有规定.
- 2. 基于表征, 未在生产中测试.
- 3. 保证设计, 未经生产测试.

从低功耗模式唤醒时间

表27中给出的唤醒时间是在8 MHz HSI RC的唤醒阶段测量的
振荡器.用于唤醒设备的时钟源取决于当前的操作
模式:

- 停止或待机模式: 时钟源是RC振荡器
- 休眠模式: 时钟源是在进入睡眠模式之前设置的时钟.

所有时间均来自在环境温度和V DD 电源下进行的测试
电压条件总结在表10中.

表27. 低功耗模式唤醒时序

符号	参数	典型	单元
t WUSLEEP ⁽¹⁾	从休眠模式唤醒	1.8	微秒
t WUSTOP ⁽¹⁾	从停止模式唤醒 (运行模式下调节器)	3.6	微秒
	从停止模式唤醒 (低功耗模式下的稳压器)	5.4	
t WUSTDB ⁽¹⁾	从待机模式唤醒	50	微秒

- 1. 唤醒时间是从唤醒事件到用户应用代码的时间点
读取第一条指令.

5.3.8 PLL特性

表28中给出的参数来自于在环境温度下进行的测试
 温度和V_{DD}电源电压条件总结在表10中。

表28. PLL特性

符号	参数	值			单元
		敏	典型	最大 (1)	
f _{PLL_IN}	PLL输入时钟 (2)	18.0		25	兆赫
	PLL输入时钟占空比	40	-	60	%
f _{PLL_OUT}	PLL倍频器输出时钟	16	-	72	兆赫
t _{LOCK}	PLL锁定时间	-	-	200	微秒
抖动	周期到周期的抖动	-	-	300	PS

1. 基于表征，未在生产中测试。
2. 注意使用适当的乘数因子，使PLL输入时钟值兼容由f_{PLL_OUT}定义的范围。

5.3.9 记忆特征

闪存

特性在T_A = -40至105°C下给出，除非另有规定。

表29. 闪存特性

符号	参数	条件	敏	典型	最大 (1)	单元
t _{程序}	16位编程时间	T _A = -40至+105°C	40	52.5	70	微秒
删除页面	(2 KB) 擦除时间	T _A = -40至+105°C	20	-	40	女士
t _{ME}	大量擦除时间	T _A = -40至+105°C	20	-	40	女士
我 _{DD}	供电电流	读取模式 f _{HCLK} = 72 MHz, 2等待 状态, V _{DD} = 3.3 V	-		28	嘛
		写入模式 f _{HCLK} = 72MHz, V _{DD} = 3.3V	-		7	嘛
		擦除模式 f _{HCLK} = 72MHz, V _{DD} = 3.3V	-		五	嘛
		掉电模式/停止, V _{DD} = 3.0~3.6V	-	-	50	μA
V _{程序}	编程电压		2	-	3.6	V

1. 保证设计，未经生产测试。

表30. 闪存耐久性和数据保留

符号	参数	条件	值	单元
			最小 (1)	
N 结束	耐力	TA = -40至+85°C (6个后继版本) TA = -40至+105°C (7个后继版本)	10	kcycles
t RET	数据保留	在TA = 85°C下 1Kcycle (2)	三十	年份
		1 Kcycle (2) 在TA = 105°C	10	
		TKA = 55°C时有 10个循环 (2)	20	

- 1. 基于在生产中未测试的表征.
- 2. 在整个温度范围内进行循环.

5.3.10 FSMC特性

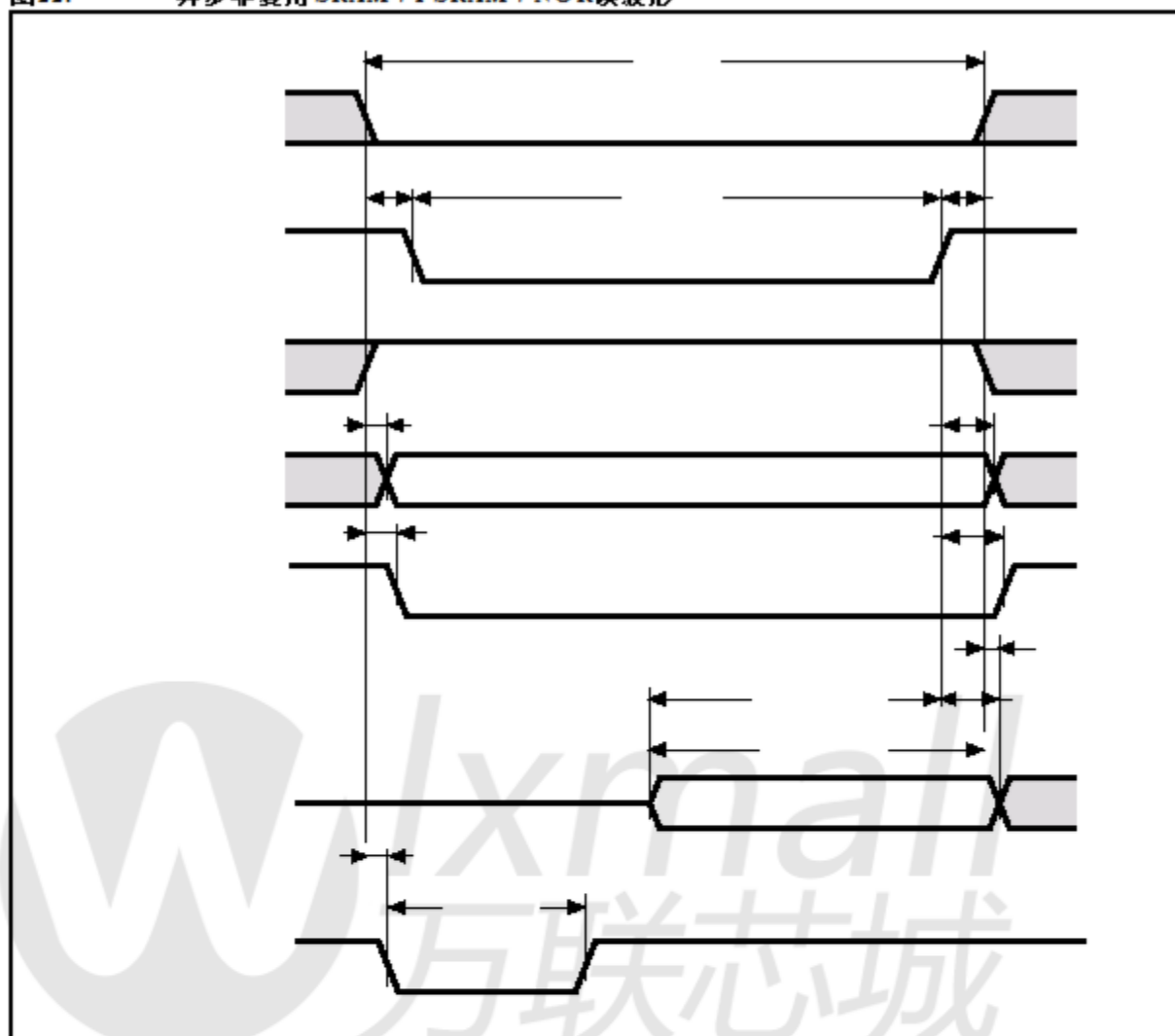
异步波形和时序

图22至图25表示异步波形, 表31至表示
表35提供了相应的定时. 得到这些表中所示的结果
具有以下FSMC配置:

- AddressSetupTime = 0
- AddressHoldTime = 1
- DataSetupTime = 1

注意: 在所有表中, HCLK 是HCLK时钟周期.

图22. 异步非复用 SRAM / PSRAM / NOR读波形



1. 模式2 / B, C和D仅在模式1中, 不使用FSMC_NADV.

注意:

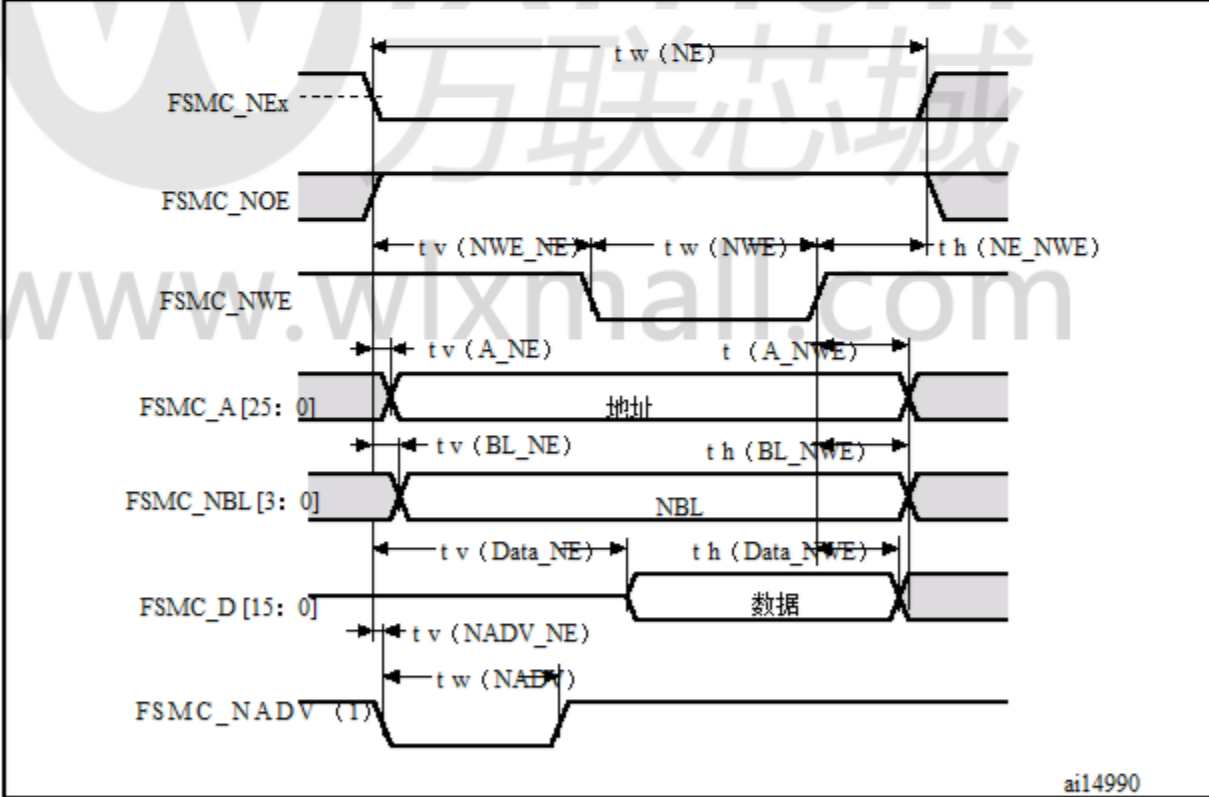
$FSMC_BusTurnAroundDuration = 0$.

表31. 异步非复用SRAM / PSRAM / NOR读时序 (1)

符号	参数	敏	马克斯	单元
$t_w (NE)$	FSMC_NEx低时间	$5t_{HCLK} + 0.5$	$5t_{HCLK} + 2$	NS
$t_v (NOE_NE)$	FSMC_NEx低至FSMC_NOE低	0.5	1.5	NS
$t_w (NOE)$	FSMC_NOE低时间	$5t_{HCLK} - 1$	$5t_{HCLK} + 1$	NS
$t (NE_NOE)$	FSMC_NOE高到FSMC_NE高保持时间	0	-	NS
$t_v (A_NE)$	FSMC_NEx低至FSMC_A有效	-	3	NS
$t (A_NOE)$	在FSMC_NOE为高电平后保持时间	0	-	NS
$t_v (BL_NE)$	FSMC_NEx低至FSMC_BL有效	-	0	NS
$t (BL_NOE)$	FSMC_BL在FSMC_NOE为高电平后保持时间	0.5	-	NS
$t_{su} (Data_NE)$	数据到FSMC_NEx高设置时间	$2t_{HCLK} - 1$	-	NS
$t_{su} (Data_NOE)$	数据到FSMC_NOEx高设置时间	$2t_{HCLK} - 1$	-	NS
$t_h (Data_NOE)$	FSMC_NOE为高电平后的数据保持时间	0	-	NS
$t_h (Data_NE)$	FSMC_NEx之后的数据保持时间高	0	-	NS
$t_v (NADV_NE)$	FSMC_NEx低至FSMC_NADV低	-	0	NS
$t_w (NADV)$	FSMC_NADV低时间	-	$t_{HCLK} + 2$	NS

1. $C_L = 15\text{ pF}$.

图23. 异步非复用SRAM / PSRAM / NOR写入波形



1. 模式2 / B, C和D仅在模式1中, 不使用FSMC_NADV.

表32. 异步非复用SRAM / PSRAM / NOR写入时序 (1)

符号	参数	敏	马克斯	单元
t_w (NE)	FSMC_NE低时间	$3t_{HCLK} + 0.5$	$3t_{HCLK} + 1.5$	ns
t_v (NWE_NE)	FSMC_NEx低至FSMC_NWE低	$t_{HCLK} + 0.5$	$t_{HCLK} + 1.5$	NS
t_w (NWE)	FSMC_NWE低时间	$t_{HCLK} - 0.5$	$t_{HCLK} + 1$	NS
t_h (NE_NWE)	FSMC_NWE高到FSMC_NE高保持时间	$t_{HCLK} - 0.5$	-	NS
t_v (A_NE)	FSMC_NEx低至FSMC_A有效	-	0	NS
t (A_NWE)	地址保持时间在FSMC_NWE高	t_{HCLK}	- ns	
t_v (BL_NE)	FSMC_NEx低至FSMC_BL有效	-	1.5	NS
t_h (BL_NWE)	FSMC_BL在FSMC_NWE为高电平后保持时间	$t_{HCLK} - 1.5$	-	NS
t_v (Data_NE)	FSMC_NEx低到数据有效	-	t_{HCLK}	NS
t_h (Data_NWE)	FSMC_NWE为高电平后的数据保持时间	t_{HCLK}	- ns	
t_v (NADV_NE)	FSMC_NEx低至FSMC_NADV低	-	0	NS
t_w (NADV)	FSMC_NADV低时间	-	$t_{HCLK} + 1.5$	NS

1. $C_L = 15 \text{ pF}$.

表33. 异步读取多路复用

符号	参数	敏	马克斯	单元
t_w (NE)	FSMC_NE低时间	$7t_{HCLK} + 0.5$	$7t_{HCLK} + 2$	NS
t_v (NOE_NE)	FSMC_NEx低至FSMC_NOE低	$3t_{HCLK} + 0.5$	$3t_{HCLK} + 1.5$	
t_w (NOE)	FSMC_NOE低时间	$4t_{HCLK} - 1$	$4t_{HCLK} + 1$	
t (NE_NOE)	FSMC_NOE高到FSMC_NE高保持时间	0.5	-	
t_v (A_NE)	FSMC_NEx低至FSMC_A有效	-	0	
t_v (NADV_NE)	FSMC_NEx低至FSMC_NADV低	0	1	
t_w (NADV)	FSMC_NADV低时间	$t_{HCLK} + 0.5$	$t_{HCLK} + 2$	
t (AD_NADV)	FSMC_AD (地址) 有效保留时间 FSMC NADV高	t_{HCLK}	-	
t (A_NOE)	在FSMC_NOE为高电平后保持时间	$t_{HCLK} - 2$	-	
t (BL_NOE)	FSMC_BL时间后FSMC_NOE高	0.5	-	
t_v (BL_NE)	FSMC_NEx低至FSMC_BL有效	-	0	
t_{su} (Data_NE)	数据到FSMC_NEx高设置时间	$4t_{HCLK} - 0.5$	-	
t_{su} (Data_NOE)	数据到FSMC_NOE高设置时间	$4t_{HCLK} - 1$	-	
t_h (Data_NE)	FSMC_NEx之后的数据保持时间高	0	-	
t_h (Data_NOE)	FSMC_NOE为高电平后的数据保持时间	0	-	

图24. 异步复用PSRAM / NOR读波形

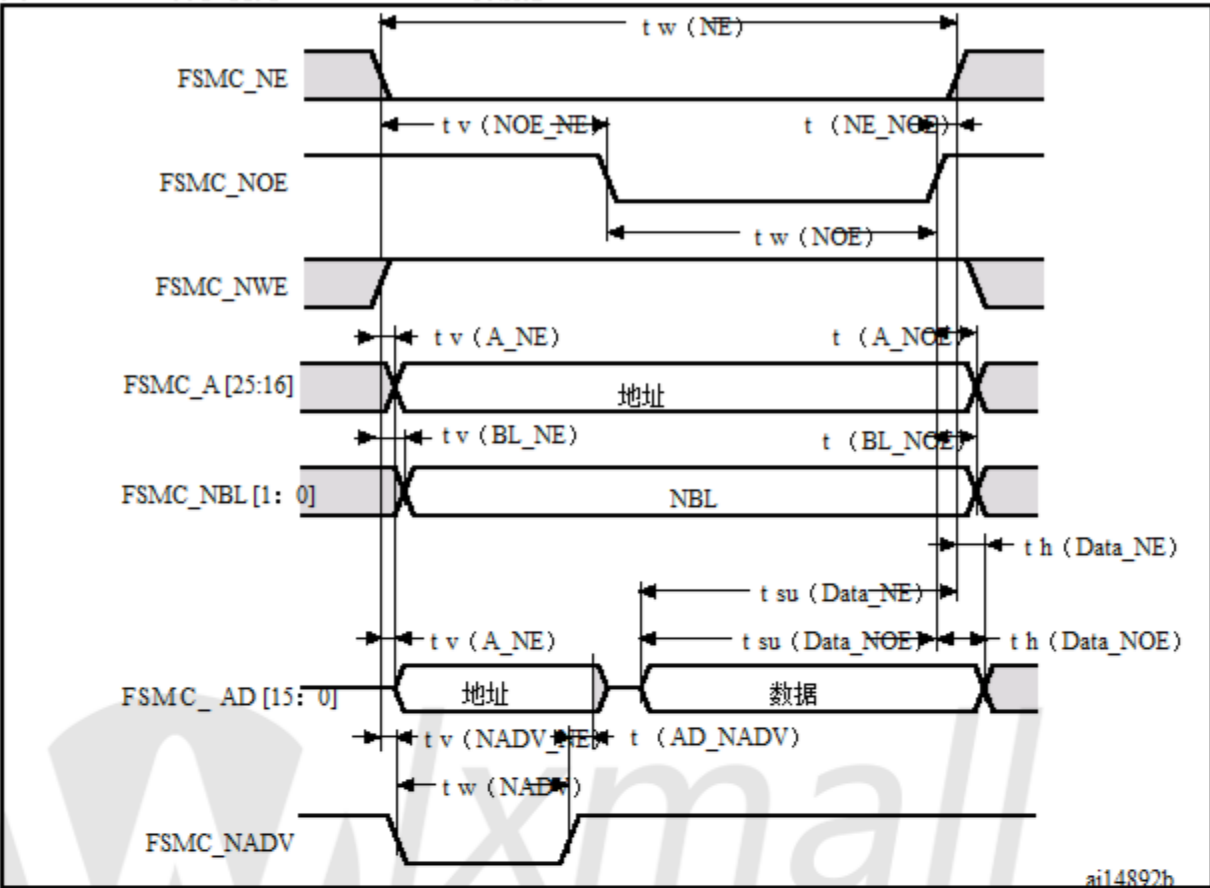
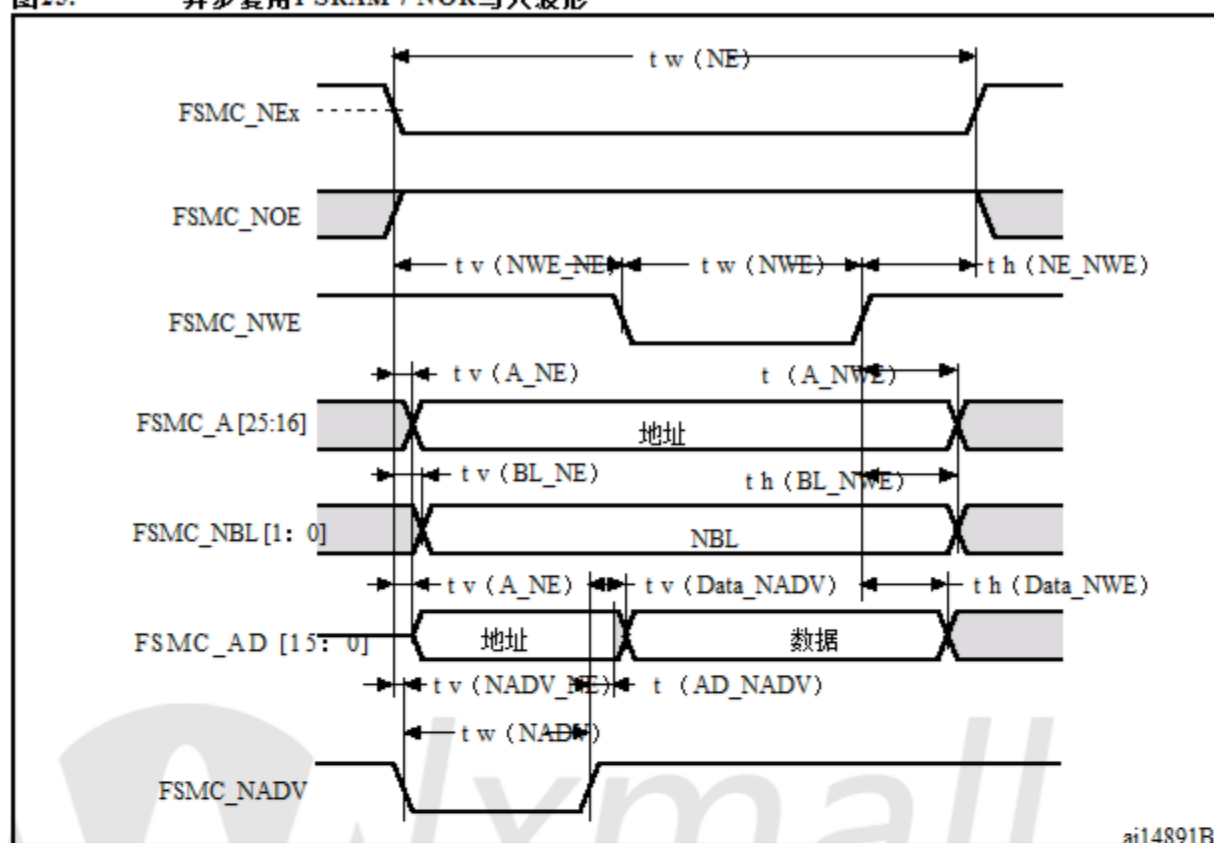


表34. 异步复用PSRAM / NOR读时序 (1)

符号	参数	敏	马克斯	单元
$t_w(NE)$	FSMC_NE低时间	$7t_{HCLK} + 0.5$	$7t_{HCLK} + 2$	NS
$t_v(NOE_NE)$	FSMC_NEx低至FSMC_NOE低	$3t_{HCLK} + 0.5$	$3t_{HCLK} + 1.5$	NS
$t_w(NOE)$	FSMC_NOE低时间	$4t_{HCLK} - 1$	$4t_{HCLK} + 1$	NS
$t(NE_NOE)$	FSMC_NOE高到FSMC_NE高保持时间	0.5	-	NS
$t_v(A_NE)$	FSMC_NEx低至FSMC_A有效	-	0	NS
$t_v(NADV_NE)$	FSMC_NEx低至FSMC_NADV低	0	1	NS
$t_w(NADV)$	FSMC_NADV低时间	$t_{HCLK} + 0.5$	$t_{HCLK} + 2$	NS
$t(AD_NADV)$	FSMC_AD (地址) 有效保留时间 FSMC_NADV高	t_{HCLK}	-	NS
$t(A_NOE)$	在FSMC_NOE为高电平后保持时间	$t_{HCLK} - 2$	-	NS
$t(BL_NOE)$	FSMC_BL在FSMC_NOE为高电平后保持时间	0.5	-	NS
$t_v(BL_NE)$	FSMC_NEx低至FSMC_BL有效	-	0	NS
$t_{su}(Data_NE)$	数据到FSMC_NEx高设置时间	$4t_{HCLK} - 0.5$	-	NS
$t_{su}(Data_NOE)$	数据到FSMC_NOE高设置时间	$4t_{HCLK} - 1$	-	NS
$t_h(Data_NE)$	FSMC_NEx之后的数据保持时间高	0	-	NS
$t_h(Data_NOE)$	FSMC_NOE为高电平后的数据保持时间	0	-	NS

1. $C_L = 15\text{ pF}$.

图25. 异步复用PSRAM / NOR写入波形



ai14891B

表35. 异步复用PSRAM / NOR写时序 (1)

符号	参数	敏	马克斯	单元
$t_w(NE)$	FSMC_NEx低时间	$5t_{HCLK} + 0.5$	$5t_{HCLK} + 2$	NS
$t_v(NWE_NE)$	FSMC_NEx低至FSMC_NWE低	$t_{HCLK} + 1$	$t_{HCLK} + 1.5$ ns	
$t_w(NWE)$	FSMC_NWE低时间	$3t_{HCLK} + 0.5$	$3t_{HCLK} + 1$	NS
$t_h(NE_NWE)$	FSMC_NWE高到FSMC_NEx高保持时间	$t_{HCLK} - 0.5$	-	NS
$t_v(A_NE)$	FSMC_NEx低至FSMC_A有效	-	3.5	NS
$t_v(NADV_NE)$	FSMC_NEx低至FSMC_NADV低	0	1	NS
$t_w(NADV)$	FSMC_NADV低时间	$t_{HCLK} + 0.5$	$t_{HCLK} + 1.5$ ns	
$t(AD_NADV)$	FSMC_AD (地址) 有效保留时间 FSMC_NADV高	$t_{HCLK} - 0.5$	-	NS
$t(A_NWE)$	地址保持时间在FSMC_NWE高	$4t_{HCLK} - 2$	-	NS
$t_v(BL_NE)$	FSMC_NEx低至FSMC_NBL有效	-	0.5	NS
$t_h(BL_NWE)$	FSMC_NBL在FSMC_NWE为高电平后保持时间	$t_{HCLK} - 1.5$	-	NS
$t_v(Data_NADV)$	FSMC_NADV为高电平有效	-	$t_{HCLK} + 6$	NS
$t_h(Data_NWE)$	FSMC_NWE为高电平后的数据保持时间	$t_{HCLK} - 0.5$	-	NS

1. $C_L = 15$ pF.

同步波形和时序

图26至图29表示同步波形，表37至表39提供了相应的定时.得到这些表中所示的结果具有以下FSMC配置：

- BurstAccessMode = FSMC_BurstAccessMode_Enable;
- MemoryType = FSMC_MemoryType_CRAM;
- WriteBurst = FSMC_WriteBurst_Enable;
- CLKDivision = 1;（不支持0，请参见STM32F10xxx参考手册）
- NOR Flash的DataLatency = 1; PSRAM的DataLatency = 0

图26. 同步多路复用NOR / PSRAM读时序

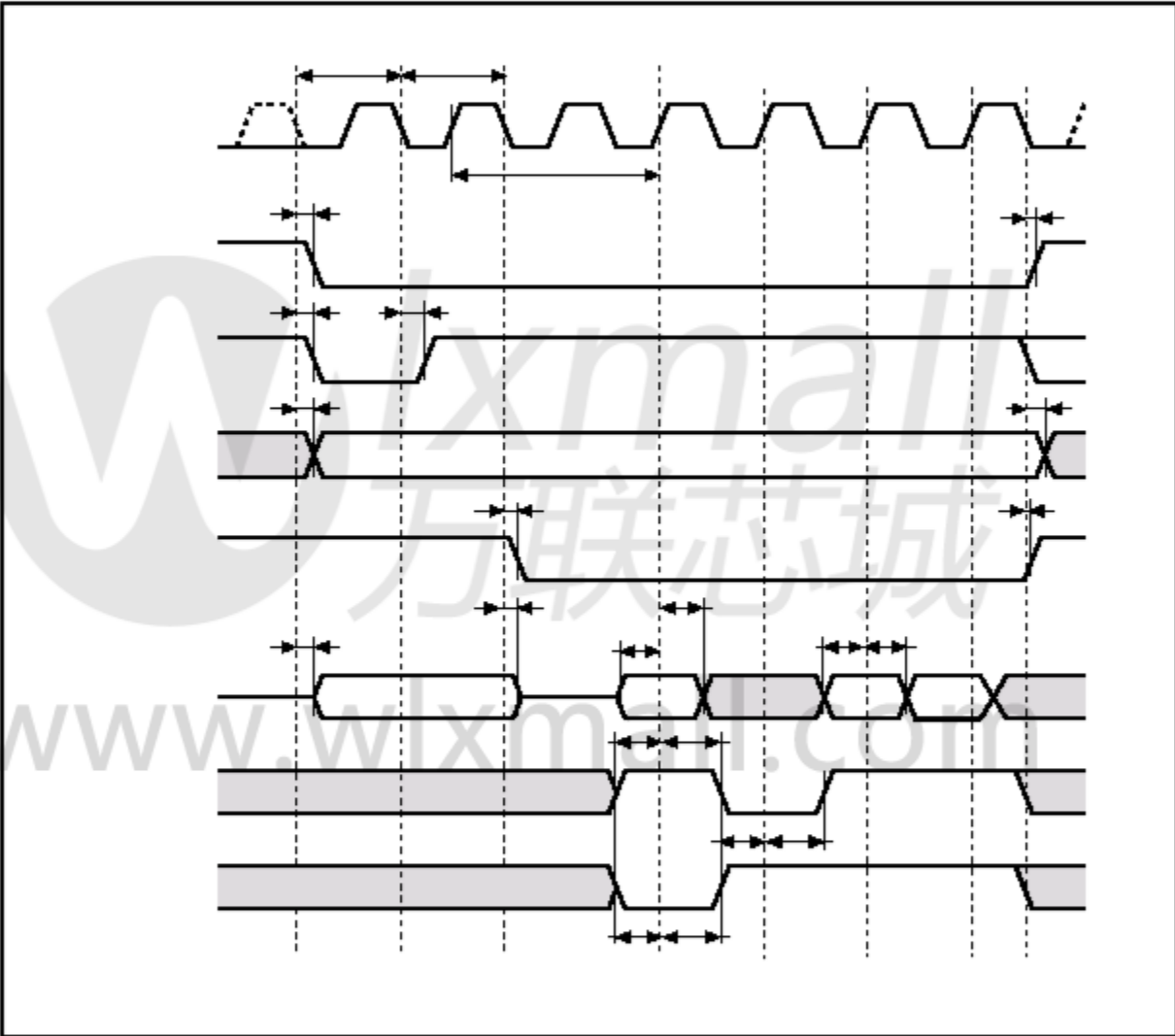


表36. 同步多路复用 NOR / PSRAM读时序 (1)

符号	参数	敏	马克斯	单元
t_w (CLK)	FSMC_CLK期间	27.6	-	NS
t_d (CLKL-NE _x L)	FSMC_CLK低至FSMC_NE _x 低 ($x = 0 \dots 2$)	-	0.5	NS
t_d (CLKL-NE _x H)	FSMC_CLK低至FSMC_NE _x 高 ($x = 0 \dots 2$)	1	-	NS
t_d (CLKL-NADV)	FSMC_CLK低至FSMC_NADV低	-	1	NS
t_d (CLKL-NADVH)	FSMC_CLK低至FSMC_NADV高	0.5	-	NS
t_d (CLKL-AV)	FSMC_CLK低至FSMC_A _x 有效 ($x = 0 \dots 25$)	-	0	NS
t_d (CLKL-AIV)	FSMC_CLK低至FSMC_A _x 无效 ($x = 16 \dots 25$)	1.5	-	NS
t (CLKL-NOEL)	FSMC_CLK低至FSMC_NOE低	-	14	NS
t_d (CLKL-NOEH)	FSMC_CLK低至FSMC_NOE高	1	-	NS
t_d (CLKL-ADV)	FSMC_CLK低至FSMC_AD [15: 0]有效	-	11	NS
t_d (CLKL-ADIV)	FSMC_CLK低至FSMC_AD [15: 0]无效	0.5	-	NS
t_{su} (ADV-CLKH)	FSMC_A / D [15: 0] FSMC_CLK之前的有效数据高	2-		NS
t_h (CLKH-ADV)	FSMC_A / D [15: 0] FSMC_CLK后的有效数据为高电平	0	-	NS

1. C L = 15 pF.

www.wlxmall.com

图27. 同步复用PSRAM写时序

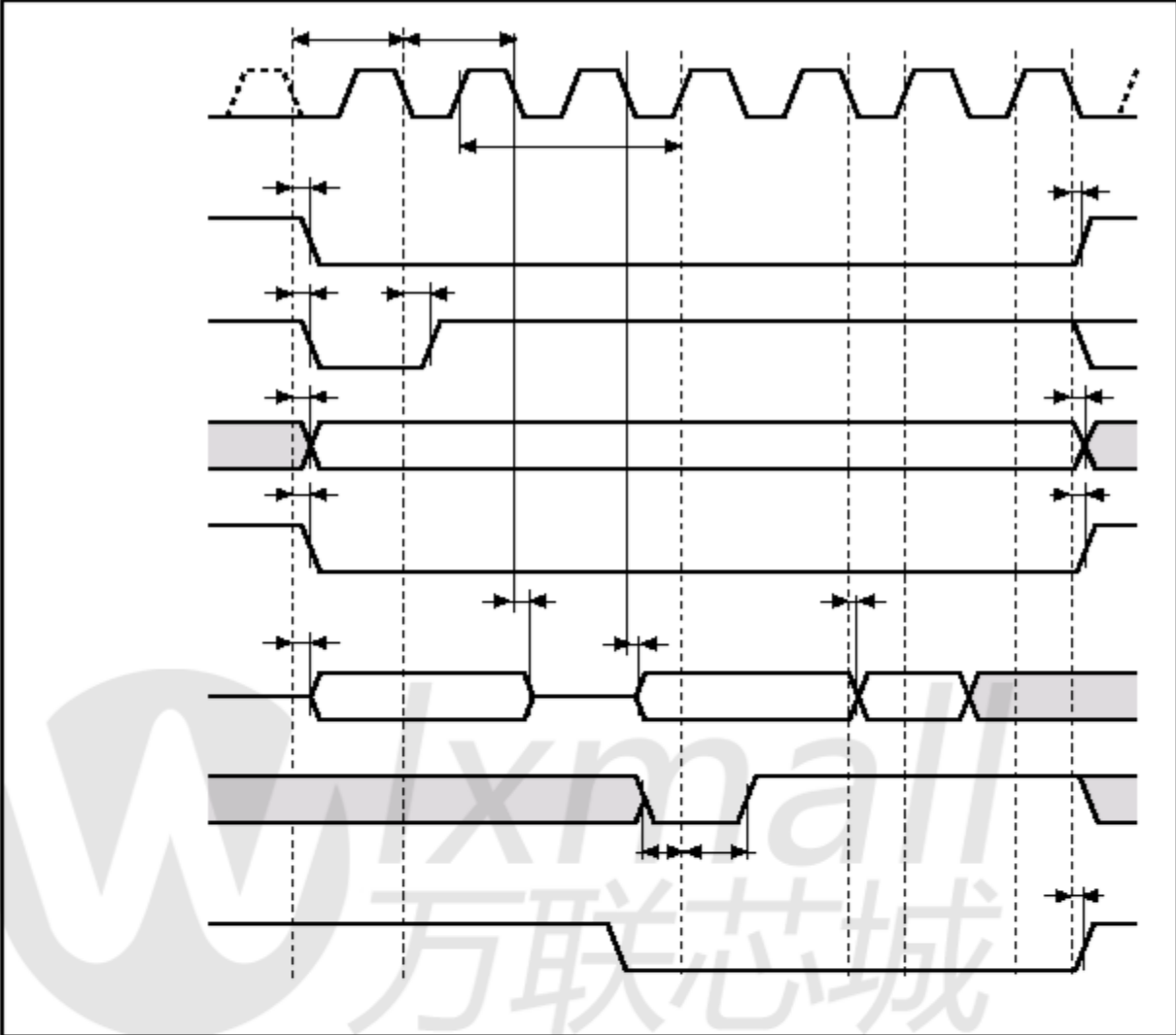


表37. 同步复用PSRAM写时序 (1)

符号	参数	敏	马克斯	单元
t_w (CLK)	FSMC_CLK期间	27.5	-	NS
t_d (CLKL-NExL)	FSMC_CLK低至FSMC_Nex为低 ($x = 0 \dots 2$)	-	0	NS
t_d (CLKL-NExH)	FSMC_CLK低至FSMC_NEx高 ($x = 0 \dots 2$)	1	-	NS
t_d (CLKL-NADV)	FSMC_CLK低至FSMC_NADV低	-	1	NS
t_d (CLKL-NADVH)	FSMC_CLK低至FSMC_NADV高	1	-	NS
t_d (CLKL-AV)	FSMC_CLK低至FSMC_Ax有效 ($x = 16 \dots 25$)	-	0	NS
t_d (CLKL-AIV)	FSMC_CLK低至FSMC_Ax无效 ($x = 16 \dots 25$)	1	-	NS
t_d (CLKL-NWEL)	FSMC_CLK低至FSMC_NWE低	-	1	NS
t_d (CLKL-NWEH)	FSMC_CLK低至FSMC_NWE高	1.5	-	NS
t_d (CLKL-ADV)	FSMC_CLK低至FSMC_AD [15: 0]有效	-	10	NS
t_d (CLKL-ADIV)	FSMC_CLK低至FSMC_AD [15: 0]无效	1	-	NS
t_d (CLKL-Data)	FSMC_A / D [15: 0]在FSMC_CLK为低电平有效	-	6	NS
t_d (CLKL-NBLH)	FSMC_CLK低至FSMC_NBL高	1	-	NS

1. $C_L = 15$ pF.

Wlxmall
万联芯城
www.wlxmall.com

图28. 同步非多路复用NOR / PSRAM读时序

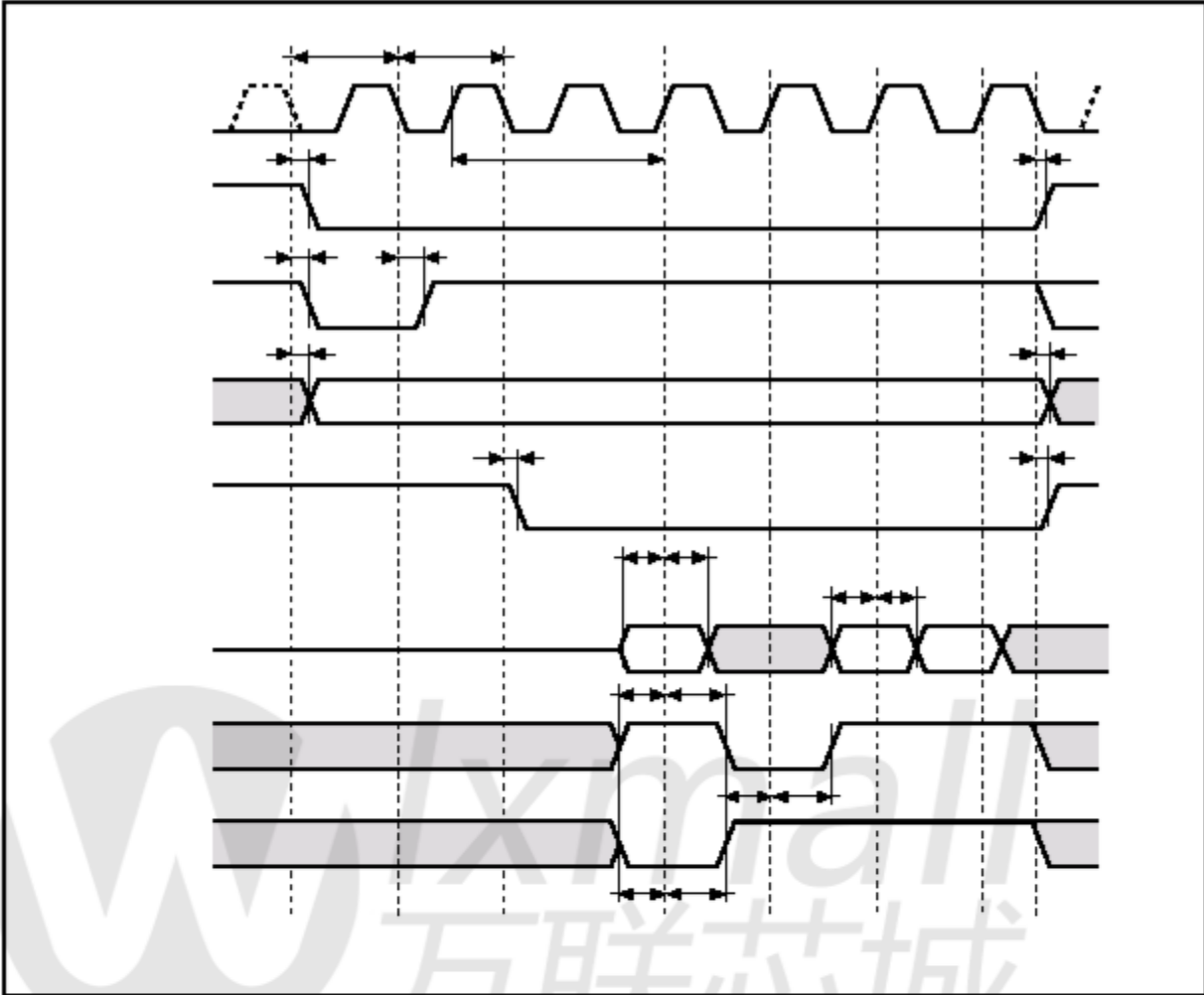


表38. 同步非多路复用NOR / PSRAM读时序 (1)

符号	参数	敏	马克斯	单元
t_w (CLK)	FSMC_CLK期间	27.6	-	NS
t_d (CLKL-NE _x L)	FSMC_CLK低至FSMC_NE _x 低 ($x = 0 \dots 2$)	-	1.5	NS
t_d (CLKL-NE _x H)	FSMC_CLK低至FSMC_NE _x 高 ($x = 0 \dots 2$)	2	-	NS
t_d (CLKL-NADV _L)	FSMC_CLK低至FSMC_NADV低	-	0.5	NS
t_d (CLKL-NADV _H)	FSMC_CLK低至FSMC_NADV高	1	-	NS
t_d (CLKL-AV)	FSMC_CLK低至FSMC_A _x 有效 ($x = 0 \dots 25$)	-	0	NS
t_d (CLKL-AIV)	FSMC_CLK低至FSMC_A _x 无效 ($x = 0 \dots 25$)	2	-	NS
t (CLKL-NOEL)	FSMC_CLK低至FSMC_NOE低	-	$t_{HCLK} + 1$	NS
t_d (CLKL-NOEH)	FSMC_CLK低至FSMC_NOE高	1.5	-	NS
t_{su} (DV-CLKH)	FSMC_D [15: 0] FSMC_CLK之前的有效数据为高电平	3.5	-	NS
t_h (CLKH-DV)	FSMC_DCL = 15时有效数据FSMC_CLK为高电平	0	-	NS

1. $C_L = 15$ pF.

图29. 同步非复用PSRAM写时序

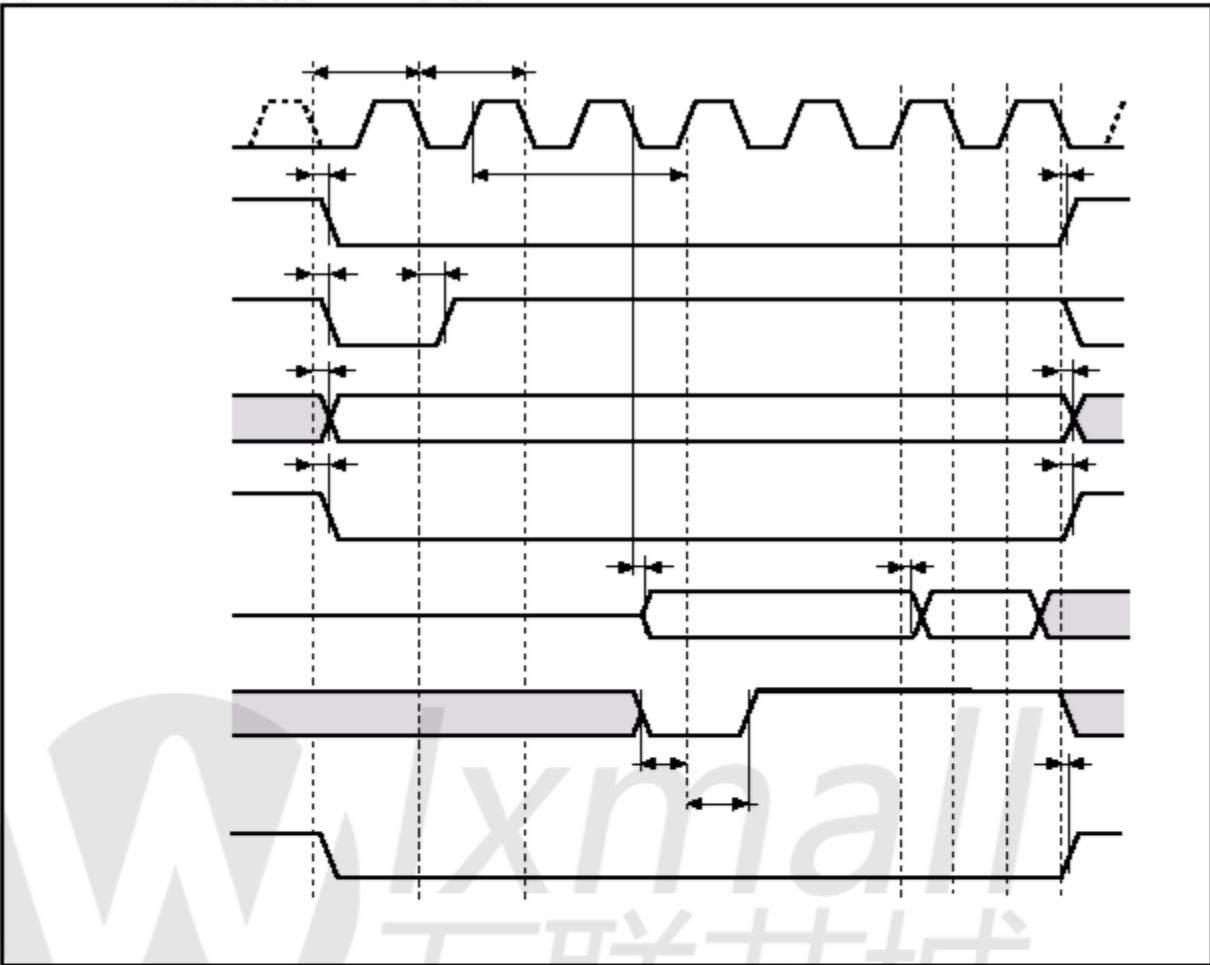


表39. 同步非复用PSRAM写时序 (1)

符号	参数	敏	马克斯	单元
$t_w(\text{CLK})$	FSMC_CLK期间	27.6	-	NS
$t_d(\text{CLKL-NExL})$	FSMC_CLK低至FSMC_NEx低 ($x = 0 \dots 2$)	-	0.5	NS
$t_d(\text{CLKL-NExH})$	FSMC_CLK低至FSMC_NEx高 ($x = 0 \dots 2$)	1.5	-	NS
$t_d(\text{CLKL-NADV})$	FSMC_CLK低至FSMC_NADV低	-	1	NS
$t_d(\text{CLKL-NADVH})$	FSMC_CLK低至FSMC_NADV高	0.5	-	NS
$t_d(\text{CLKL-AV})$	FSMC_CLK低至FSMC_Ax有效 ($x = 16 \dots 25$)	-	0	NS
$t_d(\text{CLKL-AIV})$	FSMC_CLK低至FSMC_Ax无效 ($x = 16 \dots 25$)	1.5	-	NS
$t_d(\text{CLKL-NWEL})$	FSMC_CLK低至FSMC_NWE低	-	1	NS
$t_d(\text{CLKL-NWEH})$	FSMC_CLK低至FSMC_NWE高	1.5	-	NS
$t_d(\text{CLKL-Data})$	FSMC_DCLK [15: 0] FSMC_CLK后的有效数据为低电平	-	2.5	NS
$t_d(\text{CLKL-NBLH})$	FSMC_CLK低至FSMC_NBL高	0.5	-	NS

1. CL = 15 pF.

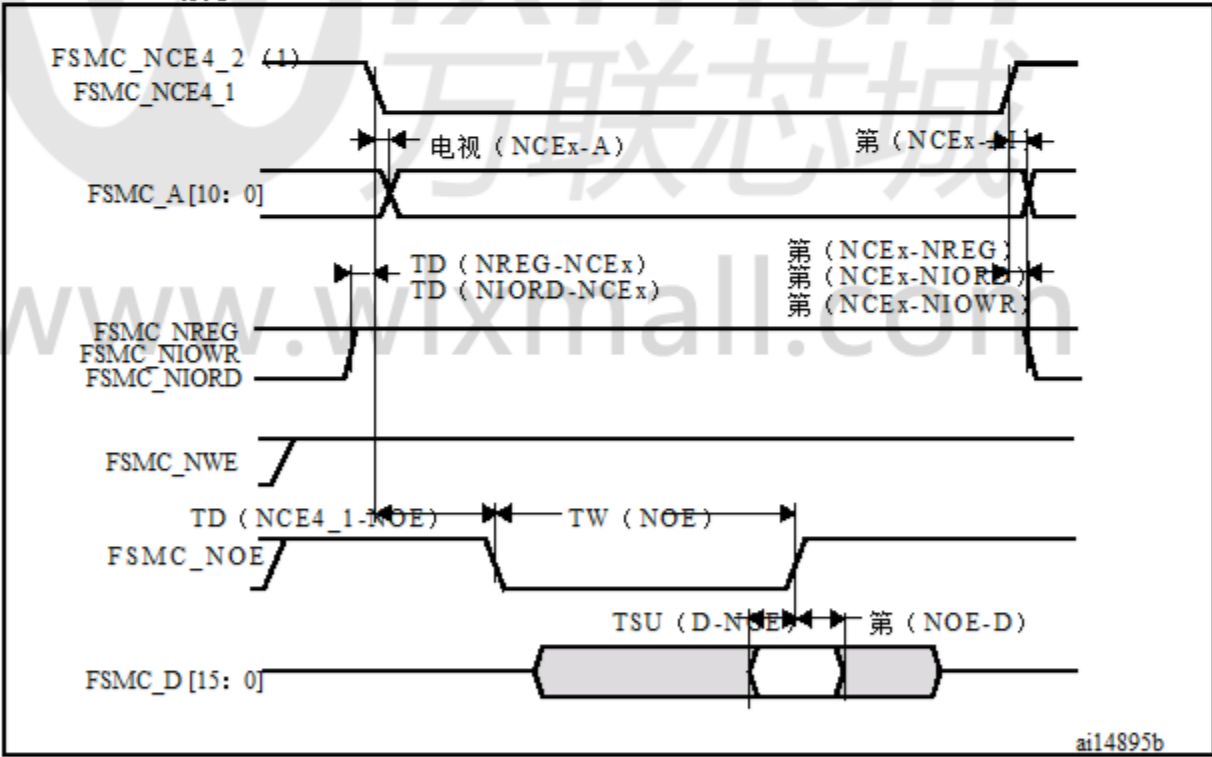


PC卡/ CompactFlash控制器波形和时序

图30到图35表示同步波形，表42提供了相应的时间.使用以下FSMC获得该表中所示的结果
组态：

- COM.FSMC_SetupTime = 0x04;
- COM.FSMC_WaitSetupTime = 0x07;
- COM.FSMC_HoldSetupTime = 0x04;
- COM.FSMC_HiZSetupTime = 0x00;
- ATT.FSMC_SetupTime = 0x04;
- ATT.FSMC_WaitSetupTime = 0x07;
- ATT.FSMC_HoldSetupTime = 0x04;
- ATT.FSMC_HiZSetupTime = 0x00;
- IO.FSMC_SetupTime = 0x04;
- IO.FSMC_WaitSetupTime = 0x07;
- IO.FSMC_HoldSetupTime = 0x04;
- IO.FSMC_HiZSetupTime = 0x00;
- TCLRSetupTime = 0;
- TARSetupTime = 0;

图30. PC卡/ CompactFlash控制器波形，用于普通内存读取访问



1. FSMC_NCE4_2保持高电平（8位访问期间不活动）。

图31. PC卡/ CompactFlash控制器波形，用于通用存储器写入访问

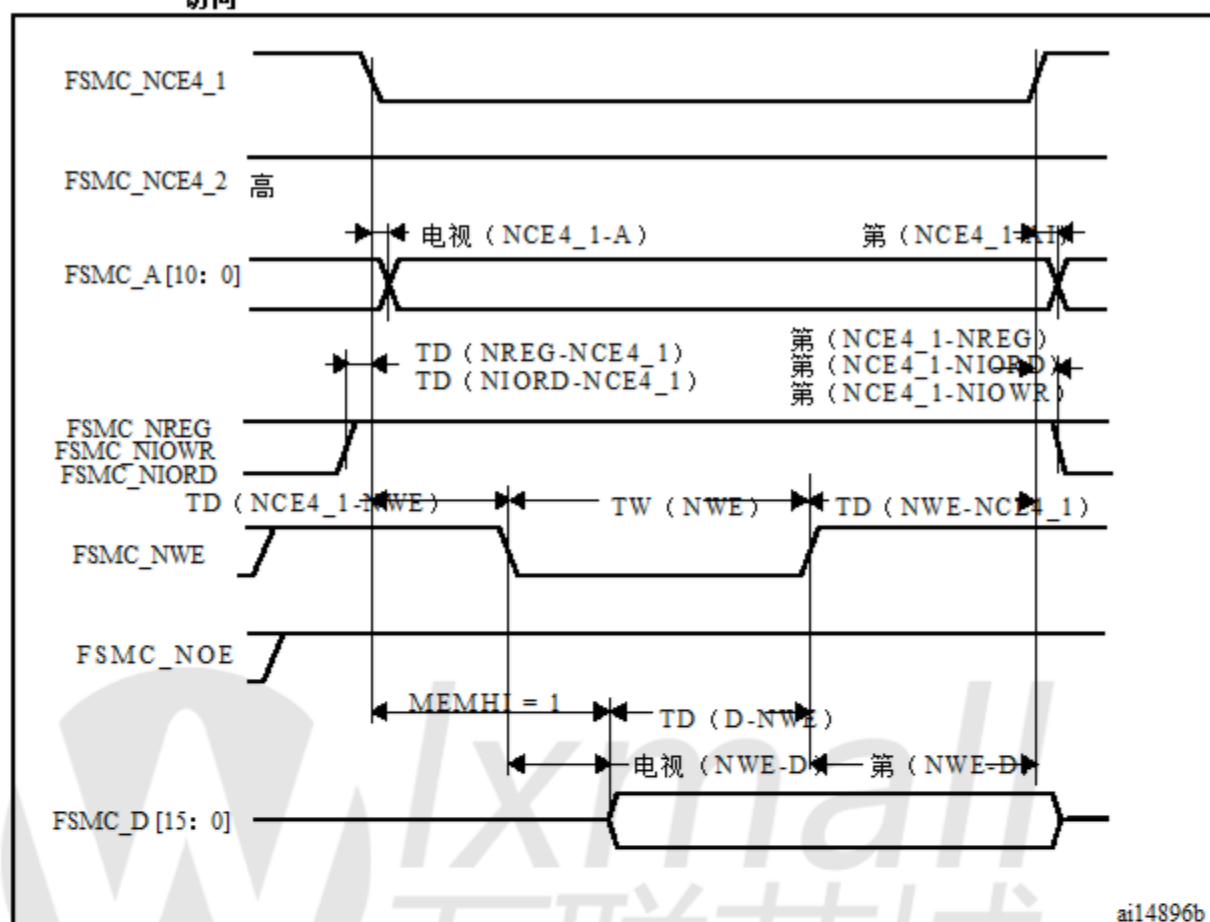
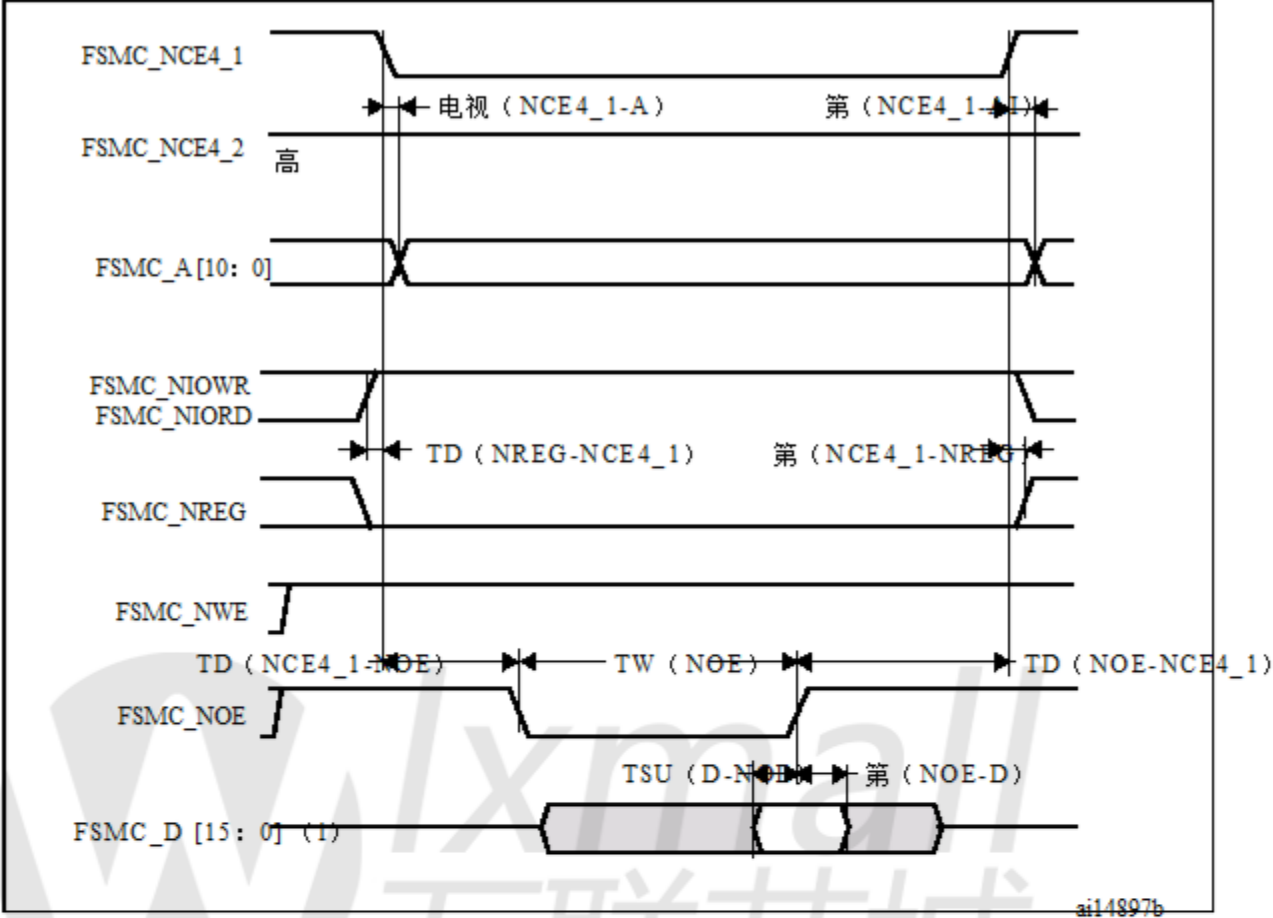
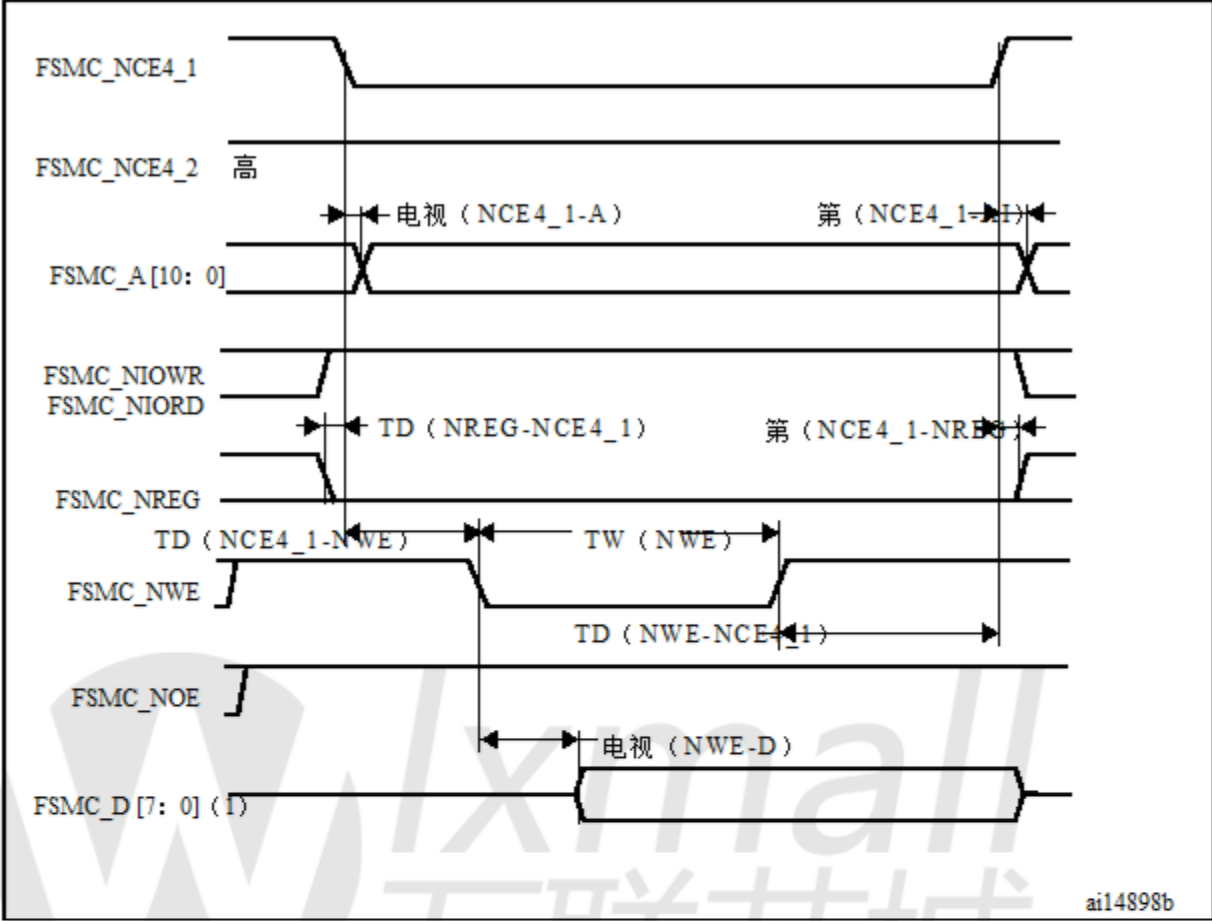


图32. 用于属性存储器读取的PC卡/ CompactFlash控制器波形访问



1. 仅读取数据位0...7 (忽略位8...15)。

图33. PC卡/ CompactFlash控制器波形，用于属性内存写入访问



1. 只驱动数据位0 ... 7 (位8 ... 15保持HiZ)。

图34. PC卡/ CompactFlash控制器波形，用于I/O空间读取访问

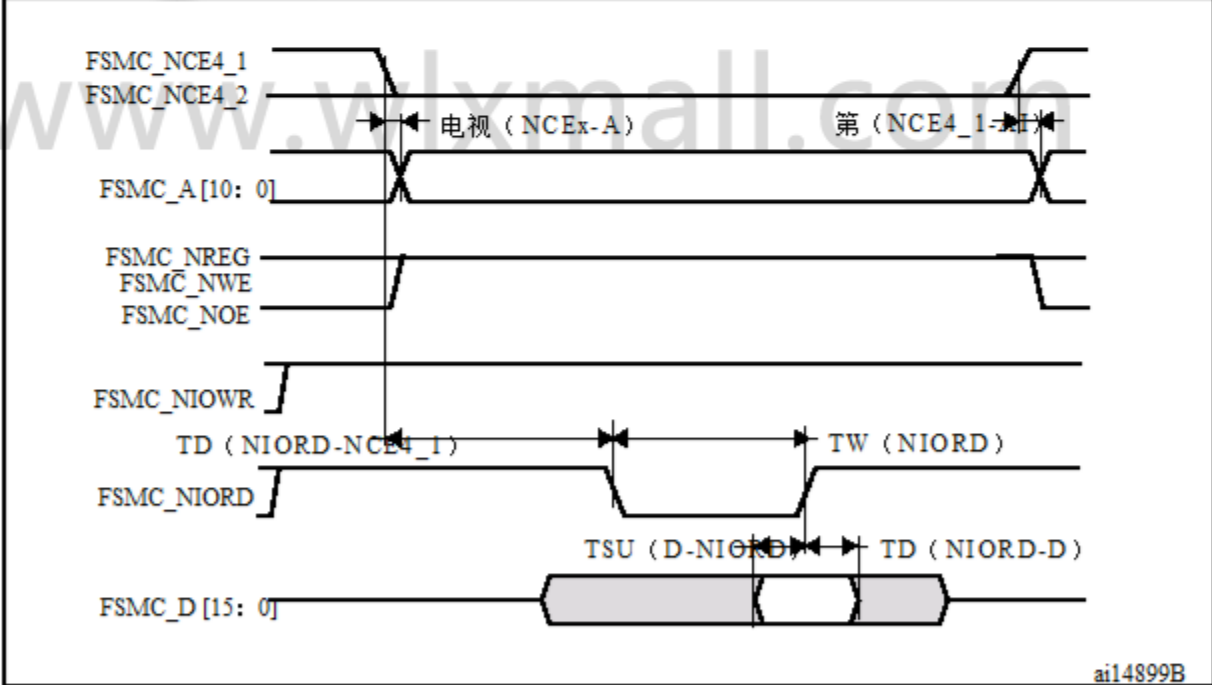


图35. PC卡/ CompactFlash控制器波形，用于I/O空间写入

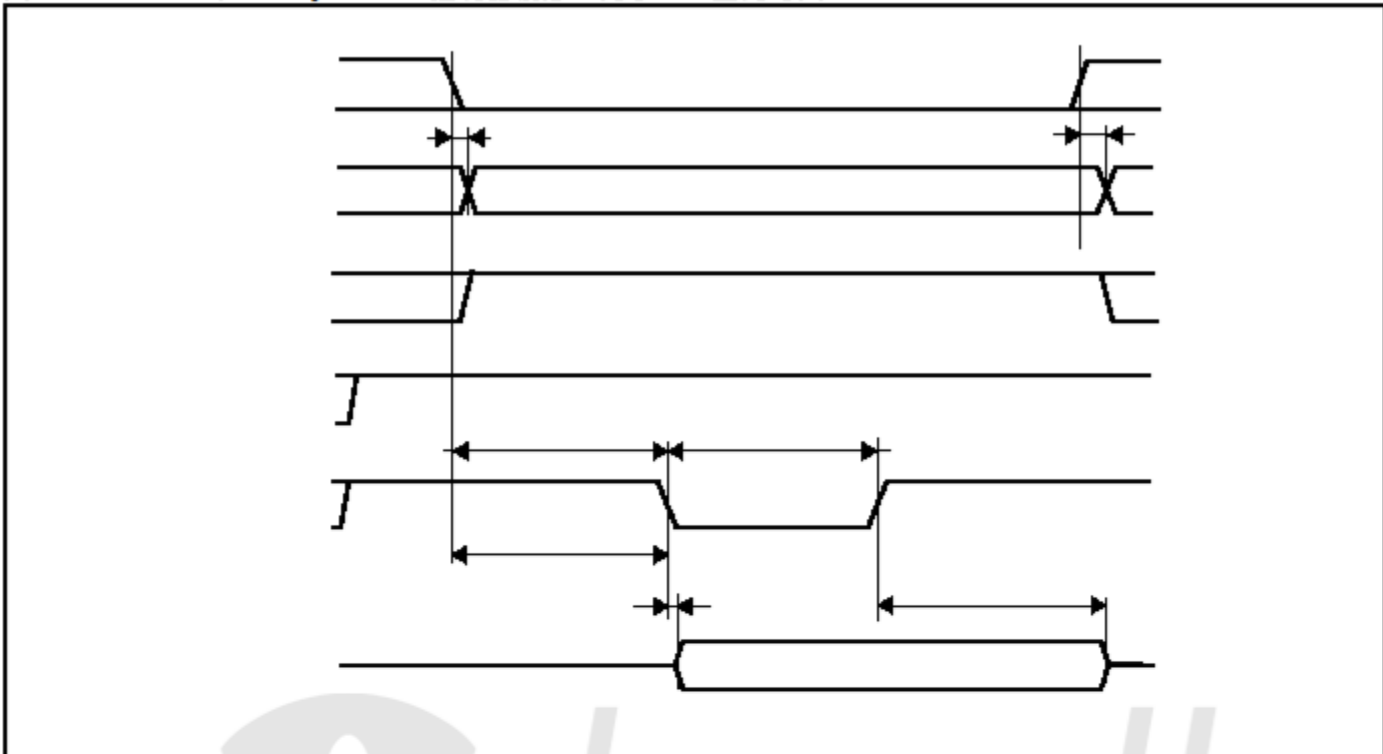


表40. PC卡/ CF读写周期的开关特性
属性/公共空间

符号	参数	敏	马克斯	单元
t_v (NCEx-A)	FSMC_NCEx低到FSMC_Ay有效	-	0	NS
t (NCEx-AI)	FSMC_NCEx高到FSMC_Ax无效	0	-	
t_d (NREG-NCEx)	FSMC_NCEx低到FSMC_NREG有效	-	2	
t (NCEx-NREG)	FSMC_NCEx高到FSMC_NREG无效	$t_{HCLK} + 4$	-	
t_d (NCEx_NWE)	FSMC_NCEx低到FSMC_NWE低	-	$5t_{HCLK} + 1$	
t_d (NCEx_NOE)	FSMC_NCEx低到FSMC_NOE低	-	$5t_{HCLK} + 1$	
t_w (NOE)	FSMC_NOE低宽	$8t_{HCLK} - 0.5$	$8t_{HCLK} + 1$	
t_d (NOE-NCEx)	FSMC_NOE高到FSMC_NCEx高	$5t_{HCLK} - 0.5$	-	
t_{su} (D-NOE)	在FSMC_NOE为高电平之前FSMC_D [15: 0]有效数据	32	-	
t (NOE-D)	FSMC_NOE高到FSMC_D [15: 0]无效	t_{HCLK}	-	
t_w (NWE)	FSMC_NWE低宽	$8t_{HCLK} - 1$	$8t_{HCLK} + 4$	
t_d (NWE_NCEx)	FSMC_NWE高到FSMC_NCEx高	$5t_{HCLK} + 1.5$	-	
t_d (NCEx-NWE)	FSMC_NCEx低到FSMC_NWE低	-	$5t_{HCLK} + 1$	
t_v (NWE-D)	FSMC_NWE低到FSMC_D [15: 0]有效	-	0	
t (NWE-D)	FSMC_NWE高到FSMC_D [15: 0]无效	$11t_{HCLK}$	-	
t_d (D-NWE)	FSMC_DW [15: 0]在FSMC_NWE为高电平有效	$13t_{HCLK} + 2.5$	-	

表 41. I/O空间中PC卡/CF读写周期的切换特性

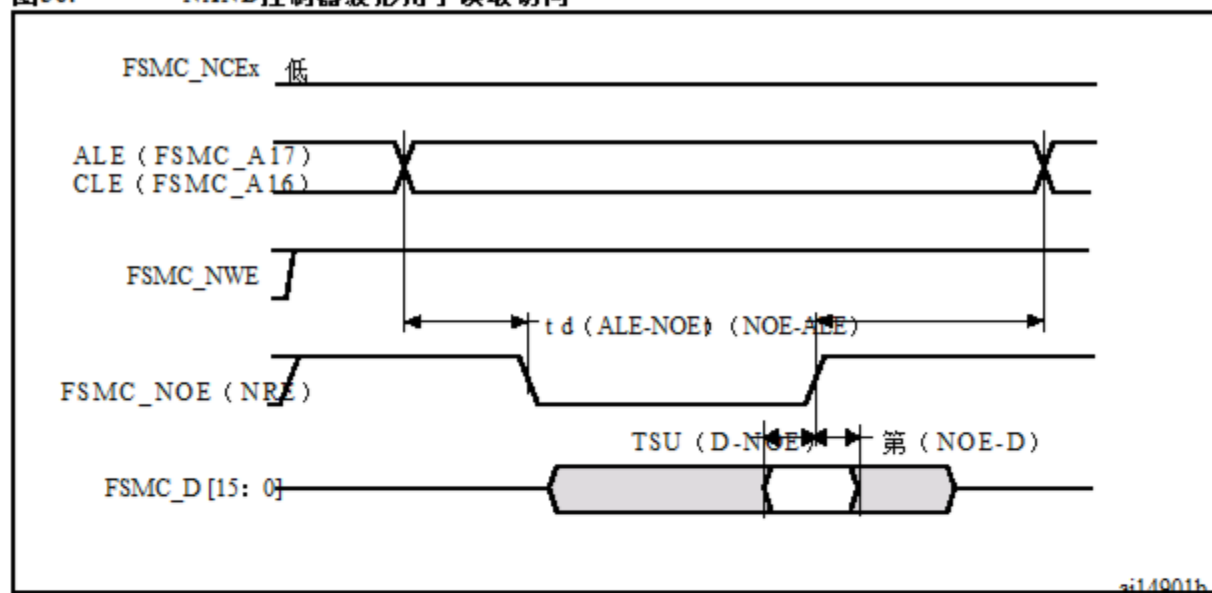
符号	参数	敏	马克斯	单元
tw (NIOWR)	FSMC_NIOWR低宽	8 THCLK	-	NS
电视 (NIOWR-D)	FSMC_NIOWR低至FSMC_D [15:0]有效	-	5 THCLK - 4	NS
th (NIOWR-D)	FSMC_NIOWR高到FSMC_D [15:0]无效	11 THCLK - 7	- ns	
td (NCE4_1-NIOWR)	FSMC_NCE4_1低至FSMC_NIOWR有效	-	5 THCLK + 1	NS
th (NCEx-NIOWR)	FSMC_NCEx高到FSMC_NIOWR无效	5 THCLK - 2.5	- ns	
td (NIORD-NCEx)	FSMC_NCEx低至FSMC_NIORD有效	-	5 THCLK - 0.5	NS
th (NCEx-NIORD)	FSMC_NCEx高到FSMC_NIORD) 有效	5 THCLK - 0.5	- ns	
tw (NIORD)	FSMC_NIORD低宽	8 THCLK	-	NS
tsu (D-NIORD)	FSMC_D [15:0]在FSMC_NIORD高之前有效	28		NS
td (NIORD-D)	FSMC_DI [15:0]在FSMC_NIORD为高电平有效	3		NS

NAND控制器波形和时序

图36至图39表示同步波形，表43提供了相应的时间。使用以下FSMC获得该表中所示的结果组合：

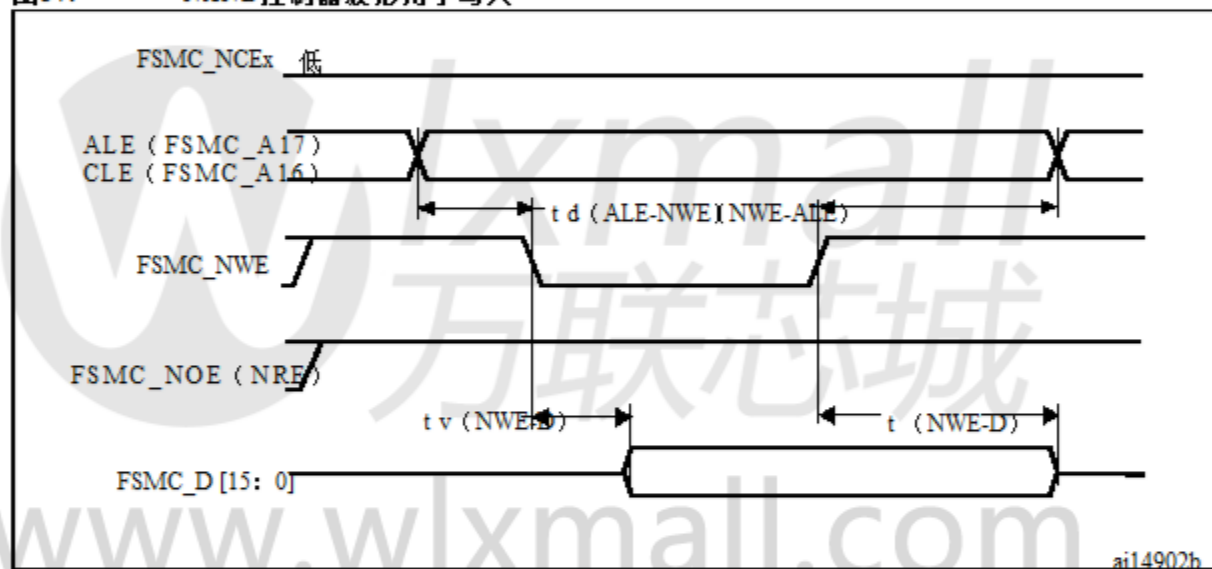
- COM.FSMC_SetupTime = 0x00;
- COM.FSMC_WaitSetupTime = 0x02;
- COM.FSMC_HoldSetupTime = 0x01;
- COM.FSMC_HiZSetupTime = 0x00;
- ATT.FSMC_SetupTime = 0x00;
- ATT.FSMC_WaitSetupTime = 0x02;
- ATT.FSMC_HoldSetupTime = 0x01;
- ATT.FSMC_HiZSetupTime = 0x00;
- Bank = FSMC_Bank_NAND;
- MemoryDataWidth = FSMC_MemoryDataWidth_16b;
- ECC = FSMC_ECC_Enable;
- ECCPageSize = FSMC_ECCPageSize_512Bytes;
- TCLRSetupTime = 0;
- TARSetupTime = 0;

图36. NAND控制器波形用于读取访问



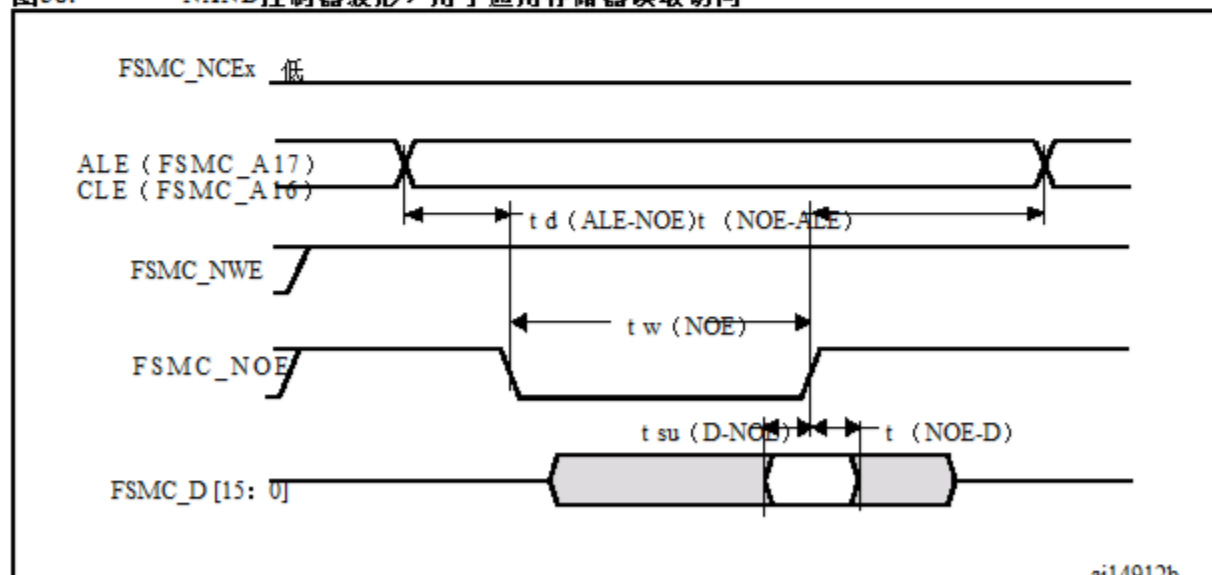
ai14901b

图37. NAND控制器波形用于写入



ai14902b

图38. NAND控制器波形，用于通用存储器读取访问



ai14912b

图39. NAND控制器波形用于公共存储器写入

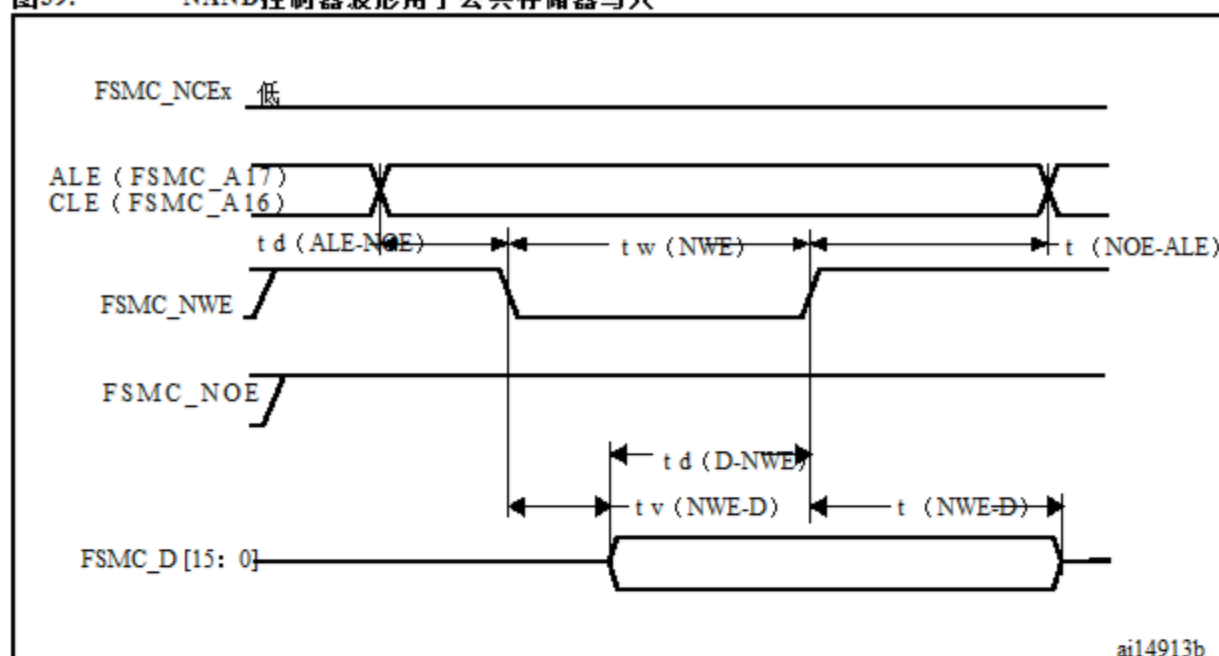


表42. NAND Flash读周期的开关特性 (1)

符号	参数	敏	马克斯	单元
$t_w (NOE)$	FSMC_NOE低宽	$3t_{HCLK} - 1$	$3t_{HCLK} + 1$	NS
$t_{su} (D-NOE)$	FSMC_D [15: 0] FSMC_NOE之前的有效数据高	13	-	NS
$t (NOE-D)$	FSMC_DNO为高电平后FSMC_D [15: 0]有效数据	0	-	NS
$t_d (ALE-NOE)$	FSMC_ALE在FSMC_NOE为低电平有效	-	$2t_{HCLK}$	NS
$t (NOE-ALE)$	FSMC_NWE高到FSMC_ALE无效	$2t_{HCLK}$	-	NS

1. $C_L = 15 \text{ pF}$.

表43. NAND Flash写周期的开关特性 (1)

符号	参数	敏	马克斯	单元
$t_w (NWE)$	FSMC_NWE低宽	$3t_{HCLK}$	$3t_{HCLK}$	NS
$t_v (NWE-D)$	FSMC_NWE低至FSMC_D [15: 0]有效	-	0	NS
$t (NWE-D)$	FSMC_NWE高到FSMC_D [15: 0]无效	$2t_{HCLK} + 2$	-	NS
$t_d (ALE-NWE)$	FSMC_ALE在FSMC_NWE之前有效	-	$3t_{HCLK} + 1.5$	NS
$t (NWE-ALE)$	FSMC_NWE高到FSMC_ALE无效	$3t_{HCLK} + 8$	-	NS
$t_d (ALE-NOE)$	FSMC_ALE在FSMC_NOE为低电平有效	-	$2t_{HCLK}$	NS
$t (NOE-ALE)$	FSMC_NWE高到FSMC_ALE无效	$2t_{HCLK}$	-	NS

1. $C_L = 15 \text{ pF}$.

5.3.11 EMC特性

在器件表征期间，以样本为基础进行敏感性测试。

功能性EMS（电磁敏感性）

虽然在设备上执行简单的应用程序（通过I / O端口切换2个LED），该设备受到两个电磁事件的压力，直到发生故障。失败是由LED指示：

- 静电放电（ESD）（正极和负极）被施加到所有器件引脚，直到发生功能障碍。该测试符合IEC 61000-4-2标准。
- FTB：快速瞬态电压（正极和负极）的突发应用于V DD和V SS通过100 pF电容，直到发生功能障碍。这个测试是符合IEC 61000-4-4标准。

器件复位允许恢复正常操作。

测试结果在表44中给出。它们基于EMS级别和类别。在应用笔记AN1709中定义。

表44. EMS特点

符号	参数	条件	水平 / 类
V FESD	对任何I / O引脚施加的电压限制引起功能障碍	V DD = 3.3V, LQFP144, T A = + 25°C, f HCLK = 72MHz 符合IEC 61000-4-2	2B
V EFTB	快速瞬态电压突发限制为在V DD和V SS上施加100 pF引脚引起功能障碍	V DD = 3.3V, LQFP144, T A = + 25°C, f HCLK = 72MHz 符合IEC 61000-4-4标准	4A

设计硬化软件以避免噪音问题

在典型的组件级别进行EMC表征和优化应用环境和简化的MCU软件。应该注意的是良好的EMC性能高度依赖用户应用程序和软件。

因此建议用户应用EMC软件优化与他申请的EMC级别相关的资格预审测试。

软件建议

软件流程图必须包括失控条件的管理，如：

- 程序计数器损坏
- 意外重置
- 关键数据损坏（控制寄存器...）

资格预审试验

大多数常见故障（意外重置和程序计数器损坏）都可以
通过手动强制NRST引脚或振荡器引脚1的低电平进行复制
第二。

要完成这些试验，可以直接在器件上应用ESD应力
的规格值。当检测到意外行为时，软件可以
硬化以防止发生不可恢复的错误（参见应用笔记AN1015）。

电磁干扰（EMI）

在简单的应用程序中监视器件发出的电磁场
执行（通过I/O端口切换2个LED）。该排放测试符合
IEC 61967-2标准规定了测试板和引脚负载。

表45. EMI特性

符号	参数	条件	监控 频带	最大与 [fHSE / fHCLK]		单元
				8/48 MHz	8/72 MHz	
S EMI	峰值水平	V _{DD} = 3.3V, T _A = 25°C, LQFP144封装 符合IEC 61967-2	0.1~30MHz	8	12	平dBμV
			30到130 MHz	31	21	
			130 MHz至1GHz	28	33	
			SAE EMI级别	4	4	-

5.3.12 绝对最大额定值（电气灵敏度）

基于使用特定测量方法的三种不同的测试（ESD, LU），该设备是
强调为了确定其在电敏感性方面的表现。

静电放电（ESD）

静电放电（正负脉冲分开1秒）
根据每个针组合应用于每个样品的针脚。样本大小
取决于器件中的电源引脚数（3部分×（n+1）个引脚）。这个测试
符合JESD22-A114 / C101标准。

表46. ESD绝对最大额定值

符号	评级	条件	班级最高值（1）	单元
V _{ESD} (HBM)	静电放电 电压（人体模型）	T _A = +25°C，符合要求 到JESD22-A114	2 2 0 0 0	V
V _{ESD} (CDM)	静电放电 电压（充电装置型号）	T _A = +25°C，符合要求 到JESD22-C101	II 500	

1. 基于表征结果，未在生产中测试。



静态门锁

六个部分需要进行两个互补的静态测试来评估门锁性能：

- 电源过电压被施加到每个电源引脚
- 电流注入应用于每个输入，输出和可配置的I / O引脚

这些测试符合EIA / JESD 78A IC门锁标准。

表 47. 电敏感

符号	参数	条件	类
鲁	静态锁定类	T A = +105°C符合JESD78A	二级A级

5.3.13 I / O电流注入特性

作为一般规则，电流注入到I / O引脚，由于外部电压低于V SS 或在正常产品中应避免 V DD 以上（适用于标准，3 V功能的I / O引脚）操作。然而，为了给出微控制器的鲁棒性的指示偶然发生异常注射的情况下，对a进行敏感性试验在设备表征期间的样品基础。

对I / O电流注入的功能敏感性

虽然在设备上执行简单的应用程序，但是设备通过注入来强调电流进入以浮动输入模式编程的I / O引脚。而电流注入I / O引脚，一次一个，器件被检查功能故障。

故障由超出范围的参数指示：ADC误差超过一定限度（> 5 LSB TUE），超出相邻引脚上的电流注入或其他功能故障（for示例复位，振荡器频率偏差）。

试验结果列于表48

表 48. I / O电流注入敏感性

符号	描述	功能敏感性		单元
		负注射	正注射	
我 INJ	在OSC_IN32上注入电流，OSC_OUT32，PA4，PA5，PC13	-0	+0	嘛
	所有FT引脚上都注入电流	-5	+0	
	任何其他引脚上的注入电流	-5	+5	

5.3.14 I / O端口特性

一般输入/输出特性

除非另有说明，表49中给出的参数来自测试
在表10中总结的条件下执行.所有I / O都是CMOS和TTL
兼容.

表49. I / O静态特性

符号	参数	条件	敏	典型	马克斯	单元
V IL	标准IO输入低电平 电平电压		-0.3	-	$0.28 * (V_{DD} - 2V) + 0.8V$	V
	IO FT (1) 输入低电平 电压		-0.3	-	$0.32 * (V_{DD} - 2V) + 0.75V$	V
V IH	标准IO输入高电平 电平电压		$0.41 * (V_{DD} - 2V) + 1.3V$	- V DD +0.3		V
	IO FT (1) 输入高电平 电压	V DD > 2 V	$0.42 * (V_{DD} - 2V) + 1V$	-	5.5	V
		V DD ≤ 2 V			5.2	
嗯	标准IO施密特 触发电压 迟滞 (2)		200	-	-	毫伏
	IO FT施密特触发器 电压滞后 (2)		5% V DD (3)	-	- M V	
我 Ikg	输入漏电流 (4)	V SS ≤ V IN ≤ V DD 标准I / O	-	-	±1	μA
		V IN = 5 V, I / O FT	-	-	3	
R PU	弱上拉当量 电阻 (5)	V IN = V SS	三十	40	50	kΩ
R PD	弱下拉 等效电阻 (5)	V IN = V DD	三十	40	50	kΩ
C IO	I / O引脚电容		-	五	-	pF的

1. FT =五伏容限.为了维持高于V DD +0.3的电压，必须使用内部上拉/下拉电阻禁用.
2. 施密特触发开关电平之间的滞后电压.基于表征，未在生产中测试.
3. 至少100 mV.
4. 泄漏可能高于最大值.如果相邻引脚上注入负电流.
5. 上拉和下拉电阻设计成与可切换PMOS / NMOS串联的真实电阻.这个MOS / NMOS对串联电阻的贡献最小（约10%）.

所有I / O都兼容CMOS和TTL（不需要软件配置）.其
特性涵盖了严格的CMOS技术或TTL参数.该
对于标准I / O，这些要求的覆盖范围如图40和图41所示
在图42和图43中为5 V容限I / O.



图40. 标准I/O输入特性 - CMOS端口

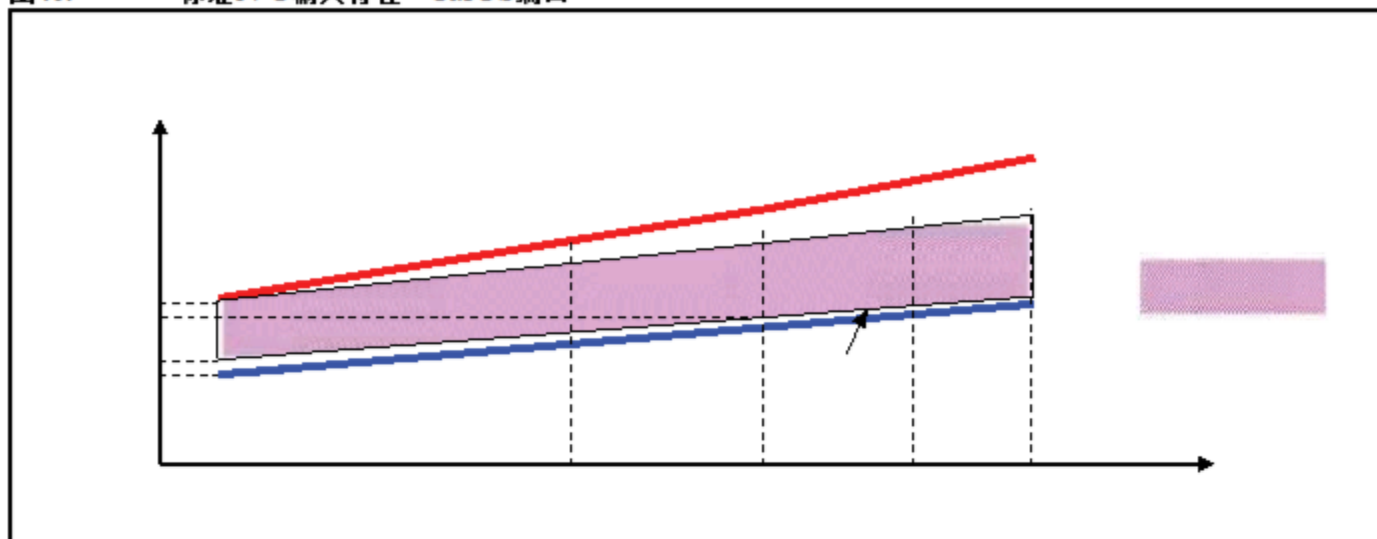


图41. 标准I/O输入特性 - TTL端口

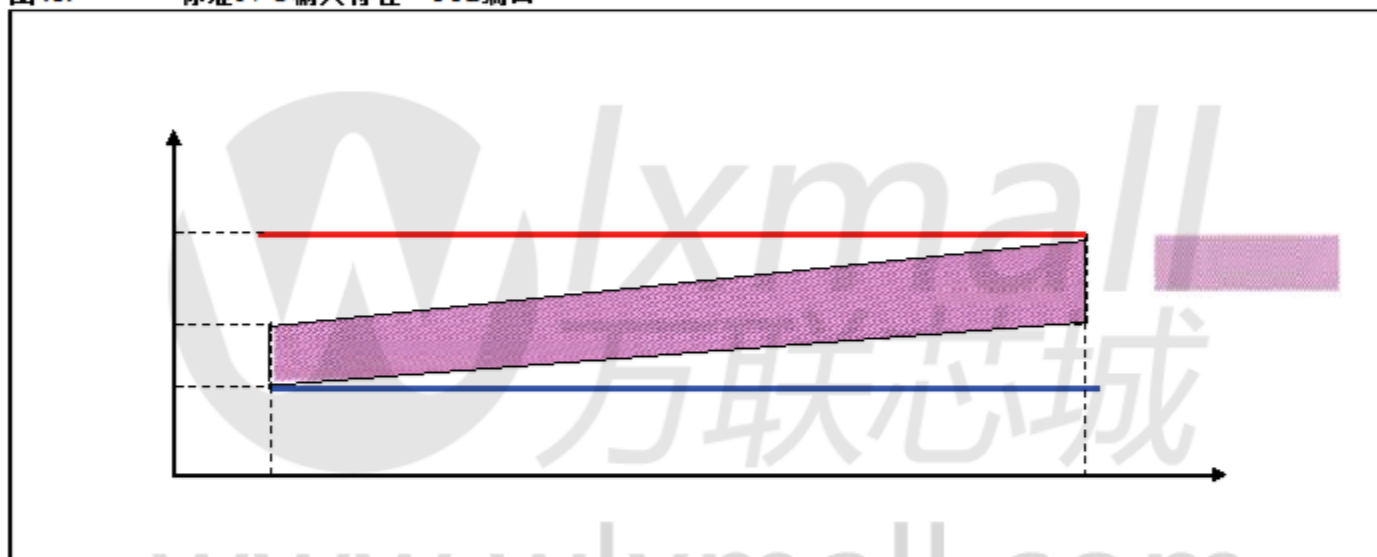


图42. 5 V容差I / O输入特性 - CMOS端口

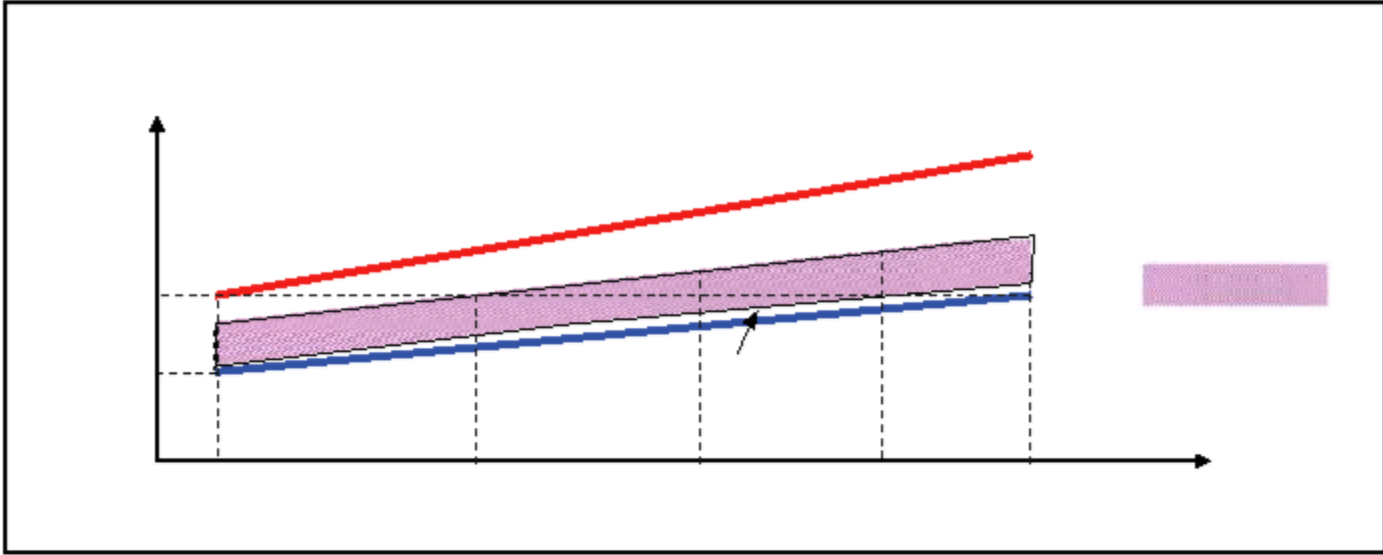
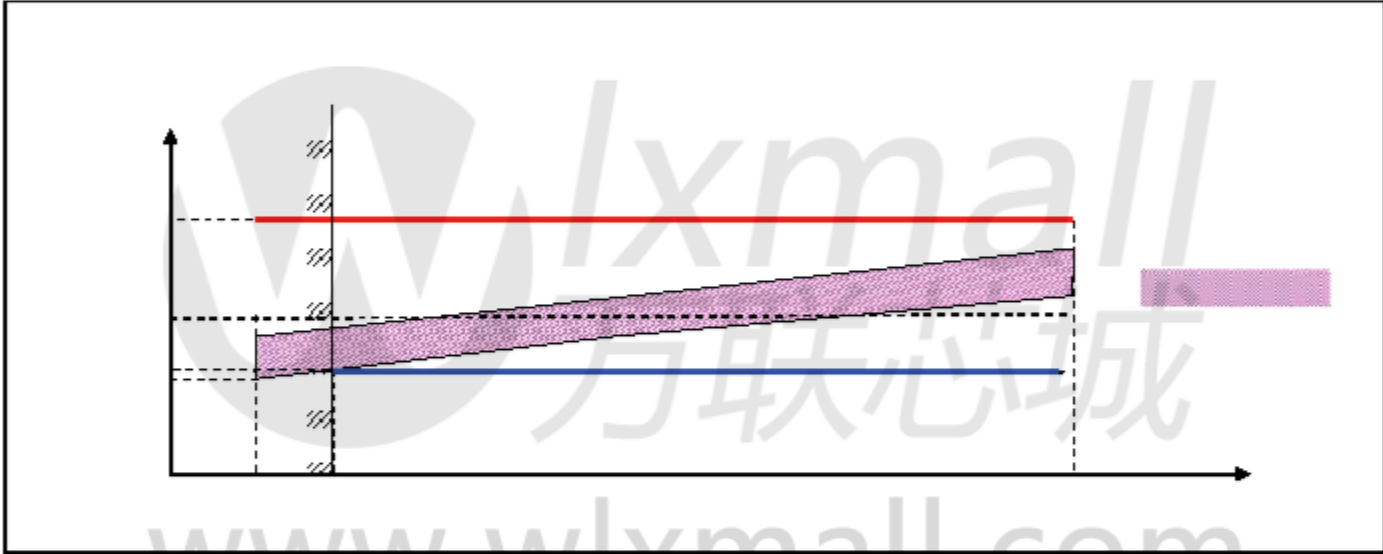


图43. 5 V容差I / O输入特性 - TTL端口



输出驱动电流

GPIO (通用输入/输出) 可以吸收或输出 $\pm 8\text{ mA}$, 接收器或来源 除了可以吸收的PC13, PC14和PC15 之外, $\pm 20\text{ mA}$ (具有轻松的 OL/VOH) 或源头 $\pm 3\text{ mA}$. 当在输出模式下使用GPIO PC13到PC15时, 速度不应超过2 MHz, 最大负载为30 pF.

在用户应用中, 必须限制可驱动电流的I / O引脚数

尊重第5.2节规定的绝对最大额定值:

- 由VDD上的所有I / O提供的电流总和 加上最大运行来自VDD的MCU的消耗 不能超过绝对最大额定值 I VDD (见表8) .
- VSS上的 所有I / O的电流 和最大运行 的总和 VSS上的MCU的消耗 不能超过绝对最大额定值 I VSS (见表8) .

输出电压电平

除非另有说明，表50中给出的参数来自测试
在环境温度和V_{DD}电源条件下进行总结
表10.所有I/O都符合CMOS和TTL标准.

表50. 输出电压特性

符号	参数	条件	敏	马克斯单元
V _{OL} (1)	为I/O引脚输出低电平电压 当8针同时沉没时	TTL端口 (3) I _{IO} = +8 mA 2.7 V < V _{DD} < 3.6 V	- 0.4	V
V _{OH} (2)	为I/O引脚输出高电平电压 当8个引脚同时供电时		V _{DD} - 0.4	
V _{OL} (1)	为I/O引脚输出低电平电压 当8针同时沉没时	CMOS端口 (3) I _{IO} = +8 mA 2.7 V < V _{DD} < 3.6 V	- 0.4	V
V _{OH} (2)	为I/O引脚输出高电平电压 当8个引脚同时供电时		2.4	
V _{OL} (1)	为I/O引脚输出低电平电压 当8针同时沉没时	I _{IO} = +20 mA 2.7 V < V _{DD} < 3.6 V	- 1.3	V
V _{OH} (2)	为I/O引脚输出高电平电压 当8个引脚同时供电时		V _{DD} - 1.3	
V _{OL} (1)	为I/O引脚输出低电平电压 当8针同时沉没时	I _{IO} = +6 mA 2 V < V _{DD} < 2.7 V	- 0.4	V
V _{OH} (2)	为I/O引脚输出高电平电压 当8个引脚同时供电时		V _{DD} - 0.4	

1. 设备的I/O电流必须始终遵守表8中规定的绝对最大额定值
I_{IO} (I/O端口和控制引脚) 的总和 不得超过I_{VSS}.
2. 由设备提供的I/O电流必须始终遵守规定的绝对最大额定值
表8和I_{IO} (I/O端口和控制引脚) 的总和 不得超过I_{VDD}.
3. TTL和CMOS输出与JEDEC标准JESD36和JESD52兼容.
4. 基于特征数据，未在生产中测试.

输入/输出交流特性

输入/输出交流特性的定义和值见图44和表51。

除非另有说明，表51中给出的参数来自测试在环境温度和V_{DD}电源条件下进行总结表10。

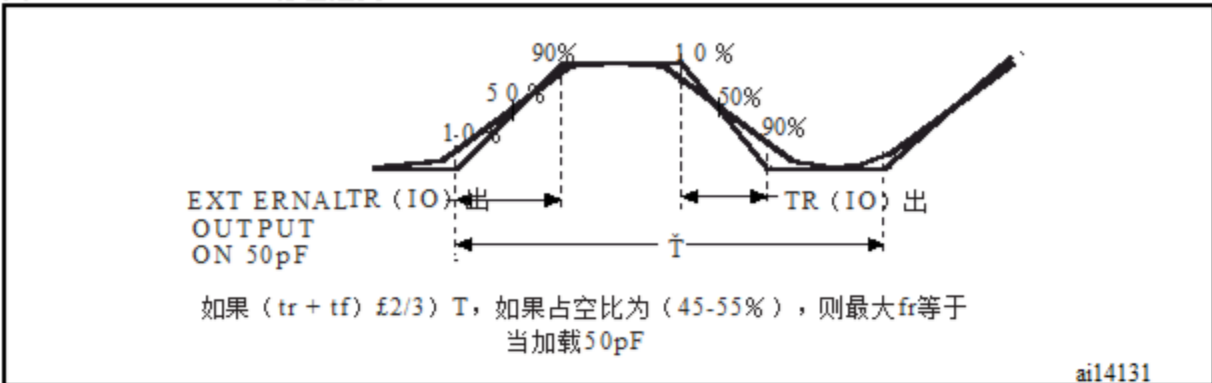
表51. I/O交流特性 (1)

MODEx [1: 0] 位值 (1)	符号	参数	条件	敏	马克	单元
10	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V	-	2	兆赫
	t _f (IO) _{out}	输出高到低水平下降时间	C _L = 50pF, V _{DD} = 2V至3.6V	-125 (3)	NS	
	t (IO) _{out}	输出低到高上升时间		-125 (3)		
01	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V	-	10	兆赫
	t _f (IO) _{out}	输出高到低水平下降时间	C _L = 50pF, V _{DD} = 2V至3.6V	-25 (3)	NS	
	t (IO) _{out}	输出低到高上升时间		-25 (3)		
11	F _{max} (IO) _{out}	最大频率 (2)	C _L = 30pF, V _{DD} = 2.7V至3.6V	-	50	兆赫
			C _L = 50pF, V _{DD} = 2.7V至3.6V	-	三十	兆赫
			C _L = 50pF, V _{DD} = 2V至2.7V	-	20	兆赫
	t _f (IO) _{out}	输出高到低水平下降时间	C _L = 30pF, V _{DD} = 2.7V至3.6V	-	5 (3)	NS
			C _L = 50pF, V _{DD} = 2.7V至3.6V	-	8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V	-	12 (3)	
	t (IO) _{out}	输出低到高上升时间	C _L = 30pF, V _{DD} = 2.7V至3.6V	-	5 (3)	
			C _L = 50pF, V _{DD} = 2.7V至3.6V	-	8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V	-	12 (3)	
- t _{EXTI} _{pw}		脉冲宽度外部信号由EXTI检测调节器		10	-	NS

1. 使用MODEx [1: 0]位配置I/O速度.请参阅STM32F10xxx参考手册GPIO端口配置寄存器说明.
2. 最大频率在图44中定义.
3. 保证设计, 未经生产测试.



图44. I/O AC特性定义



5.3.15 NRST引脚特性

NRST引脚输入驱动器使用CMOS技术.它连接到永久上拉电阻R_{PU} (见表49) .

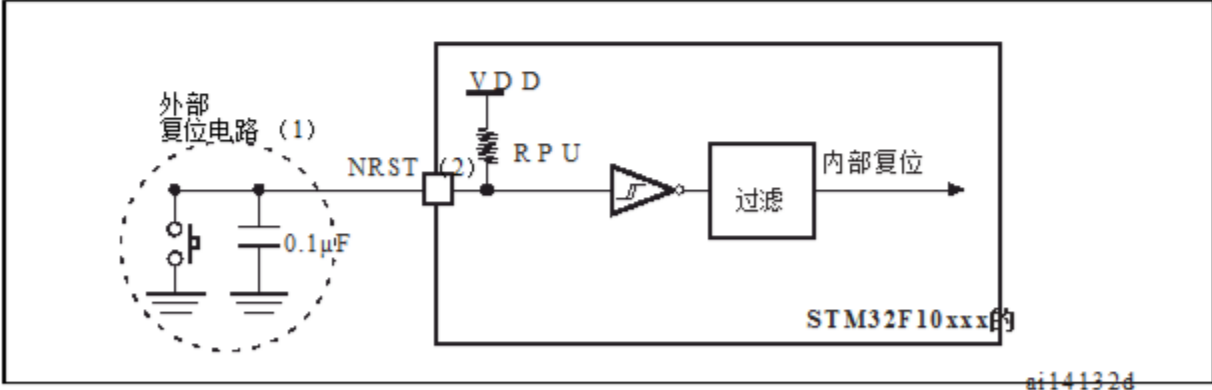
除非另有说明, 表52中给出的参数来自测试
在环境温度和V_{DD}电源条件下进行总结
表10.

表52. NRST引脚特性

符号	参数	条件	敏	典型	马克斯	单元
V _{IL} (NRST)	NRST输入低电平电压		-0.5	-	0.8	V
V _{IH} (NRST)	NRST输入高电平电压		2	-	V _{DD} +0.5	
V _{HS} (NRST)	NRST施密特触发电压滞后		-	200	-	毫伏
R _{PU}	弱上拉等效电阻 (2)	V _{IN} = V _{SS}	三十	40	50	kΩ
V _F (NRST)	NRST输入滤波脉冲		-	-	100	NS
V _{NF} (NRST)	NRST输入未滤波脉冲		300	-	-	NS

1. 保证设计, 未经生产测试.
2. 上拉设计具有与可切换PMOS串联的真实电阻. 这个PMOS贡献对串联电阻必须最小 (~10% 订单)

图45. 推荐NRST引脚保护



1. 复位网络保护器件免受寄生复位.
2. 用户必须确保NRST引脚上的电平可以低于指定的V_{IL} (NRST) 最大电平表52.否则, 设备将不会考虑复位.

5.3.16 TIM定时器特性

表53中给出的参数由设计保证。
有关输入/输出交替的详细信息，请参见第5.3.14节：I/O端口特性
功能特性（输出比较，输入捕捉，外部时钟，PWM输出）。

表53. TIMx (1) 特征

符号	参数	条件	敏	马克斯	单元
t (TIM)	定时器分辨率时间		1-		t TIMxCLK
		f TIMxCLK = 72 MHz	13.9	-	NS
f EXT	定时器外部时钟 CH1到CH4的频率		0	f TIMxCLK / 2	兆赫
		f TIMxCLK = 72 MHz	0	36	兆赫
Res TIM	定时器分辨率		-	16	位
t 计数器	16位计数器时钟周期 当内部时钟是 选		1	65536	t TIMxCLK
		f TIMxCLK = 72 MHz	0.0139	910	微秒
t MAX_COUNT 最大可能数			-	65536×65536	t TIMxCLK
		f TIMxCLK = 72 MHz	-	59.6	小号

1. TIMx用作通用术语，用于指TIM1，TIM2，TIM3和TIM4定时器。



5.3.17 通讯接口

2.6接口特性

除非另有规定，表54中给出的参数来自测试
在环境温度下执行，fPCLK1 频率和VDD 电源电压条件
总结在表10中。

STM32F103xC, STM32F103xD和STM32F103xE STM32F103xF和STM32F103xG
表演一行 2 C接口满足标准I2C通信的要求

协议具有以下限制：I / O引脚SDA和SCL映射到不是
“真的”开放.当配置为漏极开路时，PMOS连接在I / O之间
引脚和VDD 禁用，但仍然存在。

我 2 C特性如表54所示.另请参见第5.3.14节：I / O端口
特性有关输入/输出交替功能特性的更多细节（SDA
和SCL）。

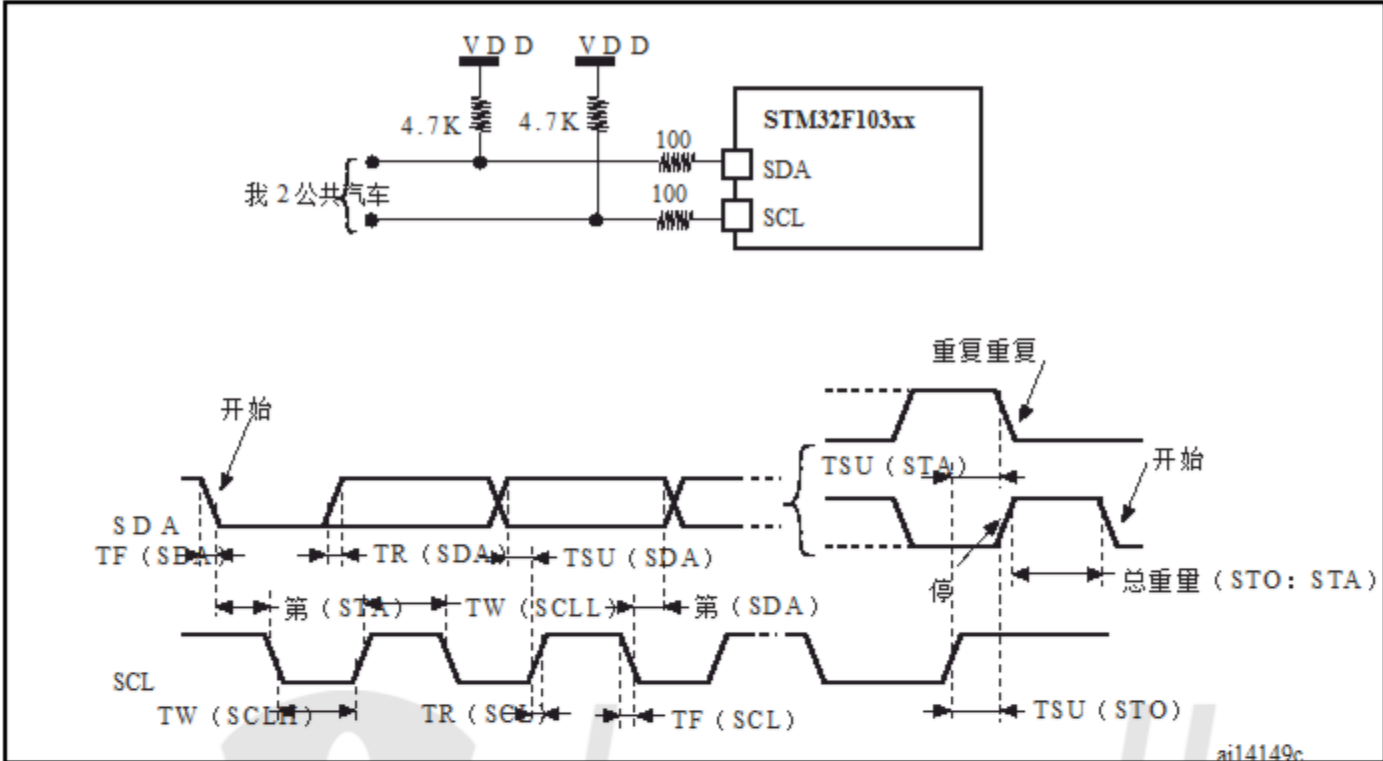
表54. I2C特征

符号	参数	标准模式I2C (1)		快速模式I2C (1) (2)		单元
		敏	马克斯	敏	马克斯	
t w (SCL)	SCL时钟低电平	4.7	-	1.3	-	微秒
t w (SCLH)	SCL时钟高电平	4	-	0.6	-	
t su (SDA)	SDA设置时间	250	-	100	-	NS
t (SDA)	SDA数据保持时间	0 (3)	- 0 (4)	-	900 (3)	
t (SDA) t (SCL)	SDA和SCL上升时间	-	1000	20 + 0.1Cb	300	
t f (SDA) t f (SCL)	SDA和SCL下降时间	-	300	-	300	
t h (STA)	启动条件保持时间	4	-	0.6	-	微秒
t su (STA)	重复启动条件 设置时间	4.7	-	0.6	-	
t su (STO)	停止条件设置时间	4	-	0.6	-	微秒
t w (STO: STA)	停止开始条件时间 (巴士免费)	4.7	-	1.3	-	微秒
C b	每个总线的容性负载 线	-	400	-	400	pF的

1. 保证设计，未经生产测试。
2. fPCLK1 必须至少为2 MHz才能实现标准模式I2C频率. 它必须至少为4 MHz
实现快速模式I2C频率，并且必须是10 MHz的倍数才能快速到达I2C
模式最大时钟速度为400 kHz.
3. 如果接口没有拉低，则只能满足启动条件的最大保持时间
SCL信号周期。
4. 内部设备必须为SDA信号内部提供至少300ns的保持时间以桥接
SCL的下降沿的未定义区域。



图46. I2C总线交流波形和测量电路



1. 测量点在CMOS级别完成：0.3V DD和0.7V DD.

表55. SCL频率 (f PCLK1=36MHz, V DD=3.3V) (1) (2)

f SCL (kHz)	I2C_CCR值
	R P=4.7kΩ
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

1. R P=外部上拉电阻, f SCL=I 2 C速度.
2. 对于200 kHz左右的速度, 实现速度的公差为 ±5%. 对于其他速度范围, 公差达到速度 ±2%. 这些变化取决于外部的精度 组件用于设计应用程序.

I2S - SPI特性

除非另有规定，否则表 56 中给出的 SPI 或表 57 中给出的参数为 I2S
来自于在环境温度下执行的测试，fPCLKx 频率和 VDD
电源电压条件总结在表 10 中。

有关输入/输出备用的更多详细信息，请参见第 5.3.14 节：I/O 端口特性
功能特性（NSS，SCK，MOSI，SPI 和 WS 的 MISO，I2S 的 CK，SD）。

表 56. SPI 特性

符号	参数	条件	敏	马克斯	单元
fSCK 1 / tc (SCK)	SPI 时钟频率	主模式	-	18	兆赫
		从模式	-	18	
tr (SCK) tf (SCK)	SPI 时钟上升和下降 时间	电容负载: C = 30 pF	-	8	NS
DuCy (SCK)	SPI 从机输入时钟负载 周期	从模式	三十	70	%
tsu (NSS) 1	NSS 建立时间	从模式	4 tPCLK	-	NS
t (NSS) 1	NSS 持有时间	从模式	2 tPCLK	-	
tw (SCKH) 1 tw (SCKL) 1	SCK 高低时间	主模式, fPCLK = 36 MHz, 处方 = 4	50	60	
tsu (MISO) 1 TSU (S1) 1	数据输入建立时间	主模式	五	-	
		从模式	五	-	
t (MISO) 1 th (S1) 1	数据输入保持时间	主模式	五	-	
		从模式	4	-	
t (SO) 1	数据输出访问时间	从模式, fPCLK = 20 MHz	0	3 tPCLK	
t dis (SO) 1	数据输出禁用时间	从模式	2	10	
tv (SO) 1	数据输出有效时间	从模式 (使能边沿后)	-	25	
tv (MOSI) 1	数据输出有效时间	主模式 (使能边沿后)	-	五	
t (SO) 1	数据输出保持时间	从模式 (使能边沿后)	15	-	
t (MOSI) 1		主模式 (使能边沿后)	2	-	

1. 基于表征，未在生产中测试。
2. 最小时间是驱动输出的最短时间，最长时间是进行验证数据。
3. 最短时间是使输出无效的最短时间，最长时间是放置的最长时间 Hi-Z 中的数据

图47. SPI时序图 - 从模式和CPHA = 0

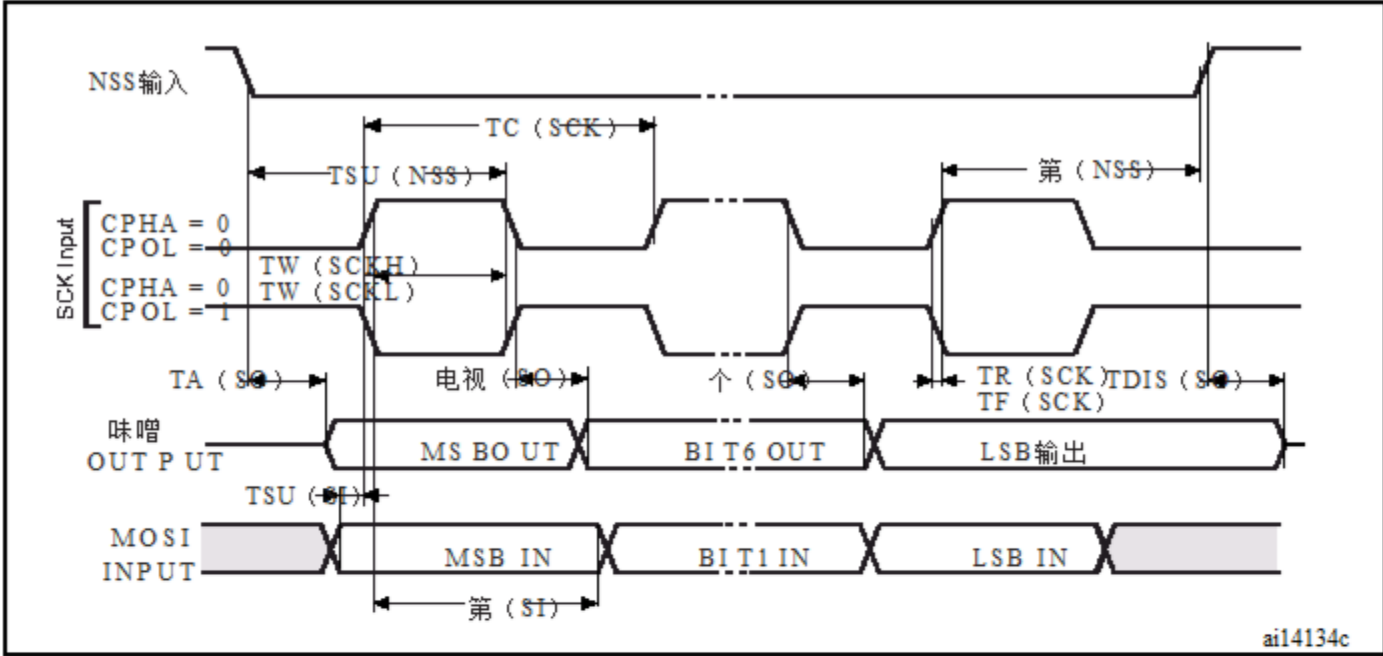
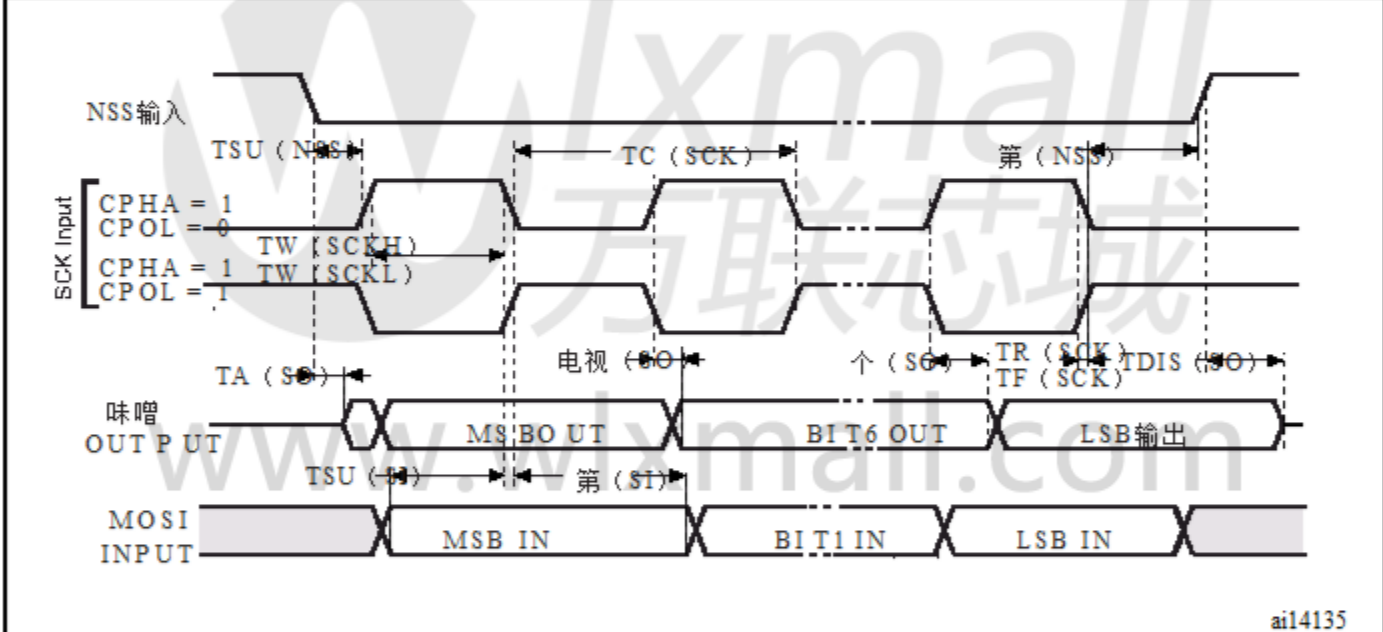
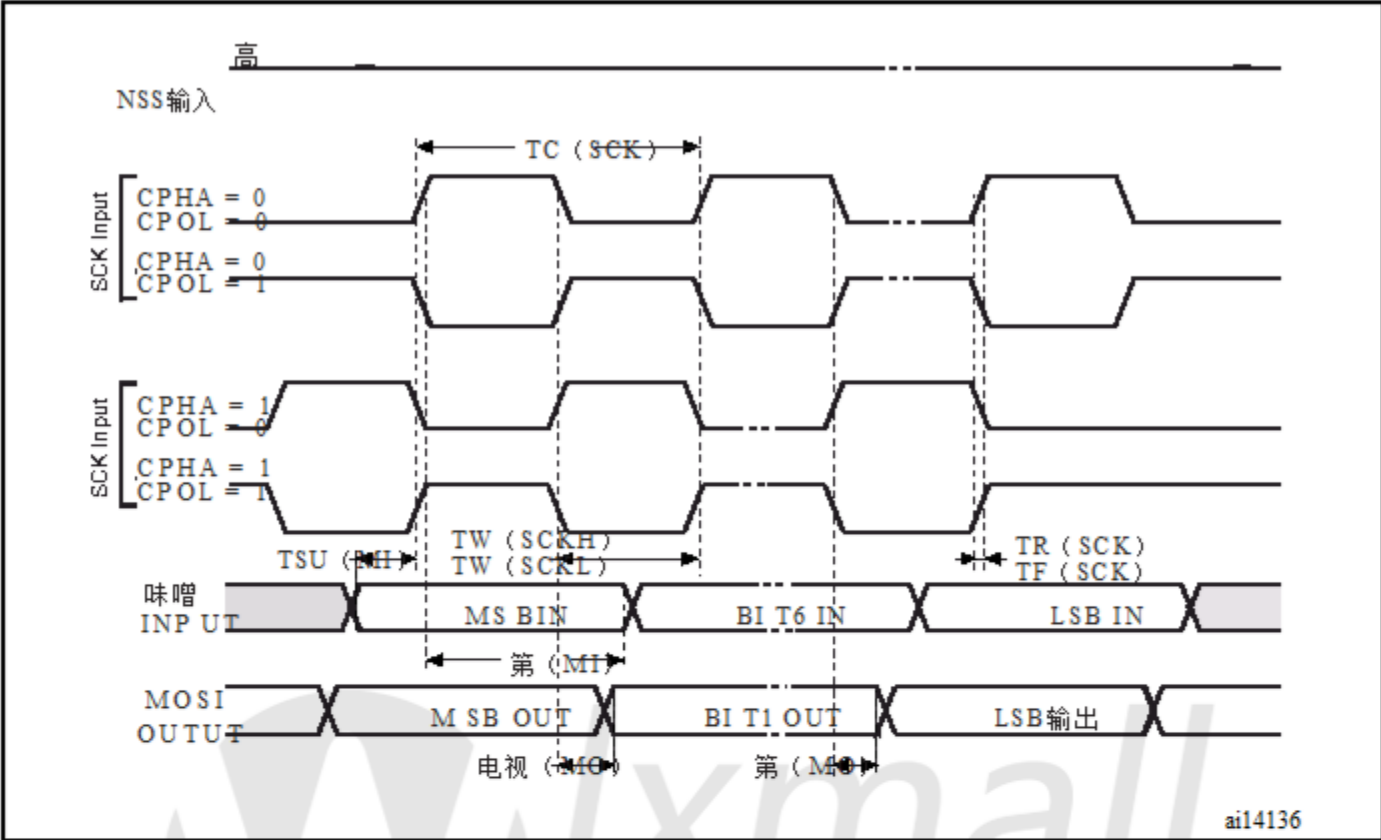


图48. SPI时序图 - 从模式和CPHA = 1 (1)



1. 测量点在CMOS级别完成：0.3V DD和0.7V DD。

图49. SPI时序图 - 主模式 (1)



1. 测量点在CMOS级别完成：0.3V_{DD}和0.7V_{DD}。

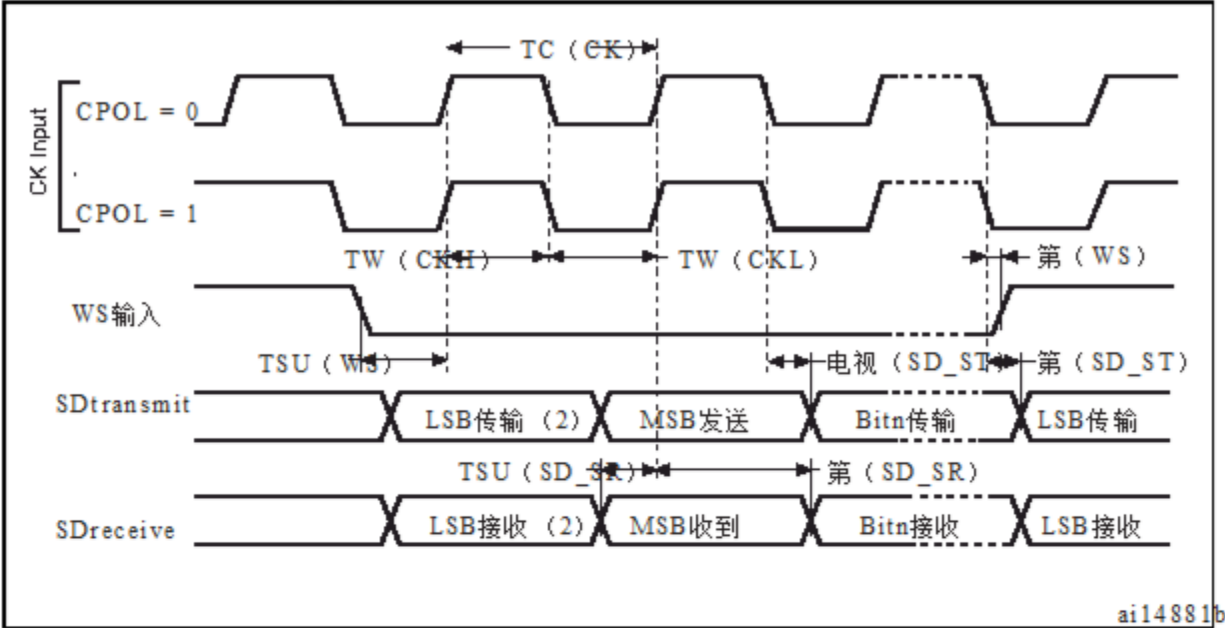
表 57. I2S 特征

符号	参数	条件	敏	马克斯	单元
DuCy (SCK)	I2S 从机输入时钟占空比	从模式	三十	70	%
f_{CK} $1/t_c(CK)$	I2S 时钟频率	主模式 (数据: 16 位, 音频 = 48 kHz)	1.522	1.525	兆赫
		从模式	0	6.5	
$t_r(CK)$ $t_f(CK)$	I2S 时钟上升和下降时间	电容负载 $C_L = 50\text{ pF}$	-	8	NS
$t_v(WS^{(1)})$	WS 有效时间	主模式	3	-	
$t_h(WS^{(1)})$	WS 保持时间	主模式	I2S2	2	
			I2S3	0	
$t_{su}(WS^{(1)})$	WS 设置时间	从模式	4	-	
$t_h(WS^{(1)})$	WS 保持时间	从模式	0	-	
$t_w(CK^{(1)})$ $t_w(CK^{(2)})$	CK 高低时间	主机 $PCLK = 16\text{ MHz}$, 音频 频率 = 48 kHz	312.5	-	
			345	-	
$t_{su}(SD_MR^{(1)})$	数据输入建立时间	主接收机	I2S2	2	
			I2S3	6.5	
$t_{su}(SD_SR^{(1)})$	数据输入建立时间	从接收机	1.5	-	
$t_h(SD_MR^{(1)})$ $t_h(SD_SR^{(1)})$	(2) 数据输入保持时间	主接收机	0	-	
	(2)	从接收机	0.5	-	
$t_v(SD_ST^{(1)})$	(2) 数据输出有效时间	从发射机 (使能后) 边缘	-	18	
$t_h(SD_ST^{(1)})$	数据输出保持时间	从发射机 (使能后) 边缘	11	-	
$t_v(SD_MF^{(1)})$	(2) 数据输出有效时间	主变送器 (使能后) 边缘	-	3	
$t_h(SD_MF^{(1)})$	数据输出保持时间	主变送器 (使能后) 边缘	0-		

1. 基于设计模拟和/或表征结果, 未在生产中测试.

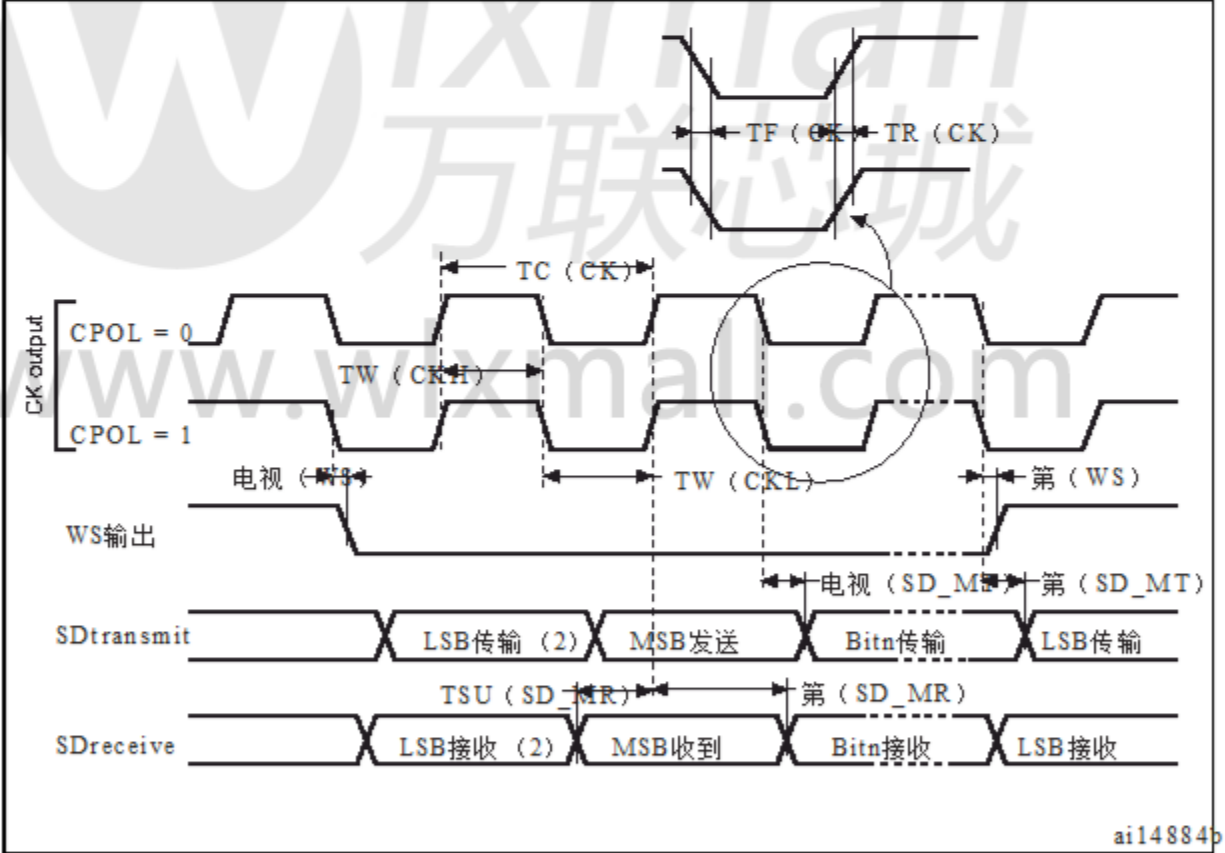
2. 取决于 $PCLK$. 例如, 如果 $f_{PCLK} = 8\text{ MHz}$, 则 $T_{PCLK} = 1/f_{PCLK} = 125\text{ ns}$.

图50. I2S从机时序图 (Philips协议) (1)



1. 测量点在CMOS级别完成: $0.3 \times V_{DD}$ 和 $0.7 \times V_{DD}$.
2. LSB发送/接收先前发送的字节.在第一个之前不发送LSB发送/接收字节.

图51. I2S主时序图 (Philips协议) (1)



1. 基于表征, 未在生产中测试.
2. LSB发送/接收先前发送的字节.在第一个之前不发送LSB发送/接收字节.

SD / SDIO MMC卡主机接口 (SDIO) 特性

除非另有说明，表58中给出的参数来自测试
在环境温度下执行，PCLKx频率和VDD电源电压条件
总结在表10中。

有关输入/输出备用的更多详细信息，请参见第5.3.14节：I/O端口特性
功能特征 (D [7: 0], CMD, CK)。

图52. SDIO高速模式

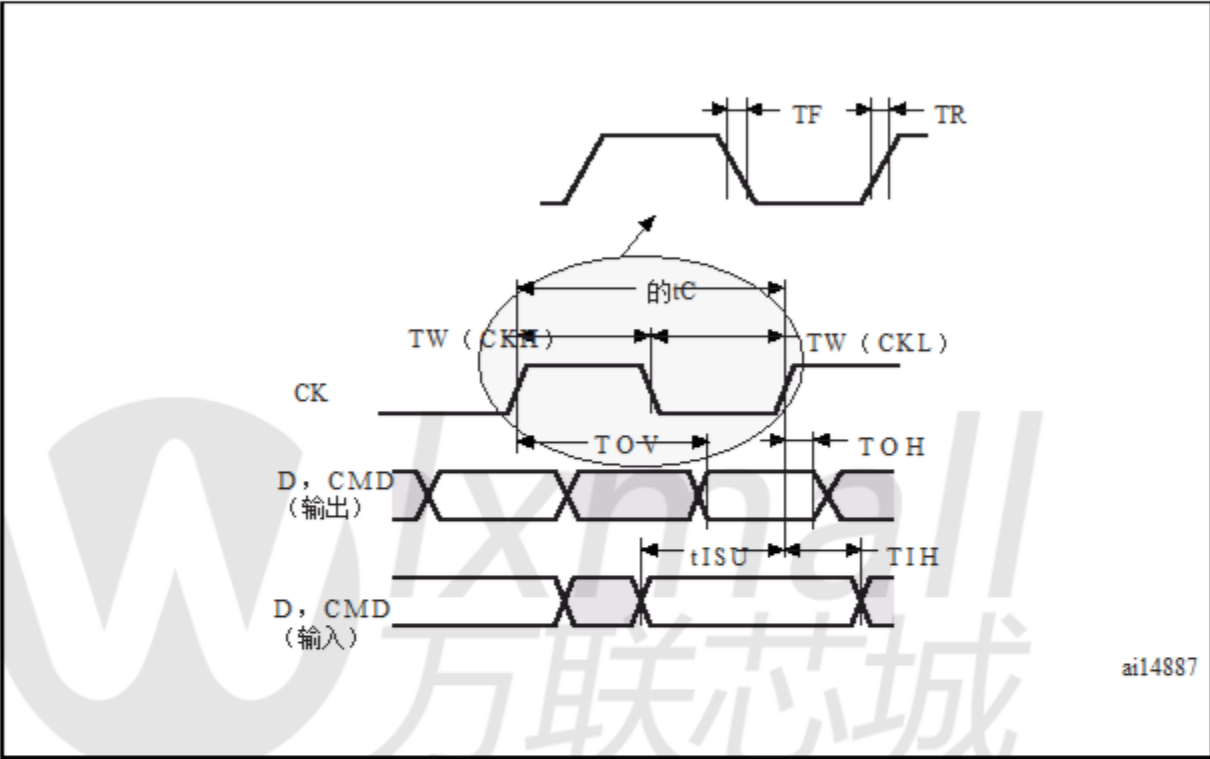


图53. SD默认模式

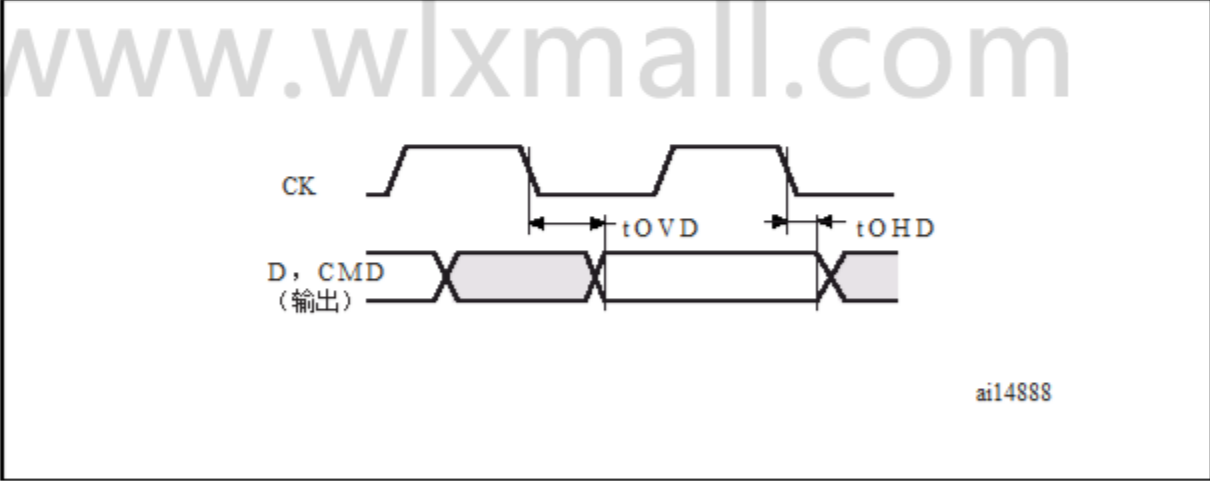


表58. SD / MMC特性

符号	参数	条件	敏	马克斯	单元
f PP	数据传输中的时钟频率模式	C L≤30 pF	0	48	兆 赫
t W (CKL)	时钟低电平, f PP = 16 MHz	C L≤30 pF	32	-	NS
t W (CKH)	时钟高电平, f PP = 16 MHz	C L≤30 pF	三十	-	
t _{IR}	时钟上升时间	C L≤30 pF	-	4	
t f	时钟下降时间	C L≤30 pF	-	五	
CMD, D输入 (参考CK)					
t ISU	输入设置时间	C L≤30 pF	2	-	NS
t IH	输入保持时间	C L≤30 pF	0	-	
CMD, D输出 (参考CK) 在MMC和SD HS模式					
t OV	输出有效时间	C L≤30 pF	-	6	NS
t OH	输出保持时间	C L≤30 pF	0	-	
CMD, D输出 (参考CK) 在SD默认模式 (1)					
t OVD	输出有效的默认时间	C L≤30 pF	-	7	NS
t OHD	输出保持默认时间	C L≤30 pF	0.5	-	

1. 请参考SDIO_CLKCR, SDI时钟控制寄存器来控制CK输出.

USB特性

USB接口经过USB-IF认证 (全速) .

表59. USB启动时间

符号	参数	马克斯	单元
t STARTUP(1)	USB收发器启动时间	1	微秒

1. 保证设计, 未经生产测试.



表60. USB直流电气特性

符号	参数	条件	最小 (1)	最大 (1)	单元
输入电平					
V _{DD}	USB工作电压 (2)		3.0 (3)	3.6	V
V _{DI} (4)	差分输入灵敏度	我 (USBDP, USBDM)	0.2		V
V _{CM} (4)	差分共模范围包括 V _{DI} 范围		0.8	2.5	
V _{SE} (4)	单端接收器阈值		1.3	2.0	
输出电平					
V _{OL}	静态输出电平低	R _L 为 1.5 k~3.6 V (5)		0.3	V
V _{OH}	静态输出电平高	R _L 为 15 kΩ 至 V _{SS} (5)	2.8	3.6	

1. 所有电压都是从局部地电位测量的。
2. 要符合USB 2.0全速电气规范, USBDP (D+) 引脚应被拉1.5 k Ω 电阻到3.0到3.6 V的电压范围。
3. STM32F103xx的USB功能确保低至2.7 V, 但不能使用完整的USB电气在2.7至3.0 V V_{DD}电压范围内降级的特性。
4. 通过表征保证, 未在生产中测试。
5. R_L是连接在USB驱动器上的负载

图54. USB定时: 定义数据信号的上升和下降时间

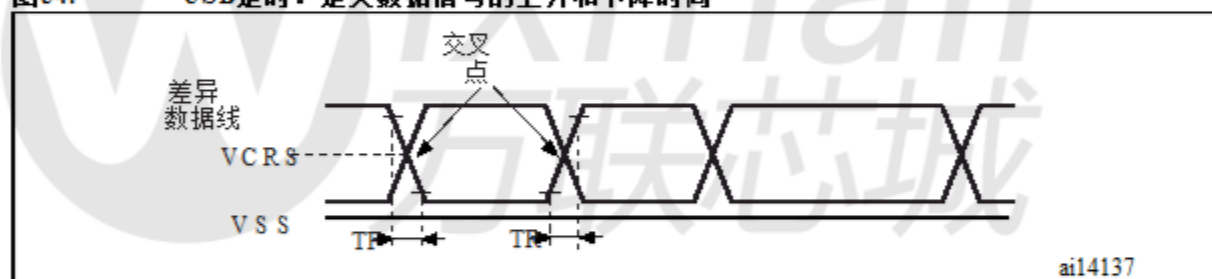


表61. USB: 全速电气特性

驾驶员特点 (1)					
符号	参数	条件	最小	最大值	单元
t _R	上升时间 (2)	C _L = 50 pF	4	20	NS
t _f	下降时间 (2)	C _L = 50 pF	4	20	NS
t _{rfm}	上升/下降时间匹配	t _r /t _f	90	110	%
V _{CRS}	输出信号交叉电压		1.3	2.0	V

1. 保证设计, 未经生产测试。
2. 测量数据信号的10%到90%。有关更多详细信息, 请参阅USB规格 - 第7章 (2.0版)。

5.3.18 CAN (控制器局域网) 接口

有关输入/输出备用的更多信息, 请参见第5.3.14节: I/O端口特性功能特性 (CAN_TX和CAN_RX)。

5.3.19 12位ADC特性

除非另有说明，表62中给出的参数是派生的初步值
来自在环境温度下执行的测试，fPCLK2 频率和VDDA 电源电压
条件总结在表10中。

注意： 建议每次上电后进行校准。

表62. ADC特性

符号	参数	条件	敏	典 型	马克斯	单 元
VDDA	电源		2.4	-	3.6	V
VREF+	正参考电压		2.4	-	VDDA	V
IREF	VREF 输入电 流		- 160		220 (1)	μA
fADC	ADC时钟频率		0.6	-	14	兆赫
fS(2)	采样率		0.05	-	1	兆赫
fTRIG(2)	外部触发频率	fADC = 14 MHz	-	-	823	千赫
			-		17	1 / fADC
VAIN	转换电压范围 (3)		0 (VSSA 或VREF- 绑在地上)	- VREF+		V
RAIN(2)	外部输入阻抗	见公式1和 表63详见	-		50	kΩ
RA(2)	采样开关电阻		-	-	1	kΩ
CA(2)	内部采样和保持 电容器		-		8	pF的
TCA(2)	校准时间	fADC = 14 MHz	5.9			微秒
			83			1 / fADC
tlat(2)	注入触发转换 潜伏	fADC = 14 MHz	-	-	0.214	微秒
			-		3 (4)	1 / fADC
tlatr(2)	定期触发转换 潜伏	fADC = 14 MHz	-	-	0.143	微秒
			-		2 (4)	1 / fADC
tS(2)	抽样时间	fADC = 14 MHz	0.107	-	17.1	微秒
			1.5	-	239.5	1 / fADC
tSTAB(2)	上电时间		0	0	1	微秒
tCONV(2)	总转换时间 (含采样时间)	fADC = 14 MHz	1		18	微秒
			14~252 (ts 为采样+12.5为 逐次逼近)			1 / fADC

- 1. 基于表征，未在生产中测试。
- 2. 保证设计，未经生产测试。
- 3. VREF+ 可以内部连接到VDDA，VREF- 可以内部连接到VSSA，具体取决于封装。
有关详细信息，请参阅第3节：引脚分布和引脚说明。
- 4. 对于外部触发器，必须在表62中指定的延迟时间内加上 1 / fPCLK2 的延迟。



公式1: R AIN max公式

$$R_{AIN} < \frac{\dot{T}_{\text{小号}}}{F_{ADC} \times C_{ADC} \times \ln \frac{2}{N^2}} \times R_{ADC}$$

上述公式（等式1）用于确定最大外部阻抗
允许出现低于LSB 1/4的错误.这里N = 12（从12位分辨率）.

表 63. R AIN max for f ADC = 14 MHz (1)

T (周期)	t S (μs)	R AIN max (kΩ)
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	NA
239.5	17.1	NA

1. 保证设计，未经生产测试.

表 64. ADC精度 - 有限测试条件 (1) (2)

符号	参数	测试条件	典型	马克斯 (3单元)
ET	总未调整错误	f PCLK2 = 56MHz , f ADC = 14 MHz, R AIN <10kΩ, V DDA = 3 V至3.6 V T A = 25°C 之后测量 ADC校准 V REF+ = V DDA	±1.3	±2
EO	偏移误差		±1	±1.5
例如	增益错误		±0.5	±1.5
ED	差分线性误差		±0.7	±1
EL	积分线性误差		±0.8	±1.5

- 内部校准后测量ADC直流精度值.
- ADC精度与负注入电流: 在任何标准 (非 - 应该避免使用鲁棒的) 模拟输入引脚, 因为这显著降低了转换的准确性
在另一个模拟输入上执行. 建议添加一个肖特基二极管 (引脚到地)
可能潜在地注入负电流的标准模拟引脚.
在第5.3.14节中为I INJ (PIN) 和ΣI INJ (PIN) 指定的限制内的任何正向注入电流都不为零
影响ADC精度.
- 基于表征，未在生产中测试.



表65. ADC精度 (1) (2) (3)

符号	参数	测试条件	典型	马克斯	(4单元)
ET	总未调整误差	f PCLK2 = 56MHz , f ADC = 14 MHz, R AIN <10kΩ, V DDA = 2.4 V至3.6 V 之后测量 ADC校准	±2	±5	LSB
EO	偏移误差		±1.5	±2.5	
例如	增益误差		±1.5	±3	
ED	差分线性误差		±1	±2	
EL	积分线性误差		±1.5	±3	

1. 内部校准后测量ADC直流精度值。
2. 在限制V DD，频率，V REF 和温度范围内 可以实现更好的性能。
3. ADC精度与负注入电流：在任何标准（非 - 应该避免使用鲁棒的）模拟输入引脚，因为这显著降低了转换的准确性在另一个模拟输入上执行 建议添加一个肖特基二极管（引脚到地）可能潜在地注入负电流的标准模拟引脚。在第53.14节中为I INJ（PIN）和ΣIINJ（PIN）指定的限制内的任何正向注入电流都不为零影响ADC精度。
4. 初步价值观。

图55. ADC精度特性

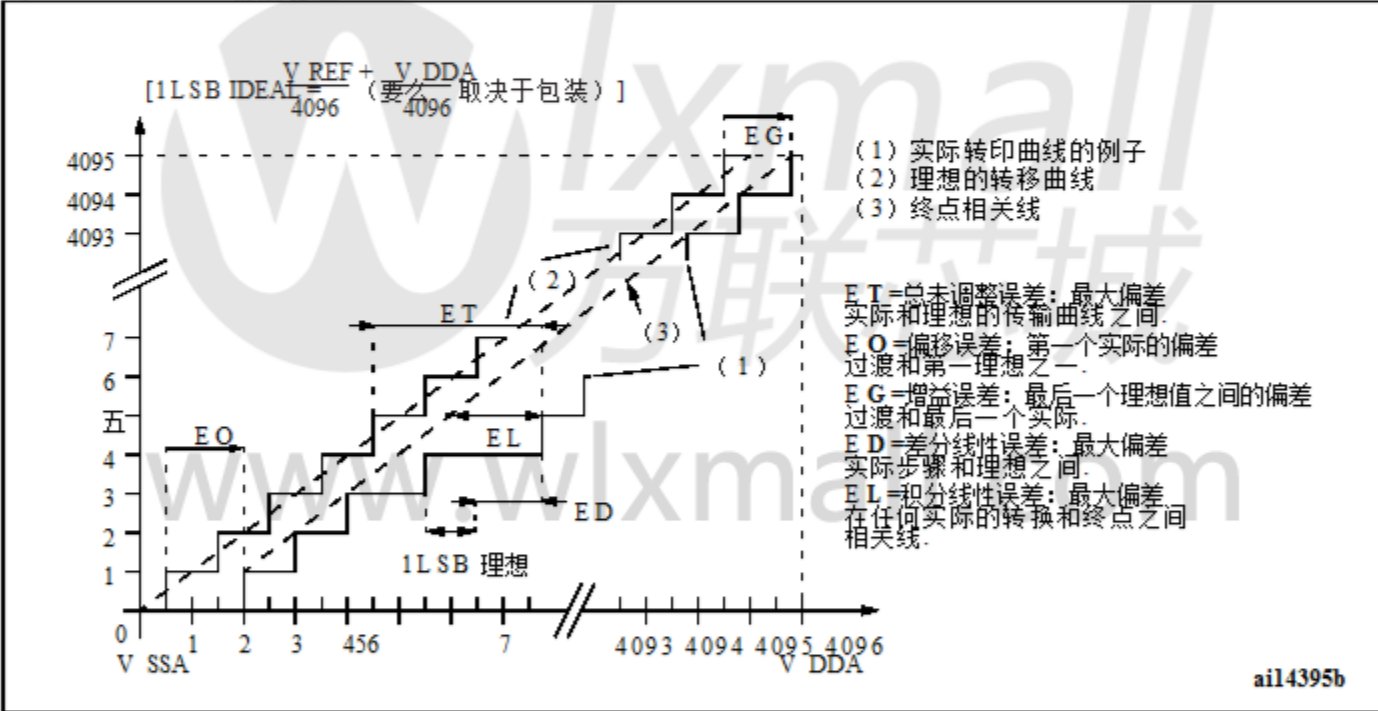
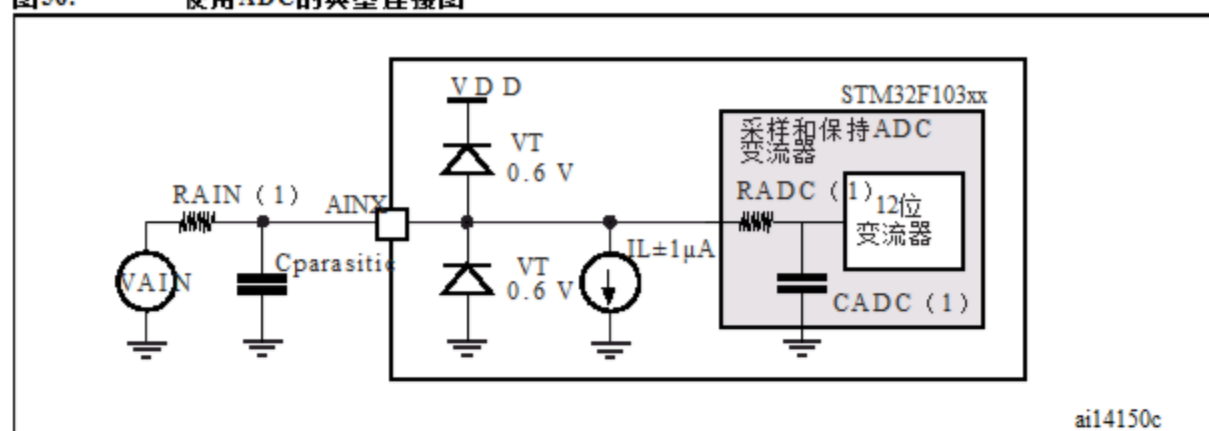


图56. 使用ADC的典型连接图

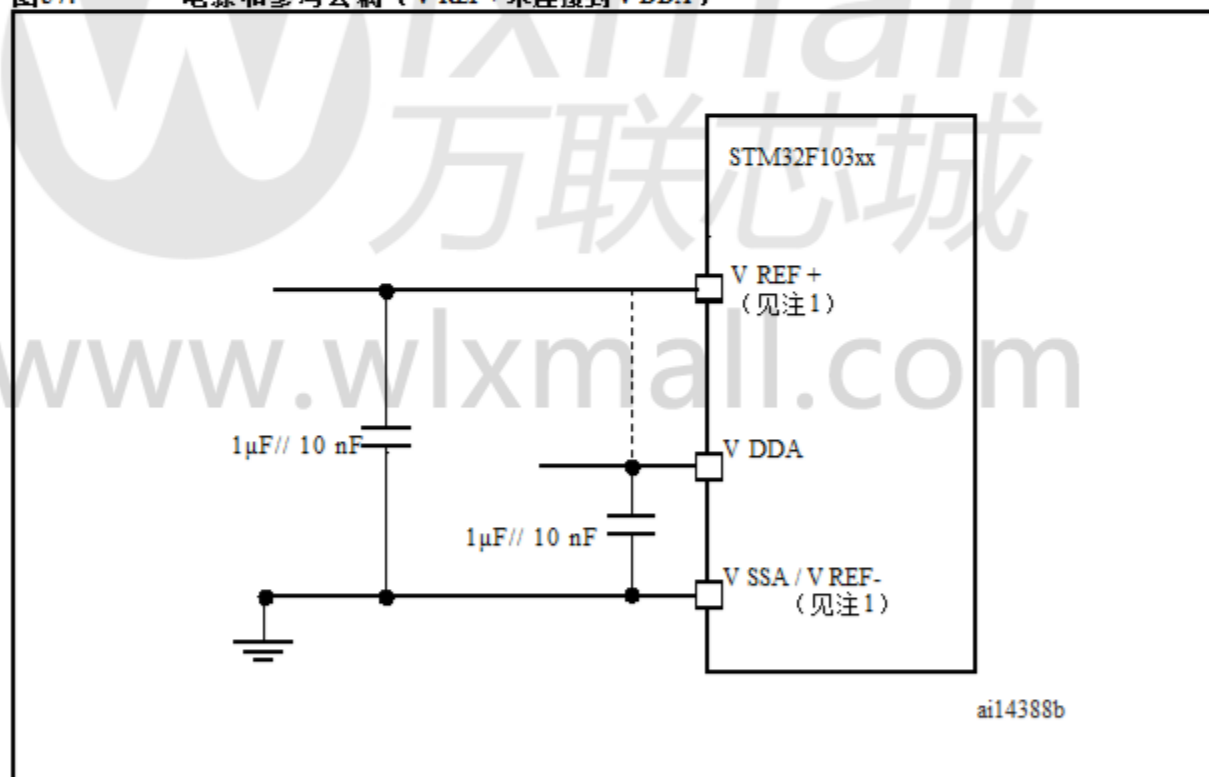


1. R_{AIN} , R_{ADC} 和 C_{ADC} 的值请参见表62。
2. $C_{寄生}$ 代表PCB的电容（取决于焊接和PCB布局质量）加上焊盘电容（大约7 pF）。高 $C_{寄生}$ 值会降低转换精度。补救这个，ADC应该减少。

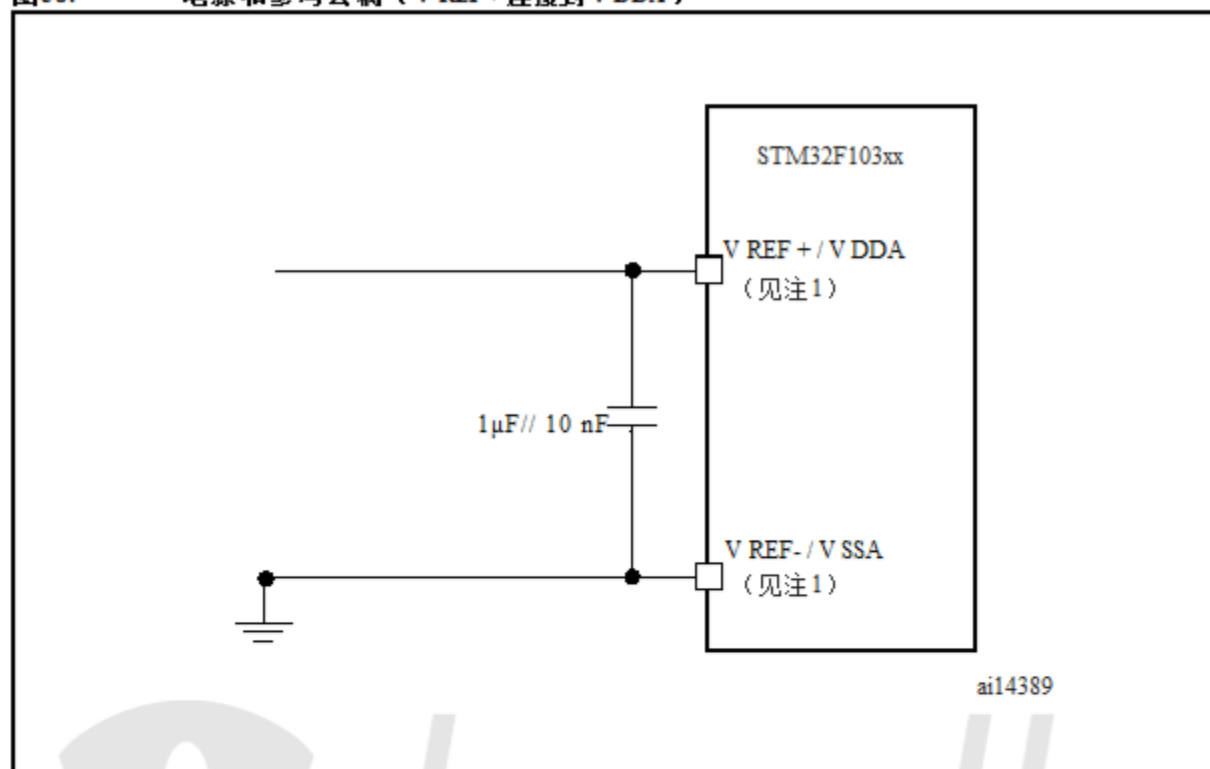
一般PCB设计指南

应如图57或图58所示进行电源去耦。

取决于 V_{REF+} 是否连接到 V_{DDA} 。10 nF电容应为陶瓷（质量好）。它们应该尽可能靠近芯片。

图57. 电源和参考去耦（ V_{REF+} 未连接到 V_{DDA} ）

1. V_{REF+} 和 V_{REF-} 输入仅在100引脚封装上可用。

图58. 电源和参考去耦 (V_{REF+} 连接到 V_{DDA})

1. V_{REF+} 和 V_{REF-} 输入仅在100引脚封装上可用。

5.3.20 DAC电气规格

表 66. DAC特性

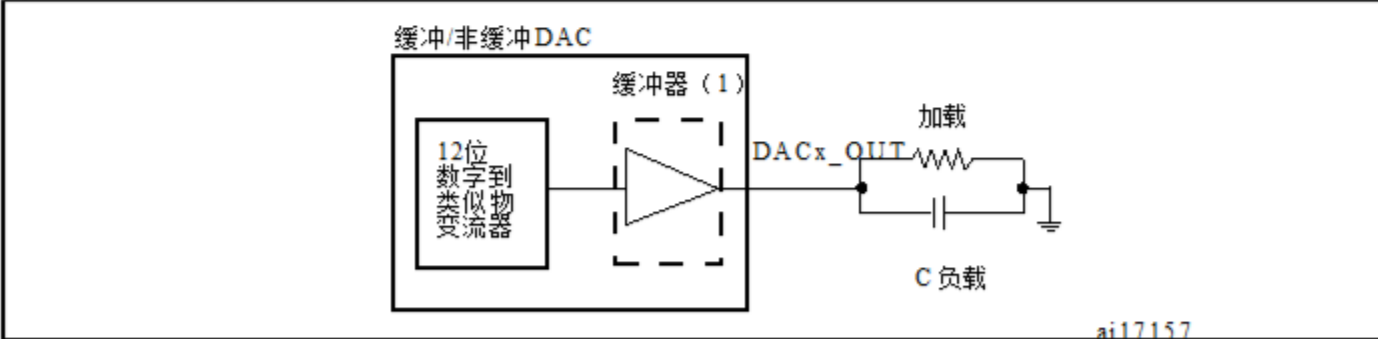
符号	参数	敏	典型	马克斯	单元	注释
V _{DDA}	模拟电源电压	2.4	-	3.6	V	
V _{REF+}	参考电源电压	2.4	-	3.6	V	V _{REF+} 必须始终低于V _{DDA}
V _{SSA}	地面	0	-	0	V	
加载 (1)	电阻负载与V _{SSA} 有关 缓冲区ON	5-		-	k Ω	
	电阻负载 vs. V _{DDA} 缓冲区ON	15	-	-	k Ω	
RO (1)	阻抗输出带缓冲器 关闭	-		15	k Ω	当缓冲区关闭时, 最小值 DAC_OUT之间的电阻负载 和V _{SS} 具有1%的精度 1.5 M Ω
C 负载 (1)	电容负载	-	-	50	pF	最大容性负载在 DAC_OUT引脚 (当缓冲区为 上)。
DAC_OUT 分 (1)	降低DAC_OUT电压 缓冲区ON	0.2	-	-	V	它给出最大输出 DAC的游览。 它对应于12位输入代码 (0x0E0) 至 (0xF1C), V _{REF+} =3.6 V 和 (0x155) 和 (0xEAB) 在V _{REF+} = 2.4 V
DAC_OUT 最大值 (1)	DAC_OUT电压较高 缓冲区ON	-		V _{DDA} -0.2	V	
DAC_OUT 分 (1)	降低DAC_OUT电压 缓冲区关闭	-0.5			毫伏	它给出最大输出 DAC的游览。
DAC_OUT 最大值 (1)	DAC_OUT电压较高 缓冲区关闭	-		V _{REF+} - 10 mV	V	
我 DDVREF	DAC直流电流 消费静止 模式 (待机模式)	-		380	μ A	无负载, 最差码 (0x0E4) 在 V _{REF+} =3.6 V 投入消费
我 DDA	DAC直流电流 消费静止 模式 (待机模式)	-		380	μ A	无负载时, 中间代码 (0x800) 开 输入
		-		480	μ A	无负载, 最差码 (0xF1C) 在 V _{REF+} =3.6 V 投入消费
DNL (2)	差分非线性 两者之间的差异 连续码-1LSB)	-		± 0.5	LSB	给定DAC在10位 组态
		-	± 3		LSB	给定DAC在12位 组态

表66. DAC特性 (续)

符号	参数	敏	典型	马克斯	单元	注释
INL (2)	积分非线性 (差异 代码i的测量值 和代码i上的值 代码0之间的线 和最后一个代码1023)	-		±1	LSB	给定DAC在10位 组态
		-		±4	LSB	给定DAC在12位 组态
偏移量 (2)	偏移误差 (差异 代码测量值 (0x800) 和理想值= V _{REF} +/2)	-		±10	毫伏	给定DAC在12位 组态
		-		±3	LSB	给定在V _{REF} +10位的DAC = 3.6V
		-		±12	LSB	给定DAC在12位在V _{REF} + = 3.6V
获得 误差 (2)	增益错误	-	-	±0.5	%	给DAC在12bit 组态
t _{SETTLING}	结算时间 (满分): for a 10位输入代码转换 最低和最低 最高输入代码 DAC_OUT达到最终 值±1LSB	-3		4	微秒	C _{LOAD} ≤50 pF, R _{LOAD} ≥5kΩ
更新 率 (2)	最大频率为正确 DAC_OUT更改时间 投入变化小 代码 (从代码i到i+1LSB)	-		1	MS / s	C _{LOAD} ≤50 pF, R _{LOAD} ≥5kΩ
t _{唤醒} (2)	唤醒时间从关闭状态 (设置ENx位 DAC控制寄存器)	-	6.5	10	微秒	C _{LOAD} ≤50 pF, R _{LOAD} ≥5kΩ 输入代码最低和 最高可能的.
PSRR + (1)	电源抑制比 (到V _{DDA}) (静态DC 测量)	-	-67	-40	分贝	无R _{LOAD} , C _{LOAD} =50 pF

- 1. 保证设计, 未经生产测试.
- 2. 初步价值观.

图59. 12位缓冲/非缓冲DAC



- 1. DAC集成了可用于降低输出阻抗并直接驱动外部负载的输出缓冲器而不使用外部运算放大器. 可以通过配置BOFFx位来绕过缓冲区DAC_CR寄存器.

5.3.21 温度传感器特性

表 67. TS特性

符号	参数	敏	典型	马克斯	单元
T (1)	V SENSE 线性度与温度	-	±1	±2 °C	
Avg_Slope (1)	平均坡度	4	4.3	4.6	毫伏/°C
V25(1)	电压在25°C	1.34	1.43	1.52	V
t START(2)	启动时间	4	-	10	微秒
T S_temp(3) (2)	ADC采样时间读取时温度	-		17.1	微秒

- 1. 基于表征，未在生产中测试.
- 2. 保证设计，未经生产测试.
- 3. 最短采样时间可以通过多次迭代在应用中确定.



6 包装特点

6.1 包装机械数据

为了满足环保要求，ST为不同等级的这些设备提供这些设备
ECOPACK®包装，取决于其环境符合程度。ECOPACK®
规格，等级定义和产品状态可从以下网址获取：www.st.com。
ECOPACK®是ST商标。

图60. 推荐的PCB设计规则（0.80 / 0.75mm间距BGA

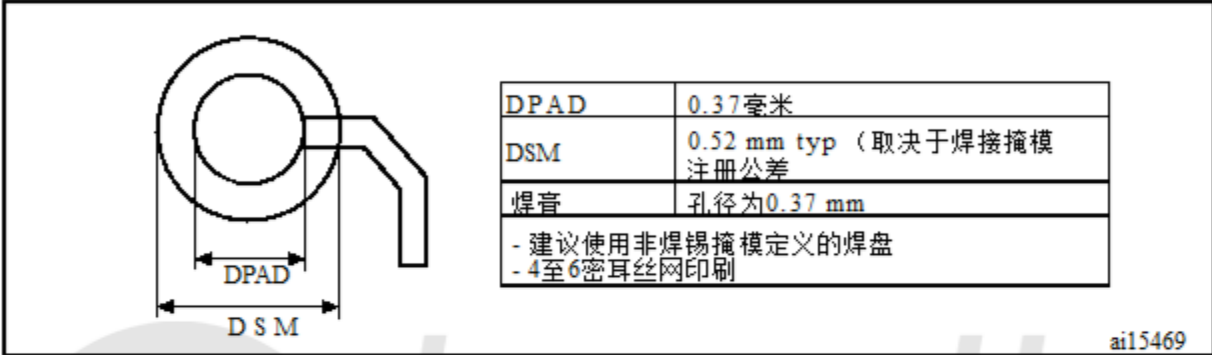
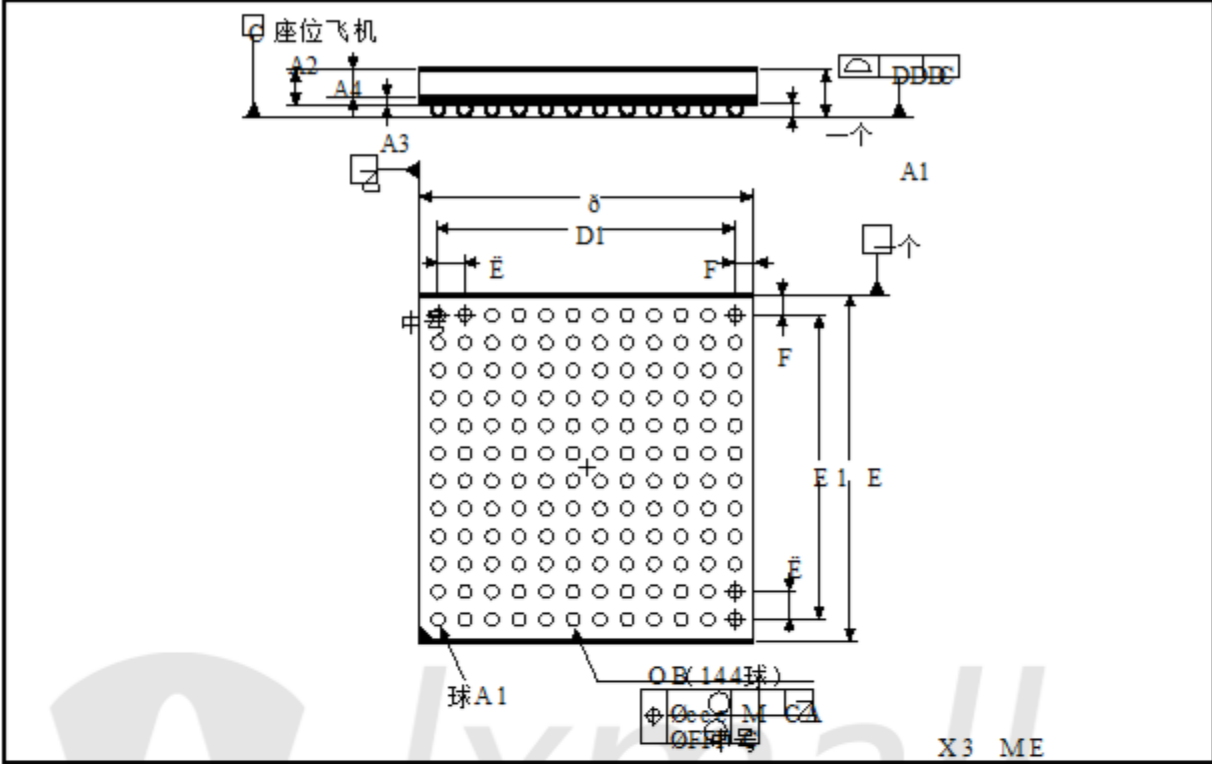


图61. LFBGA144 - 144球低调细间距球栅阵列，10 x 10 mm，
0.8 mm间距，封装外形



1. 绘图不按比例。

表68. LFBGA144 - 144球低调细间距球栅阵列，10 x 10 mm，
0.8 mm间距，封装数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	典型	敏	马克斯
A 1	7 0					0.0669
A1	0.21			0.0083		
A2		1.07			0.0421	
A3		0.27			0.0106	
A4			0.85			0.0335
b	0.35	0.40	0.45	0.0138	0.0157	0.0177
δ	9.85	10.00	10.15	0.3878	0.3937	0.3996
D1		8.80			0.3465	
E	9.85	10.00	10.15	0.3878	0.3937	0.3996
E1		8.80			0.3465	
e 0 . 8 0					0.0315	
F 0 . 6 0					0.0236	
DDD	0.10			0.0039		
EEE	0.15			0.0059		
FFF	0.08			0.0031		

1. 以英寸为单位的值将从mm转换为四位数。

图62. LQFP144, 20 x 20 mm, 144引脚低调四通道扁平封装外形 (1)

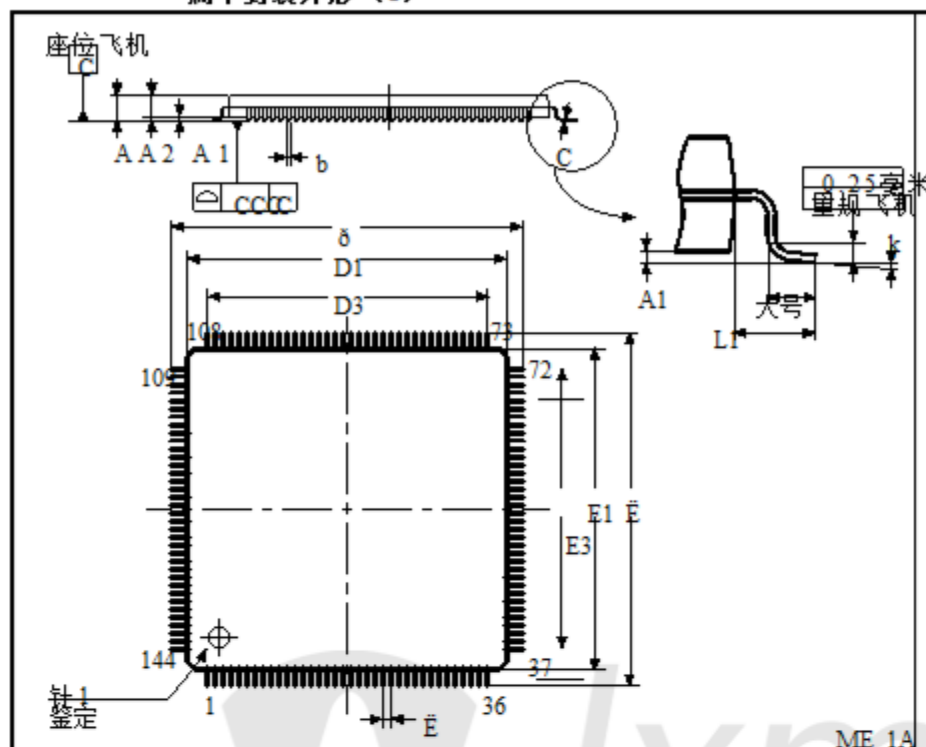
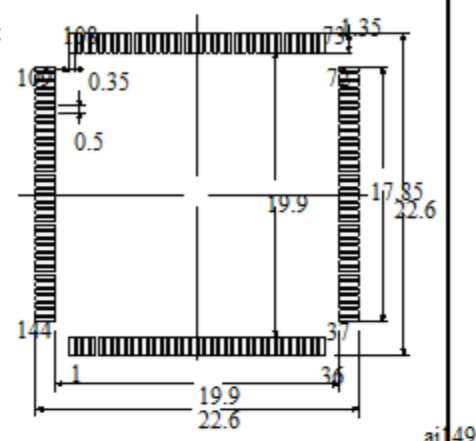


图63. 推荐的
足迹 (1) (2)



1. 绘图不按比例.
2. 尺寸单位为毫米.

表69. LQFP144, 20 x 20 mm, 144引脚低调四边形扁平封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
A 1	6 0					0.063
A1	0.05		0.15	0.002		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.20	0.0035		0.0079
δ	21.80	22.00	22.20	0.8583	0.8661	0.874
D1	19.80	20.00	20.20	0.7795	0.7874	0.7953
D3		17.50			0.689	
Ē	21.80	22.00	22.20	0.8583	0.8661	0.874
E1	19.80	20.00	20.20	0.7795	0.7874	0.7953
E3		17.50			0.689	
Ē		0.50			0.0197	
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
k	0° 3.5° 7°			0° 3.5°		7°
CCC	0.08			0.0031		

1. 以英寸为单位的值将从 mm 转换为四位数。

图64. LQFP100, 14 x 14 mm 100引脚低调四方扁平封装外形 (1)

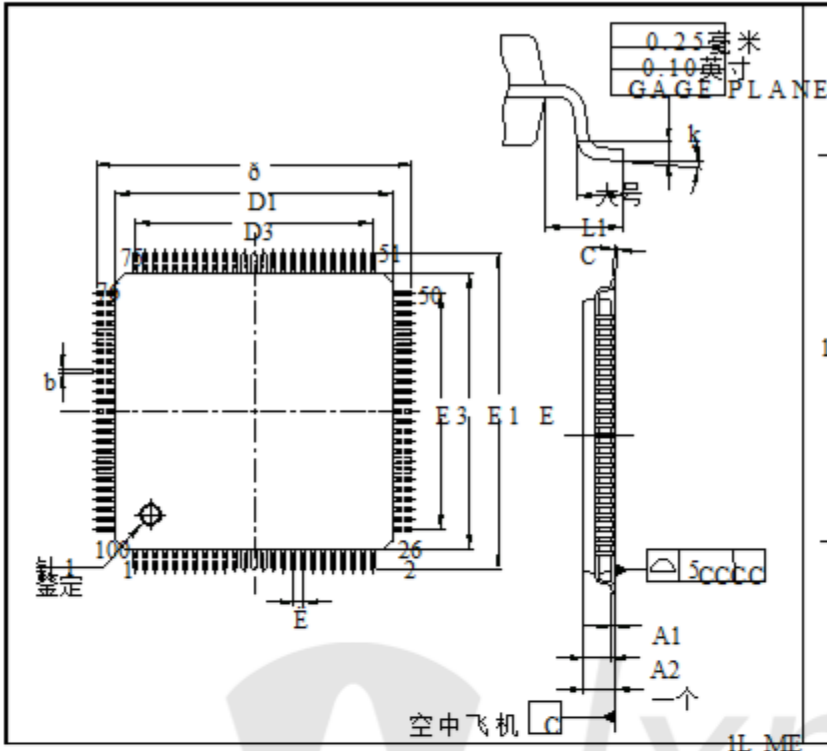
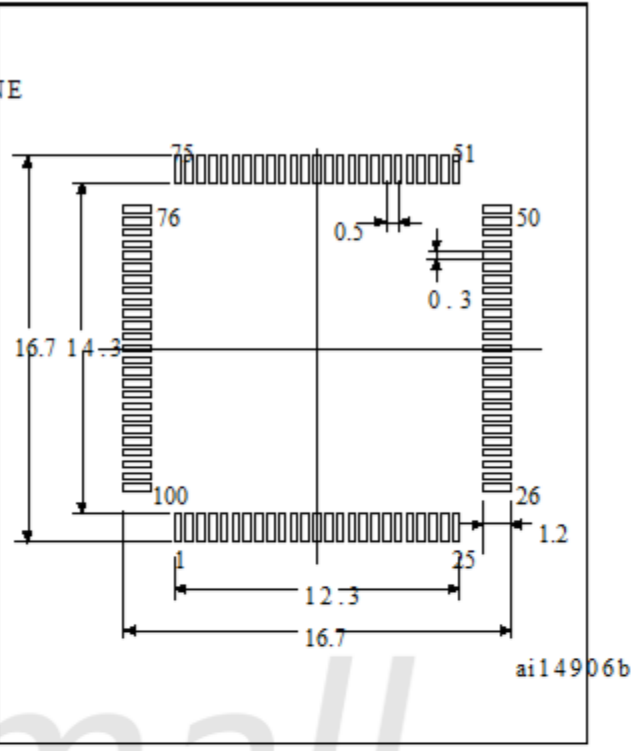


图65. 推荐足迹 (1) (2)



1. 绘图不按比例。
2. 尺寸单位为毫米。

表70. LQFP100 - 14 x 14 mm 100针低调四平面封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.063
A1	0.05		0.15	0.002		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.20	0.0035		0.0079
δ	15.80	16.00	16.20	0.622	0.6299	0.6378
D1	13.80	14.00	14.20	0.5433	0.5512	0.5591
D3		12.00			0.4724	
E	15.80	16.00	16.20	0.622	0.6299	0.6378
E1	13.80	14.00	14.20	0.5433	0.5512	0.5591
E3		12.00			0.4724	
E		0.50			0.0197	
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
k	0°	3.5° 7°		0° 3.5°		7°
CCC	0.08			0.0031		

1. 以英寸为单位的值将从 mm 转换为四位小数。

图66. LQFP64 - 10 x 10 mm 64针低调四方扁平封装外形 (1)

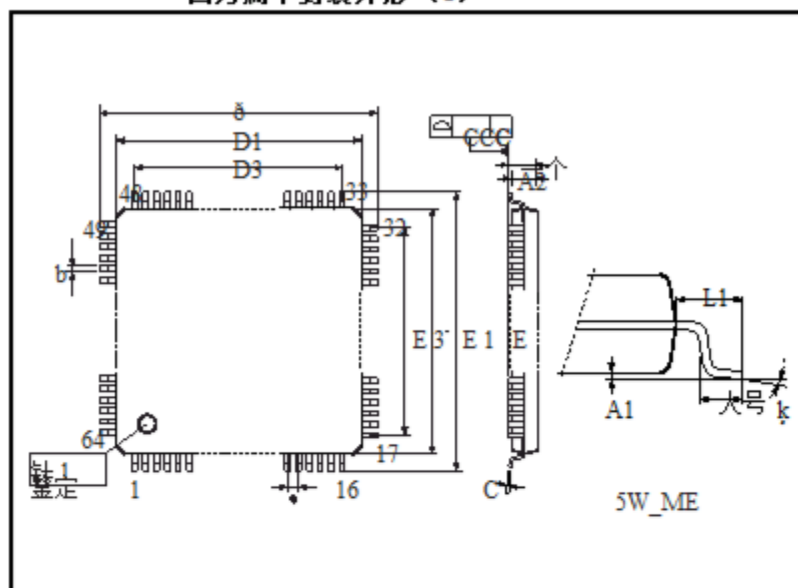
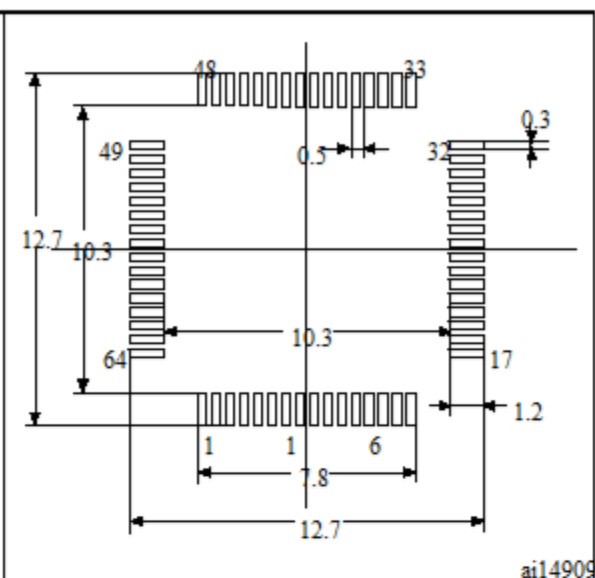


图67. 推荐足迹 (1) (2)



1. 绘图不按比例。
2. 尺寸单位为毫米。

表71. LQFP64 - 10 x 10 mm 64针低调四平面封装机械数据

符号	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
C	0.090		0.200	0.0035		0.0079
δ	11.800	12.000	12.200	0.4646	0.4724	0.4803
D1	9.800	10.000	10.200	0.3858	0.3937	0.4016
D.		7.500				
Ē	11.800	12.000	12.200	0.4646	0.4724	0.4803
E1	9.800	10.00	10.200	0.3858	0.3937	0.4016
Ē		0.500			0.0197	
κ	0°	3.5°~7°		0°~3.5°		7°
大号	0.450	0.600	0.75	0.0177	0.0236	0.0295
L1		1.000			0.0394	
CCC	0.080			0.0031		
ñ	引脚数					

64

1. 以英寸为单位的值将从 **mm** 转换为四位数。

6.2 热特性

最大芯片结温 (T J max) 不能超过给定值
表10: 一般操作条件 (第41页)。

可以计算最大芯片结温度T J max (摄氏度)
使用以下公式:

$$T J max = T A max + (P D max \times \Theta JA)$$

哪里:

- T A max是最高环境温度, 单位°C,
- ΘJA 是封装结到环境热阻, 单位°C/W,
- P D max是P INT max和P I/O max (P D max = P INT max + P I/O max) 之和,
- P INT max是I DD 和V DD的 乘积, 以瓦特表示. 这是最大的芯片内部电源

P I/O max表示输出引脚上的最大功耗:

$$P I/O max = \Sigma (V OL \times I OL) + \Sigma ((V DD - V OH) \times I OH),$$

考虑到实际的V OL /I OL 和V OH /I OH的I/O在低和高级别应用.

表 72. 封装热特性

符号	参数	值	单元
ΘJA	热阻结环境 LFBGA144 - 10×10 mm / 0.8 mm间距	40	°C/W
	热阻结环境 LQFP144 - 20×20 mm / 0.5 mm间距	三十	
	热阻结环境 LQFP100 - 14×14 mm / 0.5 mm间距	46	
	热阻结环境 LQFP64 - 10×10 mm / 0.5 mm间距	45	

6.2.1 参考文件

JESD51-2集成电路热测试方法环境条件 - 自然
对流 (静止) .可从 www.jedec.org获得



6.2.2 选择产品温度范围

订购微控制器时，温度范围在订购中指定

信息方案如表73所示：STM32F103xF和STM32F103xG排序信息方案。

每个温度范围后缀对应于特定的保证环境温度最大耗散和特定的最大结温。

由于应用程序最多不能普遍使用STM32F103xF和STM32F103xG耗散，计算确切的功耗和结温是有用的确定哪种温度范围最适合应用。

以下示例显示了如何计算给定值所需的温度范围应用。

示例1：高性能应用程序

假设以下应用条件：

最高环境温度 $T_{Amax} = 82^{\circ}\text{C}$ （根据JESD51-2测量），
 $I_{DDmax} = 50\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，同时输出低电平时最多使用20个I/O
 电平， $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$ ，输出时同时使用最多8个I/O
 在低电平， $I_{OL} = 20\text{ mA}$ ， $V_{OL} = 1.3\text{ V}$
 $P_{INTmax} = 50\text{ mA} \times 3.5\text{ V} = 175\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} + 8 \times 20\text{ mA} \times 1.3\text{ V} = 272\text{ mW}$
 这给出： $P_{INTmax} = 175\text{ mW}$ ， $P_{IOmax} = 272\text{ mW}$ ：
 $P_{Dmax} = 175 + 272 = 447\text{ mW}$

因此： $P_{Dmax} = 447\text{ mW}$

使用表72中得到的值计算 T_{Jmax} 如下：

- 对于LQFP100， 46°C/W

$T_{Jmax} = 82^{\circ}\text{C} + (46^{\circ}\text{C/W} \times 447\text{ mW}) = 82^{\circ}\text{C} + 20.6^{\circ}\text{C} = 102.6^{\circ}\text{C}$

这在后缀6版本部分（ $-40 < T_J < 105^{\circ}\text{C}$ ）的范围内。

在这种情况下，零件必须至少在温度范围后缀为6（见表73：STM32F103xF和STM32F103xG订购信息方案）。

实施例2：高温应用

使用相同的规则，可以解决在高环境下运行的应用程序

温度低，散热低，只要结温 T_J 保持在内指定范围。

假设以下应用条件：

最高环境温度 $T_{Amax} = 115^{\circ}\text{C}$ （根据JESD51-2测量），
 $I_{DDmax} = 20\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，同时输出低电平时最多使用20个I/O
 $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$
 $P_{INTmax} = 20\text{ mA} \times 3.5\text{ V} = 70\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} = 64\text{ mW}$
 这给出： $P_{INTmax} = 70\text{ mW}$ ， $P_{IOmax} = 64\text{ mW}$ ：
 $P_{Dmax} = 70 + 64 = 134\text{ mW}$

因此： $P_{Dmax} = 134\text{ mW}$

使用表 72 中得到的值计算 T_{Jmax} 如下:

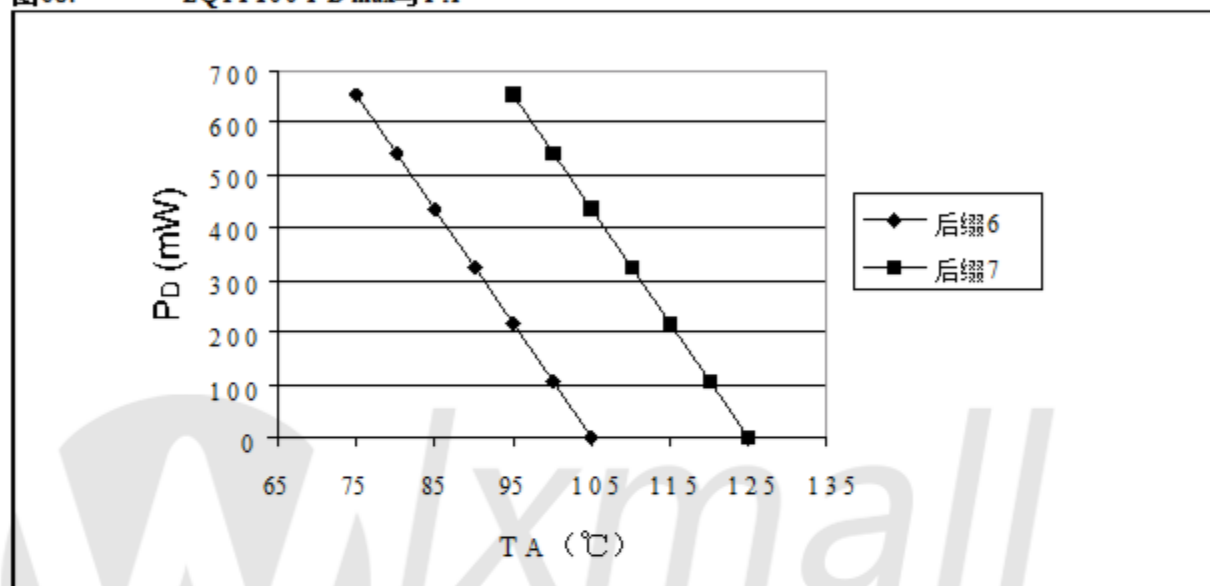
- 对于 LQFP100, $46^{\circ}\text{C} / \text{W}$

$$T_{Jmax} = 115^{\circ}\text{C} + (46^{\circ}\text{C} / \text{W} \times 134\text{mW}) = 115^{\circ}\text{C} + 6.2^{\circ}\text{C} = 121.2^{\circ}\text{C}$$

这在后缀 7 版本 ($-40 < T_J < 125^{\circ}\text{C}$) 的范围内.

在这种情况下, 零件必须至少在后缀为 7 的温度范围内 (见
表 73: *STM32F103xF* 和 *STM32F103xG* 订购信息方案).

图 68. LQFP100 P_D max 与 T_A



7 零件编号

表 73. STM32F103xF和STM32F103xG订购信息方案

例:	STM32	F103	RF	T	6	XXX
设备系列						
STM32 =基于ARM的32位微控制器						
产品类别						
F =通用目的						
设备亚科						
103 =性能线						
针数						
R = 64针						
V = 100针						
Z = 144针						
闪存大小						
F = 768千字节闪存						
G = 1 MB闪存						
包						
H = BGA						
T = LQFP						
温度范围						
6 =工业温度范围, -40至85°C.						
7 =工业温度范围, -40至105°C.						
选项						
xxx =编程零件						
TR =磁带和真实						

有关可用选项（速度，包装等）的列表或有关任何方面的更多信息
请联系您最近的ST销售办事处。

8 修订记录

表 74. 文件修订历史

日期	调整	变化
27 - 10月2009年	1	初始发行.
11月15日, 2010	2	<i>LQFP64封装机械数据更新: 见图66: LQFP64 - 10 x 10 mm 64针低调四边形扁平封装外形和表71: LQFP64 - 10 x 10 mm 64针低调四方扁平封装机械数据.</i> <i>内部代码从表73中删除: STM32F103xF和STM32F103xG订购信息方案.</i> <i>表54中更新了注释2: I2C特性</i> <i>更新图46: I2C总线交流波形和测量电路</i> <i>更新图45: 推荐的NRST引脚保护</i> <i>表49更新了注释1: I/O静态特性</i> <i>更新表20: 外设电流消耗</i> <i>更新表14: 运行模式下的最大电流消耗, 代码数据处理从Flash运行</i> <i>更新表15: 运行模式下的最大电流消耗, 代码数据处理从RAM运行</i> <i>更新表16: 休眠模式下的最大电流消耗, 代码从Flash或RAM运行</i> <i>更新表17: 停止中的典型和最大电流消耗和待机模式</i> <i>更新表18: 运行模式下的典型电流消耗, 代码为数据处理从Flash运行</i> <i>更新表19: 休眠模式下的典型电流消耗, 代码从Flash或RAM运行</i> <i>更新表24: LSE振荡器特性 (fLSE = 32.768 kHz)</i> <i>图22: 异步非多路复用</i> <i>SRAM / PSRAM / NOR读取波形在第62页</i> <i>添加了第5.3.13节: I/O电流注入特性 (第83页)</i>
18-JAN-2012	3	第2.3.26节: GPIO (通用输入/输出): 修改后的文本的最后一句. 表5: STM32F103xF和STM32F103xG引脚定义: 更新引脚PD0, PD1, OSC_IN, OSC_OUT, PB8, PB9和PF8. 表7: 电压特性: 删除前面的脚注2和3并增加当前脚注2. <i>表8: 当前特征: 更新的脚注3, 4和5.</i> 表21: 高速外部用户时钟特性: 更换t_w (HSE) 最小值5 (而不是16). 表24: LSE振荡器特性 (fLSE = 32.768 kHz): 更新符号和脚注.

表 74. 文件修订历史

日期	调整	变化
18-JAN-2012	3	异步波形和时序：添加关于t_{HCLK}时钟的注释 期间和FSMC_BusTurnAroundDuration;更新条件， 修改表31：异步非复用SRAM / PSRAM / NOR 读取时序，表32：异步非多路复用 SRAM / PSRAM / NOR写时序，表34：异步复用 PSRAM / NOR读时序，表35：异步复用 PSRAM / NOR写时序;添加表33：异步读取 多路复用。 同步波形和定时：更新图27：同步 复用PSRAM写时序;更新表36：同步 多路复用NOR / PSRAM读时序，表37：同步 多路复用PSRAM写时序，表38： 多路复用NOR / PSRAM读时序，表39：同步 非复用PSRAM写时序。 PC卡/ CompactFlash控制器波形和时序：更新 图35：I / O空间的PC卡/ CompactFlash控制器波形 写访问;分离开关特性分为表40：切换 PC卡/ CF读写周期的特性 属性/公共空间，表41：PC的切换特性 I / O空间中的卡/ CF读写周期，修改后的值和 删除关于初步价值的脚注。 NAND控制器波形和时序：更新条件，拆分 开关特性见表42：开关特性 NAND Flash读周期和表43：开关特性 NAND Flash写周期和值修改。 第5.3.14节：I / O端口特性：表49更新的脚注1： I / O静态特性;更新输出驱动电流。 表50：输出电压特性：交换“TTL”和“CMOS” 条件列中的端口。 表54：I2C特性：更新的脚注2。 更新表58：SD / MMC特性。 表62：ADC特征：更新的脚注1。 表64：ADC精度 - 测试条件有限：更新脚注3。 表67：TS特征：更新的脚注1。

请仔细阅读：

本档中的信息仅供ST产品使用.意法半导体及其子公司（“ST”）保留对本文档以及本文所述的产品和服务进行任何更改，更正，修改或改进的权利时间，恕不另行通知。

所有ST产品均按照ST的销售条款和条件出售。

买家对本文所述的ST产品和服务的选择，选择和使用负全部责任，ST假定没有对本文所述的ST产品和服务的选择，选择或使用的任何责任。

根据本文件，不得以任何禁止反言或以其他方式明示或默示任何知识产权.如果这个的任何部分文件是指任何第三方产品或服务，ST不得将其视为使用此类第三方产品的许可证或服务，或其中包含的任何知识产权或被认为是以任何方式使用的保证第三方产品或服务或其中包含的任何知识产权。

除非另有规定，否则ST的条款和条件不得以任何明示或暗示的方式关于使用和/或销售ST产品的保证，包括但不限于暗示适用性，适用于特定用途的保证（及其法律等同条款）任何司法管辖区），或侵犯任何专利，版权或其他知识产权。

除非由两个授权的ST代表书面批准，否则ST产品不得建议，授权或保证在军事，空运，空间，生命维持或生命维持中使用应用或产品或系统故障或故障可能导致人身伤害，死亡或严重财产或环境损害. ST产品不被称为“汽车” GRADE“只能用于汽车应用程序，用户自己承担风险。

与本文件所述的陈述和/或技术特征不同的ST产品转售将立即失效
ST所提供ST ST产品或服务的任何保证，不得以任何方式创建或扩展任何ST的责任

ST和ST标志是ST在各国的商标或注册商标。

本档中的信息取代了以前提供的所有信息。

ST标志是意法半导体的注册商标.所有其他名称均为其各自所有者的财产。

©2012 STMicroelectronics - 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克共和国 - 芬兰 - 法国 - 德国 - 香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美利坚合众国

www.st.com