



STM32F105xx STM32F107xx

连接线，基于ARM的32位MCU，具有64/256 KB闪存，USB OTG，以太网，10个定时器，2个CAN，2个ADC，14个通信接口

特征

■ 内核：ARM 32位Cortex™-M3 CPU

- 最大频率为72 MHz，
1.25 DMIPS / MHz (Dhrystone 2.1)
性能在0等待状态存储器
访问
- 单周期乘法和硬件
师

记忆

- 64到256 KB闪存
- 64 KB的通用SRAM

■ 时钟，复位和电源管理

- 2.0到3.6 V的应用电源和I / O
- POR，PDR和可编程电压
检测器 (PVD)
- 3至25 MHz晶体振荡器
- 内部8 MHz工厂调整RC
- 内置40 kHz RC校准
- 具有校准功能的RTC的32 kHz振荡器

■ 低功耗

- 睡眠，停止和待机模式
- V RTC和备用寄存器的BAT电源

■ 2×12位，1μsA/D转换器 (16通道)

- 转换范围：0至3.6 V
- 采样和保持能力
- 温度感应器
- 高达2 MSPS的交错模式

■ 2×12位D/A转换器

■ DMA：12通道DMA控制器

- 支持的外设：定时器，ADC，DAC，
I2Ss，SPI，I2Cs和USART

■ 调试模式

- 串行线路调试 (SWD) 和JTAG接口
- Cortex-M3嵌入式跟踪宏单元™

■ 多达80个快速I/O端口

- 51/80 I/O，可以在16个外部映射
中断向量和几乎所有5 V容忍

■ CRC计算单元，96位唯一ID



LQFP100 14×14毫米
LQFP64 10×10毫米



LFBGA100 10×10毫米

■ 多达10个具有引脚分配重映射能力的定时器

- 最多四个16位定时器，每个定时器最多为4个
IC / OC / PWM或脉冲计数器
正交 (增量) 编码器输入
- 1×16位电机控制PWM定时器
死亡时代和紧急停止
- 2×看门狗定时器 (独立和
窗口)
- SysTick计时器：一个24位下行计时器
- 2×16位基本定时器来驱动DAC

■ 多达14个与引脚排列的通讯接口 重映射能力

- 最多2×I2C接口 (SMBus / PMBus)
- 最多5个USART (ISO 7816接口，LIN，
IrDA功能，调制解调器控制)
- 最多3个SPI (18 Mbit / s)，2个与a
多路I2S接口提供音频
通过先进的PLL方案实现了级别精度
- 2×CAN接口 (2.0B有效)
512字节的专用SRAM
- USB 2.0全速设备/主机/ OTG
具有片上PHY的控制器
HNP / SRP / ID，1.25K字节专用
SRAM
- 具有专用DMA的10/100以太网MAC
和SRAM (4 KB)：IEEE1588硬件
支持，MII / RMII可用于所有包

表格1. 设备摘要

参考	零件号
STM32F105xx	STM32F105R8, STM32F105V8 STM32F105RB, STM32F105VB STM32F105RC, STM32F105VC
STM32F107xx	STM32F107RB, STM32F107VB STM32F107RC, STM32F107VC

内容

1	介绍	9
2	说明	9
2.1	设备概述	10
2.2	整个家庭的完全兼容性	11
2.3	概述	12
2.3.1	具有嵌入式闪存和SRAM的ARM®Cortex™-M3内核	13
2.3.2	嵌入式闪存	13
2.3.3	CRC（循环冗余校验）计算单元	13
2.3.4	嵌入式SRAM	13
2.3.5	嵌套矢量中断控制器（NVIC）	13
2.3.6	外部中断/事件控制器（EXTI）	14
2.3.7	时钟和启动	14
2.3.8	启动模式	14
2.3.9	供电方案	15
2.3.10	供电主管	15
2.3.11	电压调节器	15
2.3.12	低功耗模式	15
2.3.13	DMA	16
2.3.14	RTC（实时时钟）和备份寄存器	16
2.3.15	计时器和看门狗	17
2.3.16	IC总线	18
2.3.17	通用同步/异步接收发射机（USART）	18
2.3.18	串行外设接口（SPI）	19
2.3.19	互连声（I2S）	19
2.3.20	以太网MAC接口，专用DMA和IEEE 1588支持	19
2.3.21	控制器局域网（CAN）	20
2.3.22	通用串行总线全速（USB OTG FS）	20
2.3.23	GPIO（通用输入/输出）	20
2.3.24	重映射能力	21
2.3.25	ADC（模数转换器）	21
2.3.26	DAC（数模转换器）	21
2.3.27	温度感应器	22
2.3.28	串行线JTAG调试端口（SWJ-DP）	22

2.3.29	嵌入式跟踪宏单元™	22
3	引脚分布和引脚描述	23
4	内存映射	31
五	电气特性	32
5.1	参数条件	32
5.1.1	最小值和最大值	32
5.1.2	典型值	32
5.1.3	典型曲线	32
5.1.4	加载电容	32
5.1.5	引脚输入电压	32
5.1.6	供电方案	33
5.1.7	电流消耗测量	33
5.2	绝对最大额定值	34
5.3	运行条件	35
5.3.1	一般操作条件	35
5.3.2	上电/掉电时的工作条件	36
5.3.3	嵌入式复位和功率控制块特性	36
5.3.4	嵌入式参考电压	37
5.3.5	供电电流特性	37
5.3.6	外部时钟源特性	45
5.3.7	内部时钟源特性	50
5.3.8	PLL, PLL2和PLL3特性	51
5.3.9	记忆特征	52
5.3.10	EMC特性	52
5.3.11	绝对最大额定值(电气灵敏度)	54
5.3.12	I/O电流注入特性	55
5.3.13	I/O端口特性	55
5.3.14	NRST引脚特性	61
5.3.15	TIM定时器特性	62
5.3.16	通讯接口	63
5.3.17	12位ADC特性	73
5.3.18	DAC电气规格	78
5.3.19	温度传感器特性	80

6	包装特点.....	81
6.1	包装机械数据.....	81
6.2	热特性.....	86
6.2.1	参考文件.....	86
6.2.2	选择产品温度范围.....	87
7	零件编号.....	89
附录A	应用框图.....	90
A.1	USB OTG FS接口解决方案.....	90
A.2	以太网接口解决方案.....	92
A.3	完整的音频播放器解决方案.....	95
A.4	USB OTG FS接口+以太网/ I2S接口解决方案.....	96
	修订记录.....	99



表格清单

表格1.	设备摘要.....	1
表2.	STM32F105xx和STM32F107xx功能和外设计数.....	10
表3.	STM32F105xx和STM32F107xx系列与STM32F103xx系列.....	11
表4.	定时器功能比较.....	17
表5.	引脚定义.....	26
表6.	电压特性.....	34
表7.	电流特性.....	34
表8.	热特性.....	35
表9.	一般操作条件.....	35
表10.	上电/掉电时的工作条件.....	36
表11.	嵌入式复位和功率控制块特性.....	36
表12.	嵌入式内部参考电压.....	37
表13.	运行模式下的最大电流消耗，带数据处理的代码 从Flash运行.....	38
表14.	运行模式下的最大电流消耗，带数据处理的代码 从RAM运行.....	38
表15.	在睡眠模式下的最大电流消耗，从Flash或RAM运行的代码.....	39
表16.	停止和待机模式下的典型和最大电流消耗.....	39
表17.	典型电流消耗在运行模式下，代码与数据处理 从Flash运行.....	42
表18.	在休眠模式下的典型电流消耗，代码从Flash或 随机存取存储器.....	43
表19.	外围电流消耗.....	44
表20.	高速外部用户时钟特性.....	45
表21.	低速外部用户时钟特性.....	45
表22.	HSE 3-25 MHz振荡器特性.....	47
表23.	LSE振荡器特性 (fLSE = 32.768 kHz).....	48
表24.	HSI振荡器特性.....	50
表25.	LSI振荡器特性.....	50
表26.	低功耗模式唤醒时序.....	51
表27.	PLL特性.....	51
表28.	PLL2和PLL3特性.....	51
表29.	闪存特性.....	52
表30.	闪存耐久性和数据保留.....	52
表31.	EMS特点.....	53
表32.	EMI特性.....	54
表33.	ESD绝对最大额定值.....	54
表34.	电敏感.....	54
表35.	I/O电流注入敏感性.....	55
表36.	I/O静态特性.....	55
表37.	输出电压特性.....	59
表38.	I/O交流特性.....	60
表39.	NRST引脚特性.....	61
表40.	TIMx特性.....	62
表41.	I2C特性.....	63
表42.	SCL频率 (fPCLK1 = 36MHz, VDD = 3.3V).....	64
表43.	SPI特性.....	65
表44.	I2S特性.....	68

表45.	USB OTG FS启动时间.....	70
表46.	USB OTG FS直流电气特性.....	70
表47.	USB OTG FS电气特性.....	71
表48.	以太网直流电气特性.....	71
表49.	动态特性: SMI的以太网MAC信号.....	71
表50.	动态特性: RMII的以太网MAC信号.....	72
表51.	动态特性: MII的以太网MAC信号.....	73
表52.	ADC特性.....	73
表53.	fADC的最大值为 $RA = 14\text{ MHz}$	74
表54.	ADC精度 - 测试条件有限.....	75
表55.	ADC精度.....	75
表56.	DAC特性.....	78
表57.	TS特性.....	80
表58.	LFBGA100 - 10 x 10 mm低剖面细间距球栅阵列封装 机械数据.....	82
表59.	LQPF100 - 100针低调四平面封装机械数据.....	84
表60.	LQFP64 - 64针低调四平面封装机械数据.....	85
表61.	封装热特性.....	86
表62.	订购信息方案.....	89
表63.	PLL配置.....	97
表64.	运行模式下的应用电流消耗, 数据代码 从Flash处理运行.....	98
表65.	文件修订历史.....	99

Wlxmall
万联芯城
www.wlxmall.com

数字列表

图1.	STM32F105xx和STM32F107xx连接线框图.....	12
图2.	STM32F105xxx和STM32F107xxx连接线BGA100投票顶视图.....	23
图3.	STM32F105xxx和STM32F107xxx连接线LQFP100引脚分配.....	24
图4.	STM32F105xxx和STM32F107xxx连接线LQFP64引脚排列.....	25
图5.	记忆图.....	31
图6.	针加载条件.....	32
图7.	引脚输入电压.....	32
图8.	供电方案.....	33
图9.	电流消耗测量方案.....	33
图10.	具有RTC的VBAT上典型的电流消耗与温度的关系 不同的VBAT值.....	40
图11.	停止模式下典型的电流消耗, 调节器处于运行模式 相对于不同VDD值的温度.....	40
图12.	待机模式下的典型电流消耗, 低功耗稳压器 模式与温度在不同的VDD值.....	41
图13.	待机模式下的典型电流消耗与温度的关系 不同的VDD值.....	41
图14.	高速外部时钟源交流时序图.....	46
图15.	低速外部时钟源交流时序图.....	46
图16.	典型应用与8 MHz晶体.....	47
图17.	具有32.768 kHz晶体的典型应用.....	49
图18.	标准I/O输入特性 - CMOS端口.....	56
图19.	标准I/O输入特性 - TTL端口.....	57
图20.	5 V容差I/O输入特性 - CMOS端口.....	58
图21.	5 V容差I/O输入特性 - TTL端口.....	58
图22.	I/O AC特性定义.....	61
图23.	推荐NRST引脚保护.....	62
图24.	I2C总线交流波形和测量电路.....	64
图25.	SPI时序图 - 从模式和CPHA = 0.....	66
图26.	SPI时序图 - 从模式和CPHA = 1 (1).....	66
图27.	SPI时序图 - 主模式 (1).....	67
图28.	I2S从机时序图 (Philips协议) (1).....	69
图29.	I2S主时序图 (Philips协议) (1).....	69
图30.	USB OTG FS定时: 定义数据信号的上升和下降时间.....	70
图31.	以太网SMI时序图.....	71
图32.	以太网RMII时序图.....	72
图33.	以太网MII时序图.....	72
图34.	ADC精度特性.....	76
图35.	使用ADC的典型连接图.....	76
图36.	电源和参考去耦 (VREF + 未连接到VDDA).....	77
图37.	电源和参考去耦 (VREF + 连接到VDDA).....	77
图38.	12位缓冲/非缓冲DAC.....	79
图39.	LFBGA100 - 10 x 10 mm低剖面细间距球栅阵列封装 大纲.....	82
图40.	推荐的PCB设计规则 (0.80 / 0.75mm间距BGA).....	83
图41.	LQFP100, 100引脚低调四边形扁平封装外形.....	84
图42.	推荐足迹 (1).....	84
图43.	LQFP64 - 64引脚低调四边形扁平封装外形.....	85

图44.	推荐足迹 (1)	85
图45.	LQFP100 PD _{max} vs. T _A	88
图46.	USB OTG FS设备模式	90
图47.	主机连接	91
图48.	OTG连接 (任何协议)	92
图49.	RMII模式使用25 MHz晶振	92
图50.	具有50 MHz振荡器的RMII	93
图51.	RMII具有25 MHz晶振和带PLL的PHY	93
图52.	RMII采用25 MHz晶振	94
图53.	完整的音频播放器解决方案1	95
图54.	完整的音频播放器解决方案2	95
图55.	USB OTG FS +以太网解决方案	96
图56.	USB OTG FS + I2S (音频) 解决方案	96



1 介绍

本数据手册提供STM32F105xx和STM32F107xx的说明
连接微控制器.有关整个意法半导体的更多细节
[STM32F10xxx系列, 请参阅第2.2节: 全系列的完全兼容性.](#)

STM32F105xx和STM32F107xx数据表应与此一起阅读
STM32F10xxx参考手册.
有关编程, 擦除和保护内部闪存的信息
请参考STM32F10xxx Flash编程手册.
参考和Flash编程手册都可以从
意法半导体网站www.st.com.

有关Cortex™-M3内核的信息, 请参阅Cortex™-M3技术
参考手册, 可从www.arm.com网站获取, 地址如下:
<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0337e/>.



2 描述

STM32F105xx和STM32F107xx连接系列集成了高速,
性能卓越的ARM®Cortex™-M3 32位RISC内核, 工作频率为72 MHz,
高速嵌入式存储器 (闪存高达256 KB, SRAM 64 KB)
广泛的增强型I/O和外设连接到两台APB总线.所有
器件提供两个12位ADC, 四个通用16位定时器和一个PWM定时器
作为标准和高级通信接口: 最多两个I2Cs, 三个SPI, 两个I2S,
五个USART, 一个USB OTG FS和两个CAN.以太网在STM32F107xx上可用
只要.

STM32F105xx和STM32F107xx连接系列工作在-40至
+105°C温度范围, 从2.0到3.6 V电源.一套全面的
省电模式允许设计低功耗应用.

STM32F105xx和STM32F107xx连接系列提供三种设备
不同的封装类型: 从64针到100针.根据所选设备的不同而不同
包括外围设备, 下面的描述给出了完整的概述
该系列外设提出了这一系列.

这些功能使STM32F105xx和STM32F107xx连接线路
微控制器系列适用于各种应用, 如电机驱动器和
应用控制, 医疗和手持设备, 工业应用, PLC,
逆变器, 打印机和扫描仪, 报警系统, 视频对讲, 暖通空调和家庭音响
设备.

2.1 设备概述

图1显示了器件系列的一般框图。

表2. STM32F105xx和STM32F107xx功能和外设计数

外设 (1)		STM32F105Rx			STM32F107Rx		STM32F105Vx			STM32F107Vx	
闪存以千字节为单位		64	128	256	128	256	64	128	256	128	256
SRAM以KB为单位		64									
包		LQFP64					LQFP100	LQFP100, BGA100		LQFP100	
以太网		没有			是		没有			是	
计时器	一般用途	4									
	先进的控制	1									
	基本	2									
通讯接口	SPI (I2S) (2)	3 (2)			3 (2)		3 (2)			3 (2)	
	我 2 C2				1		2			1	
	USART	五									
	USB OTG FS	是									
	能够	2									
个GPIO		51					80				
12位ADC 频道数		2					16				
12位DAC 频道数		2					2				
CPU频率		72 MHz									
工作电压		2.0至3.6 V									
工作温度		环境温度: -40至+85°C / -40至+105°C 结温: -40至+ 125°C									

1. 请参考表5: 当I/O引脚由所需外设共享时, 外设可用性的引脚定义应用程序。
2. SPI2和SPI3接口具有在SPI模式或I2S音频模式下工作的灵活性。

2.2 整个家庭的完全兼容性

STM32F105xx和STM32F107xx构成了连接线系列成员是完全引脚，软件和功能兼容。

STM32F105xx和STM32F107xx是低密度的替代品（STM32F103x4 / 6），中密度（STM32F103x8 / B）和高密度（STM32F103xC / D / E）性能线路器件，允许用户尝试不同的内存密度和外围设备在开发过程中提供更大的自由度周期。

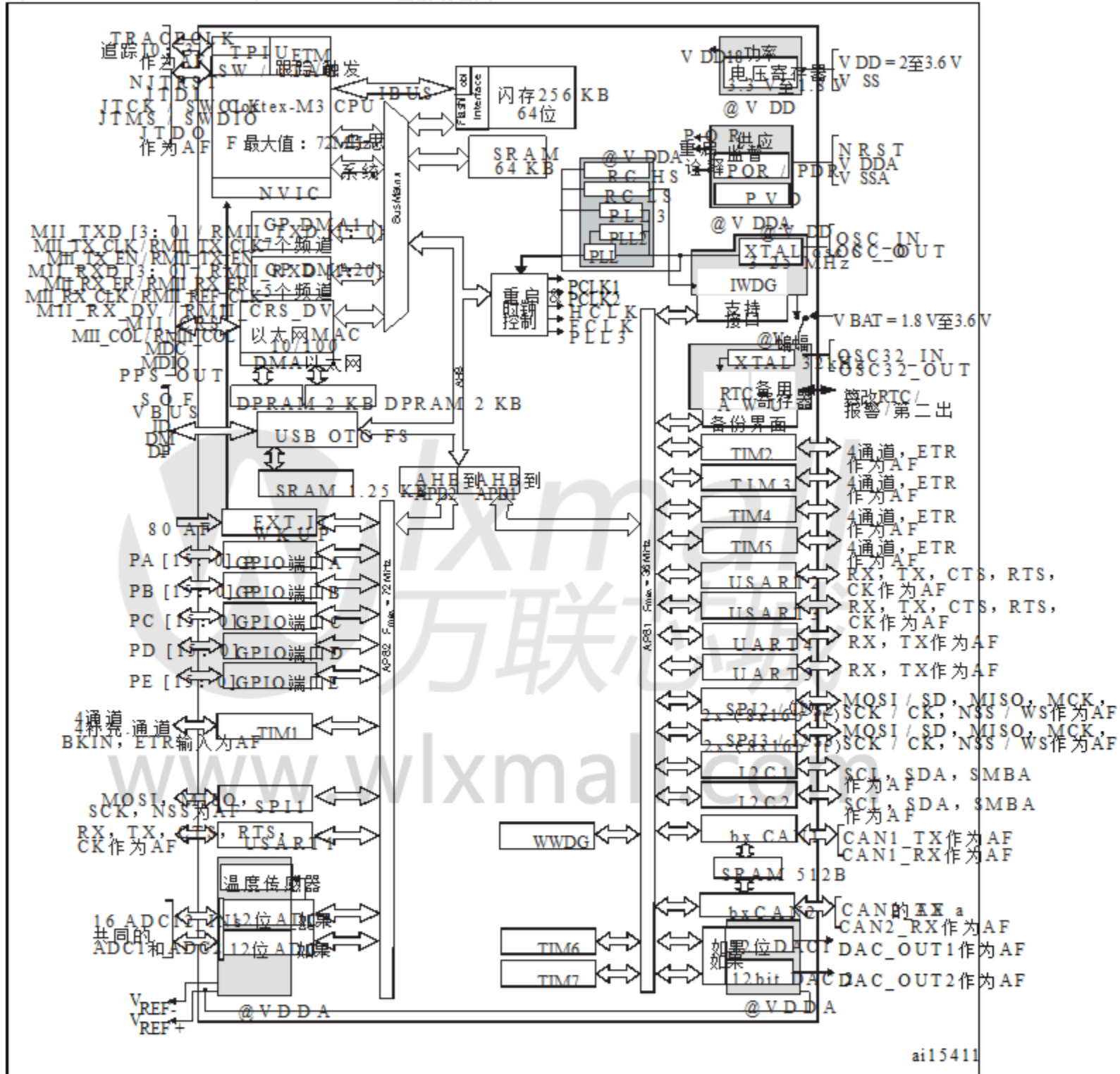
表3. STM32F105xx和STM32F107xx系列与STM32F103xx系列（1）

STM32设备	低密度STM32F103xx设备		中密度STM32F103xx设备			高密度STM32F103xx设备			STM32F105xx			STM32F107xx	
闪存大小 (KB)	16	32	32	64	128	256	384	512	64	128	256	128	256
随机存取存储器大小 (KB)	6		10	20	20	48	64	64	64	64	64	64	64
144针													
100针													
64针	2×USART 2×16位定时器 1×SPI, 1×I2C, USB, 能够, 1×PWM定时器 2×ADC		2×USART 2×16位定时器 1×SPI, 1×I2C, USB, CAN, 1×PWM定时器 2×ADC			3×USART 3×16位定时器 2×SPI, 2×I2Cs, USB, 能够, 1×PWM定时器 2×ADC			5×USART, 4×16位定时器, 2×基本定时器, 3×SPI, 2×I2Cs, 2×I2Cs, USB OTG FS, 2×CAN, 1×PWM定时器, 2×ADC, 2×DAC			5×USART, 4×16位定时器, 2×基本定时器, 3×SPI, 2×I2Cs, 1×I2C, USB OTG FS, 2×CAN, 1×PWM定时器, 2×ADC, 2×DAC, 以太网	
48针													
36针													

1. 请参考表5：当所需外设共享I/O引脚时，外设可用性的引脚定义通过应用程序。
2. 端口F和G在100引脚封装中交付的器件中不可用。

2.3 概观

图1. STM32F105xx和STM32F107xx连接框图



1. $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ (后繼6, 见表62) 或 -40°C 至 $+105^{\circ}\text{C}$ (后繼7, 见表62), 结温至 105°C 或 125°C .
2. AF = I/O端口引脚上的备用功能.

2.3.1 具有嵌入式闪存和SRAM的ARM®Cortex™-M3内核

ARM Cortex™-M3处理器是嵌入式的最新一代ARM处理器系统。它已经开发出来提供一个满足MCU需求的低成本平台实现，减少引脚数和低功耗，同时交付出色的计算性能和对中断的高级系统响应。

ARM Cortex™-M3 32位RISC处理器具有卓越的代码效率，通过ARM内核提供高性能预期的内存大小与8位和16位器件相关联。通过其嵌入式ARM内核，STM32F105xx和STM32F107xx连接线系列兼容所有ARM工具和软件。图1显示了器件系列的一般框图。

2.3.2 嵌入式闪存

64到256 KB的嵌入式闪存可用于存储程序和数据。

2.3.3 CRC（循环冗余校验）计算单元

CRC（循环冗余校验）计算单元用于从32位获取CRC码数据字和固定的生成多项式。

在其他应用中，基于CRC的技术用于验证数据传输存储完整性。在EN / IEC 60335-1标准的范围内，它们提供了一种方法验证闪存完整性。CRC计算单元有助于计算签名在运行期间的软件，与链接时生成的参考签名进行比较，时间并存储在给定的存储位置。

2.3.4 嵌入式SRAM

以CPU时钟速度访问（读/写）64 KB的嵌入式SRAM，具有0个等待状态。

2.3.5 嵌套矢量中断控制器（NVIC）

STM32F105xx和STM32F107xx连接线嵌入嵌套向量中断控制器能够处理多达67个可屏蔽中断通道（不包括16个中断Cortex™-M3线）和16个优先级。

- 紧密耦合的NVIC提供低延迟中断处理
- 中断条目向量地址直接传递给核心
- 紧密耦合的NVIC核心接口
- 允许早期处理中断
- 处理晚到高优先级中断
- 支持尾链
- 处理器状态自动保存
- 中断条目在中断退出时恢复，没有指令开销

该硬件块提供灵活的中断管理功能，具有最少的中断潜伏。

2.3.6 外部中断/事件控制器 (EXTI)

外部中断/事件控制器由用于生成的20个边缘检测器线组成
中断/事件请求.每行可以独立配置以选择触发
事件(上升沿,下降沿,两者),可以独立屏蔽.待处理的注册
保持中断请求的状态.EXTI可以用a检测外线
脉冲宽度短于内部APB2时钟周期.最多可连接80个GPIO
到16个外部中断线.

2.3.7 时钟和启动

系统时钟选择在启动时执行,但内部RC 8 MHz振荡器是
选择为默认CPU时钟复位.可以选择外部3-25 MHz时钟
在哪种情况下,它被监控失败.如果检测到故障,系统自动切换
回到内部RC振荡器.如果启用了软件中断.同样,充分
必要时可以使用PLL时钟条目的中断管理(例如使用
间接使用的外部振荡器的故障).

单个25 MHz晶振可以对包括以太网和USB OTG在内的整个系统进行计时
FS外设.几个预分频器和PLL允许配置AHB频率,
高速APB (APB2) 和低速APB (APB1) 域.最大值
AHB和高速APB域的频率为72MHz.允许的最大值
低速APB域的频率为36MHz.参见图55: USB OTG FS +
以太网解决方案(第96页).

先进的时钟控制器使用单晶体或核心对核心和所有外设进行时钟处理
振荡器.为了实现音频类的性能,可以使用音频晶体.在这个
情况下,I2S主时钟可以产生从8 kHz到所有标准采样频率
96 kHz,精度误差小于0.5%.参见图56: USB OTG FS + I2S (音频)
解决方案在第96页.

要配置PLL,请参见第97页的表63,该表提供了PLL
配置根据应用类型.

2.3.8 启动模式

启动时,引导引脚用于选择三个引导选项之一:

- 从用户Flash引导
- 从系统内存引导
- 从嵌入式SRAM引导

引导加载程序位于系统内存中.它用于重新编程Flash存储器
在设备模式下使用USART1, USART2 (重映射), CAN2 (重映射) 或USB OTG FS
(DFU: 设备固件升级).对于重映射信号,请参见表5: 引脚定义.

USART外设使用内部8 MHz振荡器(HSI),但CAN
而USB OTG FS只能在外部8 MHz, 14.7456 MHz或25 MHz时钟时工作
(HSE).

有关引导加载程序的完整详细信息,请参考AN2606.

2.3.9 供电方案

- $V_{DD} = 2.0$ 至 3.6 V: 用于I/O和内部稳压器的外部电源. 通过 V_{DD} 引脚外部提供.
- V_{SSA} , $V_{DDA} = 2.0$ 至 3.6 V: ADC, 复位块, RC的外部模拟电源和PLL (使用ADC时, 施加到 V_{DDA} 的最小电压为 2.4 V). V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} .
- $V_{BAT} = 1.8$ 至 3.6 V: RTC电源, 外部时钟 32 kHz振荡器和备份. 当 V_{DD} 不存在时, 寄存器 (通过电源开关).

2.3.10 供电主管

该器件具有集成上电复位 (POR) /掉电复位 (PDR) 电路. 它是始终处于活动状态, 并确保从/从低到 2 V的正常操作. 设备保留当 V_{DD} 低于指定阈值时, 在复位模式下, V_{POR}/PDR , 不需要外部复位电路.

该器件具有嵌入式可编程电压检测器 (PVD), 可以监控 V_{DD}/V_{DDA} 电源, 并将其与 V_{PVD} 阈值进行比较. 一个中断可以当 V_{DD}/V_{DDA} 低于 V_{PVD} 阈值时和/或当 V_{DD}/V_{DDA} 较高时产生. 比 V_{PVD} 阈值. 然后中断服务程序就会产生警告消息和/或将MCU置于安全状态. PVD由软件启用.

2.3.11 电压调节器

调节器有三种操作模式: 主 (MR), 低功耗 (LPR) 和掉电.

- MR用于标称调节模式 (Run)
- LPR用于停止模式.
- 在待机模式下使用掉电: 稳压器输出为高阻抗: 内核电路掉电, 引起零消耗 (但内容为寄存器和SRAM丢失)

复位后总是使能该调节器. 在待机模式下禁用.

2.3.12 低功耗模式

STM32F105xx和STM32F107xx连接线支持三种低功耗模式. 实现低功耗, 启动时间短的最佳折中. 可用唤醒源:

- 睡眠模式
在睡眠模式下, 只有CPU停止. 所有外设都可以继续运行. 中断/事件发生时唤醒CPU.
- 停止模式
停止模式在保留内容的同时实现最低功耗. SRAM和寄存器. 1.8 V域中的所有时钟都被停止, PLL, HSI RC并且HSE晶体振荡器被禁用. 电压调节器也可放置在正常或低功耗模式下. 可以通过任何EXTI行从停止模式唤醒设备. EXTI行源可以是16条外线, PVD输出, RTC报警或USB OTG FS唤醒.

- 待机模式
待机模式用于实现最低功耗.内置的
关闭电压调节器,使整个1.8 V域断电.该
PLL, HSI RC和HSE晶体振荡器也被关闭.进入后
待机模式, SRAM和寄存器内容丢失,但备份中的寄存器除外
域和待机电路.
当外部复位(NRST引脚), IWDG复位, a.时,器件退出待机模式
WKUP引脚上升沿,或发生RTC报警.

注意: RTC, IWDG和相应的时钟源不会通过进入Stop来停止
或待机模式.

2.3.13 DMA

灵活的12通道通用DMA (7通道DMA1和5通道
DMA2)能够管理内存到内存,外设到内存和内存到内存,
外围传输.两个DMA控制器支持循环缓冲管理,
当控制器到达结束时,消除了用户代码干预的需要
缓冲.
每个通道都连接到专用硬件DMA请求,并支持软件
触发每个通道.配置由软件和传输大小之间进行
源和目的地是独立的.

DMA可用于主要外设: SPI, I2C, USART, 通用型, 基本型
和高级控制定时器TIMx, DAC, I2S和ADC.

在STM32F107xx中,有一个专用于以太网的DMA控制器(见
2.3.20节:具有专用DMA和IEEE 1588的以太网MAC接口
更多信息).

2.3.14 RTC (实时时钟) 和备份寄存器

RTC和备用寄存器是通过开启电源的开关提供的
VDD电源存在或通过VBAT引脚.备份寄存器是四十二位16位
用于在不存在VDD功能时存储84字节的用户应用数据的寄存器.
它们不会被系统复位或电源复位,并且在设备不会重置
从待机模式唤醒.

实时时钟提供了一套连续运行的计数器,可与之配合使用
适合软件提供时钟日历功能,并提供报警中断和
周期性中断.它采用32.768 kHz外部晶振,谐振器或振荡器
内部低功耗RC振荡器或高速外部时钟除以128
内部低速RC的典型频率为40 kHz.可以使用RTC进行校准
外部512 Hz输出,以补偿任何天然石英偏差. RTC功能
一个32位可编程计数器,用于使用比较寄存器进行长期测量
产生警报.一个20位预分频器用于时基时钟,默认情况下
配置为从32.768 kHz的时钟产生1秒的时基.

更多信息,请参考AN2604: "STM32F101xx和STM32F103xx RTC
校准",可从www.st.com获取.

2.3.15 计时器和看门狗

STM32F105xx和STM32F107xx器件包括一个高级控制定时器，四个通用定时器，两个基本定时器，两个看门狗定时器和一个SysTick定时器。
表4比较了通用和基本定时器的特性。

表 4. 定时器功能比较

计时器	计数器 解析度	计数器 类型	预分频器 因子	DMA请求 代	捕获/比较 通道	补充 输出
TIM1	16位	向上， 下， 向上/向下	任何整数 介于1之间 和65536	是	4	是
TIMX (TIM2， TIM3， TIM4， TIM5)	16位	向上， 下， 向上/向下	任何整数 介于1之间 和65536	是	4	没有
TIM6， TIM7	16位	向上	任何整数 介于1之间 和65536	是	0	没有

高级控制定时器（TIM1）

高级控制定时器（TIM1）可以看作是6位三相PWM复用通道.它具有互补的PWM输出，具有可编程的插入死区.它也可以看作是一个完整的通用定时器. 4个独立通道可以用于：

- 输入捕捉
- 输出比较
- PWM生成（边沿或中心对齐模式）
- 单脉冲模式输出

如果配置为标准16位定时器，它具有与TIMx定时器相同的功能.如果配置为16位PWM发生器，具有完全调制能力（0-100％）。

计数器可以在调试模式下冻结。

许多功能与具有相同功能的标准TIM定时器共享建筑.因此，高级控制定时器可以通过TIM定时器一起工作.定时器链接功能用于同步或事件链接。

通用计时器（TIMx）

嵌入了最多4个可同步的标准定时器（TIM2，TIM3，TIM4和TIM5）在STM32F105xx和STM32F107xx连接线设备中.这些计时器是基于的在16位自动重新加载上/下计数器上，一个16位预分频器和4个独立的功能每个通道用于输入捕捉/输出比较，PWM或一个脉冲模式输出.这个在最大的封装上放置16个输入捕捉/输出比较/PWM.他们能通过定时器链接功能与高级控制定时器一起工作，以实现同步或事件链接。

计数器可以在调试模式下冻结。

任何标准定时器都可用于产生PWM输出.每个计时器都有独立的DMA请求线.

基本定时器TIM6和TIM7

这些定时器主要用于DAC触发器的生成.它们也可以作为一个通用16位时基.

独立看门狗

独立看门狗基于12位向下计数器和8位预分频器.它是来自独立的40 kHz内部RC,并且独立于主时钟,它可以在停止和待机模式下工作.它可以用作看门狗在发生问题时重置设备,或者作为应用程序超时的自由运行定时器管理.它是通过选项字节进行的硬件或软件配置.柜台可以在调试模式下冻结.

窗口看门狗

窗口看门狗基于可以设置为免费运行的7位下位机.它可以用作看门狗在出现问题时重置设备.它是从时钟主时钟它具有早期警告中断功能,计数器可以冻结调试模式.

SysTick计时器

该定时器专用于实时操作系统,但也可以用作标准下计数器它的特点:

- 一个24位向下计数器
- 自动装载功能
- 当计数器达到0时,可屏蔽系统产生中断.
- 可编程时钟源

2.3.16 I²C总线

多达两个I²C总线接口可以在多主机和从机模式下工作.他们可以支持标准和快速模式.

它们支持7/10位寻址模式和7位双寻址模式(作为从站).一个嵌入硬件CRC生成/验证.

它们可以由DMA提供,并且它们支持 SMBus 2.0 / PMBus.

2.3.17 通用同步/异步接收发射机(USART)

STM32F105xx和STM32F107xx连接嵌入三个通用同步/异步接收发射机(USART1, USART2和USART3)和两个通用异步接收发射机(UART4和UART5).

这五个接口提供异步通信, IrDA SIR ENDEC支持,多处理器通信模式,单线半双工通信模式和具有LIN主/从功能.

USART1接口能够以高达4.5 Mbit / s的速度进行通信.另一个可用接口通信速度高达2.25 Mbit / s.

USART1, USART2和USART3还提供CTS和RTS的硬件管理信号, 智能卡模式(符合ISO 7816)和类似SPI的通信功能.所有接口可以由DMA控制器提供, 除了UART5.

2.3.18 串行外设接口 (SPI)

最多三个SPI能够在从站和主站模式下通信高达18 Mbits / s
全双工和单工通信模式. 3位预分频器提供8个主模式
频率和帧可配置为8位或16位.硬件CRC
生成/验证支持基本的SD卡 / MMC / SDHC (a) 模式.

所有的SPI都可以由DMA控制器提供.

2.3.19 综合声音 (I2S)

可以使用两个标准的I2S接口(与SPI2和SPI3复用)
在主或从模式下运行.这些接口可以配置为使用16/32进行操作
位分辨率, 作为输入或输出通道.音频采样频率从8 kHz到
支持96 kHz.当主机中配置了I2S接口中的任何一个或两者时,
模式下, 主时钟可以输出到外部DAC / CODEC 256次
采样频率由于先进的时钟误差小于0.5%
控制器(见第2.3.7节: 时钟和启动).

请参阅“串行外设”中提供的“音频精度”表
接口(SPI)“部分的STM32F10xxx参考手册.

2.3.20 以太网MAC接口, 专用DMA和IEEE 1588支持

外设STM32F105xx器件上不可用.

STM32F107xx器件提供符合IEEE-802.3-2002标准的媒体访问控制器
(MAC)通过行业标准媒体独立的以太网LAN通信
接口(MII)或简化介质无关接口(RMII). STM32F107xx
需要外部物理接口设备(PHY)连接到物理LAN总线
(双绞线, 光纤等). PHY连接到STM32F107xx MII端口, 使用尽可能多的
作为17信号(MII)或9信号(RMII), 并且可以使用25MHz(MII)或50MHz
(RMII)输出从STM32F107xx.

STM32F107xx包括以下功能:

- 支持10和100 Mbit / s的速率
- 专用DMA控制器允许在专用SRAM之间进行高速传输
和描述符(参见STM32F105xx / STM32F107xx参考手册
细节)
- 标记MAC帧支持(VLAN支持)
- 半双工(CSMA / CD)和全双工操作
- MAC控制子层(控制帧)支持

一个SDHC =安全数字高容量.

- 32位CRC生成和删除
- 用于物理和组播地址（组播和组）的几种地址过滤模式地址）
- 每个发送或接收的帧的32位状态码
- 内部FIFO缓冲发送和接收帧.发送FIFO和接收FIFO都是2 KB，总共是4 KB
- 支持符合IEEE 1588的硬件PTP（精密时间协议）时间戳比较器连接到TIM2触发输入
- 当系统时间大于目标时间时，触发器中断

2.3.21 控制器局域网（CAN）

这两个CAN符合2.0A和B（有源）规范，最高可达bitrate 1 Mbit / s.它们可以接收和发送具有11位标识符的标准帧具有29位标识符的扩展帧.每个CAN都有三个发送邮箱，两个接收FIFOS有3个阶段和28个共享可扩展的过滤器组（所有这些都可以使用，即使一个CAN）.为每个CAN分配的256字节的SRAM（总共512个字节）不与任何其他外设共享.

2.3.22 通用串行总线全速（USB OTG FS）

STM32F105xx和STM32F107xx连接线设备嵌入了一个USB OTG，具有集成收发器的速度（12 Mb / s）设备/主机/ OTG外设. USB OTG FS外设符合USB 2.0规范和OTG 1.0规范.它具有软件可配置的端点设置，并支持挂起/恢复. USB OTG全速控制器需要由PLL产生的专用48 MHz时钟. 连接到HSE振荡器.主要特点是：

- 1.25 KB的SRAM由端点专用（不与任何其他端口共享）周）
- 4个双向端点
- HNP / SNP / IP内部（无需任何外部电阻）
- 对于OTG /主机模式，在总线供电设备的情况下需要电源开关连接的
- SOF输出可用于同步外部音频DAC时钟同步模式
- 根据USB 2.0规范，支持的传输速度为：
 - 在主机模式下：全速和低速
 - 在设备模式下：全速

2.3.23 GPIO（通用输入/输出）

每个GPIO引脚可以通过软件配置为输出（推挽式或开漏式），如同输入（带或不带上拉或下拉）或作为外设备用功能.大部分的GPIO引脚与数字或模拟交替功能共享.所有GPIO都是高电流 - 能.

如果需要特定的I / O备用功能配置可以被锁定以避免对I / O寄存器进行杂乱写入.

APB2上的I / O具有高达18 MHz的切换速度

2.3.24 重映射能力

此功能允许在给定应用程序中使用最大数量的外设。

实际上，备用功能不仅可以在默认引脚上使用，还可以在其他引脚上使用。特定的引脚可以重新映射到它们上。这具有制作板的优点，设计和端口使用更加灵活。

详细信息请参见表5：引脚定义；它显示可重新映射的备用功能的列表以及可重新映射的引脚。请参见STM32F10xxx参考手册出于软件考虑。

2.3.25 ADC（模拟 - 数字转换器）

两个12位模数转换器嵌入STM32F105xx和STM32F107xx连接设备，每个ADC共有16个外部通道，以单次或扫描模式执行转换。在扫描模式下，自动转换在所选择的一组模拟输入上执行。

嵌入在ADC接口中的附加逻辑功能允许：

- 同时采样和保持
- 交错采样和保持
- 单路分流

ADC可由DMA控制器提供。

模拟看门狗功能允许非常精确地监视一个的转换电压，一些或所有选定的频道。转换后的电压产生中断超出编程阈值。

由标准定时器（TIMx）和高级控制定时器（TIM1）生成的事件可以内部连接到ADC的启动触发和注入触发，分别为允许应用程序同步A/D转换和定时器。

2.3.26 DAC（数模转换器）

两个12位缓冲DAC通道可用于将两个数字信号转换为两个模拟电压信号输出。所选择的设计结构由综合组成电阻串和反相配置中的放大器。

此双数字接口支持以下功能：

- 两个DAC转换器：每个输出通道一个
- 8位或12位单调输出
- 在12位模式下左或右数据对齐
- 同步更新能力
- 噪声波发生
- 三角波生成
- 双DAC通道独立或同时转换
- 每个通道的DMA能力
- 用于转换的外部触发器
- 输入电压参考V_{REF+}

STM32F105xx和STM32F107xx连接线中使用8个DAC触发输入家庭。DAC通道也通过定时器更新输出触发连接到不同的DMA通道。

2.3.27 温度感应器

温度传感器必须产生随温度线性变化的电压。该转换范围在 $2\text{ V} < V_{DDA} < 3.6\text{ V}$ 之间。温度传感器在内部连接到用于转换传感器输出的ADC1_IN16输入通道。电压变为数字值。

2.3.28 串行线JTAG调试端口（SWJ-DP）

ARM SWJ-DP接口是嵌入式的，是一个组合的JTAG和串行线调试端口，使串行线路调试或JTAG探针连接到目标。JTAG TMS和TCK引脚分别与SWDIO和SWCLK共享，a TMS引脚上的特定序列用于在JTAG-DP和SW-DP之间切换。

2.3.29 嵌入式跟踪宏单元™

ARM® 嵌入式跟踪宏单元可以更好地了解指令CPU内核中的数据流。通过流压缩数据以非常高的速率从STM32F10xxx通过少量ETM引脚连接到外部硬件跟踪端口分析仪（TPA）设备。TPA使用USB，以太网或以太网连接到主机。任何其他高速频道可以记录实时指令和数据流活动。然后格式化为在主机上运行调试器软件显示。TPA硬件可从普通开发工具供应商商业获得。它运行与第三方调试器软件工具。

3 引脚分布和引脚描述

图2. STM32F105xxx和STM32F107xxx连接BGA100投票 顶视图

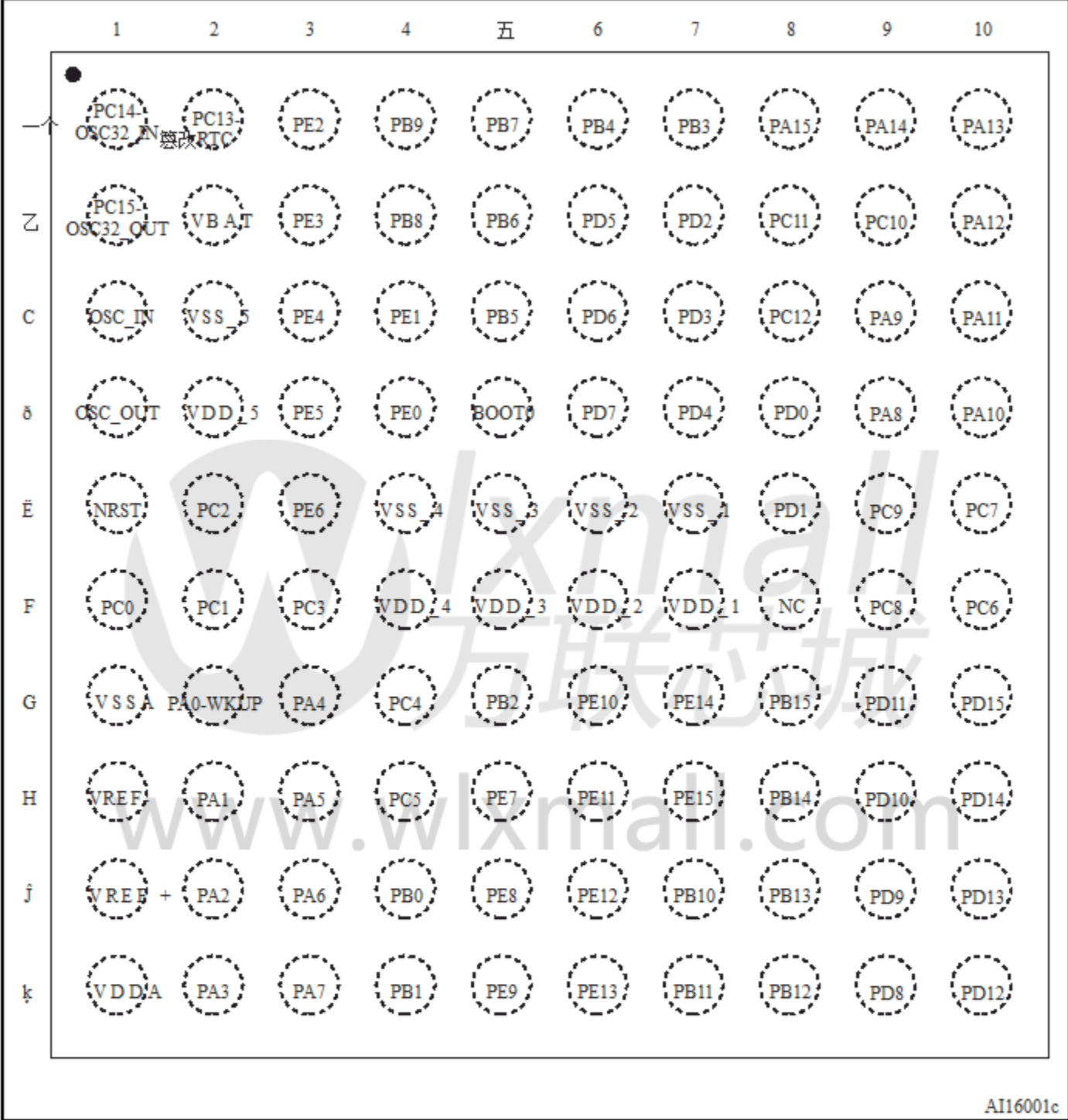


图3. STM32F105xxx和STM32F107xxx连接线LQFP100引脚排列

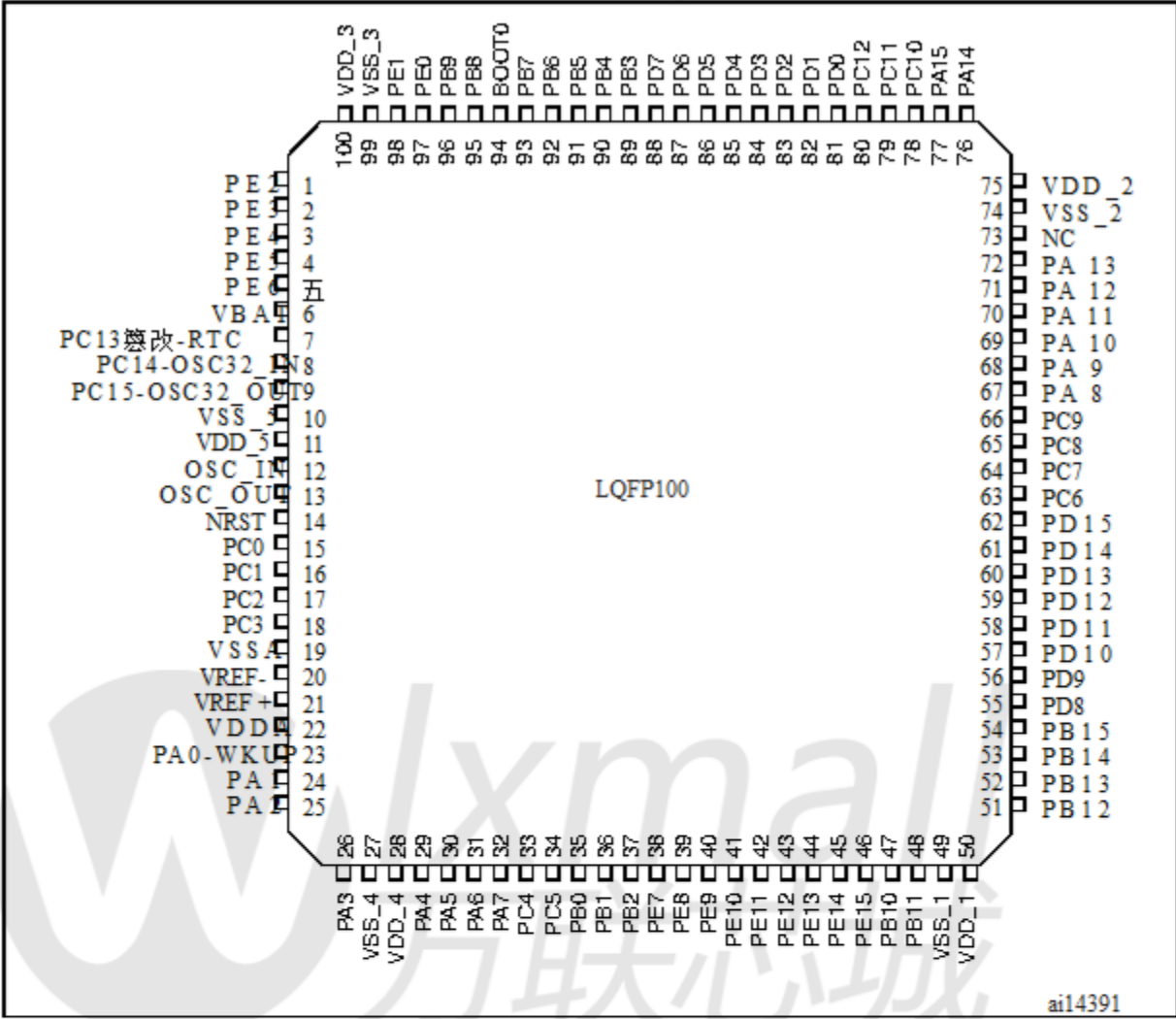
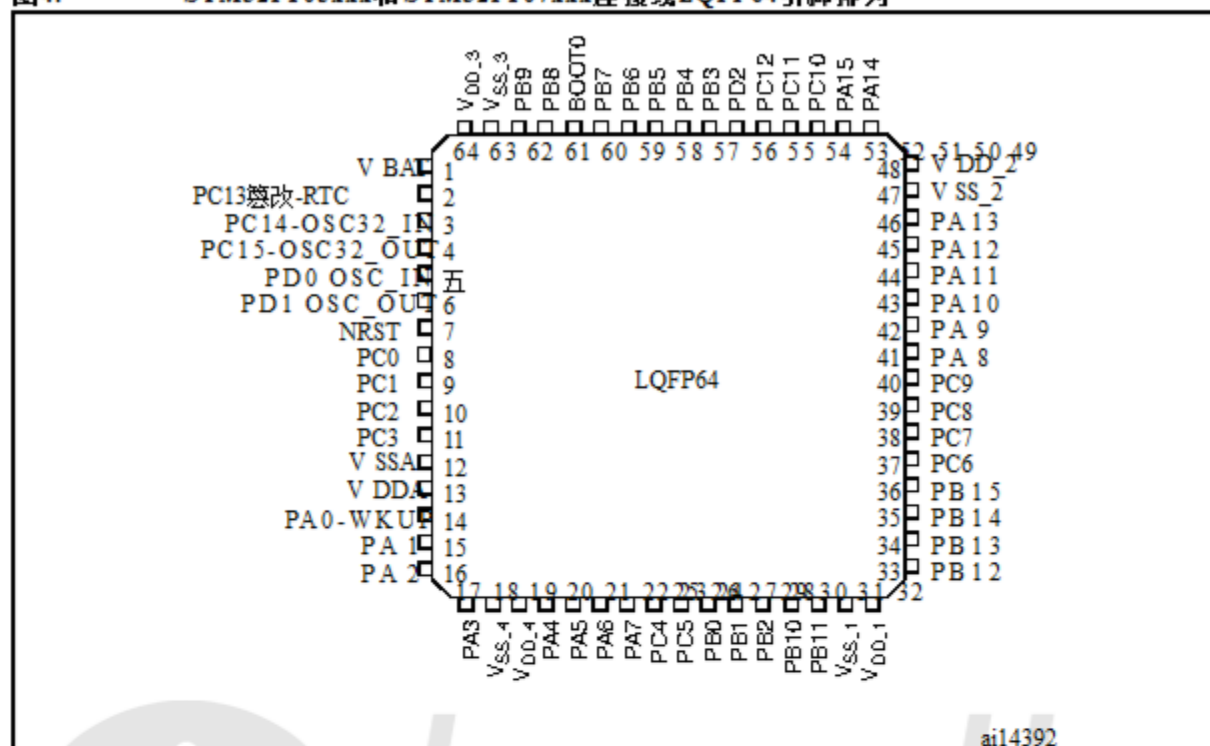


图4. STM32F105xxx和STM32F107xxx连接线LQFP64引脚排列



ai14392

表5. 引脚定义

销			引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
BGA100	LQFP64	LQFP100					默认	重映射
A3	-	1	PE2	I/O	FT	PE2	TRACECK	
B3	-	2	PE3	I/O	FT	PE3	TRACED0	
C3	-	3	PE4	I/O	FT	PE4	TRACED1	
D3	-	4	PE5	I/O	FT	PE5	TRACED2	
E3	-	五	PE6	I/O	FT	PE6	TRACED3	
B2	1	6	VBAT	S	V	BAT		
A2	2	7	PC13-篡改 RTC (5)	I/O		PC13 (6)	篡改RTC	
A1	3	8	PC14- OSC32_IN (5)	I/O		PC14 (6)	OSC32_IN	
B1	4	9	PC15- OSC32_OUT (5)	I/O		PC15 (6)	OSC32_OUT	
C2	-	10	VSS ₅	S	V	SS ₅		
D2	-	11	VDD ₅	S	V	DD ₅		
C1	五	12	OSC_IN	—	世	OSC_IN		
D1	6	13	OSC_OUT	Ø		OSC_OUT		
E1	7	14	NRST	I/O		NRST		
F1	8	15	PC0	I/O		PC0	ADC12_IN10	
F2	9	16	PC1	I/O		PC1	ADC12_IN11 / ETH_MII_MDC / ETH_RMII_MDC	
E2	10	17	PC2	I/O		PC2	ADC12_IN12 / ETH_MII_TXD2	
F3	11	18	PC3	I/O		PC3	ADC12_IN13 / ETH_MII_TX_CLK	
G1	12	19	VSSA	S	V	SSA		
H1	-	20	VREF-	S	V	REF-		
J1	-	21	VREF+	S	V	REF+		
K1	13	22	VDDA	S	V	DDA		
G2	14	23	PA0-WKUP	I/O		PA0	WKUP / USART2_CTS (7) ADC12_IN0 / TIM2_CH1_ETR TIM5_CH1 / ETH_MII_CRD_WKUP	
H2	15	24	PA1	I/O		PA1	USART2_RTS (7) / ADC12_IN1 / TIM5_CH2 / TIM2_CH2 (7) / ETH_MII_RX_CLK / ETH_RMII_REF_CLK	

表5. 引脚定义 (续)

销			引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
BGA100	LQFP64	LQFP100					默认	重映射
J2	16	25	PA 2	I / O		PA 2	USART2_TX (7) / TIM5_CH3 / ADC12_IN2 / TIM2_CH3 (7) / ETH_MII_MDIO / ETH_RMII_MDIO	
K2	17	26	PA 3	I / O		PA 3	USART2_RX (7) / TIM5_CH4 / ADC12_IN3 / TIM2_CH4 (7) / ETH_MII_COL	
E4	18	27	V SS_4	S V	SS_4			
F4	19	28	V DD_4	S V	DD_4			
G3	20	29	PA 4	I / O		PA 4	SPI1_NSS (7) / DAC_OUT1 / USART2_CK (7) / ADC12_IN4	SPI3_NSS / I2S3_WS
H3	21	三十	PA 5	I / O		PA 5	SPI1_SCK (7) / DAC_OUT2 / ADC12_IN5	
J3	22	31	PA 6	I / O		PA 6	SPI1_MISO (7) / ADC12_IN6 / TIM3_CH1 (7)	TIM1_BKIN
K3	23	32	PA 7	I / O		PA 7	SPI1_MOSI (7) / ADC12_IN7 / TIM3_CH2 (7) / ETH_MII_RX_DV (8) / ETH_RMII_CRS_DV	TIM1_CH1N
G4	24	33	PC 4	I / O		PC4	ADC12_IN14 / ETH_MII_RXD0 (8) / ETH_RMII_RXD0	
H4	25	34	PC 5	I / O		PC5	ADC12_IN15 / ETH_MII_RXD1 (8) / ETH_RMII_RXD1	
J4	26	35	PB 0	I / O		PB0	ADC12_IN8 / TIM3_CH3 / ETH_MII_RXD2 (8)	TIM1_CH2N
K4	27	36	PB 1	I / O		PB1	ADC12_IN9 / TIM3_CH4 (7) / ETH_MII_RXD3 (8)	TIM1_CH3N
G5	28	37	PB 2	I / O	FT	PB2 / BOOT1		
H5	-	38	PE 7	I / O	FT	PE7		TIM1_ETR
J5	-	39	PE 8	I / O	FT	PE8		TIM1_CH1N
K5	-	40	PE 9	I / O	FT	PE9		TIM1_CH1
---			V SS_7	小号				
---			V DD_7	小号				
G6	-	41	PE10	I / O	FT	PE10		TIM1_CH2N
H6	-	42	PE11	I / O	FT	PE11		TIM1_CH2
J6	-	43	PE12	I / O	FT	PE12		TIM1_CH3N

表5. 引脚定义 (续)

销			引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
BGA100	LQFP64	LQFP100					默认	重映射
K6	-	44	PE13	I / O FT		PE13		TIM1_CH3
G7	-	45	PE14	I / O FT		PE14		TIM1_CH4
H7	-	46	PE15	I / O FT		PE15		TIM1_BKIN
J7	29	47	PB10	I / O FT		PB10	I2C2_SCL (8) / USART3_TX (7) / ETH_MII_RX_ER	TIM2_CH3
K7	三十	48	PB11	I / O FT		PB11	I2C2_SDA (8) / USART3_RX (7) / ETH_MII_TX_EN / ETH_RMII_TX_EN	TIM2_CH4
E7	31	49	V SS_1	S V	SS_1			
F7	32	50	V DD_1	S V	DD_1			
K8	33	51	PB12	I / O FT		PB12	SPI2_NSS (8) / I2S2_WS (8) / I2C2_SMBA (8) / USART3_CK (7) / TIM1_BKIN (7) / CAN2_RX / ETH_MII_TXD0 / ETH_RMII_TXD0	
J8	34	52	PB13	I / O FT		PB13	SPI2_SCK (8) / I2S2_CK (8) / USART3_CTS (7) / TIM1_CH1N / CAN2_TX / ETH_MII_TXD1 / ETH_RMII_TXD1	
H8	35	53	PB14	I / O FT		PB14	SPI2_MISO (8) / TIM1_CH2N / USART3_RTS (7)	
G8	36	54	PB15	I / O FT		PB15	SPI2_MOSI (8) / I2S2_SD (8) / TIM1_CH3N (7)	
K9	-	55	PD8	I / O FT		PD8		USART3_TX / ETH_MII_RX_DV / ETH_RMII_CRSDV
J9	-	56	PD9	I / O FT		PD9		USART3_RX / ETH_MII_RXD0 / ETH_RMII_RXD0
H9	-	57	PD10	I / O FT		PD10		USART3_CK / ETH_MII_RXD1 / ETH_RMII_RXD1
G9	-	58	PD11	I / O FT		PD11		USART3_CTS / ETH_MII_RXD2
K10	-	59	PD12	I / O FT		PD12		TIM4_CH1 / USART3_RTS / ETH_MII_RXD3
J10	-	60	PD13	I / O FT		PD13		TIM4_CH2
H10	-	61	PD14	I / O FT		PD14		TIM4_CH3

表5. 引脚定义 (续)

销			引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
BGA100	LQFP64	LQFP100					默认	重映射
G10	-	62	PD15	I/O FT		PD15		TIM4_CH4
F10	37	63	PC6	I/O FT		PC6	I2S2_MCK /	TIM3_CH1
E10	38	64	PC7	I/O FT		PC7	I2S3_MCK	TIM3_CH2
F9	39	65	PC8	I/O FT		PC8		TIM3_CH3
E9	40	66	PC9	I/O FT		PC9		TIM3_CH4
D9	41	67	PA8	I/O FT		PA8	USART1_CK / OTG_FS_SOF / TIM1_CH1 (8) / MCO	
C9	42	68	PA9	I/O FT		PA9	USART1_TX (7) / TIM1_CH2 (7) / OTG_FS_VBUS	
D10	43	69	PA10	I/O FT		PA10	USART1_RX (7) / TIM1_CH3 (7) / OTG_FS_ID	
C10	44	70	PA11	I/O FT		PA11	USART1_CTS / CAN1_RX / TIM1_CH4 (7) / OTG_FS_DM	
B10	45	71	PA12	I/O FT		PA12	USART1_RTS / OTG_FS_DP / CAN1_TX (7) / TIM1_ETR (7)	
A10	46	72	PA13	I/O FT		JTMS-SWDIO		PA13
F8	-	73				未连接		
E6	47	74	VSS_2	S V		SS_2		
F6	48	75	VDD_2	S V		DD_2		
A9	49	76	PA14	I/O FT		JTCK-SWCLK		PA14
A8	50	77	PA15	I/O FT		JTDI	SPI3_NSS / I2S3_WS	TIM2_CH1_ETR / PA15 SPI1_NSS
B9	51	78	PC10	I/O FT		PC10	UART4_TX	USART3_TX / SPI3_SCK / I2S3_CK
B8	52	79	PC11	I/O FT		PC11	UART4_RX	USART3_RX / SPI3_MISO
C8	53	80	PC12	I/O FT		PC12	UART5_TX	USART3_CK / SPI3_MOSI / I2S3_SD
-		81	PD0	I/O FT		PD0		OSC_IN (9) / CAN1_RX
-		82	PD1	I/O FT		PD1		OSC_OUT (9) / CAN1_TX
B7	54	83	PD2	I/O FT		PD2	TIM3_ETR / UART5_RX	
C7	-	84	PD3	I/O FT		PD3		USART2_CTS
D7	-	85	PD4	I/O FT		PD4		USART2_RTS
B6	-	86	PD5	I/O FT		PD5		USART2_TX
C6	-	87	PD6	I/O FT		PD6		USART2_RX
D6	-	88	PD7	I/O FT		PD7		USART2_CK

表5. 引脚定义 (续)

销			引脚名称	Type ⁽¹⁾	I/O Level ⁽²⁾	主要功能 (3) (复位后)	备用功能 (4)	
BGA100	LQFP64	LQFP100					默认	重映射
A7	55	89	PB3	I/O FT		JTDO	SPI3_SCK / I2S3_CK	PB3 / TRACESWO / TIM2_CH2 / SPI1_SCK
A6	56	90	PB4	I/O FT		NJTRST	SPI3_MISO	PB4 / TIM3_CH1 / SPI1_MISO
C5	57	91	PB5	I/O		PB5	I2C1_SMBA / SPI3_MOSI / ETH_MII_PPS_OUT / I2S3_SD ETH_RMII_PPS_OUT	TIM3_CH2 / SPI1_MOSI / CAN2_RX
B5	58	92	PB6	I/O FT		PB6	I2C1_SCL (7) / TIM4_CH1	USART1_TX / CAN2_TX
A5	59	93	PB7	I/O FT		PB7	I2C1_SDA (7) / TIM4_CH2 (7)	USART1_RX
D5	60	94	BOOT0	—	—	BOOT0		
B4	61	95	PB8	I/O FT		PB8	TIM4_CH3 (7) / ETH_MII_TXD3	I2C1_SCL / CAN1_RX
A4	62	96	PB9	I/O FT		PB9	TIM4_CH4 (7)	I2C1_SDA / CAN1_TX
D4	—	97	PE0	I/O FT		PE0	TIM4_ETR	
C4	—	98	PE1	I/O FT		PE1		
E5	63	99	VSS_3	S V	SS_3			
F5	64	100	VDD_3	S V	DD_3			

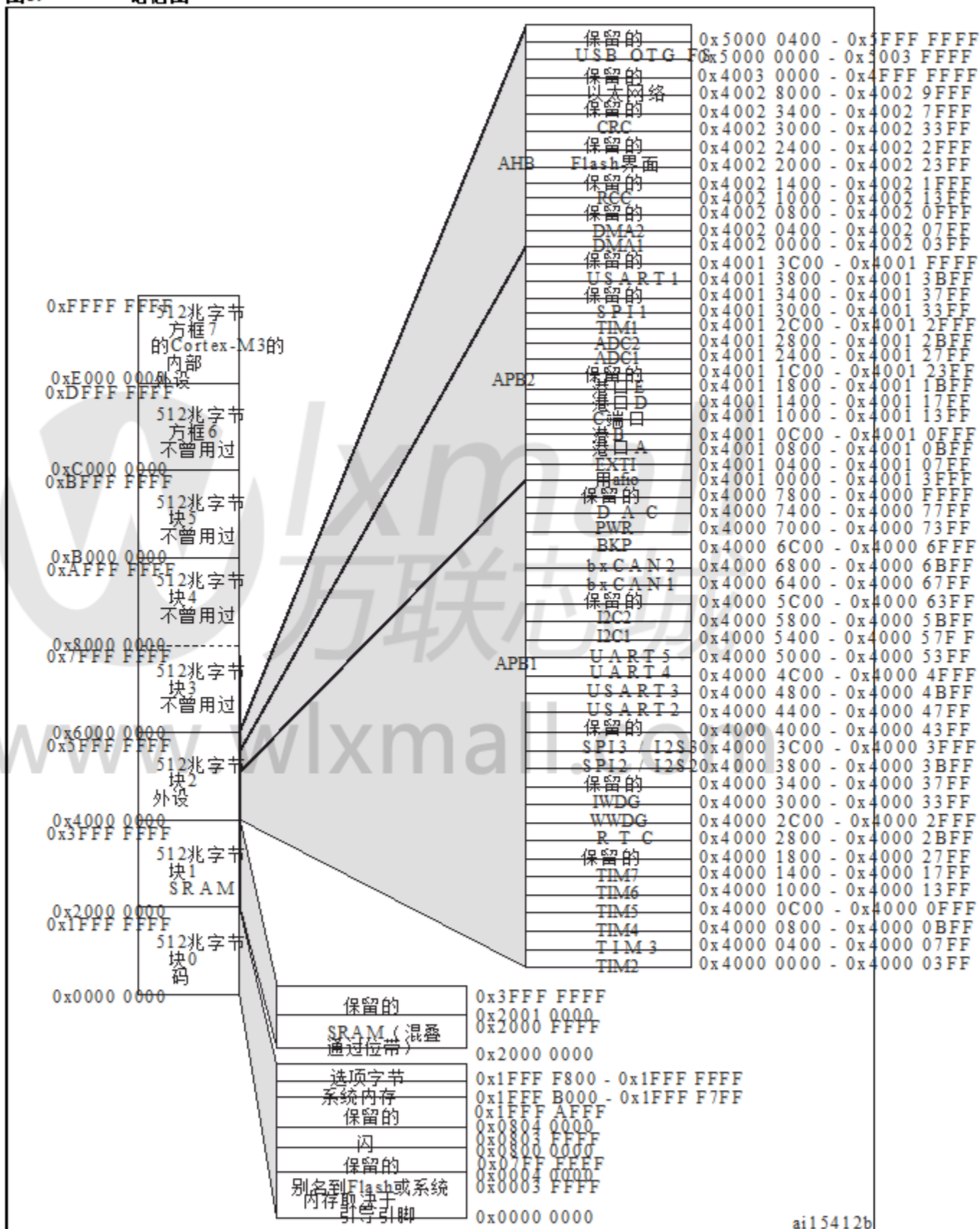
1. I = 输入, O = 输出, S = 电源, HiZ = 高阻抗.
2. FT = 5 V 容限. 所有 I/O 都是 VDD 能力.
3. 功能可用性取决于所选设备.
4. 如果几个外设共享相同的 I/O 引脚, 为避免这些替代功能之间的冲突, 只有一个外设应该通过外设时钟使能位 (在相应的 RCC 外设时钟使能寄存器中) 一次使能.
5. PC13, PC14 和 PC15 通过电源开关提供, 因此它们在输出模式下的使用受到限制: 可以使用它们仅在输出 2 MHz 模式下, 最大负载为 30 pF, 并且一次只能有一个引脚输入输出模式.
6. 主要功能在第一个备份域上电后, 以后, 它取决于备份寄存器的内容. 复位后 (因为这些寄存器不被主复位复位), 有关如何管理这些 IO 的详细信息, 请参阅电池备份域和 BKP 寄存器描述部分在 STM32F10xxx 参考手册中, 可从意法半导体网站: www.st.com.
7. 这个备用功能可以通过软件重新映射到某些其他端口引脚 (如果在使用的封装上可用). 更多详细信息, 请参见 STM32F10xxx 参考手册中的备用功能 I/O 和调试配置部分, 可从 STMicroelectronics 网站获取: www.st.com.
8. 当使用以太网时, SPI2 / I2S2 和 I2C2 不可用.
9. 对于 LQFP64 封装, 复位后, 引脚 5 和 6 配置为 OSC_IN / OSC_OUT, 但是 PD0 和 PD1 的功能可以通过这些引脚上的软件重新映射. 对于 LQFP100 和 BGA100 封装, PD0 和 PD1 默认可用, 因此不需要重新映射. 有关详细信息, 请参阅备用功能 I/O 和 STM32F10xxx 参考手册中的调试配置部分.



4 内存映射

存储器映射如图5所示。

图5. 记忆图



五 电气特性

5.1 参数条件

除非另有说明，否则所有电压均以V_{SS}为参考。

5.1.1 最小值和最大值

除非另有规定，否则最坏和最大值都得到保证
环境温度条件，供电电压和频率通过生产测试
100%的环境温度在T_A = 25°C，T_A = T_{A max}（由
所选温度范围）。

基于表征结果的数据，设计模拟和/或技术特征
在表脚注中指出，并没有在生产中进行测试。基于
表征，最小值和最大值是指样品测试并代表
平均值加或减三倍标准差（平均值±3σ）。

5.1.2 典型值

除非另有规定，典型数据基于T_A = 25°C，V_{DD} = 3.3 V（对于
2V <sub>≤ V_{DD} ≤ 3.6 V电压范围）。它们仅作为设计指南而不是
测试。
典型的ADC精度值通过一批样品的表征来确定
在整个温度范围内的标准扩散批次，其中95%的器件具有
误差小于或等于所示值（平均值±2σ）。</sub>

5.1.3 典型曲线

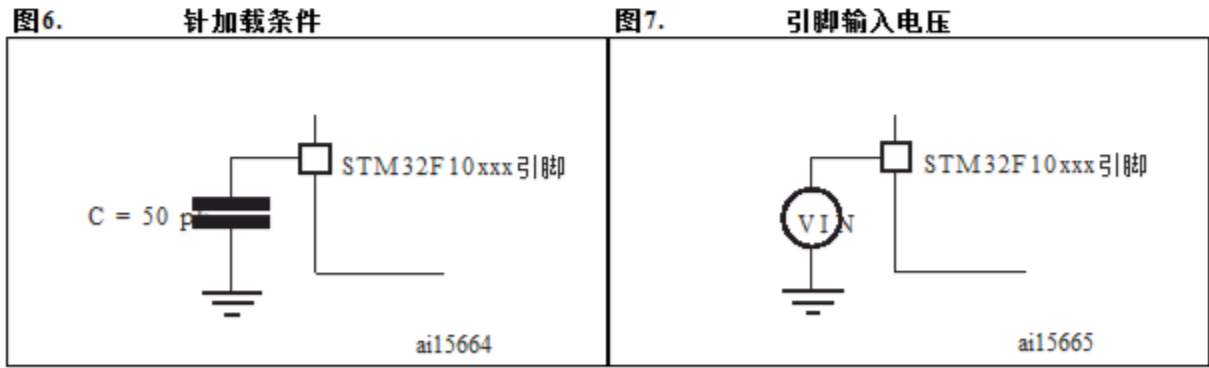
除非另有说明，否则所有典型曲线仅作为设计指南给出
没有测试。

5.1.4 加载电容

用于引脚参数测量的负载条件如图6所示。

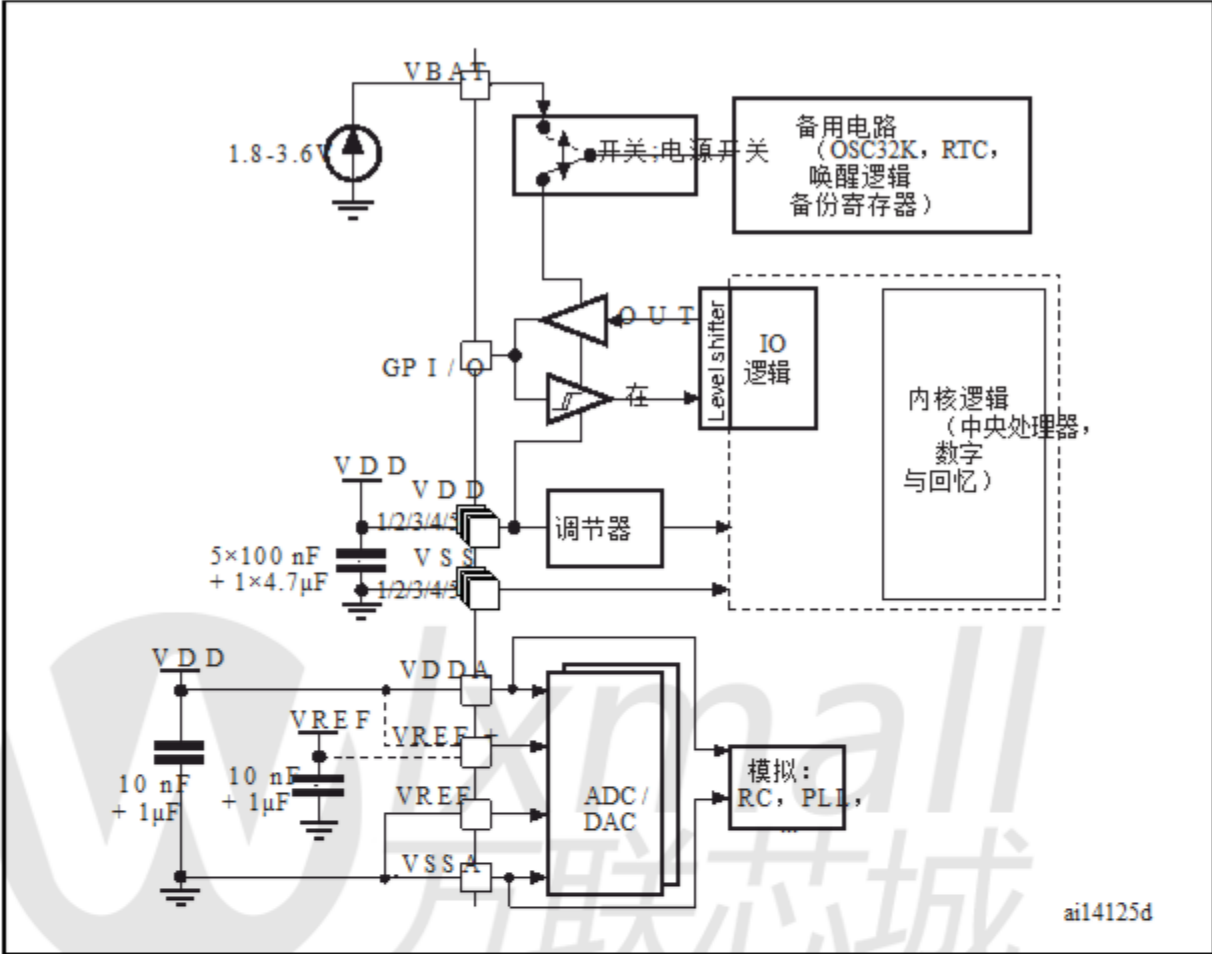
5.1.5 引脚输入电压

图7中描述了器件引脚上的输入电压测量。



5.1.6 供电方案

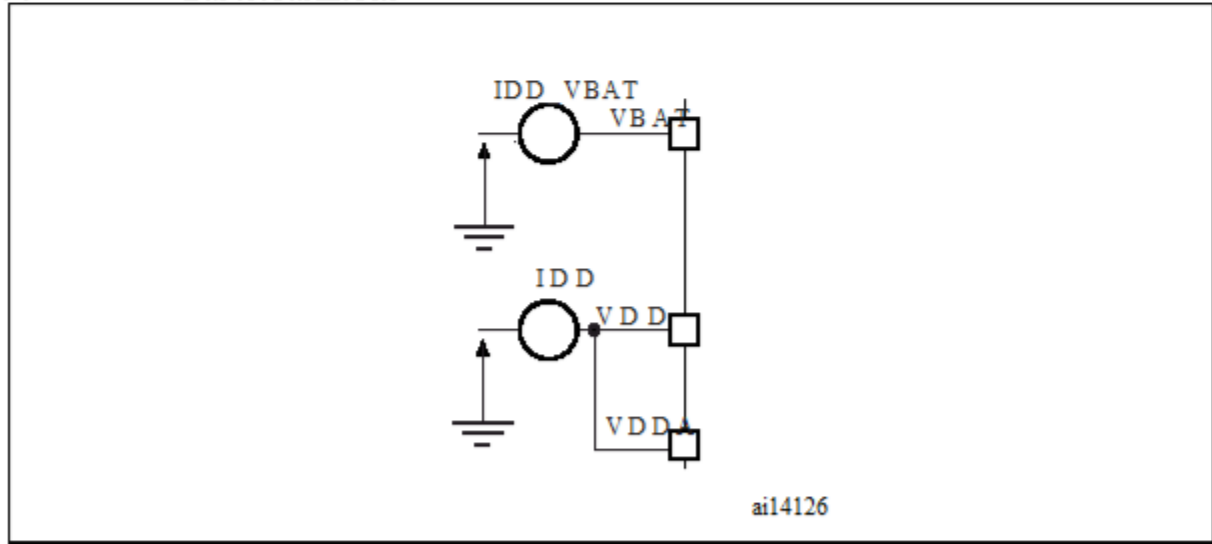
图8. 供电方案



警告: 在图8中, 4.7 F电容必须连接到V DD3.

5.1.7 电流消耗测量

图9. 电流消耗测量方案



5.2 绝对最大额定值

强度高于表6中的绝对最大额定值：电压特性。

表7：电流特性和表8：热特性可能导致永久性损坏设备。这些只是压力额定值和设备的功能操作在这些条件下并不暗示。暴露于最大额定条件下延长周期可能会影响设备的可靠性。

表6. 电压特性

符号	评级	敏	马克斯	单元
$V_{DD} - V_{SS}$	外部主电源电压（包括 V_{DDA} 和 V_{DD} ）(1)	-0.3	4	V
$V_{IN}^{(2)}$	输入电压为5伏特的引脚	$V_{SS} - 0.3$	$V_{DD} + 4.0$	
	任何其他引脚上的输入电压	$V_{SS} - 0.3$	4	
$ \Delta V_{DDx} $	不同 V_{DD} 电源引脚之间的变化		50	毫伏
$ V_{SSX} - V_{SS} $	所有不同接地引脚之间的变化		50	
$V_{ESD} (HBM)$	静电放电电压（人体模型）	见第5.3.11节： 绝对最大额定值 (电灵敏度)		

- 所有主电源（ V_{DD} ， V_{DDA} ）和接地（ V_{SS} ， V_{SSA} ）引脚必须始终连接到外部电源供应，在允许范围内。
- 必须始终尊重 V_{IN} 最大值。请参考表7：最大电流特性允许注入电流值。

表7. 电流特性

符号	评级	最大	单元
我 V_{DD}	V_{DD} / V_{DDA} 电源线（电源）的总电流 (1)	150	嘛
我 V_{SS}	V_{SS} 地线（sink）的总电流 (1)	150	
我 I_O	任何 I / O 和控制引脚输出电流下降	25	
	任何 I / O 和控制引脚输出电流源	- 25	
我 $I_{NJ} (PIN)$	五伏特引脚上的注入电流 (3)	-5 / + 0	
	任何其他引脚上的注入电流 (4)	±5	
$\Sigma I_{NJ} (PIN)$	总注入电流（所有 I / O 和控制引脚的总和）(5)	±25	

- 所有主电源（ V_{DD} ， V_{DDA} ）和接地（ V_{SS} ， V_{SSA} ）引脚必须始终连接到外部电源供应，在允许范围内。
- 负注入会干扰设备的模拟性能。请参见注意：第75页。
- 这些 I / O 无法进行正向注入。 $V_{IN} < V_{SS}$ 引起负注入。我 $I_{NJ} (PIN)$ 必须永远不会被超越参见表6：最大允许输入电压的电压特性值。
- 当 $V_{IN} > V_{DD}$ 引起正向注入时， $V_{IN} < V_{SS}$ 引起负注入。我 $I_{NJ} (PIN)$ 必须永远不会被超越参见表6：最大允许输入电压的电压特性值。
- 当几个输入提交到当前注入时，最大值正，负注入电流（瞬时值）。
 $\Sigma I_{NJ} (PIN)$ 是绝对总和

表8. 热特性

符号	评级	值	单元
T STG	存储温度范围	-65至+150	C
T J	最大结温	150	C

5.3 运行条件

5.3.1 一般操作条件

表9. 一般操作条件

符号	参数	条件	敏	马克斯	单元
f HCLK	内部AHB时钟频率		0	72	兆赫
f PCLK1	内部APB1时钟频率		0	36	
f PCLK2	内部APB2时钟频率		0	72	
V DD	标准工作电压		2	3.6	V
V DDA ⁽¹⁾	模拟工作电压 (ADC未使用)	必须具有相同的潜力 作为V DD ⁽²⁾	2.3	3.6	V
	模拟工作电压 (使用ADC)		2.4	3.6	
V BAT	备用工作电压		1.8	3.6	V
PD	T A = 85°C时的 功耗 对于后缀6或T A = 105°C 后缀7 (3)	LFBGA100		500	毫瓦
		LQFP100		434	
		LQFP64		444	
PD	T A = 85°C时的 功耗 对于后缀6或T A = 105°C 后缀7 (4)	LQFP100		434	毫瓦
		LQFP64		444	
T A	环境温度为6°C 后缀版本	最大功耗	-40	85	C
		低功耗 (5)	-40	105	
	环境温度为7°C 后缀版本	最大功耗	-40	105	C
		低功耗 (5)	-40	125	
T J	结温范围	6后缀版本	-40	105	C
		7后缀版本	-40	125	

1. 使用ADC时, 请参见表52: ADC特性.
2. 建议从同一来源为V DD和V DDA供电. 最大差值为300 mV
在V DD和V DDA之间可以在上电和操作期间容忍.
3. 如果T A较低, 只要T J不超过T J max, 则允许较高的PD值.
4. 如果T A较低, 只要T J不超过T J max, 则允许较高的PD值.
5. 在低功耗状态下, 只要T J不超过T J max, T A可以扩展到该范围.

5.3.2 上电/掉电时的工作条件

根据T A的一般操作条件。

表10. 上电/掉电时的工作条件

符号	参数	条件	敏	马克斯	单元
t VDD	V DD 上升时间率		0	∞	微秒/V
	V DD 下降时间率		20	∞	

5.3.3 嵌入式复位和功率控制块特性

表11中给出的参数来源于环境下进行的测试
温度和V DD电源电压条件总结在表9中。

表11. 嵌入式复位和功率控制块特性

符号	参数	条件	敏	典型	马克斯	单元
V PVD	可编程电压 检测器级别选择	PLS [2: 0] = 000 (上升沿)	2.1	2.18	2.26	V
		PLS [2: 0] = 000 (下降沿)	2	2.08	2.16	V
		PLS [2: 0] = 001 (上升沿)	2.19	2.28	2.37	V
		PLS [2: 0] = 001 (下降沿)	2.09	2.18	2.27	V
		PLS [2: 0] = 010 (上升沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 010 (下降沿)	2.18	2.28	2.38	V
		PLS [2: 0] = 011 (上升沿)	2.38	2.48	2.58	V
		PLS [2: 0] = 011 (下降沿)	2.28	2.38	2.48	V
		PLS [2: 0] = 100 (上升沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 100 (下降沿)	2.37	2.48	2.59	V
		PLS [2: 0] = 101 (上升沿)	2.57	2.68	2.79	V
		PLS [2: 0] = 101 (下降沿)	2.47	2.58	2.69	V
		PLS [2: 0] = 110 (上升沿)	2.66	2.78	2.9	V
		PLS [2: 0] = 110 (下降沿)	2.56	2.68	2.8	V
		PLS [2: 0] = 111 (上升沿)	2.76	2.88	3	V
		PLS [2: 0] = 111 (下降沿)	2.66	2.78	2.9	V
V PVDhyst ⁽²⁾	PVD滞后			100		毫伏
V POR / PDR	开机/关机 复位阈值	坠落边缘	1.8 (1)	1.88	1.96	V
		上升沿	1.84	1.92	2.0	V
V PDRhyst ⁽²⁾	PDR滞后			40		毫伏
T RSTTEMP ⁽²⁾	重置临时		1	2.5	4.5	女士

1. 产品行为由设计保证达到最小V POR / PDR值。
2. 保证设计，未经生产测试。



5.3.4 嵌入式参考电压

表12中给出的参数来自于在环境温度下进行的测试
 温度和V_{DD}电源电压条件总结在表9中。

表12. 嵌入式内部参考电压

符号	参数	条件	敏	典型	马克斯	单元
V _{REFINT}	内部参考电压	-40°C <T _A <+ 105°C 1.16		1.20	1.26	V
		-40°C <T _A <+85°C	1.16	1.20	1.24	V
T _{S_vrefint} (1)	ADC采样时间 阅读内部参考电压			5.1	17.1 (2)	微秒
V _{RERINT} (2)	内部参考电压 蔓延温度范围	V _{DD} = 3 V±10 mV			10	毫伏
T _{科夫} (2)	温度系数				100	PPM /°C

1. 最短采样时间可以通过多次迭代在应用中确定。
2. 保证设计，未经生产测试。

5.3.5 供电电流特性

目前的消费是几个参数和因素的函数
 工作电压，环境温度，I / O引脚加载，器件软件配置，
 工作频率，I / O引脚切换速率，存储器中的程序位置并执行
 二进制代码。

电流消耗量如图9所示进行测量：电流消耗
 测量方案。

本节中给出的所有运行模式电流消耗测量用a执行
 减少代码，给出相当于Dhrystone 2.1代码的消费。

最大电流消耗

MCU处于以下条件下：

- 所有I / O引脚都处于输入模式，静态值为V_{DD}或V_{SS}（无负载）
- 所有外设都被禁用，除非明确提到
- Flash存储器访问时间调整为f_{HCLK}频率（0等待状态从0到24 MHz，1等待状态从24到48 MHz和2个等待状态）
- 预读取ON（提醒：此位必须在时钟设置和总线预分频之前设置）
- 当外设使能时，PCLK1 = f_{HCLK} / 2，f_{PCLK2} = f_{HCLK}

表13，表14和表15中给出的参数来源于所进行的试验
 在环境温度和V_{DD}电源电压条件下总结在表9中。

表13. 运行模式下的最大电流消耗，带数据处理的代码从Flash运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
我 DD	电源电流 运行模式	外部时钟 (2)，全部 外设启用	72 MHz	68	68.4	嘛
			48 MHz	49	49.2	
			36 MHz	38.7	38.9	
			24 MHz	27.3	27.9	
			16 MHz	20.2	20.5	
			8 MHz	10.2	10.8	
		外部时钟 (3)，全部 外设禁用	72 MHz	32.7	32.9	
			48 MHz	25	25.2	
			36 MHz	20.3	20.6	
			24 MHz	14.8	15.1	
			16 MHz	11.2	11.7	
			8 MHz	6.6	7.2	

1. 基于表征，未在生产中测试。
2. 当 HCLK > 8 MHz 时，外部时钟为 8 MHz，PLL 为 导通。

表14. 运行模式下的最大电流消耗，带数据处理的代码从RAM运行

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
我 DD	供应 目前在 运行模式	外部时钟 (2)，全部 外设启用	72 MHz	65.5	66	嘛
			48 MHz	45.4	46	
			36 MHz	35.5	36.1	
			24 MHz	25.2	25.6	
			16 MHz	18	18.5	
			8 MHz	10.5	11	
		外部时钟 (3)，全部 外设禁用	72 MHz	31.4	31.9	
			48 MHz	27.8	28.2	
			36 MHz	17.6	18.3	
			24 MHz	13.1	13.8	
			16 MHz	10.2	10.9	
			8 MHz	6.1	7.8	

1. 基于特征，在生产中测试 V DD max, f HCLK max ..
2. 当 HCLK > 8 MHz 时，外部时钟为 8 MHz，PLL 为 ON。

表15. 在睡眠模式下的最大电流消耗，从Flash或RAM运行的代码

符号	参数	条件	f HCLK	最大 (1)		单元
				T A = 85°C	T A = 105°C	
I _{DD}	电源电流睡眠模式	外部时钟 (2)，全部外设启用	72 MHz	48.4	49	μA
			48 MHz	33.9	34.4	
			36 MHz	26.7	27.2	
			24 MHz	19.3	19.8	
			16 MHz	14.2	14.8	
			8 MHz	8.7	9.1	
		外部时钟 (3)，全部外设禁用	72 MHz	10.1	10.6	
			48 MHz	8.3	8.75	
			36 MHz	7.5	8	
			24 MHz	6.6	7.1	
			16 MHz	6	6.5	
			8 MHz	2.5	3	

1. 基于特性，在V_{DD max}和f_{HCLK max}的测试中，外设启用。
2. 当HCLK > 8 MHz时，外部时钟为8 MHz，PLL为ON。

表16. 停止和待机模式下的典型和最大电流消耗

符号	参数	条件	典型 (1)			马克斯		单元
			V _{DD} /V _{BAT} = 2.0 V	V _{DD} /V _{BAT} = 2.4 V	V _{DD} /V _{BAT} = 3.3 V	T A = 85°C	T A = 105°C	
I _{DD}	供电电流在停止模式	调节器处于运行模式，低速和高速内部RC振荡器和高速振荡器OFF (无独立看门狗)		32	33	600	1300	μA
		低功耗模式下的稳压器，速度和高速内部RC振荡器和高速振荡器OFF (无独立看门狗)		25	26	590	1280	
	供电电流在待机模式	低速内部RC振荡器和独立看门狗开		3.3	3.8	-	-	
		低速内部RC振荡器ON，独立看门狗关闭		2.8	3.6	-	-	
		低速内部RC振荡器和独立看门狗关机，低电平高速振荡器和RTC OFF		1.9	2.1	5 (2)	6.5 (2)	
	备用模式供电当前	低速振荡器和RTC ON	1.1	1.2	1.4	2.1 (2)	2.3 (2)	

1. 典型值在T A = 25°C时测量。
2. 基于表征，未在生产中测试。

图10. V_{BAT}的典型电流消耗与RTC相对于温度不同的V_{BAT}值

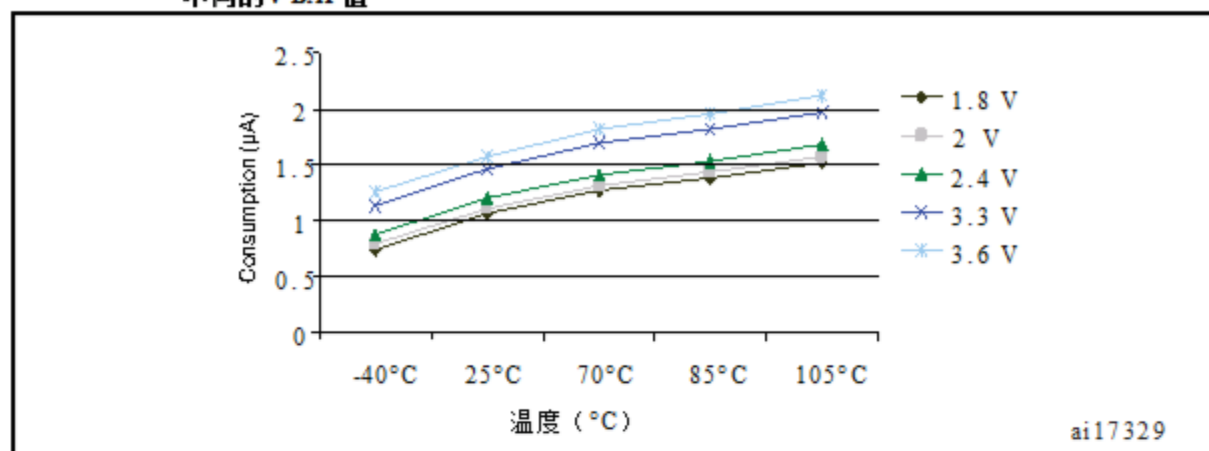


图11. 停止模式下典型的电流消耗，调节器处于运行模式相对于不同V_{DD}值的温度

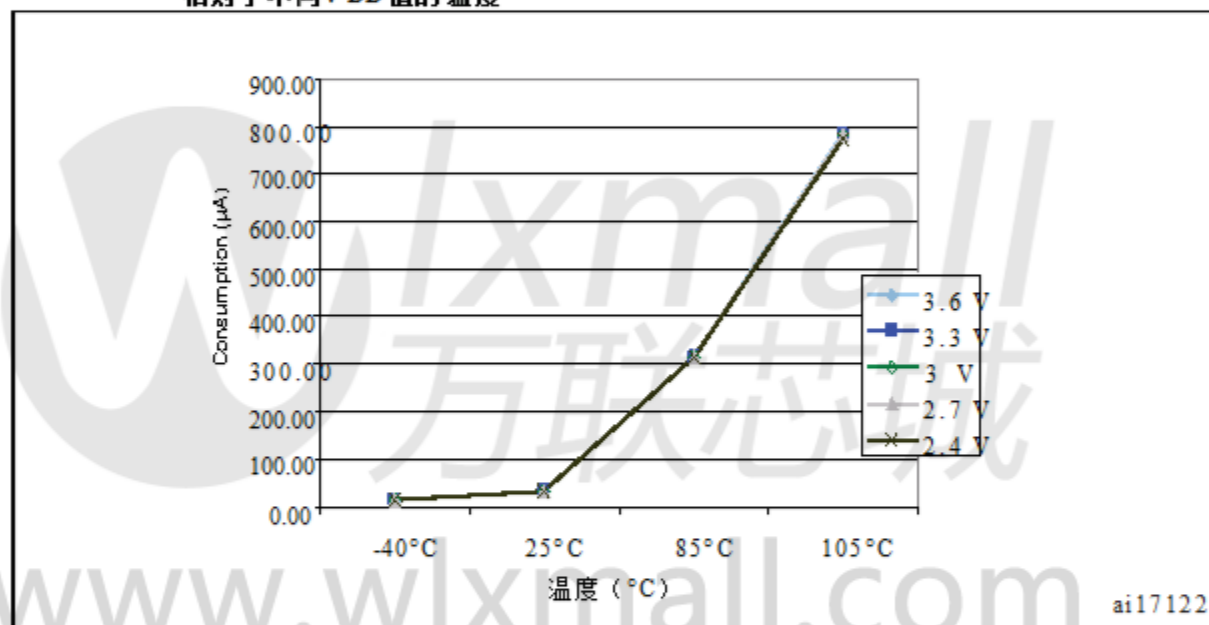


图12. 待机模式下的典型电流消耗，低功耗稳压器模式与温度在不同的V_{DD}值

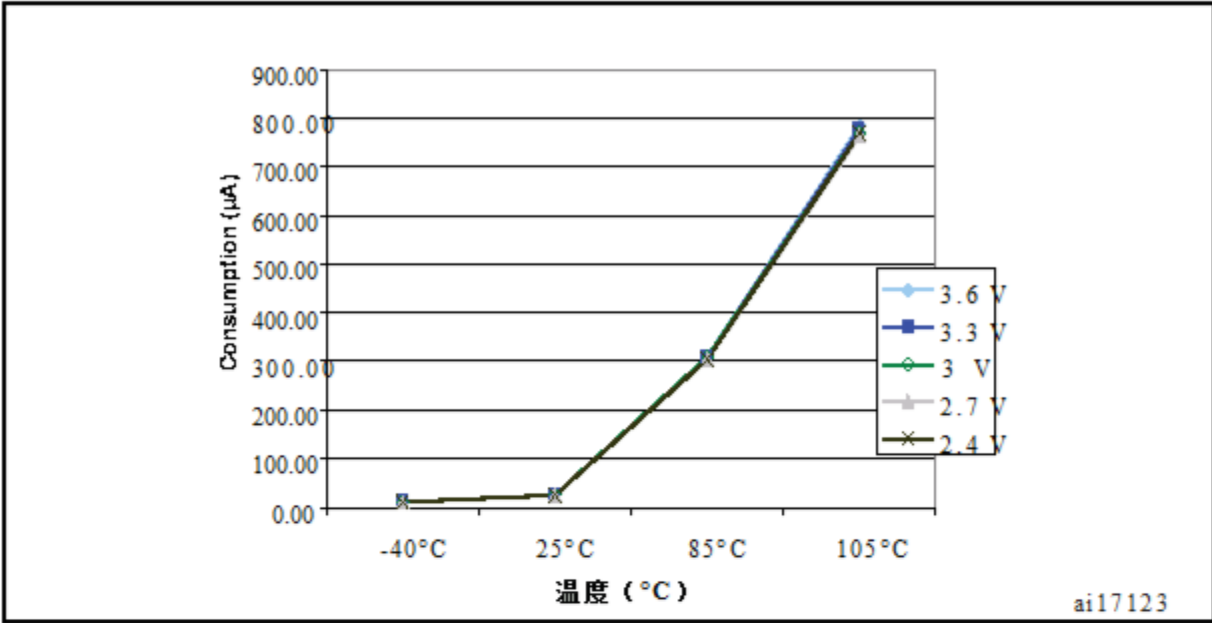
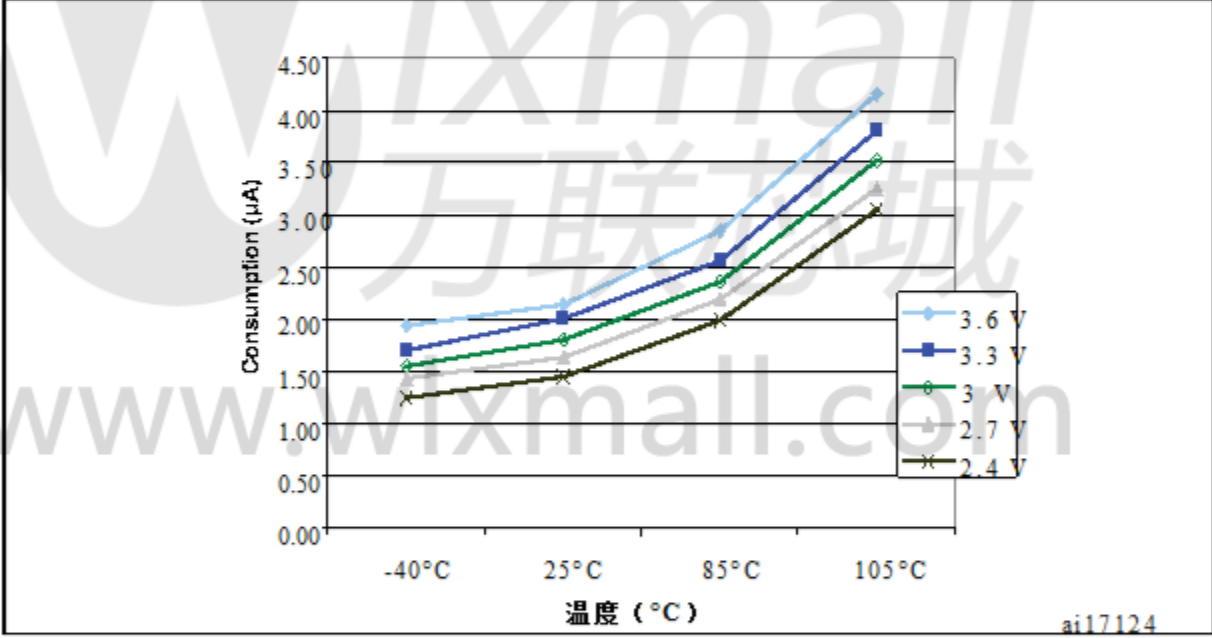


图13. 待机模式下的典型电流消耗与温度的关系不同的V_{DD}值



典型电流消耗

MCU处于以下条件下：

- 所有I/O引脚都处于V_{DD}或V_{SS}（无负载）下的静态值的输入模式。
- 所有外设都被禁用，除非明确提到。
- 闪存访问时间调整为HCLK频率（0等待状态从0到24 MHz，1等待状态从24到48 MHz和2个等待状态）。
- 环境温度^①和V_{DD}电源电压条件总结在表9中。
- 预取开启（提醒：此位必须在时钟设置和总线预分频之前设置）

当外设使能时，PCLK1 = fHCLK / 4，fPCLK2 = fHCLK / 2，fADCCLK = fPCLK2 / 4

表17. 典型电流消耗在运行模式下，代码与数据处理从Flash运行

符号	参数	条件	f HCLK	典型 (1)		单元
				所有外设启用 (2)	所有外设残	
I _{DD}	供应目前正在运行模式	外部时钟 (3)	72 MHz	47.3	28.3	mA
			48 MHz	32	19.6	
			36 MHz	24.6	15.4	
			24 MHz	16.8	10.6	
			16 MHz	11.8	7.4	
			8 MHz	5.9	3.7	
			4 MHz	3.7	2.9	
			2 MHz	2.5	2	
			1 MHz	1.8	1.53	
			500 kHz	1.5	1.3	
			125 kHz	1.3	1.2	
		跑高速度内部RC (HSI)，AHB预分频器用于减少频率	36 MHz	23.9	14.8	mA
			24 MHz	16.1	9.7	
			16 MHz	11.1	6.7	
			8 MHz	5.6	3.8	
			4 MHz	3.1	2.1	
			2 MHz	1.8	1.3	
			1 MHz	1.16	0.9	
			500 kHz	0.8	0.67	
			125 kHz	0.6	0.5	

- 1. 典型值为T_A = 25°C, V_{DD} = 3.3 V时的测量值。
- 2. 为模拟部分增加每个ADC 0.8 mA的额外功耗. 在应用中，这个仅在ADC导通时才会发生消耗 (ADC_CR2寄存器中的ADON位置1)。
- 3. 当 HCLK > 8 MHz时，外部时钟为8 MHz，PLL为ON。



表18. 在休眠模式下的典型电流消耗，代码从Flash或随机存取存储器

符号	参数	条件	f HCLK	典型 (1)		单元
				所有外设 启用 (2)	所有外设 关	
I _{DD}	供应 目前在 睡眠模式	外部时钟 (3)	72 MHz	28.2	6	μA
			48 MHz	19	4.2	
			36 MHz	14.7	3.4	
			24 MHz	10.1	2.5	
			16 MHz	6.7	2	
			8 MHz	3.2	1.3	
			4 MHz	2.3	1.2	
			2 MHz	1.7	1.16	
			1 MHz	1.5	1.1	
			500 kHz	1.3	1.05	
		跑高 速度内部RC (HSI)，AHB预分频器 用来减少 频率	125 kHz	1.2	1.05	
			36 MHz	13.7	2.6	
			24 MHz	9.3	1.8	
			16 MHz	6.3	1.3	
			8 MHz	2.7	0.6	
			4 MHz	1.6	0.5	
			2 MHz	1	0.46	
			1 MHz	0.8	0.44	
			500 kHz	0.6	0.43	
			125 kHz	0.5	0.42	

1. 典型值为T_A = 25°C，V_{DD} = 3.3 V时的测量值。
2. 为模拟部分增加每个ADC 0.8 mA的额外功耗. 在应用中，这个
仅在ADC导通时才会发生消耗（ADC_CR2寄存器中的ADON位置1）。
3. 当 HCLK > 8 MHz 时，外部时钟为8 MHz，PLL为ON。

片上周边电流消耗

表19给出了片上外设的电流消耗. 放置了MCU
在以下条件下：

- 所有I / O引脚都处于输入模式，静态值为V_{DD}或V_{SS}（无负载）
- 所有外设均禁用，除非另有说明
- 给定值通过测量电流消耗来计算
 - 所有外设都关机
 - 一个外设上电（仅应用时钟）
- 环境工作温度和V_{DD}电源电压条件总结

表6



表19. 外设电流消耗 (1)

外围设备		25°C时典型消耗	单元
AHB	ETH_MAC	5.2	mA
	OTG_FS	7.7	
APB1	TIM2	1.5	
	TIM3	1.5	
	TIM4	1.5	
	TIM5	1.5	
	TIM6	0.6	
	TIM7	0.3	
	SPI2	0.2	
	USART2	0.5	
	USART3	0.5	
	UART4	0.5	
	UART5	0.5	
	I2C1	0.5	
	I2C2	0.5	
	CAN1	0.8	
	CAN2	0.8	
	DAC	0.4	
APB2	GPIO A	0.5	mA
	GPIO B	0.5	
	GPIO C	0.5	
	GPIO D	0.5	
	GPIO E	0.5	
	ADC1 (2)	2.1	
	ADC2 (2)	2.0	
	TIM1	1.7	
	SPI1	0.4	
	USART1	0.9	

1. $f_{HCLK} = 72\text{ MHz}$, $f_{APB1} = f_{HCLK}/2$, $f_{APB2} = f_{HCLK}$, 每个外设的默认预分频值.

2. ADC的特定条件: $f_{HCLK} = 56\text{ MHz}$, $f_{APB1} = f_{HCLK}/2$, $f_{APB2} = f_{HCLK}$, $f_{ADCCLK} = f_{APB2}/4$, ADON位在ADC_CR2寄存器中设置为1.

5.3.6 外部时钟源特性

从外部源产生的高速外部用户时钟

表20给出的特性来自使用高速进行的测试
外部时钟源，以及环境温度和电源电压条件
总结在表9中。

表20. 高速外部用户时钟特性

符号	参数	条件	敏	典型	马 克 斯 单 元
f HSE_ext	外部用户时钟源 频率 (1)		18		50 兆 赫
V HSEH	OSC_IN输入引脚为高电平电压		0.7 V DD	V DD	V
V HSEL	OSC_IN输入引脚低电平电压		V SS	0.3 V DD	
t w (HSE) t w (HSE)	OSC_IN高或低时 (1)		五		NS
t (HSE) t f (HSE)	OSC_IN上升或下降时间 (1)			20	
(HSE)	OSC_IN输入电容 (1)			5 p F	的
DuCy (HSE)	占空比		45	55	%
我 L	OSC_IN输入漏电流	V SS≤V IN≤V DD			±1 μA

1. 保证设计，未经生产测试。

从外部源产生的低速外部用户时钟

表21中给出的特性来自使用低速执行的测试
外部时钟源，以及环境温度和电源电压条件
总结在表9中。

表21. 低速外部用户时钟特性

符号	参数	条件	敏	典型	马 克 斯 单 元
f LSE_ext	用户外部时钟源 频率 (1)			32.768	10 00 千 赫
V LSEH	OSC32_IN输入引脚高电平 电压		0.7 V DD	V DD	V
V LSEL	OSC32_IN输入引脚为低电平 电压		V SS	0.3 V DD	
t w (LSE) t w (LSE)	OSC32_IN高或低时 (1)		4 5 0		NS
t r (LSE) t f (LSE)	OSC32_IN上升或下降时间 (1)			50	
(LSE)	OSC32_IN输入电容 (1)			5 p F	的
DuCy (LSE)	占空比		三十	70	%
我 L	OSC32_IN输入漏电流	V SS≤V IN≤V DD			±1 μA

1. 保证设计，未经生产测试。

图14. 高速外部时钟源交流时序图

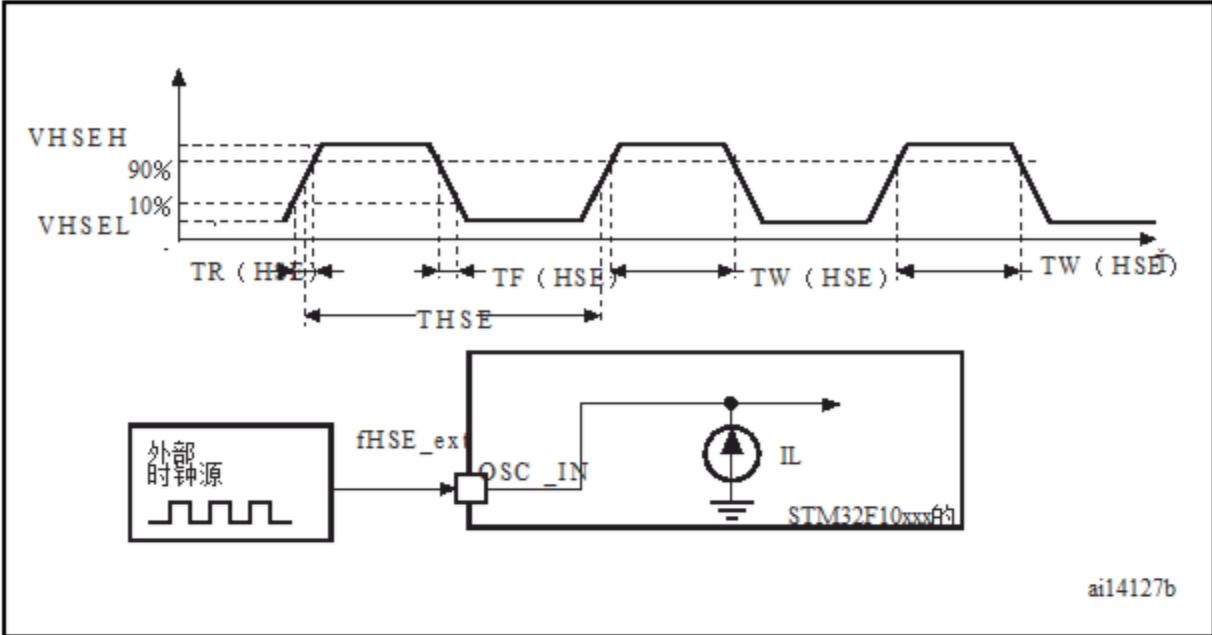
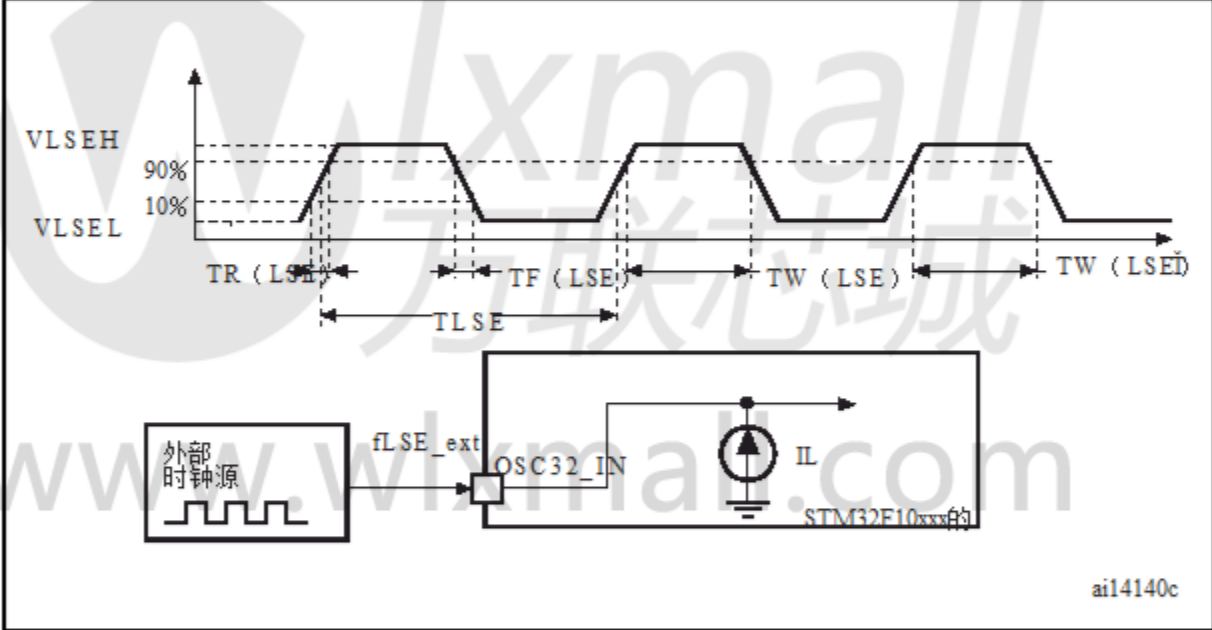


图15. 低速外部时钟源AC时序图



从晶体/陶瓷谐振器产生的高速外部时钟

高速外部 (HSE) 时钟可提供3至25 MHz晶体/陶瓷谐振器。本段中提供的所有信息均基于特征通过表22中规定的典型外部组件获得的结果。在应用中，谐振器和负载电容必须尽可能靠近振荡器放置引脚，以最小化输出失真和启动稳定时间。参考水晶谐振器制造商有关谐振器特性（频率，包装，精度）。

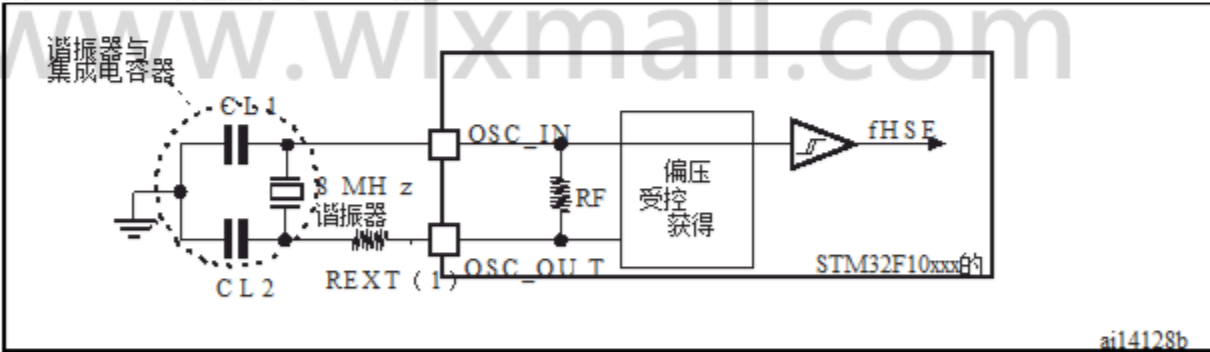
表22. HSE 3-25 MHz振荡器特性 (1) (2)

符号	参数	条件	敏	典型	马克斯单元
f OSC_IN	振荡频率		3		25 兆赫
R F	反馈电阻			200	kΩ
C	推荐负载电容 相对于等效串行 晶体电阻 (R S) (3)	R S = 30Ω		三十	pF的
I 2	HSE驱动电流	V DD = 3.3 V, V IN = V SS 具有 30 pF负载			1 毫 安
g m	振荡器跨导	启动	25		毫安/V
t SU (HSE)	启动时间	V DD 稳定		2	女士

- 1. 晶体/陶瓷谐振器制造商提供的谐振器特性.
- 2. 基于表征, 未在生产中测试.
- 3. R F电阻的相对较低的值可以防止在使用中导致的问题潮湿的环境, 由于感应泄漏和偏置条件的变化.但是, 它是如果MCU在恶劣的湿度条件下使用, 建议考虑这一点.
- 4. t SU (HSE) 是从启用 (通过软件) 到稳定的8 MHz测量的启动时间达到振荡.该值是针对于标准晶体谐振器测量的, 它可以显著变化与晶体制造商

对于C L1和C L2, 建议使用高品质的外部陶瓷电容 5 pF至25 pF范围 (典型值), 设计用于高频应用, 并选择匹配晶体或谐振器的要求 (见图16). C L1和C L2通常是相同大小晶体制造商通常指定负载电容 C L1和C L2的串联组合.必须包括PCB和MCU引脚电容 (10 pF 可以用作粗略估计组合的针脚和电路板电容) C L1和C L2.请参见应用笔记AN2867“ST振荡器设计指南”微控制器”, 可从ST网站www.st.com获取.

图16. 典型应用与8 MHz晶体



- 1. R EXT 值取决于晶体特性.

从晶体/陶瓷谐振器产生的低速外部时钟

低速外部 (LSE) 时钟可提供32.768 kHz晶体/陶瓷谐振器.本段中提供的所有信息均基于特征通过表23中规定的典型外部组件获得的结果.在应用中, 谐振器和负载电容必须尽可能靠近振荡器放置引脚, 以最小化输出失真和启动稳定时间.参考水晶

谐振器制造商有关谐振器特性（频率，
包装，精度）。

表23. LSE振荡器特性（ $f_{LSE} = 32.768 \text{ kHz}$ ）（1）

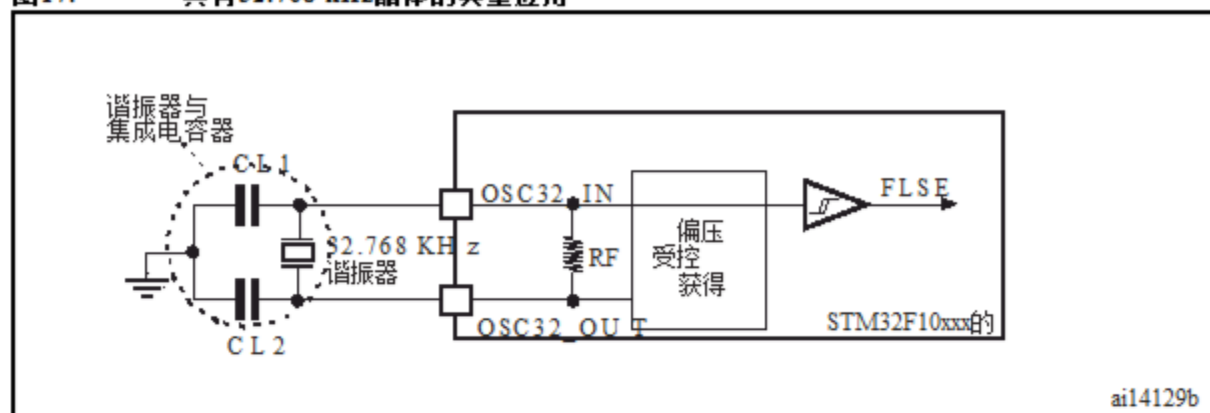
符号	参数	条件	敏	典型	马克斯单元
R_F	反馈电阻			5M	Ω
$C(2)$	推荐负载电容 相对于等效串行 晶体电阻（ R_S ） (3)	$R_S = 30k\Omega$		15	pF的
我2	LSE驱动电流	$V_{DD} = 3.3 \text{ V}, V_{IN} = V_{SS}$		1.4	μA
g_m	振荡器跨导		五		$\mu\text{A/V}$
$t_{SU}(LSE)$	启动时间	V_{DD} 稳定	$T_A = 50^\circ\text{C}$	1.5	小号
			$T_A = 25^\circ\text{C}$	2.5	
			$T_A = 10^\circ\text{C}$	4	
			$T_A = 0^\circ\text{C}$	6	
			$T_A = -10^\circ\text{C}$	10	
			$T_A = -20^\circ\text{C}$	17	
			$T_A = -30^\circ\text{C}$	32	
			$T_A = -40^\circ\text{C}$	60	

1. 基于表征，未在生产中测试。
2. 请参见下表中的注意事项和谨慎段落，以及应用笔记AN2867“ST振荡器设计指南”。
3. 可以使用例如具有较小 R_S 值的高质量谐振器在电源电流方面优化振荡器选择。
MSIV-TIN32.768kHz.有关详细信息，请参阅晶体制造商。
4. $t_{SU}(LSE)$ 是从启用（通过软件）到达到稳定的32.768 kHz振荡的时间测量的启动时间。
对于标准晶体测量该值，并且晶体制造商可以显著变化。

注意： 对于 C_{L1} 和 C_{L2} ，建议使用高品质的外部陶瓷电容。
选择5 pF至15 pF范围以匹配晶体或谐振器的要求（见图17）。 C_{L1} 和 C_{L2} 通常是相同的大小。晶体制造商通常指定作为 C_{L1} 和 C_{L2} 的串联组合的负载电容。
负载电容 C_L 具有以下公式： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{杂散}$ 其中
 $C_{杂散}$ 是引脚电容和电路板或跟踪PCB相关的电容。通常，它是在2 pF和7 pF之间。

警告： 为了避免超过 C_{L1} 和 C_{L2} （15 pF）的最大值，强烈建议使用负载电容 $C_L \leq 7 \text{ pF}$ 的谐振器。切勿使用带负载的谐振器电容12.5 pF。
示例：如果选择负载电容为 $C_L = 6 \text{ pF}$ ， $C_{杂散} = 2 \text{ pF}$ 的谐振器，那么 $C_{L1} = C_{L2} = 8 \text{ pF}$ 。

图17. 具有32.768 kHz晶体的典型应用



www.lxmall.com
万联芯城
www.wxmall.com

5.3.7 内部时钟源特性

表24中给出的参数来自在环境下进行的测试
温度和VDD电源电压条件总结在表9中。

高速内部（HSI）RC振荡器

表24. HSI振荡器特性 (1)

符号	参数	条件	敏	典型	马克斯	单元
f _{HSI}	频率			8		兆赫
DuCy _(HSI)	占空比		45		55	%
ACC _{HSI}	恒指准确 振荡器	用RCC_CR进行用户修剪 注册 (2)			1 (3)	%
		厂- 校准 (4)	T A = -40至105°C	-2	2.5	%
			T A = -10~85°C	-1.5	2.2	%
			T A = 0~70°C	-1.3	2	%
			T A = 25°C	-1.1	1.8	%
t _{su} (HSI)	HSI振荡器 启动时间		12			微秒
I _{DD} (HSI)	HSI振荡器 能量消耗			80	100	μA

1. VDD = 3.3 V, T A = -40至105°C, 除非另有规定。
2. 请参见应用笔记AN2868“STM32F10xxx内部RC振荡器（HSI）校准”
ST网站www.st.com。
3. 保证设计，未经生产测试。
4. 基于表征，未在生产中测试。

低速内部（LSI）RC振荡器

表25. LSI振荡器特性 (1)

符号	参数	敏	典型	马克斯	单元
f _{LSI} (2)	频率	三十	40	60	千赫
t _{su} (LSI)	LSI振荡器启动时间			85	微秒
I _{DD} (LSI)	LSI振荡器功耗		0.65	1.2	μA

1. VDD = 3 V, T A = -40至105°C, 除非另有规定。
2. 基于表征，未在生产中测试。
3. 保证设计，未经生产测试。

从低功耗模式唤醒时间

表26中给出的唤醒时间是在8 MHz HSI RC的唤醒阶段测量的
振荡器。用于唤醒设备的时钟源取决于当前的操作
模式：

- 停止或待机模式：时钟源是RC振荡器
- 休眠模式：时钟源是在进入睡眠模式之前设置的时钟。



所有时间均来自在环境温度和V_{DD}电源下进行的测试
电压条件总结在表9中。

表26. 低功耗模式唤醒时序

符号	参数	典型	单元
t _{WUSLEEP} (1)	从休眠模式唤醒	1.8	微秒
t _{WUSTOP} (1)	从停止模式唤醒（运行模式下调节器）	3.6	微秒
	从停止模式唤醒（低功耗模式下的稳压器）	5.4	
t _{WUSTDBY} (1)	从待机模式唤醒	50	微秒

1. 唤醒时间是从唤醒事件到用户应用代码的时间点
读取第一条指令。

5.3.8 PLL, PLL2和PLL3特性

表27和表28中给出的参数来自于在下进行的测试
温度和V_{DD}电源电压条件总结在表9中。

表27. PLL特性

符号	参数	最小 (1)	最大值 (1)	单元
f _{PLL_IN}	PLL输入时钟 (2)	3.12	2	兆赫
	脉冲宽度高	三十		NS
f _{PLL_OUT}	PLL倍频器输出时钟	18	72	兆赫
f _{VCO_OUT}	PLL VCO输出	36	144	兆赫
t _{LOCK}	PLL锁定时间		350	微秒
抖动	周期到周期的抖动		300	PS

1. 基于表征，未在生产中测试。
2. 注意使用适当的乘数因子，使PLL输入时钟值兼容
由f_{PLL_OUT}定义的范围。

表28. PLL2和PLL3特性

符号	参数	最小 (1)	最大值 (1)	单元
f _{PLL_IN}	PLL输入时钟 (2)	35		兆赫
	脉冲宽度高	三十		NS
f _{PLL_OUT}	PLL倍频器输出时钟	40	74	兆赫
f _{VCO_OUT}	PLL VCO输出	80	148	兆赫
t _{LOCK}	PLL锁定时间		350	微秒
抖动	周期到周期的抖动		400	PS

1. 基于表征，未在生产中测试。
2. 注意使用适当的乘数因子，使PLL输入时钟值兼容
由f_{PLL_OUT}定义的范围。

5.3.9 记忆特征

闪存

特性在T A = -40至105°C下 给出， 除非另有说明.

表29. 闪存特性

符号	参数	条件	分钟 (1)	典型	最大 (1)	单元
t 程序	16位编程时间	T A = -40至+105°C	40	52.5	70	微妙
删除 页面	(1 KB) 擦除时间	T A = -40至+105°C	20		40	女士
t ME	大量擦除时间	T A = -40至+105°C	20		40	女士
我 DD	供电电流	读取 模式 f HCLK = 72 MHz, 2等待 状态, V DD = 3.3 V			20	嘛
		写/擦除模式 f HCLK = 72MHz, V DD = 3.3V			5 毫	安
		掉电模式/停止, V DD = 3.0~3.6V			50	μA
V 程序	编程电压		2		3.6	V

1. 保证设计，未经生产测试.

表30. 闪存耐久性和数据保留

符号	参数	条件	值			单元
			最小 (1)	典型	马克斯	
N 结束	耐力	T A = -40至+85°C (6个后继版本) T A = -40至+105°C (7个后继版本)	10			kcycles
t RET	数据保留	在T A = 85°C下 1kcycle (2)	三十			年份
		1 Kcycle (2) 在T A = 105°C	10			
		TKA = 55°C时有 10个循环 (2)	20			

1. 基于表征，未在生产中测试.
2. 在整个温度范围内进行循环.

5.3.10 EMC特性

在器件表征期间，以样本为基础进行敏感性测试.



功能性EMS（电磁敏感性）

虽然在设备上执行简单的应用程序（通过I / O端口切换2个LED）.该设备受到两个电磁事件的压力，直到发生故障.失败是由LED指示：

- 静电放电（ESD）（正极和负极）被施加到所有器件引脚，直到发生功能障碍.该测试符合IEC 61000-4-2标准.
- FTB：快速瞬态电压（正和负）突发施加到V DD和V SS通过100 pF电容，直到发生功能障碍.这个测试是合规的符合IEC 61000-4-4标准.

器件复位允许恢复正常操作.

测试结果在表31中给出.它们基于EMS级别和类别
在应用笔记AN1709中定义.

表31. EMS特点

符号	参数	条件	水平 / 类
V FESD	对任何I / O引脚施加的电压限制引起功能障碍	V DD = 3.3V, LQFP100, T A = + 25°C, f HCLK = 75 MHz, 符合 IEC 61000-4-2	2B
V EFTB	快速瞬态电压突发限制为在V DD和V SS上施加100 pF引脚引起功能障碍	V DD = 3.3V, LQFP100, T A = + 25°C, f HCLK = 75 MHz, 符合 IEC 61000-4-2	4A

设计硬化软件以避免噪音问题

在典型的组件级别进行EMC表征和优化
应用环境和简化的MCU软件.应该注意的是良好的EMC性能高度依赖用户应用程序和软件.

因此建议用户应用EMC软件优化
与他申请的EMC级别相关的资格预审测试.

软件建议

软件流程图必须包括失控条件的管理，如：

- 程序计数器损坏
- 意外重置
- 关键数据损坏（控制寄存器...）

资格预审试验

大多数常见故障（意外重置和程序计数器损坏）都可以
通过手动强制NRST引脚或振荡器引脚1的低电平进行复制
第二.

为了完成这些试验，ESD应力可以直接应用于器件上
规格值.当检测到意外行为时，软件可以硬化
以防止发生不可恢复的错误（参见应用笔记AN1015）.

电磁干扰 (EMI)

在简单的应用程序中监视器件发出的电磁场
 执行 (通过I / O端口切换2个LED) .该排放测试符合SAE标准
 IEC61967-2标准规定了测试板和引脚负载.

表32. EMI特性

符号	参数	条件	监控 频带	最大与 [fHSE / fHCLK]		单元
				8/48 MHz	8/72 MHz	
S EMI	峰值水平	V DD = 3.3V, T A = 25°C, LQFP100封装 符合IEC61967-2	0.1~30MHz	9	9	平dBμV
			30到130 MHz	26	13	
			130 MHz至1GHz	25	31	
			SAE EMI级别	4	4	-

5.3.11 绝对最大额定值 (电气灵敏度)

基于使用特定测量方法的三种不同的测试 (ESD, LU), 该设备是
 强调为了确定其在电敏感性方面的表现.

静电放电 (ESD)

静电放电 (正负脉冲分开1秒)
 根据每个针组合应用于每个样品的针脚.样本大小
 取决于器件中的电源引脚数 (3部分× (n + 1) 个引脚).这个测试
 符合JESD22-A114 / C101标准.

表33. ESD绝对最大额定值

符号	评级	条件	班级最高值 (1)	单元
V ESD (HBM)	静电放电电压 (人体模型)	T A = +25°C符合 JESD22-A114	2 2000	V
V ESD (CDM)	静电放电电压 (充电装置型号)	T A = +25°C符合 JESD22-C101	II 500	

1. 基于表征结果, 未在生产中测试.

静态门锁

六个部分需要进行两个互补的静态测试来评估门锁
 性能:

- 电源过电压被施加到每个电源引脚
- 电流注入应用于每个输入, 输出和可配置的I / O引脚

这些测试符合EIA / JESD 78A IC门锁标准.

表34. 电敏感

符号	参数	条件	类
鲁	静态锁定类	T A = +105°C符合JESD78A	二级A级

5.3.12 I / O电流注入特性

作为一般规则，电流注入到I / O引脚，由于外部电压低于V_{SS}或在正常产品中应避免V_{DD}以上（适用于标准，3 V功能的I / O引脚）操作。然而，为了给出微控制器的鲁棒性的指示，偶然发生异常注射的情况下，对a进行敏感性试验在设备表征期间的样品基础。

对I / O电流注入的功能敏感性

虽然在设备上执行简单的应用程序，但是设备通过注入来强调电流进入以浮动输入模式编程的I / O引脚。而电流注入I / O引脚，一次一个，器件被检查功能故障。

故障由超出范围的参数指示：ADC误差超过一定限度（> 5 LSB TUE），超出相邻引脚上的电流注入或其他功能故障（for示例复位，振荡器频率偏差）。

试验结果列于表35

表35. I / O电流注入敏感性

符号	描述	功能敏感性		单元
		负注射	正注射	
我 INJ	在OSC_IN32上注入电流，OSC_OUT32，PA4，PA5，PC13	-0	+0	嘛
	所有FT引脚上都注入电流	-5	+0	
	任何其他引脚上的注入电流	-5	+5	

5.3.13 I / O端口特性

一般输入/输出特性

除非另有说明，表36中给出的参数来自测试在表9中总结的条件下执行。所有I / O都是CMOS和TTL兼容。

表36. I / O静态特性

符号	参数	条件	敏	典型	马克斯	单元
V _{IL}	标准IO输入低电平电压		-0.3		0.28 * (V _{DD} -2 V) +0.8 VV	
	IO FT（1）输入低电平电压		-0.3		0.32 * (V _{DD} -2V) +0.75 VV	
V _{IH}	标准IO输入高电平电压		0.41 * (V _{DD} -2 V) +1.3 V		V _{DD} +0.3	V
	IO FT（1）输入高电平电压	V _{DD} > 2 V	0.42 * (V _{DD} -2 V) +1 V		5.5	V
		V _{DD} ≤ 2 V			5.2	



表36. I / O静态特性

符号	参数		条件	敏	典型	马克斯	单元
嗯	标准IO施密特触发电压迟滞 (2)			200			毫伏
	IO FT施密特触发器电压滞后 (2)			5% V DD (3)			毫伏
我 Ikg	输入漏电流 (4)		V SS ≤ V IN ≤ V DD 标准I / O			±1	μA
			V IN = 5 V, I / O FT			3	
R PU	弱拉 - 向上当量电阻 (5)	所有引脚除了PA 10	V IN = V SS	三十	40	50	kΩ
		PA 10		8	11	15	
R PD	弱拉 - 下当量电阻器 (5)	所有引脚除了PA 10	V IN = V DD	三十	40	50	kΩ
		PA 10		8	11	15	
C IO	I / O引脚电容				五		pF的

1. FT =五伏容限. 为了维持高于V DD +0.3的电压, 必须使用内部上拉/下拉电阻禁用.
2. 施密特触发开关电平之间的滞后电压.基于表征, 未在生产中测试.
3. 至少100 mV.
4. 泄漏可能高于最大值.如果相邻引脚上注入负电流.
5. 上拉和下拉电阻设计成与可切换PMOS / NMOS串联的真实电阻.这个MOS / NMOS对串联电阻的贡献最小 (约10%)

所有I / O都兼容CMOS和TTL (不需要软件配置).其特性涵盖了严格的CMOS技术或TTL参数.该这些要求的覆盖范围如图18和图19所示, 用于标准I / O在图20和图21中为5 V容差I / O.

图18. 标准I / O输入特性 - CMOS端口

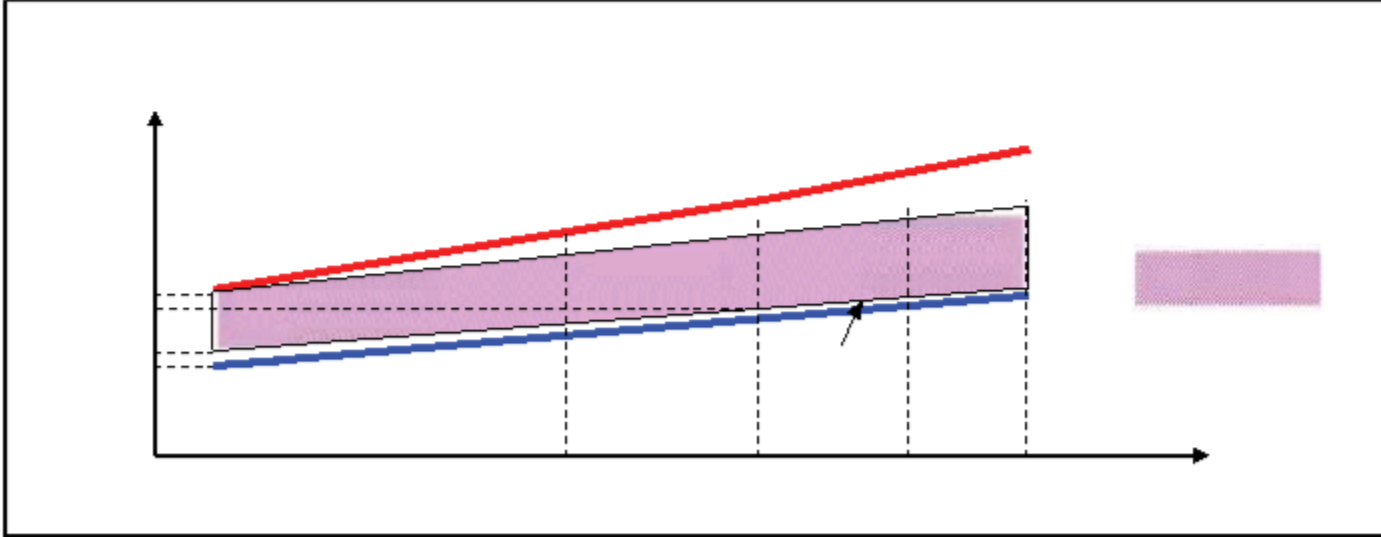
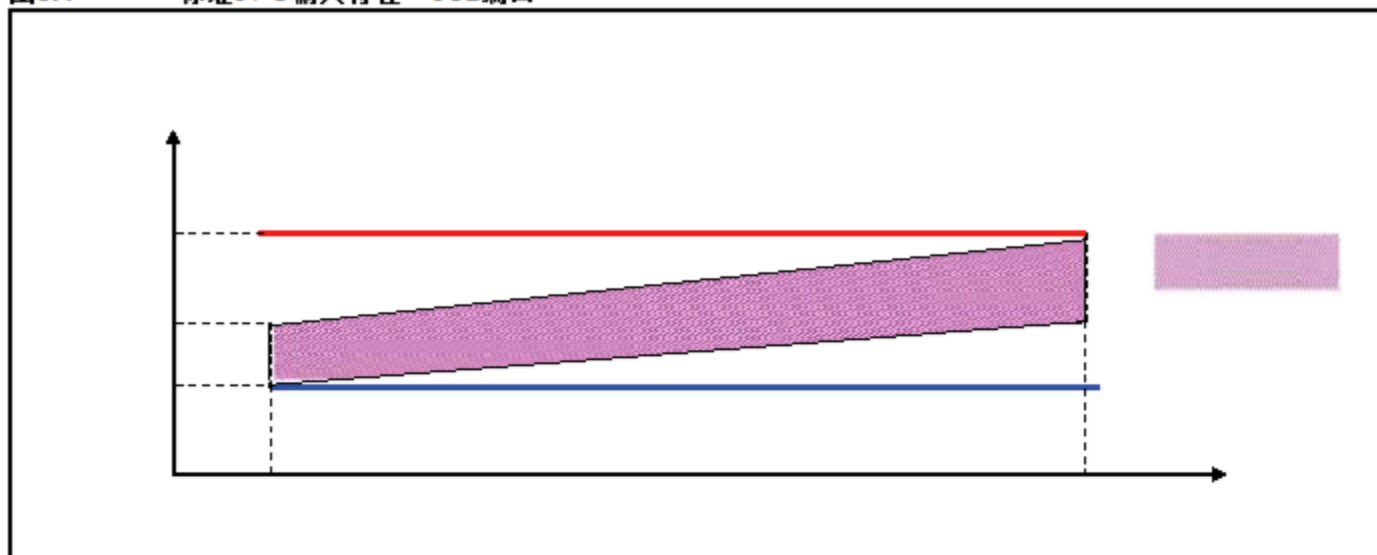


图19. 标准I/O输入特性 - TTL端口



 *lxmall*
万联芯城
www.wlxmall.com

图20. 5 V容差I / O输入特性 - CMOS端口

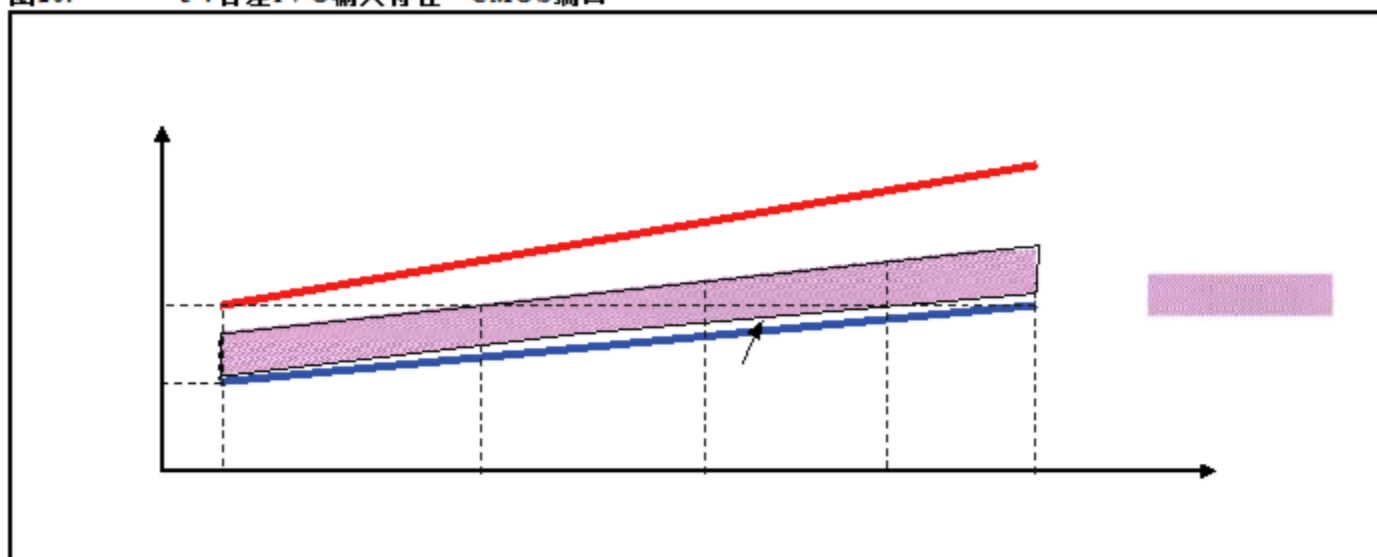
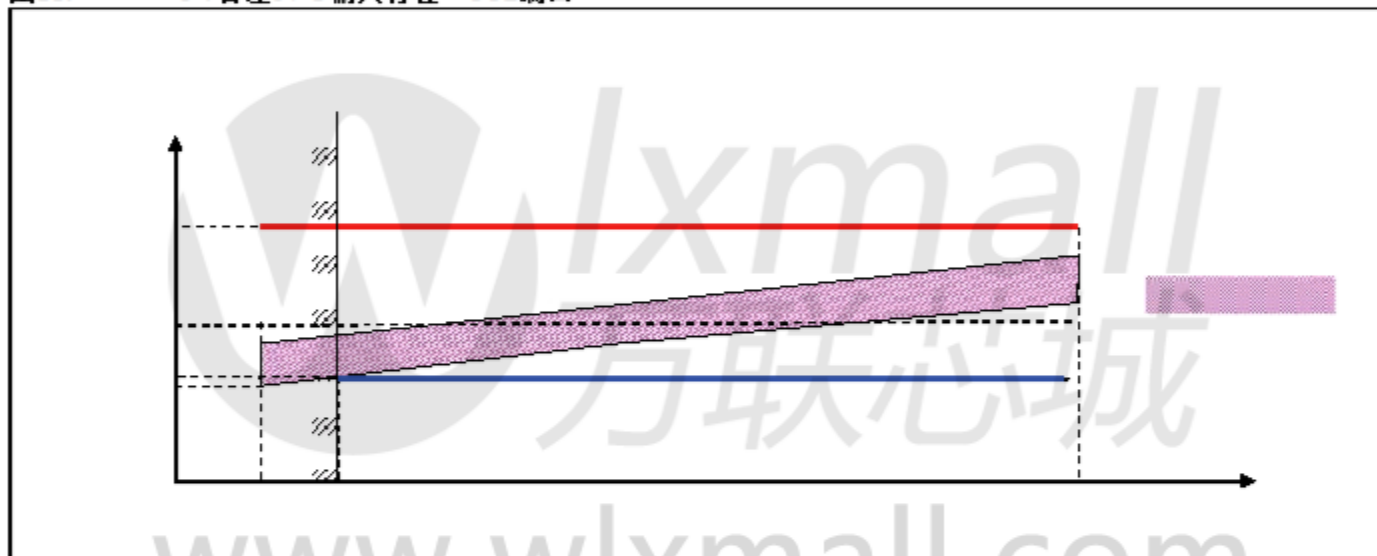


图21. 5 V容差I / O输入特性 - TTL端口



输出驱动电流

GPIO（通用输入/输出）可以吸收或输出高达 $\pm 8\text{ mA}$ ，并可以吸收或吸收电源高达 $\pm 20\text{ mA}$ （具有轻松的 V_{OL}/V_{OH} ）。

在用户应用中，必须限制可驱动电流的I/O引脚数

尊重第5.2节规定的绝对最大额定值：

- 由VDD上的所有I/O提供的电流总和 加上最大运行来自VDD的MCU的消耗 不能超过绝对最大额定值 I_{VDD} （见表7）。
- VSS上的所有I/O的电流 和最大运行的总和 VSS上的MCU的消耗 不能超过绝对最大额定值 I_{VSS} （见表7）。

输出电压电平

除非另有说明，表37中给出的参数来自测试
在环境温度和VDD电源条件下进行总结
表9.所有I/O都符合CMOS和TTL标准。

表37. 输出电压特性

符号	参数	条件	敏	马克斯单元
$V_{OL}(1)$	为I/O引脚输出低电平电压 当8针同时沉没时	TTL端口 $I_{IO} = +8\text{ mA}$ $2.7\text{ V} < V_{DD} < 3.6\text{ V}$		V
$V_{OH}(2)$	为I/O引脚输出高电平电压 当8个引脚同时供电时		$V_{DD} - 0.4$	
$V_{OL}(1)$	为I/O引脚输出低电平电压 当8针同时沉没时	CMOS端口 $I_{IO} = +8\text{ mA}$ $2.7\text{ V} < V_{DD} < 3.6\text{ V}$		V
$V_{OH}(2)$	为I/O引脚输出高电平电压 当8个引脚同时供电时		2.4	
$V_{OL}(1)$	为I/O引脚输出低电平电压 当8针同时沉没时	$I_{IO} = +20\text{ mA}$ $2.7\text{ V} < V_{DD} < 3.6\text{ V}$		V
$V_{OH}(2)$	为I/O引脚输出高电平电压 当8个引脚同时供电时		$V_{DD} - 1.3$	
$V_{OL}(1)$	为I/O引脚输出低电平电压 当8针同时沉没时	$I_{IO} = +6\text{ mA}$ $2\text{ V} < V_{DD} < 2.7\text{ V}$		V
$V_{OH}(2)$	为I/O引脚输出高电平电压 当8个引脚同时供电时		$V_{DD} - 0.4$	

- 装置中的 I_{IO} 电流必须始终遵守表7中规定的绝对最大额定值 I_{IO} （I/O端口和控制引脚）的总和 不得超过 I_{VSS} 。
- 由设备提供的 I_{IO} 电流必须始终遵守规定的绝对最大额定值 表7和 I_{IO} （I/O端口和控制引脚）的总和 不得超过 I_{VDD} 。
- 基于特征数据，未在生产中测试。

输入/输出交流特性

输入/输出AC特性的定义和值如图22和图23所示
表38.

除非另有说明，表38中给出的参数来自测试
在环境温度和V_{DD}电源条件下进行 总结
在表9中.

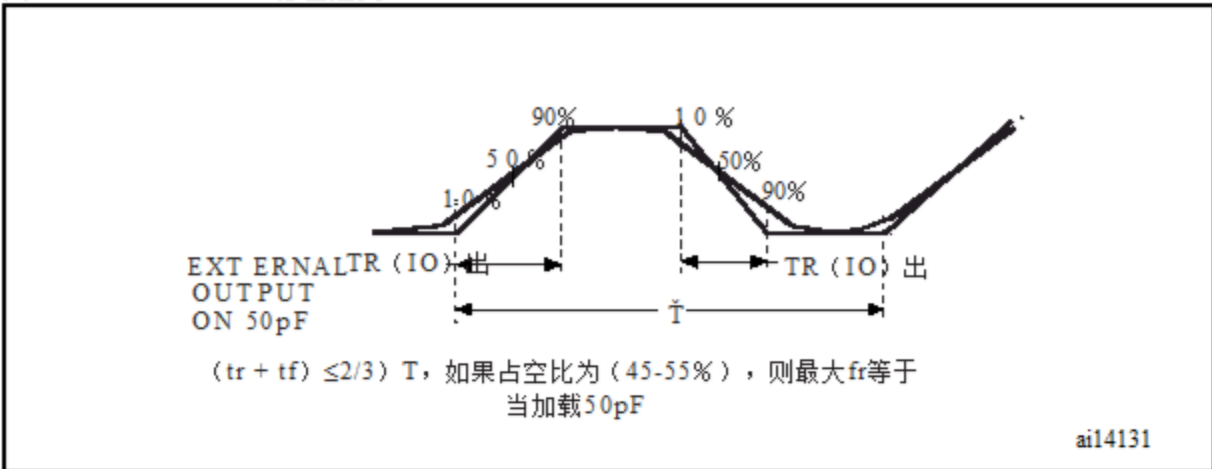
表38. I / O交流特性 (1)

MODEx [1: 0] 位值 (1)	符号	参数	条件	敏	马克	单元
10	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V		2	兆赫
	t _f (IO) _{out}	输出高到低 水平下降时间	C _L = 50pF, V _{DD} = 2V至3.6V		125 (3)	NS
	t (IO) _{out}	输出低到高 上升时间			125 (3)	
01	f _{max} (IO) _{out}	最大频率 (2)	C _L = 50pF, V _{DD} = 2V至3.6V		10	兆赫
	t _f (IO) _{out}	输出高到低 水平下降时间	C _L = 50pF, V _{DD} = 2V至3.6V		25 (3)	NS
	t (IO) _{out}	输出低到高 上升时间			25 (3)	
11	F _{max} (IO) _{out}	最大频率 (2)	C _L = 30pF, V _{DD} = 2.7V至3.6V		50	兆赫
			C _L = 50pF, V _{DD} = 2.7V至3.6V		三十	兆赫
			C _L = 50pF, V _{DD} = 2V至2.7V		20	兆赫
	t _f (IO) _{out}	输出高到低 水平下降时间	C _L = 30pF, V _{DD} = 2.7V至3.6V		5 (3)	NS
			C _L = 50pF, V _{DD} = 2.7V至3.6V		8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V		12 (3)	
	t (IO) _{out}	输出低到高 上升时间	C _L = 30pF, V _{DD} = 2.7V至3.6V		5 (3)	
			C _L = 50pF, V _{DD} = 2.7V至3.6V		8 (3)	
			C _L = 50pF, V _{DD} = 2V至2.7V		12 (3)	
- t _{EXTI} pw		脉冲宽度 外部信号 由EXTI检测 调节器		10		NS

1. 使用MODEx [1: 0]位配置I / O速度.请参阅STM32F10xxx参考手册
GPIO端口配置寄存器说明.
2. 最大频率在图22中定义.
3. 保证设计，未经生产测试.



图22. I / O AC特性定义



5.3.14 NRST引脚特性

NRST引脚输入驱动器使用CMOS技术.它连接到永久上拉电阻R_{PU}（见表36）。

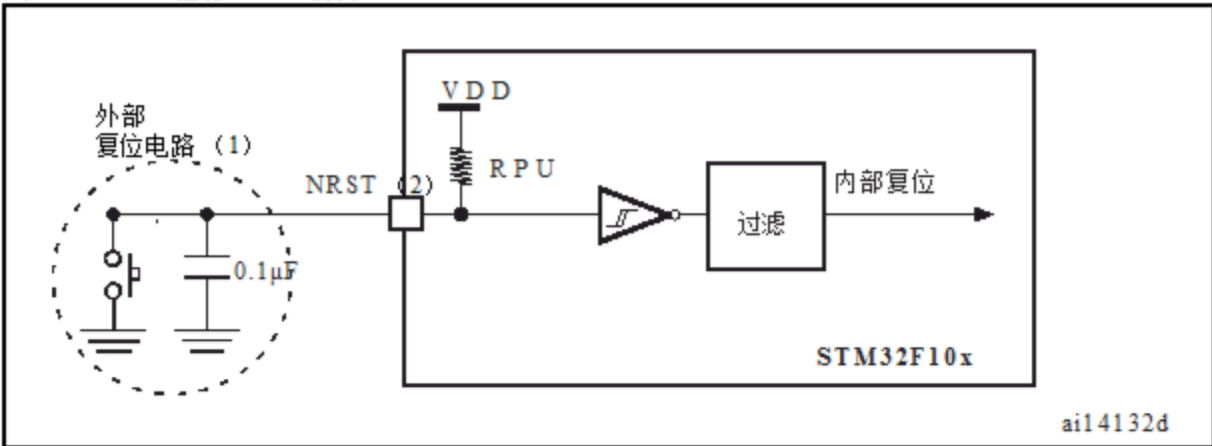
除非另有说明，表39中给出的参数来自测试在环境温度和V_{DD}电源条件下进行 总结在表9中。

表39. NRST引脚特性

符号	参数	条件	敏	典型	马克斯	单元
V _{IL} (NRST)	NRST输入低电平电压		-0.5		0.8	V
V _{IH} (NRST)	NRST输入高电平电压		2		V _{DD} +0.5	
V _{HS} (NRST)	NRST施密特触发电压 滞后			200		毫伏
R _{PU}	弱上拉等效电阻 (2)	V _{IN} = V _{SS}	三十	40	50	kΩ
V _F (NRST)	NRST输入滤波脉冲				100	NS
V _{NF} (NRST)	NRST输入未滤波脉冲	V _{DD} > 2.7 V	300			NS

1. 保证设计，未经生产测试。
2. 上拉设计具有与可切换PMOS串联的真实电阻.这个PMOS贡献对串联电阻必须最小（~10%订单）

图23. 推荐NRST引脚 保护



2. 复位网络保护器件免受寄生复位。
3. 用户必须确保NRST引脚上的电平可以低于指定的V_{IL} (NRST) 最大电平表39.否则，设备将不会考虑复位。

5.3.15 TIM定时器特性

表40中给出的参数通过设计来保证。

有关输入/输出的详细信息，请参见第5.3.12节：I/O电流注入特性
交替功能特性（输出比较，输入捕捉，外部时钟，PWM
输出）。

表40. TIMx (1) 特征

符号	参数	条件	敏	马克斯	单元
t (TIM)	计时器分辨率时间		1		t TIMxCLK
		f TIMxCLK = 72 MHz	13.9		NS
f EXT	定时器外部时钟 CH1到CH4的频率		0	f TIMxCLK / 2	兆赫
		f TIMxCLK = 72 MHz	0 3 6		兆赫
Res TIM	定时器分辨率			16	位
t 计数器	16位计数器时钟周期 当内部时钟是 选		1	65536	t TIMxCLK
		f TIMxCLK = 72 MHz	0.0139	910	微秒
t MAX_COUNT	最大可能数			65536×65536	t TIMxCLK
		f TIMxCLK = 72 MHz		59.6	小号

1. TIMx用作通用术语，用于指TIM1，TIM2，TIM3，TIM4和TIM5定时器。

5.3.16 通讯接口

2.6 I2C接口特性

除非另有说明，表41中给出的参数来自测试
在环境温度下执行，fPCLK1 频率和VDD 电源电压
条件总结在表9中。

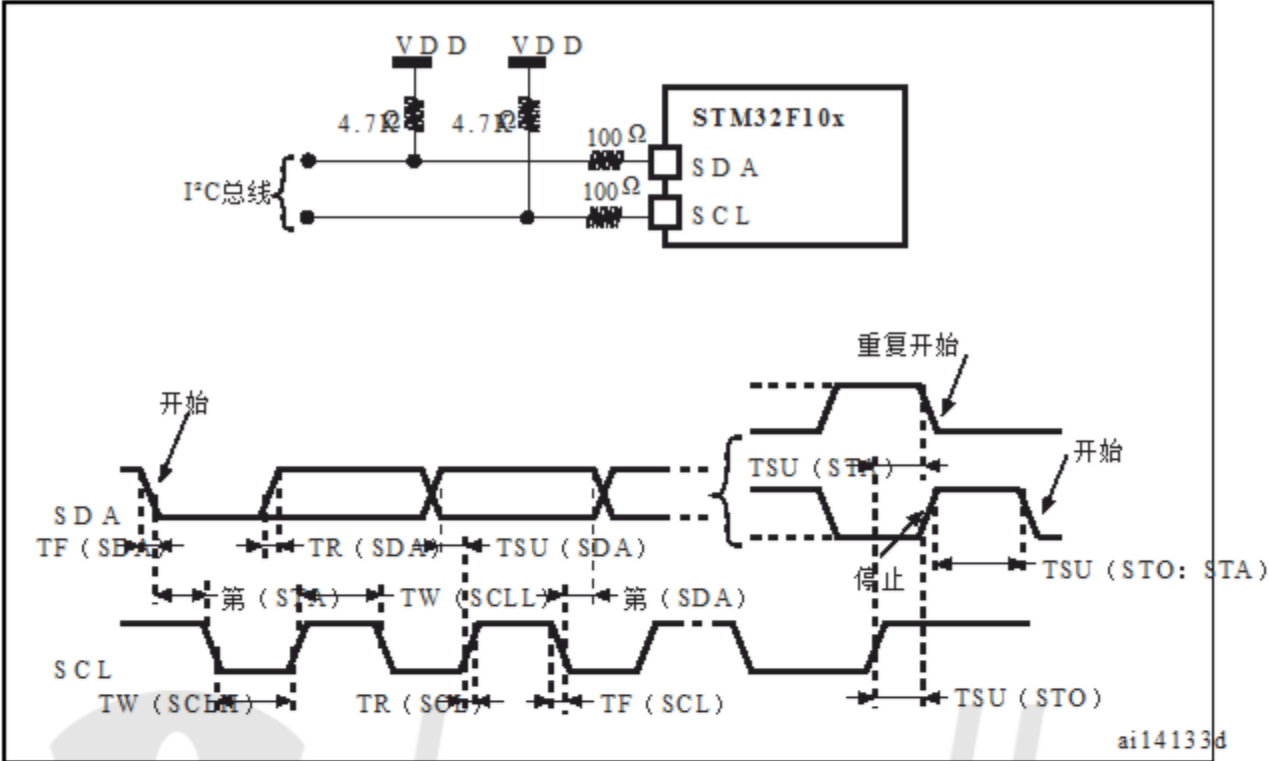
STM32F105xx和STM32F107xx I2C接口满足要求
标准我 I2C通信协议具有以下限制：I/O引脚SDA和
SCL被映射到不是“真实的”开放性漏洞.当配置为漏极开路，PMOS
连接在I/O引脚和VDD之间 是禁用的，但仍然存在。
我 I2C特性如表41所示.另请参见第5.3.12节：I/O电流
注入特性更详细的输入/输出交替功能特性
(SDA和SCL)。

表 41. I2C特征

符号	参数	标准模式I2C (1)		快速模式I2C (1) (2)		单元
		敏	马克斯	敏	马克斯	
t w (SCL)	SCL时钟低电平	4.7		1.3		微秒
t w (SCLH)	SCL时钟高电平	4		0.6		
t su (SDA)	SDA设置时间	250		100		NS
t (SDA)	SDA数据保持时间	0 (3)		0 (4)	900 (3)	
t (SDA) t (SCL)	SDA和SCL上升时间		1000	20 + 0.1Cb	300	
t f (SDA) t f (SCL)	SDA和SCL下降时间		300		300	
t h (STA)	启动条件保持时间	4		0.6		微秒
t su (STA)	重复启动条件 设置时间	4.7		0.6		
t su (STO)	停止条件设置时间	4		0.6		微秒
t w (STO: ST4)	停止开始条件时间 (巴士免费)	4.7		1.3		微秒
C b	每个总线的容性负载 线		400		400	pF的

1. 保证设计，未经生产测试。
2. fPCLK1 必须至少为2 MHz才能实现标准模式I2C频率. 它必须至少为4 MHz
实现快速模式I2C频率，为了达到 I2C速度快速模式，它必须是10 MHz的多功能
最大时钟400 kHz。
3. 如果接口没有拉低，则只能满足启动条件的最大保持时间
SCL信号周期。
4. 内部设备必须为SDA信号内部提供至少300ns的保持时间以桥接
SCL的下降沿的未定义区域。

图24. I²C总线交流波形和测量电路



1. 测量点在CMOS级别完成：0.3V_{DD}和0.7V_{DD}。

表42. SCL频率 (f_{PCLK1} = 36MHz, V_{DD} = 3.3V) (1) (2)

f _{SCL} (kHz)	I2C_CCR值
	R _P = 4.7kΩ
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

1. R_P = 外部上拉电阻, f_{SCL} = I²C速度,
2. 对于200 kHz左右的速度, 实现速度的公差为 ±5%。对于其他速度范围, 公差达到速度 ±2%。这些变化取决于外部的精度组件用于设计应用程序。

I2S - SPI接口特性

除非另有规定，否则表 43 中给出的 SPI 参数或表 44 中给出的参数为 I2S 来自环境温度下执行的测试，PCLKx 频率和 VDD 电源电压条件总结在表 9 中。

有关详细信息，请参见第 5.3.12 节：I/O 电流注入特性
输入/输出交替功能特性（NSS，SCK，MOSI，MISO for SPI 和 WS，CK，SD 为 I2S）。

表 43. SPI 特性

符号	参数	条件	敏	马克斯	单元
f SCK 1 / t c (SCK)	SPI 时钟频率	主模式		18	兆 赫
		从模式		18	
t r (SCK) t f (SCK)	SPI 时钟上升和下降时间	电容负载：C = 30 pF		8	NS
DuCy (SCK)	SPI 从机输入时钟占空比	从模式	三十	70	%
t su (NSS)	NSS 建立时间	从模式	4 吨 PCLK		NS
t (NSS)	NSS 持有时间	从模式	2 吨 PCLK		
t w (SCKH) t w (SCKL)	SCK 高低时间	主模式，f PCLK = 36 MHz， 处方 = 4	50	60	
su (MI)	数据输入建立时间	主模式	4		
t su (SI)		从模式	五		
t (MI)	数据输入保持时间	主模式	五		
t h (SI)		从模式	五		
t (SO)	数据输出访问时间	从模式，f PCLK = 20 MHz		3 * t PCLK	
t v (SO)	数据输出有效时间	从模式（使能边沿后）		34	
t v (MO)	数据输出有效时间	主模式（使能边沿后）		8	
t (SO)	数据输出保持时间	从模式（使能边沿后）	32		
t (MO)		主模式（使能边沿后）	10		

图25. SPI时序图 - 从模式和CPHA = 0

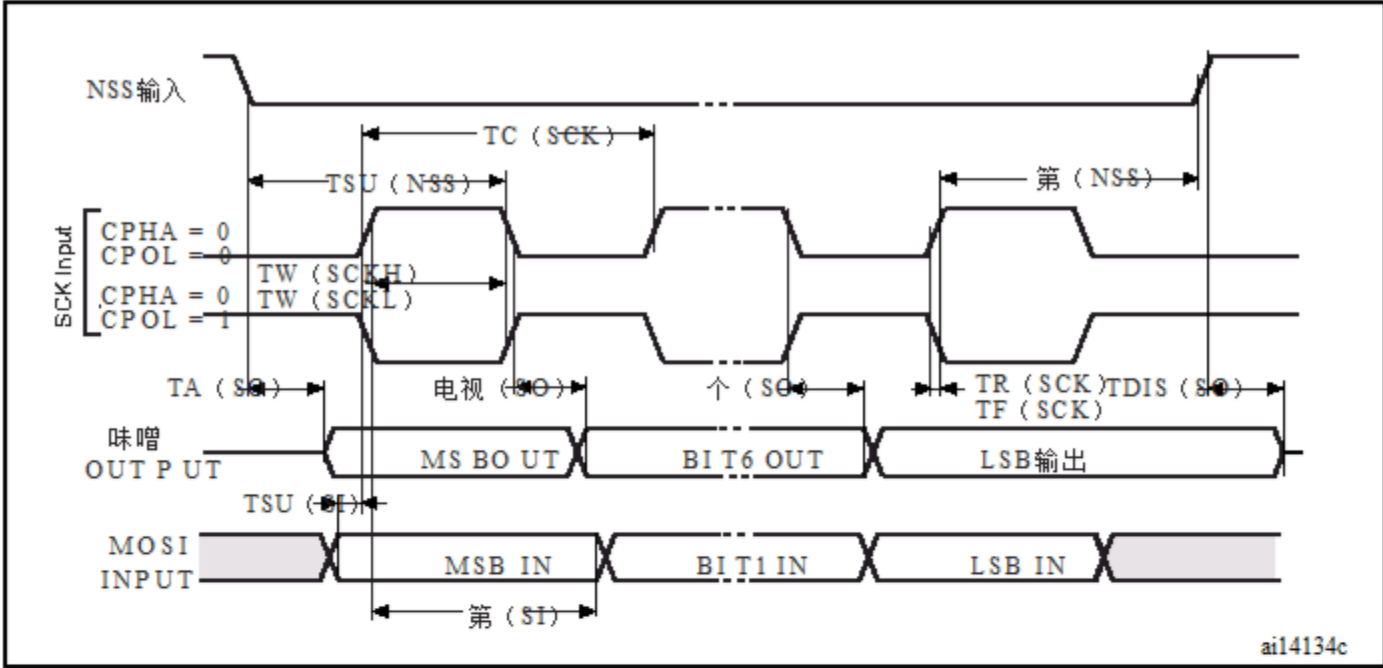
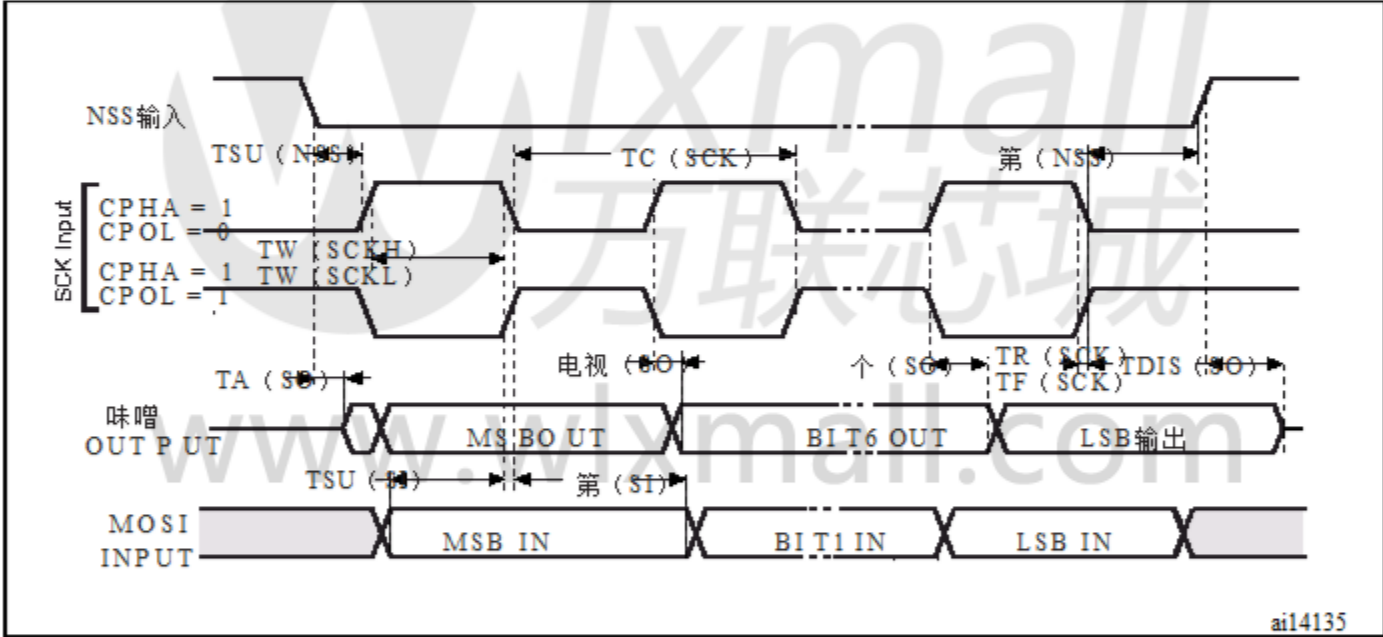
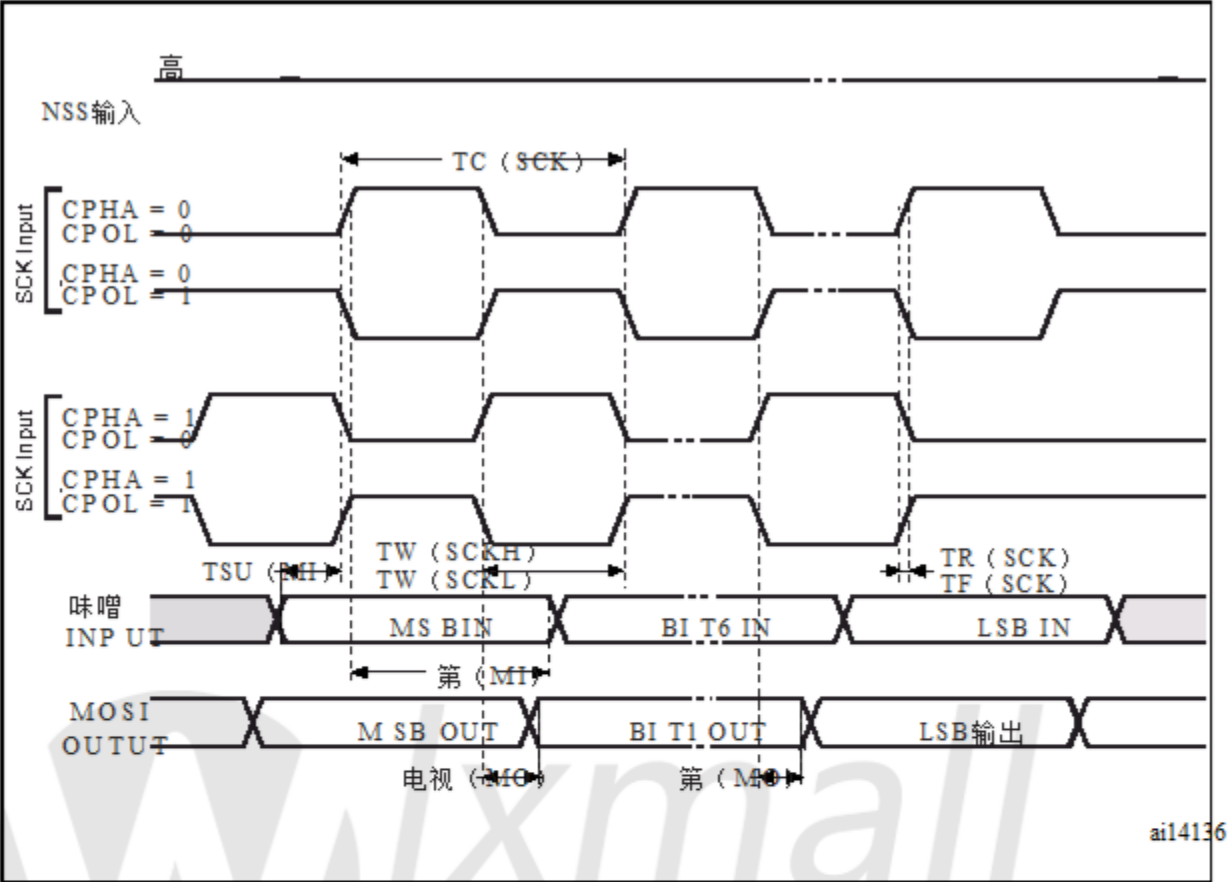


图26. SPI时序图 - 从模式和CPHA = 1 (1)



1. 测量点在CMOS级别完成：0.3V_{DD}和0.7V_{DD}。

图27. SPI时序图 - 主模式 (1)



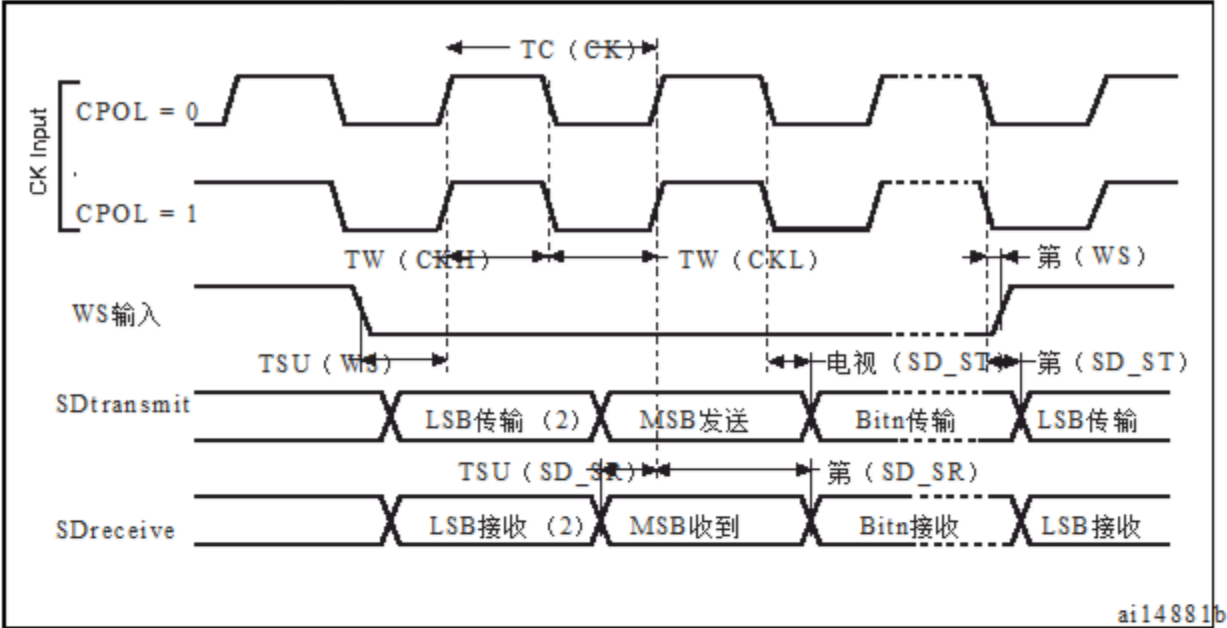
1. 测量点在 CMOS 级别完成：0.3V_{DD} 和 0.7V_{DD}。

表44. I2S特征

符号	参数	条件	敏	马克斯	单元
f _{CK} 1 / t _c (CK)	I2S时钟频率	主数据: 16位, 音频 频率 = 48K	1.52	1.54	兆赫
		奴隶	0	6.5	
t _r (CK) t _f (CK)	I2S时钟上升和下降时间	电容负载 C _L = 50 pF		8	NS
t _w (CK _H) ¹⁾	我 2 秒钟高时间	主站 PCLK = 16 MHz, 音频频率 = 48 K	317	320	
t _w (CK _L) ¹⁾	我 2 秒钟时间低		333	336	
t _v (WS ¹⁾)	WS有效时间	主模式	3		
t _h (WS ¹⁾)	WS保持时间	主模式	I2S2	0	
			I2S3	0	
t _{su} (WS ¹⁾)	WS设置时间	从模式	I2S2	4	
			I2S3	9	
t _h (WS ¹⁾)	WS保持时间	从模式	0		
DuCy (SCK)	I2S从机输入时钟负载 周期	从模式	三十	70	%
t _{su} (SD_MR ¹⁾)	数据输入建立时间	主接收机	I2S2	8	NS
			I2S3	10	
t _{su} (SD_SR ¹⁾)		从接收机	I2S2	3	
			I2S3	8	
t _h (SD_MR ¹⁾)	数据输入保持时间	主接收机	I2S2	2	
			I2S3	4	
t _h (SD_SR ¹⁾)		从接收机	I2S2	2	
			I2S3	4	
t _v (SD_ST ¹⁾)	数据输出有效时间	从发射机 (使能边沿后)	I2S2	23	
			I2S3	33	
t _h (SD_ST ¹⁾)	数据输出保持时间	从发射机 (使能边沿后)	I2S2	29	
			I2S3	27	
t _v (SD_MT ¹⁾)	数据输出有效时间	主变送器 (使能边沿后)	I2S2	五	
			I2S3	2	
t _h (SD_MT ¹⁾)	数据输出保持时间	主变送器 (使能边沿后)	I2S2	11	
			I2S3	4	

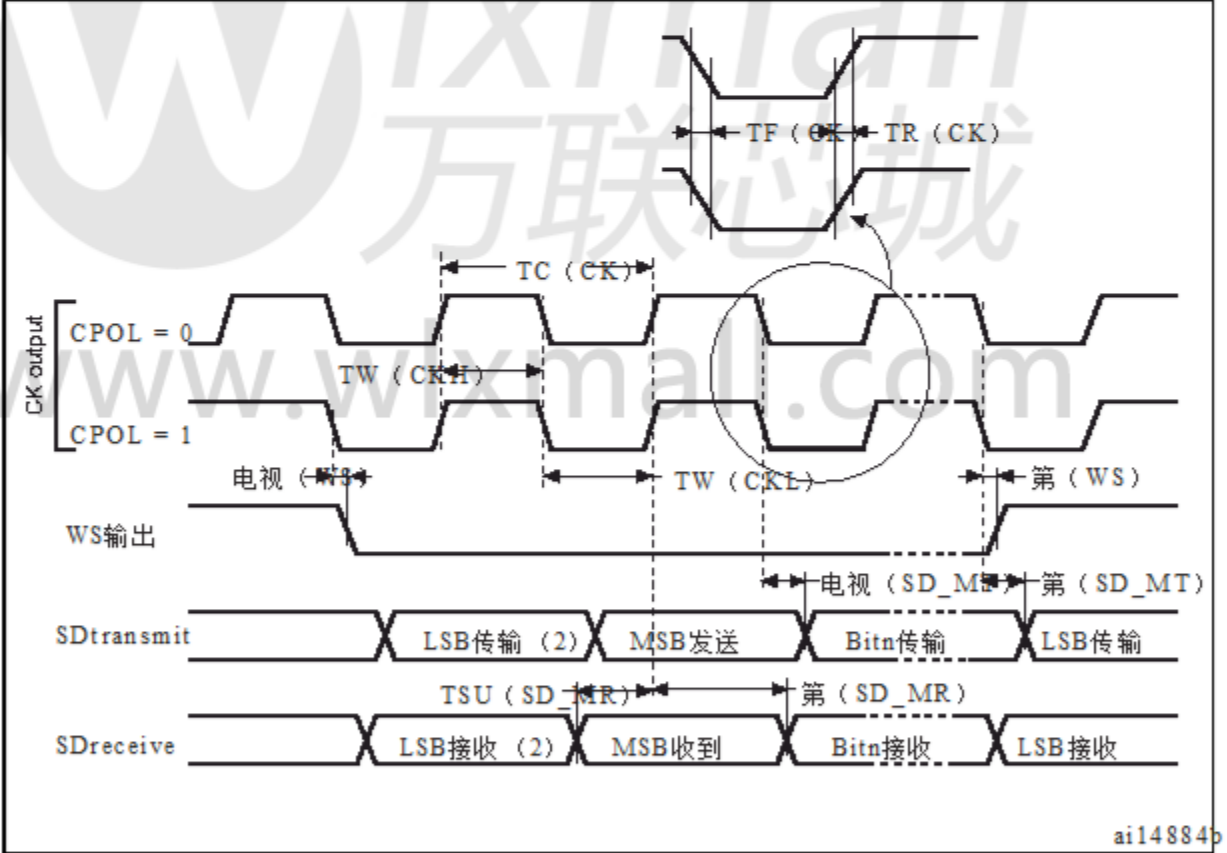
1. 基于设计模拟和/或表征结果, 未在生产中测试.

图28. I2S从机时序图 (Philips协议) (1)



1. 测量点在CMOS级别完成: $0.3 \times V_{DD}$ 和 $0.7 \times V_{DD}$.
2. LSB发送/接收先前发送的字节.在第一个之前不发送LSB发送/接收字节.

图29. I2S主时序图 (Philips协议) (1)



1. 基于表征, 未在生产中测试.
2. LSB发送/接收先前发送的字节.在第一个之前不发送LSB发送/接收字节.

USB OTG FS特性

USB OTG接口通过USB-IF认证（全速）。

表45. USB OTG FS启动时间

符号	参数	马克斯	单元
$t_{STARTUP}^{(1)}$	USB OTG FS收发器启动时间	1	微秒

1. 保证设计，未经生产测试。

表46. USB OTG FS直流电气特性

符号	参数	条件	阈. (1)	典型	最大 (1)	单位
输入 水平	V_{DD}	USB OTG FS操作电压	3.0 (2)		3.6	V
	$V_{DI}^{(3)}$	差分输入灵敏度	我 (USBDP, USBDM) 0.2			
	$V_{CM}^{(3)}$	差分共模范围	包括 V_{DI} 范围	0.8	2.5	V
	$V_{SE}^{(3)}$	单端接收机阈		1.3	2.0	
产里 水平	V_{OL}	静态输出电平低	R_L 为 1.5 k Ω ~3.6 V (4)		0.3	V
	V_{OH}	静态输出电平高	R_L 为 15 k Ω 至 V_{SS} (4)	2.8	3.6	
R_{PD}	下拉电阻 PA11, PA12	$V_{IN} = V_{DD}$	17	21	24	k Ω
	下拉电阻 PA 9		0.65	1.1	2.0	
R_{PU}	PA12上拉电阻	$V_{IN} = V_{SS}$	1.5	1.8	2.1	
	PA9上拉电阻	$V_{IN} = V_{SS}$	0.25	0.37	0.55	

1. 所有电压都是从局部地电位测量的。
2. STM32F105xx和STM32F107xx USB OTG FS功能确保低至2.7 V，但不能满足要求 USB OTG FS电气特性在2.7到3.0 V V_{DD} 电压范围内下降。
3. 保证设计，未经生产测试。
4. R_L 是连接在USB OTG FS驱动程序上的负载

图30. USB OTG FS定时：定义数据信号的上升和下降时间

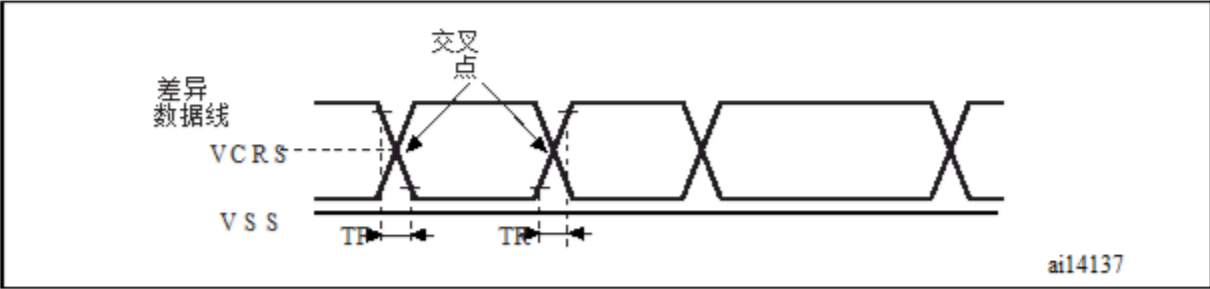


表47. USB OTG FS电气特性 (1)

司机特点					
符号	参数	条件	敏	马克斯	单元
t_{R}	上升时间 (2)	$C_L = 50 \text{ pF}$	4 2 0		NS
t_{f}	下降时间 (2)	$C_L = 50 \text{ pF}$	4	20	NS
t_{rfm}	上升/下降时间匹配	$t_{\text{r}}/t_{\text{f}}$	90	110	%
V_{CRS}	输出信号交叉电压		1.3	2.0	V

1. 保证设计，未经生产测试.
2. 测量数据信号的10% 到90% .有关更多详细信息，请参阅USB规格 - 第7章 (2.0版) .

以太网特性

表48显示了以太网工作电压.

表48. 以太网直流电气特性

符号		参数	阈. (1)	最大 (1)	单元
输入电平	V_{DD}	以太网工作电压	3.0	3.6	V

1. 所有电压都是从局部地电位测量的.

表49列出了SMI (站管理接口) 的以太网MAC信号，图31显示了相应的时序图.

图31. 以太网SMI时序图

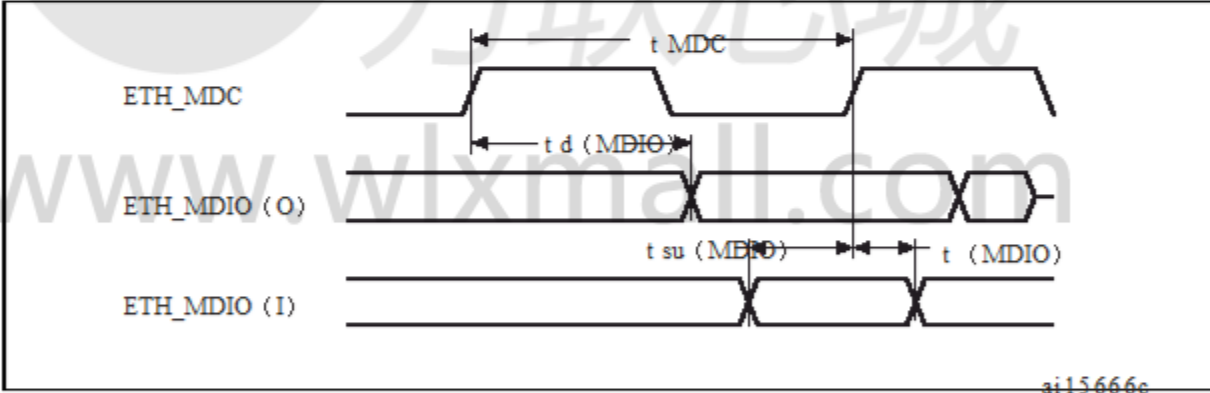


表49. 动态特性: SMI的以太网MAC信号

符号	评分	敏	典型	马克斯	单元
t_{MDC}	MDC周期时间 (1.71MHz, AHB = 72MHz)	583	583.5	584	NS
$t_{\text{d}} (\text{MDIO})$	MDIO写数据有效时间	13.5	14.5	15.5	NS
$t_{\text{su}} (\text{MDIO})$	读取数据设置时间	35			NS
$t_{\text{h}} (\text{MDIO})$	读取数据保持时间	0			NS

表50给出了RMII的以太网MAC信号列表，图32显示了相应的时序图.

图32. 以太网RMII时序图

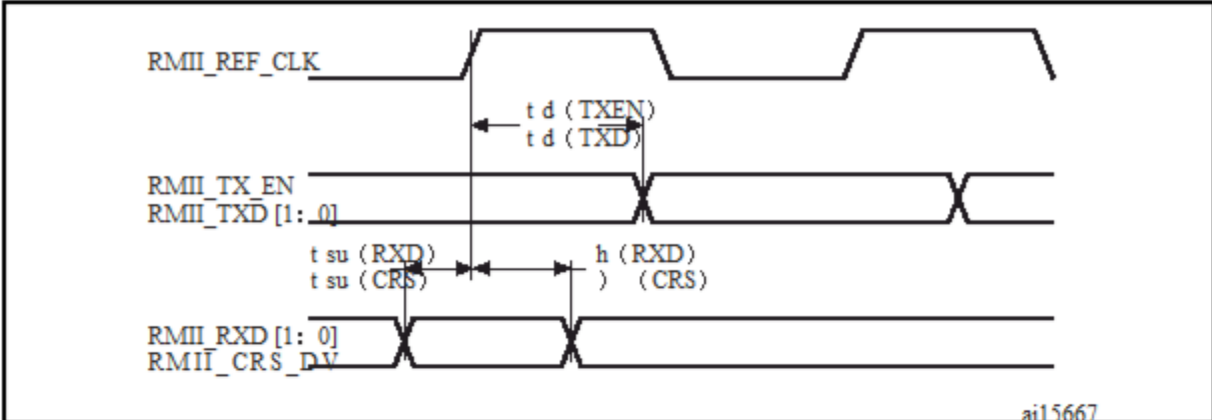


表50. 动态特性：RMII的以太网MAC信号

符号	评分	敏	典型	马克斯	单元
$t_{su} (RXD)$	接收数据建立时间	4			NS
$h (RXD)$	接收数据保持时间	2			NS
$t_{su} (DV)$	载波侦听设置时间	4			NS
$h (DV)$	载波保持时间	2			NS
$t_d (TXEN)$	发送使能有效延迟时间	8	10	16	NS
$t_d (TXD)$	发送数据有效的延迟时间	7	10	16	NS

表51给出了MII的以太网MAC信号列表，图32显示了相应的时序图。

图33. 以太网MII时序图

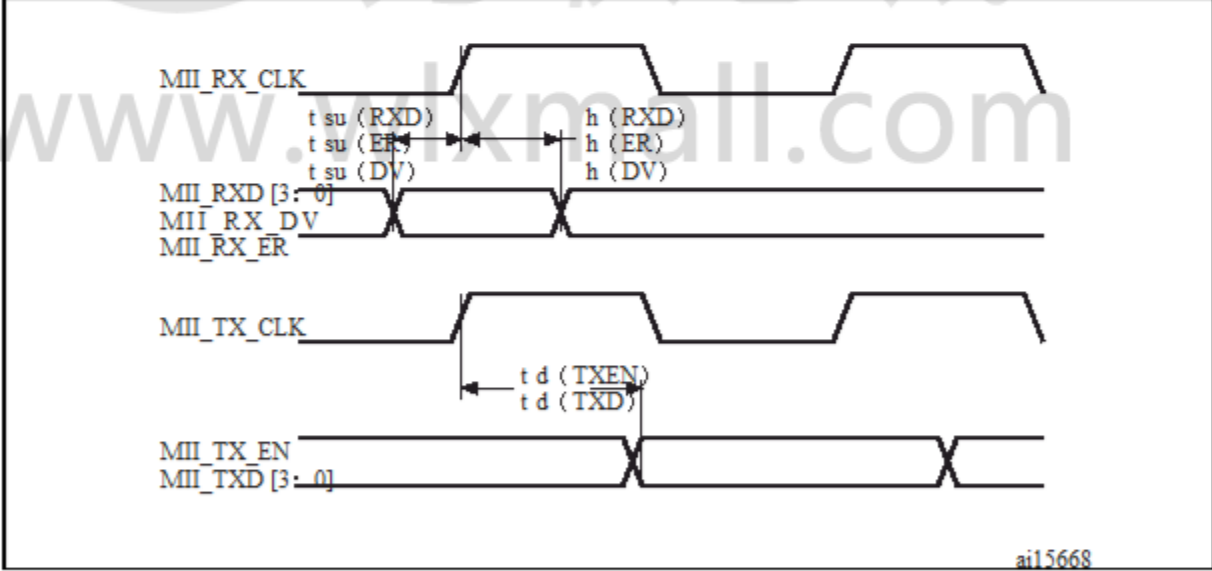


表51. 动态特性：MII的以太网MAC信号

符号	评分	敏	典型	马克斯	单元
t _{su} (RXD)	接收数据建立时间	10			NS
h (RXD)	接收数据保持时间	10			NS
t _{su} (DV)	数据有效的设置时间	10			NS
h (DV)	数据有效保留时间	10			NS
t _{su} (ER)	设置时间错误	10			NS
h (ER)	保留时间错误	10			NS
t _d (TXEN)	发送使能有效延迟时间	14	16	18	NS
t _d (TXD)	发送数据有效的延迟时间	13	16	20	NS

CAN（控制器局域网）接口

有关详细信息，请参见第5.3.12节：I/O电流注入特性
输入/输出交替功能特性（CANTX和CANRX）。

5.3.17 12位ADC特性

除非另有说明，表52中给出的参数来自测试
在环境温度下执行，f_{PCLK2} 频率和V_{DDA} 电源电压
条件总结在表9中。

注意： 建议每次上电后进行校准。

表52. ADC特性

符号	参数	条件	敏	典型	马克斯	单元
V _{DDA}	电源		2.4		3.6	V
V _{REF+}	正参考电压		2.4		V _{DDA}	V
I _{VREF}	V _{REF} 输入引脚上的电流			160 (1)	220 (1)	μA
f _{ADC}	ADC时钟频率		0.6		14	兆赫
f _S (2)	采样率		0.05		1	兆赫
f _{TRIG} (2)	外部触发频率	f _{ADC} = 14 MHz			823	千赫
					17	1 / f _{ADC}
V _{AIN}	转换电压范围 (3)		0 (V _{SSA} 或V _{REF-} 绑在地上)		V _{REF+}	V
R _{IN} (2)	外部输入阻抗	见公式1和表53详见			50	kΩ
R _{ADC} (2)	采样开关电阻				1	kΩ
C _{ADC} (2)	内部采样和保持电容				8	pF的
t _{CAL} (2)	校准时间	f _{ADC} = 14 MHz	5.9			微秒
			83			1 / f _{ADC}



表52. ADC特性 (续)

符号	参数	条件	敏	典型	马克斯	单元
t _{lat} ⁽²⁾	注入触发转换延迟	f _{ADC} = 14 MHz			0.214	微秒
					3 (4)	1 / f _{ADC}
t _{latr} ⁽²⁾	定期触发转换延迟	f _{ADC} = 14 MHz			0.143	微秒
					2 (4)	1 / f _{ADC}
t _S ⁽²⁾	抽样时间	f _{ADC} = 14 MHz	0.107		17.1	微秒
			1.5		239.5	1 / f _{ADC}
t _{STAB} ⁽²⁾	上电时间		0	0	1	微秒
t _{CONV} ⁽²⁾	总转换时间 (包括 采样时间)	f _{ADC} = 14 MHz	1		18	微秒
			14~252 (t _s 为采样+12.5为 逐次逼近)			1 / f _{ADC}

1. 基于表征, 未在生产中测试.
2. 保证设计, 未经生产测试.
3. V_{REF} + 内部连接到V_{DDA}, V_{REF}- 内部连接到V_{SSA}.
4. 对于外部触发器, 必须在表52中指定的延迟中加上 1 / f_{PCLK2} 的延迟.

公式1: R_{AIN max}公式

$$R_{AIN} \leq \frac{\dot{T}_{\text{小号}}}{F_{ADC} \times C_{ADC} \times \ln 2 \times N^2} - R_{ADC}$$

上述公式 (等式1) 用于确定一个允许的最大外部阻抗
误差低于LSB的1/4. 这里N = 12 (从12位分辨率).

表53. R_{AIN max} for f_{ADC} = 14 MHz (1)

T (周期)	t _S (μs)	R _{AIN max} (kΩ)
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	NA
239.5	17.1	NA

1. 基于表征, 未在生产中测试.

表54. ADC精度 - 测试条件有限 (1)

符号	参数	测试条件	典型	马克斯	(2单元)
ET	总未调整错误	f PCLK2 = 56MHz , f ADC = 14 MHz, R AIN <10kΩ, V DDA = 3 V至3.6 V T A = 25°C 之后测量 ADC校准	±1.3	±2	LSB
EO	偏移误差		±1	±1.5	
例如	增益错误		±0.5	±1.5	
ED	差分线性误差		±0.7	±1	
EL	积分线性误差		±0.8	±1.5	

1. 内部校准后测量ADC直流精度值.
2. 基于表征, 未在生产中测试.

表55. ADC精度 (1) (2)

符号	参数	测试条件	典型	马克斯	(3单元)
ET	总未调整错误	f PCLK2 = 56MHz , f ADC = 14 MHz, R AIN <10kΩ, V DDA = 2.4 V至3.6 V 之后测量 ADC校准	±2	±5	LSB
EO	偏移误差		±1.5	±2.5	
例如	增益错误		±1.5	±3	
ED	差分线性误差		±1	±2	
EL	积分线性误差		±1.5	±3	

1. 内部校准后测量ADC直流精度值.
2. 在限制V DD, 频率和温度范围内 可以实现更好的性能 .
3. 基于表征, 未在生产中测试.

注意:

ADC精度 vs. 负注入电流: 在任何一个上注入负电流
应避免使用标准 (非鲁棒) 模拟输入引脚, 因为这显著降低了
在另一个模拟输入端执行转换的精度. 建议
将肖特基二极管 (引脚对地) 添加到可能注入的标准模拟引脚
负电流.
在I INJ (PIN) 和 ΣI INJ (PIN) 规定的限度内的任何正的注入电流
5.3.12节不影响ADC精度.

图34. ADC精度特性

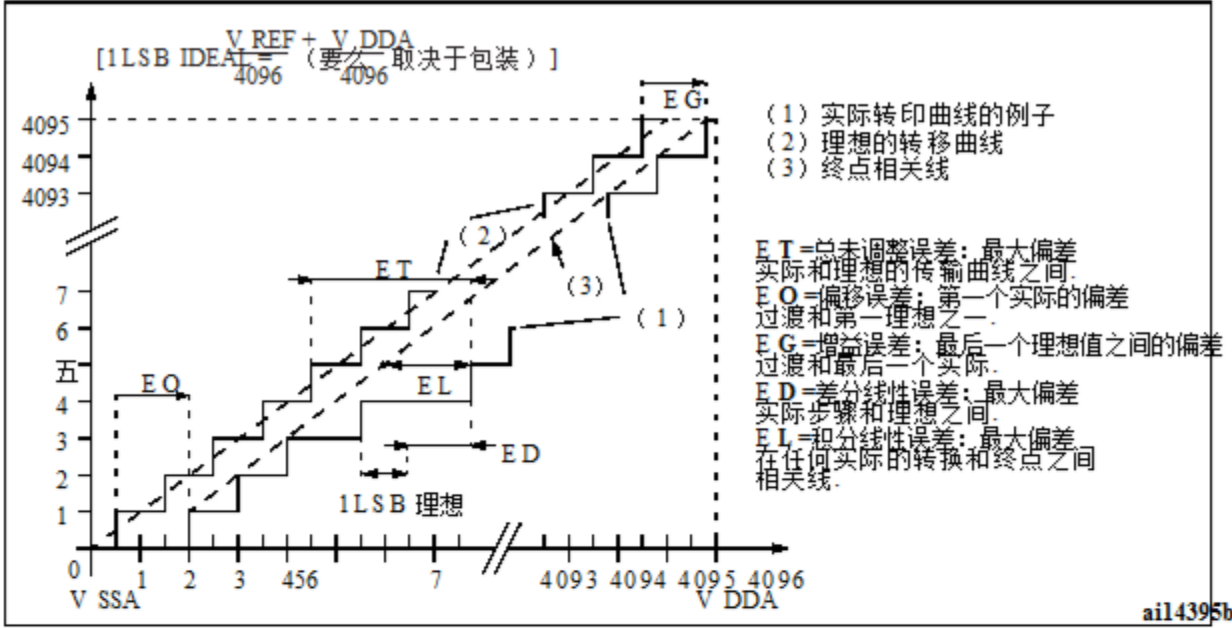
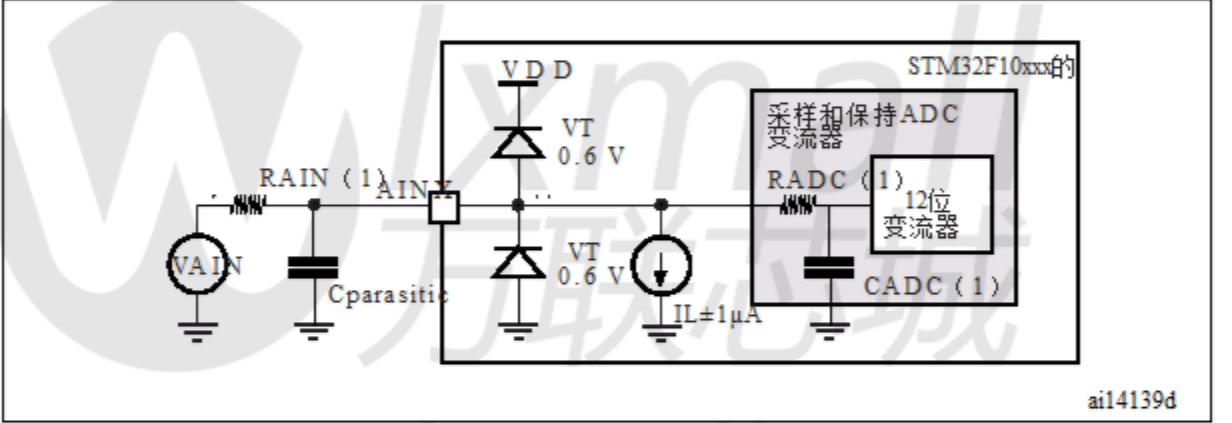


图35. 使用ADC的典型连接图



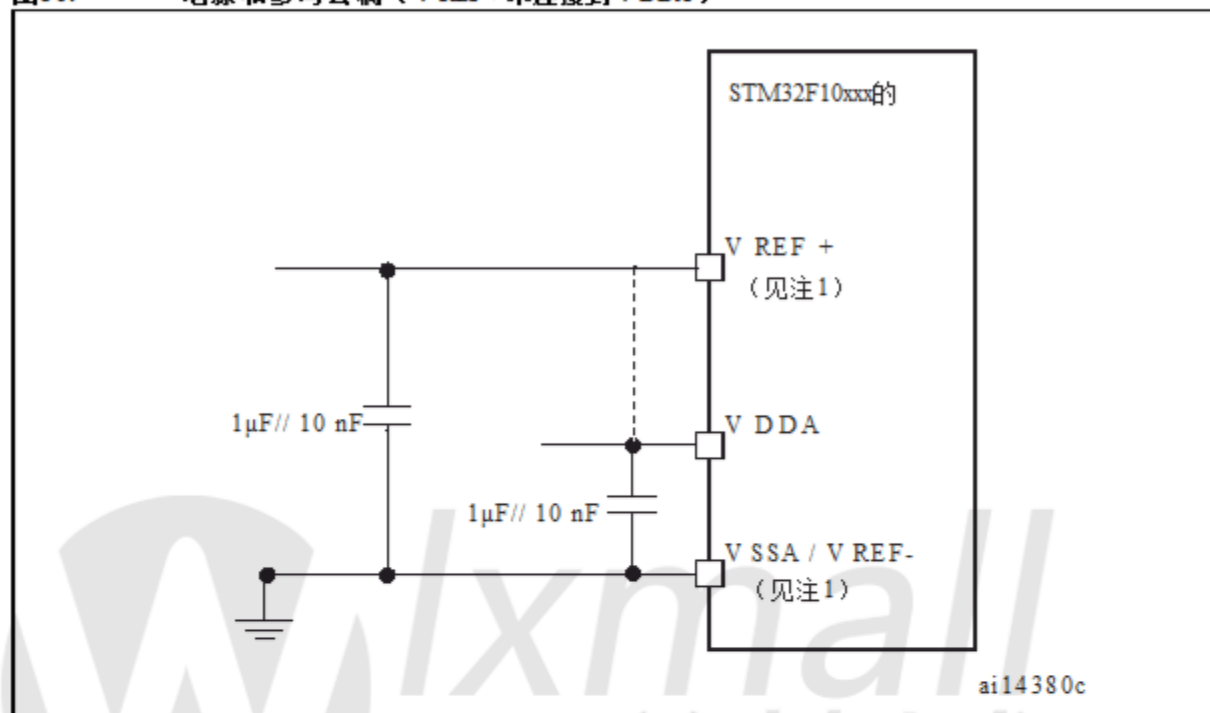
1. RAIN, RADC和CADC的值见表52.
2. C寄生代表PCB的电容(取决于焊接和PCB布局质量)加上焊盘电容(大约7 pF).高C寄生值会降低转换精度.补救这个, ADC应该减少.

一般PCB设计指南

应如图36或图37所示进行电源去耦。

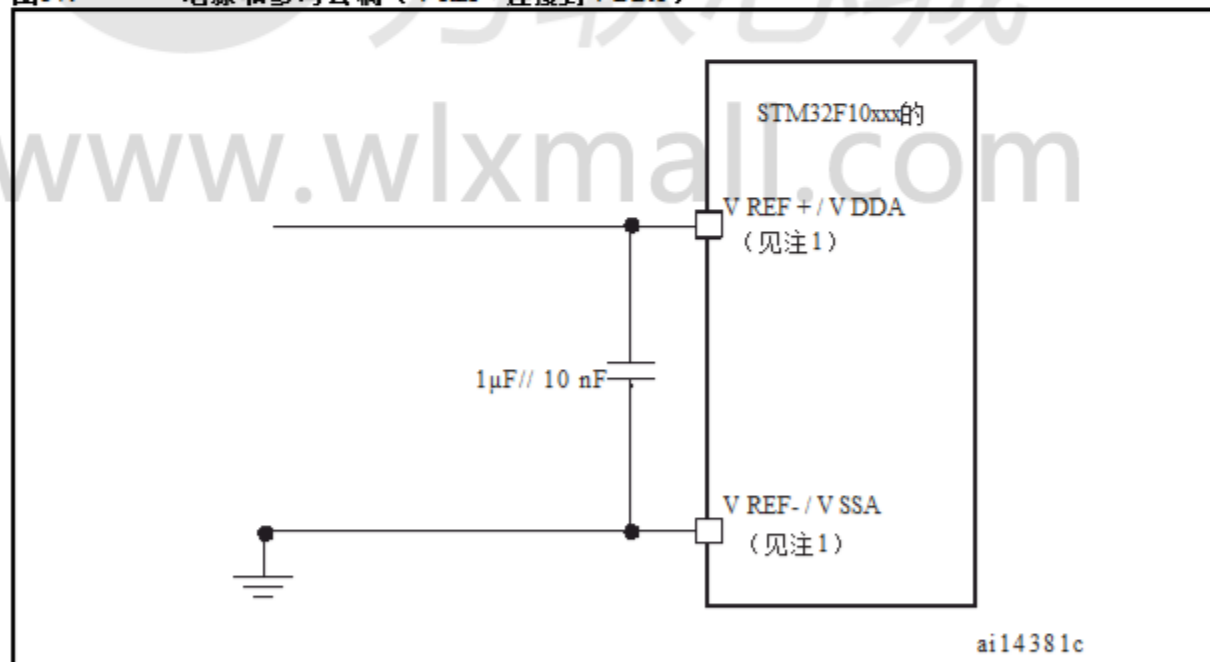
取决于 V_{REF+} 是否连接到 V_{DDA} 。10 nF电容应为陶瓷（质量好）。它们应该尽可能靠近芯片。

图36. 电源和参考去耦（ V_{REF+} 未连接到 V_{DDA} ）



1. V_{REF+} 和 V_{REF-} 输入仅在100引脚封装上可用。

图37. 电源和参考去耦（ V_{REF+} 连接到 V_{DDA} ）



1. V_{REF+} 和 V_{REF-} 输入仅在100引脚封装上可用。

5.3.18 DAC电气规格

表56. DAC特性

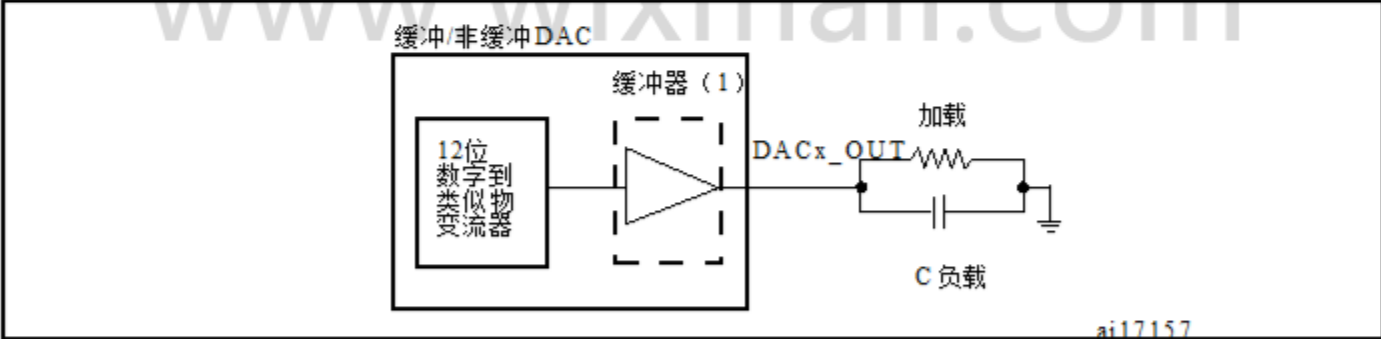
符号	参数	敏	典型	马克斯	单元	注释
V _{DDA}	模拟电源电压	2.4		3.6	V	
V _{REF+}	参考电源电压	2.4		3.6	V	V _{REF+} 必须始终低于V _{DDA}
V _{SSA}	地面	0		0	V	
加载 (1)	带缓冲器的电阻负载ON	五			k Ω	
R _O (1)	阻抗输出带缓冲器 关闭			15	k Ω	当缓冲器关闭时， 最小电阻负载 DAC_OUT和V _{SS} 具有1% 精度为1.5M Ω
C _{负载} (1)	电容负载			50	pF	最大容性负载在 DAC_OUT引脚（当缓冲器为 上）。
DAC_OUT 分 (1)	降低DAC_OUT电压 缓冲器ON	0.2			V	它给出最大输出 DAC的游览。 它对应于12位输入代码 (0x0E0) 到 (0xF1C) 在V _{REF+} = 3.6 V和 (0x155) 到 (0xEAB) at V _{REF+} = 2.4 V
DAC_OUT 最大值 (1)	DAC_OUT电压较高 缓冲器ON			V _{DDA} - 0.2	V	
DAC_OUT 分 (1)	降低DAC_OUT电压 缓冲器关闭		0.5		毫伏	它给出最大输出 DAC的游览。
DAC_OUT 最大值 (1)	DAC_OUT电压较高 缓冲器关闭			V _{REF+} - 1LSB	V	
我 _{DDVREF}	DAC直流电流消耗 处于静止模式（待机状态） 模式）			220	μ A	无负载，最差代码（0xF1C） 在V _{REF+} = 3.6V的DC 投入消费
我 _{DDA}	DAC直流电流消耗 处于静止模式（待机状态） 模式）			380	μ A	无负载时，中间代码（0x800） 在输入
				480	μ A	无负载，最差代码（0xF1C） 在V _{REF+} = 3.6V的DC 投入消费
DNL (2)	差分非线性 两者之间的差异 连续码-1LSB)			± 0.5	LSB	给定DAC在10位 组态。
				± 2	LSB	给定DAC在12位 组态。
INL (2)	积分非线性 (差异 代码的测量值 和代码i上的值 代码0之间的线 和最后一个代码1023)			± 1	LSB	给定DAC在10位 组态。
				± 4	LSB	给定DAC在12位 组态。

表56. DAC特性 (续)

符号	参数	敏	典型	马克斯	单元	注释
偏移量 (2)	偏移误差 (差异 代码测量值 (0x800) 和理想值= V _{REF} +/2)			±10	毫伏	给定DAC在12位 组态
				±3	LSB	给定DAC在10位 V _{REF} += 3.6 V
				±12	LSB	给定DAC在12位 V _{REF} += 3.6 V
获得 误差 (2)	增益错误			±0.5	%	给DAC在12bit 组态
t _{SETTLING}	结算时间 (满分): for a 10位输入代码转换 最低和最低 最高输入代码 DAC_OUT达到最终 值±1LSB		34		微秒	C _{LOAD} ≤ 50 pF, R _{LOAD} ≥ 5kΩ
更新 率 (2)	最大频率为正确 DAC_OUT更改时间 投入变化小 代码 (从代码i到i + 1LSB)			1 M S	s 的	C _{LOAD} ≤ 50 pF, R _{LOAD} ≥ 5kΩ
t _{唤醒} (2)	唤醒时间从关闭状态 (设置ENx位 DAC控制寄存器)		6.5	10	微秒	C _{LOAD} ≤ 50 pF, R _{LOAD} ≥ 5kΩ 输入代码最低和 最高可能的.
PSRR + (1)	电源抑制比 (到V _{DDA}) (静态DC 测量)		-67	-40	分贝	无R _{LOAD} , C _{LOAD} = 50 pF

1. 保证设计, 未经生产测试.
2. 通过表征保证, 未在生产中测试.

图38. 12位缓冲/非缓冲DAC



1. DAC集成了可用于降低输出阻抗并直接驱动外部负载的输出缓冲器而不使用外部运算放大器. 可以通过配置BOFFx位来绕过缓冲区DAC_CR寄存器.

5.3.19 温度传感器特性

表 57. TS特性

符号	参数	敏	典型	马克斯	单元
T (1)	V SENSE 线性度与温度		±1	±2	C
Avg_Slope (1)	平均坡度	4	4.3	4.6	毫伏/°C
V 2.5(1)	电压在25°C	1.34	1.43	1.52	V
t START(2)	启动时间	4		10	微秒
T S_temp(3)	ADC采样时间读取时 温度			17.1	微秒

- 1. 基于表征，未在生产中测试.
- 2. 保证设计，未经生产测试.
- 3. 最短采样时间可以通过多次迭代在应用中确定.



6 包装特点

6.1 包装机械数据

为了满足环保要求，ST为不同等级的这些设备提供这些设备
ECOPACK®包装，取决于其环境符合程度。ECOPACK®
规格、等级定义和产品状态可从以下网址获取：www.st.com。
ECOPACK®是ST商标。



图39. LFBGA100 - 10 x 10 mm低剖面细间距球栅阵列封装
大纲

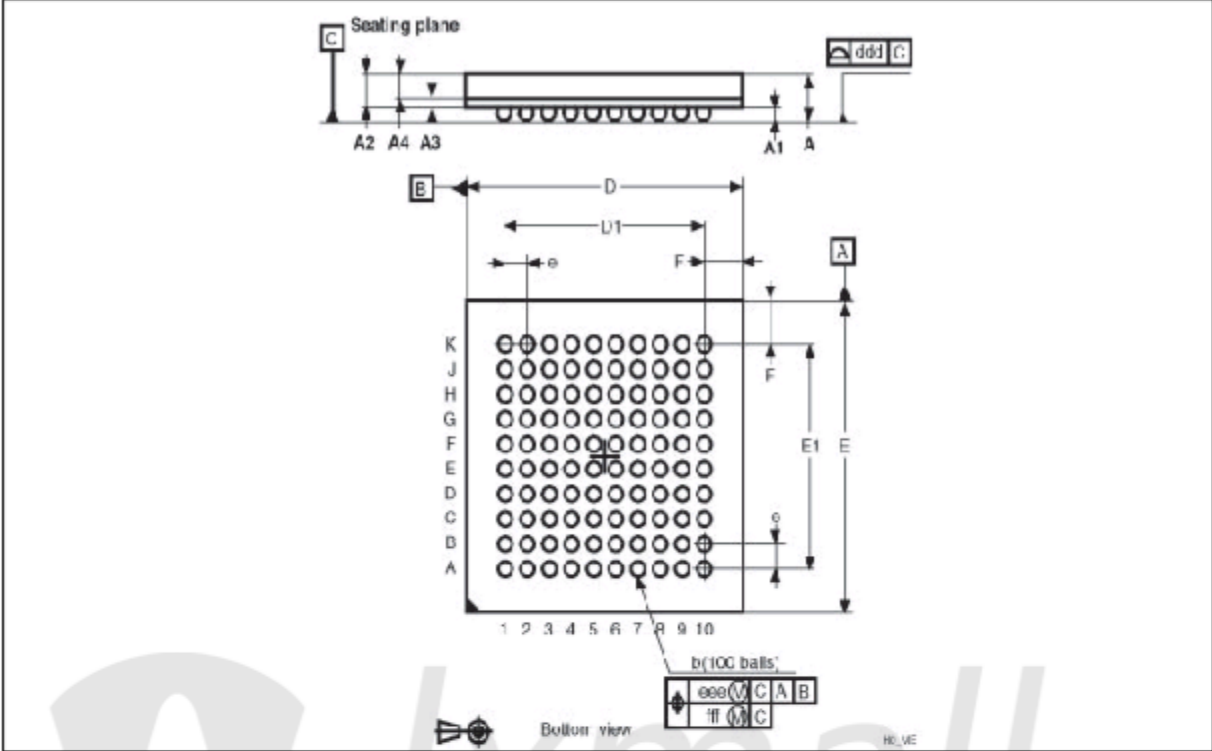


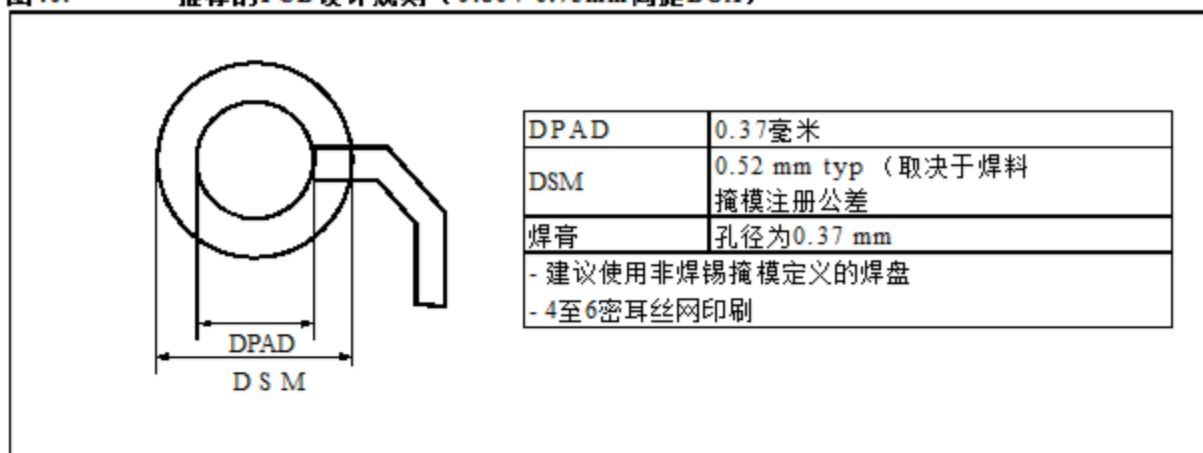
表58. LFBGA100 - 10 x 10 mm低剖面细间距球栅阵列封装
机械数据

参数	毫米			英寸 (1)		
	最小	典型	最大值	最小	典型	最大值
一个			1.700			0.0026
A1	0.270			0.0004		
A2		1.085			0.0017	
A3		0.30			0.0005	
A4			0.80			0.0012
b	0.45	0.50	0.55	0.0007	0.0008	0.0009
δ	9.85	10.00	10.15	0.0153	0.0155	0.0157
D1		7.20			0.0111	
E	9.85	10.00	10.15	0.0153	0.0155	0.0157
E1		7.20			0.0111	
E		0.80			0.0012	
F		1.40			0.0022	
DDD		0.12			0.0002	
EEE		0.15			0.0002	
FFF		0.08			0.0001	
N (球数)			100			

1. 以英寸为单位的值将从mm转换为四位小数。



图40. 推荐的PCB设计规则 (0.80 / 0.75mm间距BGA)



 **Wlxmall**
万联芯城
www.wlxmall.com

图41. LQFP100, 100引脚低调四边形
包装大纲 (1)

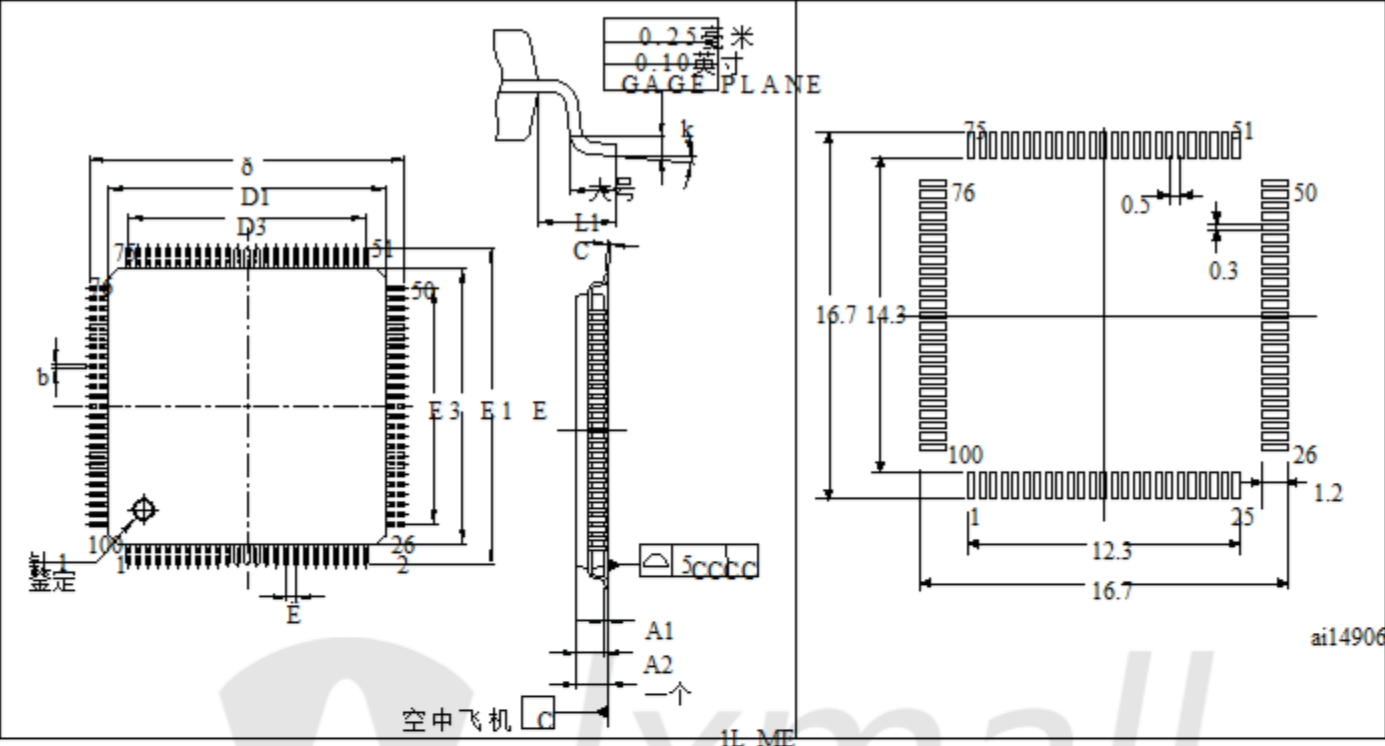
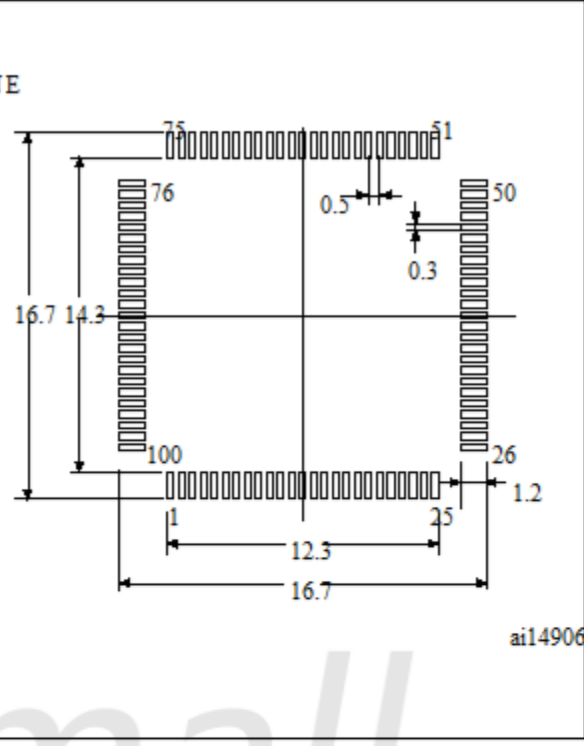


图42. 推荐足迹 (1) (2)



- 1. 绘图不按比例.
- 2. 尺寸单位为毫米.

表59. LQPF100 - 100针低调四平面封装机械数据

符号	毫米			英寸 (1)		
	典型	敏	马克斯	典型	敏	马克斯
一个			1.60			0.063
A1		0.05	0.15		0.002	0.0059
A2	1.40	1.35	1.45	0.0551	0.0531	0.0571
b	0.22	0.17	0.27	0.0087	0.0067	0.0106
C		0.09	0.20		0.0035	0.0079
δ	16.00	15.80	16.20	0.6299	0.622	0.6378
D1	14.00	13.80	14.20	0.5512	0.5433	0.5591
D3	12.00			0.4724		
E	16.00	15.80	16.20	0.6299	0.622	0.6378
E1	14.00	13.80	14.20	0.5512	0.5433	0.5591
E3	12.00			0.4724		
e 0.50				0.0197		
大号	0.60	0.45	0.75	0.0236	0.0177	0.0295
L1	1.00			0.0394		
k	3.5° 0°		7° 3.5°		0°	7°
CCC	0.08			0.0031		

- 1. 以英寸为单位的值将从mm转换为四位数.



图43. LQFP64 - 64针低调四角扁平
包装大纲 (1)

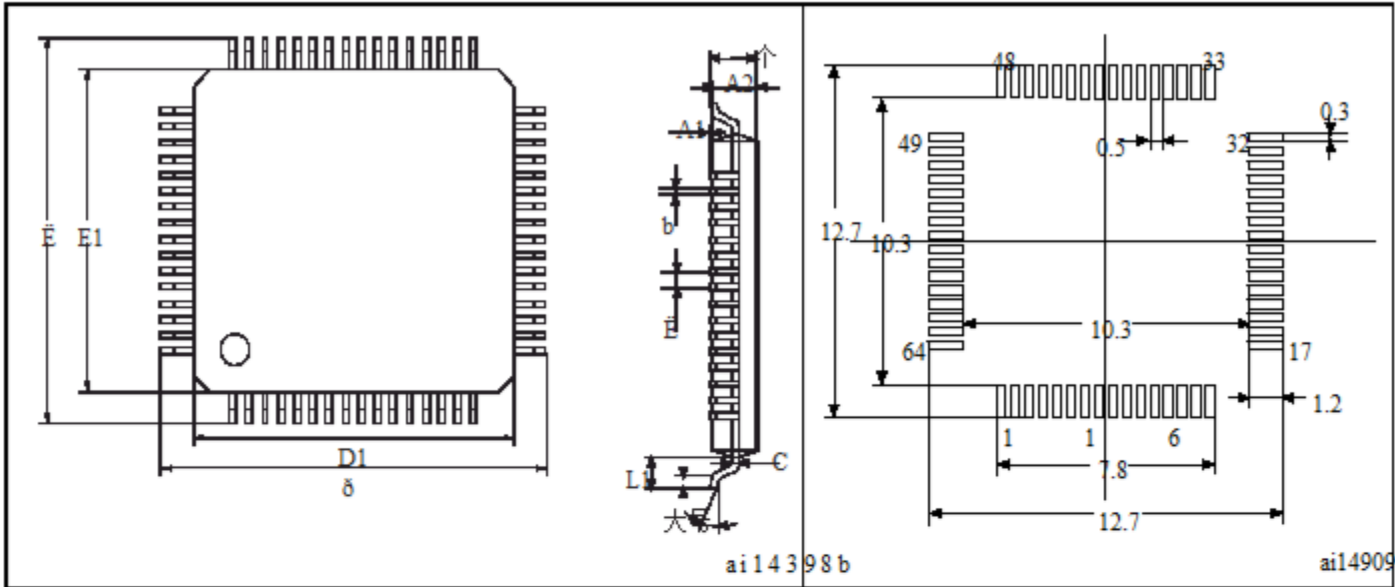
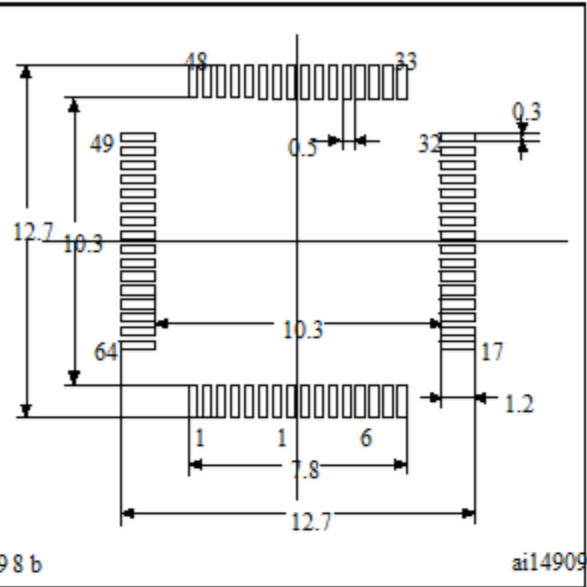


图44. 推荐足迹 (1) (2)



1. 绘图不按比例.
2. 尺寸单位为毫米.

表60. LQFP64 - 64针低调四平面封装机械数据

暗淡.	毫米			英寸 (1)		
	敏	典型	马克斯	敏	典型	马克斯
一个			1.60			0.0630
A1	0.05		0.15	0.0020		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
C	0.09		0.20	0.0035		0.0079
delta		12.00			0.4724	
D1		10.00			0.3937	
E		12.00			0.4724	
E1		10.00			0.3937	
E		0.50			0.0197	
theta	0°	3.5°	7°	0°	3.5°	7°
大号	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
n	引脚数					
	64					

1. 以英寸为单位的值将从mm转换为四位数.

6.2 热特性

最大芯片结温 (T J max) 不能超过给定值
表9: 第35页的一般操作条件.

可以计算最大芯片结温度T J max (摄氏度)
使用以下公式:

$$T J max = T A max + (P D max \times \Theta JA)$$

哪里:

- T A max是最高环境温度, 单位°C,
- ΘJA 是封装结到环境的热电阻, 单位为°C / W,
- P D max是P INT max和P I / O max (P D max = P INT max + P I / O max) 之和,
- P INT max是I DD 和V DD的 乘积, 以瓦特表示. 这是最大的芯片内部电源

P I / O max表示输出引脚上的最大功耗:

$$P I / O max = \Sigma (V OL \times I OL) + \Sigma ((V DD - V OH) \times I OH),$$

考虑到实际的V OL / I OL 和V OH / I OH的I / O在低和高级别应用.

表61. 封装热特性

符号	参数	值	单元
ΘJA	热阻结环境 LQFP100 - 14×14 mm / 0.5 mm间距	46	°C / W
	热阻结环境 LQFP64 - 10×10 mm / 0.5 mm间距	45	
ΘJA	热阻结环境 LFBGA100 - 10×10 mm / 0.8 mm间距	40	°C / W
	热阻结环境 LQFP100 - 14×14 mm / 0.5 mm间距	46	
	热阻结环境 LQFP64 - 10×10 mm / 0.5 mm间距	45	

6.2.1 参考文件

JESD51-2集成电路热测试方法环境条件 - 自然
对流 (静止) .可从 www.jedec.org获得.



6.2.2 选择产品温度范围

订购微控制器时，温度范围在订购中指定

信息方案如表62所示：订购信息方案。

每个温度范围后缀对应于特定的保证环境温度
最大耗散和特定的最大结温。

由于应用程序通常不会在最大耗散条件下使用STM32F103xx，因此它是有用的
计算确切的功耗和结温，以确定哪一个
温度范围将最适合应用。

以下示例显示了如何计算给定值所需的温度范围
应用。

示例1：高性能应用程序

假设以下应用条件：

最高环境温度 $T_{Amax} = 82^{\circ}\text{C}$ （根据JEDEC51-2测量），
 $I_{DDmax} = 50\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，同时输出低电平时最多使用20个I/O
 电平， $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$ ，输出时同时使用最多8个I/O
 在低电平， $I_{OL} = 20\text{ mA}$ ， $V_{OL} = 1.3\text{ V}$
 $P_{INTmax} = 50\text{ mA} \times 3.5\text{ V} = 175\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} + 8 \times 20\text{ mA} \times 1.3\text{ V} = 272\text{ mW}$
 这给出： $P_{INTmax} = 175\text{ mW}$ ， $P_{IOmax} = 272\text{ mW}$ ：
 $P_{Dmax} = 175 + 272 = 447\text{ mW}$

因此： $P_{Dmax} = 447\text{ mW}$

使用表61中获得的值 T_{Jmax} 计算如下：

- 对于LQFP100， 46°C/W

$T_{Jmax} = 82^{\circ}\text{C} + (46^{\circ}\text{C/W} \times 447\text{ mW}) = 82^{\circ}\text{C} + 20.6^{\circ}\text{C} = 102.6^{\circ}\text{C}$

这在后缀6版本部分（ $-40 < T_J < 105^{\circ}\text{C}$ ）的范围内。

在这种情况下，零件必须至少在温度范围后缀为6（见
表62：订购信息方案）。

实施例2：高温应用

使用相同的规则，可以解决在高环境下运行的应用程序
温度低，散热低，只要结温 T_J 保持在
指定范围。

假设以下应用条件：

最高环境温度 $T_{Amax} = 115^{\circ}\text{C}$ （根据JEDEC51-2测量），
 $I_{DDmax} = 20\text{ mA}$ ， $V_{DD} = 3.5\text{ V}$ ，同时输出低电平时最多使用20个I/O
 $I_{OL} = 8\text{ mA}$ ， $V_{OL} = 0.4\text{ V}$
 $P_{INTmax} = 20\text{ mA} \times 3.5\text{ V} = 70\text{ mW}$
 $P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} = 64\text{ mW}$
 这给出： $P_{INTmax} = 70\text{ mW}$ ， $P_{IOmax} = 64\text{ mW}$ ：
 $P_{Dmax} = 70 + 64 = 134\text{ mW}$

因此： $P_{Dmax} = 134\text{ mW}$

使用表61中获得的值 T_{Jmax} 计算如下:

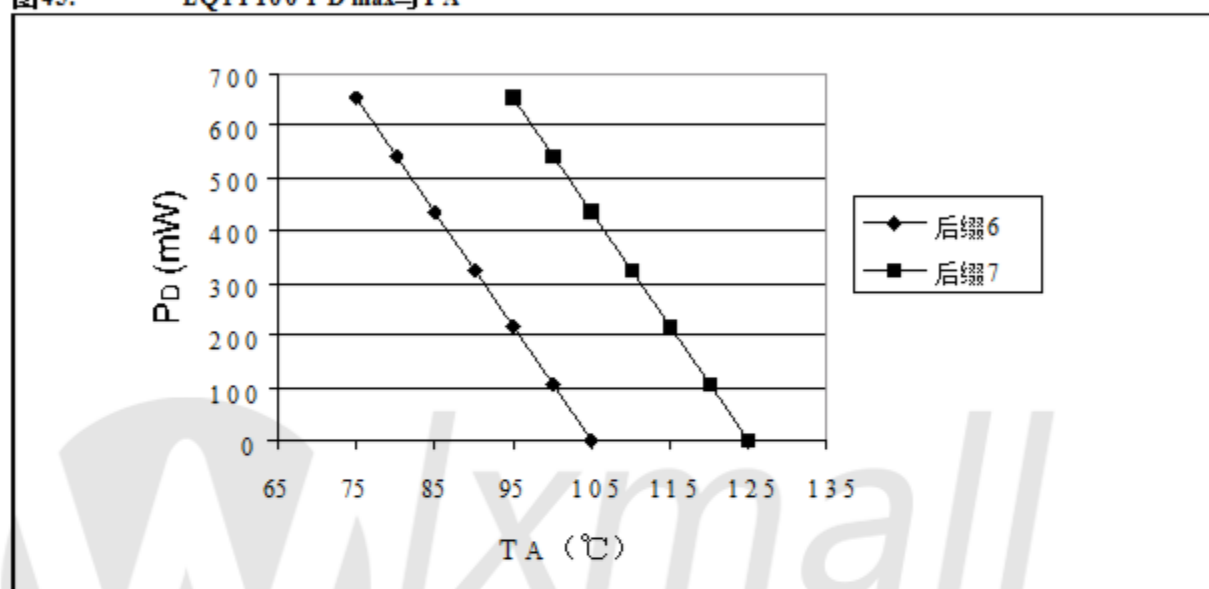
- 对于LQFP100, $46^{\circ}\text{C} / \text{W}$

$$T_{Jmax} = 115^{\circ}\text{C} + (46^{\circ}\text{C} / \text{W} \times 134\text{mW}) = 115^{\circ}\text{C} + 6.2^{\circ}\text{C} = 121.2^{\circ}\text{C}$$

这在后继7版本 ($-40 < T_J < 125^{\circ}\text{C}$) 的范围内.

在这种情况下, 零件必须至少在后继为7的温度范围内 (见
表62: 订购信息方案).

图45. LQFP100 $P_D max$ 与 T_A



7 零件编号

表 62. 订购信息方案

例:	STM32	F	105	R	C	T	6	V	xxx
设备系列									
STM32 =基于ARM的32位微控制器									
产品类别									
F =通用目的									
设备亚科									
105 =连接, USB OTG FS									
107 =连接, USB OTG FS和以太网									
针数									
R = 64针									
V = 100针									
闪存大小									
8 = 64 KB闪存									
B = 128 KB闪存									
C = 256 KB闪存									
包									
H = BGA									
T = LQFP									
温度范围									
6 =工业温度范围, -40至85°C.									
7 =工业温度范围, -40至105°C.									
软件选项									
内部代码或空白									
选项									
xxx =编程零件									
TR =磁带和真实									

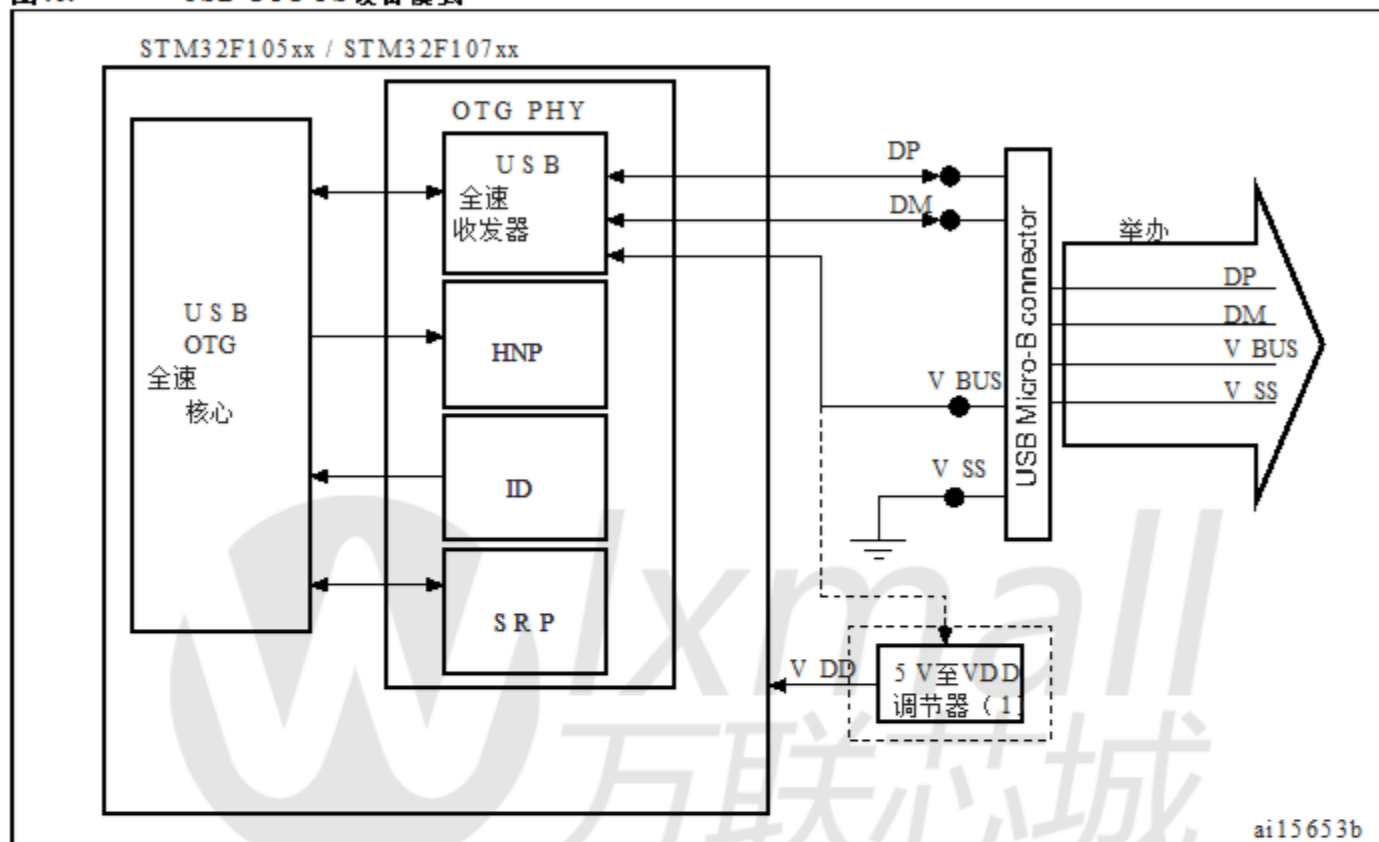
有关可用选项（速度，包装等）的列表或有关任何方面的更多信息
请联系您最近的ST销售办事处。



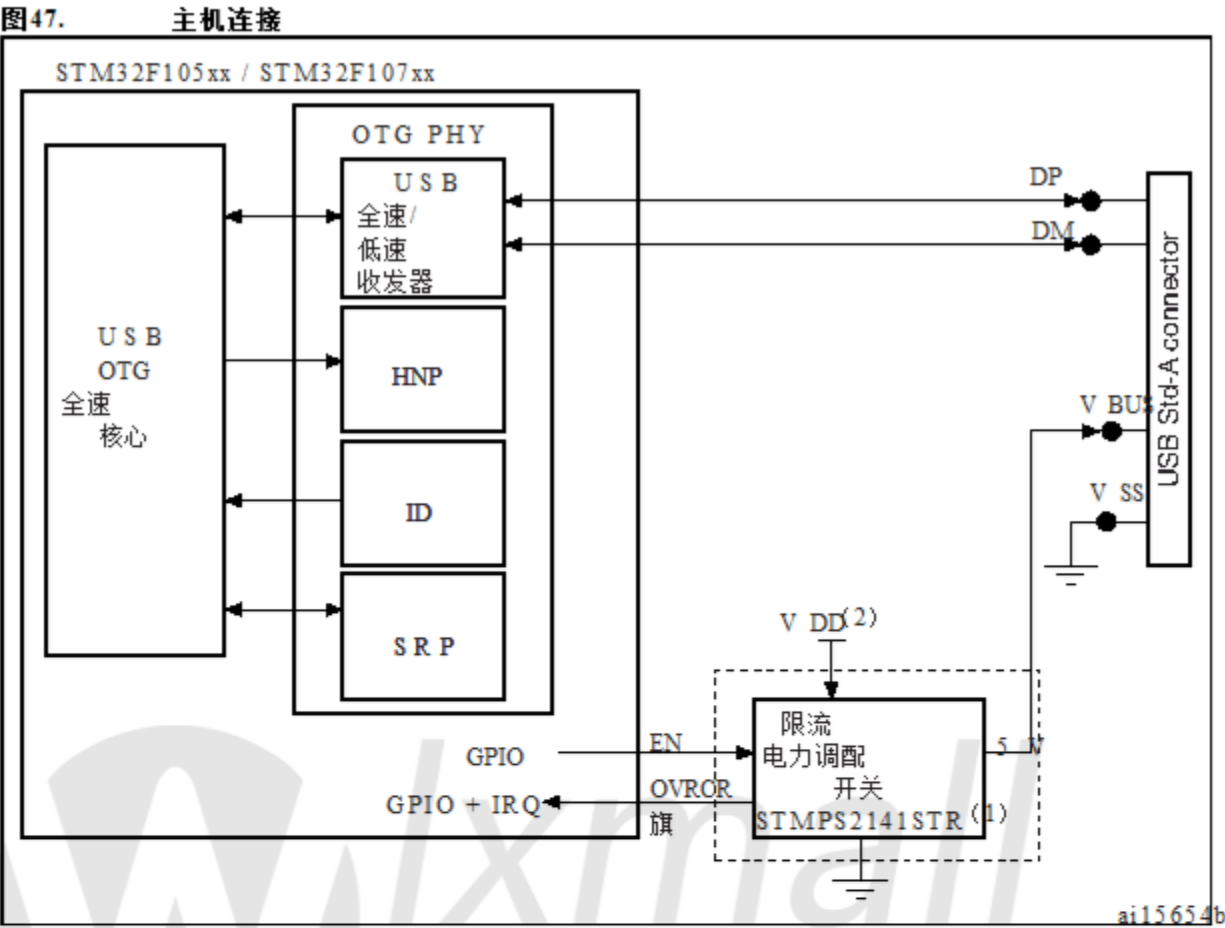
附录A 应用框图

A.1 USB OTG FS接口解决方案

图46. USB OTG FS设备模式

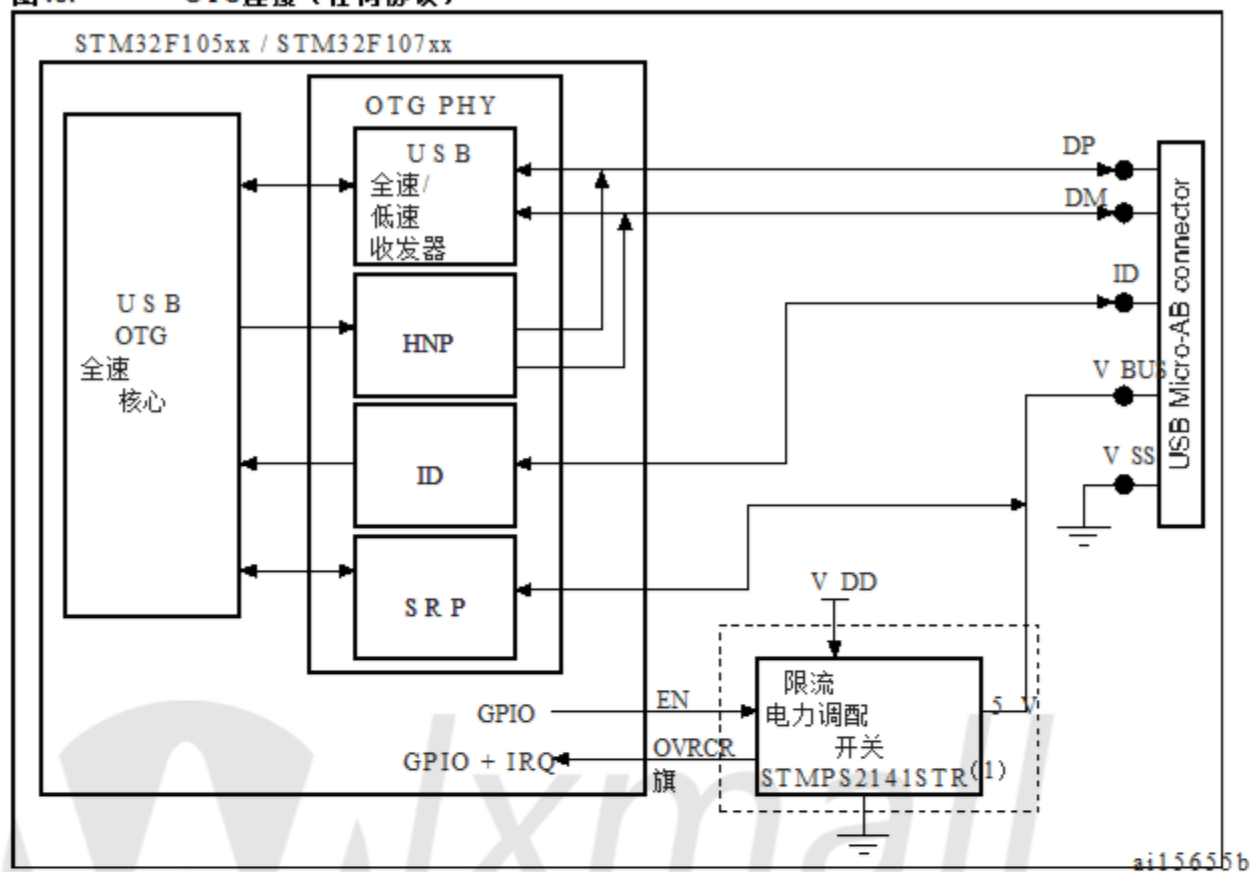


1. 如果要构建总线供电设备，请使用调节器。



1. 仅当应用程序必须支持总线供电的设备时，才需要STMP52141STR.

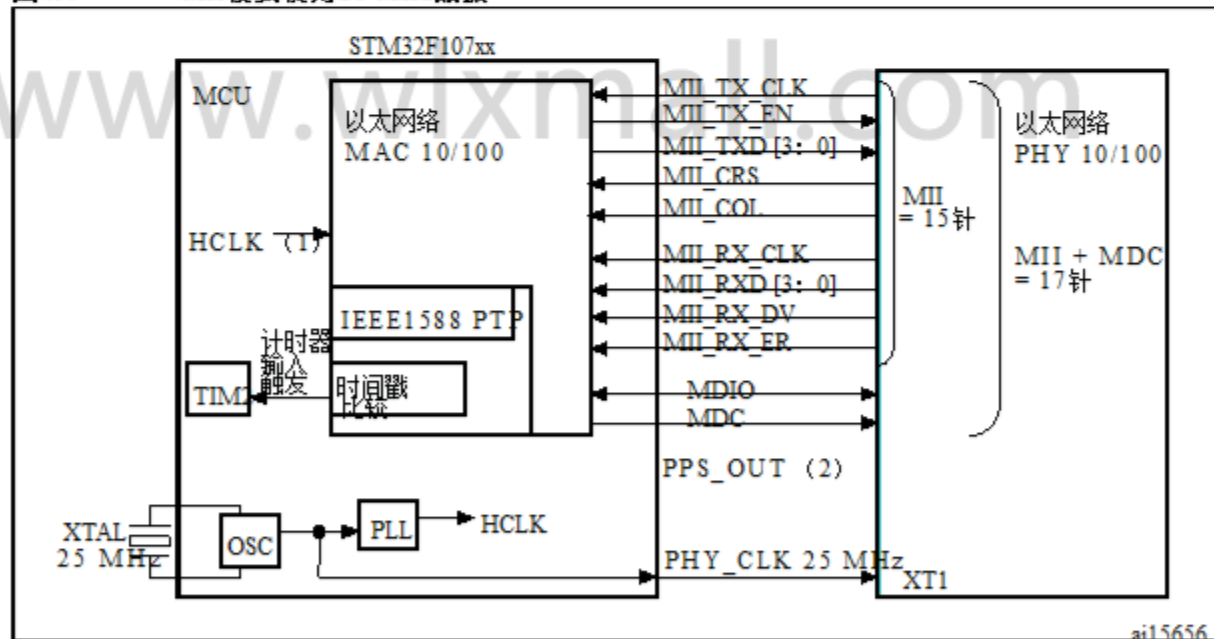
图48. OTG连接（任何协议）



1. 仅当应用程序必须支持总线供电的设备时，才需要STMP52141STR。

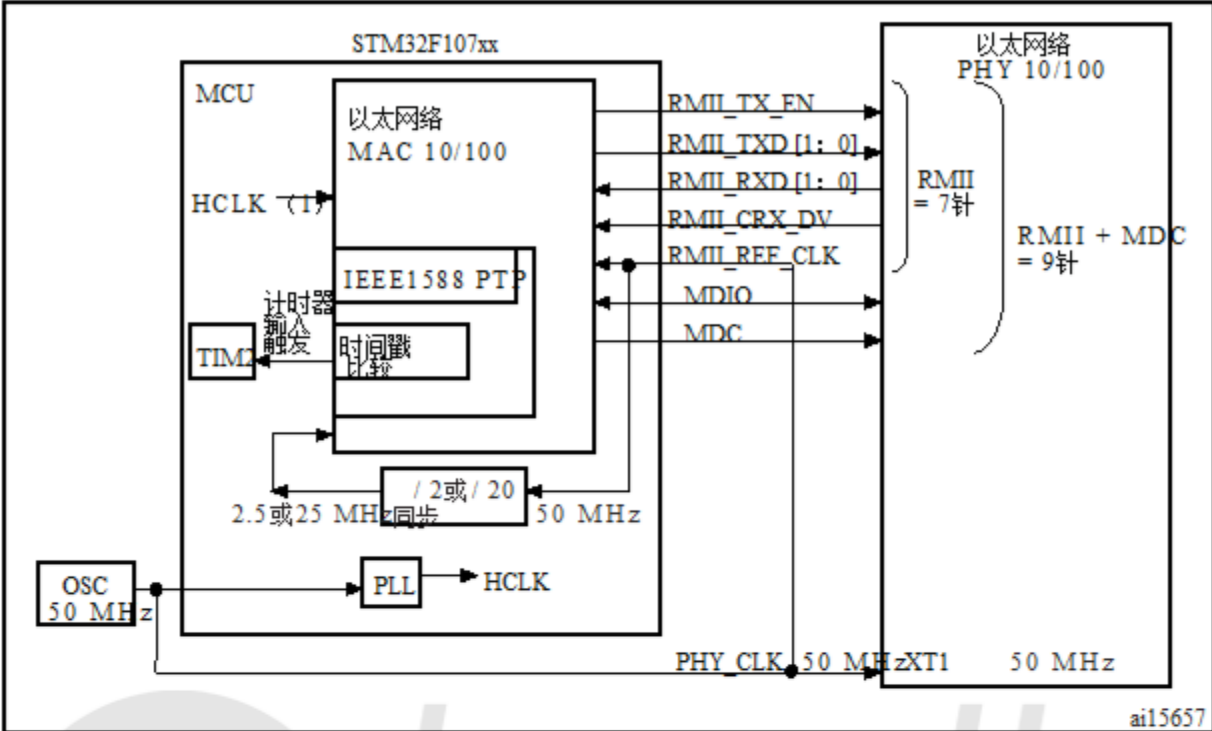
A2 以太网接口解决方案

图49. MII模式使用25 MHz晶振



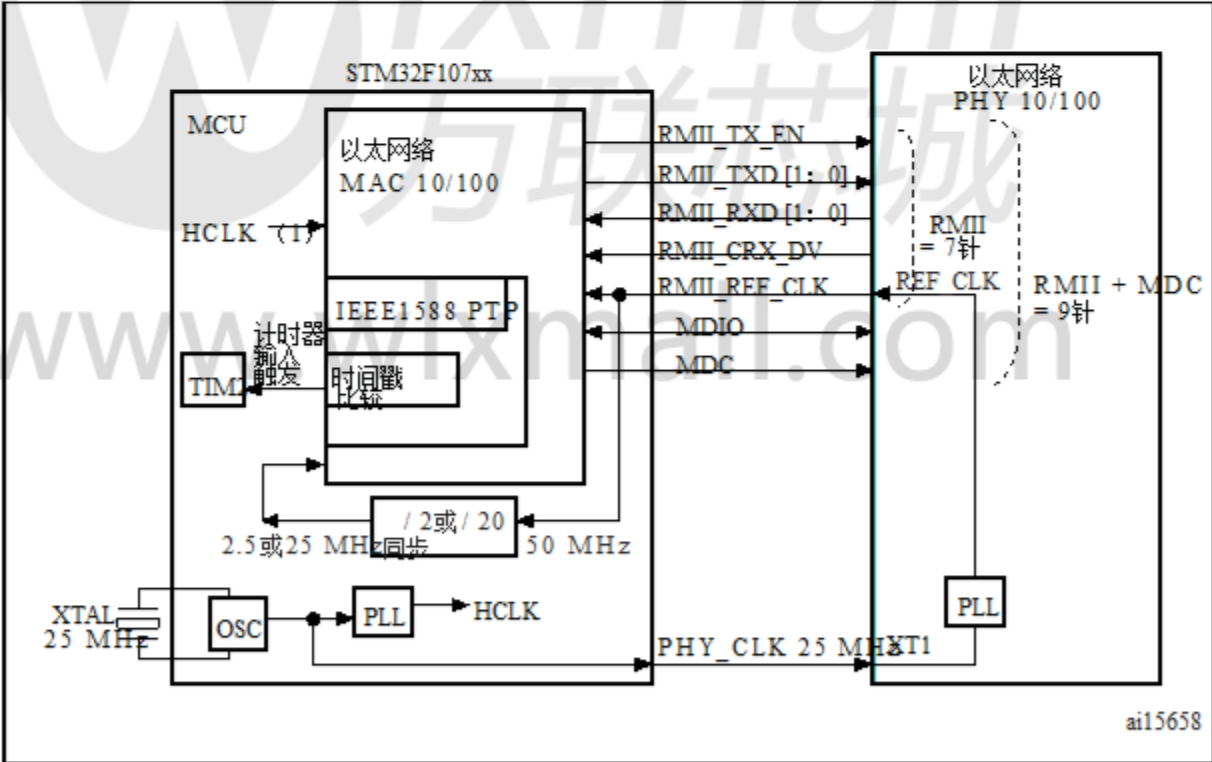
1. HCLK必须大于25 MHz.
2. 使用IEEE1588 PTP时的脉冲每秒, 可选信号.

图50. 具有50 MHz振荡器的RMII



1. HCLK必须大于25 MHz.

图51. RMII具有25 MHz晶振和带PLL的PHY



1. HCLK必须大于25 MHz.

A.3 完整的音频播放器解决方案

提供了两种解决方案，如图53和图54所示。

图53显示使用软件编解码器的音频DAC/放大器流媒体的存储介质。该解决方案实现了一种音频晶体，可在主机上提供音频类别12 S精度时钟（0.5%误差最大值，请参见参考中的串行外设接口部分手册了解详情）。

图53. 完整的音频播放器解决方案1

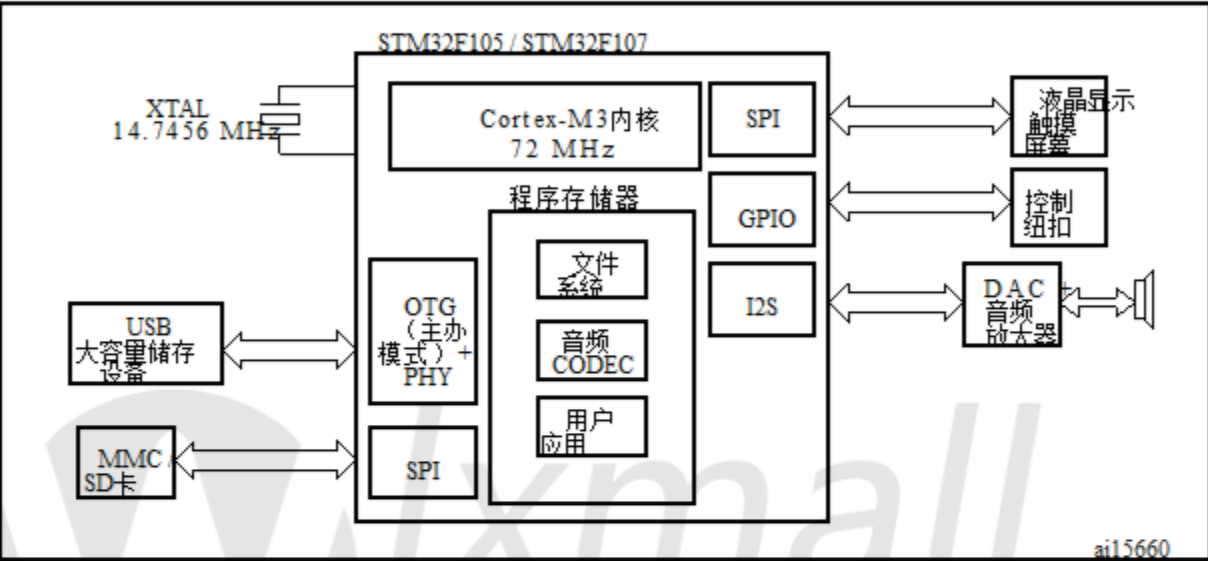
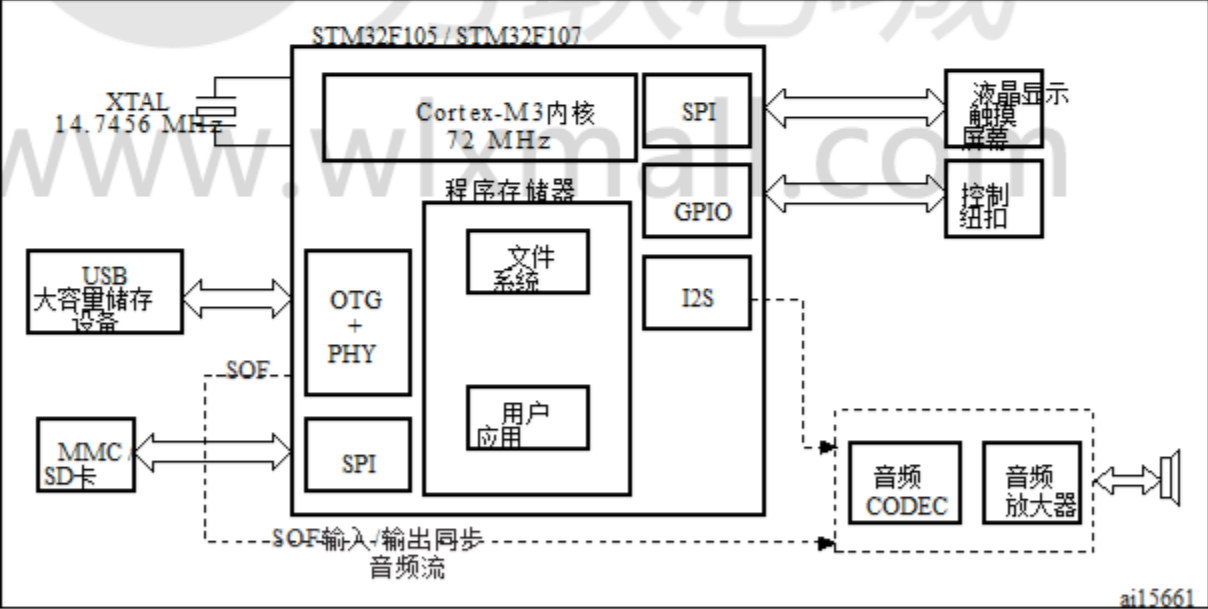


图54显示了使用SOF的音频编解码器/放大器流媒体的存储介质使用硬件编解码器同步输入/输出音频流。

图54. 完整的音频播放器解决方案2



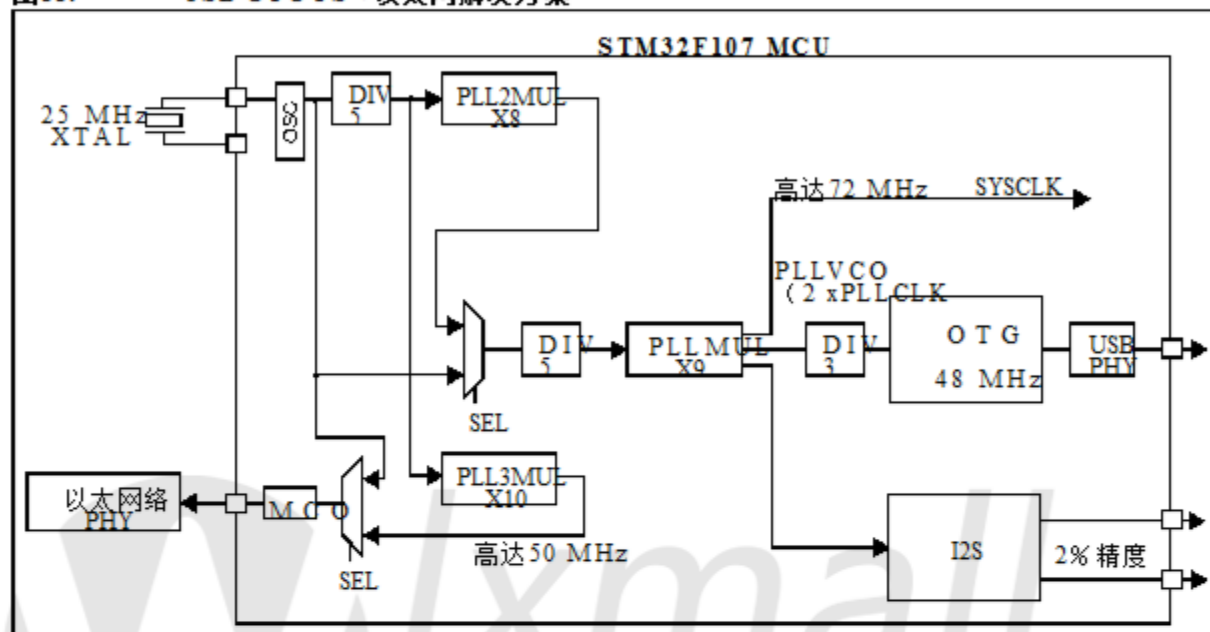
A.4 USB OTG FS接口+以太网/I2S接口解决方案

通过在STM32F107xx上实现的时钟树，只需要一个晶振工作

USB（主机/设备/OTG）和以太网（MII/RMII）接口。图55

说明解决方案。

图55. USB OTG FS + 以太网解决方案



通过在STM32F107xx上实现的时钟树，只需要一个晶振工作

与USB（主机/设备/OTG）和I2S（音频）接口。图56说明了

解。

图56. USB OTG FS + I2S（音频）解决方案

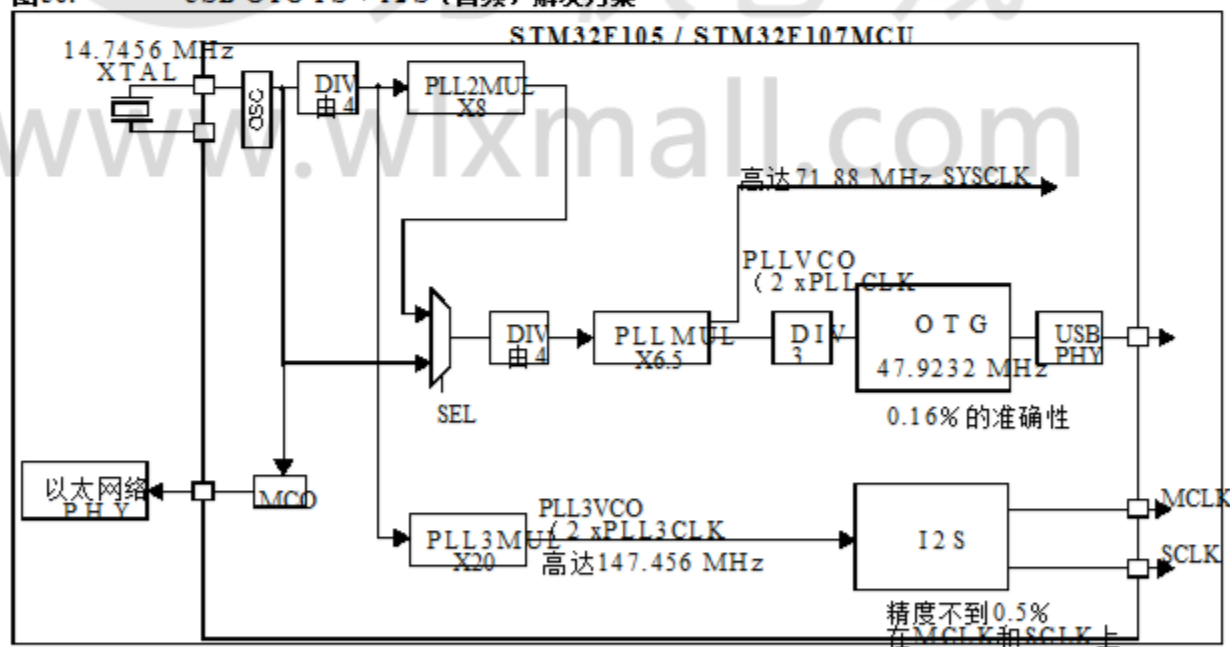


表 63. PLL 配置

应用	水晶 价值在 兆赫 (XT1)	PREDIV2	PLL2MUL	PLL SRC	PREDIV1	PLL MUL	USB 预分频器 (PLL VCO 输出)	PLL3MUL	I2Sn 时钟 输入	MCO (主要 时钟 输出)
以太网	25	/5	PLL2 ON X8	PLL 2	/5	PLL ON x9	NA	PLL3 ON X10	NA	XT1 (MII) PLL3 (RMII)
以太网+ OTG	25	/5	PLL2 ON X8	PLL 2	/5	PLL ON x9	/3	PLL3 ON X10	NA	XT1 (MII) PLL3 (RMII)
以太网+ OTG +基本音频	25	/5	PLL2 ON X8	PLL 2	/5	PLL ON x9	/3	PLL3 ON X10	PLL	XT1 (MII) PLL3 (RMII)
以太网+ OTG +音频类 I2S (1)	14.7456	/4	PLL2 ON X12	PLL 2	/4	PLL ON X6.5	/3	PLL3 ON X20	PLL3 VCO 退房	NA ETH PHY 必须使用它 自己的水晶
只有 OTG	8	NA	PLL2 OFF	XT1	/1	PLL ON x9	/3	PLL3 OFF	NA	NA
OTG +基本 音频	8	NA	PLL2 OFF	XT1	/1	PLL ON x9	/3	PLL3 OFF	PLL	NA
OTG +音频 I类 S (1)	14.7456	/4	PLL2 ON X12	PLL 2	/4	PLL ON X6.5	/3	PLL3 ON X20	PLL3 VCO 退房	NA
音频类 I2S (1) 仅	14.7456	/4	PLL2 ON X12	PLL 2	/4	PLL ON X6.5	NA	PLL3 ON X20	PLL3 VCO 出	NA

1. SYSCLK 设置为 72 MHz，但在 SYSCLK 为 71.88 MHz 的情况下。

表 64 给出了 对应于指定条件的 I DD 运行模式值
表 63.

表 64. 运行模式下的应用电流消耗，数据代码从Flash处理运行

符号	参数	条件 (1)	典型 (2)	最大值 (2)		单元
				85°C	105°C	
I _{DD}	供电电流在运行模式	外部时钟，所有外设使能除了以太网， HSE = 8MHz, f _{HCLK} = 72MHz, MCO	57	63	64	mA
		外部时钟，所有外设使能除了以太网， HSE = 14.74MHz, f _{HCLK} = 72MHz, MCO	60.5	67	68	
		外部时钟，所有外设使能除OTG外， HSE = 25MHz, f _{HCLK} = 72MHz, MCO = 25MHz	53	60.7	61	
		外部时钟，所有外设使能， HSE = 25MHz, f _{HCLK} = 72MHz, MCO = 25MHz	60.5	65.5	66	
		外部时钟，所有外设使能， HSE = 25MHz, f _{HCLK} = 72MHz, MCO = 50MHz	64	69.7	70	
		外部时钟，所有外设使能， HSE = 50MHz (3), f _{HCLK} = 72MHz, MCO	62.5	67.5	68	
		外部时钟，仅启用OTG， HSE = 8MHz, f _{HCLK} = 48MHz, MCO	26.7	没有	没有	
		外部时钟，只能启用以太网， HSE = 25MHz, f _{HCLK} = 25MHz, MCO = 25MHz	14.3	没有	没有	

- 1. V_{DD} = 3.3 V.
- 2. 基于表征，未在生产中测试.
- 3. 外部振荡器.



修订记录

表 65. 文件修订历史

日期	调整	变化
18日 - 12月2008	1	初始发行.
20月 - 2009年	2	<i>I/O</i>信息见第1页. 图4: STM32F105xxx和STM32F107xxx连接线BGA100调整顶视图 更正. 2.3.8节: 更新了引导模式. PB4, PB13, PB14, PB15, PB3 / TRACESWO从默认移动到Remap列, 加上表5中的小额外更改: 引脚定义. 第5.3.5节中修改的消耗值: 电源电流特点. 注释在表13中修改: 运行中的最大电流消耗模式, Flash中的数据处理代码, 表15: 休眠模式下的最大电流消耗, 代码运行闪存或RAM. 表20: 高速外部用户时钟特性和表21: 低速外部用户时钟特性修改. 表27: PLL特性修改, 表28: PLL2和PLL3添加特征

表65. 文件修订历史 (续)

日期	调整	变化
19月, 2009年	3	2.3.8节: 引导模式和2.3.20节: 以太网MAC接口专用DMA和IEEE 1588支持更新. 2.3.24节: 重新映射功能添加. 图1: STM32F105xx和STM32F107xx连接线路块图和图5: 内存图更新. 表5: 引脚定义: - I2S3_WS, I2S3_CK和I2S3_SD默认备用功能添加 - 信号名称变化很小 - 注6修改 - ETH_MII_PPS_OUT和ETH_RMII_PPS_OUT替换ETH_PPS_OUT - ETH_MII_MDIO和ETH_RMII_MDIO替换为ETH_MDIO - ETH_MII_MDC和ETH_RMII_MDC替换为ETH_MDC 数字: 运行模式与频率的典型电流消耗 (3.6 V) - 从RAM, 外围设备运行的数据处理代码 运行模式下的启用和典型电流消耗 频率 (3.6 V) - 从RAM运行的数据处理代码, 外围设备已禁用. 表13: 运行模式下的最大电流消耗, 代码与从Flash运行的数据处理, 表14: 最大电流消耗在运行模式, 数据处理运行的代码 RAM和表15: 睡眠模式下的最大电流消耗, 要确定从Flash或RAM运行的代码. 图12和图13显示了典型曲线. PLL1重命名为PLL. I_{DD}在停止模式下提供电流, 修改为表16: 典型值和停止和待机模式下的最大电流消耗. 图11: 具有稳压器的停止模式下的典型电流消耗在运行模式下对不同VDD值的温度, 图13: 待机模式下的典型电流消耗与温度的关系 不同的VDD值和图13: 典型的电流消耗 待机模式与不同VDD值下的温度更新. 表17: 运行模式下的典型电流消耗, 带数据的代码从Flash处理运行, 表18: 典型电流 在睡眠模式下消耗, 从Flash或RAM运行的代码 表19: 更新了外围电流消耗. f_{HSE_ext}在表20中修改: 高速外部用户时钟 特点. 最小PLL输入时钟 (f_{PLL_IN}), f_{PLL_OUT min}和f_{PLL_VCO}最小值在表27中修改: PLL特性. ACC HSI最大值在表24中修改: HSI振荡器 特点. 表31: EMS特性和表32: EMI 特点更新. 表43: SPI特性更新. 修改: 图28: I2S从机时序图 (Philips协议) (1), 图29: I2S主时序图 (Philips协议) (1)和图31: 以太网SMI时序图. BGA100包拆下. 第6.2节: 添加热特性. 小文字变化.

表65. 文件修订历史 (续)

日期	调整	变化
14月 - 2009年	4	文件状态从初步数据提升到完整的数据表。 表3中校正的DAC数量: STM32F105xx和STM32F107xx系列与STM32F103xx系列。 表5中附注5: 引脚定义。 V_{RERINT}和T_{Coeff}添加到表12: 嵌入式内部参考电压。 添加到表13中的值: 运行中的最大电流消耗模式, Flash中的数据处理代码, 表14: 运行模式下的最大电流消耗, 带数据代码处理从RAM运行, 表15: 最大电流在睡眠模式下消耗, 从Flash或RAM运行的代码。 典型I_{DD_VBAT}值添加在表16中: 典型值和最大值停止和待机模式下的电流消耗。 图10: 具有RTC的VBAT上的典型电流消耗加入不同VBAT值的温度。 表17中修改的值: 运行中的典型电流消耗模式, Flash中的数据处理代码, 表18: 在休眠模式下的典型电流消耗, 代码从Flash运行或RAM。 f_{HSE_ext min}修改表20: 高速外部用户时钟特点。 C_{L1}和C_{L2}由表22中的C代替: HSE 3-25 MHz振荡器特性和表23: LSE振荡器特性 (f_{LSE} = 32.768 kHz), 修改并移动到表格下面的注释。注1修改如下图16: 具有8 MHz晶体的典型应用。 从表26中删除的条件: 低功耗模式唤醒时序。 5.3.10中修改的标准: EMC特性第52页, 表31中修改的条件: EMS特性。 抖动最大值添加到表27: PLL特性和表28: PLL2和PLL3特性。 R_{PU}和R_{PD}在表36中修改: I/O静态特性。 表39中的V_{NF} (NRST) 参数的条件: NRST引脚特点。注意删除, 并添加R_{PD}, R_{PU}值。 表46: USB OTG FS直流电气特性。 表48: 增加了以太网直流电气特性。 参数值添加到表49: 动态特性。 SMI的以太网MAC信号, 表50: 动态特性: 以太网MAC信号用于RMII和表51: 动态特性: MII的以太网MAC信号。 C_{ADC}和R_{AIN}参数在表52中修改: ADC特点。R_{AIN}最大值在表53中修改: R_{AIN} max for f_{ADC} = 14 MHz。 表56: DAC特性修改。图38: 12位缓冲/非缓冲DAC加。 表64: 运行模式下的应用电流消耗, 代码与从Flash添加的数据处理。 小文字变化。

表 65. 文件修订历史 (续)

日期	调整	变化
11日, 2010	五	增加了BGA封装. 表5: 引脚定义: ETH_RMII_RXD0和ETH_RMII_RXD1添加在重映射列中PD9和PD10. 注释添加到ETH_MII_RX_DV, ETH_MII_RXD0, ETH_MII_RXD1, ETH_MII_RXD2和ETH_MII_RXD3 更新表36: I/O静态特性 (第55页) 图18: 标准I/O输入特性 - CMOS 端口 至图21: 5 V容差I/O输入特性 - TTL 端口 更新表43: 第65页的SPI特性. 更新表44: I2S特性 (第68页). 更新表48: 以太网直流电气特性 (第71页). 更新表49: 动态特性: 以太网MAC信号适用于SMI (第71页). 更新表50: 动态特性: 以太网MAC信号适用于RMII (第72页) 图55: USB OTG FS + 以太网解决方案 (第96页). 更新图56: 第96页的USB OTG FS + I2S (音频) 解决方案
01 - 8 - 2011	6	所有部件都将SRAM大小更改为64 KB. 表5更新了PD0和PD1的描述: 引脚定义第26页 表6中更新的脚注: 第34页的电压特性和表7: 第34页的当前特性 表20中更新了$t_{w\ min}$: 高速外部用户时钟特性在第45页 更新表23中的启动时间: LSE振荡器特性 ($f_{LSE} = 32.768\ kHz$) 添加了第5.3.12节: I/O电流注入特性第55页 更新表36: I/O静态特性 (第55页) 将内部代码V添加到表62: 订购信息方案第89页

请仔细阅读：

本档中的信息仅供ST产品使用.意法半导体及其子公司（“ST”）保留对本文档以及本文所述的产品和服务进行任何更改，更正，修改或改进的权利时间，恕不另行通知。

所有ST产品均按照ST的销售条款和条件出售。

买家对本文所述的ST产品和服务的选择，选择和使用负全部责任，ST假定没有对本文所述的ST产品和服务的选择，选择或使用的任何责任。

根据本文件，不得以任何禁止反言或以其他方式明示或默示任何知识产权.如果这个的任何部分文件是指任何第三方产品或服务，ST不得将其视为使用此类第三方产品的许可证或服务，或其中包含的任何知识产权或被认为是以任何方式使用的保证第三方产品或服务或其中包含的任何知识产权。

除非另有规定，否则ST的条款和条件不得以任何明示或暗示的方式关于使用和/或销售ST产品的保证，包括但不限于暗示适用性，适用于特定用途的保证（及其法律等同条款）任何司法管辖区），或侵犯任何专利，版权或其他知识产权。

除非由两个授权的ST代表书面批准，否则ST产品不得建议，授权或保证在军事，空运，空间，生命维持或生命维持中使用应用或产品或系统故障或故障可能导致人身伤害，死亡或严重财产或环境损害. ST产品不被称为“汽车” GRADE“只能用于汽车应用程序，用户自己承担风险。

与本文件所述的陈述和/或技术特征不同的ST产品转售将立即失效
ST所提供ST产品或服务的任何保证，不得以任何方式创建或扩展任何ST的责任

ST和ST标志是ST在各国的商标或注册商标。

本档中的信息取代了以前提供的所有信息。

ST标志是意法半导体的注册商标.所有其他名称均为其各自所有者的财产。

©2011 STMicroelectronics - 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克共和国 - 芬兰 - 法国 - 德国 - 香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美利坚合众国

www.st.com

