

双通道 (3相CPU / 2相GPU) SVID, D-CAP +™降压控制器 带有两个集成驱动器的IMVP-7 V核心

特征

- 英特尔IMVP-7串行VID (SVID) 兼容
- 支持CPU和GPU输出
- CPU通道单相, 双相或三相
- 单相或双相GPU通道
- 完整的IMVP-7移动功能集包括数字电流监视器
- 具有0.250V至1.52V输出范围的8位DAC
- 在轻重载荷下优化效率
- V CORE 过冲减少 (OSR)
- V CORE下冲减少 (USR)
- 准确, 可调的电压定位
- 每8个独立的频率选择通道 (CPU / GPU)
- 专利待审自动平衡™阶段平衡
- 可选的8电平限流
- 3V至28V转换电压范围
- 两个集成的快速FET驱动器集成升压FET
- 可选地址 (仅限TPS59650)
- 小6 × 6, 48引脚, QFN, PowerPAD™包

应用

- 适配器 IMVP-7 V 核心 应用程序, 电池, NVDC或3-V, 5-V和12-V导轨

描述

TPS51650和TPS59650是完全双通道的符合SVID的IMVP-7降压控制器

二 集成 门 驱动程序. 高级 特征 这样 如 d-CAP™+ 建筑

重叠脉冲支持 (下冲减少, USR) 和过冲减少 (OSR) 提供了快速

瞬态响应, 最低输出电容和

高效率. 所有这些控制器也支持

轻载的单相运行. 完整的

IMVP-7 I/O的赞美被集成到了

包括双重PGOOD信号的控制器, ALERT

和VR_HOT. V CORE 压摆率的 可调节控制

和 电压 定位 回合 出 该 IMVP-7

特征. 另外, 控制器

包括两个大电流FET栅极驱动器来驱动

高端 和 低端 N沟道

异常高速和低开关损耗. 该

TPS51601驱动程序用于第三阶段

CPU和GPU通道的两个阶段.

这些控制器封装在一个节省空间,

热增强型48引脚QFN, 额定值为

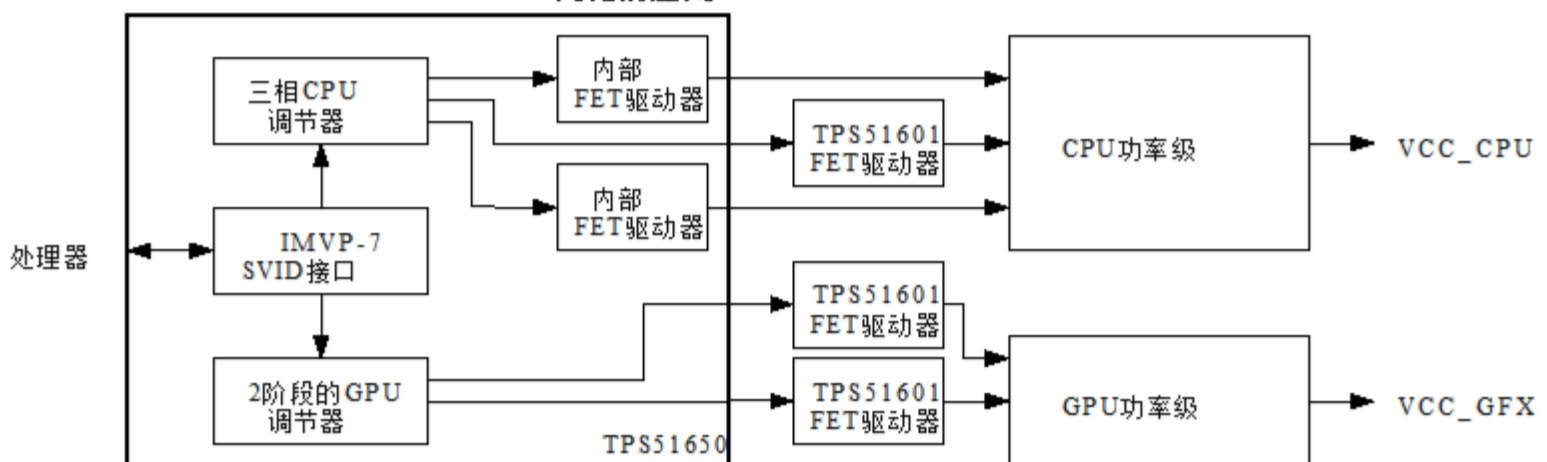
从...开始 -10°C至105°C.

控制
同

' CPU channel

场效应管同

简化的应用



UDG-12003



请注意, 有关可用性, 标准保修和在德克萨斯州关键应用程序中使用的重要通知
仪器半导体产品和免责声明出现在本数据表的末尾.

D-CAP +, PowerPAD, D-CAP是德州仪器的商标.

生产数据信息截至发布日期为止.
仪器符合德州仪器标准规格.
必须包括所有参数的测试.

版权 ©2012年, 德州仪器公司

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com


这些器件具有有限的内置ESD保护。引线应短接在一起，或将器件置于导电泡沫中，在储存或处理期间防止静电损坏MOS门。

订购信息 (1) (2)

T A.	包	订购数	销	运输媒体	最低数量	生态计划
-10°C至105°C	塑料四方扁平包 (QFN)	TPS51650RSLT	48	磁带和卷轴	250	绿色 (RoHS和无Sb / Br)
		TPS51650RSLR			2500	
-40°C至105°C		TPS59650RSLT			250	
		TPS59650RSLR			2500	

(1) 有关最新的封装和订购信息，请参阅本文档末尾的封装选项附录，或者参阅TI

网站www.ti.com。

(2) 封装图纸，散热数据和符号可从www.ti.com/packaging获取。

绝对最大额定值

(1) (2)

超过工作自由空气温度范围 (除非另有说明)

		MIN	TYP	最大	单位
输入电压	VBAT	-0.3		32	
	CSW1, CSW2	-6.0		32	V
	CDH1到CSW1; CDH2到CSW2; CBST1至CSW1; CBST2到CSW2	-0.3		6	
	CTHERM, CCOMP, CF-IMAX, GF-IMAX, GCOMP, G THERM, V5DRV, V5	-0.3		6	
	COC-P, CCSP1, CCSP2, CCSP3, CCSN1, CCSN2, CCSN3, CVFB, CGFB, V3R3, VR_ON, VCLK, VDIO, SLEWA, GGFB, GVFB, GCSP1, GOC-P			3.6	V
	PGND	-0.3		0.3	
输出电压	VREF	-0.3		1.8	
	CPGOOD, ALERT, VR_HOT, GPGOOD	-0.3		3.6	V
	CPWM3, GPWM1, GPWM2, GSKIP, CDL1, CDL2	-0.3		6	
静电放电	(HBM) QSS 009-105 (JESD22-A114A)		2		千伏
	(CDM) QSS 009-147 (JESD22-C101B.01)		500		V
工作结温, T J		-40		125	C
存储温度, T stg		-55		150	C

(1) 强调超出绝对最大额定值可能会导致设备永久性损坏。这些是压力评级，只能在这些或任何其他超出推荐的操作条件的条件下操作设备。不暗示条件。暴露在绝对最大额定条件下可能会影响器件的可靠性。

(2) 除非另有说明，否则所有电压值都是针对网络接地端子的。

热信息

温度计 (1)		TPS51650 TPS59650	单位
		RSL 48 PINS	
θ_{JA}	结到环境热阻	31.7	°C / W
θ_{JCTop}	结到外壳 (顶部) 的热阻	19.8	
θ_{JB}	结到电路板的热阻	7.1	
ψ_{JT}	结到顶部特征参数	0.3	
ψ_{JB}	结到电路板特征参数	7.1	
θ_{JCbott}	结到外壳 (底部) 的热阻	2.1	

(1) 有关传统和新型散热指标的更多信息，请参阅IC封装散热量度应用报告SPRA953。

推荐工作条件

		MIN	TYP	MAX	单元
输入电压	VBAT	-0.1		28	V
	CSW1, CSW2	-3.0		—	
	CDH1到CSW1; CDH2到CSW2; CBST1至CSW1; CBST2来CSW2	-0.1		5.5	
	V5DRV, V5	4.5		5.5	
	V3R3	3.1		3.5	
	CCOMP, GCOMP	-0.1		2.5	
	CTHERM, GTHERM	0.1		3.6	
	CF-IMAX, GF-IMAX, COCP-R, GOC-P-R	0.1		1.7	
	CCSP1, CCSP2, CCSP3, CCSN1, CCSN2, CCSN3, CVFB, CGFB, GGFB, GVFB, GCSN1, GCSP1, GCSN2, GCSP2	-0.1		1.7	
	VR_ON, VCLK, VDIO, SLEWA	-0.1		3.5	
	PGND	-0.1		0.1	
输出电压	VREF	-0.1		1.72	V
	CPGOOD, ALERT, VR_HOT, GPGOOD,	-0.1		V V3R3	
	CPWM3, GPWM1, GSKIP, CDL1, CDL2	-0.1		V V5	
自由空气温度 T A		TPS51650	-10	105	C
		TPS59650	-40	105	


Wlxmall
 万联芯城
www.wlxmall.com

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

电气特性

在推荐的自由空气温度范围内, $V_{V5} = V_{V5DRV} = 5.0\text{ V}$; $V_{V3R3} = 3.3\text{ V}$; $V_{xGFB} = V_{PGND} = V_{GND}$, $V_{xVFB} = V_{CORE}$
(除非另有说明)

参数	测试条件	MIN	TYP	MAX	单元
电源: 电流, UVLO和上电复位					
我 V5-5 V5电源电流CPU: 3相 主动GPU: 两相有源	$I_{V5} + I_{V5DRV}$, $V_{VDAC} < V_{xVFB} < (V_{VDAC} + 100\text{ mV})$, $VR_ON = HI$		7.5	11.0	嘛
我 V5-3 V5电源电流CPU: 3相 活动GPU: 关闭	$I_{V5} + I_{V5DRV}$, $V_{VDAC} < V_{xVFB} < (V_{VDAC} + 100\text{ mV})$, $VR_ON = HI$, $V_{OCSP2} = 3.3\text{ V}$		5.5		嘛
我 V5-PS3 V5电源电流CPU: 3相 主动GPU: 两相有源 (1)	$I_{V5} + I_{V5DRV}$, $V_{VDAC} < V_{xVFB} < (V_{VDAC} + 100\text{ mV})$, $VR_ON = HI$, $SetPS = PS3$		5.5		嘛
我 V5STBY V5DRV待机电流	$VR_ON = LO$, $I_{VS} + I_{V5DRV}$		10	20	μA
V UVLOH V5 UVLO确定"阈值	加速, $VR_ON = HI$	4.25	4.35	4.50	V
V UVLOL V5 UVLO故障阈值	减速, $VR_ON = HI$	3.95	4.10	4.30	V
V PORV5 V5上电复位故障 门限 (2)		1.2	1.9	2.5	V
我 V3R3 V3R3电源电流	SVID总线空闲, $VR_ON = HI$		0.5	1.0	嘛
我 V3R3SBY V3R3待机电流	$VR_ON = LO$			10	μA
V 3UVLOH V3R3 UVLO确定"的门槛	加速, $VR_ON = HI$	2.5	2.9	3.0	V
V 3UVLOL V3R3 UVLO故障阈值	减速, $VR_ON = HI$	2.4	2.7	2.8	V
V PORV3R3 V3R3上电复位故障 门限 (2)		1.2	1.9	2.5	V
参考: DAC, VREF, VBOOT和DRV1放电CPU和GPU					
V VIDSTP VID步长	将VID0 HI更改为LO至HI		五		毫伏
V DAC1 xVFB容忍度	$0.25 \leq V_{xVFB} \leq 0.595\text{ V}$, $I_{xPU_CORE} = 0\text{ A}$, $0^\circ\text{ C} \leq T_A \leq 85^\circ\text{ C}$	TPS51650	-6	6	毫伏
	$0.25 \leq V_{xVFB} \leq 0.595\text{ V}$, 我 $xPU_CORE = 0\text{ A}$, $-40^\circ\text{ C} \leq T_A \leq 105^\circ\text{ C}$	TPS59650	-7.5	7.5	
	$0.6 \leq V_{xVFB} \leq 0.995\text{ V}$, $I_{xPU_CORE} = 0\text{ A}$, $0^\circ\text{ C} \leq T_A \leq 85^\circ\text{ C}$	TPS51650	-5	五	
	$0.6 \leq V_{xVFB} \leq 0.995\text{ V}$, 我 $xPU_CORE = 0\text{ A}$, $-40^\circ\text{ C} \leq T_A \leq 105^\circ\text{ C}$	TPS59650	-7.5	7.5	
V DAC2 xVFB容忍度	$1.000\text{ V} \leq V_{xVFB} \leq 1.520\text{ V}$, $I_{xPU_CORE} = 0\text{ A}$, $0^\circ\text{ C} \leq T_A \leq 85^\circ\text{ C}$	TPS51650	-0.5%	0.5%	毫伏
	$1.000\text{ V} \leq V_{xVFB} \leq 1.520\text{ V}$, 我 $xPU_CORE = 0\text{ A}$, $-40^\circ\text{ C} \leq T_A \leq 105^\circ\text{ C}$	TPS59650	-0.75%	0.75%	
V VREF VREF输出	$4.5\text{ V} \leq V_{V5} \leq 5.5\text{ V}$, $I_{VREF} = 0\text{ A}$	1.655	1.700	1.745	V
V VREFSRC VREF输出源	$0\text{ }\mu\text{A} \leq I_{VREF} \leq 500\text{ }\mu\text{A}$	-4	-0.1		毫伏
V VREFSNK VREF输出接收器	$-500\text{ }\mu\text{A} \leq I_{VREF} \leq 0\text{ }\mu\text{A}$		0.1	4	毫伏
V DLDQ DRV1排放阈值	此时软停晶体管导通.		200	300	毫伏
电压检测: xVFB和xGFB用于CPU和GPU					
我 xVFB xVFB输入偏置电流	$V_{xVFB} = 2\text{ V}$, $V_{xGFB} = 0\text{ V}$		20	40	μA
我 xGFB xGFB输入偏置电流	$V_{xVFB} = 2\text{ V}$, $V_{xGFB} = 0\text{ V}$	-40	-20		μA
一个 GAIN $\times$ GFB / GND增益			1		V/V

(1) 3相CPU在PS3中转为1相2相在GPU中转为1相

(2) 由设计指定.未经生产测试.

电气特性 (续)

在推荐的自由空气温度范围内, $V_{V5} = V_{V5DRV} = 5.0\text{ V}$; $V_{V3R3} = 3.3\text{ V}$; $V_{xGFB} = V_{PGND} = V_{GND}$, $V_{xVFB} = V_{CORE}$
(除非另有说明)

参数		测试条件		MIN	TYP	MAX	单元	
电流检测：过流，过零，电压定位和相位平衡								
V OCPP	OCP电压（谷电流限制）	R xOCP-R = 20kΩ	TPS51650	4.6	7	9.2	毫伏	
			TPS59650	3.9	7	9.2		
		R xOCP-R = 24kΩ	TPS51650	7.6	10.0	12.1		
			TPS59650	6.7	10.0	12.1		
		R xOCP-R = 30kΩ	TPS51650	11.6	14.0	16.2		
			TPS59650	11.0	14.0	16.2		
		R xOCP-R = 39kΩ	TPS51650	16.5	19.0	21.2		
			TPS59650	15.6	19.0	21.2		
		R xOCP-R = 56kΩ	TPS51650	22.3	25.0	27.2		
			TPS59650	21.2	25.0	27.2		
		R xOCP-R = 75kΩ	TPS51650	29.2	32.0	34.5		
			TPS59650	28.3	32.0	34.5		
		R xOCP-R = 100kΩ	TPS51650	37.1	40.0	42.5		
			TPS59650	35.6	40.0	42.5		
		R xOCP-R = 150kΩ	TPS51650	46.1	49.0	51.9		
			TPS59650	45.6	49.0	51.9		
V IMAX	IMAX价值两个渠道	V IMAX_MIN = 133mV，xIMAX的值， V IMAX = V REF ×I MAX / 255			20		一个	
		V IMAX_MAX = 653mV，xIMAX的值			98		一个	
我 CS	CS引脚输入偏置电流	CSPx和CSNx		-1.0	0.2	1.0	μA	
我 xVFB	xVFB输入偏置电流，卸货	软停止结束，xVFB = 100 mV		90	125	180	μA	
G M-DROOP	下垂放大器跨导	xVFB = 1V	TPS51650	486	497	518	μS	
			TPS59650	480	497	518		
我 BAL_TOL	内部电流共享容差	(V CSP1 -V CSN1) = (V CSP2 -V CSN2) = (V CSP3 - V CSN3) = V OCPP_MIN			-3%	+ 3%		
CSINT	内部电流感应增益	从 CSPx 中获益 - CSNx PWM比较器			11.65	12.00	12.30	V / V

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

电气特性 (续)

在推荐的自由空气温度范围内, $V_{V5} = V_{V5DRV} = 5.0\text{ V}$; $V_{V3R3} = 3.3\text{ V}$; $V_{xGFB} = V_{PGND} = V_{GND}$, $V_{xVFB} = V_{CORE}$
(除非另有说明)

参 数		测 试 条 件		MIN	TYP	MAX	单 元	
定时器: SLEW速率, ISLEW, ADDR, 导通时间和I / O时序								
t STARTUP1启动时间		V BOOT > 0 V, SLEWRATE = 12 mV / μs, 无故障, 从VR_ON到控制器响应的时间 SVID命令				五	女士	
SL STRTSTPxVFB摆动软启动/软停止		SLEWRATE = 12mV/s/ VR_ON goes 'HI', VR_ON去 'LO' = 'Soft-stop'			1.25	1.50	1.75	毫伏微秒
SL SET 摆率设置	VSLEWA ≤0.30V (也禁用SVID CLK定时器)		10.0	12.0	14.5	毫伏微秒		
	V SLEWA = 0.4 V		3	4	五			
	V SLEWA = 0.6 V		7	8	10			
	0.75 V≤V SLEWA≤0.85 V		10.0	12.0	14.5			
	V SLEWA = 1.0 V		16					
	V SLEWA = 1.2 V		20					
	V SLEWA = 1.4 V		23					
	V SLEWA = 1.6 V		26					
t PGDDGLT@PGOOD抗尖峰时间		从xVFB输出+220 mV VDAC边界的时间到xPGOOD低。				五	15	微秒
t PGDDGLT@PGOOD抗尖峰时间		从xVFB输出-315 mV VDAC边界的时间到xPGOOD低。				50	100	微秒
t TON_CPU CPU准时	R CF = 20kΩ, V BAT = 12 V, V DAC = 1.1V (250kHz)		TPS51650	300	317	340	NS	
			TPS59650	298	317	340		
	R CF = 24kΩ, V BAT = 12 V, V DAC = 1.1 V (300 kHz)		TPS51650	245	261	284		
			TPS59650	243	261	284		
	R CF =30kΩ, V BAT = 12V, V DAC = 1.1 V (350 kHz)		TPS51650	210	223	242		
			TPS59650	208	223	242		
	R CF =39kΩ, V BAT = 12V, V DAC = 1.1 V (400 kHz)		TPS51650	184	196	216		
			TPS59650	181	196	216		
	R CF = 56kΩ, V BAT = 12 V, V DAC = 1.1 V (450 kHz)		TPS51650	169	181	201		
			TPS59650	166	181	201		
	R CF =75kΩ, V BAT = 12V, V DAC = 1.1 V (500 kHz)		TPS51650	153	164	184		
			TPS59650	150	164	184		
	R CF = 100kΩ, V BAT = 12 V, V DAC = 1.1 V (550 kHz)		TPS51650	140	151	171		
			TPS59650	137	151	171		
	R CF = 150kΩ, V BAT = 12 V, V DAC = 1.1 V (600 kHz)		TPS51650	130	140	160		
			TPS59650	127	140	160		

电气特性 (续)

在推荐的自由空气温度范围内, $V_{V5} = V_{V5DRV} = 5.0\text{ V}$; $V_{V3R3} = 3.3\text{ V}$; $V_{xGFB} = V_{PGND} = V_{GND}$, $V_{xVFB} = V_{CORE}$
(除非另有说明)

参数	测试条件		MIN	TYP	MAX	单元
定时器: 流速, ISLEW, ADDR, 导通时间和I / O时序 (续)						
t TON_GPU GPU准时	R GF = 20kΩ, V BAT = 12 V, V DAC = 1.1 V (275 kHz)	TPS51650	282	323	377	NS
		TPS59650	280	323	377	
	R GF = 24kΩ, V BAT = 12 V, V DAC = 1.1 V (330 kHz)	TPS51650	233	270	319	
		TPS59650	231	270	319	
	R GF = 30kΩ, V BAT = 12 V, V DAC = 1.1 V (385 kHz)	TPS51650	208	236	280	
		TPS59650	205	236	280	
	R GF = 39kΩ, V BAT = 12V, V DAC = 1.1 V (440 kHz)	TPS51650	185	210	248	
		TPS59650	182	210	248	
	R GF = 56kΩ, V BAT = 12 V, V DAC = 1.1 V (495 kHz)	TPS51650	172	195	230	
		TPS59650	169	195	230	
	R GF = 75kΩ, V BAT = 12V, V DAC = 1.1 V (550 kHz)	TPS51650	158	178	211	
		TPS59650	154	178	211	
	R GF = 100kΩ, V BAT = 12 V, V DAC = 1.1 V (605 kHz)	TPS51650	147	166	203	
		TPS59650	145	166	203	
	R GF = 150kΩ, V BAT = 12 V, V DAC = 1.1 V (660 kHz)	TPS51650	141	157	193	
		TPS59650	134	157	193	
t MIN 控制器最短关闭时间	固定值			150	225	NS
t VCCVID VID更改为xVFB更改 (3)	SetVID-x命令确认电压开始 爬梯			2		微秒
t VRONPGDVR_ON低到xPGOOD低				60	100	NS
t VRTDGLT VR_HOT去毛刺时间				0.2	0.5	女士
R SFTSTP 软停晶体管电阻	连接到CVFB, GVFB		500	740	1100	Ω
保护: OVP, UVP PGOOD, VR_HOT, 'FAULTS OFF' AND INTERNAL THERMAL SHUTDOWN						
V OVPH 修复OVP电压阈值 电压	VCSN1或VGCSN> V OVPH 1μs, DRVL→ON		1.67	1.72	1.77	V
V PGDH xPGOOD高门槛	在xVFB引脚wrt / VID代码处测量, 设备锁定关闭		190	220	245	毫伏
V PGDL xPGOOD低门槛	在xVFB引脚wrt / VID代码处测量, 设备锁定关闭		-348	-315	-278	毫伏
V THERM IMVP-7热位电压 定义	xTHERM寄存器的bit0 =高		755	783	810	毫伏
	xTHERM寄存器的bit1也是高的		657	680	707	
	xTHERM寄存器的bit2也是高的		611	638	665	
	xTHERM寄存器的bit3也是高的		569	598	624	
	xTHERM寄存器的bit4也是高的		532	559	585	
	xTHERM寄存器的bit5也是高的		498	523	549	
	xTHERM寄存器的bit6也是高的, ALERT变低		462	455	514	
	xTHERM寄存器的bit7也是高的, VR_HOT变低		430	455	481	
	CDLx变低, CDHx变低		373	410	428	
我 THERM THERM电流	漏电流, V x THERM= 1 V		-2		2	μA
TH INT 内部控制器散热 关机 (3)	锁定控制器			155		C
TH HYS 控制器热量SD 迟滞 (3)	转换器之前需要冷却可以重置			20		C

(3) 由设计指定.未经生产测试.

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

电气特性 (续)

在推荐的自由空气温度范围内, $V_{V5} = V_{V5DRV} = 5.0\text{ V}$; $V_{V3R3} = 3.3\text{ V}$; $V_{xGFB} = V_{PGND} = V_{GND}$, $V_{xVFB} = V_{CORE}$
(除非另有说明)

参数	测试条件	MIN	TYP	MAX	单元
逻辑 (VCLK, VDIO, ALERT, VR_HOT, VR_ON) 接口引脚: I/O 电压和电流					
R_RSVIDL 开漏下拉电阻	VDIO, ALERT, VR_HOT, 下拉电阻在 0.31V	4	8	13	Ω
R_RPGDL 开漏漏电阻, xPGOOD 下拉电阻	为 0.31 V		36	50	Ω
我 VRTTLK 开漏漏电流	VR_HOT, xPGOOD, Hi-Z 泄漏, 在关闭状态下应用 3.3V	-2	0.2	2	μA
V_IL 输入逻辑低	VCLK, VDIO			0.45	V
V_IH 输入逻辑高	VCLK, VDIO	0.65			V
V_HYST 滞后电压 (4)			50		毫伏
V_VR_ONL VR_ON 逻辑低				0.3	V
V_VR_ONH VR_ON 逻辑高		0.8			V
我 VR_ONHI / O 3.3 V 泄漏	漏电流 V_VR_ON = 1.1 V	8		25	μA
过度和减少减少 (OSR / USR) 阈值设置					
V_OS_R OSR 电压设置 (COCP-R 引脚用于 GPU 的 CPU GOCP-R)	V_XOCP-R = 0.2V		106		毫伏
	V_XOCP-R = 0.4V		156		
	V_XOCP-R = 0.6V		207		
	V_XOCP-R = 0.8 V		257		
	V_XOCP-R = 1.0V		308		
	V_XOCP-R = 1.2V		409		
	V_XOCP-R = 1.4 V		510		
	V_XOCP-R = 1.6 V		610		
V_US_R USR 电压设置 (COCP-R 引脚用于 GPU 的 CPU GOCP-R)	V_XOCP-R = 0.2V		40		毫伏
	V_XOCP-R = 0.4V		60		
	V_XOCP-R = 0.6V		80		
	V_XOCP-R = 0.8 V		120		
	V_XOCP-R = 1.0V		160		
	V_XOCP-R = 1.2V		200		
	V_XOCP-R = 1.4 V		240		
	V_XOCP-R = 1.6 V		关闭		
V_OS_R_ON / V_US_R 使能 (CPU 和 CPU GPU)	GSKIP 电压在启动时			0.15	V
V_US_R_OFF USR OFF 设置 (两个 CPU 和 GPU)	GSKIP 电压在启动时	0.4		1.1	
V_OS_R_OFF OSR OFF 设置 (两个 CPU 和 GPU)	GSKIP 电压在启动时	1.4			
V_OS_RHYS OSR / USR 电压滞后 (5)	所有设置		五		毫伏

(4) 由设计指定. 未经生产测试.

(5) 由设计指定. 未经生产测试.

电气特性 (续)

在推荐的自由空气温度范围内, $V_{V5} = V_{V5DRV} = 5.0\text{ V}$; $V_{V3R3} = 3.3\text{ V}$; $V_{xGFB} = V_{PGND} = V_{GND}$, $V_{xVFB} = V_{CORE}$
(除非另有说明)

参数	测试条件	MIN	TYP	MAX	单元
驱动程序: 高端, 低端, 交叉电路的预防和增强整流器					
R _{DRVH} DRVH导通电阻	($V_{CBSTx} - V_{CSWx}$) = 5V, “HI”状态, ($V_{VBST} - V_{VDRVH}$) = 0.25V		1.2	2.5	Ω
	($V_{CBSTx} - V_{CSWx}$) = 5V, “LO”状态, ($V_{DRVH} - V_{CSWx}$) = 0.25V		0.8	2.5	
我 _{DRVH} DRVH汇/源电流 (6)	$V_{CDHx} = 2.5\text{ V}$, ($V_{CBSTx} - V_{CSWx}$) = 5V, 源极		2.2		一个
	$V_{CDHx} = 2.5\text{ V}$, ($V_{CBSTx} - V_{CSWx}$) = 5V, 汇		2.2		一个
DRVH DRVH转换时间	CDH x 10% 至 90% 或 90% 至 10%, $C_{CDHx} = 3\text{ nF}$		15	40	NS
			15	40	NS
R _{DRVL} DRVL ON阻力	“HI” State, ($V_{V5DRV} - V_{VDRVL}$) = 0.25 V		0.9	2	Ω
	“LO” State, ($V_{VDRVL} - V_{PGND}$) = 0.2 V		0.4	1	
我 _{DRVL} DRVL汇/源电流 (6)	$V_{CDLx} = 2.5\text{ V}$, 源		2.7		一个
	$V_{CDLx} = 2.5\text{ V}$, 接收器		6		一个
DRVL DRVL过渡时间	V_{CDLx} 90% 至 10%, $C_{CDLx} = 3\text{ nF}$		15	40	NS
	V_{CDLx} 10% 至 90%, $C_{CDLx} = 3\text{ nF}$		15	40	
t _{NONOVLP} 司机非重叠时间	V_{CSWx} 下降到 1V 到 V_{CDLx} 上升到 1V	8	25		NS
	$CDLx$ 下降到 1V, $CDHx$ 上升到 1V	8	25		
R _{DS(上)} BST导通电阻	($V_{V5DRV} - V_{VBST}$), $I_F = 5\text{ mA}$	五	10	22	Ω
我 _{BSTLK} BST开关漏电流	$V_{VBST} = 34\text{ V}$, $V_{CSWx} = 28\text{ V}$		0.1	1	μA
PWM和SKIP输出: I/O电压和电流					
V _{PWML} xPWM _y 输出低电平				0.3	V
V _{PWMH} xPWM _y 输出高电平		4.2			V
V _{SKIPL} xSKIP低电平输出电压				0.3	V
V _{SKIPH} xSKIP高电平输出电压		4.2			V
V _{PW} (泄漏) xPWM _x 泄漏	三态, $V_{xPWMx} = 5\text{ V}$			0.1	μA

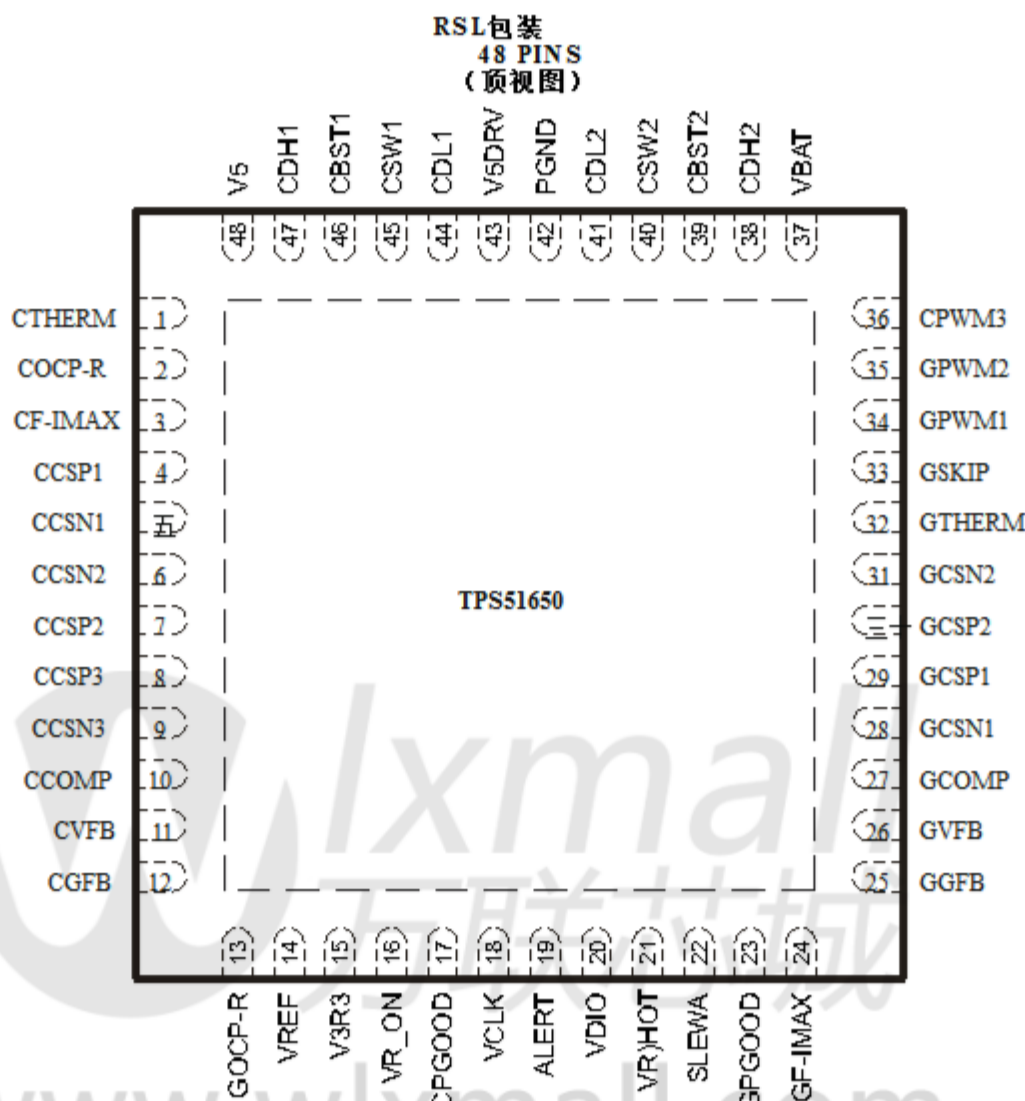
(6) 由设计指定. 未经生产测试.

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

设备信息



引脚功能

名称	引脚	I/O	描述
警报	19	Ø	SVID中断线, 漏极开路. 在VCLK和VDIO之间路由以防止串扰.
CBST1	46	—	CPU阶段1的最高N沟道FET自举电压输入.
CBST2	39	—	CPU阶段2的最高N沟道自举电压输入.
CCSN1	5	—	CPU转换器的负电流检测输入. 连接到电流感应的最负面的节点 电阻或电感DCR感测网络. CCSN1有一个二级OVP比较器.
CCSN2	6		
CCSN3	9		
CCOMP	10	Ø	GM转换器的误差放大器的输出. VREF电阻设置下垂增益.
CCSP1	4	—	CPU转换器的正电流检测输入. 连接到电流检测电阻最正端的节点 电阻或电感DCR感测网络. 将CCSP3, 2或1 (按此顺序) 连接到V3R3以禁用相位. 把CCSP1连接到V3R3只能运行GPU转换器.
CCSP2	7		
CCSP3	8		
CDH1	47	Ø	CPU阶段1的最高N沟道FET栅极驱动输出.
CDH2	38	Ø	用于CPU阶段2的顶层N沟道FET栅极驱动输出.
CDL1	44	Ø	CPU阶段1的同步N沟道FET栅极驱动输出.
CDL2	41	Ø	CPU阶段2的同步N沟道FET栅极驱动输出.

销 名称	没有	I/O	描述
CF-IMAX	3	—	分压器VREF. GND电阻设置CPU转换器的工作频率.电压水平 —世设置CPU转换器的最大工作电流. IMAX值是一个8位A / D, 其中V IMAX = V REF × IMAX / 255两者都在启动时锁定.
CGFB	12	—	电压检测返回连接到CPU转换器.用一个10- —世微处理器不在插座中. Ω电阻来关闭反馈的时候
COCP-R	2	—	电阻到GND (R COCP) 选择CPU转换器的8个OCP电平 (每相, 在启动时锁存) 中的一个. 也, —世此引脚上的电压为CPU转换器设置8个USR / OSR级别中的1个.
CPGOOD	17	Ø	用于CPU转换器的IMVP-7_PWRGD输出.漏极开路.
CSW1	45	I/O	CPU阶段1的最高N沟道FET栅极驱动器返回.
CSW2	40	I/O	CPU阶段2的最高N沟道FET栅极驱动器返回.
CPWM3	36	Ø	外部驱动器的PWM控制, 5V逻辑电平.
CTHERM	1	I/O	CPU转换器的热传感器连接.连接到VREF的电阻与NTC形成一个分频器 —世热敏电阻连接到GND.
CVFB	11	—	电压检测线直接连接到CPU转换器的V CORE. 用一个10Ω电阻连接到V CORE 来关闭 —世反馈时 μP不在插座中.软停止晶体管在这个引脚上
GCOMP	27	Ø	GPU转换器的g M误差放大器的输出. VREF电阻设置下垂增益.
GCSN1	28	—	—世GPU转换器的负电流检测输入.连接到电流检测电阻的最负端节点
GCSN2	31	—	—世或电感DCR感测网络.
GCSP1	29	—	—世GPU转换器的正电流检测输入.连接到电流检测电阻最正端的节点
GCSP2	三十	—	—世或电感DCR感测网络.将GCSP2连接至V3R3以禁用相位.将GCSP1和GCSP2绑定到V3R3即可 —世完全禁用GPU转换器.
GGFB	25	—	电压检测返回绑定的GPU转换器.用一个10- —世微处理器不在插座中. Ω电阻来关闭反馈的时候
GF-IMAX	24	—	分压器VREF. R到GND设置GPU转换器的工作频率.电压电平设置 —世GPU转换器的最大工作电流. IMAX值是一个8位A / D, 其中V IMAX = V REF × IMAX / 255两者都在启动时锁定.
GOCP-R	13	—	—世电阻到GND (R GOCP) 选择GPU转换器的8个OCP电平中的一个 (每相, 在启动时锁存). 也, —世该引脚上的电压为GPU转换器设置了8个USR / OSR级别中的1个.
GPGOOD	23	Ø	用于GPU转换器的IMVP-7_PWRGD输出.漏极开路.
GPWM1	34	Ø	用于GPU通道两个阶段 (5-V逻辑电平) 的外部驱动器的PWM控制输入.
GPWM2	35	Ø	
GSKIP	33	Ø	跳转模式控制GPU转换器的外部驱动程序; 5-V逻辑电平.逻辑HI = FCCM; LO = SKIP.一个 —世此引脚在启动时定义的电压电平可将OSR关闭或USR关闭.
GTHERM	32	I/O	GPU转换器的热传感器输入.连接到VREF的电阻与NTC形成一个分频器 —世热敏电阻连接到GND.
GVFB	26	—	—世电压检测线直接连接到GPU转换器的V GFX. 用一个10Ω电阻连接V GFX 以闭合反馈 —世当微处理器不在插座中时.软停止晶体管在这个引脚上
PGND	42	-	同步N沟道FET栅极驱动返回.
SLEWA	22	—	—世启动时的电压为两个转换器设置了7个转换速率中的1个.慢速率是SLEWRATE / 4.慢启动 —世和软停止率是SLEWRATE / 8.该值在启动时被锁存.对于TPS59650, 将电阻设置为GND —世基地SVID地址.
V5	48	—	—世模拟电路的5V电源输入.通过电阻连接到5V平面, 并通过旁路到GND —世电容器 ≥1μF陶瓷
V5DRV	43	—	—世门驱动器的电源输入.用外部电阻连接到V5F;与...解耦 —世电容. ≥2.2μF陶瓷
V3R3	15	—	—世3.3V电源输入.旁路到GND ≥1μF陶瓷盖.
VBAT	37	—	—世向两个转换器的接通时间电路提供VBAT信息.一个10-K Ω串联电阻保护 —世相邻引脚由于焊接桥或测试过程中的错误探测而无意中短路.
VCLK	18	—	—世SVID时钟. 1-V逻辑电平.
VDIO	20	I/O	SVID数字I / O线. 1-V逻辑电平.
VREF	14	Ø	1.7-V, 500A参考.用0.22μF陶瓷电容旁路至GND.
VR_ON	16	—	—世IMVP-7 VR启用. 1V I / O级别. 100纳秒的反弹.调压器进入低电平时进入受控软停止.
VR_HOT	21	Ø	IMVP-7热标志开漏输出 - 低位活跃通常通过56Ω上拉至1 V逻辑电平.下降时间 —世<100ns.使用连续的1ms采样1ms去毛刺.

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

销		I/O	描述
名称	没有		
垫	GND	-	导热垫和模拟电路参考;将系统地平面上的一个安静区域连接到多个过孔。



典型特征
三相配置, 94-A CPU

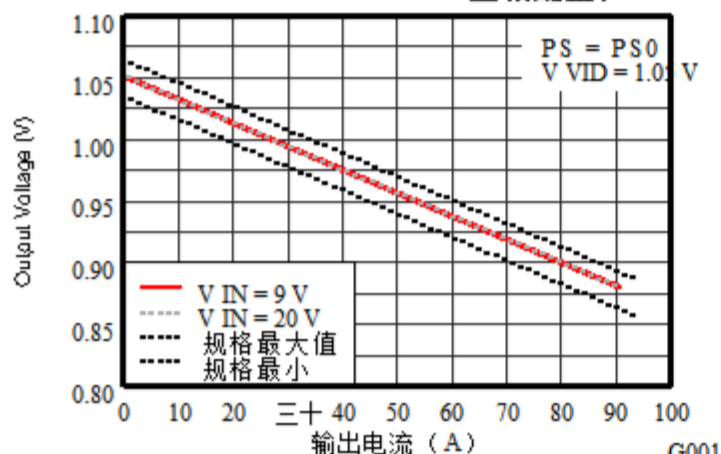


图1. 输出电压与PS0中的负载电流

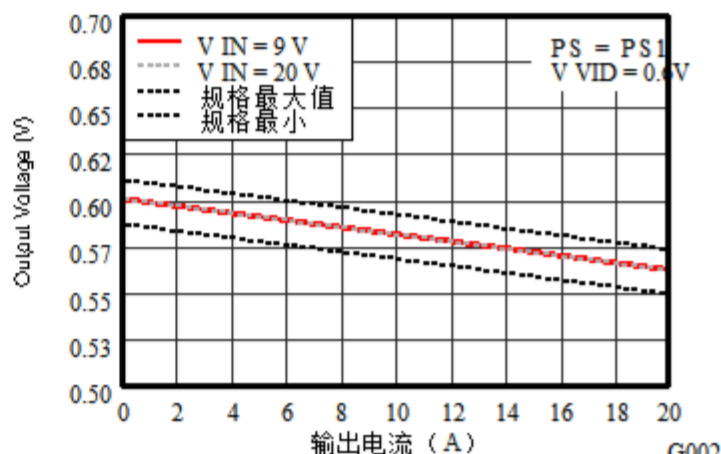


图2. PS1中的输出电压与负载电流

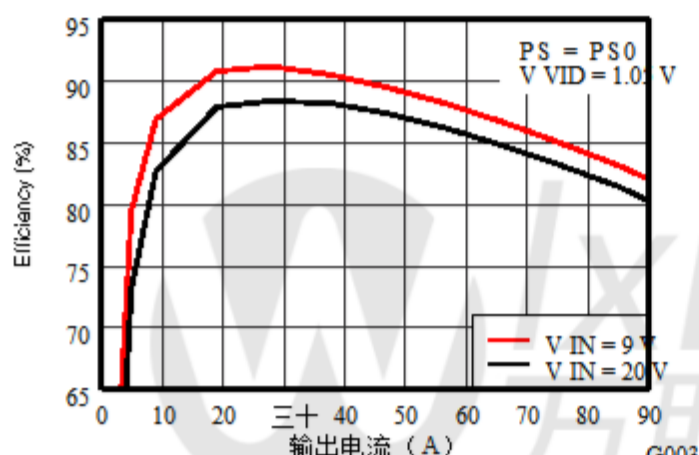


图3. PS0中的效率与负载电流

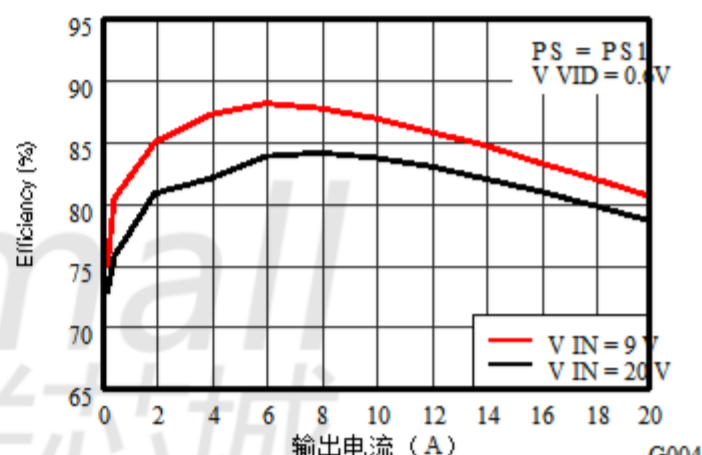


图4. PS1中的效率与负载电流

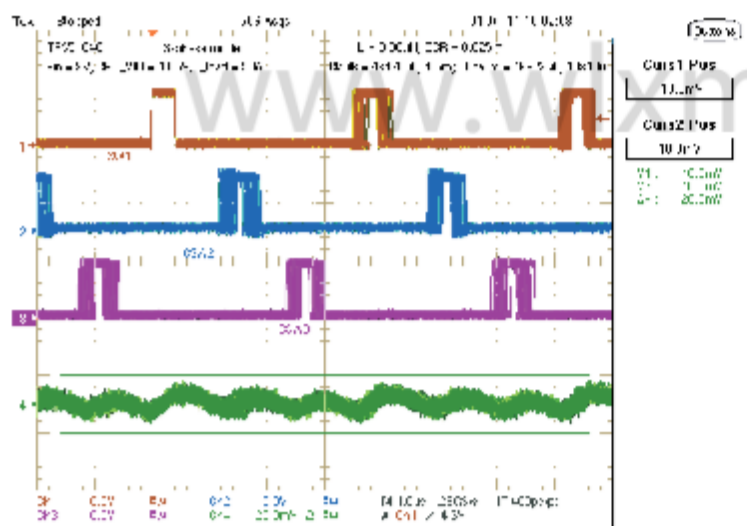


图5. PS0开关纹波, V_{IN} = 9 V

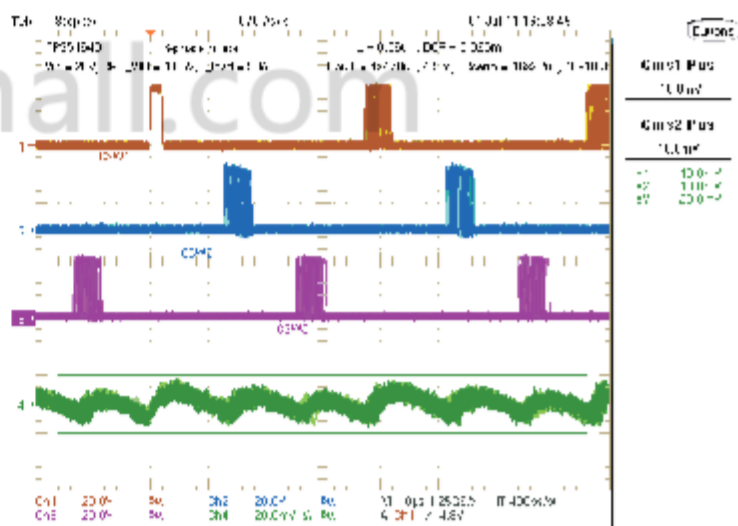


图6. 在PS0中切换纹波, V_{IN} = 20 V

典型特征

三相配置, 94-A CPU (续)

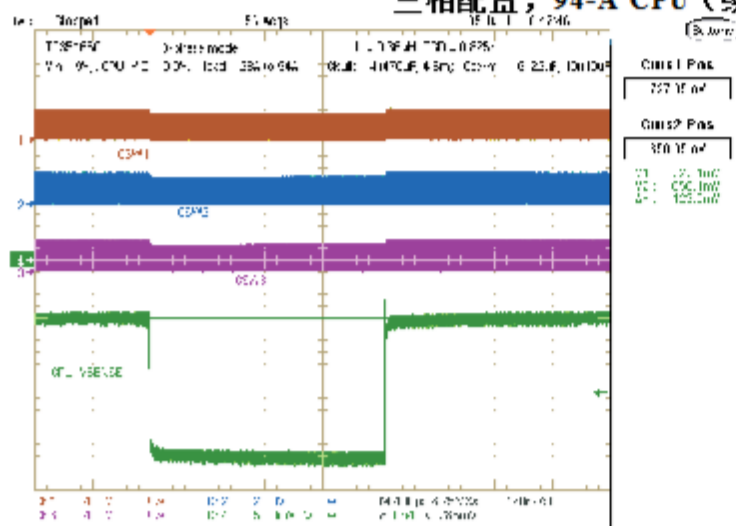


图7.负载瞬态: $V_{IN}=9V$, 负载阶跃=66A.

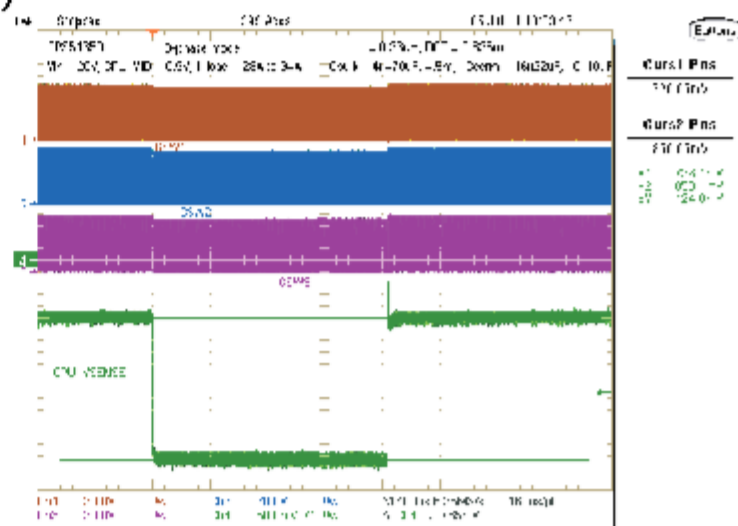


图8.负载瞬态, $V_{IN}=20V$, 负载阶跃=66A.

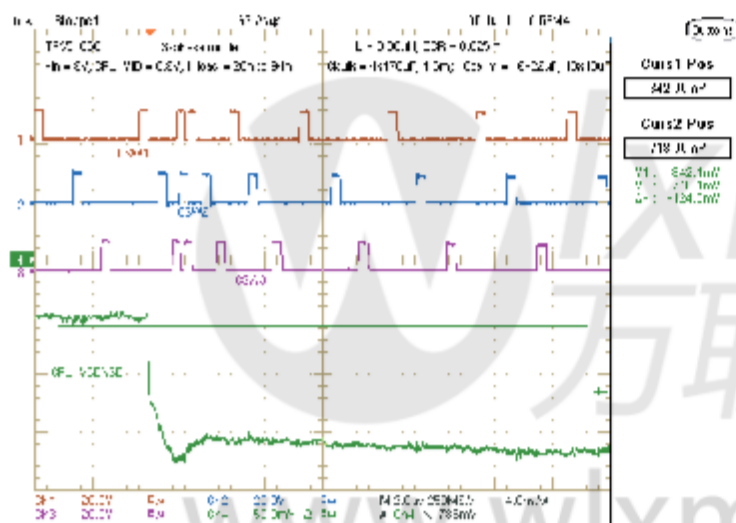


图9.负载瞬态, $V_{IN}=9V$, 负载阶跃=66A.

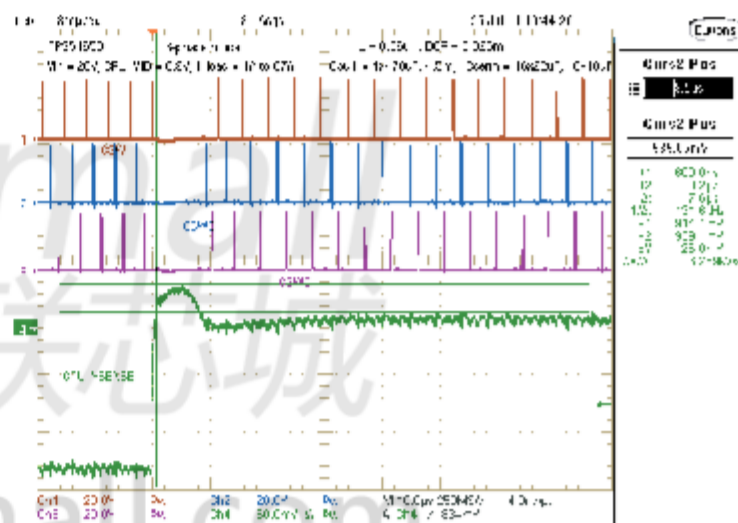


图10.负载瞬态, $V_{IN}=20V$, 负载阶跃=66A.

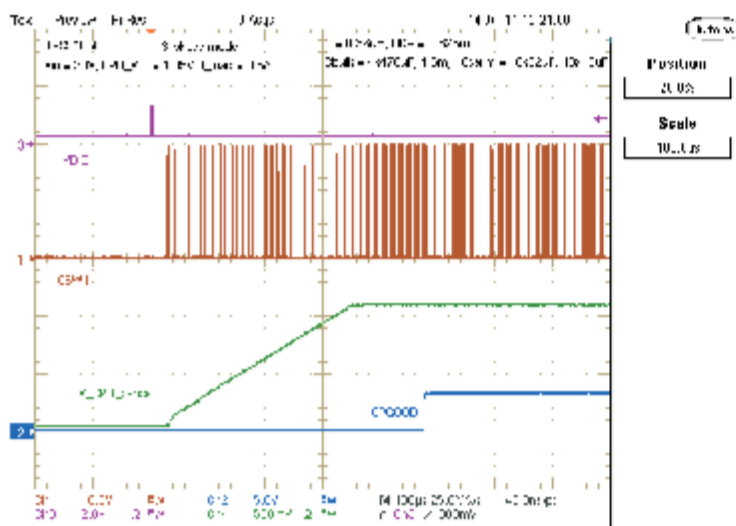


图11.启动和PGOOD

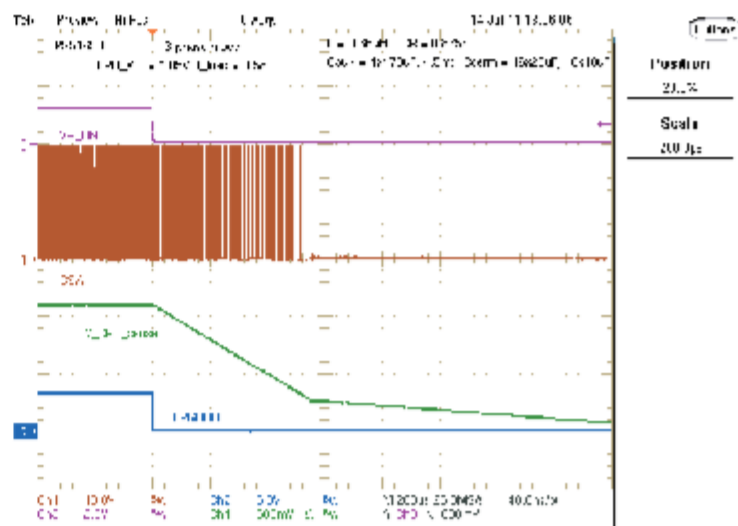


图12.软停止

典型特征 三相配置, 94-A CPU (续)

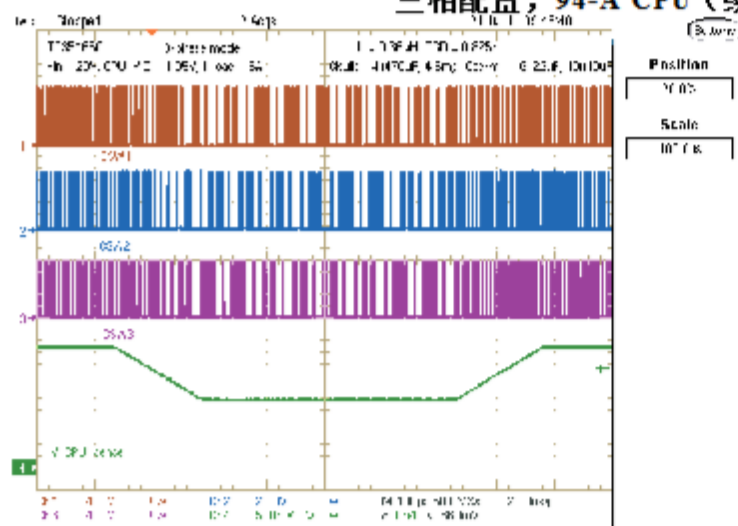


图13.动态VID: $V_{IN} = 20V$, $SetVID_{Slow} = 0.6V$, $SetVID_{Slow} = 1.05V$

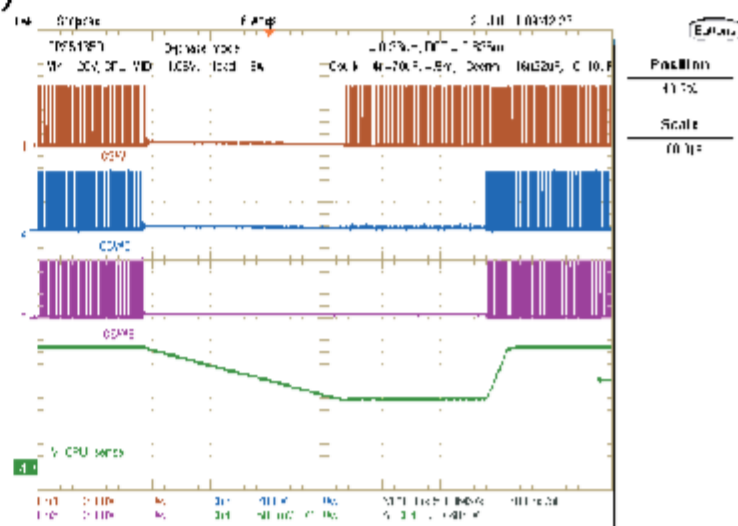


图14.动态VID: $V_{IN} = 20V$, $SetVID_{Fast} = 0.6V$, $SetVID_{Fast} = 1.05V$

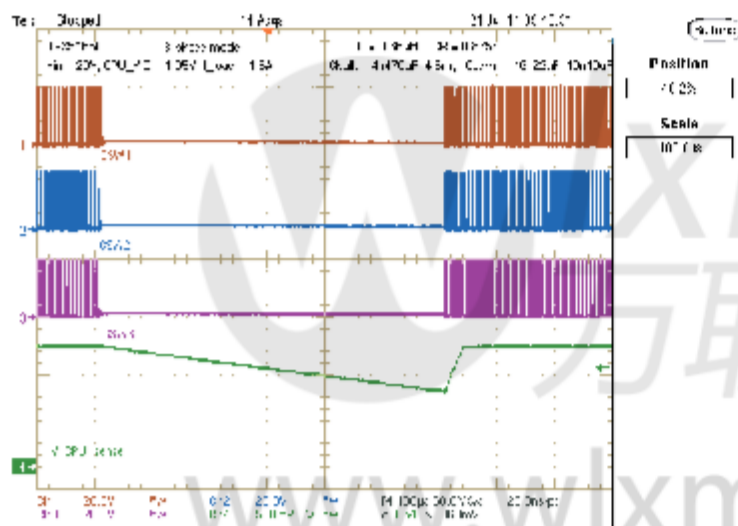


图15.动态VID: $V_{IN} = 20V$, $SetVID_{Decay} = 0.6V$, $SetVID_{Fast} = 1.05V$

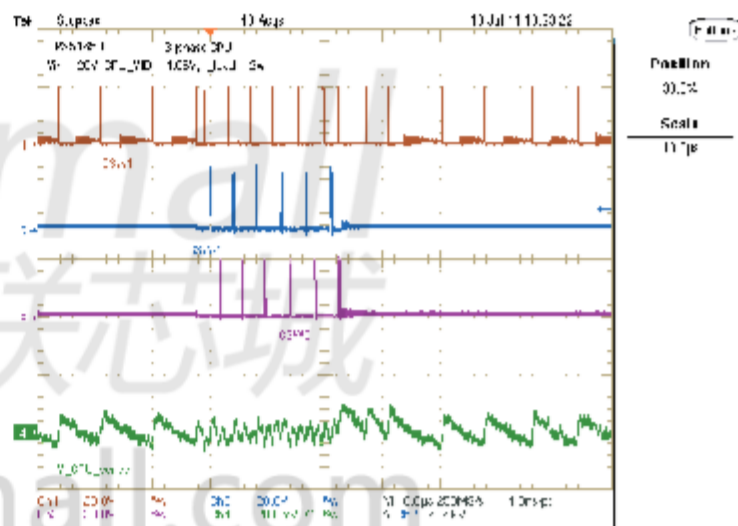


图16. PS更改: $V_{IN} = 20V$, PS0至PS1切换

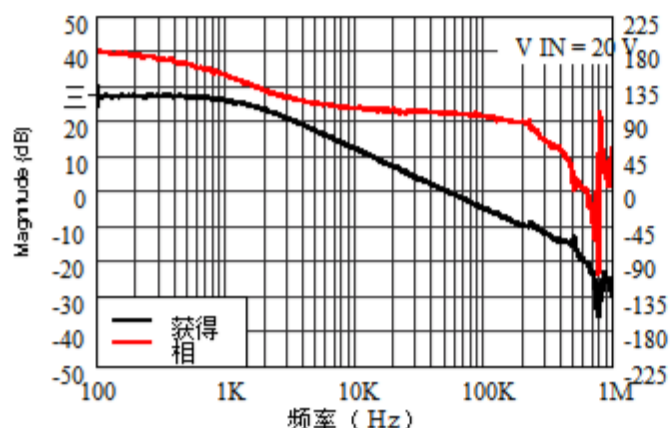


图17.增益阶段波德图

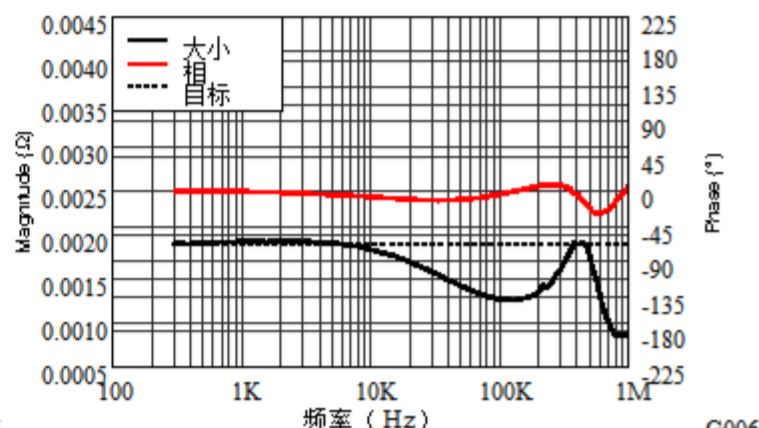


图18.输出阻抗

TPS51650, TPS59650

SLUS477 2012年1月

www.ti.com

典型特征 2相配置, 46-A GPU

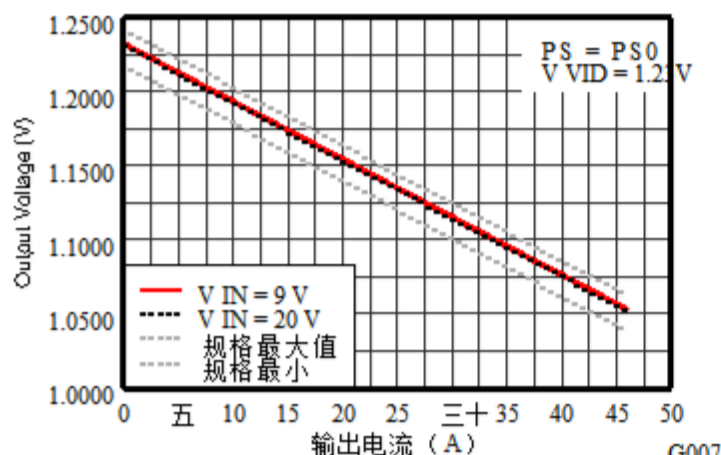


图19.输出电压与VS在PS0中加载电流

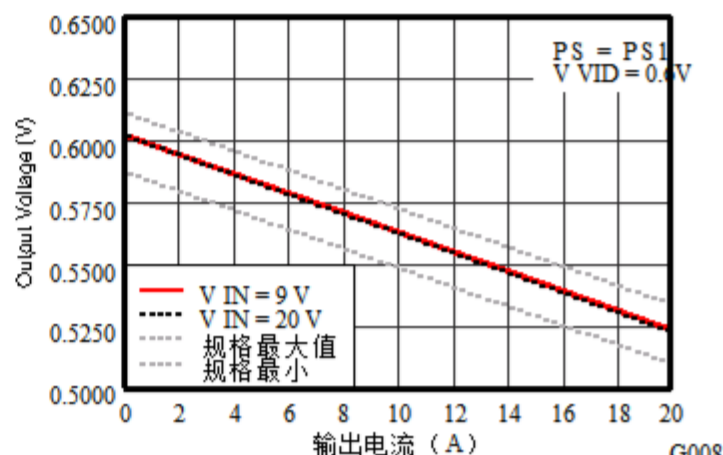


图20.输出电压与Vs.在PS0中加载电流

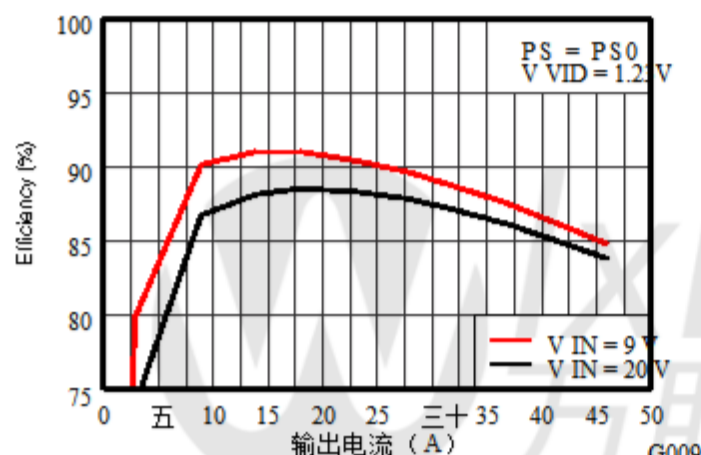


图21.效率与VS在PS0中加载电流

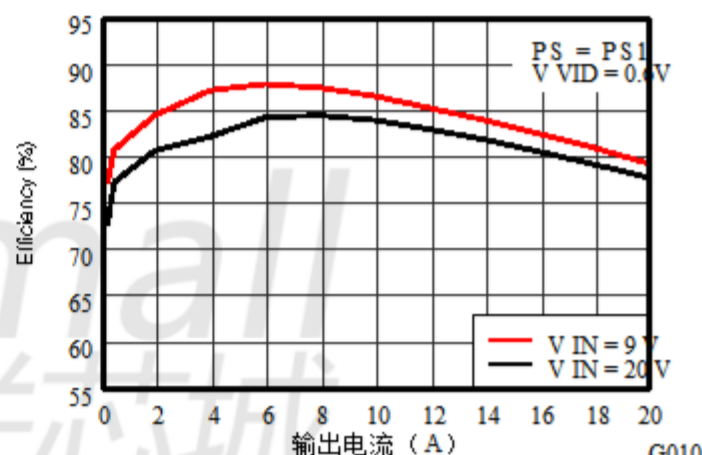


图22. SEfficiency与VS在PS0中加载电流

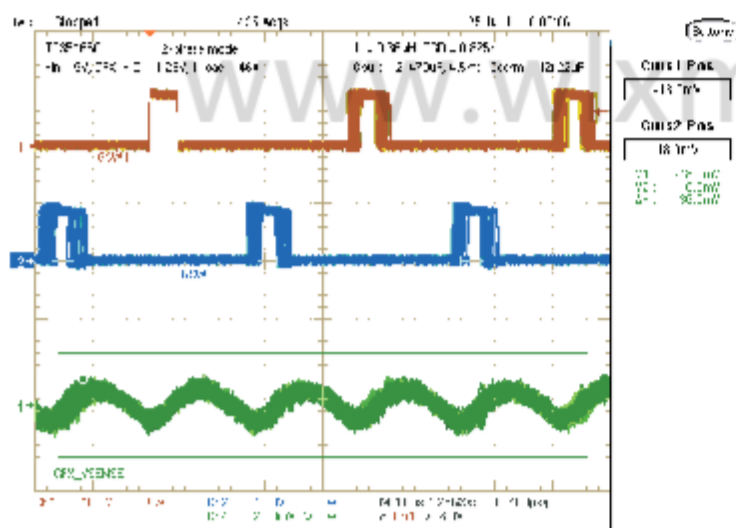


图23.在PS0中切换纹波, V IN = 9 V.

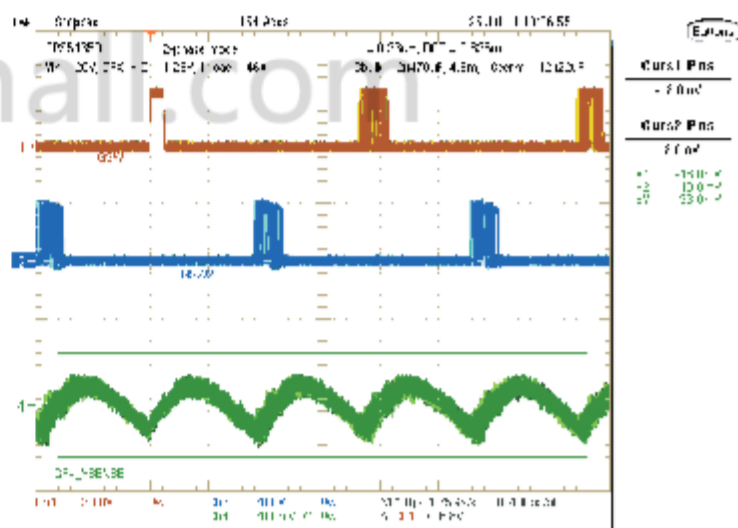


图24.在PS0中切换纹波, V IN = 20 V.

典型特征

两相配置, 46-A GPU (续)

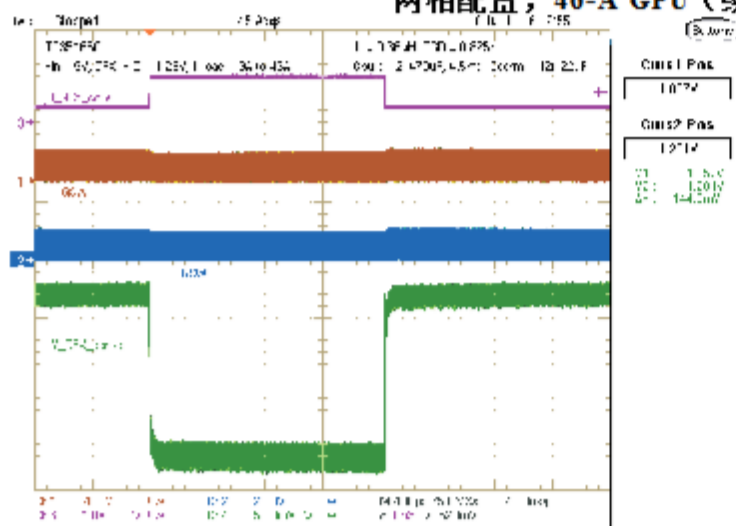


图25.负载瞬态, VIN = 9V, 负载阶跃= 37A.

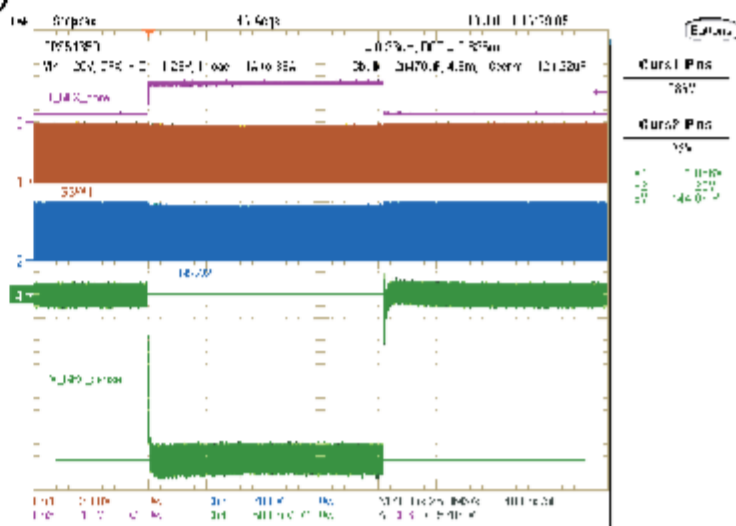


图26.负载瞬态, VIN = 20V, 负载阶跃= 37A.

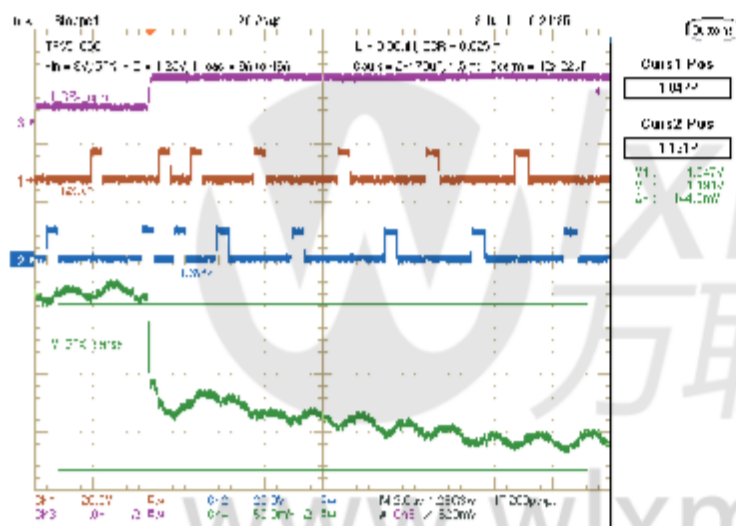


图27.负载瞬态, VIN = 9V, 负载阶跃= 37A.

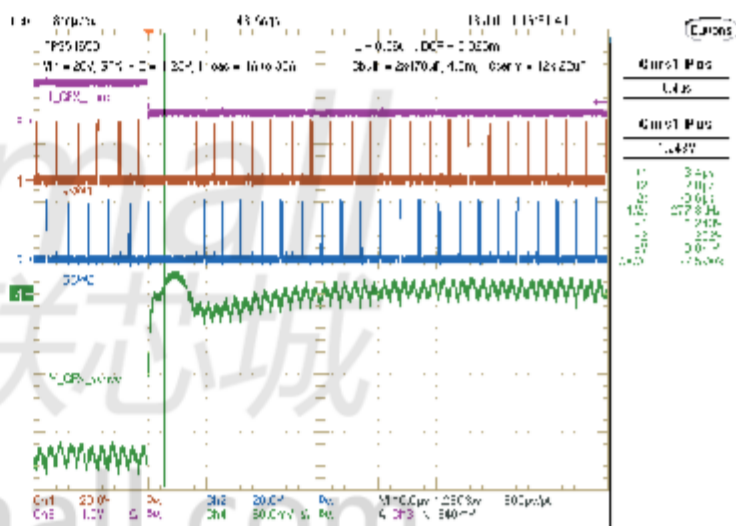


图28.负载瞬态, VIN = 20V, 负载阶跃= 37A.

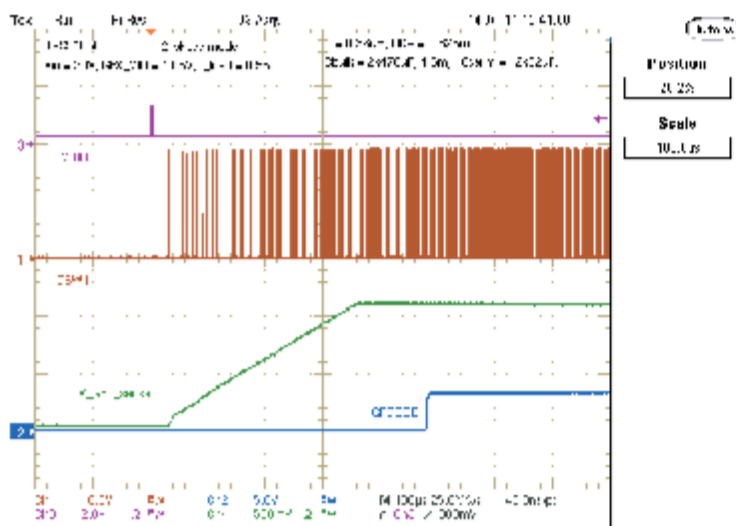


图29.启动和PGOOD

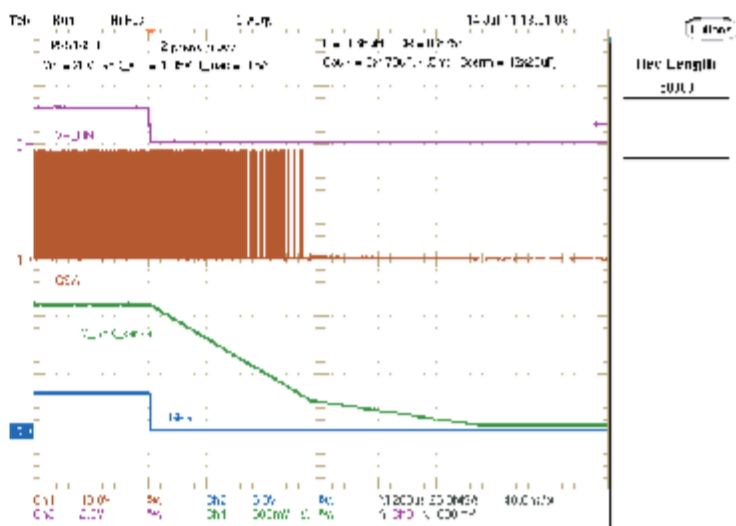


图30.软停止

典型特征

两相配置, 46-A GPU (续)

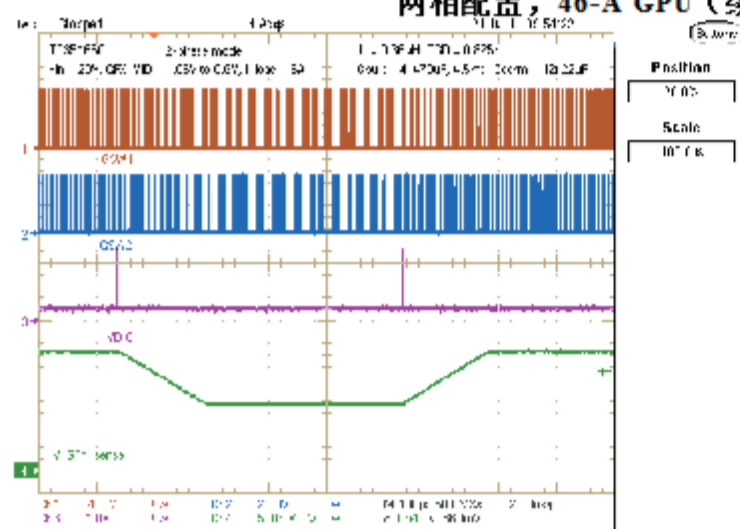


图31.动态VID: $V_{IN} = 20V$, $SetVIDSlow = 0.6V$,
 $SetVIDSlow = 1.05V$

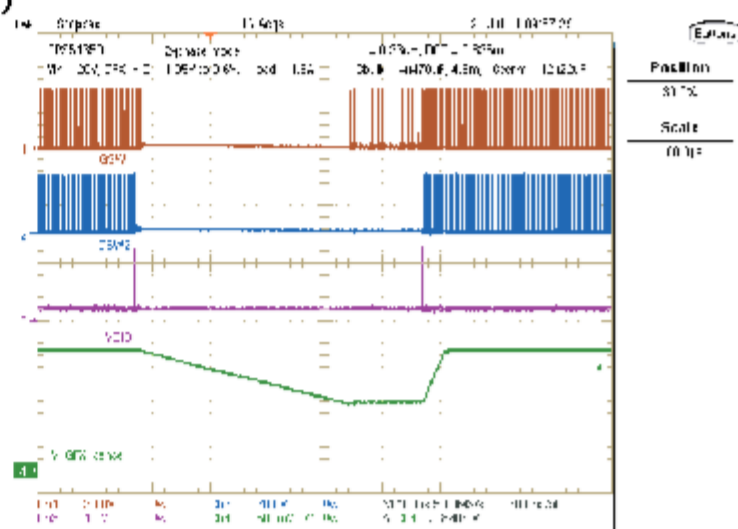


图32.动态VID: $V_{IN} = 20V$, $SetVIDDecay = 0.6V$,
 $SetVIDFast = 1.05V$

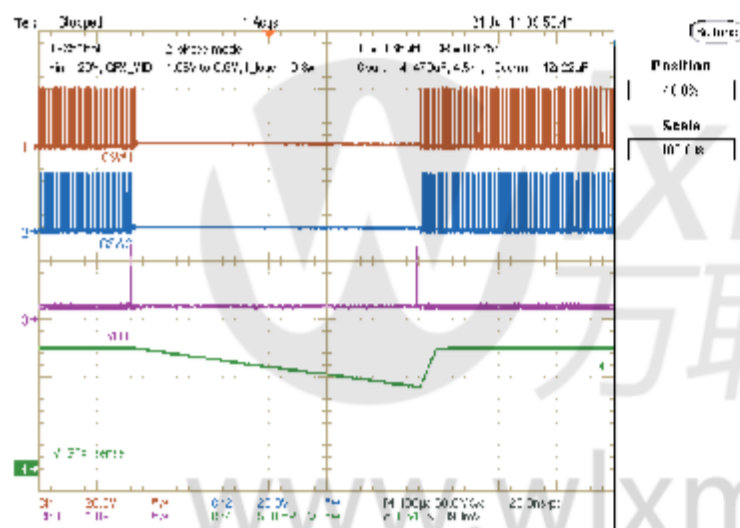


图33.动态VID: $V_{IN} = 20V$, $SetVIDDecay = 0.6V$,
 $SetVIDFast 1.05V$

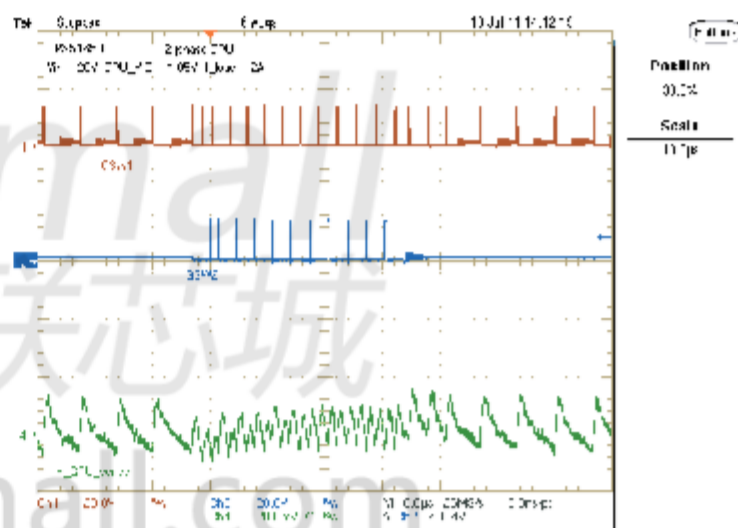


图34. PS更改: $V_{IN} = 20V$, PS0至PS1切换

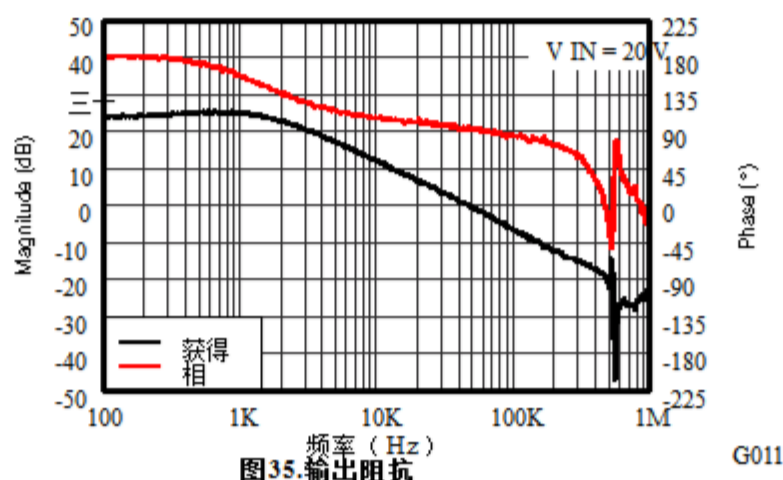
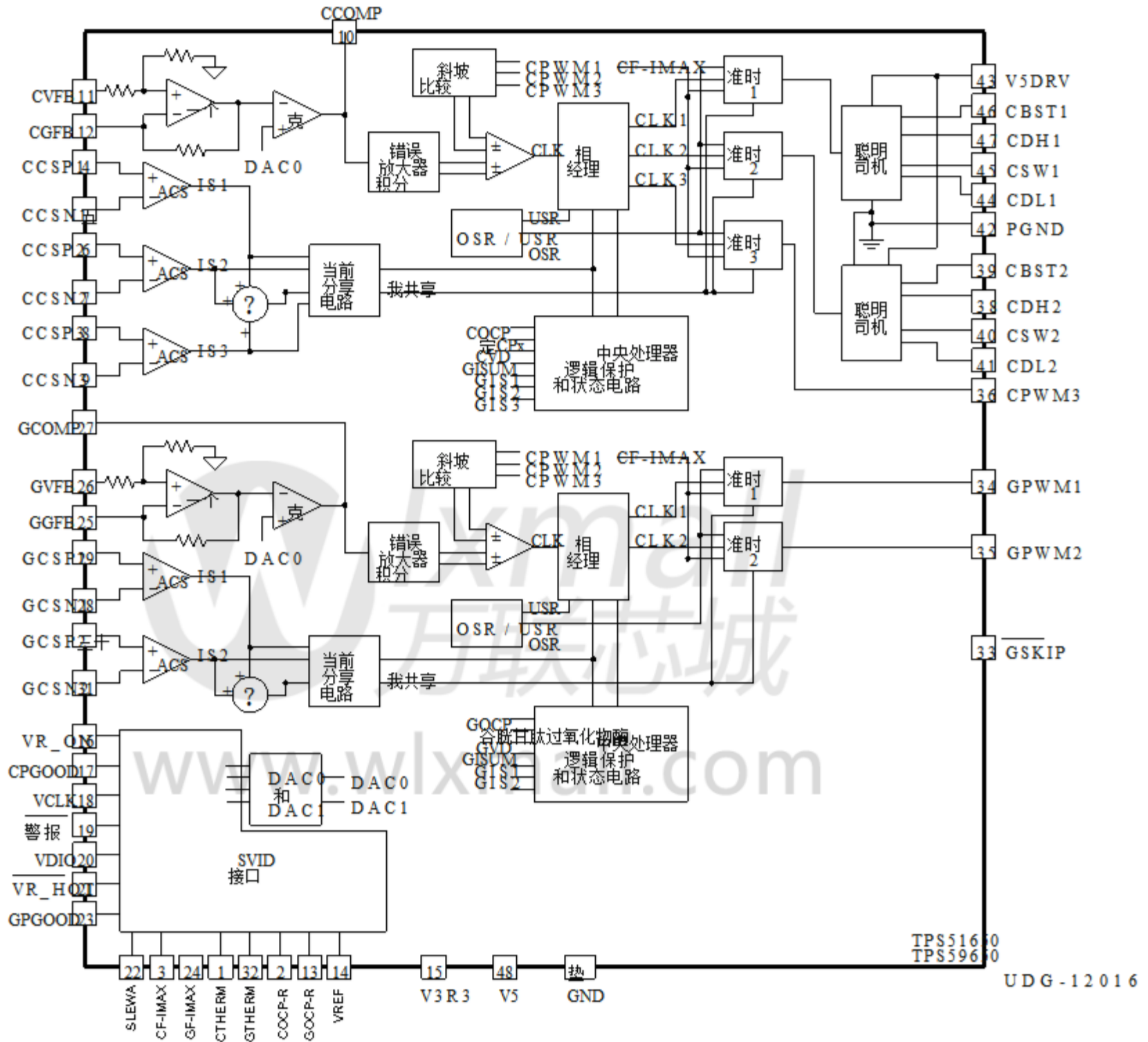


图35.输出阻抗

功能框图



应用信息

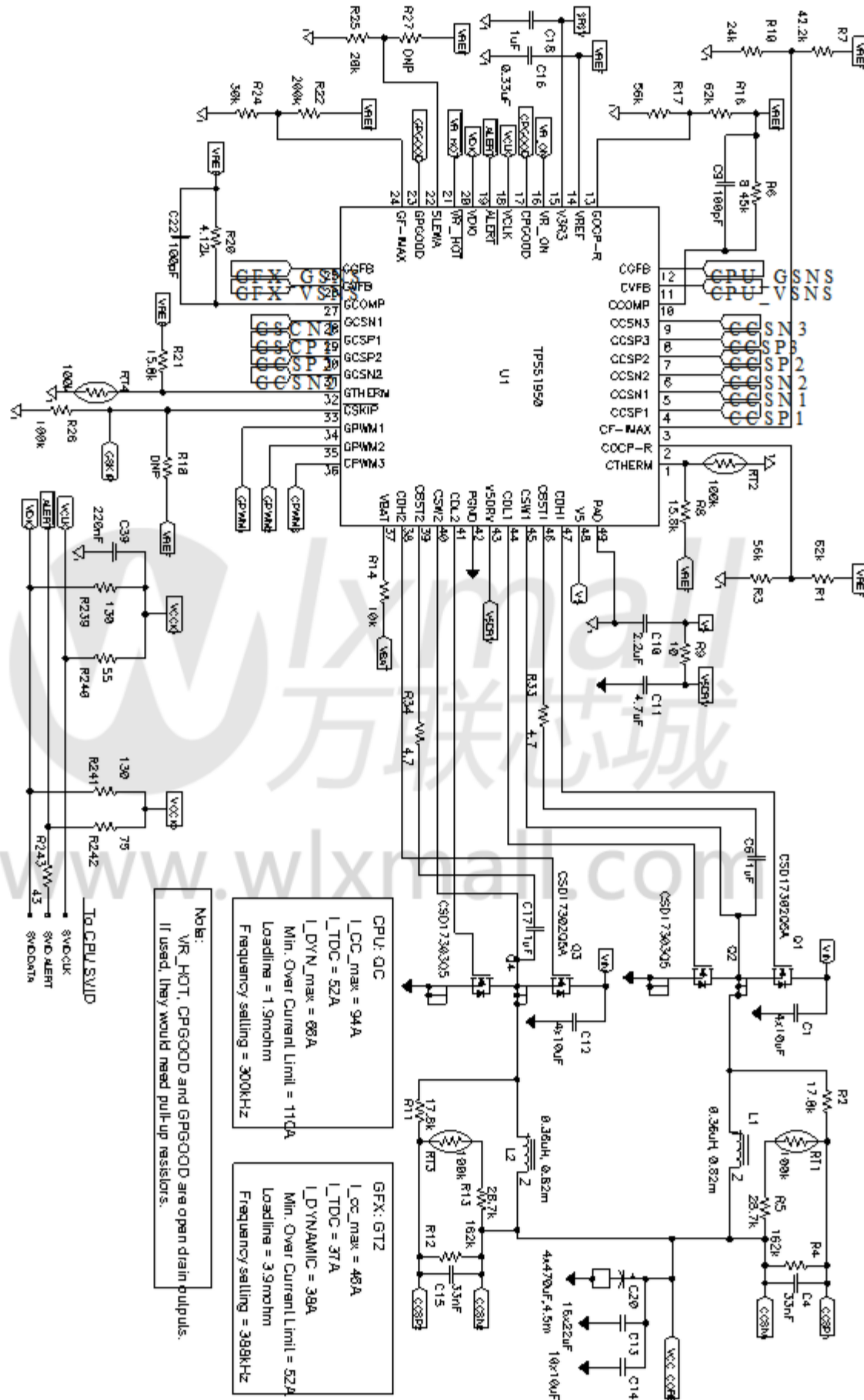


图36.具有电感器DCR电流检测的三相CPU，两相GPU的应用框图



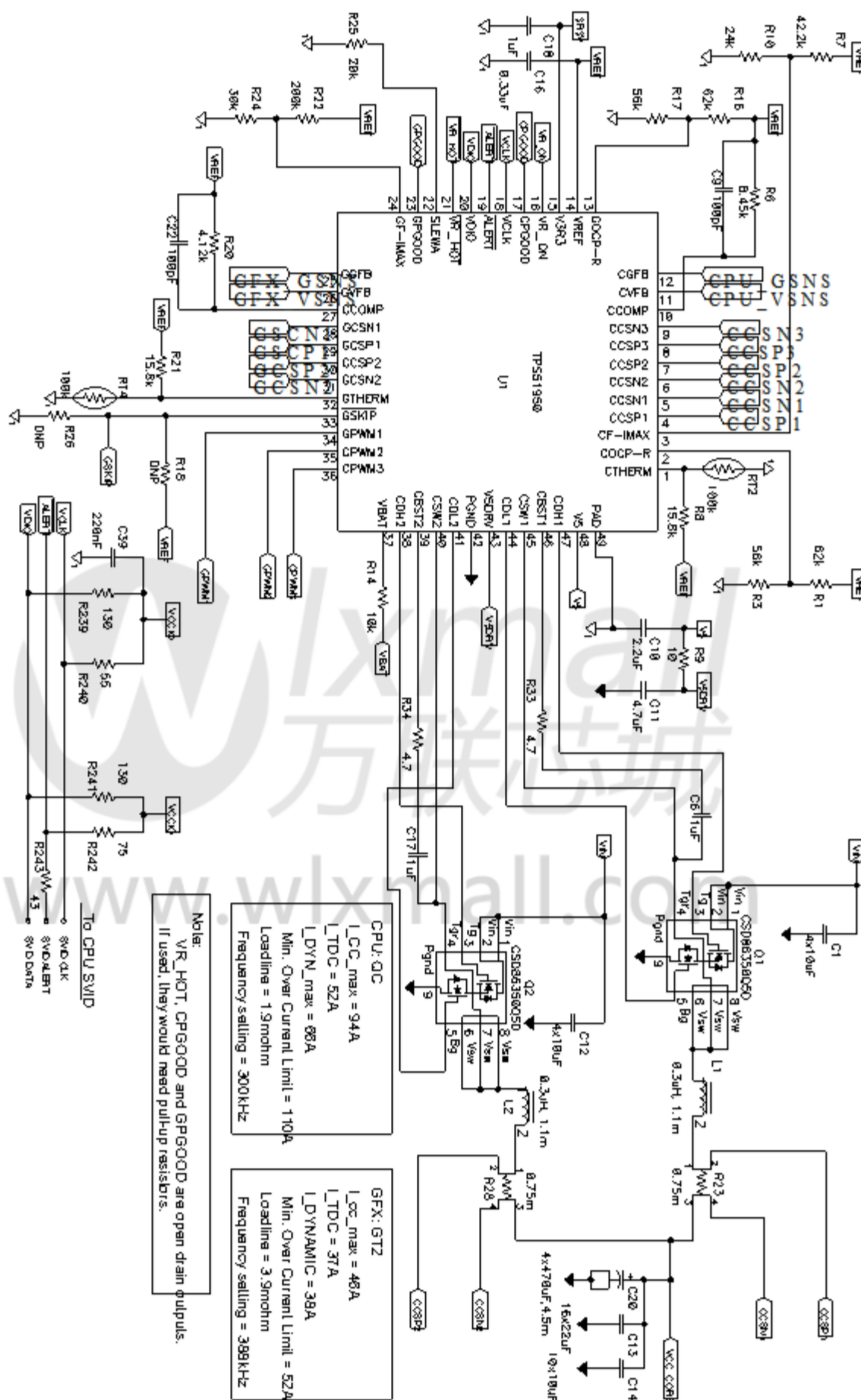


图40.用于两相CPU和GPU的电感器DCR电流检测应用框图的应用

表1.关键的外部组件建议

功能	制造商	组件编号
高端MOSFET	德州仪器	CSD17302Q5A
低端MOSFET	德州仪器	CSD17303Q5
Powerblock MOSFET	德州仪器	CSD87350Q5D
电感器	松下	ETQP4LR36AFC
	NEC-东金	MPCH1040LR36, MPCG1040LR36
	TOKO	FDUE1040J-H-R36, FCUL1040xxR36
	ALPS	GLMDR3601A
大容量输出电容器	松下	EEFLXOD471R4
	三洋	2TPLF470M4E
	KEMET	T528Z477M2R5AT
陶瓷输出电容器	村田	GRM21BR60J106KE19L
	村田	GRM21BR60J226ME39L
	松下	ECJ2FB0J106K
	松下	ECJ2FB0J226K
NTC热敏电阻	村田	NCP15WF104F03RC, NCP18WF104F03RC
	松下	ERTJ1VS104F, ERTJ0ES104F
感应电阻	日前, Vishay	WSK0612L7500FEA
	斯塔克波尔	CSSK0612FTL750

详细说明

功能概述

TPS51650和TPS59650是DCAP +™模式自适应准时控制器。

输出电压使用一个DAC来设置,该DAC根据中定义的8位VID代码输出参考。英特尔IMVP-7 PWM规范文档。在自适应导通时间转换器中,控制器将导通时间改变为a。输入和输出电压的功能在稳定状态期间保持几乎恒定的频率。在传统的电压模式恒定导通时间转换器,当输出电压交叉到a时,每个周期开始固定参考水平。但是,在这些设备中,当电流反馈达到错误时,循环开始。该电压电平对应于DAC电压和反馈输出之间的放大的差值。电压在两相或三相运行的情况下,来自所有相的电流反馈被求和在内部电流检测放大器的输出端。

这种方法有两个好处:

- 放大器直流增益设置精确的线性负载线;这是CPU核心应用程序所需的。
- 输入到PWM比较器的误差电压经过滤以改善噪声性能。

另外,DAC到输出电压和电流反馈的差值通过积分器到达。即使在电感电流处于不连续传导的轻负载情况下,也可以给出或多或少的线性负载线模式(DCM)。

在稳态条件下,TPS51650和TPS59650开关180的相位
两相模式和120°三相模式的相位偏移。相移保持不变
两者都由架构(这不允许高端栅极驱动器在任何情况下都处于开启状态)
瞬态)和电流脉动(这迫使脉冲间隔相等)。控制器强制当前
共享调整每个阶段的开启时间。电流平衡不需要用户干预,补偿或者
额外的组件。

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

用户选择

在控制器上施加5 V和3.3 V电源后, 控制器必须由VR_ON使能信号变高到VCCIO逻辑电平. 此时, 以下信息被锁存, 不能被锁存在操作过程中随时改变. 电气特性表定义了每个的值选择.

- 工作频率. 从CF-IMAX引脚到GND的电阻设置CPU通道的频率. 该从GF-IMAX到GND的电阻设置GPU通道的频率. 请参阅电阻表的EC表对应于每个频率选择的设置. 要注意的是, 工作频率是a准固定频率的意思是指导通时间是固定的基础上的输入电压 (在VBAT引脚) 和输出电压 (由VID设置). 关闭时间根据各种因素而变化, 如负载和功率级组件.
- 最大电流限制 (ICC (max)) 信息. CPU 的ICC (最大) 信息, 可以由CPU设置CF-IMAX引脚上的电压. GPU通道的ICC (最大) 信息, 可通过电压设置GF-IMAX引脚.
- 过电流保护 (OCP) 级别. 从COCF-R到GND的电阻设置CPU的OCP电平. 从GOCF-R到GND的电阻设置GPU通道的OCP电平.
- 减少过冲 (OSR) 和降低下冲 (USR) 水平. COCF-R引脚上的电压设置CPU通道的OSR和USR级别. GOCF-R上的电压设置GPU上的OSR和USR电平. 在启动时, GSKIP引脚上检测到的电压电平 (在EC Table中定义) 用于关闭OSR. 只有关闭, 或USR只关闭, CPU和GPU通道. 电压水平低于300 mV使OSR和USR都处于活动状态.
- 转换率. SetVID-快速转换速率由SLEWA引脚上的电压设置. 两者的利率都是一样的. CPU和GPU通道. SetVID-Slow是SetVID-Fast速率的1/4.
- 基地SVID地址: 从SLEWA引脚到GND的电阻设置基地SVID地址.

表2. 关键选择摘要 (1)

选择 阻抗 (k Ω)	频率	OCP	基础 地址	电压 设置 (V)	(V SLEWA) SLEW RATE (V)	OSR / USR
20	最低	最低	0000	0.2	12	最小超调, 最低下冲
24	升起	升起	0010	0.4	4	升起
三十			0100	0.6	8	
39			0110	0.8	12	
56			1000	1.0	16	
75			1010	1.2	20	
100			1100	1.4	23	
150	最高	最高	1110	1.6	26	最大过冲, 最大下冲

(1) 有关完整的设置和数值, 请参见电气特性表.

表3. 活动通道和阶段

		CCSP1	CCSN1	CCSP2	CCSN2	CCSP3	CCSN3	GCSP1	CGSN1	GCSP2	CGSN2
中央处理器 (主动阶段)	3	CS	CS	CS	CS	CS	CS	N/A	N/A	N/A	N/A
	2	CS	CS	CS	CS	3.3 V	GND	N/A	N/A	N/A	N/A
	1	CS	CS	3.3 V	GND	GND	GND	N/A	N/A	N/A	N/A
	关闭	3.3 V	GND	GND	GND	GND	GND	N/A	N/A	N/A	N/A
GPU (主动阶段)	2	N/A	N/A	N/A	N/A	N/A	N/A	CS	CS	CS	CS
	1	N/A	N/A	N/A	N/A	N/A	N/A	CS	CS	3.3 V	GND
	关闭	N/A	N/A	N/A	N/A	N/A	N/A	3.3 V	GND	GND	GND

PWM操作

参考功能框图和图41，在连续导通模式下，转换器如图41所示运行。

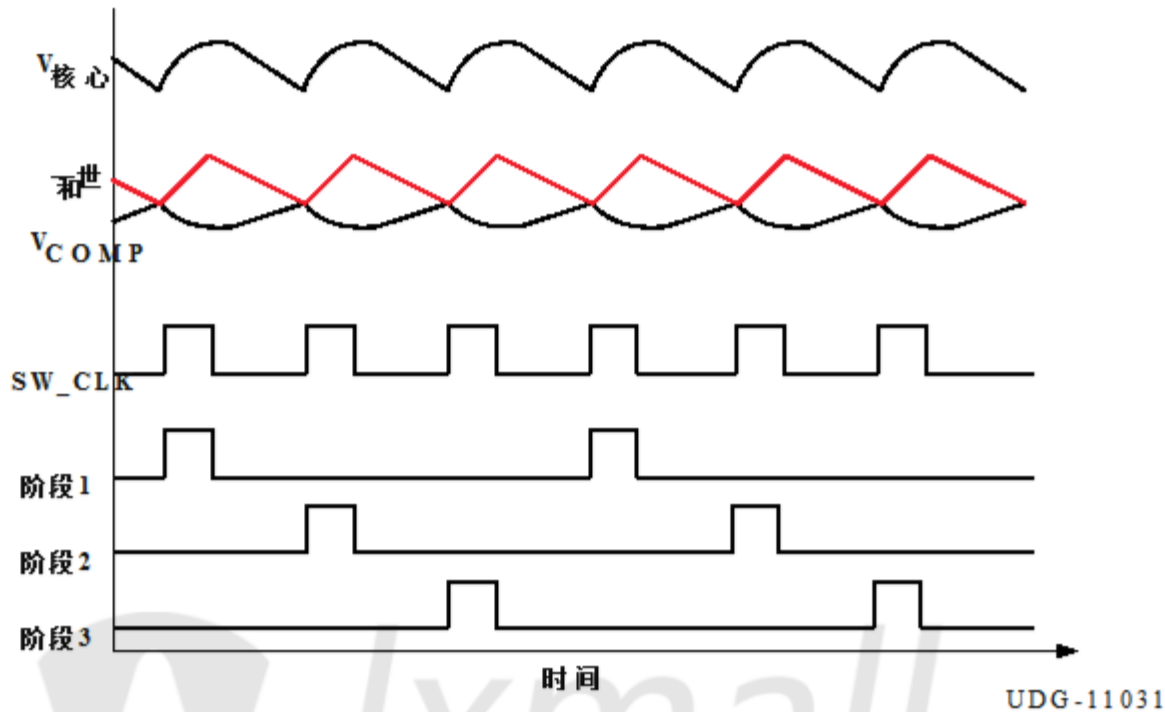


图41. D-CAP+模式基本波形

从高侧FET关断，低侧FET导通的条件开始，总和电流反馈 (I_{SUM}) 高于误差放大器输出 (V_{COMP})。我 SUM 下降，直到它达到 V_{COMP} 水平，其中包含输出纹波电压的一个分量。PWM比较器检测两个波形值的位置交叉并触发准时生成器。这将生成内部 SW_CLK 。每个 SW_CLK 对应于一个接通一个相的脉冲。

在单相操作期间，每个 SW_CLK 在同一相上产生一个开关脉冲。另外，我 SUM 电压仅对应于单相电感器电流。

在多阶段操作期间， SW_CLK 分配给一个周期中的每个阶段。使用总结电感电流，然后将ON脉冲循环分配到每个相位，自动产生所需的电流交错 $360/N$ ，其中 N 是阶段的数量。

电流感测

TPS51650和TPS59650为每个相位提供独立的电流反馈通道。这个提高了系统精度，减少了电路性能对布局的依赖。

外部总结的架构。电流传感拓扑结构可以是电感DCR感应，这可以产生电流最佳效率或电阻电流检测，在宽温度范围内提供最高精度。

通过使用NTC热敏电阻来降低电流检测的变化，可以优化DCR检测温度。

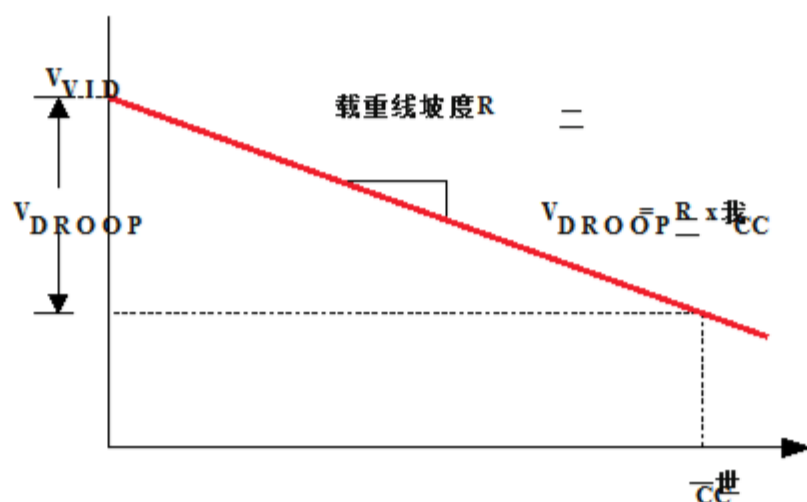
CCSP1, CCSN1, CCSP2, CCSN2和CCSP3, CCSN3引脚用于CPU的三相渠道。引脚GCSP1, GCSN1和GCSP2和GCSN2用于两相GPU渠道。

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

设置负载线 (DROOP)



UDG-11032

图42.载入线

$$V_{DROOP} = R_{DROOP} \cdot I_{CC} = \frac{R_{CS(eff)} \cdot G_{CS} \cdot I_{CC}}{R_{DROOP} \cdot G_M}$$

哪里

- ACS是电流检测放大器的增益
- $R_{CS(eff)}$ 是有效电流检测电阻，无论是使用检测电阻还是电感DCR
- I_{CC} 是负载电流
- R_{DROOP} 是从DROOP引脚到VREF的电阻值
- G_M 是下垂放大器的增益

(1)

www.wlxmall.com

加载瞬变

当负载突然增加时, 输出电压立即下降. 这反映为电压上升在COMP引脚上. 这迫使PWM脉冲更早, 更频繁地导致电感器电流要迅速提高. 随着电感电流达到新的负载电流, 稳态工作条件达到, PWM开关恢复稳态频率.

当负载突然释放时, 输出电压升高. 这反映为COMP上的电压下降. 这会延迟PWM脉冲, 直到电感电流达到新的负载电流水平. 在那时候, 切换恢复, 稳定状态切换继续.

为简单起见, 图43和图44均未显示输出V CORE上的纹波和COMP波形.

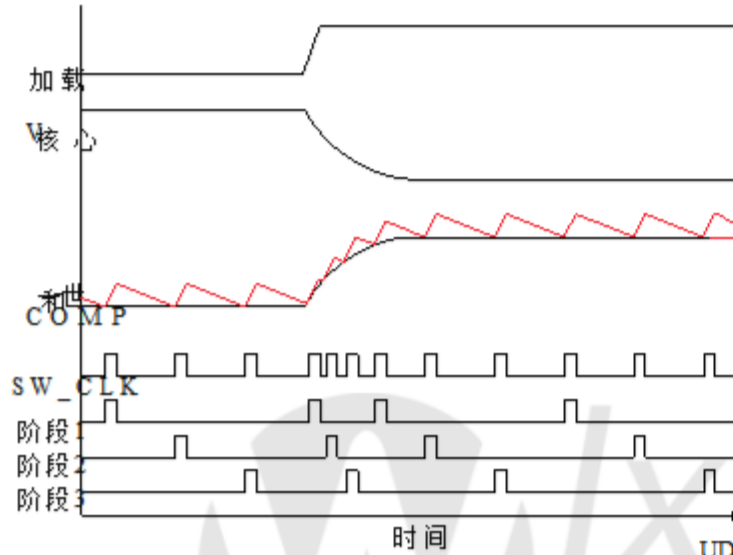


图43.负载瞬态过程中的操作
(插入)

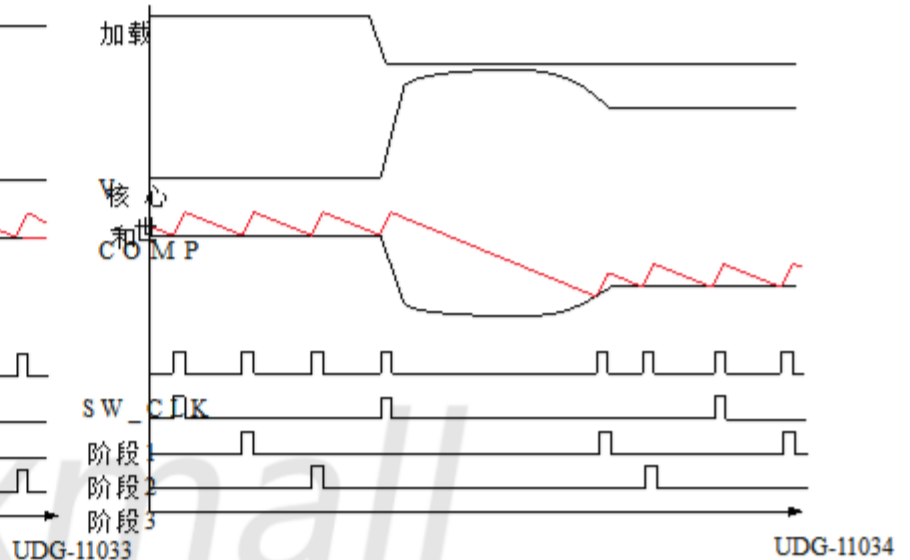
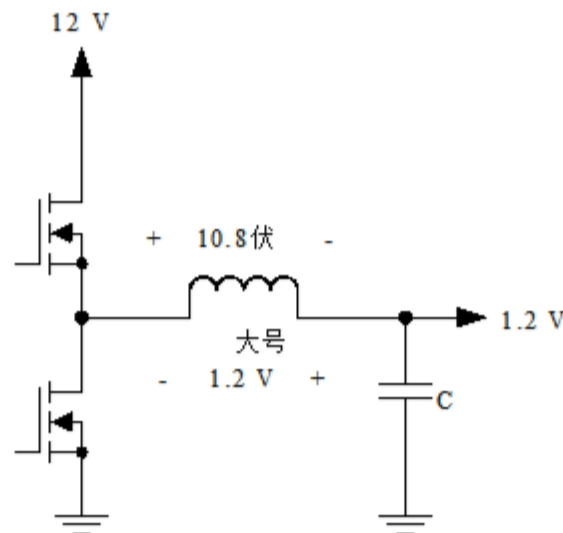


图44.负载瞬态过程中的操作
(发布)

过冲减少 (OSR)

在低占空比同步降压转换器中, 由于输出电感具有 α , 过冲状况太大的电压 (V CORE), 以响应瞬态负载释放.

在图45中, 为了简单起见, 示出了单相转换器. 在理想的转换器中, 典型的输入电压为12 V和1.2 V输出, 电感器有10.8 V (12 V) - 1.2 V) 来响应短暂的负载增加, 但只有1.2 V, 一旦负载释放, 应答.



UDG-11035

图45.同步转换器

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

当过冲减少功能启用时, 输出电压增加超出相应的值到ISUM电压和COMP电压之间的电压差超过规定的OSR电压在电气特性中规定. 此时, 低端驱动器被关闭. 什么时候低侧驱动器关闭, 电感器中的能量被体二极管部分消耗. 由于过冲减小, 低端驱动器再次打开.

图46显示了没有OSR的过冲. 图47显示了OSR的过冲. 过冲降低大约23mV. 这表明输出电容可以减少, 同时可以继续使用规范. 请注意, 在过冲期间, 低端驱动器会暂时关闭.

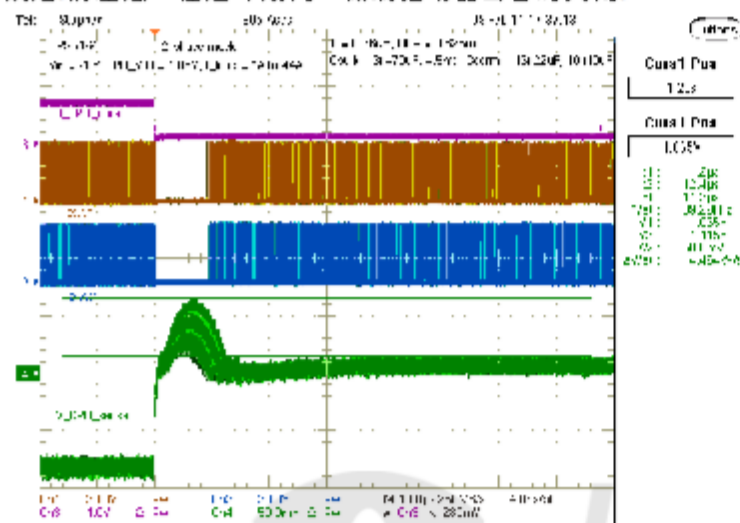


图46. 43-A负载瞬态释放无
OSR已启用.

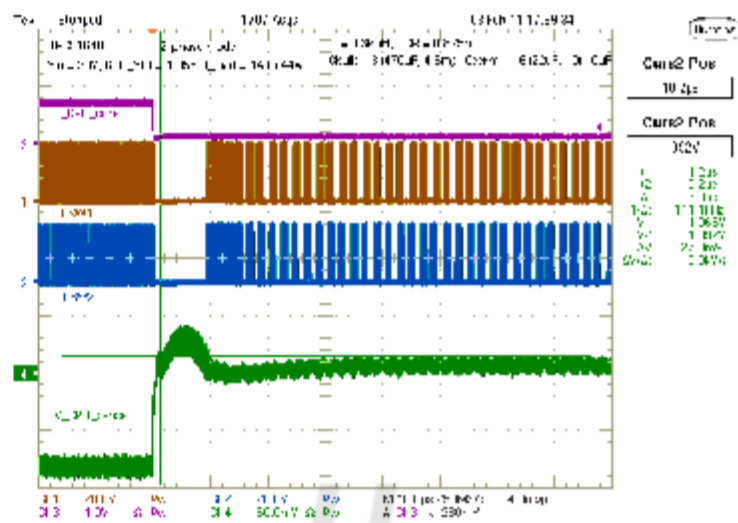


图47. 具有OSR的43-A负载瞬态释放
启用

减少下冲 (USR)

当瞬态负荷增加变得相当大时, 就很难满足要求的能量. 尤其是在较低的输入电压下. 那么有必要快速增加电感器的能量. 在瞬态负荷增加期间, 这是通过启用脉冲重叠在这些设备中实现的. 为了保持多相配置的交错并且在期间能够具有脉冲重叠. 负载插入, 仅在需要时输入下冲减少 (USR) 模式. 此模式已输入. 当COMP电压和ISUM电压之间的差值超过了规定的USR电压电平时. 电气特性表.

图48显示了下冲减少的性能. 图49显示了没有的性能. 下冲减少, 并且可以通过启用下冲减少来消除下冲. 这个允许使用减小的输出电容并且仍然符合规范.

当瞬态条件结束时, 重新开始相位的交错. 对于图48, 请注意阶段1和阶段2的重叠脉冲启用USR.

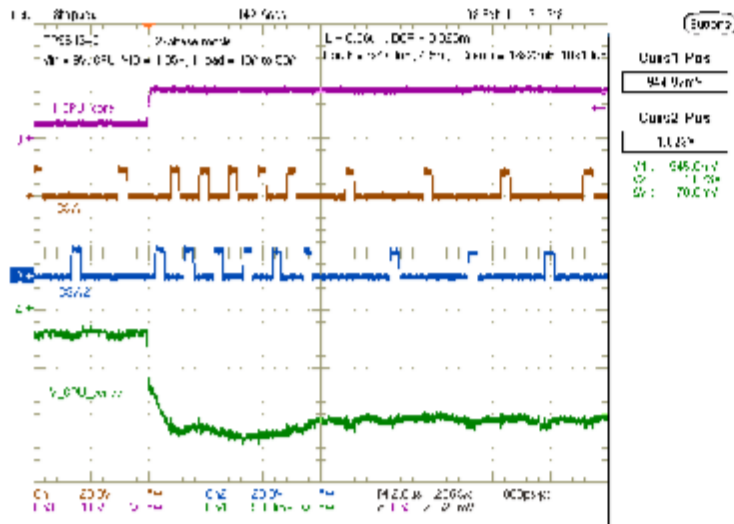


图48. 43-A负载瞬态的性能
没有启用USR的发布

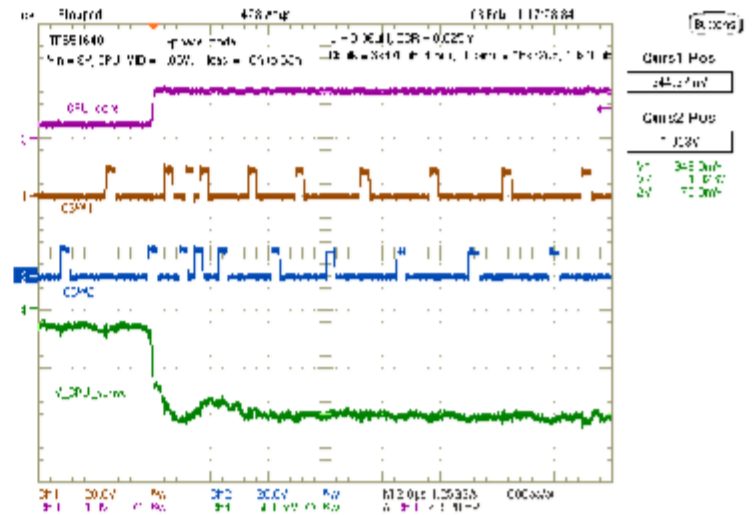


图49. 43 A负载瞬态的性能
释放与USR启用

 Ixmall
万联芯城
www.wlxmall.com

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

自动平衡 TM 电流共享

电流共享的基本机制是检测平均相电流, 然后调整脉宽

每个阶段均衡每个阶段的电流。(见图50)

PWM比较器(未示出)在反馈电压满足参考时开始脉冲. VBAT

电压电荷 Ct (ON) 到 Rt (ON). 当 Ct (ON) 电压与 t (ON) 相匹配时, 脉冲终止

通常是 DAC 电压 (V DAC).

该电路以下面的方式工作, 使用图50作为框图. 首先假定 5-

微妙

$I1 = I2 = I3$ 的平均值. 在这种情况下, PWM 调制器终止于 V DAC 和正常的脉冲宽度

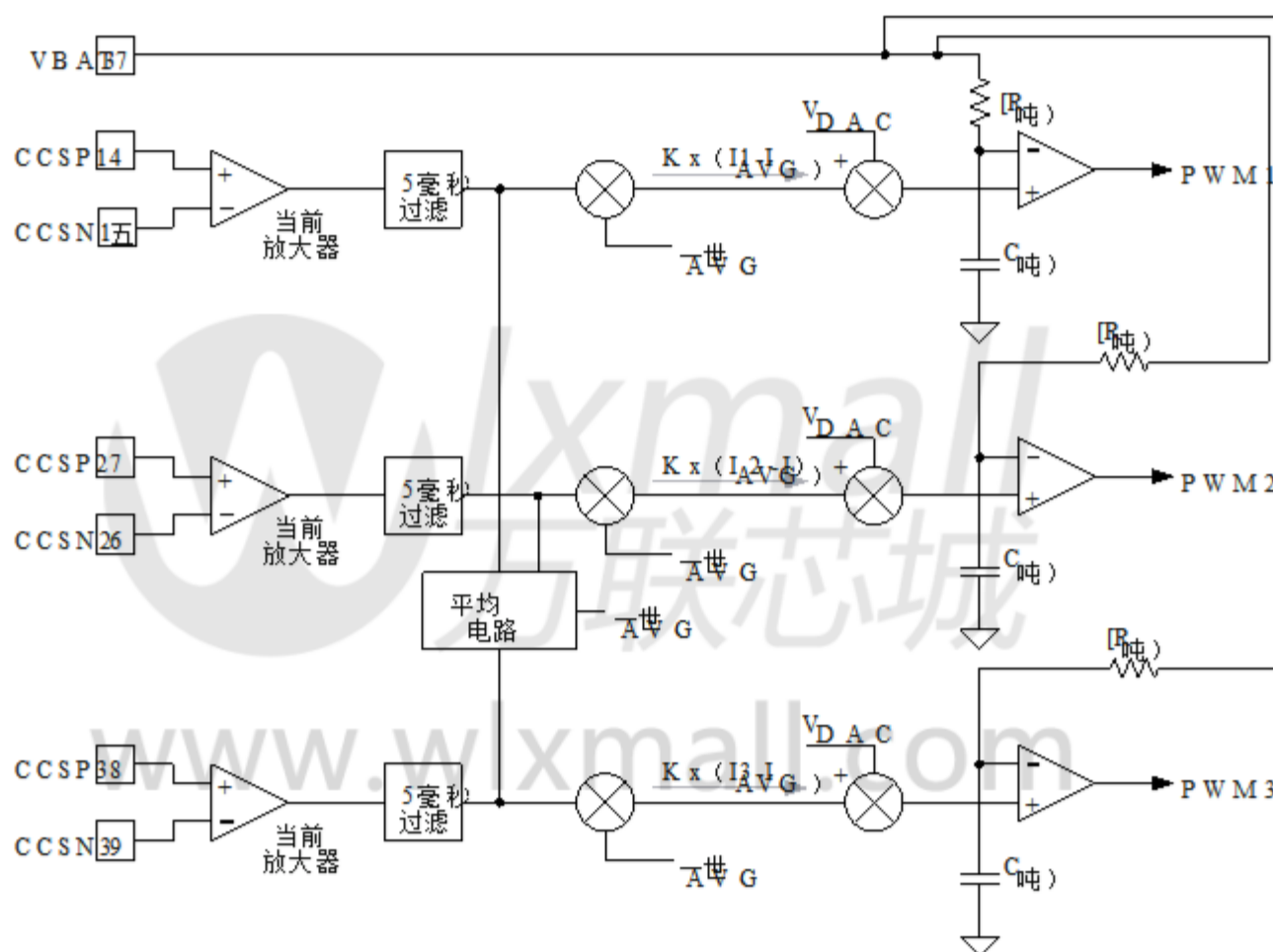
被传送到系统. 如果相反, $I1$

$> AVG$, 然后从 V DAC 中 减去一个偏移量, 并将脉冲宽度设为

阶段1缩短, 减少阶段1中的电流以补偿. 如果 $I1$

那么我的 AVG 就是一个更长的脉冲

产生, 再次逐个脉冲补偿.



UDG-11036

图50.自动均衡电流共享的示意图

动态VID和电源状态更改

在IMVP-7中, 有三种基本类型的VID变化:

- SetVID, 快速
- SetVID慢
- SetVID衰变

SetVID-快速更改和SetVID-Slow更改自动将电源状态置于PS0中. SetVID-Decay

自动改变PS2中的电源状态.

处于PS0时, CPU工作在最大相位模式.这意味着当CPU通道的时候
控制器配置为三相, PS0中的所有三相都处于激活状态.在两相模式下配置时, 两者相同
阶段在PS0中是有效的.但在PS1, PS2和PS3中, 操作处于单相模式.另外,
PS0模式下的CPU通道工作在强制连续传导模式(FCCM)下.但在PS1, PS2和PS3中,
CPU通道以二极管仿真(DE)模式运行, 以进一步节省功耗并提高效率.

单相GPU部分在所有PS状态下始终以二极管仿真(DE)模式运行.

SetVID-Fast的转换速率是SLEWA引脚的转换速率.这个转换率是在
电气特性表. SetVID-Slow是

1/4SetVID-快速转换率.在一个

SetVID-Decay输出电压按照负载电流的速率衰减或1/8转换速率
比较慢.

另外, 在VID-up转换的SetVID-Fast变化时, gM放大器的增益被加速
提高输出电压的响应以满足英特尔的时序要求.所以, 有可能观察一个
VID向上转换时的输出电压过冲.英特尔规格允许超调.

表4. VID

VID 7	VID 6	VID 5	VID 4	VID 3	VID 2	VID 1	VID 0	HEX	V DAC
0	0	0	0	0	0	0	0	00	0.000
0	0	0	0	0	0	0	1	01	0.250
0	0	0	0	0	0	1	0	02	0.255
0	0	0	0	0	0	1	1	03	0.260
0	0	0	0	0	1	0	0	04	0.265
0	0	0	0	0	1	0	1	05	0.270
0	0	0	0	0	1	1	0	06	0.275
0	0	0	0	0	1	1	1	07	0.280
0	0	0	0	1	0	0	0	08	0.285
0	0	0	0	1	0	0	1	09	0.290
0	0	0	0	1	0	1	0	0A	0.295
0	0	0	0	1	0	1	1	0B	0.300
0	0	0	0	1	1	0	0	0C	0.305
0	0	0	0	1	1	0	1	0D	0.310
0	0	0	0	1	1	1	0	0E	0.315
0	0	0	0	1	1	1	1	0F	0.320
0	0	0	1	0	0	0	0	10	0.325
0	0	0	1	0	0	0	1	11	0.330
0	0	0	1	0	0	1	0	12	0.335
0	0	0	1	0	0	1	1	13	0.340
0	0	0	1	0	1	0	0	14	0.345
0	0	0	1	0	1	0	1	15	0.350
0	0	0	1	0	1	1	0	16	0.355
0	0	0	1	0	1	1	1	17	0.360
0	0	0	1	1	0	0	0	18	0.365
0	0	0	1	1	0	0	1	19	0.370
0	0	0	1	1	0	1	0	1A	0.375
0	0	0	1	1	0	1	1	1B	0.380
0	0	0	1	1	1	0	0	1C	0.385
0	0	0	1	1	1	0	1	1D	0.390
0	0	0	1	1	1	1	0	1E	0.395
0	0	0	1	1	1	1	1	1F	0.400

表4. VID (续)

0	0	1	0	0	0	0	0	20	0.405
0	0	1	0	0	0	0	1	21	0.410
0	0	1	0	0	0	1	0	22	0.415
0	0	1	0	0	0	1	1	23	0.420
0	0	1	0	0	1	0	0	24	0.425
0	0	1	0	0	1	0	1	25	0.430
0	0	1	0	0	1	1	0	26	0.435
0	0	1	0	0	1	1	1	27	0.440
0	0	1	0	1	0	0	0	28	0.445
0	0	1	0	1	0	0	1	29	0.450
0	0	1	0	1	0	1	0	2A	0.455
0	0	1	0	1	0	1	1	2B	0.460
0	0	1	0	1	1	0	0	2C	0.465
0	0	1	0	1	1	0	1	2D	0.470
0	0	1	0	1	1	1	0	2E	0.475
0	0	1	0	1	1	1	1	2F	0.480
0	0	1	1	0	0	0	0	2+	0.485
0	0	1	1	0	0	0	1	31	0.490
0	0	1	1	0	0	1	0	32	0.495
0	0	1	1	0	0	1	1	33	0.500
0	0	1	1	0	1	0	0	34	0.505
0	0	1	1	0	1	0	1	35	0.510
0	0	1	1	0	1	1	0	36	0.515
0	0	1	1	0	1	1	1	37	0.520
0	0	1	1	1	0	0	0	38	0.525
0	0	1	1	1	0	0	1	39	0.530
0	0	1	1	1	0	1	0	3A	0.535
0	0	1	1	1	0	1	1	3B	0.540
0	0	1	1	1	1	0	0	3C	0.545
0	0	1	1	1	1	0	1	3D	0.550
0	0	1	1	1	1	1	0	3E	0.555
0	0	1	1	1	1	1	1	3F	0.560
0	1	0	0	0	0	0	0	40	0.565
0	1	0	0	0	0	0	1	41	0.570
0	1	0	0	0	0	1	0	42	0.575

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

表4. VID (续)

0	1	0	0	0	0	1	1	43	0.580
0	1	0	0	0	1	0	0	44	0.585
0	1	0	0	0	1	0	1	45	0.590
0	1	0	0	0	1	1	0	46	0.595
0	1	0	0	0	1	1	1	47	0.600
0	1	0	0	1	0	0	0	48	0.605
0	1	0	0	1	0	0	1	49	0.610
0	1	0	0	1	0	1	0	4A	0.615
0	1	0	0	1	0	1	1	4B	0.620
0	1	0	0	1	1	0	0	4C	0.625
0	1	0	0	1	1	0	1	4D	0.630
0	1	0	0	1	1	1	0	4E	0.635
0	1	0	0	1	1	1	1	4F	0.640
0	1	0	1	0	0	0	0	50	0.645
0	1	0	1	0	0	0	1	51	0.650
0	1	0	1	0	0	1	0	52	0.655
0	1	0	1	0	0	1	1	53	0.660
0	1	0	1	0	1	0	0	54	0.665
0	1	0	1	0	1	0	1	55	0.670
0	1	0	1	0	1	1	0	56	0.675
0	1	0	1	0	1	1	1	57	0.680
0	1	0	1	1	0	0	0	58	0.685
0	1	0	1	1	0	0	1	59	0.690
0	1	0	1	1	0	1	0	5A	0.695
0	1	0	1	1	0	1	1	5B	0.700
0	1	0	1	1	1	0	0	5C	0.705
0	1	0	1	1	1	0	1	5D	0.710
0	1	0	1	1	1	1	0	5E	0.715
0	1	0	1	1	1	1	1	5F	0.720
0	1	1	0	0	0	0	0	60	0.725
0	1	1	0	0	0	0	1	61	0.730
0	1	1	0	0	0	1	0	62	0.735
0	1	1	0	0	0	1	1	63	0.740
0	1	1	0	0	1	0	0	64	0.745
0	1	1	0	0	1	0	1	65	0.750
0	1	1	0	0	1	1	0	66	0.755
0	1	1	0	0	1	1	1	67	0.760
0	1	1	0	1	0	0	0	68	0.765
0	1	1	0	1	0	0	1	69	0.770
0	1	1	0	1	0	1	0	6A	0.775
0	1	1	0	1	0	1	1	6B	0.780
0	1	1	0	1	1	0	0	6C	0.785
0	1	1	0	1	1	0	1	6D	0.790
0	1	1	0	1	1	1	0	6E	0.795
0	1	1	0	1	1	1	1	6F	0.800
0	1	1	1	0	0	0	0	70	0.805
0	1	1	1	0	0	0	1	71	0.810
0	1	1	1	0	0	1	0	72	0.815

表4. VID (续)

0	1	1	1	0	0	1	1	73	0.820
0	1	1	1	0	1	0	0	74	0.825
0	1	1	1	0	1	0	1	75	0.830
0	1	1	1	0	1	1	0	76	0.835
0	1	1	1	0	1	1	1	77	0.840
0	1	1	1	1	0	0	0	78	0.845
0	1	1	1	1	0	0	1	79	0.850
0	1	1	1	1	0	1	0	7A	0.855
0	1	1	1	1	0	1	1	7B	0.860
0	1	1	1	1	1	0	0	7C	0.865
0	1	1	1	1	1	0	1	7D	0.870
0	1	1	1	1	1	1	0	7E	0.875
0	1	1	1	1	1	1	1	7F	0.880
1	0	0	0	0	0	0	0	80	0.885
1	0	0	0	0	0	0	1	81	0.890
1	0	0	0	0	0	1	0	82	0.895
1	0	0	0	0	0	1	1	83	0.900
1	0	0	0	0	1	0	0	84	0.905
1	0	0	0	0	1	0	1	85	0.910
1	0	0	0	0	1	1	0	86	0.915
1	0	0	0	0	1	1	1	87	0.920
1	0	0	0	1	0	0	0	88	0.925
1	0	0	0	1	0	0	1	89	0.930
1	0	0	0	1	0	1	0	8A	0.935
1	0	0	0	1	0	1	1	8B	0.940
1	0	0	0	1	1	0	0	8C	0.945
1	0	0	0	1	1	0	1	8D	0.950
1	0	0	0	1	1	1	0	8E	0.955
1	0	0	0	1	1	1	1	8F	0.960
1	0	0	1	0	0	0	0	90	0.965
1	0	0	1	0	0	0	1	91	0.970
1	0	0	1	0	0	1	0	92	0.975
1	0	0	1	0	0	1	1	93	0.980
1	0	0	1	0	1	0	0	94	0.985
1	0	0	1	0	1	0	1	95	0.990
1	0	0	1	0	1	1	0	96	0.995
1	0	0	1	0	1	1	1	97	1.000
1	0	0	1	1	0	0	0	98	1.005
1	0	0	1	1	0	0	1	99	1.010
1	0	0	1	1	0	1	0	9A	1.015
1	0	0	1	1	0	1	1	9B	1.020
1	0	0	1	1	1	0	0	9C	1.025
1	0	0	1	1	1	0	1	9D	1.030
1	0	0	1	1	1	1	0	9E	1.035
1	0	0	1	1	1	1	1	9F	1.040
1	0	1	0	0	0	0	0	A0	1.045
1	0	1	0	0	0	0	1	A1	1.050
1	0	1	0	0	0	1	0	A2	1.055

表4. VID (续)

1	0	1	0	0	0	1	1	A3	1.060
1	0	1	0	0	1	0	0	A4	1.065
1	0	1	0	0	1	0	1	A5	1.070
1	0	1	0	0	1	1	0	A6	1.075
1	0	1	0	0	1	1	1	A7	1.080
1	0	1	0	1	0	0	0	A8	1.085
1	0	1	0	1	0	0	1	A9	1.090
1	0	1	0	1	0	1	0	AA	1.095
1	0	1	0	1	0	1	1	AB	1.100
1	0	1	0	1	1	0	0	AC	1.105
1	0	1	0	1	1	0	1	广告	1.110
1	0	1	0	1	1	1	0	AE	1.115
1	0	1	0	1	1	1	1	AF	1.120
1	0	1	1	0	0	0	0	B0	1.125
1	0	1	1	0	0	0	1	B1	1.130
1	0	1	1	0	0	1	0	B2	1.135
1	0	1	1	0	0	1	1	B3	1.140
1	0	1	1	0	1	0	0	B4	1.145
1	0	1	1	0	1	0	1	B5	1.150
1	0	1	1	0	1	1	0	B6	1.155
1	0	1	1	0	1	1	1	B7	1.160
1	0	1	1	1	0	0	0	B8	1.165
1	0	1	1	1	0	0	1	B9	1.170
1	0	1	1	1	0	1	0	BA	1.175
1	0	1	1	1	0	1	1	BB	1.180
1	0	1	1	1	1	0	0	公元前1.185	
1	0	1	1	1	1	0	1	BD	1.190
1	0	1	1	1	1	1	0	是	1.195
1	0	1	1	1	1	1	1	BF	1.200
	1	0	0	0	0	0	0	C0	1.205
1	1	0	0	0	0	0	1	C1	1.210
1	1	0	0	0	0	1	0	C2	1.215
1	1	0	0	0	0	1	1	C3	1.220
1	1	0	0	0	1	0	0	C4	1.225
1	1	0	0	0	1	0	1	C5	1.230
1	1	0	0	0	1	1	0	C6	1.235
1	1	0	0	0	1	1	1	C7	1.240
1	1	0	0	1	0	0	0	C8	1.245
1	1	0	0	1	0	0	1	C9	1.250
1	1	0	0	1	0	1	0	CA	1.255
1	1	0	0	1	0	1	1	CB	1.260
1	1	0	0	1	1	0	0	CC	1.265
1	1	0	0	1	1	0	1	光盘	1.270
1	1	0	0	1	1	1	0	CE	1.275
1	1	0	0	1	1	1	1	CF	1.280
1	1	0	1	0	0	0	0	D0	1.285
1	1	0	1	0	0	0	1	D1	1.290
1	1	0	1	0	0	1	0	D2	1.295

表4. VID (续)

1	1	0	1	0	0	1	1	D3	1.300
1	1	0	1	0	1	0	0	D4	1.305
1	1	0	1	0	1	0	1	D5	1.310
1	1	0	1	0	1	1	0	D6	1.315
1	1	0	1	0	1	1	1	D7	1.320
1	1	0	1	1	0	0	0	D8	1.325
1	1	0	1	1	0	0	1	D9	1.330
1	1	0	1	1	0	1	0	DA	1.335
1	1	0	1	1	0	1	1	DB	1.340
1	1	0	1	1	1	0	0	DC	1.345
1	1	0	1	1	1	0	1	DD	1.350
1	1	0	1	1	1	1	0	DE	1.355
1	1	0	1	1	1	1	1	DF	1.360
1	1	1	0	0	0	0	0	E0	1.365
1	1	1	0	0	0	0	1	E1	1.370
1	1	1	0	0	0	1	0	E2	1.375
1	1	1	0	0	0	1	1	E3	1.380
1	1	1	0	0	1	0	0	E4	1.385
1	1	1	0	0	1	0	1	E5	1.390
1	1	1	0	0	1	1	0	E6	1.395
1	1	1	0	0	1	1	1	E7	1.400
1	1	1	0	1	0	0	0	E8	1.405
1	1	1	0	1	0	0	1	E9	1.410
1	1	1	0	1	0	1	0	EA	1.415
1	1	1	0	1	0	1	1	EB	1.420
1	1	1	0	1	1	0	0	EC	1.425
1	1	1	0	1	1	0	1	ED	1.430
1	1	1	0	1	1	1	0	EE	1.435
1	1	1	0	1	1	1	1	EF	1.440
1	1	1	1	0	0	0	0	F0	1.445
1	1	1	1	0	0	0	1	F1	1.450
1	1	1	1	0	0	1	0	F2	1.455
1	1	1	1	0	0	1	1	F3	1.460
1	1	1	1	0	1	0	0	F4	1.465
1	1	1	1	0	1	0	1	F5	1.470
1	1	1	1	0	1	1	0	F6	1.475
1	1	1	1	0	1	1	1	F7	1.480
1	1	1	1	1	0	0	0	F8	1.485
1	1	1	1	1	0	0	1	F9	1.490
1	1	1	1	1	0	1	0	FA	1.495
1	1	1	1	1	0	1	1	FB	1.500
1	1	1	1	1	1	0	0	FC	1.505
1	1	1	1	1	1	0	1	FD	1.510
1	1	1	1	1	1	1	0	FE	1.515
1	1	1	1	1	1	1	1	FF	1.520

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

门驱动程序

TPS51650和TPS59650集成了两个具有自适应功能的强大的高性能门极驱动器跨导保护。这些驱动程序是在CPU通道中的两个阶段。CPU的第三阶段而单相GPU通道需要外部驱动。

这些器件中的内部驱动器使用CDL_x和CSW_x引脚的状态来确保高端或者高端在将另一个接通之前，低端FET关闭。快速逻辑和高驱动电流（高达8-A典型值）充电和放电FET门，以最大限度地减少死区，提高效率。高端的门驱动器也包括一个集成升压FET而不是仅仅一个二极管，以提高有效驱动电压效率。自适应零交叉技术，在关闭电源之前检测开关节点电压。低端FET，用于在DCM工作期间将损耗降至最低。

输入欠压保护（5V和3.3V）

TPS51650和TPS59650连续监测V5DRV，V5和V3R3引脚上的电压，以确保值足够高以正确地偏置器件并提供足够的栅极驱动电位以保持高电平效率。该转换器启动时大约为4.4V，标称值为200mV的滞后。输入（VBAT）不具有UVLO功能，因此电路的输入功率低至约3 x V 核心。

Power Good（CPGOOD和GPGOOD）

这些器件具有两个符合IMVP-7要求的开漏功率良好引脚。使用CPGOOD CPU通道输出电压和GPGOOD用于GPU通道输出电压。这两个信号高电平有效。xPGOOD激活的输出电压的上限和下限是：

- 上部：V DAC +220 mV
- 较低：V DAC -315 mV

一旦VR_ON引脚被拉低或V5上的欠压条件，xPGOOD就变为非活动状态（低电平）或V3R3被检测到。在DAC转换期间，xPGOOD信号被屏蔽，以防止错误触发电压回转。

输出欠压保护

输出欠压保护与下面描述的电流保护一起工作。如果V CORE 下降低于PGOOD门限，则驱动器关闭，直到VR_ON循环。

过流保护

TPS51650和TPS59650采用谷值电流限制方案，因此必须考虑纹波电流。OCP处的直流电流值是OCP限值加纹波电流的一半。电流限制发生在a 逐个阶段和逐个脉冲的基础。如果xCSP_x和xCSN_x之间的电压高于OCP值，转换器会延迟下一个ON脉冲，直到降到OCP限制以下。对于电感电流检测电路，xCSP_x和xCSN_x之间的电压是电感器的DCR值乘以电阻分压器的一部分的NTC补偿网络。因此，通过改变可以获得广泛的OCP值电阻分压器值。一般来说，使用电阻中衰减最小的可能的最高OCP设置分频器尽可能多地向设备提供信号。这为所有人提供了最好的性能与当前反馈相关的参数。

在OCP模式下，电压下降，直到达到UVP极限。然后，转换器将xPGOOD设置为不活动，并关闭驱动程序。转换器保持这种状态，直到器件被VR_ON复位。

过压保护

当V CORE 比V DAC 大220 mV时，检测到OVP状态。在这种情况下，转换器设置xPGOOD不激活，并打开低侧FET的驱动器。转换器保持这种状态，直到器件通过循环VR_ON来复位。但是，由于IMVP-7系统的动态性，+220 mV大部分时间，OVP阈值都是空白的。为了在100%的时间内为处理器提供保护，第二个OVP电平固定在1.7 V，始终有效。如果检测到固定OVP条件，PGOOD被强制为非激活状态，低端FET被打开。转换器保持这种状态直到VR_ON循环。

过温保护

这些设备提供了两种类型的热保护:

- VR_HOT
- 热关机

VR_HOT

VR_HOT信号是一个Intel定义的开漏信号, 用于保护V CORE电源链. 使用VR_HOT, 将一个NTC热敏电阻放在CPU通道的最热区域, 并将其从CTHERM引脚连接到GND. 同样, 对于GPU通道, 将NTC热敏电阻放在最热的地方, 并将其从GTHERM连接到GND. 另外, 从VREF连接一个电阻到GTHERM和CTHERM. 随着温度的升高, xTHERM电压下降到THERM阈值以下, VR_HOT被激活. 可能连接了一个小电容器到xTHERM引脚进行高频噪声滤波.

根据xTHERM引脚电压列出热区寄存器位.

表5. 热区寄存器位

输出是 关掉	VR_HOT 断言	SVID ALERT ASSERTED	x温度的THTHES THRESHOLD VOLTAGE 区域注册位将被提交.					
	B7	B6	B5	B4	B3	B2	B1	B0
410毫伏	455 mV	458 mV	523 mV	559 mV	598 mV	638毫伏	680毫伏	783 mV

热关机

当VR_HOT置位后xTHERM引脚电压继续下降时, 驱动器关闭, 输出被关闭. 这些设备也有一个内部温度传感器. 当温度达到标称155 °C, 器件关闭, 直到温度冷却大约20°C. 那么, 电路可以通过循环VR_ON重新启动.

设置最大处理器电流 (ICC(max))

TPS51640控制器允许用户使用多功能引脚设置最大处理器电流CF-IMAX和GF-IMAX. 启动时CF-IMAX和GF-IMAX上的电压设置最大的处理器当前 (ICC(max)) 分别为CPU和GPU.

R_{CF} 和R_{GF} 分别是CF-IMAX和GF-IMAX到GND的电阻, 用于选择频率设置. R_{CIMAX} 是从VREF到CF-IMAX 的电阻, R_{GIMAX} 是从VREF到GF-IMAX的电阻.

公式2描述了设置 CPU通道的ICC(max), 公式3描述了设置ICC(最大) 为GPU通道.

$$I_{CC\text{最大CPU}} = 255C \frac{R_{CF}}{R_{CF} + R_{CIMAX}} \quad (2)$$

$$I_{CC\text{最大GPU}} = 255C \frac{R_{GF}}{R_{GF} + R_{GIMAX}} \quad (3)$$

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

设计步骤

使用TPS51650, TPS59650和TPS59641的设计过程非常简单.一个基于excel的元件值计算工具可用.请联系您当地的TI代表获取该产品的副本电子表格.

下面用下面的设计实例说明该过程.

表6.设计示例规范

	CPU V 核心 规格	GFX V 核心 规格
相	3	2
输入电压范围	9 V至20 V	9 V至20 V
VHFM	0.9 V	1.23 V
我 CC (最大)	94 A	46
我 DYN (最大)	66	38 A
我 CC (tdc)	52	37.5
负载线	1.9 mV / A	3.9 mV / A
快转换率 (最小)	10毫伏微秒	10毫伏微秒

第一步：选择开关频率.

CPU通道切换频率由CF-IMAX到GND (R CF) 和GPU通道的电阻选择
开关频率由GF-IMAX到GND (R GF) 的电阻选择.频率是一个近似值
频率, 预计会根据负载和输入电压而变化.

表7.开关频率选择

选择 抵抗 (k Ω)	CPU通道 频率 (kHz)	GPU通道 频率 (kHz)
20	250	275
24	300	330
三十	350	385
39	400	440
56	450	495
75	500	550
100	550	605
150	600	660

此设计将CPU通道的开关频率定义为300 kHz, 并将GPU通道定义为385
千赫.因此,

- R CF = 21kΩ
- R GF = 24kΩ

第二步：设置I CC (最大)

I CC (max) 由CPU通道的CF-IMAX电压和GPU通道的GF-IMAX电压设置.这是由
从VREF到CF-IMAX (R CMAX) 和从VREF到GF-IMAX (R GMAX)

从等式2和等式3,

- R CMAX = 42.2kΩ
- R GMAX = 110kΩ

第三步：设置摆率.

摆率通过SLEWA引脚上的电压设置来设置.对于10 mV / ms的最小摆率, 电压为
SLEWA引脚必须小于0.3 V.由于SLEWA引脚也设置基地址 (对于
TPS59650), 达到这个目的的简单方法是拥有一个20-K Ω电阻从SLEWA到GND.

第四步：确定电感值并选择电感。

较小的电感值有较好的瞬态性能，但纹波较高，效率较低。更高的价值具有相反的特征。通常的做法是将纹波电流限制在最大值的20%到40%每相电流。这个例子使用了30%的纹波电流。

$$P_{\text{世}} = \frac{94 \text{ A}}{3} \times 0.3 = 9.4 \text{ A} \quad (4)$$

$$\text{大号} \frac{V_{\text{HT}}}{P_{\text{世}}}$$

哪里

- $V = V_{\text{IN-MAX}} - V_{\text{HFM}} = 19.1\text{V}$
- $dT = V_{\text{HFM}} / (f \times V_{\text{IN-MAX}}) = 150\text{ns}$
- 我 $PP = 9.4 \text{ A}$

(5)

使用这些计算， $L = 0.304 \mu\text{H}$ 。

电感值为0.36 μH 是因为这是V CORE 应用中 常用的电感器。该电感在峰值负载条件下不能饱和。

$$I_{\text{世}} = \frac{P_{\text{世}}}{C_{\text{世}} \times \text{最大}} + \frac{P_{\text{世}}}{2} \times 1.2 = 43.2 \text{ A} \quad (6)$$

1.2的因数允许电流检测和电流限制容差；英特尔25%的因素是1.25%一时的OCP要求。

所选电感器应具有以下特性：

- 电感电流曲线比等于1（或尽可能接近）。电感式DCR感应是基于理念 L / DCR 在当前感兴趣的范围内近似为常数。
- 无论是高饱和度还是软饱和度。
- 低DCR提高效率，但至少0.7米 Ω 以获得适当的信号电平。
- 对于负载线精度，尽可能低的DCR容差。

对于这个应用程序，一个0.36- μH ，选择0.825m Ω 的电感。因为GPU的每相电流与CPU，GPU通道选择相同的电感。

第五步：确定电流感应方法。

TPS51650和TPS59650支持电阻检测和电感DCR检测。电感DCR感应

被选中。对于电阻检测，用电阻值（0.75米

Ω 推荐用于三相94-A

应用程序）RCS在后续方程中，并跳过第四步。

第六步：设计热补偿网络和选择OCP。

在大多数设计中，NTC热敏电阻用于补偿电感电阻的热变化

绕组。这个绕组一般是铜线，所以有一个3900 PPM /

C. NTC热敏电阻，

另一方面，具有非常非线性的特性，需要两或三个电阻器来对其进行线性化

感兴趣的范围。典型的DCR电路如图51所示。

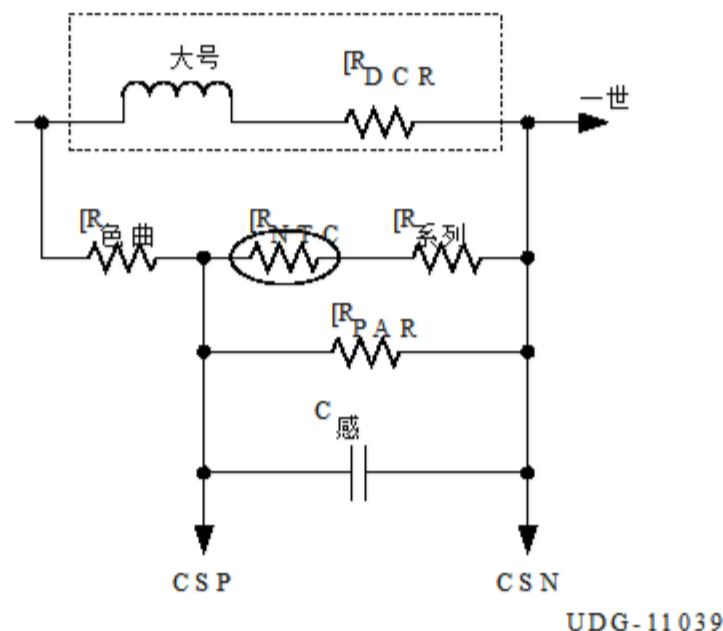


图51.典型的DCR传感电路

在此电路中，C SENSE 电容上的电压恰好等于R DCR 电阻上的电压
等式7是正确的。

$$\frac{\text{大号}}{R_{DCR}} = C_{\text{感}} \quad \text{“} R_{EQ} \text{”}$$

哪里

- R EQ 是R SEQU，R NTC，R SERIES 和R PAR 的串/并联组合

$$R_{EQ} = \frac{R_{P_N}}{R_{\text{色曲}} + R_{P_N}}$$

$$R_{P_N} = \frac{R_{PAR} \cdot (R_{NTC} + R_{\text{系列}})}{R_{PAR} + R_{NTC} + R_{\text{系列}}}$$

C SENSE 电容器类型应该在温度范围内保持稳定. 使用X7R或更好的电介质（首选C0G）。

由于手工计算这些值非常困难，因此TI有一个使用Excel求解器函数的电子表格
用来计算它们. 联系当地的TI代表获取电子表格的副本。

在这个设计中，下面的值被输入到电子表格的CPU部分

- L = 0.36 μH
- R DCR = 0.825mΩ
- 负载线，R IMVP = -1.9mΩ
- 最小过流限制= 112 A.
- 热敏电阻R 25 = 100kΩ，“B”值= 4250kΩ

在这个设计中，下面的值被输入到电子表格的GPU部分

- L = 0.36 μH
- R DCR = 0.825mΩ
- 负载线，R IMVP = -3.9mΩ
- 最小过流限制= 59 A.
- 热敏电阻R 25 = 100kΩ，“B”值= 4250kΩ

电子表格然后计算OCP（过电流保护）设置和R SEQU，R 系列，
R PAR 和C SENSE. 在这种情况下，OCP设置是从COCP-I到GND和56kΩ的电阻值选择
GOCP-I到GND. 最接近的标准组件值是：

- $R_{SEQU} = 17.8k\Omega$;
- $R_{SERIES} = 28.7k\Omega$;
- $R_{PAR} = 162k\Omega$
- $C_{SENSE} = 33\text{ nF}$

请注意电感DCR的有效分压比. 有效电流检测电阻 ($R_{CS(eff)}$) 如图所示
公式10

$$R_{CS(eff)} = R_{DCR} \frac{R_{P_N}}{R_{DCR} + R_{P_N}}$$

哪里

- R_{P_N} 是 R_{NTC} , R_{SERIES} 和 R_{PAR} 的串/并联组合.

(10)

$$R_{GDROOP} \frac{R_{CS(eff)}}{R_{GDROOP} + R_{CS(eff)}} = \frac{0.66\text{ mW} \cdot 12}{3.9\text{ mW} \cdot 0.497\text{ mS}} = 4.12\text{ k}\Omega$$

(11)

$R_{CS(eff)}$ 为 $0.66\text{ m}\Omega$.

第七步: 设置负载线.

CPU通道的负载线由电阻 R_{CDROOP} 从 $CCOMP$ 设置为 $VREF$ 来设置. GPU的负载线
通道由 $GCOMP$ 引脚上的电阻 R_{GDROOP} 设置 为 $VREF$. 使用公式1, 下垂设置
在公式12和公式13中计算电阻.

$$R_{CDROOP} \frac{R_{CS(eff)}}{R_{CDROOP} + R_{CS(eff)}} = \frac{0.66\text{ mW} \cdot 12}{1.9\text{ mW} \cdot 0.497\text{ mS}} = 8.45\text{ k}\Omega$$

(12)

$$R_{GDROOP} \frac{R_{CS(eff)}}{R_{GDROOP} + R_{CS(eff)}} = \frac{0.66\text{ mW} \cdot 12}{3.9\text{ mW} \cdot 0.497\text{ mS}} = 4.12\text{ k}\Omega$$

(13)

第八步: 编程CTHERM和GTHERM引脚.

CTHERM和GTHERM引脚应设置为使电阻分压器电压大于 458 mV 正常运行. 要使 VR_HOT 有效, $xTHERM$ 引脚电压应低于 458 mV . 该
从 $xTHERM$ 到 GND 的 NTC 电阻选择为 $100\text{ k}\Omega$ 与 $B 4250K$. 有了这个, VR_HOT 断言
温度 105°C , 从 $xTHERM$ 到 $VREF$ 的电阻可以计算为 $15.4k\Omega$.

第九步: 确定输出电容配置.

对于输出电容器, “英特尔电源传输指南”提供了输出电容建议. 运用
这些器件通过使用 OSR 和 USR 可以满足低电容负载瞬变的要求
特征. 八个设置可用, 这个选择必须根据瞬态测量进行调整.

表8. OSR / USR 选择设置

INDUCTOR DCR	三相QC设置 (V)	2相SV设定 (V)
0.8毫瓦至0.9毫瓦	1.0	0.8
1.0毫瓦至1.1毫瓦	1.2	1.0

可以根据上述电压设置计算从 $COCP-R$ 到 $VREF$ 和 $GOCP-R$ 到 $VREF$ 的电阻
在步骤六中选择 $COCP-R$ 至 GND 和 $GOCP-R$ 至 GND 电阻. 电阻值被计算
为 $39.2\text{ k}\Omega$ 对于 $COCP-R$ 到 $VREF$ 为 Ω , 对于 $GOCP-R$ 到 $VREF$ 为 $2.4k\Omega$.

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

PCB布局指南

原理图

由于电压和电流反馈信号是完全不同的，所以仔细检查它们是一个好主意。极性。

- CCSP1 / CCSN1
- CCSP2 / CCSN2
- CCSP2 / CCSN2
- GCSP1 / GCSN1
- GCSP2 / GCSN2
- VCCSENSE到CVFB / VSSSENSE到CGFB（用于CPU）
- VCCGTSENSE到GVFB / VSSGTSENSE到GGFB（用于GPU）

另外，请注意引脚4到引脚9上电流检测输入的顺序，因为第二相具有相反的顺序。

警告

从敏感的模拟接口线分离噪声驱动器接口线：（这是最重要的布局规则）

TPS51650和TPS59650使这一切尽可能简单。显示了TPS51650的引脚排列如图52所示。驱动器输出清晰地与敏感的模拟和数字电路分开。司机有一个单独的PGND，这应该直接连接到从V5DRV连接到去耦电容PGND。封装的导热垫是这些设备的模拟地，不应连接直接到PGND（引脚42）。

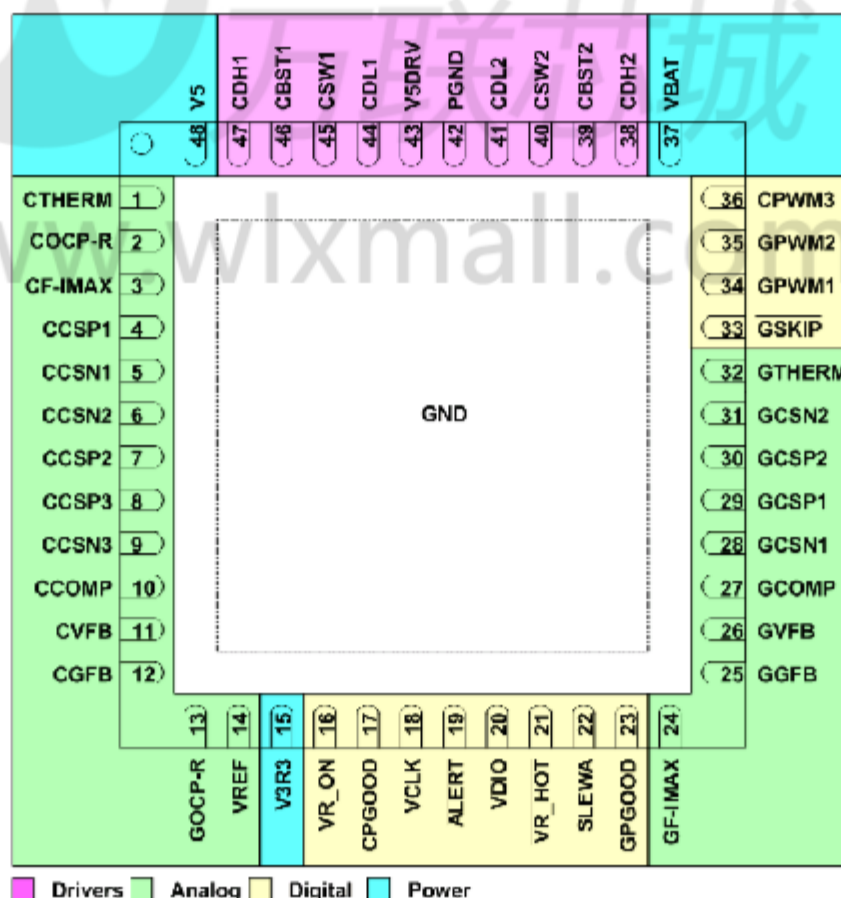


图52.按功能排列的包装版面

- 与用于电流感测的电阻器或电感器的焊盘进行开尔文连接。见图53的一个布局示例。
- 将电流反馈信号作为差分对运行至器件。
- 在安静的层中运行线条。通过电压或地平面隔离噪声信号。
- 将用于DCR检测的补偿电容（**C SENSE**）尽可能靠近**CS**引脚。
- 将任何噪声滤波电容器直接放置在这些设备的下方，并用电容连接到**CS**引脚最短的走线长度可能。

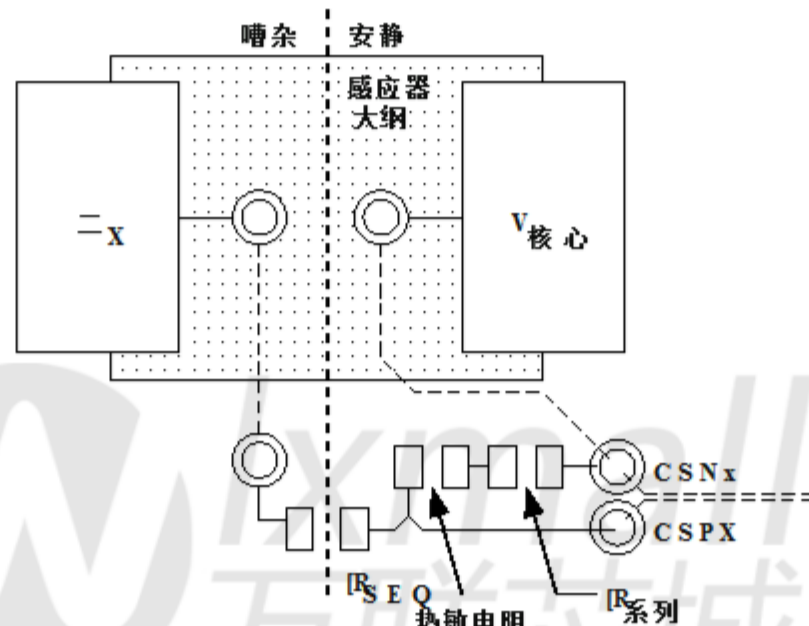


图53.为感应DCR进行电感的开尔文连接

UDG-11038

TPS51650, TPS59650

SLUSAV7 2012年1月

www.ti.com

最大限度地减少大电流循环

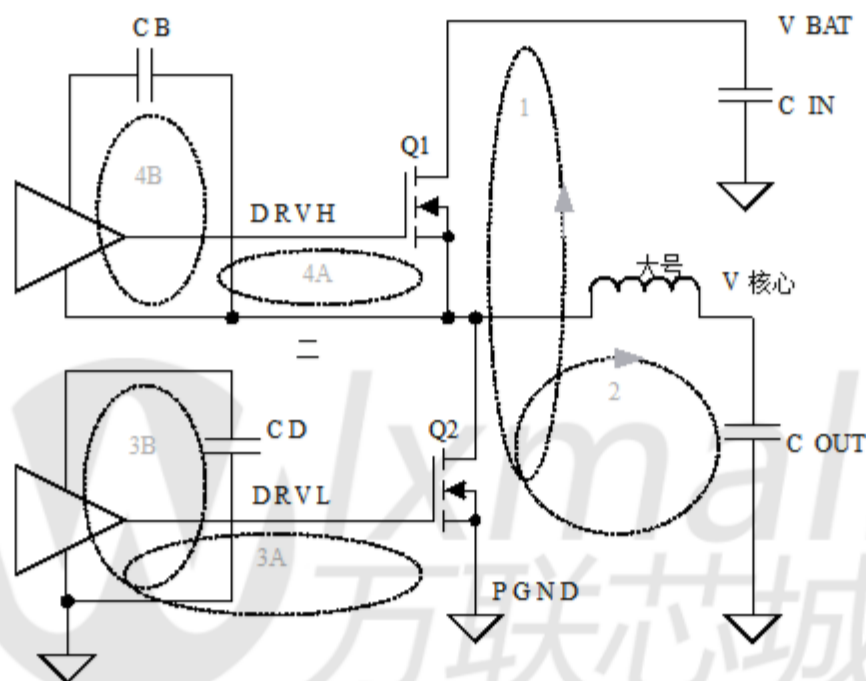
图54显示了每个阶段的主要电流回路，按重要性顺序编号。

最重要的回路是将回路1的面积减至最小，从输入电容通过高电平的路径到低端FET，并通过接地回到电容器。

回路2是从电感通过输出电容，接地和Q2.低侧门驱动器的布局

(循环3a和3b)很重要.门驱动布局的指导原则是:

- 使低端栅极驱动器尽可能短(首选1英寸或更少)。
- 使DRV1的宽长比为1:10, 如果可能的话宽(1: 5)。
- 如果需要更改图层, 请至少使用两个过孔。



UDG-11040

图54.主流循环最小化

动力链对称

TPS51650和TPS59650不需要特别注意动力链组件的布局.这是

因为提供了独立的隔离电流反馈.如果可以对称布置相位

方式, 那么请这样做.来自每个阶段的电流反馈必须是干净的噪音, 并具有相同的有效的电流感应电阻。

将模拟组件尽可能靠近设备。

按照以下顺序将组件放置在设备附近。

1. CS引脚噪声滤波组件
2. xCOMP引脚补偿组件
3. 去耦电容VREF, V3R3, V5
4. xTHERM滤波电容
5. xOCP-R电阻
6. xF-IMAX电阻

接地建议

这些器件具有独立的模拟和电源接地以及导热垫.正常程序连接这些是:

- 导热垫是模拟地.
- 不要将散热焊盘直接连接到引脚42, 因为引脚42是栅极驱动器的保护地面.
- 引脚42 (PGND) 必须直接连接到栅极驱动去耦电容接地端.
- 将散热垫 (模拟接地引脚) 连接到至少有4个小过孔或一个大过孔的接地岛.
- 所有的模拟组件都可以连接到这个模拟地面岛.
- 模拟地可以连接到系统地上的任何安静点.一个安静的区域被定义为a 没有电源开关电流可能流动的区域.这适用于V CORE 调节器和其他监管机构.使用从模拟地到系统地的单点连接
- 确保低端FET源连接和去耦电容器有足够的过孔.

解耦建议

- 解耦V5IN至PGND至少2.2 μF 陶瓷电容器.
- 用1将V5和V3R3去耦 μF 到AGND引线越短越好,
- VREF与AGND 0.33 μF , 也有短引线

导体宽度

- 按照英特尔关于电压反馈和逻辑接口连接要求的指导原则.
- 最大化电源, 接地和驱动信号连接的宽度.
- 对于电源路径中的导线, 请确保电流流动的路径宽度足够通过痕迹.
- 确保层间连接有足够的过孔.一个好的指导方针是使用至少1 通过每安培的电流.

www.wlxmall.com

包装信息

可订购设备	状态 (1)	包装类型	包装 画画	引脚包 数量	生态计划 (2)	铅/球完成 (6)	MSL峰值温度 (3)	操作温度 (°C)	设备标记 (4/5)	样品
FX007	活性	VQFN	RSL	48	2500	绿色 (RoHS & 没有Sb / Br)	CU NIPDAU	Level-3-260C-168 HR	-10至105	TPS 51650
TPS51650RSLR	活性	VQFN	RSL	48	2500	绿色 (RoHS & 没有Sb / Br)	CU NIPDAU	Level-3-260C-168 HR	-10至105	TPS 51650
TPS51650RSLT	活性	VQFN	RSL	48	250	绿色 (RoHS & 没有Sb / Br)	CU NIPDAU	Level-3-260C-168 HR	-10至105	TPS 51650
TPS59650RSLR	活性	VQFN	RSL	48	2500	绿色 (RoHS & 没有Sb / Br)	CU NIPDAU	Level-3-260C-168 HR	-40至105	TPS 59650
TPS59650RSLT	活性	VQFN	RSL	48	250	绿色 (RoHS & 没有Sb / Br)	CU NIPDAU	Level-3-260C-168 HR	-40至105	TPS 59650

(1) 营销状况值定义如下:

ACTIVE: 推荐用于新设计的产品设备.

LIFEBUY: TI已经宣布该设备将停产, 终身购买期限已经生效.

NRND: 不建议用于新设计. 器件已投入生产以支持现有客户, 但TI不建议在新设计中使用此器件.

预览: 设备已被宣布, 但尚未投入生产. 样品或提供或不提供.

停产: TI已停止生产该设备.

(2) 环保计划 - 计划的环保分类: 无铅 (RoHS), 无铅 (RoHS豁免) 或绿色 (RoHS及无镉/溴) - 请查询[http://www.ti.com / productcontent](http://www.ti.com/productcontent)获取最新的可用性信息和附加的产品内容细节.

待定: 无铅/绿色转换计划尚未定义.

无铅 (RoHS): TI的“无铅”或“无铅”术语表示所有6种物质都符合当前RoHS要求的半导体产品, 包括

铅在均质材料中不超过0.1重量%. 在设计用于高温焊接的场合, TI无铅产品适用于特定的无铅工艺.

无铅 (RoHS豁免): 该组件对于1) 芯片和封装之间使用的基于引脚的倒装芯片焊料凸点, 或者2) 用于

模具和引线框. 该组件被视为无铅 (RoHS兼容), 如上所述.

绿色 (RoHS& noSb / Br): TI定义“绿色”表示无铅 (RoHS兼容), 无溴 (Br) 和镉 (Sb) 基阻燃剂 (Br或Sb不超过0.1% 重量在均质材料中)

(3) MSL, Peak Temp. - 根据JEDEC行业标准分类的湿度敏感度等级等级, 以及峰值焊接温度.

(4) 可能会有额外的标记, 涉及设备上的徽标, 批次代码信息或环境类别.

(5) 多个设备标记将在括号内. 设备上只会显示一个包含在圆括号内的设备标记, 并以“~”分隔. 如果一行缩进, 那么它是一个延续的前一行, 这两个组合代表该设备的整个设备标记.

(6) 铅/球完成 - 可订购设备可能有多个材料完成选项. 完成选项由垂直格线分隔. 铅/球完成值可能会包装到两行, 如果完成值超过了最大列宽.

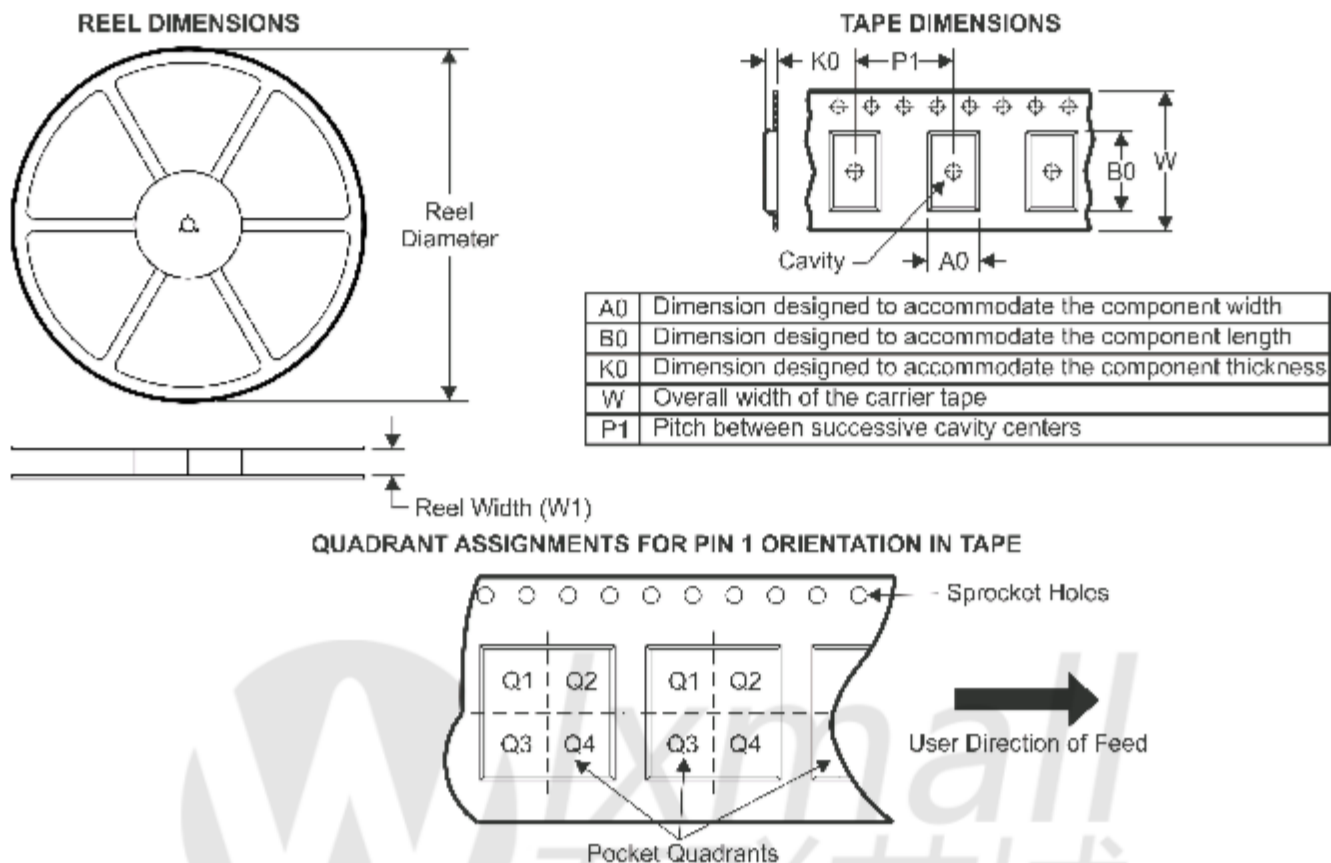
重要信息和免责声明: 本页提供的信息代表TI在提供日期的知识和信念. TI基于其信息的知识和信念由第三方提供, 对此类信息的准确性不作任何陈述或保证. 正在努力更好地整合来自第三方的信息. TI采取和继续采取合理步骤提供有代表性和准确的信息, 但可能没有对来料和化学品进行破坏性测试或化学分析. TI和TI供应商认为某些信息是专有的, 因此CAS号和其他有限的信息可能无法发布.

在任何情况下, TI因此类信息所产生的责任均不得超过TI每年向客户出售本文档中涉及的TI部分的总购买价格.



lxmall
万联芯城
www.wlxmall.com

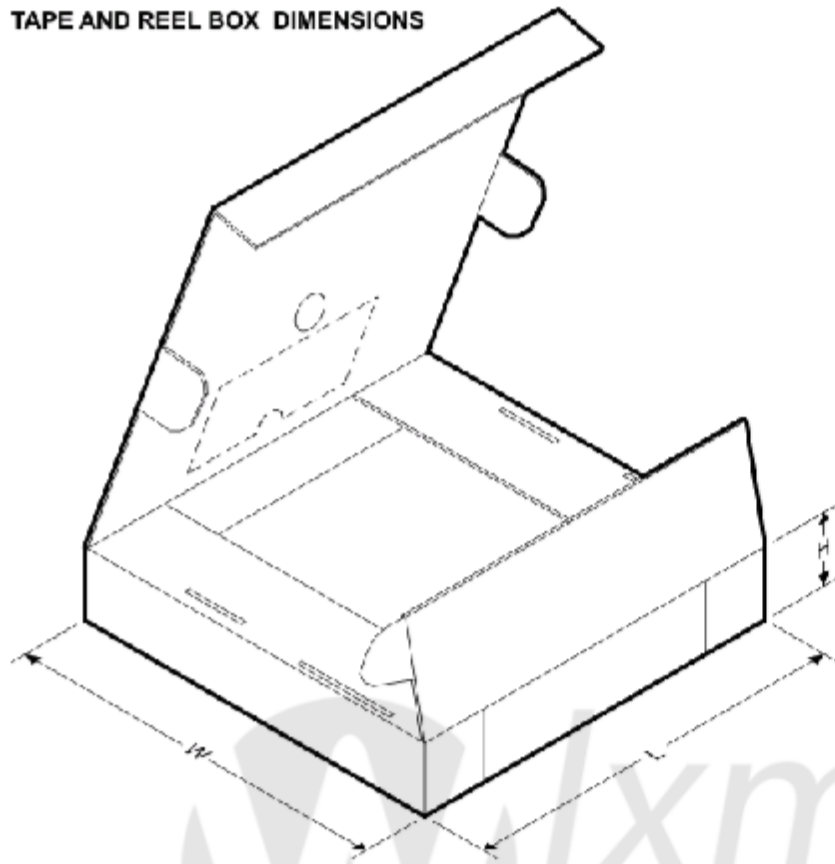
胶带和卷轴信息



*所有尺寸都是标称的

设备	包 类型	包 画圈	销	SPQ	卷轴 直径 (毫米)	卷轴 宽度 (毫米)	A0 (毫米)	B0 (毫米)	K0 (毫米)	P1 (毫米)	W (毫米)	PIN1 象限
TPS51650RSLR	VOFN	RSL	48	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
TPS51650RSLT	VOFN	RSL	48	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
TPS59650RSLR	VQFN	RSL	48	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
TPS59650RSLT	VQFN	RSL	48	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS

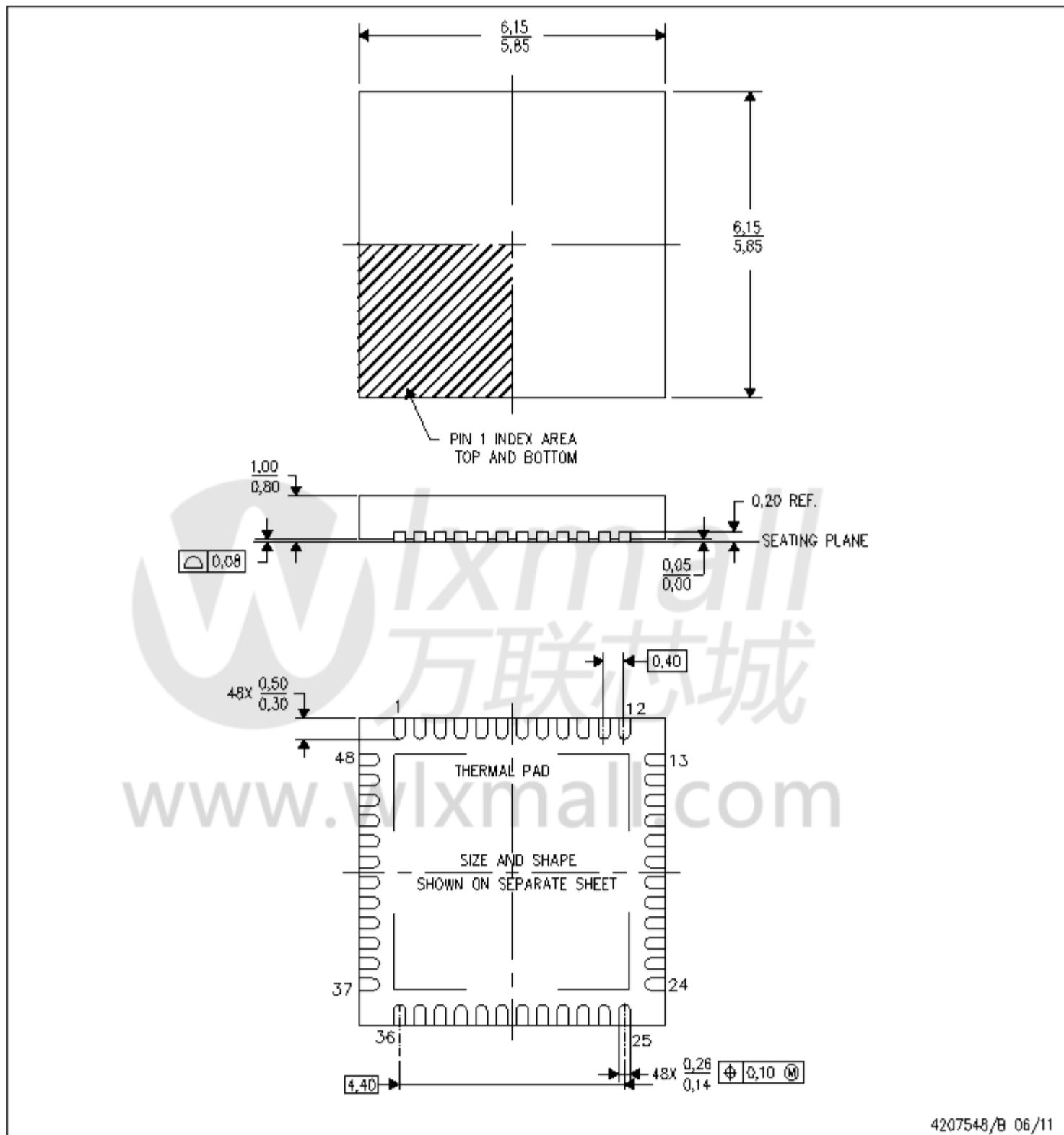


*所有尺寸都是标称的

设备	包装类型	包装图纸	销	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
TPS51650RSLR	VQFN	RSL	48	2500	367.0	367.0	38.0
TPS51650RSLT	VQFN	RSL	48	250	210.0	185.0	35.0
TPS59650RSLR	VQFN	RSL	48	2500	367.0	367.0	38.0
TPS59650RSLT	VQFN	RSL	48	250	210.0	185.0	35.0

RSL (S-PVQFN-N48)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - Quad Flatpack, No-leads (QFN) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

RSL (S-PVQFN-N48)

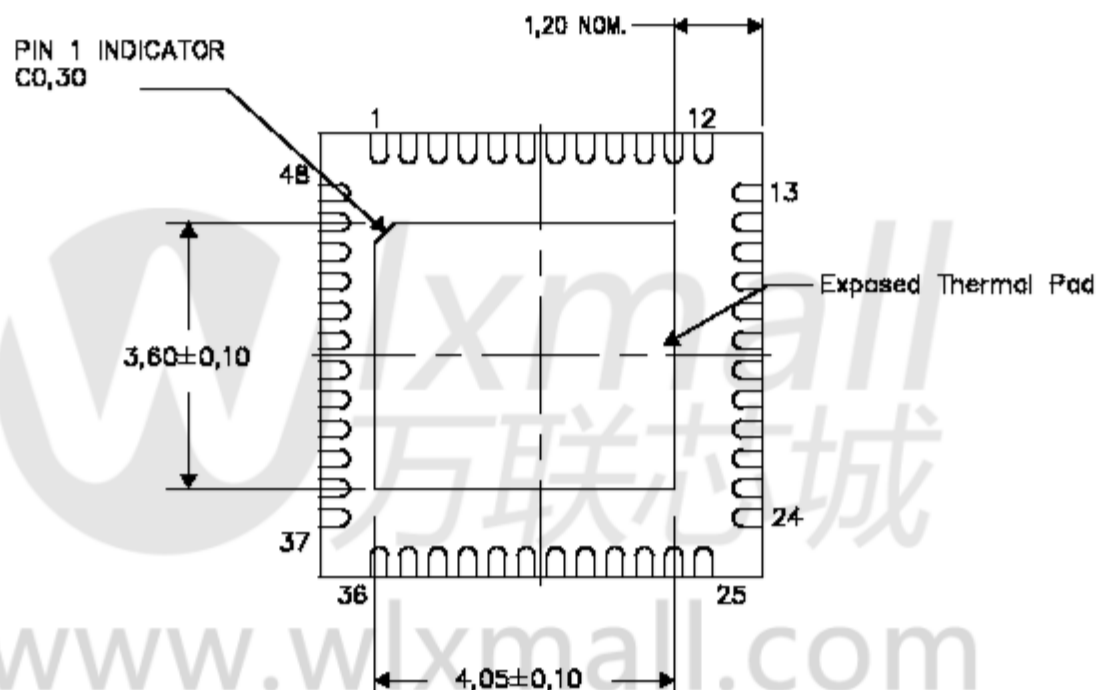
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

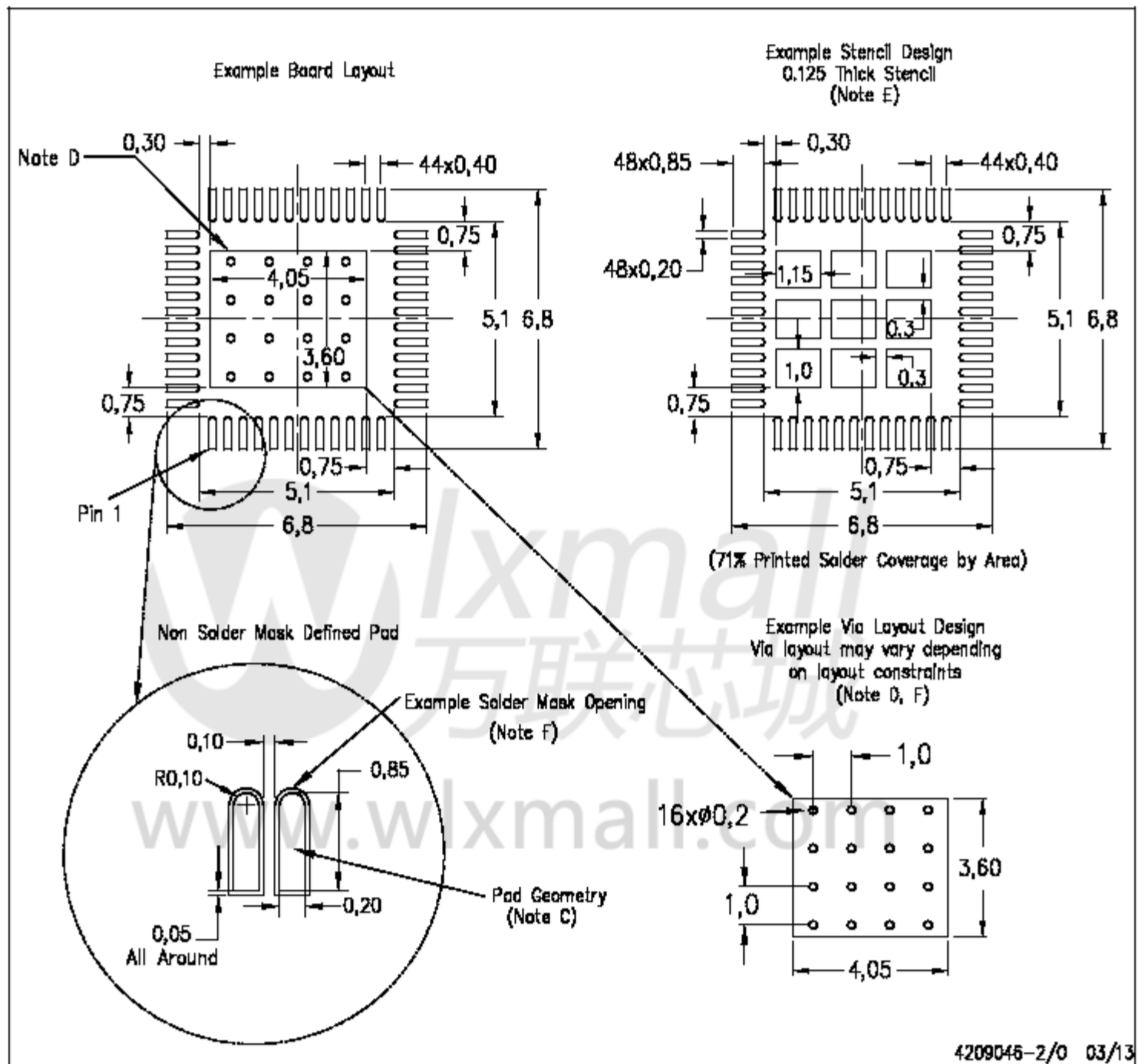
Exposed Thermal Pad Dimensions

4207B41-3/P 03/13

NOTE: All linear dimensions are in millimeters

RSL (S-PVQFN-N48)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in the thermal pad.

重要的提醒

德州仪器 (TI) 保留对其进行更正, 增强, 改进和其他更改的权利
半导体产品和服务按照最新的JESD46标准发布, 并根据最新的JESD48标准停止提供任何产品或服务. 买家应在下订单前获得最新的相关信息, 并应确认这些信息是最新的和完整的.

TI公布的半导体产品销售条款 (<http://www.ti.com/sc/docs/stdterms.htm>) 适用于打包的集成电路

TI已经认证并上市的电路产品. 附加条款可能适用于其他类型的TI产品的使用或销售服务.

在TI数据表中复制TI信息的重要部分只有在复制没有改变的情况下才允许
伴随着所有相关的担保, 条件, 限制和通知. 对于此类转载, TI不承担任何责任
文档. 第三方信息可能会受到额外的限制. TI产品或服务的转售与报表
与TI针对该产品或服务所陈述的参数不同或超出该参数, 均不作任何明示或暗示的担保
关联的TI产品或服务, 是不公平和欺骗性的商业行为. TI对此类声明不承担任何责任.

买家和其他正在开发集成TI产品的系统 (统称为“设计人员”) 理解并同意设计人员
仍然负责在设计应用程序时使用他们的独立分析, 评估和判断
确保设计人员应用程序的安全性及其应用程序 (以及所有TI产品) 的完整和专有责任
用于或适用于设计人员的申请) 与所有适用的法规, 法律和其他适用的要求. 设计师表示, 与
尊重他们的应用程序, 设计师拥有所有必要的专业知识来创建和实施 (1) 预防危险的安全措施
(2) 监视故障及其后果, (3) 减少可能造成故障的可能性
采取适当的行动. Designer同意, 在使用或分发任何包含TI产品的应用程序之前, Designer将会
彻底测试此类应用中使用的此类TI应用和功能.

TI提供的技术, 应用或其他设计建议, 质量特性描述, 可靠性数据或其他服务或信息,
包括但不限于与评估模块相关的参考设计和材料 (统称为“TI资源”)
协助正在开发集成TI产品应用的设计人员. 通过下载, 访问或使用任何TI资源
设计师 (单独或如果Designer代表设计公司) 同意使用任何特定的TI资源
仅用于此目的并受本通知条款约束.

TI提供的TI资源不会扩展或以其他方式更改TI针对TI的适用已发布的保证或免责声明
产品, TI不提供此类TI资源而产生额外的义务或责任. TI保留更正的权利,
TI资源的增强, 改进和其他更改. 除此之外, TI尚未进行任何测试
在发布的特定TI资源的文档中进行了描述.

设计者被授权使用, 复制和修改任何单独的TI资源, 仅用于开发应用程序
包括此类TI资源中标识的TI产品. 无其他许可, 无论是明示还是暗示, 通过商标或其他方式
对任何其他TI知识产权, 不得授予任何技术或知识产权
TI或任何第三方的权利, 包括但不限于任何专利权, 版权, 掩盖作品权, 或
与使用TI产品或服务的任何组合, 机器或过程有关的其他知识产权. 信息
涉及或引用第三方产品或服务不构成使用此类产品或服务的许可, 或者保修或服务
认可. 使用TI资源可能需要第三方根据专利或其他知识产权的许可
TI的专利或其他知识产权的第三方或TI许可.

TI资源按“原样”提供, 并具有一切故障. TI不承担其他所有的保证或责任
关于资源或使用的明示或暗示陈述, 包括但不限于
准确性或完整性, 所有权, 任何流感失败保证和任何暗示的保证
适销性, 针对特定用途的适用性以及不侵犯任何第三方知识产权
财产权. TI不承担任何责任, 也不会对设计人员进行任何索赔,
包括但不限于任何不负责的索赔, 关系或基于任何组合
产品, 即使在TI资源描述或其他. 在任何情况下, TI均不对任何实际,
直接的, 特殊的, 间接的, 间接的, 惩罚性的, 附带的, 结果性的或惩罚性的损害赔偿
与TI资源或其使用相关或由此产生的TI资源
告知此类损害的可能性.

除非TI明确指定个别产品满足特定行业标准的要求 (例如, ISO / TS 16949
和ISO 26262), 对于未能达到此类行业标准要求的情况, TI概不负责.

TI专门推广产品作为促进功能安全或符合行业功能安全标准等
产品旨在帮助客户设计和创建符合适用功能安全标准的应用程序
和要求. 在应用程序中使用产品本身并不会在应用程序中建立任何安全功能. 设计师必须
确保符合适用于其应用的安全相关要求和标准. 设计人员不得使用任何TI产品
生命关键的医疗设备, 除非当事方的授权人员已经执行特别的合同来管理这种使用.
生命关键的医疗设备是医疗设备, 如果这些设备的故障会导致严重的人身伤害或死亡 (例如, 生命
心脏起搏器, 除颤器, 心脏泵, 神经刺激器和植入物). 这样的设备包括但不限于全部
由美国食品和药物管理局认定为在美国以外的III类设备和等同分类的医疗设备

TI可能会明确指定某些产品完成特定资格 (如Q100, 军用级或增强型产品).
设计师同意, 他们有必要的专业知识来选择适合他们的应用的资格指定的产品
而且正确的产品选择由设计师自己承担. 设计师全权负责遵守所有的法律和法规
与这种选择有关的要求.

设计人员将向TI及其代表全额赔偿由于设计人员的不诚实行为而导致的任何损害, 成本, 损失和/
遵守本通知的条款和规定.