

特征

- 2路输入，1路HDMI / DVI连接
- HDMI 1.3a接收和发送兼容
- HDMI输入引脚上的 ± 7 kV HBM ESD
- 每个链路有4个TMDS通道
- 支持250 Mbps至2.25 Gbps数据速率及以上
- 支持25 MHz至225 MHz像素时钟及以上
- 全缓冲单向输入/输出
- 可切换50 Ω 片上输入端接
- 通道开关可编程或自动控制
- 均衡输入和预先强调的输出
- 低附加抖动
- 输出禁用功能，降低功耗
- 用于构建较大阵列的开关输出端接
- 双向和级联DDC缓冲器（SDA / SCL）
- DDC总线逻辑电平转换（3.3 V，5 V）
- 具有集成的双向和级联CEC缓冲器
- 上拉电阻（27k Ω ）
- 通道开关上的热插拔检测脉冲低
- 标准兼容：DVI，HDMI 1.3a，HDCP，I2C
- 串行（I2C从机）控制接口
- 56引脚，8 mm $\times$ 8 mm LFCSP，符合RoHS标准

应用

- 用于高级电视（HDTV）组的前面板缓冲器
- 独立HDMI切换器
- 多重输入显示
- 投影机
- A / V接收机
- 机顶盒

一般说明

AD8192是一款完整的HDMI™ / DVI连接开关均衡的TMDS输入和预先强调的TMDS输出适用于长电缆运行的系统。TMDS输出可以设置为高阻抗状态以降低功耗和/或允许使用线-OR技术。AD8192包括双向缓冲DDC总线和CEC线，具有集成上拉电阻CEC线。AD8192采用节省空间的56引脚LFCSP表面贴装，无铅塑料包装规定工作在-40°C至+ 85°C温度范围。

功能框图

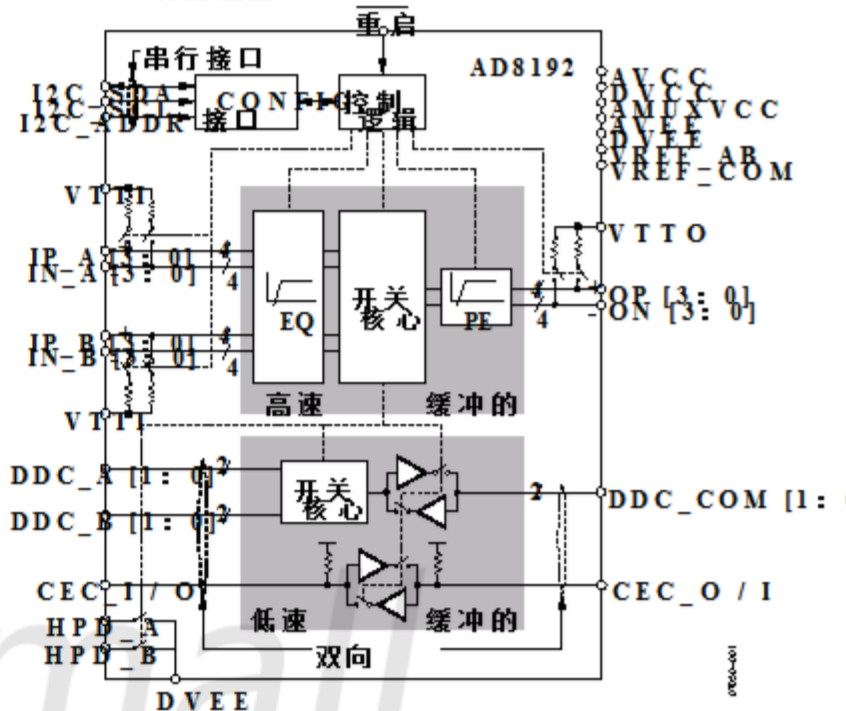


图1.

典型应用



图2. 高清电视机的典型应用

产品亮点

1. 完全HDMI 1.3a发送和接收兼容。
2. 支持高达2.25 Gbps的数据速率，可实现大于1080p HDMI格式，深色（12位）和UXGA（1600 $\times$ 1200）DVI分辨率。
3. 输入电缆均衡器可使用长电缆；更多20米（24 AWG），数据速率高达2.25 Gbps。
4. 辅助开关隔离并缓冲DDC总线和CEC线，提高总系统电容极限。
5. 热插拔检测（HPD）信号在链路开关上脉冲为低电平。
6. 手动或自动切换输入端接。

Advantiv

Advanced Television Solutions
by Analog Devices

启示录

ADI公司提供的信息被认为是准确可靠的，但是，不
责任由用户使用，也不得侵犯他人或其他人的权利
rightsofthirdpartiesthatmayresultfromitsuse. Specificationssubjecttochange without notice.
许可证是通过暗示或以其他方式授予ADI公司的任何专利或专利权。 Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
电话: 781.329.4700

传真: 781.461.3113 ©2008 Analog Devices, Inc. 保留所有权利。
www.analog.com

目录

特征	1	写程序	15
应用	1	阅读程序	16
功能框图	1	配置寄存器	17
典型应用	1	高速设备模式寄存器	18
一般说明	1	辅助设备模式寄存器	18
产品亮点	1	接收机设置寄存器	18
修订记录	2	输入端接控制寄存器	18
规格	3	接收均衡器寄存器	18
绝对最大额定值	5	变送器设定寄存器	19
热阻	5	源码控制寄存器	19
ESD注意	5	源A输入/输出映射寄存器	19
引脚配置和功能说明	6	源B输入/输出映射寄存器	19
典型性能特性	8	申请资料	20
操作理论	12	引脚	20
输入通道	12	电缆长度和均衡	21
输出通道	12	TMDS输出上升/下降时间	21
开关模式	13	高级电视前面板缓冲器	21
预先强调	13	HDMI切换器	21
辅助多路复用器	14	级联多器件	21
DDC逻辑电平	14	PCB布局指南	22
输入/输出映射控制	14	外形尺寸	25
串行控制接口	15	订购指南	25
重启	15		

修订记录

5/08 -Revision 0: 初始版本

规格

$T_A = 27^{\circ}\text{C}$, $AVCC = 3.3\text{ V}$, $V_{TTI} = 3.3\text{ V}$, $V_{TTO} = 3.3\text{ V}$, $DVCC = 3.3\text{ V}$, $AMUXVCC = 5\text{ V}$, $VREF_AB = 5\text{ V}$, $VREF_COM = 5\text{ V}$, $AVEE = 0\text{ V}$, $DVEE = 0\text{ V}$, 差分输入摆幅 = 1000 mV , TMD5输出端接外部 50Ω 电阻至 3.3 V , 除非否则注明。

表1. TMD5性能规格

参数	条件/注释	敏	典型	马克斯	单元
TMD5动态性能					
每个最大数据速率 (DR) 渠道	NRZ	2.25			Gbps的
误码率 (BER)	PRBS 2 23 - 1			10 - 9	
增加了数据抖动	$DR \leq 2.25\text{ Gbps}$, PRBS 2 7 - 1, 无均衡		23		ps (pp)
增加了时钟抖动			1		ps (rms)
差异性内部偏差	在输出		1		PS
差异性差距	在输出		三十		PS
TMD5均衡性能					
接收器 (最高设置) 1	升压频率 = 1.125 GHz		12		分贝
变速器 (最高设置) 2	升压频率 = 1.125 GHz		6		分贝
TMD5输入特性					
输入电压摆幅	微分	150		1200	毫伏
输入共模电压 (V_{ICM})		$AVCC - 800$		$AVCC$	毫伏
TMD5输出特性					
高电压电平	单端高速通道	$AVCC - 200$		$AVCC + 10$	毫伏
低电压电平	单端高速通道	$AVCC - 600$		$AVCC - 400$	毫伏
上升/下降时间 (20% 至 80%) 3	$DR = 2.25\text{ Gbps}$	50	90	150	PS
TMD5终止					
输入端接电阻	单端		50		Ω
输出端接电阻	单端		50		Ω

1 输出符合DVI标准版1.0和HDMI标准版1.3a中定义的发射机眼图。

2 电缆输出符合DVI标准版1.0和HDMI标准版1.3a中定义的接收机眼图屏蔽。

3 输出上升/下降时间测量不包括外部组件, 如HDMI连接器或外部ESD保护二极管. 请参阅应用程序信息部分更多信息。

表2. 辅助通道性能规格

参数	符号	条件/注释	敏	典型	马克斯	单元
DDC频道						
输入电容	C AUX	直流偏置 = 2.5 V , 交流电压 = 3.5 V pp , $f = 100\text{ kHz}$		10	15	pF的
输入低电压	V IL				0.5	V
输入高电压	V IH			$0.7 \times VREF1$		V
输出低电压	V OL	$I_{OL} = 5\text{ mA}$			0.4	V
输出高电压	V OH			$VREF1$		V
上升时间		10% ~ 90%, 无容性负载		140		NS
下降时间		90% 至 10%, C LOAD = 400 pF		100	200	NS
泄漏					10	μA
CEC频道						
输入电容	C AUX	DC偏置 = 1.65 V , 交流电压 = 2.5 V pp , $f = 100\text{ kHz}$		五	25	pF的
输入低电压	V IL				0.8	V
输入高电压	V IH		2.0			V
输出低电压	V OL	$R_{PULLUP} = 3\text{ k}\Omega$ 至 $+3.3\text{ V}$			0.6	V
输出高电压, V OH			2.5	$AVCC$		V

AD8192

参数	符号	条件/注释	敏	典型	马克	单元
上升时间		10% 至 90%，C LOAD = 1500 pF, R PULLUP = 27k Ω ; 或 C LOAD = 7200 pF, R PULLUP = 3k Ω		50	100	微秒
下降时间		90% 至 10%，C LOAD = 1500 pF, R PULLUP = 27k Ω ; 或 C LOAD = 7200 pF, R PULLUP = 3k Ω		五	10	微秒
泄漏		HDMI兼容性测试中的泄漏测试条件 规格测试编号：8-14			1.8	μ A
热插拔检测 输出低电压	V OL	R PULLUP = 800 Ω 至+5 V			0.4	V

1 VREF是指VREF_AB或VREF_COM引脚上的电压。VREF应与外部上拉电阻连接的电源电压相同。

表3.电源和控制逻辑规范

参数	条件/注释	敏	典型	马克斯	单元
电源					
AVCC	工作范围 (3.3 V $\pm$ 5%)	3.135	3.3	3.465	V
AMUXVCC	工作范围 (5 V $\pm$ 10%)	4.5	五	5.5	V
VREF_AB		3	五	5.5	V
VREF_COM		3	五	5.5	V
QUIESCENT CURRENT					
AVCC	输出禁用		40	45	嘛
AVCC	输出启用，无预加重		60	70	嘛
AVCC	输出启用，最大预加重		100	120	嘛
VTTI	输入端接1		40	54	嘛
VTT0	输出使能，输出端接		40	50	嘛
	输出端接，最大预加重		80	100	嘛
DVCC			10	15	嘛
VREF_AB			1	10	μ A
VREF_COM			1	10	μ A
AMUXVCC			10	20	嘛
功耗					
	输出禁用		215	318	毫瓦
	输出启用，无预加重		545	765	毫瓦
	输出启用，最大预加重		881	1200	毫瓦
I _{2C} 和LOGIC INPUTS ²					
输入高电压，V _{IH}	串行接口	2.4			V
输入低电压，V _{IL}	串行接口			0.8	V
I _{2C} AND LOGIC OUTPUTS					
输出低电压，V _{OL}	串行接口，I _{OL} = +3 mA		0.4		V

1 假设根据DVI标准版本1.0和HDMI标准版本1.3a的要求，未选择的HDMI/DVI链接通过热插拔检测线被禁用。

2 AD8192是一个I_{2C}从站，其控制接口基于3.3 V I_{2C}总线规范。

绝对最大额定值

表 4.

参数	评分
AVCC到AVEE	3.7 V
DVCC到DVEE	3.7 V
DVEE到AVEE	±0.3 V
VTTI	AVCC + 0.6 V
V TTO	AVCC + 0.6 V
AMUXVCC	5.5 V
VREF_AB	5.5 V
VREF_COM	5.5 V
内部功耗	2.41 W
高速输入电压	AVCC - 1.4 V <V IN <AVCC + 0.6 V
高速差速器 输入电压	2.0 V
低速输入电压	DVEE - 0.3 V <V IN <AMUXVCC + 0.6 V
I 2 C逻辑输入电压	DVEE - 0.3 V <V IN <DVCC + 0.6 V
储存温度 范围	-65°C至+ 125°C
工作温度 范围	-40°C至+ 85°C
结温	150°C
ESD HBM输入引脚	±7 kV
ESD HBM所有其他引脚	±1.5 kV

强调超过绝对最大额定值列出的值可能会对设备造成永久性损坏.这是一个压力评级;这些或任何设备的功能操作其他条件高于运营中指出的.本说明书的一部分不是隐含的.暴露于绝对长时间的最大评级条件可能会影响设备可靠性.

热阻

θ_{JA} 被指定为最坏条件的条件，即一个设备焊接在四层JEDEC电路板上，用于表面贴装包. θ_{JC} 被指定为焊接到的裸焊盘电路板，无气流.

表 5.耐热性

模型	θ_{JA}	θ_{JC}	单元
56引脚LFCSP	27	2.1	°C / W

ESD注意



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

引脚配置和功能描述

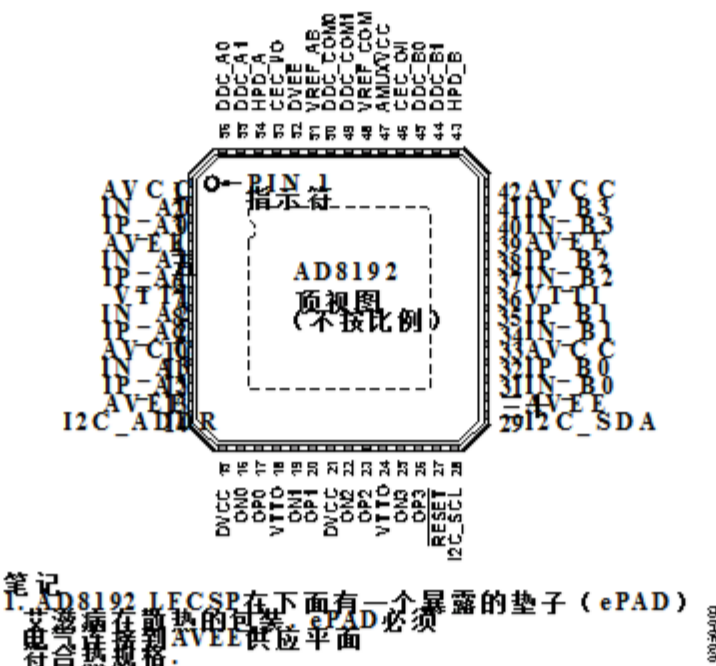


图3.引脚配置

表6.引脚功能描述

针号	助记符	类型1	描述
1, 10, 33, 42	AVCC	功率	正模拟电源. 3.3 V标称.
2	IN_A0	HS I / O	高速输入补码
3	IP_A0	HS I / O	高速输入
4, 13, 30, 39, ePAD	AVEE	功率	负模拟电源. 0 V标称.
五	IN_A1	HS I / O	高速输入补码
6	IP_A1	HS I / O	高速输入
7, 36	VTTI	功率	输入端接电源.名义上连接到AVCC.
8	IN_A2	HS I / O	高速输入补码
9	IP_A2	HS I / O	高速输入
11	IN_A3	HS I / O	高速输入补码
12	IP_A3	HS I / O	高速输入
14	I2C_ADDR	控制	I2C地址LSB.
15, 21	DVCC	功率	正数字电源. 3.3 V标称.
16	ON0	HS I / O	高速输出补码.
17	OP0	HS I / O	高速输出
18, 24	VTTO	功率	输出端接电源.名义上连接到AVCC.
19	ON1	HS I / O	高速输出补码.
20	OP1	HS I / O	高速输出
22	ON2	HS I / O	高速输出补码.
23	OP2	HS I / O	高速输出
25	ON3	HS I / O	高速输出补码.
26	OP3	HS I / O	高速输出
27	重启	控制	配置寄存器复位.通常拉到AVCC.
28	I2C_SCL	控制	我2C时钟.
29	I2C_SDA	控制	I2C数据.
31	IN_B0	HS I / O	高速输入补码
32	IP_B0	HS I / O	高速输入
34	IN_B1	HS I / O	高速输入补码
35	IP_B1	HS I / O	高速输入

针号	助记符	类型1	描述
37	IN_B2	HS I / O	高速输入补码
38	IP_B2	HS I / O	高速输入
40	IN_B3	HS I / O	高速输入补码
41	IP_B3	HS I / O	高速输入
43	HPD_B	LS O	热插拔检测输出。
44	DDC_B1	LS I / O	显示数据通道输入/输出。
45	DDC_B0	LS I / O	显示数据通道输入/输出。
46	CEC_O / I	LS I / O	消费电子产品控制输出/输入。
47	AMUXVCC	功率	正极辅助开关电源。5 V典型。
48	VREF_COM	参考	正极辅助开关供应公共端。
49	DDC_COM1	LS I / O	显示数据通道公共输入/输出。
50	DDC_COM0	LS I / O	显示数据通道公共输入/输出。
51	VREF_AB	参考	正向辅助开关电源侧。
52	DVEE	功率	负数字和辅助开关电源。0 V标称。
53	CEC_I / O	LS I / O	消费电子控制输入/输出。
54	HPD_A	LS O	热插拔检测输出。
55	DDC_A1	LS I / O	显示数据通道输入/输出。
56	DDC_A0	LS I / O	显示数据通道输入/输出。

1 HS =高速，LS =低速，I =输入，O =输出。



典型性能特点

TA = 27°C, AVCC = 3.3 V, VTTI = 3.3 V, VTTO = 3.3 V, AVEE = 0 V, DVEE = 0 V, 差分输入摆幅= 1000 mV, 图案= PRBS 27 - 数据速率= 2.25 Gbps, 除非另有说明, TMDS输出端接外部50Ω电阻至3.3 V.

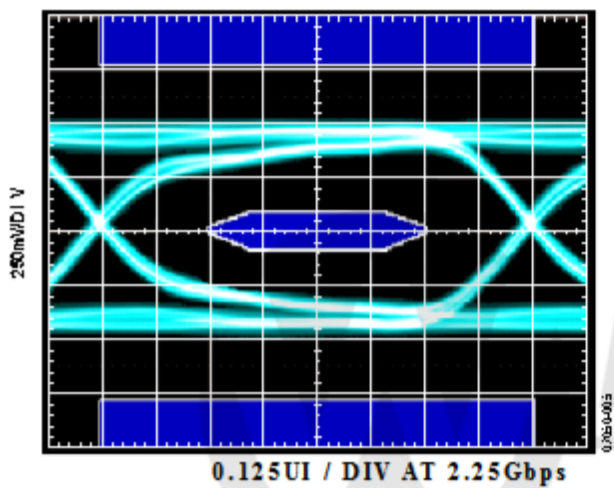
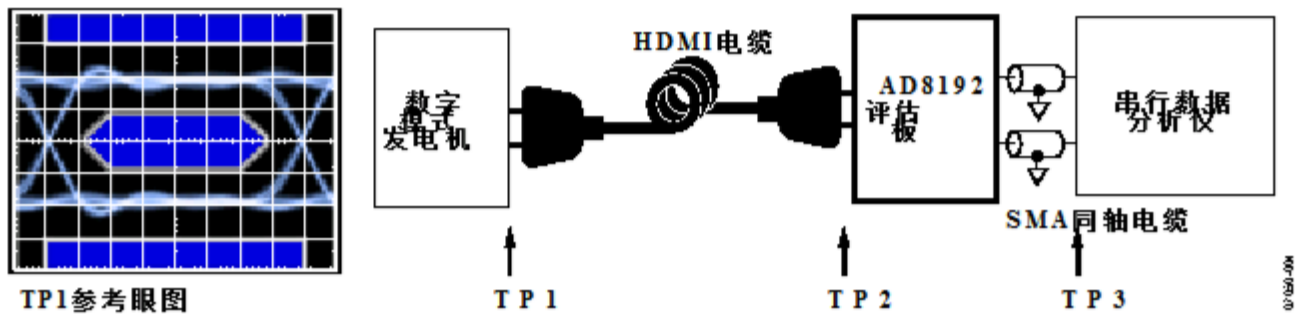


图5. TP2处的Rx眼图（电缆= 2 m，30 AWG）

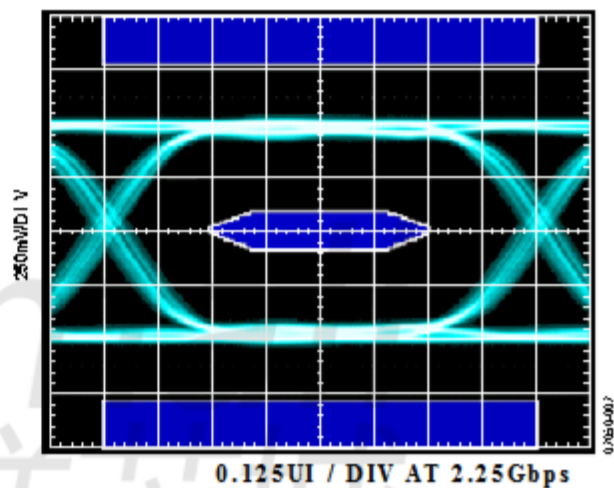


图7. TP3处的Rx眼图，EQ = 12 dB（电缆= 2 m，30 AWG）

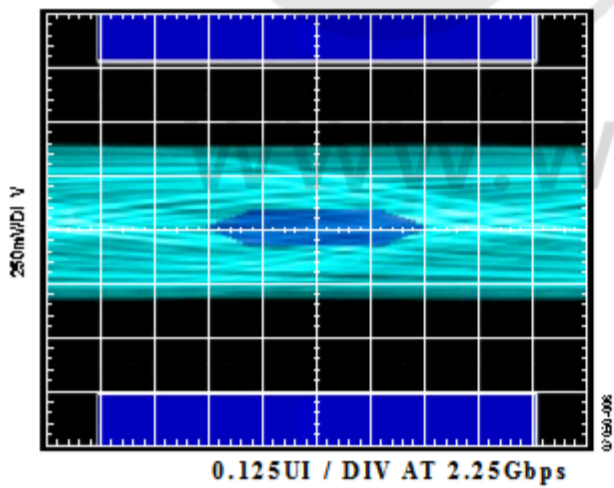


图6. TP2处的Rx眼图（电缆= 20 m，24 AWG）

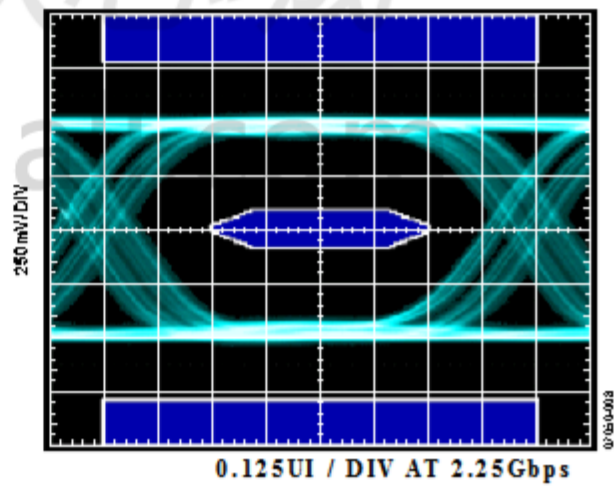


图8. TP3处的Rx眼图，EQ = 12 dB（电缆= 20 m，24 AWG）

$T_A = 27^{\circ}\text{C}$, $AV_{CC} = 3.3\text{ V}$, $V_{TTI} = 3.3\text{ V}$, $V_{TTO} = 3.3\text{ V}$, $AV_{EE} = 0\text{ V}$, $DV_{EE} = 0\text{ V}$, 差分输入摆幅=1000 mV, 图案=PRBS 27-
数据速率=2.25 Gbps, 除非另有说明, TMD5输出端接外部50 Ω 电阻至3.3 V。

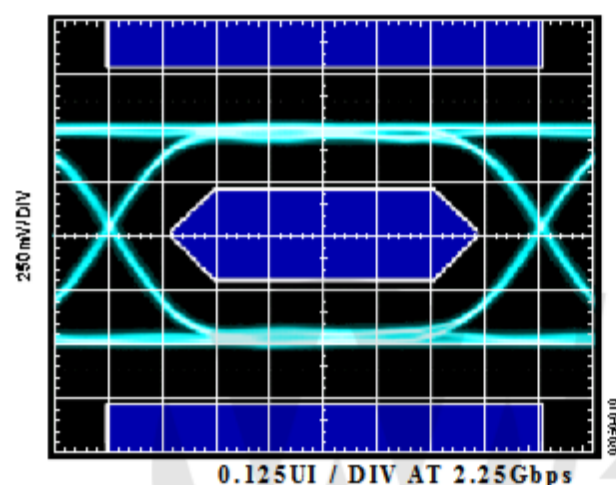
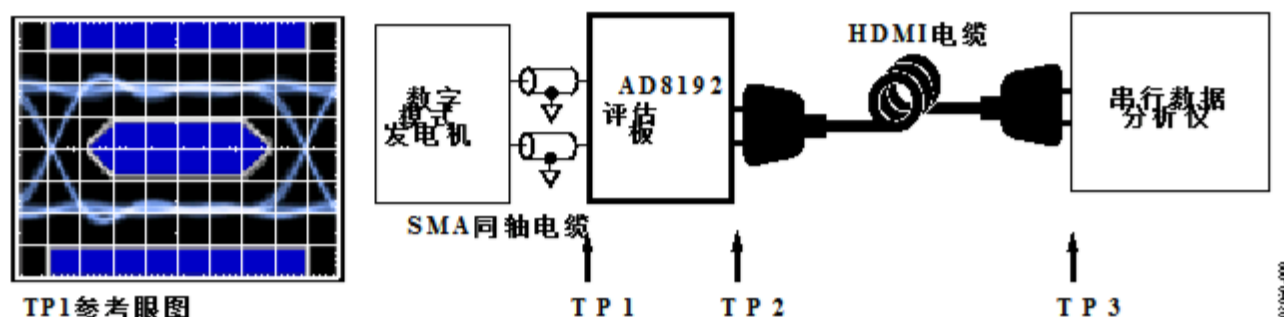


图10. TP2处的Tx眼图, PE = 0 dB

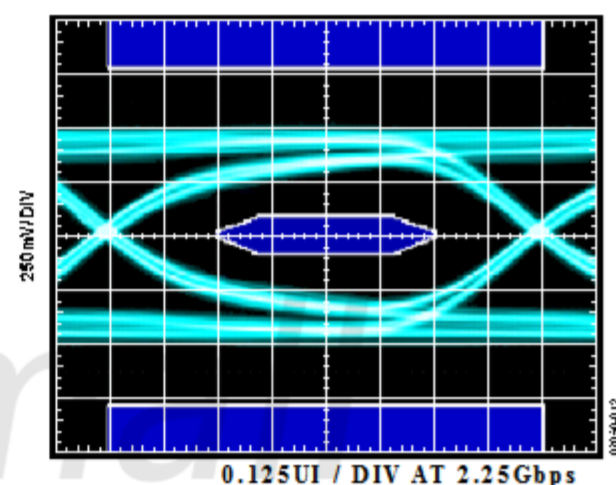


图12. TP3处的Tx眼图, PE = 0 dB (电缆=2 m, 24 AWG)

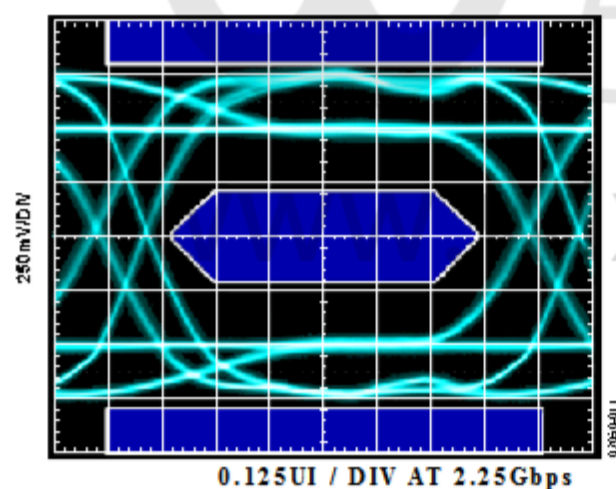


图11. TP2处的Tx眼图, PE = 6 dB

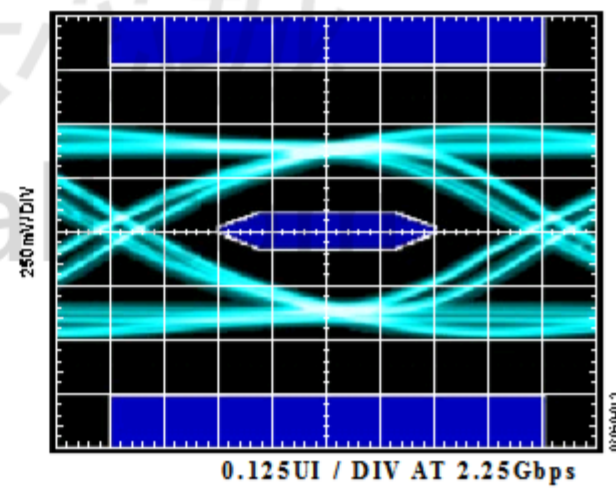


图13. TP3的Tx眼图, PE = 6 dB (电缆=10 m, 24 AWG)

$T_A = 27^\circ\text{C}$, $AVCC = 3.3\text{ V}$, $VTTI = 3.3\text{ V}$, $VTTO = 3.3\text{ V}$, $AVEE = 0\text{ V}$, $DVEE = 0\text{ V}$, 差分输入摆幅 = 1000 mV , 图案 = PRBS 27 - 数据速率 = 2.25 Gbps , 除非另有说明, TMDS输出端接外部 50Ω 电阻至 3.3 V 。

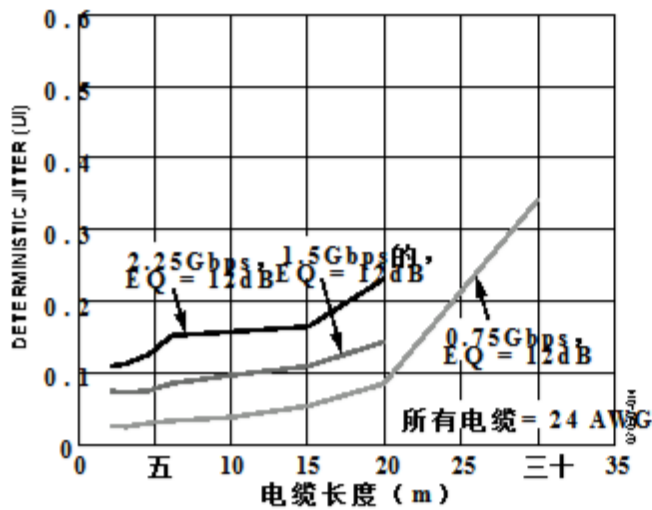


图14.抖动与输入电缆长度 (参见图4的测试设置)

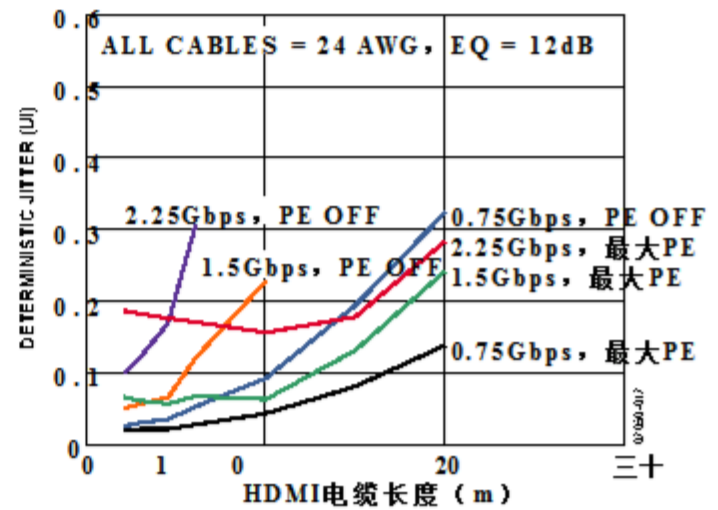


图17.抖动与输出电缆长度 (参见图9的测试设置)

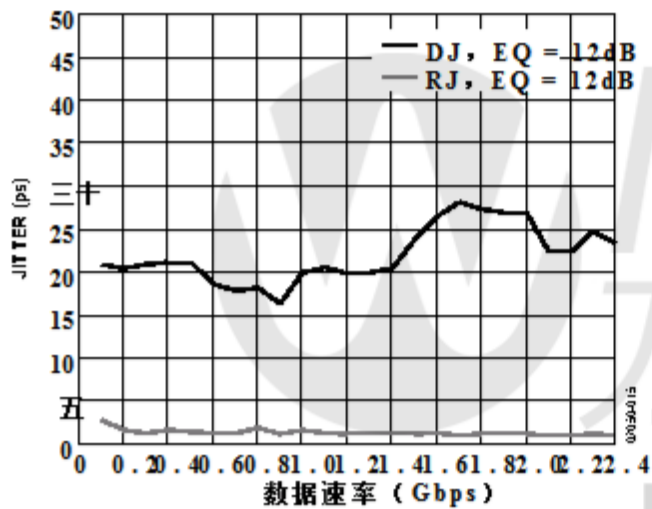


图15.抖动与数据速率

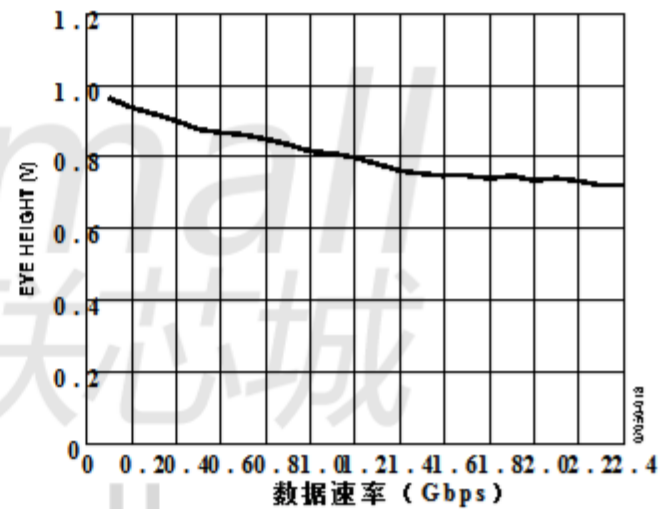


图18.眼睛高度与数据速率

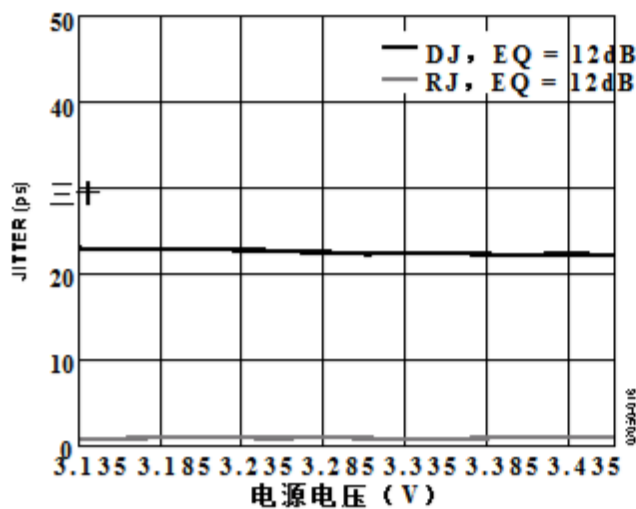


图16.抖动与电源电压

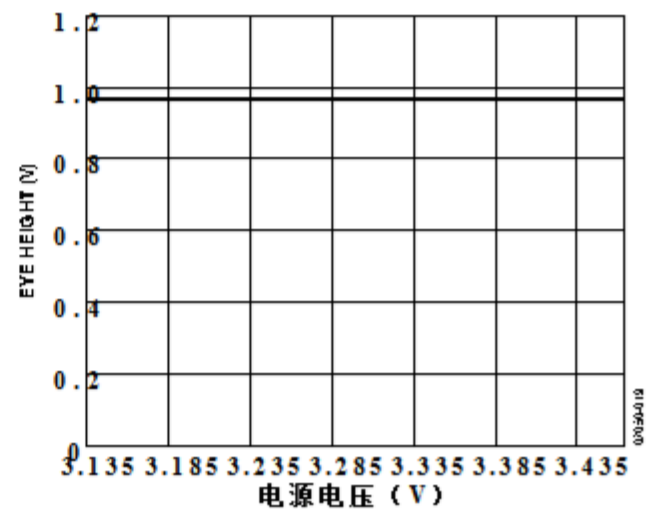


图19.眼睛高度 - 电源电压

$T_A = 27^\circ\text{C}$, $AV_{CC} = 3.3\text{ V}$, $V_{TTI} = 3.3\text{ V}$, $V_{TTO} = 3.3\text{ V}$, $AV_{EE} = 0\text{ V}$, $DV_{EE} = 0\text{ V}$, 差分输入摆幅=1000 mV, 图案=PRBS 27-
数据速率=2.25 Gbps, 除非另有说明, TMD5输出端接外部50 Ω 电阻至3.3 V.

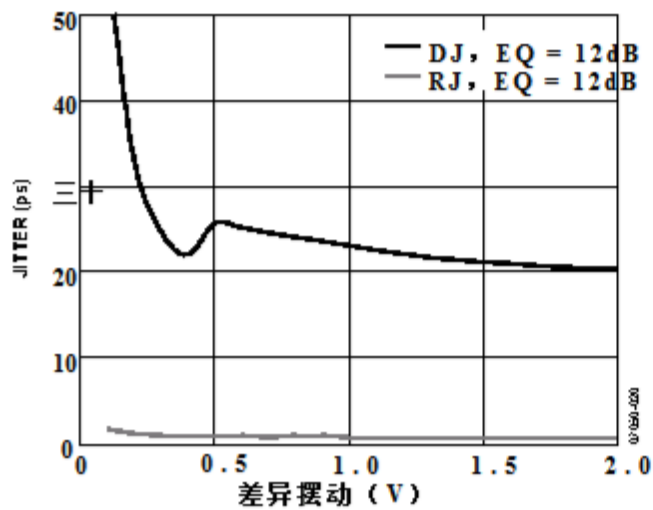


图20.抖动与差分输入摆幅

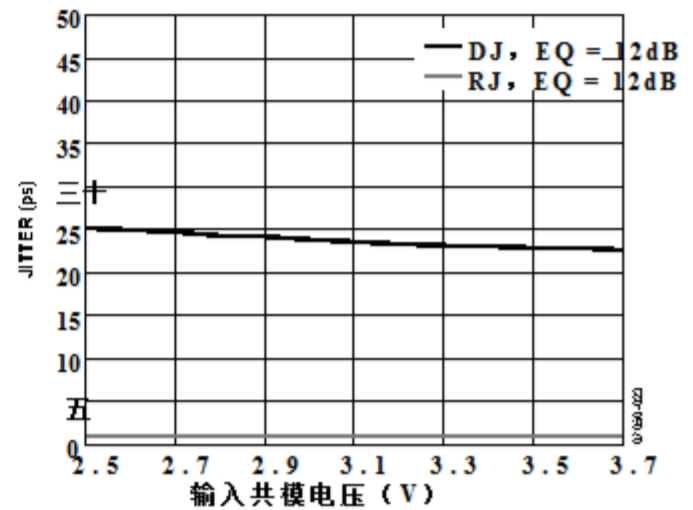


图23.抖动与输入共模电压

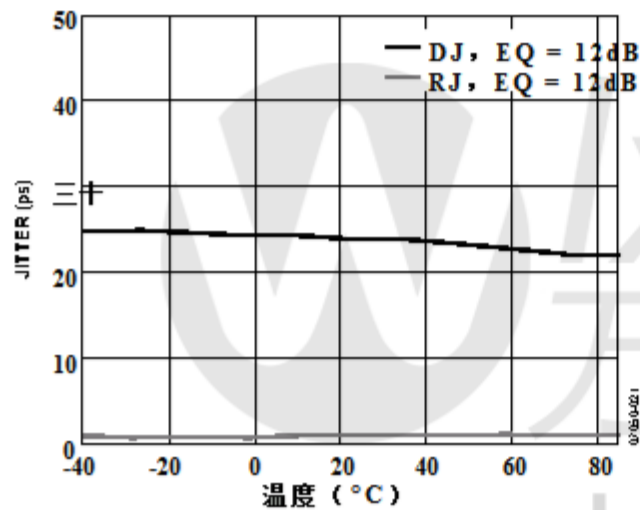


图21.抖动与温度

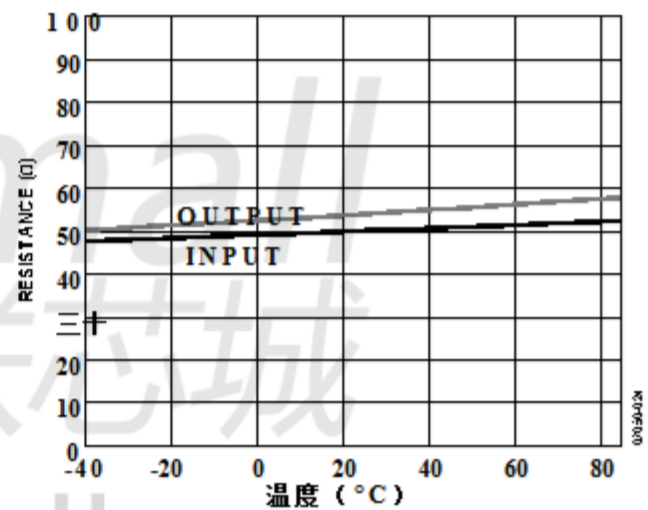


图24.单端终止电阻与温度的关系

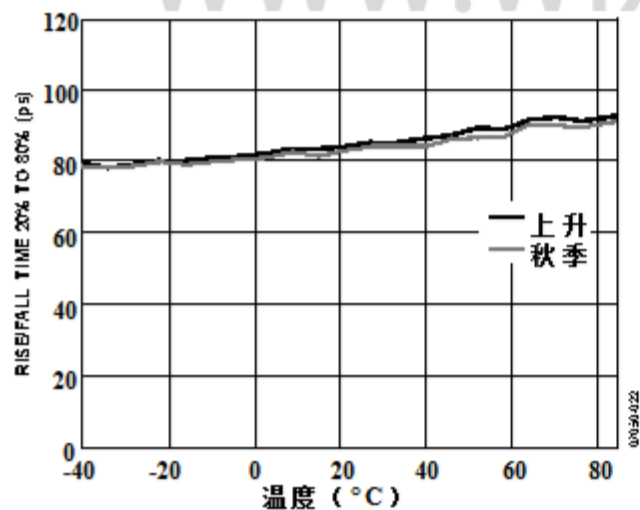


图22.上升和下降时间与温度的关系

操作理论

AD8192的主要功能是切换二者之一

(HDMI或DVI)单链路源到一个输出,每

HDMI / DVI链路由四个差分, 高速度组成
通道和四个辅助单端, 低速控制

信号.高速通道包括数据时钟

和三个转换最小化差分信号 (TMDS)

数据通道以10×数据时钟频率运行

数据速率高达2.25 Gbps.低速控制信号

包括显示数据通道 (DDC) 总线 (SDA和SCL),

消费电子控制 (CEC) 线和热插拔

检测 (HPD) 信号.

所有四个高速TMDS通道是相同的:那就是

像素时钟可以在四个TMDS通道中的任何一个上运行.

提供发送和接收信道补偿

用户可以 (手动) 选择的高速通道

在一些固定的设置.

AD8192隔离并缓冲DDC总线.另外

隔离和缓冲CEC线, 并包括集成的拉 -

CEC线. AD8192还会脉冲HPD信号

低通道切换.

AD8192具有I2C串行编程, 带有两个用户协议

可编程I2C从机地址. I2C从机地址

AD8192是0b100100X.最低有效位, 代表

通过X在地址中, 通过将I2C_ADDR引脚连接到其中

3.3 V (X = 1) 或0 V (X = 0).

输入通道

每个高速输入差分对终止到3.3 V

VTTI电源通过一对单端50Ω

芯片电阻, 如图25所示.输入状态

终端可以自动配置或编程

手动通过串行控制接口.终止

状态通过编程0置于自动模式

接收机设置寄存器的RX_TO位.在自动

模式下, 所选输入端口已启用, 并且

取消选择的输入将禁用所有输入端接.这个状态

在频道切换时自动更新.在手册中

模式, 1被编程到接收机的RX_TO位

设置寄存器, 以及每个单独输入端子的状态,

国家通过编程相关联的RX_PT位来设置

输入终端控制寄存器.

输入均衡器可以手动配置提供两个

不同级别的高频提升: 6 dB或12 dB.该

复位后, 均衡器电平默认为12 dB.用户可以

单独编程八高的均衡水平

通过选择性地设置关联的RX_EQ来设定速度输入通道

接收均衡器寄存器中的位.没有特定的电缆长度

建议用于特定的均衡设置, 因为电缆

制造商之间的性能差异很大.然而,

一般来说, AD8192的均衡可以设置为12 dB

而不会降低信号完整性, 即使是短输入电缆.

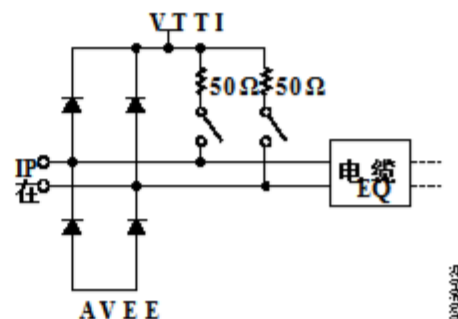


图25.高速输入简化原理图

输出通道

每个高速输出差分对都被终止

+ 3.3V VTTO电源通过一对50Ω芯片

电阻, 如图26所示.

选择;它可以通过编程打开或关闭

发送器设置寄存器的TX_PTO位.

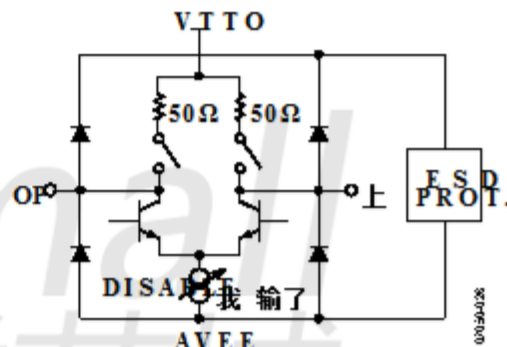


图26.高速输出简化原理图

AD8192的输出端接电阻返回终止

输出TMDS传输线.这些后端,

根据HDMI 1.3a规范中的建议, 可以吸收

输出迹线上的阻抗不连续的反射,

提高输出跟踪信号的完整性和增加

如何路由输出跟踪的灵活性.例如,

层间通孔可用于路由AD8192 TMDS输出

在多层PCB上, 不会严重降解

输出信号的质量.

输出有一个禁用功能, 放置输出

三态模式 (高速装置模式的HS_EN位)

寄存器). 可以使用更大的线或数组

该模式下的AD8192.

AD8192需要输出端接电阻

高速输出被使能.终止可以是内部的

和/或外部. AD8192的内部端接是

通过编程发送器的TX_PTO位来实现

设置寄存器 (默认为复位时). 外部终端

可以由板载电阻器或输入端提供

HDMI / DVI接收器的终端电阻. 如果两个

内部终端已启用, 外部终端已启用

目前, 通过编程将输出电流电平设置为20 mA

变数器设置寄存器的TX_OCL位 (默认值)

复位时). 如果仅提供外部终端 (如果

内部终端禁用), 设置输出当前电平

通过编程变送器的TX_OCL位至10 mA
设置寄存器.如果高速输出必须禁用
系统中不存在输出终端电阻.

输出均衡器(预加重)

提供了四个不同级别的高频之一

促进.通过编程选择具体的提升级别

TX_PE位的发送器设置寄存器.无特殊电缆

建议用于特定预加重设置的长度, 因为
电缆性能在制造商之间差别很大.

切换模式

AD8192是2:1 HDMI/DVI源开关.用户可以

选择哪个高速TMDS输入路由到输出

编程高速模式寄存器的HS_CH位

哪个低速DDC输入/输出路由到DDC通用

通过编程辅助的AUX_CH位来输入/输出
设备寄存器.

预加重

预先强调的TMDS输出预补偿反向

用于考虑长电缆系统中的损耗

运行.这些长电缆运行选择性地衰减高频

信号的能里, 导致转换时间的退化

闭眼.类似于接收均衡器,

强调滤波器是提高信号中的高频能里.

然而, 与接收均衡器不同, 预加重滤波器是
在通道之前应用, 从而预先传输
信号来说明渠道的损失.串联连接
的预加重滤波器和通道导致更平坦

频率响应高于通道, 从而导致

改善高频能里, 改善转换时间,

并改善了通道远端的眼睛开放.运用

用于补偿信道损耗的预加重滤波器允许

更长的电缆在远端有或没有接收均衡器运行

通道结束.当没有接收均衡器的时候

通道的远端, 预加重滤波器应该允许

更长的电缆运行比没有预加重可接受.在

在近端还有一个预加重滤波器的情况

在通道的远端接收均衡器, 允许

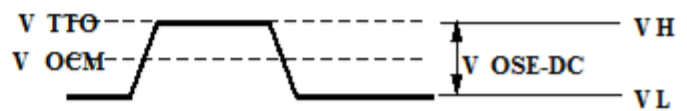
电缆运行应比任何一个补偿都要长

单独实现.预先强调的波 -

形式如图27所示

符号说明分别列于表7和表8.

PRE-EMPHASIS OFF



前瞻性

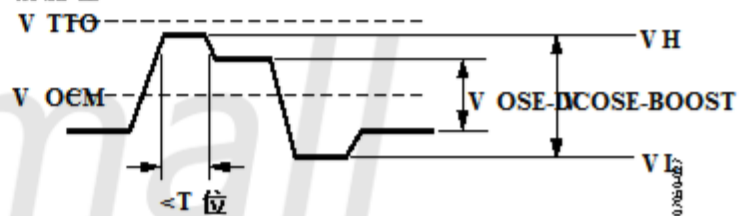


图27.预加重脉冲响应

表7.输出电压电平

PE设置	OCL设置	升压 (dB)	IT (mA)	V OSE-DC (mV _{pp})	V OSE-BOOST (mV _{pp})	直流耦合		
						V OCM (V)	V H (V)	V L (V)
0	0	0	10	250	250	3.175	3.3	3.050
1	0	2	12.5	250	312.5	3.144	3.3	2.988
2	0	4	15	250	375	3.133	3.3	2.925
3	0	6	20	250	500	3.050	3.3	2.8
0	1	0	20	500	500	3.050	3.3	2.8
1	1	2	25	500	625	2.988	3.3	2.675
2	1	4	三十	500	750	2.925	3.3	2.550
3	1	6	40	500	1000	2.8	3.3	2.3

表8.符号定义

符号	式	定义
V OSE-DC	$\frac{1}{T_{PD}} \times 25 \Omega \cdot 1$	单端输出电压稳定后摆幅
V OSE-BOOST	$IT \times 25 \Omega \cdot 1$	升压单端输出电压摆幅
V OCM (直流耦合)	$V_{IT0} - \frac{1}{2} \times 25 \Omega \cdot 1$	输出为直流耦合时的共模电压
V OCM (AC耦合)	$V_{IT0} - \frac{1}{2} \times 50 \Omega$	当输出交流耦合时, 共模电压
V H	$V_{OCM} + V_{OSE-BOOST} / 2$	高单端输出电压偏移
V L	$V_{OCM} - V_{OSE-BOOST} / 2$	低单端输出电压偏移

1等式中的25Ω电阻是片上50Ω终端电阻和外部50Ω终端电阻的并联组合.

辅助多路复用器

辅助（低速）线路提供切换和缓冲

用于DDC总线和缓冲CEC线。DDC

缓冲区是双向的，完全支持仲裁，时钟

同步等标准模式的相关功能

我2公共汽车。CEC缓冲区是双向的，包括集成的片内上拉电阻。

进入AD8192的HPD线通常很高

阻抗，但拉低至大于100 ms时

发生通道切换。

用户可选择从动辅助线路开关

选择通过编程选择高速开关

辅助设备寄存器的AUX_LK位。这导致了

辅助输入通道在用户自动切换

对高速模式寄存器的HS_CH位进行编程。

AD8192的未选择的辅助输入放入

当设备上电时，高阻抗模式

AD8192的DDC输入为高阻抗

设备已关机。这样可以防止DDC总线上的争用，

使设计能够在AD8192的上游包含EDID。

DDC LOGIC LEVELS

AD8192支持使用灵活（3.3 V，5 V）逻辑电平

在DDC总线上。DDC_A和DDC_B的逻辑电平

总线由VREF_AB上的电压和逻辑电平设置

对于DDC_COM总线由VREF_COM上的电压设置。

例如，如果DDC_COM总线正在使用5 V I²C，那么

VREF_COM电源引脚应连接到+5 V

电源。如果DDC_AB总线使用3.3 V I²C，那么

VREF_AB电源引脚应连接到a

+ 3.3V电源。

输入/输出映射控制

AD8192的输入/输出映射是完全的

可编程的。这允许设计人员集成AD8192

几乎适用于任何应用而不需要使用通孔

在PCB布局中的TMDS迹线上。

用户可以独立控制输入/输出映射

的源A和源B的TMDS通道

对源A的A [3: 0]_HS_MAP [0: 1]位进行编程

输入/输出映射寄存器和B [3: 0]_HS_MAP [0: 1]

源B输入/输出映射寄存器的位。

用户可以独立控制八个极性

通过编程A_SG和B_SG位的输入通道

源码选择寄存器。这允许设计者反转

给定TMDS对的p和n信号的顺序

AD8192而不是在PCB上。

www.wxmall.com

串行控制接口

重启

初始上电时，或在运行过程中的任何一点
AD8192寄存器组可以恢复为默认值
根据规格将RESET引脚拉低
表格1. 然而，在正常运行期间，
必须拉至3.3 V.

RESET引脚

写作程序

要将数据写入AD8192寄存器集，I2C主机（如
微控制器）需要发送适当的控制信号
到AD8192从设备.信号由...控制
I2C主机，除非另有规定.对于图的
过程，请参见图28.写入过程的步骤如下
如下：

- 1. 发送启动条件（同时保持I2C_SCL线高，将I2C_SDA线拉低）.
- 2. 发送AD8192部分地址（7位）.上六AD8192器件地址的位是静态值[100100]并且LSB由输入引脚I2C_ADDR设置.这个转帐应该是MSB第一.
- 3. 发送写指针位（0）.
- 4. 等待AD8192确认该请求.
- 5. 发送数据所在的寄存器地址（8位）书面.此转移应首先是MSB.
- 6. 等待AD8192确认该请求.

- 7. 发送要写入寄存器的数据（8位）其地址在步骤5中设置.此转移应为MSB第一.
- 8. 等待AD8192确认该请求.
- 9. 执行以下操作之一：
 - 一个.发送停止条件（持有I2C_SCL线高，拉高I2C_SDA线）并释放总线控制结束交易（如图所示）图28）.
 - 湾.发送重复的启动条件（同时持有I2C_SCL线为高电平，将I2C_SDA线拉低）和继续执行此步骤中的步骤2另一个写.
 - C. 发送重复的启动条件（同时持有I2C_SCL线为高电平，将I2C_SDA线拉低）和继续阅读程序的第2步（在阅读程序部分）执行读取另一个地址.
 - 天.发送重复的启动条件（同时持有I2C_SCL线为高电平，将I2C_SDA线拉低）和继续阅读程序的第8步（在阅读程序部分）执行读取在第5步中设置相同的地址.

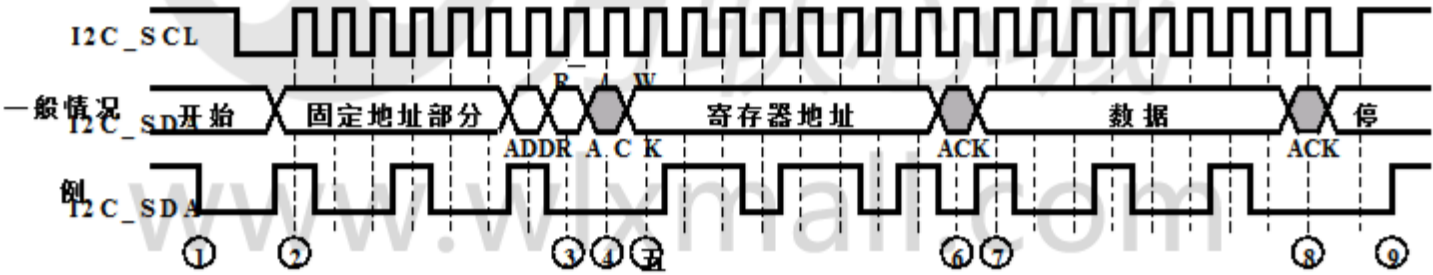


图28. I2C写程序

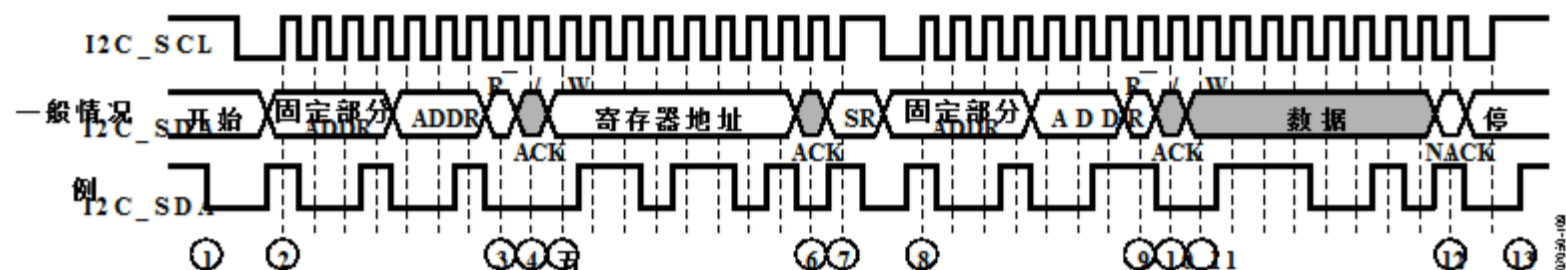


图29. I2C读取过程

阅读程序

要从AD8192寄存器集读取数据，请使用I2C主机（如作为微控制器）需要发送适当的控制信号到AD8192从设备。信号被控制除非另有说明，否则由I2C主控。对于图的过程见图29。读取步骤的步骤是如下：

1. 发送启动条件（同时保持I2C_SCL线高，将I2C_SDA线拉低）。
 2. 发送AD8192部分地址（7位）。上六AD8192器件地址的位是静态值[100100]，LSB由输入引脚I2C_ADDR设置。这个转移应该是MSB第一。
 3. 发送写指针位（0）。
 4. 等待AD8192确认该请求。
 5. 发送数据所在的寄存器地址（8位）。被阅读此转移应首先是MSB。
 6. 等待AD8192确认该请求。
 7. 通过持有发送重复的启动条件（Sr）I2C_SCL线为高电平，并将I2C_SDA线拉低。
 8. 从步骤2重新发送AD8192零件地址（7位）。AD8192零件地址的高6位组成静态值[100100]。LSB由输入引脚I2C_ADDR设置。此转移应首先是MSB。
 9. 发送读指针位（1）。
- 等待AD8192确认该请求。
- AD8192串行传输所保存的数据（8位）
该寄存器由步骤5中设置的地址指示。该数据先发送MSB。
11. 从AD8192捕获数据。

12. 执行以下操作之一：

- 一个发送无应答，然后发送停止条件（同时保持I2C_SCL线为高电平，拉SDA线路高）并释放总线的控制结束交易（如图29所示）。
- 湾 发送无应答，然后重复启动条件（同时保持I2C_SCL线高，拉I2C_SDA线为低电平），并继续执行步骤2写入程序（见上一个写入程序部分）执行写入。
- C. 发送无应答，然后重复启动条件（同时保持I2C_SCL线高，拉I2C_SDA线为低电平），并继续执行步骤2这个程序从另一个执行读取地址。
- 天. 发送无应答，然后重复启动条件（同时保持I2C_SCL线高，拉I2C_SDA线为低电平），并继续执行步骤8这个过程从同一个执行读取地址。

配置寄存器

串行接口配置寄存器可以使用 I²C 串行接口，I2C_SDA 引脚和 I2C_SCL 引脚进行读写。该

通过将引脚 I2C_ADDR 连接到 3.3 V (I2C_ADDR = 1b) 或 0 V (I2C_ADDR = 0b) 来设置 AD8192 I²C 部分地址的最低有效位。

表9.注册地图

名称	位7	位6	位5	位4	位3	位2	位1	位0	地址	默认
高速设备模式		高速开关启用 HS_EN						高速源选择 HS_CH	为0x00	0x40的
辅助设备模式	辅开关模式锁 AUX_LK	辅开关启用 AUX_EN						辅开关源选择 辅助通道	0x01	将0xC0
接收器设置								输入终止控制模式选择 RX_TO	为0x10	0x01
输入Termination控制	输入端接选择 RX_PT [7] RX_PT [6] RX_PT [5] RX_PT [4] RX_PT [3] RX_PT [2] RX_PT [1] RX_PT [0]								为0x11	为0x00
接收均衡器	输入均衡电平选择 RX_EO [7] RX_EO [6] RX_EO [5] RX_EO [4] RX_EO [3] RX_EO [2] RX_EO [1] RX_EO [0]								0x14	为0xFF
发射机设置					输出预加重级别选择 TX_PE [1] TX_PE [0]		产里终止开/关选择 TX_PTO	产里当前水平选择 TX_OCL	为0x20	×03
资源标志控制	源B输入符号选择 B_SG [3] B_SG [2] B_SG [1] B_SG [0]				源A输入符号选择 A_SG [3] A_SG [2] A_SG [1] A_SG [0]				0x80的	为0x00
来源A输入/产里制图	Source高速输入/输出映射 A3_HS_MAP [0] A2_HS_MAP [1] A1_HS_MAP [0] A1_HS_MAP [1] A1_HS_MAP [0] A0_HS_MAP [1] A0_HS_MAP [0]								0x81	0xE4
来源B输入/产里制图	源B高速输入/输出映射 B3_HS_MAP [0] B2_HS_MAP [1] B2_HS_MAP [0] B1_HS_MAP [1] B1_HS_MAP [0] B0_HS_MAP [1] B0_HS_MAP [0]								为0x82	0xE4

高速器件模式寄存器

HS_EN: 高速 (TMDS) 开关使能位

表10. HS_EN说明

HS_EN	描述
0B	高速通道关闭, 低功耗/待机模式
1B	高速通道

HS_CH: 高速 (TMDS) 源选择位

表11. HS_CH映射

HS_CH	-O [3: 0]	描述
0B	A [3: 0]	高速源A切换到输出
1B	B [3: 0]	高速源B切换到输出

辅助设备模式寄存器

AUX_LK: 辅助 (低速) 开关模式锁定位

表12. AUX_LK说明

AUX_LK	描述
0B	辅助开关锁定, 辅助电源切换独立于高速源
1B	辅助开关锁定, 辅助开关源选择被切换到高速开关源选择位

AUX_EN: 辅助 (低速) 开关使能位

表13. AUX_EN说明

AUX_EN	描述
0B	辅助关闭, 无低速输入/输出 低速公共输入/输出连接
1B	辅助开关打开

AUX_CH: 辅助 (低速) 开关源选择位

表14. AUX_CH映射

辅助通道	AUX_COM [3: 0]	描述
0B	AUX_A [3: 0]	辅助源A切换到产里
1B	AUX_B [3: 0]	辅助源B切换到产里

接收机设置寄存器

RX_TO: 高速 (TMDS) 输入端接模式控制选择位

表15. RX_TO说明

RX_TO	描述
0B	输入端接模式是手动的, 单独的终端可根据需要启用/禁用 输入终止脉冲寄存器中的设置
1B	始终为TMDS通道x输入终端连接的

输入终止控制寄存器

RX_PT [x]: 高速 (TMDS) 输入端子x, 选择位

表16. RX_PT [x]说明

RX_PT [X]	描述
0B	TMDS通道x的输入终止模式为总是断开连接
1B	始终为TMDS通道x输入终端连接的

表17. RX_PT [x]映射

RX_PT [X]	相应输入TMDS通道
位0	A0
位1	A1
位2	A2
位3	A3
位4	B3
位5	B2
位6	B1
位7	B0

接收均衡器寄存器

RX_EQ [x]: 高速 (TMDS) 输入x, 均衡电平选择位

表18. RX_EQ [x]说明

RX_EQ [X]	描述
0B	低均衡 (6 dB)
1B	高均衡 (12 dB)

表19. RX_EQ [x]映射

RX_EQ [X]	相应输入TMDS通道
位0	A0
位1	A1
位2	A2
位3	A3
位4	B3
位5	B2
位6	B1
位7	B0

发射机设置寄存器

TX_PE [x]: 高速 (TMDS) 输出预加重电平选择总线 (适用于所有TMDS通道)

表20. TX_PE [x]说明

TX_PE [X]	描述
00B	无预加重 (0 dB)
01B	低预加重 (2 dB)
10B	中等预加重 (4 dB)
11B	高预加重 (6 dB)

TX_PTO: 高速 (TMDS) 输出端接开/关选择位 (对于所有通道)

表21. TX_PTO说明

TX_PTO	描述
0B	输出端接关闭
1B	输出端接

TX_OCL: 高速 (TMDS) 输出电流电平选择位 (适用于所有通道)

表22. TX_OCL说明

TX_OCL	描述
0B	输出电流设置为10 mA
1B	输出电流设置为20 mA

源标志控制寄存器

A_SG [x]: 高速 (TMDS) 输入A, 通道x标志选择位

定义通道x的输入/输入补码极性.

表23. A_SG [x]说明

A_SG [X]	描述
0B	频道标志为正
1B	频道标志倒置

表24. A_SG [x]映射

A_SG [X]	OP [X]	ON [X]
0B	IP_A [X]	IN_A [X]
1B	IN_A [X]	IP_A [X]

B_SG [x]: 高速 (TMDS) 输入B, 通道x标志选择位

这些位定义了输入/输入补码极性频道x.

表25. B_SG [x]说明

B_SG [X]	描述
0B	频道标志为正
1B	频道标志倒置

表26. B_SG [x]映射

B_SG [X]	OP [X]	ON [X]
0B	IP_B [X]	IN_B [X]
1B	IN_B [X]	IP_B [X]

源输入/输出映射寄存器

A [x]_HS_MAP [1:0]: 高速 (TMDS) 输入A, 输出通道x, 选择位

这些位定义了高速的输入/输出映射选择源A时的通道.

表27. A [x]_HS_MAP [1:0]映射

A [X]	HS_MAP [1:0]	牛]
00B		A0
01B		A1
10B		A2
11B		A3

来源B输入/输出映射寄存器

B [x]_HS_MAP [1:0]: 高速 (TMDS) 输入B, 输出通道x, 选择位

这些位定义了高速的输入/输出映射选择源B时的通道.

表28. B [x]_HS_MAP [1:0]映射

B [X]	HS_MAP [1:0]	牛]
00B		B0
01B		B1
10B		B2
11B		B3

申请资料

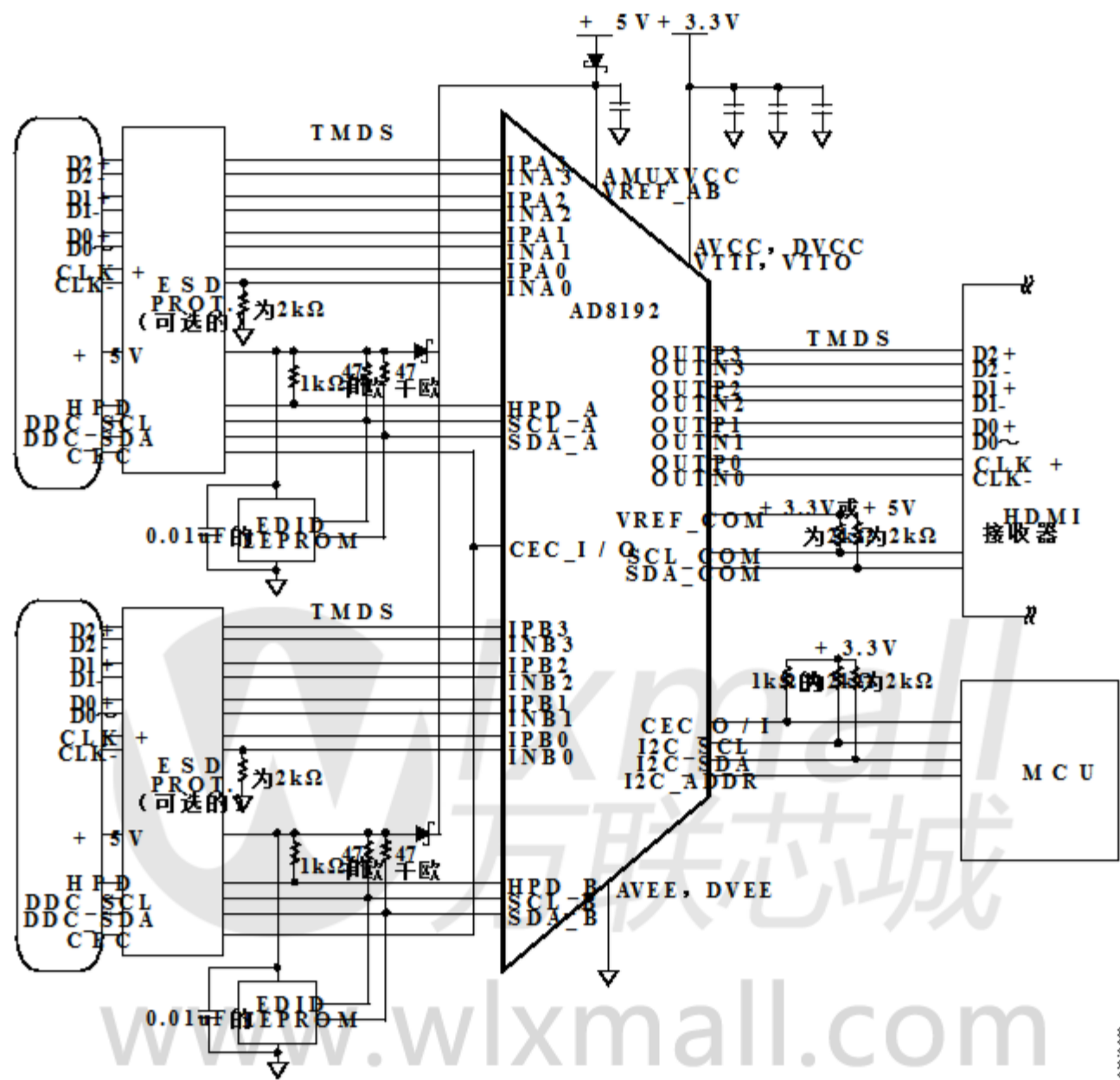


图30.典型的简化原理图

AD8192是具有均衡TMD S的HDMI / DVI开关输入, 预先强调的TMD S输出和缓冲辅助信号.它用于长期使用的系统中的2: 1开关电缆在输入和/或输出上运行, 并且完全HDMI 1.3a传输和接收兼容.

引脚

默认情况下, AD8192设计为具有HDMI / DVI接收器引脚排列在其输入端和发射器引脚分布输出.但是, AD8192的输入/输出映射是通过串行控制接口完全可编程.这个允许设计师将AD8192集成到几乎任何一个而不需要在TMD S上使用过孔痕迹PCB布局.

除了12 dB的输入均衡, AD8192提供输出预加重达6 dB, 可提升输出TMD S

信号, 并允许AD8192在驱动时进行预补偿长PCB走线或输出电缆.输入的净效果AD8192的均衡和输出预加重是指AD8192可以补偿两个输入的信号劣化输出电缆;它的作用是重新打开一个封闭的输入数据眼睛将全速HDMI信号发送到终端接收器. AD8192还提供了接收类型的明显优势因为它是一个完全缓冲的HDMI / DVI开关; AD8192完全缓冲和电耦合输出从TMD S和辅助线路的输入.那里-因为放置在输出信号线上的任何通孔的影响在AD8192的输入端看不到.可编程输出终端也可以提高输出端的信号质量AD8192.因此, PCB设计师显著增加输出信号路径的放置和路由灵活性与AD8192超过其他解决方案.

电缆长度和均衡

AD8192提供两级可编程均衡

用于高速输入：6 dB和12 dB均衡器

AD8192支持高达2.25 Gbps的视频数据速率

可以均衡超过20米的24 AWG HDMI电缆

2.25 Gbps，对应于1080p的视频格式

12位深色，可用于4k的电缆长度

典型的HDMI / DVI应用取决于大量的

因素包括

- 电缆质量：电缆在导体方面的质量、线规和屏蔽。较厚的导体较低每单位长度的信号劣化。
- 数据速率：通过电缆发送数据速率。信号HDMI数据线的劣化随着数据速率的增加而增加。
- 边缘率：源输入的边沿速率。较慢的输入边缘导致更重要的数据眼睛闭合的电缆。
- 接收灵敏度：终端的灵敏度接收器。

因此，不推荐使用特定的电缆类型和长度用于特定的均衡器设置。在几乎所有的应用程序中，AD8192均衡电平可设置为高电平或12 dB，对于所有数据速率的所有输入电缆配置，不会降级信号完整性。

TMDS输出上升/下降时间

AD8192的TMDS输出设计为最佳

即使连接了外部组件，性能也是如此

例如外部ESD保护，共模滤波器和

HDMI连接器。在应用程序中的输出

AD8192连接到HDMI输出连接器，另外

建议使用ESD保护。额外的电容

TMDS输出的ESD保护电路应尽可能低。尽可能的在典型应用中，输出上升/下降时间为符合HDMI 1.3a规格的输出

HDMI连接器

用于高级电视的前面板缓冲器

前面板输入可以方便地访问HDMI连接器

用于连接高清摄像机或视频游戏机

HDTV在主PCB不靠近侧面的设计中

HDTV前面必须连接前面板缓冲器

主板由电缆，AD8192使实现 -

一个正面或侧面的HDMI输入为HDTV的

缓存HDMI信号并补偿电缆

与主板互连。

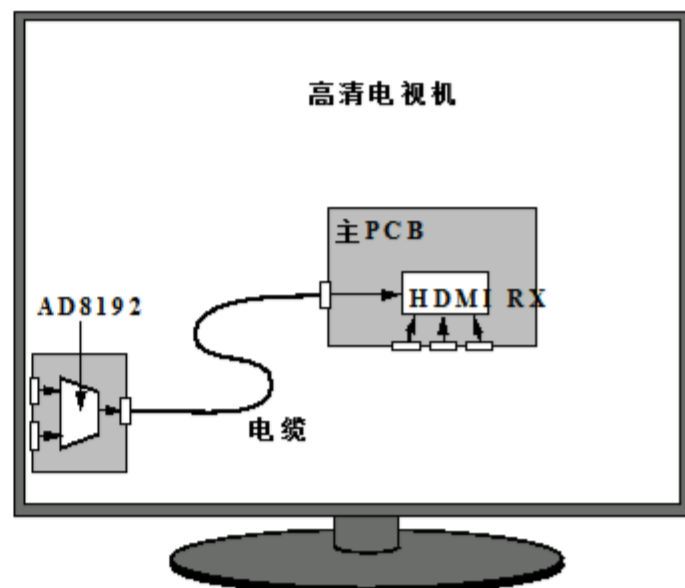


图31. AD8192作为HDTV的前面板缓冲器

HDMI开关

在更多HDMI输入的家庭影院应用中

需要，可以使用多输入HDMI切换器进行扩展

可用HDMI输入的数量。这个开关可以是

内置音频/视频接收器（AVR）或独立的

单元。AD8192可以级联以创建更大的阵列

如图32所示。

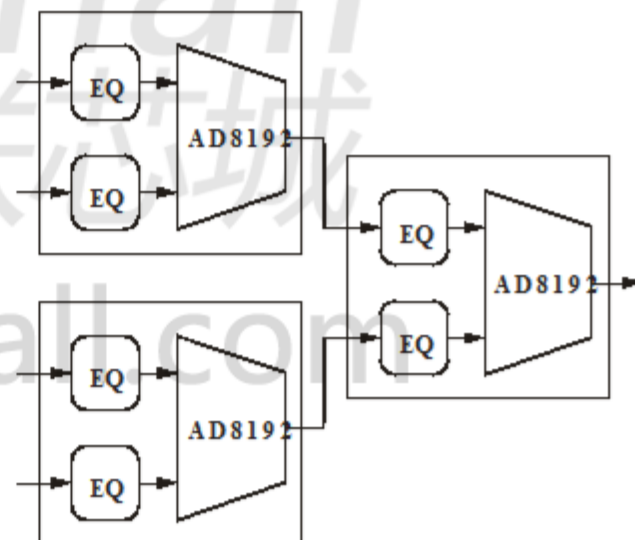


图32. AD8192级联为4:1 HDMI切换器

多种设备的组合

与传统的I²C双向缓冲器不同，DDC / CEC

AD8192中的缓冲器可以级联以创建更大的阵列

如图32所示。TMDS信号也可以

级联，虽然重要的是谨慎使用，因为

级联高增益均衡器可以增加输出抖动

超出可接受的限度。在这种情况下，设置可编程

AD8192中的均衡器为低电平（6 dB）。

PCB布局指南

AD8192可以切换两种截然不同的信号，这两个都是HDMI和DVI视频所需的。这些信号组在布线PCB时需要进行不同的处理。

第一组信号携带AV数据。HDMI / DVI视频信号是差分，单向和高速（直到2.25 Gbps）。携带视频数据的通道必须是受控阻抗，终止于接收器，并且能够运行至少2.25 Gbps。特别重要的是，请注意携带TMDS信号的差分迹线应设计有受控的差分阻抗100Ω。AD8192提供单端50Ω终端片上输入和输出，以及输入和输出终端可以通过该功能启用或禁用串行接口变送器端接未完全指定HDMI标准，但其包含改进了整个系统信号完整性。

对这些高速通道上携带的AV数据进行编码，通过称为转换最小化差分信号的技术（TMDS），在HDMI的情况下，也根据加密高带宽数字复制保护（HDCP）标准。

第二组信号由低速辅助组成，用于源和a之间的通信的控制信号水槽。根据应用，这些信号可以包括DDC总线（这是一个用于发送EDID信息的I²C总线和源和汇之间的HDCP加密密钥），CEC线和HPD线。这些辅助信号是双向，低速，并通过单端传输。传输线不需要有阻抗。铺设辅助线路的主要问题是确保他们符合I²C总线标准，没有电容负载过大。

TMDS信号

在HDMI / DVI标准中，四个差分对携带TMDS信号。在DVI中，其中三个是专用的携带RGB视频和同步数据。用于HDMI，音频数据与视频数据交织；DVI标准不会音频信息。第四个高速差速对用于AV数据时钟，运行在十分之一TMDS数据通道的速度。

AD8192的每个输入四个高速通道都是相同。没有让宽带降低带宽。像素时钟的第四个通道。因此，任何频道可用于任何TMDS信号。外部2kΩ下拉。建议使用TMDS CLKN信号上的电阻提高抗扰度，如图30所示。

AD8192缓冲TMDS信号，输入迹线可以被认为是电独立于输出迹线。在大多数应用，输入TMDS信号的质量迹线对PCB布局更敏感。无论数据如何被携带在特定的TMDS信道上，或者是TMDS线路在AD8192的输入或输出端，全部为4个高电平

速度信号应按照PCB路由在PCB上相同的RF布局指南。

TMDS信号布局

TMDS差分对可以是微带迹线（在板的外层上布线）或带状线迹线（布线在板的内层）。如果使用微带走线，在PCB层上应该有一个连续的参考平面，直接在痕迹之下。如果使用带状线痕迹，它们必须夹在两个连续参考平面之间。PCB叠加。另外，每个差分对的p和n必须具有100Ω的受控差分阻抗。该差分对的特征阻抗是函数。几个变量包括跟踪宽度，距离分隔两条迹线之间的间距和迹线之间的距离平面以及PCB粘合剂材料的介电常数。中间层通孔可以引入阻抗不连续性，导致信号路径上的反射和抖动。因此它是最好将TMDS线路专门在一层上板，特别是输入轨迹。另外，为了防止不需要的信号耦合和干扰，路由TMDS信号远离PCB上的其他信号和噪声源。

给定差分对的两条迹线的长度必须相等，以最小化内部偏差。保持物理对称性的差分对是确保其信号完整性的一部分；过度的内部偏移可以通过占空比引入抖动失真（DCD）。给定差分对的p和n应该是始终路由一起建立所需的100Ω不同的，内阻抗。在差距之间留出足够的空间成对的给定组以防止n对中的一对耦合到另一对的p。例如，一种技术是制造间距距离比舱内宽4至10倍间距。

任何一组四个TMDS迹线（输入A，输入B或输出）应具有紧密匹配的迹线长度，缩小对话偏差。严重的间隔偏移可导致数据打开一组的四个不同渠道到达不对齐彼此之间。一个很好的做法是跟踪长度。对于给定的四个通道组在FR4上的0.05英寸内材料。

使内部和内部偏移最小化越来越多重要的数据速率增加。任何引入的扭曲在较高的时间段内相应地较大部分的位周期数据速率。

虽然AD8192具有输入均衡和输出预处理功能，需要重点放在最小化TMDS轨迹的长度以减少整个系统信号的衰减。常用PCB材料，如FR4，在高频下有损耗，电路板上的长走迹会增加信号衰减，导致信号摆动减少，抖动增加符号间干扰（ISI）。

控制TMDs的特征阻抗 差分对

差分对的特性阻抗取决于一些变量包括跟踪宽度，距离介于两条轨迹之间，介电材料的高度在它之下的轨迹和参考平面之间，和PCB粘合剂材料的介电常数。少一点程度上，特性阻抗也取决于迹线厚度和焊盘的存在。有许多组合可以产生正确的特征阻抗。一般来说，与PCB制造商一起工作需要获得一组参数以产生所需的结果。

一个考虑是如何保证差分对在整个长度上的差分阻抗为100Ω跟踪。实现这一点的一种技术是改变宽度的差分对中的迹线基于一个迹线的接近程度耦合到另一个。当差分对的两条痕迹紧密耦合，应该有一个宽度产生100Ω差分阻抗。当痕迹分裂除了进入连接器，例如，不再是这样强耦合，迹线的宽度需要增加以在新配置中产生100Ω的差分阻抗。

接地电流返回

在某些应用中，可能需要反转输出引脚顺序AD8192。这需要设计师来路由TMDs跟踪PCB的多层。当路由dif-在多个层上的对置对，有必要也重新路由相应的参考平面提供一个连续的差分信号的接地电流返回路径。标准电镀通孔通孔对于TMDs都是可以接受的。迹线和参考平面。说明了一个例子在图33中。

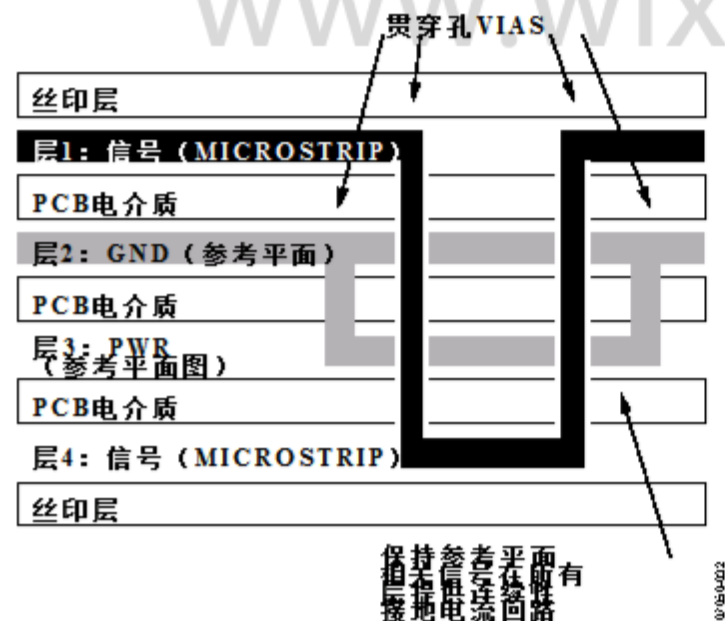


图33.参考平面的示例路由

TMDs终端

AD8192提供内部50Ω单端端接适用于所有高速输入和输出。没有必要包括TMDs差分的外部终端电阻对在PCB上。

AD8192的输出端接电阻返回终止输出TMDs传输线。这些后端作用于吸收来自阻抗不连续性的反射输出轨迹，提高输出轨迹的信号完整性并增加如何路由输出跟踪的灵活性。例如，可以使用层间通孔来路由AD8192 TMDs输出在多层PCB上，不会严重降低输出信号的质量。

辅助控制信号

每个都有四个单端控制信号HDMI / DVI应用中的源或接收器。这些都是热插拔检测（HPD），消费电子控制（CEC）和两个显示数据通道（DDC）线。DDC上的两个信号总线分别为SDA和SCL（串行数据和串行时钟）。DDC和CEC信号被缓冲并切换。AD8192和HPD信号由AD8192脉冲为低电平。这些信号不需要以相同的严格路由考虑作为高速TMDs信号。

一般来说，将每个辅助信号路由为a就足够了单端痕迹。这些信号对阻抗不敏感不连续，不需要参考平面，可以布线在PCB的多层上。但是，最好是遵循严格的布局做法，尽可能防止PCB设计从影响整体应用。具体HPD，CEC和DDC线路的路由取决于正在使用AD8192的应用程序。

例如，存在的信号的最大速度辅助线路是DDC线路上的100 kHz I2C数据，因此，任何可使100 kHz I2C通过DDC的布局公交车就够了。然而，HDMI 1.3a规范，对电容里可以设置严格的50 pF限制在HDMI输入连接器上的SDA或SCL上测量。这个50 pF限制包括HDMI连接器，PCB和在AD8192的输入端看到任何电容，或者等效接收器。类似的限制是150 pF的输入电容CEC线。AD8192的好处就是这样它缓冲这些线路，隔离输出电容。只有输入侧的电容有助于指定限制极限。然而，仍然需要良好的电路板设计。

PCB上痕迹的寄生电容随之增加痕迹长度。以确保设计符合HDMI规格，PCB上的CEC和DDC线的长度应尽可能短。另外，如果有一个参考平面在与辅助轨迹相邻的层中PCB堆叠，释放或清除该参考平面立即在辅助痕迹下显着降低

寄生跟踪电容. 一个例子
板堆叠如图34所示.

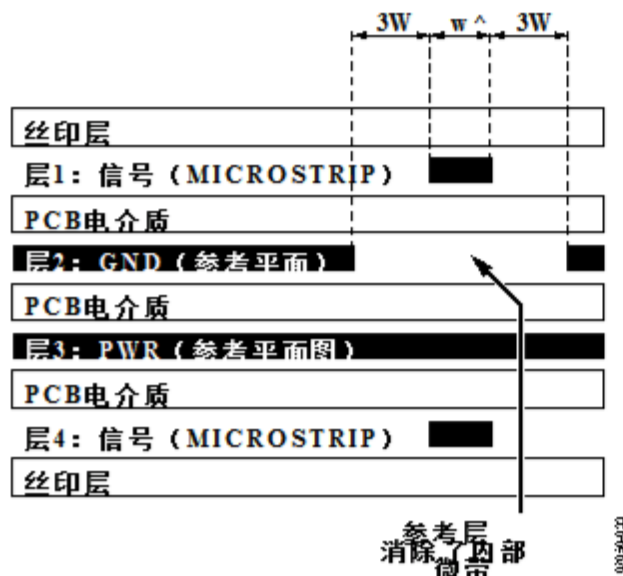


图34. 板堆叠示例

HPD是一个由信宿提供给信号源的直流信号源. EDID可用于阅读. 的位置
这个信号不是关键的, 但它应该直接作为路由可能.

当AD8192上电时, DDC / CEC输入所选通道被主动缓冲并路由到输出端, 未选择的辅助输入为高阻抗. 什么时候AD8192断电, 所有DDC / CEC输入都放在一个高阻态. 这样可以防止DDC上的争用总线, 使设计能够在AD8192前面加入EDID.

电源

AD8192有五个单独的电源参考
两个分开的理由. 电源/接地对是

- AVCC / AVEE
- VTTI / AVEE
- VTTO / AVEE
- DVCC / DVEE
- AMUXVCC / DVEE
- VREF_AB / DVEE
- VREF_COM / DVEE

AVCC / AVEE (3.3 V) 和DVCC / DVEE (3.3 V) 电源
电源为AD8192的核心. VTTI / AVEE电源 (3.3 V)
为输入终止电源. 同样, VTTO / AVEE供应
(3.3 V) 为输出端接供电. AMUXVCC / DVEE
电源 (3.3 V至5 V) 为辅助复用器内核供电. 该
VREF_COM和VREF_AB耗材确定逻辑电平
在相应的DDC总线上. 例如, 如果是DDC_COM
总线使用5 V I2C, 则应连接VREF_COM
+5 V相对于DVEE. 如果DDC_AB总线使用3.3 V
I2C, 则VREF_AB应相对于DVEE连接到+5 V.

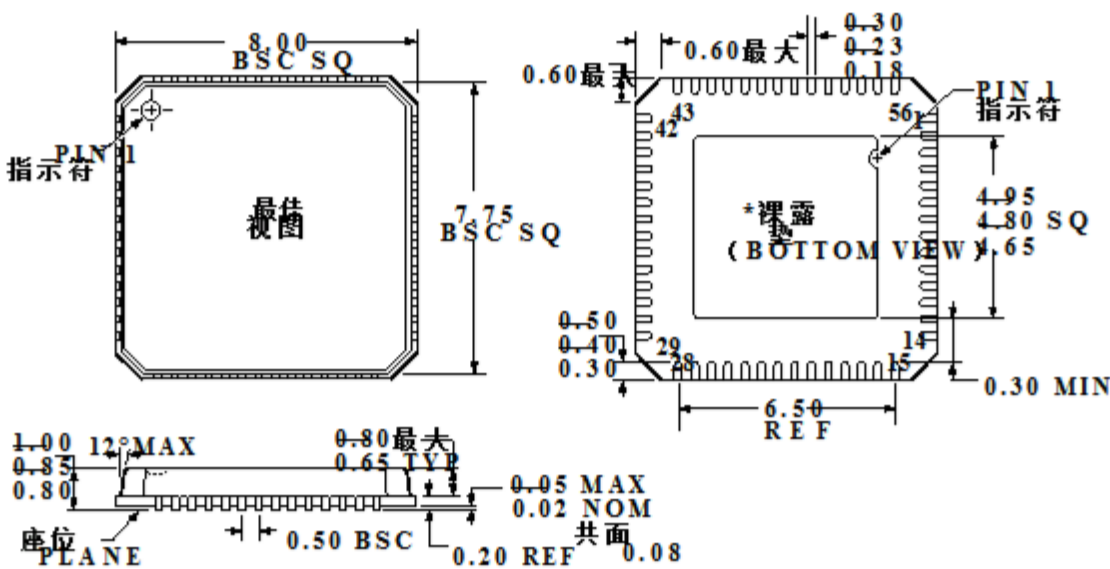
在典型应用中, 连接所有标有AVEE或DVEE的引脚
直接到地面. 同样, 连接所有标记为AVCC的引脚,
DVCC, VTTI或VTTO至3.3 V, 并将引脚AMUXVCC连接到
5 V. VREF_AB和VREF_COM可以连接到3.3 V
或5 V, 具体取决于应用. 用品也可以
单独供电, 但必须小心确保
AD8192的每个阶段都正确供电.

电源旁路

AD8192需要最少的电源旁路. 什么时候
单独供电, 放置一个0.01 F电容
每个3.3 V电源引脚 (AVCC, DVCC, VTTI和
VTTO) 和接地, 并在每个之间放置一个0.1 F电容
附加电源引脚 (AMUXVCC, VREF_AB和VREF_COM)
并接地以滤除电源噪声. 一般来说, 放置旁路
电容器靠近电源引脚, 并将它们直接连接到
相关用品 (没有长时间的痕迹). 例如, 到
提高电源去耦的寄生电感
电容器, 最小化电容器着陆之间的走线长度
垫和通孔.

在AD8192由单个3.3 V供电的应用中
供应, 建议使用两个参考电源
并旁路3.3 V参考平面到地面参考
平面, 一个220 pF, 一个1000 pF, 两个0.01 μF和一个4.7 μF
电容. 如果是AMUXVCC, VREF_AB和VREF_COM
连接都由单个5 V电源供电, 这是足够的
使用单个0.1 μF绕过所有三个连接. capa-
监视器应该直接通过供电平面和直接连接
放置在AD8192的几厘米内.

外形尺寸



符合 JEDEC 标准 MO-220-VLLD-2

*注意：
AD8192 具有促进散热的传导性热里，并确保可靠的操作
全 HDMIT/DVI 温度范围内的设备。SLUG 被暴露在底部
封装和电气连接到 AVEE。推荐没有 PCB 信号
TRACES 或 VIAS 位于可能与导致接触的封装下
弹头。连接飞机到 AVEE 平面降低了连接温度
可在高温环境中受益的设备。

图35. 56引脚引线框架芯片级封装[LFCSP_VQ]
8 mm×8 mm主体，极薄四边形
(CP-56-3)
尺寸单位为毫米

订购指南

模型	温度范围	包装说明	包选项	订购数量
AD8192ACPZ1	-40°C至+ 85°C	56引脚引线框架芯片级封装[LFCSP_VQ]	CP-56-3	750
AD8192ACPZ-RL1	140°C至+ 85°C	56引脚引线框架芯片尺寸封装[LFCSP_VQ]，Reel 7	CP-56-3	
AD8192-EVALZ1		评估委员会		

1 Z =符合RoHS标准

笔记



笔记



笔记



购买 ADI 公司的许可 I²C 组件或其许可的相关公司之一向 Philips I²C 专利的购买者传达了许可证在 I²C 系统中使用这些组件的权利，前提是系统符合飞利浦定义的 I²C 标准规范。